



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

259805
(11) (B1)

(51) Int. Cl.⁴
G 06 F 9/00

(22) Přihlášeno 03 06 86
(21) (PV 4062-86.S)

(40) Zveřejněno 15 03 88

(45) Vydáno 15 03 89

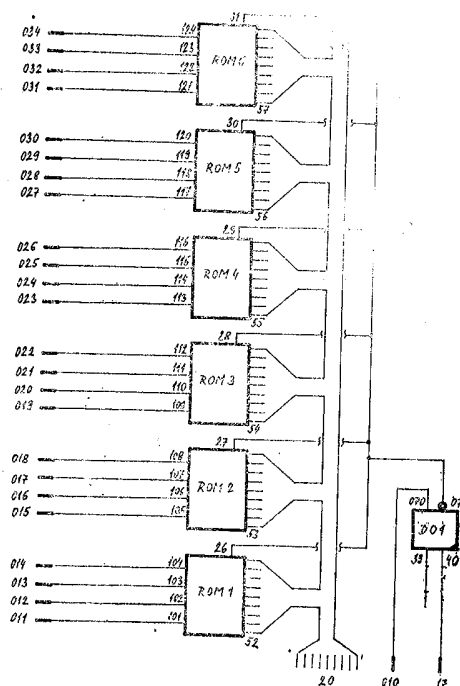
(75)
Autor vynálezu BUREŠ JAROSLAV ing., BRNO

(54) Zapojení řídicích obvodů pro mikroprogramové řízení diskové paměti s pružným magnetickým diskem

1

Cílem řešení je zjednodušit technické prostředky pro řízení diskové paměti s pružným magnetickým diskem, snížení nákladů a zmenšení rozměrů bez nutnosti použití drahých obvodů velké integrace. Uvedeného cíle se dosáhne zapojením s pamětí typu ROM a s logickými obvody. Řešení lze použít k řízení jedné nebo více diskových pamětí s pružným magnetickým diskem.

2



Obr. 1a

Vynález se týká zapojení řídicích obvodů pro mikroprogramové řízení diskové paměti s pružným magnetickým diskem.

Dosud známá zapojení řídicích jednotek pro řízení diskové paměti s pružným magnetickým diskem jsou řešena tak, že provádějí autonomně řízení operací diskové paměti. Z toho důvodu obsahují buď samostatný řídicí procesor nebo speciální obvody různého stupně integrace, které řídí veškeré operace diskové paměti. Nevýhodou těchto zapojení je velká rozsáhlost řídicích jednotek nebo potřeba nákladných speciálních obvodů velké integrace.

Uvedené nevýhody odstraňuje zapojení řídicích obvodů pro mikroprogramové řízení diskové paměti s pružným magnetickým diskem podle vynálezu, jehož podstatou je, že skupiny adresových vstupů první až třinácté čtyřbitové sekce paměti typu ROM tvoří současně skupinu adresových vstupů zapojení, čtveřice datových výstupů první až dvanácté čtyřbitové sekce paměti typu ROH tvoří současně první až čtyřicátý osmý datový výstup zapojení, čtvrtý datový výstup šesté čtyřbitové sekce paměti typu ROH je dále připojen na datový vstup prvního klopného obvodu typu D, první datový výstup třinácté čtyřbitové sekce paměti typu ROH je připojen na vstup jedenáctého invertoru, přes první odpor na kladný pól zdroje elektrické energie a tvoří současně čtyřicátý devátý datový výstup zapojení, druhý datový výstup třinácté čtyřbitové sekce paměti typu ROM je připojen na vstup třináctého invertoru, přes druhý odpor na kladný pól zdroje elektrické energie a tvoří současně padesátý datový výstup zapojení, třetí datový výstup třinácté čtyřbitové sekce paměti typu ROM je připojen na vstup čtrnáctého invertoru, přes třetí odpor na kladný pól zdroje elektrické energie a tvoří současně padesátý první datový výstup zapojení, čtvrtý datový výstup třinácté čtyřbitové sekce paměti typu ROM je připojen na vstup patnáctého invertoru, přes čtvrtý odpor na kladný pól zdroje elektrické energie a tvoří současně padesátý druhý datový výstup zapojení, hodinový vstup prvního klopného obvodu typu D tvoří současně hodinový vstup zapojení, přímý výstup prvního klopného obvodu typu D tvoří současně výběrový výstup zapojení, inverzní výstup prvního klopného obvodu typu D je připojen na výběrový vstup první až třinácté čtyřbitové sekce paměti typu ROM, první vstup prvního dvouvstupového obvodu typu negace logického součinu tvoří současně třetí řídicí vstup zapojení, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen přes čtvrtý invertor na druhý vstup prvního až sedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, první vstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na výstup prvního invertoru, jehož vstup tvoří současně jedenáctý

řídicí vstup zapojení, druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu tvoří současně dvanáctý řídicí vstup zapojení, třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na výstup druhého invertoru, jehož vstup tvoří současně třináctý řídicí vstup zapojení, čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu tvoří současně čtrnáctý řídicí vstup zapojení, výstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen přes třetí invertor na první vstup druhého dvouvstupového obvodu typu negace logického součinu a na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, tvořící současně osmý řídicí výstup zapojení, druhý vstup druhého dvouvstupového obvodu typu negace logického součinu tvoří současně patnáctý řídicí vstup zapojení, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen přes pátý invertor na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož první vstup tvoří současně čtvrtý vstup zapojení, výstup pátého invertoru je dále připojen na druhý vstup dvanáctého až čtrnáctého a šestého až osmého dvouvstupového obvodu typu negace logického součinu, datový vstup druhého klopného obvodu typu D tvoří současně první řídicí vstup zapojení, inverzní výstup druhého klopného obvodu typu D je připojen na druhý a třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu, datový vstup třetího klopného obvodu typu D tvoří současně druhý řídicí vstup zapojení, inverzní výstup třetího klopného obvodu typu D je připojen na čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického součinu, výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na první vstup druhého čtyřvstupového obvodu typu negace logického součinu a přes sedmý invertor na hodinový vstup druhého a třetího klopného obvodu typu D, výstup druhého čtyřvstupového obvodu typu negace logického součinu je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a tvoří současně volicí výstup zapojení, první vstup dvanáctého dvouvstupového obvodu typu negace logického součinu tvoří současně desátý řídicí vstup zapojení, výstup dvanáctého dvouvstupového obvodu typu negace logického součinu tvoří současně pátý řídicí výstup zapojení, první vstup třináctého dvouvstupového obvodu typu negace

logického součinu tvoří současně osmý řídicí vstup zapojení, výstup třináctého dvouvstupového obvodu typu negace logického součinu tvoří současně první řídicí výstup zapojení, první vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně sedmý řídicí vstup zapojení, výstup čtrnáctého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup patnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup šestnáctého dvouvstupového obvodu typu negace logického součinu, první vstup šestého dvouvstupového obvodu typu negace logického součinu tvoří současně šestý řídicí vstup zapojení, výstup šestého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup šestnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup patnáctého dvouvstupového obvodu typu negace logického součinu a tvoří současně druhý řídicí výstup zapojení, první vstup sedmého dvouvstupového obvodu typu negace logického součinu tvoří současně pátý řídicí vstup zapojení, výstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup prvního monostabilního klopného obvodu, jehož výstup je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu a na vstup osmého invertoru, jehož výstup tvoří současně třetí řídicí výstup zapojení, první vstup osmého dvouvstupového obvodu typu negace logického součinu tvoří současně devátý řídicí vstup zapojení, výstup osmého dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup druhého monostabilního klopného obvodu, jehož výstup je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, první vstup prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně druhý stavový vstup zapojení, výstup prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně první stavový výstup zapojení, první vstup druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně třetí stavový vstup zapojení, výstup druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně druhý stavový výstup zapojení, výstup třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně třetí stavový výstup zapojení, první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně pátý stavový vstup zapojení,

výstup čtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně čtvrtý stavový výstup zapojení, výstup pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem tvoří současně pátý stavový výstup zapojení, vstup devátého invertoru tvoří současně první stavový vstup zapojení, výstup devátého invertoru je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, jehož výstup tvoří současně šestý stavový výstup zapojení, vstup desátého invertoru tvoří současně čtvrtý stavový vstup zapojení, výstup desátého invertoru je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, jehož výstup tvoří současně sedmý stavový výstup zapojení, výstup jedenáctého invertoru je připojen na druhý vstup devátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup čtvrtého klopného obvodu typu D, vstup dvanáctého invertoru tvoří současně ovládací vstup zapojení, výstup dvanáctého invertoru je připojen na datový vstup čtvrtého až šestého klopného obvodu typu D, výstup třináctého invertoru je připojen na druhý vstup desátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup pátého klopného obvodu typu D, výstup čtrnáctého invertoru je připojen na druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup šestého klopného obvodu typu D, výstup patnáctého invertoru je připojen na druhý vstup osmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, jehož výstup tvoří současně devátý řídicí výstup zapojení, vstup šestnáctého invertoru tvoří současně synchronizační vstup zapojení, výstup šestnáctého invertoru je připojen na první vstup devátého až jedenáctého dvouvstupového obvodu typu negace logického součinu a na první vstup osmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, inverzní výstup čtvrtého klopného obvodu typu D tvoří současně šestý řídicí výstup zapojení, inverzní výstup pátého klopného obvodu typu D tvoří současně sedmý řídicí výstup zapojení, přímý výstup šestého klopného obvodu typu D je připojen na vstup šestého invertoru, jehož výstup tvoří současně čtvrtý řídicí výstup zapojení. Datový vstup sedmého klopného obvodu typu D tvoří současně šestnáctý řídicí vstup zapojení, kdežto jeho přímý výstup je připojen na vstup sedmnáctého invertoru, jehož výstup tvoří současně adresový výstup zapojení a výstup sedmého invertoru je dále připojen na hodinový vstup sedmého klopného obvodu typu D.

Výhodou zapojení podle vynálezu je podstatné zjednodušení technických prostředků pro řízení diskové paměti s pružným diskem, čímž se dosáhne snížení nákladů a zmenšení rozměrů bez nutnosti použití drahých obvodů velké integrace. Zapojení využívá hlavního procesoru, který v systému na úrovni mikroprogramů současně vykonává funkci řízení diskové paměti s pružným magnetickým diskem.

Příklad zapojení řídicích obvodů pro mikroprogramové řízení diskové paměti s pružným magnetickým diskem podle vynálezu je znázorněn na připojených výkresech, na nichž

obr. 1a až 1d představuje schéma zapojení,

obr. 2 časový diagram mikroinstrukce v paměti typu ROM a

obr. 3 časový diagram časového zdroje.

Skupina adresových vstupů 52 až 64 první až třinácté čtyřbitové sekce ROM1 až ROM13 paměti typu ROM pro signály MA0 až MA8 tvoří současně skupinu adresových vstupů 23 zapojení pro připojení na neznázorněný procesor. První až čtvrtý datový výstup 101 až 104 první čtyřbitové sekce ROM1 paměti typu ROM pro signály AC0 až AC3 tvoří současně první až čtvrtý datový výstup 011 až 014 zapojení pro připojení na procesor. První až třetí datový výstup 105 až 107 druhé čtyřbitové sekce ROM2 paměti typu ROM pro signály AC4 až AC6 tvoří současně pátý až sedmý datový výstup 015 až 017 zapojení pro připojení na procesor. Čtvrtý datový výstup 108 druhé čtyřbitové sekce ROM2 paměti typu ROM pro signál IHC tvoří současně osmý datový výstup 018 zapojení pro připojení na procesor. První až čtvrtý datový výstup 109 až 112 třetí čtyřbitové sekce ROM3 paměti typu ROM pro signály F0 až F3 tvoří současně devátý až dvanáctý datový výstup 019 až 022 zapojení pro připojení na procesor. První datový výstup 113 čtvrté čtyřbitové sekce ROM4 paměti typu ROM pro signál SETEX tvoří současně třináctý datový výstup 023 zapojení pro připojení na procesor. Druhý datový výstup 114 čtvrté čtyřbitové sekce ROM4 paměti typu ROM pro signál M11—14 tvoří současně čtrnáctý datový výstup 024 zapojení pro připojení na procesor. Třetí datový výstup 115 čtvrté čtyřbitové sekce ROM4 paměti typu ROM pro signál STAR tvoří současně patnáctý datový výstup 025 zapojení pro připojení na procesor. Čtvrtý datový výstup 116 čtvrté čtyřbitové sekce ROM4 paměti typu ROM pro signál Z/C tvoří současně šestnáctý datový výstup 026 zapojení pro připojení na procesor. První až třetí datový výstup 117 až 119 páté čtyřbitové sekce ROM5 paměti typu ROM pro signály P0 až P2 tvoří současně sedmnáctý až devatenáctý datový výstup 027 až 029 zapojení pro připojení na procesor. Čtvrtý datový výstup 120 páté čtyřbitové sekce ROM5 paměti typu ROM pro signál BAS tvoří současně dvacátý da-

tový výstup 030 zapojení pro připojení na procesor. První datový výstup 121 šesté čtyřbitové sekce ROM6 paměti typu ROM pro signál OUT tvoří současně dvacátý první datový výstup 031 zapojení pro připojení na procesor. Druhý datový výstup 122 šesté čtyřbitové sekce ROM6 paměti typu ROM pro signál INP tvoří současně dvacátý druhý datový výstup 032 zapojení pro připojení na procesor. Třetí datový výstup 123 šesté čtyřbitové sekce ROM6 paměti typu ROM pro signál CS tvoří současně dvacátý třetí datový výstup 033 zapojení pro připojení na procesor. Čtvrtý datový výstup 124 šesté čtyřbitové sekce ROM6 paměti typu ROM pro signál S0/S1 je připojen na datový vstup 39 prvního klopného obvodu D01 typu D a tvoří současně dvacátý čtvrtý datový výstup 034 zapojení pro připojení na procesor. První až čtvrtý datový výstup 125 až 140 sedmé až desáté čtyřbitové sekce ROM7 až ROM10 paměti typu ROM pro signály K0 až K15 tvoří současně dvacátý pátý až čtyřicátý datový výstup 035 až 050 zapojení pro připojení na procesor. První až čtvrtý datový výstup 141 až 144 jedenácté čtyřbitové sekce ROM11 paměti typu ROM pro signály F0 až F3 tvoří současně čtyřicátý první až čtyřicátý čtvrtý datový výstup 051 až 054 zapojení pro připojení na procesor. První až třetí datový výstup 145 až 147 dvanácté čtyřbitové sekce ROM12 paměti typu ROM pro signály F4 až F6 tvoří současně čtyřicátý pátý až čtyřicátý sedmý datový výstup 055 až 057 zapojení pro připojení na procesor. Čtvrtý datový výstup 148 dvanácté čtyřbitové sekce ROM12 paměti typu ROM pro signál DEC tvoří současně čtyřicátý osmý datový výstup 058 zapojení pro připojení na procesor. První datový výstup 149 třinácté čtyřbitové sekce ROM13 paměti typu ROM pro signál WMS je připojen na vstup jedenáctého invertoru IN11, přes první odpor R1 na kladný pól zdroje elektrické energie a tvoří současně čtyřicátý devátý datový výstup 059 zapojení pro připojení na procesor. Druhý datový výstup 150 třinácté čtyřbitové sekce ROM13 paměti typu ROM pro signál SEK je připojen na vstup třináctého invertoru IN13, přes druhý odpor R2 na kladný pól zdroje elektrické energie a tvoří současně padesátý datový výstup 060 zapojení pro připojení na procesor. Třetí datový výstup 151 třinácté čtyřbitové sekce ROM13 paměti typu ROM pro signál WRE je připojen na vstup čtrnáctého invertoru IN14, přes třetí odpor R3 na kladný pól zdroje elektrické energie a tvoří současně padesátý první datový výstup 061 zapojení pro připojení na procesor. Čtvrtý datový výstup 152 třinácté čtyřbitové sekce ROM13 paměti typu ROM pro signál CFL je připojen na vstup patnáctého invertoru IN15, přes čtvrtý odpor R4 na kladný pól zdroje elektrické energie a tvoří současně

padesátý druhý datový výstup **O62** zapojení pro připojení na procesor. Hodinový vstup **40** prvního klopného obvodu **DO1** typu D pro signál **CLK1** tvoří současně hodinový vstup **17** zapojení pro připojení na procesor. Přímý výstup **O70** prvního klopného obvodu **DO1** typu D pro signál **SO** tvoří současně výběrový výstup **O10** zapojení pro připojení na procesor. Inverzní výstup **O71** prvního klopného obvodu **DO1** typu D pro signál **S1** je připojen na výběrový vstup **26 až 38** první až třinácté čtyřbitové sekce **ROM1 až ROM13** paměti typu ROM. První vstup prvního dvouvstupového obvodu **NS1** typu negace logického součinu pro signál **RO3** tvoří současně třetí vstup **3** zapojení pro připojení na procesor. Výstup prvního dvouvstupového obvodu **NS1** typu negace logického součinu je připojen přes čtvrtý invertor **IN4** pro signál **SCR3** na druhý vstup prvního až sedmého dvouvstupového obvodu **NSO1 až NSO7** typu negace logického součinu s otevřeným kolektorem. První vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu je připojen na výstup prvního invertoru **IN1**, jehož vstup pro signál **V(12)** tvoří současně jedenáctý řídicí vstup **11** zapojení pro připojení na procesor. Druhý vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu pro signál **V(13)** tvoří současně dvanáctý řídicí vstup **12** zapojení pro připojení na procesor. Třetí vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu je připojen na výstup druhého invertoru **IN2**, jehož vstup pro signál **V(14)** tvoří současně třináctý řídicí vstup **13** zapojení pro připojení na procesor. Čtvrtý vstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu pro signál **V(15)** tvoří současně čtrnáctý řídicí vstup **14** zapojení pro připojení na procesor. Výstup prvního čtyřvstupového obvodu **NSC1** typu negace logického součinu je připojen přes třetí invertor **IN3** na první vstup druhého dvouvstupového obvodu **NS2** typu negace logického součinu a na druhý vstup prvního dvouvstupového obvodu **NS1** typu negace logického součinu, tvořící pro signál **SC** současně osmý řídicí výstup **O8** zapojení pro připojení na neznázorněné datové obvody. Druhý vstup druhého dvouvstupového obvodu **NS2** typu negace logického součinu pro signál **RBIT** tvoří současně patnáctý řídicí vstup **15** zapojení pro připojení na procesor. Výstup druhého dvouvstupového obvodu **NS2** typu negace logického součinu je připojen přes pátý invertor **IN5** pro signál **SCR6** na druhý vstup třetího dvouvstupového obvodu **NS3** typu negace logického součinu, jehož první vstup pro signál **V(3)** tvoří současně čtvrtý vstup **4** zapojení pro připojení na procesor. Výstup pátého invertoru **IN5** je dále připojen na druhý vstup dvanáctého až čtrnáctého a šestého až osmého dvouvstupového obvodu **NS12 až NS14 a NS6 až NS8** typu negace logického součinu. Datový

vstup **41** sedmého klopného obvodu **DO7** typu D pro signál **V(2)** tvoří současně šestnáctý řídicí vstup **16** zapojení pro připojení na procesor. Přímý výstup **O72** sedmého klopného obvodu **DO7** typu D je připojen na vstup sedmnáctého invertoru **IN17**, jehož výstup pro signál **HS** tvoří současně adresový výstup **O82** zapojení pro připojení na neznázorněnou první až čtvrtou diskovou paměť. Datový vstup **42** druhého klopného obvodu **DO2** typu D pro signál **V(0)** tvoří současně první řídicí vstup **1** zapojení pro připojení na procesor. Přímý vstup **O73** druhého klopného obvodu **DO2** typu D pro signál **Y0** je připojen na druhý vstup třetího a pátého čtyřvstupového obvodu **NSC3 a NSC5** typu negace logického součinu. Inverzní výstup **O74** druhého klopného obvodu **DO2** typu D pro signál **Y0** je připojen na druhý a třetí vstup druhého a čtvrtého čtyřvstupového obvodu **NSC2 a NSC4** typu negace logického součinu. Datový vstup **43** třetího klopného obvodu **DO3** typu D pro signál **V(1)** tvoří současně druhý řídicí vstup **2** zapojení pro připojení na procesor. Přímý výstup **O75** třetího klopného obvodu **DO3** typu D pro signál **Y1** je připojen na čtvrtý vstup pátého a na třetí a čtvrtý vstup šestého čtyřvstupového obvodu **NSC4 a NSC5** typu negace logického součinu. Inverzní výstup **O76** třetího klopného obvodu **DO3** typu D pro signál **Y1** je připojen na čtvrtý vstup druhého a na třetí a čtvrtý vstup třetího čtyřvstupového obvodu **NSC2 a NSC3** typu negace logického součinu. Výstup třetího dvouvstupového obvodu **NS3** typu negace logického součinu je připojen na první vstup druhého až pátého čtyřvstupového obvodu **NSC2 až NSC5** typu negace logického součinu a přes sedmý invertor na hodinový vstup **431** druhého, třetího a sedmého klopného obvodu **DO2, DO3, DO7** typu D. Výstup druhého čtyřvstupového obvodu **NSC2** typu negace logického součinu pro signál **SEO** je připojen na první vstup čtvrtého dvouvstupového obvodu **NS4** typu negace logického součinu a tvoří současně první spouštěcí výstup **O83** zapojení pro připojení na první diskovou paměť. Výstup třetího čtyřvstupového obvodu **NSC3** typu negace logického součinu pro signál **SE1** je připojen na první vstup sedmnáctého dvouvstupového obvodu **NS17** typu negace logického součinu a tvoří současně druhý spouštěcí výstup **O84** zapojení pro připojení na druhou diskovou paměť. Výstup čtvrtého čtyřvstupového obvodu **NSC4** typu negace logického součinu pro signál **SE2** je připojen na první vstup devatenáctého dvouvstupového obvodu **NS19** typu negace logického součinu a tvoří současně třetí spouštěcí výstup **O85** zapojení pro připojení na třetí diskovou paměť. Výstup pátého čtyřvstupového obvodu **NSC5** typu negace logického součinu pro signál **SE3** je připojen na první

vstup dvacátého prvního dvouvstupového obvodu **NS21** typu negace logického součinu a tvoří současně čtvrtý spouštěcí výstup **O86** zapojení pro připojení na čtvrtou diskovou paměť. Výstup čtvrtého dvouvstupového obvodu **NS4** typu negace logického součinu je připojen na první vstup pátého dvouvstupového obvodu **NE5** typu negace logického součinu, jehož výstup pro signál **MOO** je připojen na druhý vstup čtvrtého dvouvstupového obvodu **NS4** typu negace logického součinu a tvoří současně první volicí výstup **O87** zapojení pro připojení na první diskovou paměť. Výstup sedmnáctého dvouvstupového obvodu **NS17** typu negace logického součinu je připojen na první vstup osmnáctého dvouvstupového obvodu **NS18** typu negace logického součinu, jehož výstup pro signál **MO1** je připojen na druhý vstup sedmnáctého dvouvstupového obvodu **NS17** typu negace logického součinu a tvoří současně druhý volicí výstup **O88** zapojení pro připojení na druhou diskovou paměť. Výstup devatenáctého obvodu **NS19** typu negace logického součinu je připojen na první vstup dvacátého dvouvstupového obvodu **NS20**, jehož výstup pro signál **MO2** je připojen na druhý vstup devatenáctého dvouvstupového obvodu **NS19** typu negace logického součinu a tvoří současně třetí volicí výstup **O89** zapojení pro připojení na třetí diskovou paměť. Výstup dvacátého prvního dvouvstupového obvodu **NS21** typu negace logického součinu je připojen na první vstup dvacátého druhého dvouvstupového obvodu **NS22** typu negace logického součinu, jehož výstup pro signál **MO3** je připojen na druhý vstup dvacátého prvního dvouvstupového obvodu **NS21** typu negace logického součinu a tvoří současně čtvrtý volicí výstup **O90** zapojení pro připojení na čtvrtou diskovou paměť. První vstup dvanáctého dvouvstupového obvodu **NS12** typu negace logického součinu pro signál **V(9)** tvoří současně desátý řídicí vstup **10** pro připojení na procesor. Výstup dvanáctého dvouvstupového obvodu **NS12** typu negace logického součinu pro signál **FR** tvoří současně pátý řídicí výstup **O5** zapojení pro připojení na první až čtvrtou diskovou paměť. První vstup třináctého dvouvstupového obvodu **NS13** typu negace logického součinu pro signál **V(7)** tvoří současně osmý řídicí vstup **8** zapojení pro připojení na procesor. Výstup třináctého dvouvstupového obvodu **NS13** typu negace logického součinu pro signál **ST** tvoří současně první řídicí výstup **O1** zapojení pro připojení na první až čtvrtou diskovou paměť. První vstup čtrnáctého dvouvstupového obvodu **NS14** typu negace logického součinu pro signál **V(6)** tvoří současně sedmý řídicí vstup **7** zapojení pro připojení na procesor. Výstup čtrnáctého dvouvstupového obvodu **NS14** typu negace logického součinu je připojen na první vstup patnáctého dvouvstupového obvodu **NS15**

typu negace logického součinu, jehož výstup je připojen na první vstup šestnáctého dvouvstupového obvodu **NS16** typu negace logického součinu. První vstup šestého dvouvstupového obvodu **NS6** typu negace logického součinu pro signál **V(5)** tvoří současně šestý řídicí vstup **6** zapojení pro připojení na procesor. Výstup šestého dvouvstupového obvodu **NS6** typu negace logického součinu je připojen na druhý vstup šestnáctého dvouvstupového obvodu **NS16** typu negace logického součinu, jehož výstup pro signál **SD** je připojen na druhý vstup patnáctého dvouvstupového obvodu **NS15** typu negace logického součinu a tvoří současně druhý řídicí výstup **O2** zapojení pro připojení na první až čtvrtou diskovou paměť. První vstup sedmého dvouvstupového obvodu **NS7** typu negace logického součinu pro signy **V(4)** tvoří současně pátý řídicí vstup **5** zapojení pro připojení na procesor. Výstup sedmého dvouvstupového obvodu **NS7** typu negace logického součinu je připojen na datový vstup **44** prvního monostabilního klopného obvodu **MO1**, jehož výstup **O77** pro signál **HL** je připojen na první vstup třetího dvouvstupového obvodu **NS03** typu negace logického součinu s otevřeným kolektorem, na druhý vstup pátého, osmnáctého, dvacátého a dvacátého druhého dvouvstupového obvodu **NS5**, **NS18**, **NS20**, **NS22** typu negace logického součinu a na vstup osmého invertoru **IN8**, jehož výstup pro signál **HL** tvoří současně třetí řídicí vstup **O3** zapojení pro připojení na první až čtvrtou diskovou paměť. První vstup osmého dvouvstupového obvodu **NS8** typu negace logického součinu pro signál **V(8)** tvoří současně devátý řídicí vstup **9** zapojení pro připojení na procesor. Výstup osmého dvouvstupového obvodu **NS8** typu negace logického součinu je připojen na datový vstup **45** druhého monostabilního klopného obvodu **MO2**, jehož výstup **O78** pro signál **TIME** je připojen na první vstup pátého dvouvstupového obvodu **NS05** typu negace logického součinu prvního dvouvstupového obvodu **NS01** typu negace logického součinu s otevřeným kolektorem pro signál **IX** tvoří současně druhý stavový vstup **22** zapojení pro připojení na první až čtvrtou diskovou paměť. Výstup prvního dvouvstupového obvodu **NS01** typu negace logického součinu s otevřeným kolektorem pro signál **E(0)** tvoří současně první stavový výstup **O63** zapojení pro připojení na procesor. První vstup druhého dvouvstupového obvodu **NS02** typu negace logického součinu s otevřeným kolektorem pro signál **T0** tvoří současně třetí stavový vstup **23** zapojení pro připojení na první až čtvrtou diskovou paměť. Výstup druhého dvouvstupového obvodu **NS02** typu negace logického součinu s otevřeným kolektorem pro signál **E(1)** tvoří současně druhý stavový výstup **O64** zapojení pro připojení

pojení na procesor. Výstup třetího dvou-
vstupového obvodu **NS03** typu negace lo-
gického součinu s otevřeným kolektorem
pro signál E(2) tvoří současně třetí stavo-
vý výstup **065** zapojení pro připojení na
procesor. První vstup čtvrtého dvouvstupo-
vého obvodu **NS04** typu negace logického
součinu s otevřeným kolektorem pro signál
FW tvoří současně pátý stavový vstup **25**
zapojení pro připojení na první až čtvrtou
diskovou paměť. Výstup čtvrtého dvouvstu-
pového obvodu **NS04** typu negace logické-
ho součinu s otevřeným kolektorem pro sig-
nál E(3) tvoří současně čtvrtý stavový vý-
stup **066** zapojení pro připojení na procesor.
Výstup dvouvstupového obvodu **NS05** typu
negace logického součinu s otevřeným ko-
lektorem pro signál E(4) tvoří současně
pátý stavový výstup **067** zapojení pro připo-
jení na procesor. Vstup devátého invertoru
IN9 pro signál RDY tvoří současně první
stavový vstup **21** zapojení pro připojení na
první až čtvrtou diskovou paměť. Výstup
devátého invertoru **IN9** je připojen na prv-
ní vstup šestého dvouvstupového obvodu
NS06 typu negace logického součinu s ote-
vřeným kolektorem, jehož výstup pro signál
E(8) tvoří současně šestý stavový výstup
068 zapojení pro připojení na procesor.
Vstup desátého invertoru **IN10** pro signál
WP tvoří současně čtvrtý stavový vstup **24**
zapojení pro připojení na první až čtvrtou
diskovou paměť. Výstup desátého invertoru
IN10 je připojen na první vstup sedmého
dvouvstupového obvodu **NS07** typu negace
logického součinu s otevřeným kolektorem,
jehož výstup pro signál E(9) tvoří současně
sedmý stavový výstup **069** zapojení pro připo-
jení na procesor. Výstup jedenáctého in-
vertoru **IN11** je připojen na druhý vstup
devátého dvouvstupového obvodu **NS9** ty-
pu negace logického součinu, jehož výstup
je připojen na hodinový vstup **47** čtvrtého
klopného obvodu **DO4** typu D. Vstup dva-
náctého invertoru **IN12** pro signál FO tvoří
současně ovládací vstup **19** zapojení pro připo-
jení na procesor. Výstup dvanáctého in-
vertoru **IN12** je připojen na datový vstup
46, 48, 50 čtvrtého až šestého klopného ob-
vodu **DO4** až **DO6** typu D. Výstup třináctého
invertoru **IN13** je připojen na druhý vstup
desátého dvouvstupového obvodu **NS10** ty-
pu negace logického součinu, jehož výstup
je připojen na hodinový vstup **49** pátého
klopného obvodu **DO5** typu D. Výstup čtr-
náctého invertoru **IN14** je připojen na dru-
hý vstup jedenáctého dvouvstupového ob-
vodu **NS11** typu negace logického součinu,
jehož výstup je připojen na hodinový vstup
51 šestého klopného obvodu **DO6** typu D.
Výstup patnáctého invertoru **IN15** je připo-
jen na druhý vstup osmého dvouvstupového
obvodu **NS08** typu negace logického sou-
činu s otevřeným kolektorem, jehož výstup
pro signál CF tvoří současně devátý řídicí

výstup **09** zapojení pro připojení na datové
obvody. Vstup šestnáctého invertoru **IN16**
pro signál TB tvoří současně synchronizač-
ní vstup **13** zapojení pro připojení na pro-
cesor. Výstup šestnáctého invertoru **IN16**
je připojen na první vstup devátého až je-
denáctého dvouvstupového obvodu **NS9** až
NS11 typu negace logického součinu a na
první vstup osmého dvouvstupového obvodu
NS08 typu negace logického součinu s ote-
vřeným kolektorem. Inverzní výstupy **079**
čtvrtého klopného obvodu **DO4** typu D pro
signál WM tvoří současně šestý řídicí vý-
stup **06** zapojení pro připojení na datové
obvody. Inverzní výstup **080** pátého klopné-
ho obvodu **DO5** typu D pro signál SEEK
tvoří současně sedmý řídicí výstup **07** za-
pojení pro připojení na datové obvody. Pří-
mý výstup **081** šestého klopného obvodu
DO6 typu D je připojen na vstup šestého in-
vertoru **IN6**, jehož výstup pro signál WE
tvoří současně čtvrtý řídicí výstup **04** zapo-
jení pro připojení na datové obvody a na
první až čtvrtou diskovou paměť.

Řídicí obvody jsou svými vstupy a výstu-
py spojeny za prvé s procesorem počítače,
příčemž tento procesor musí být schopen
pracovat na úrovni mikroinstrukcí s dosta-
tečně rychlým cyklem mikroinstrukcí. Pro-
cesor obsahuje běžně svoji vlastní řídicí
mikroprogramovou paměť, jako první sekci
S0, v níž jsou pevně uloženy mikroprogramy
pro řízení běžných operací procesoru. Dru-
há sekce **S1** mikroprogramové paměti je
obsažena v řídicích obvodech a jsou v ní
uloženy mikroprogramy pro řízení diskové
paměti. Za druhé jsou řídicí obvody svými
vstupy a výstupy spojeny s datovými obvo-
dy a s vlastní diskovou pamětí, která může
být jedna nebo více. V popsaném zapojení
je počítáno s řízením čtyř diskových pamě-
tí.

Řídicí obvody jsou spojeny s procesorem
pomocí signálů, kde signály V(0) až V(15)
jsou příkazy a adresace diskových jednotek.
Z toho V(0) a V(1) představuje adresu jed-
notky 0 až 3, V(2) adresu povrchu disku
0, 1, V(3) výběr jednotky a povrchu disku,
V(4) buzení motoru a přiklopení hlavy ve
vybrané jednotce, V(5) nastavení směru
vzad, V(6) nastavení směru vpřed, V(7)
krok o jednu stopu v nastaveném směru,
V(8) nastavení času sektoru, V(9) rušení
chyby zápisu, V(12) až V(15) adresa sku-
piny diskových pamětí. Signál RBIT zname-
ná řídicí signál pro spuštění operace, R03
řídicí signál přerušovací adresy, CLK1 ho-
dinový signál, TB řídicí časový signál, F0
signál přenosového bitu, MA0 až MA8 adre-
su mikroprogramové paměti. Signály E(0)
až E(4, 8, 9) znamenají zpětné hlášení o stavu
probíhající operace. Z toho E(0) předsta-
vuje index, E(1) stopu 00, E(2) hlava pře-
klopena, E(3) chybu zápisu, E(4) aktivní

čas sektoru, E(8) připravenost diskové paměti, E(9) disk je chráněn proti zápisu. Signály na výstupech O11 až O60 zapojení jsou signály mikroinstrukce (obr. 2), vysílané z řídicích obvodů do procesoru. Signál S0 aktivuje sekci S0 řídicí mikroprogramové paměti procesoru.

Dále jsou řídicí obvody spojeny s datovými obvody pomocí signálů WM, který představuje zápis missingového slova, SEEK hledání missingového slova, WE zápis datového slova, SC výběrový kód, to je adresa skupiny disků, CF signál pro synchronizaci datového kanálu.

S vlastní skupinou diskových pamětí jsou řídicí obvody spojeny pomocí signálů RDY, který znamená připravenost paměti, IX index, T0 stopu 00, WP chráněný disk, FW chybu zápisu, SE0 až SE3 výběrový signál, který vybere jednu ze čtyř diskových pamětí, MO0 až MO3 buzení motorů v diskových pamětech, ST krok o jednu stopu v daném směru, SD volbu směru krokování, a sice je-li SD = 0 vpřed, je-li SD = 1 vzad, HL přiklopení hlavy, WE aktivace zápisového kanálu, FR rušení chybového stavu, HS adresa jednoho ze dvou povrchů disku.

Řídicí obvody obsahují již zmíněnou sekci S1 mikroprogramové paměti, ve které jsou uloženy mikroprogramy pro řízení skupiny diskových pamětí s pružným magnetickým diskem. Tyto mikroprogramy jsou sestaveny z mikroinstrukce, jejíž skladba je znázorněna na obr. 2. Mikroinstrukce má šest polí po osmi bitech a sedmé pole čtyřbitové. V prvním poli je řízení následující adresy mikroprogramu AC0 až AC6 a řízení hodinových impulsů IHC. Ve druhém poli je řízení stavové logiky FC0 až FC3, řízení instrukční sběrnice SEPTX, C11 až M14 a řízení paměti procesoru signály Z/C, STAR. Ve třetím poli je ovládání multiplexoru stavů pomocí bitů P2, P1, P0, řízení adresy báze BASE, řízení výstupu OUT, řízení rychlého kanálu CS, INP a řízení sekcí mikroprogramové paměti pomocí bitu S0/S1. Ve čtvrtém a pátém poli je šestnáctibitová konstanta K0 až K15, která může být ve třech funkcích podle jednoho ze tří zvolených formátů mikroinstrukce. Konstanta může znamenat vstupní data pro aritmetickou a logickou jednotku procesoru, šestnáctibitové řídicí slovo pro řízení vstupu, výstupu a přerušení nebo pomocnou dekadickou konstantu pro dekadické operace. Jeden z těchto tří formátů je zvolen pomocí kódu operace F0 až F6 a příznakového bitu DEC. V sedmém poli je uloženo čtyřbitové řídicí slovo pro ovládání řídicích obvodů diskové paměti. První bit WMS řídí zápis missingového slova na pružný magnetický disk. Druhý bit SEK řídí hledání missingového slova

na pružném magnetickém disku. Třetí bit WRE řídí zápis dat na disk. Čtvrtý bit CLF řídí přenos dat mezi procesorem a datovými obvody disku.

Po připojení napájecího zdroje začne časový zdroj procesoru generovat řídicí časové signály podle obr. 3, z nichž signály CLK1 a TB jsou zavedeny na vstupy řídicích obvodů, takže zahájení první mikroinstrukce bude probíhat synchronně s časovým zdrojem. První mikroinstrukce bude přečtena ze sekce S1 v řídicích obvodech na základě adresy nastavené na skupině vstupů 20. Přečtená mikroinstrukce, která je uspořádána podle obr. 2, je na všech datových výstupech paměti mikroprogramu přítomna v čase T3 podle obr. 3. V čase T4 se signálem TB nastaví výchozí stav výstupních signálů WM, SEEK, WE, CF. Po nastavení výchozího stavu přijde mikroprogram do sekce S0 pomocí bitu S0/S1 mikroinstrukce a signálu S0. V sekci S0 začne opakovaně probíhat základní mikroinstrukční cyklus. Procesor může nyní vysílat příkazy pro operace s diskovou pamětí. Tyto příkazy jsou předávány do řídicích obvodů dvojím způsobem. První způsob řízení spočívá v tom, že procesor nastaví adresu skupiny diskových pamětí pomocí signálů V(12 až 15), adresu žádané diskové paměti ve skupině pomocí signálů V(0 až 2) a vlastní příkaz, například příkaz k provedení jednoho kroku vystavovacího mechanismu signálem V(7). Následující řídicí impuls signálu RBIT způsobí v řídicích obvodech vybuzení odpovídajícího signálu ST a tím provedení kroku o jednu stopu v daném směru. Druhý způsob řízení spočívá v tom, že procesor předá řízení do sekce S1 řídicí mikroprogramové paměti, obsažené v řídicích obvodech prostřednictvím signálu CLK1. Na příslušné adrese v sekci S1 začíná prováděcí mikroprogram požadované operace, na příklad operace zápisu adresového pole na pružný magnetický disk. Čtený mikroprogram rozloží požadovanou operaci na sérii elementárních příkazů, vysílaných do diskové paměti, v tomto případě provede zápis missingu pomocí signálu WMS a výstupního signálu WM, v dalších krocích provede řízení a synchronizaci zápisu dat na disk pomocí signálů WE, CF. Zpětné hlášení o stavu prováděné operace je předáváno z řídicích obvodů do procesoru pomocí signálů E(0 až 4, 8, 9). Po řízení předáno zpět do sekce S0 pomocí signálu S0/S1 mikroinstrukce a signálu S0. Obdobně jsou provedeny všechny další operace diskové paměti.

Vynálezu lze použít k řízení jedné nebo více diskových pamětí s pružným magnetickým diskem.

PŘEDMĚT VYNÁLEZU

1. Zapojení řídicích obvodů pro mikroprogramové řízení diskové paměti s pružným magnetickým diskem s pamětí typu ROM a logickými obvody, vyznačené tím, že skupiny adresových vstupů (52 až 64) první až třinácté čtyřbitové sekce (ROM 1 až ROM13) paměti typu ROM tvoří současně skupinu adresových vstupů (20) zapojení, čtveřice datových výstupů (101 až 104, 105 až 108, 109 až 112, 113 až 116, 117 až 120, 121 až 124, 125 až 128, 129 až 132, 133 až 136, 137 až 140, 141 až 144, 145 až 148) první až dvanácté čtyřbitové sekce (ROM1 až ROM12) paměti typu ROM tvoří současně první až čtyřicátý osmý datový výstup (O11 až O58) zapojení, čtvrtý datový výstup (124) šesté čtyřbitové sekce (ROM6) paměti typu ROM je dále připojen na datový vstup (39) prvního klopného obvodu (DO1) typu D, první datový výstup (149) třinácté čtyřbitové sekce (ROM13) paměti typu ROM je připojen na vstup jedenáctého invertoru (IN11), přes první odpor (R1) na kladný pól zdroje elektrické energie a tvoří současně čtyřicátý devátý datový výstup (O59) zapojení, druhý datový výstup (150) třinácté čtyřbitové sekce (ROM13) paměti typu ROM je připojen na vstup třináctého invertoru (IN13), přes druhý odpor (R2) na kladný pól zdroje elektrické energie a tvoří současně padesátý datový výstup (O60) zapojení, třetí datový výstup (151) třinácté čtyřbitové sekce (ROM 13) paměti typu ROM je připojen na vstup čtrnáctého invertoru (IN14), přes třetí odpor (R3) na kladný pól zdroje elektrické energie a tvoří současně padesátý první datový výstup (O61) zapojení, čtvrtý datový výstup (152) třinácté čtyřbitové sekce (ROM13) paměti typu ROM je připojen na vstup patnáctého invertoru (IN15), přes čtvrtý odpor (R4) na kladný datový výstup (O62) zapojení, hodinový vstup (40) prvního klopného obvodu (DO1) typu D tvoří současně hodinový vstup (17) zapojení, přímý výstup (O70) prvního klopného obvodu (DO1) typu D tvoří současně výběrový výstup (O10) zapojení, inverzní výstup (O71) prvního klopného obvodu (DO1) typu D je připojen na výběrový vstup (26 až 38) první až třinácté čtyřbitové sekce (ROM1 až ROM13) paměti typu ROM, první vstup prvního dvouvstupového obvodu (NS1) typu negace logického součinu tvoří současně třetí řídicí vstup (3) zapojení, výstup prvního dvouvstupového obvodu (NS1) typu negace logického součinu je připojen přes čtvrtý inverter (IN4) na druhý vstup prvního až sedmého dvouvstupového obvodu (NSO1 až NSO7) typu negace logického součinu s otevřeným kolektorem, první vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu je připojen na výstup prvního invertoru (IN1), jehož vstup tvoří současně je-

denáctý řídicí vstup (11) zapojení, druhý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu tvoří současně dvanáctý řídicí vstup (12) zapojení, třetí vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu je připojen na výstup druhého invertoru (IN2), jehož vstup tvoří současně třináctý řídicí vstup (13) zapojení, čtvrtý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu tvoří současně čtrnáctý řídicí vstup (14) zapojení, výstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu je připojen přes třetí inverter (IN3) na první vstup druhého dvouvstupového obvodu (NS2) typu negace logického součinu a na druhý vstup prvního dvouvstupového obvodu (NS1) typu negace logického součinu, tvořící současně osmý řídicí výstup (O8) zapojení, druhý vstup druhého dvouvstupového obvodu (NS2) typu negace logického součinu tvoří současně pátý řídicí vstup (15) zapojení, výstup druhého dvouvstupového obvodu (NS2) typu negace logického součinu je připojen přes pátý inverter (IN5) na druhý vstup třetího dvouvstupového obvodu (NS3) typu negace logického součinu, jehož první vstup tvoří současně čtvrtý vstup (4) zapojení, výstup pátého invertoru (IN5) je dále připojen na druhý vstup dvanáctého až čtrnáctého a šestého až osmého dvouvstupového obvodu (NS12 až NS14, NS6 až NS8) typu negace logického součinu, datový vstup (42) druhého klopného obvodu (DO2) typu D tvoří současně první řídicí vstup (1) zapojení, inverzní výstup (O74) druhého klopného obvodu (DO2) typu D je připojen na druhý a třetí vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, datový vstup (43) třetího klopného obvodu (DO3) typu D tvoří současně druhý řídicí vstup (2) zapojení, inverzní výstup (O76) třetího klopného obvodu (DO3) typu D je připojen na čtvrtý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, výstup třetího dvouvstupového obvodu (NS3) typu negace logického součinu je připojen na první vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu a přes sedmý inverter (IN7) na hodinový vstup (431) druhého a třetího klopného obvodu (DO2, DO3) typu D, výstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu je připojen na první vstup čtvrtého dvouvstupového obvodu (NS4) typu negace logického součinu a tvoří současně spouštěcí výstup (O83) zapojení, výstup čtvrtého dvouvstupového obvodu (NS4) typu negace logického součinu je připojen na první vstup pátého dvouvstupového obvodu (NS5) typu negace logické-

ho součinu, jehož výstup je připojen na druhý vstup čtvrtého dvouvstupového obvodu (NS4) typu negace logického součinu a tvoří současně volicí výstup (O87) zapojení, první vstup dvanáctého dvouvstupového obvodu (NS12) typu negace logického součinu tvoří současně desátý řídicí vstup (10) zapojení, výstup dvanáctého dvouvstupového obvodu (NS12) typu negace logického součinu tvoří současně pátý řídicí výstup (O5) zapojení, první vstup třináctého dvouvstupového obvodu (NS13) typu negace logického součinu tvoří současně osmý řídicí vstup (8) zapojení, výstup třináctého dvouvstupového obvodu (NS13) typu negace logického součinu tvoří současně první řídicí výstup (O1) zapojení, první vstup čtrnáctého dvouvstupového obvodu (NS14) typu negace logického součinu tvoří současně sedmý řídicí vstup (7) zapojení, výstup čtrnáctého dvouvstupového obvodu (NS14) typu negace logického součinu je připojen na první vstup patnáctého dvouvstupového obvodu (NS15) typu negace logického součinu, jehož výstup je připojen na první vstup šestnáctého dvouvstupového obvodu (NS16) typu negace logického součinu, první vstup šestého dvouvstupového obvodu (NS6) typu negace logického součinu tvoří současně šestý řídicí vstup (6) zapojení, výstup šestého dvouvstupového obvodu (NS6) typu negace logického součinu je připojen na druhý vstup šestnáctého dvouvstupového obvodu (NS16) typu negace logického součinu, jehož výstup je připojen na druhý vstup patnáctého dvouvstupového obvodu (NS15) typu negace logického součinu a tvoří současně druhý řídicí výstup (O2) zapojení, první vstup sedmého dvouvstupového obvodu (NS7) typu negace logického součinu tvoří současně pátý řídicí vstup (5) zapojení, výstup sedmého dvouvstupového obvodu (NS7) typu negace logického součinu je připojen na datový vstup (44) prvního monostabilního klopného obvodu (MO1), jehož výstup (O77) je připojen na první vstup třetího dvouvstupového obvodu (NSO3) typu negace logického součinu s otevřeným kolektorem, na druhý vstup pátého dvouvstupového obvodu (NS5) typu negace logického součinu a na vstup osmého invertoru (IN8), jehož výstup tvoří současně třetí řídicí výstup (O3) zapojení, první vstup osmého dvouvstupového obvodu (NS8) typu negace logického součinu tvoří současně devátý řídicí vstup (9) zapojení, výstup osmého dvouvstupového obvodu (NS8) typu negace logického součinu je připojen na datový vstup (45) druhého monostabilního klopného obvodu (MO2), jehož výstup (O78) je připojen na první vstup pátého dvouvstupového obvodu (NSO5) typu negace logického součinu s otevřeným kolektorem, první vstup prvního dvouvstupového obvodu (NSO1) typu negace logického součinu s otevřeným kolektorem tvoří současně druhý stavový vstup (22) zapo-

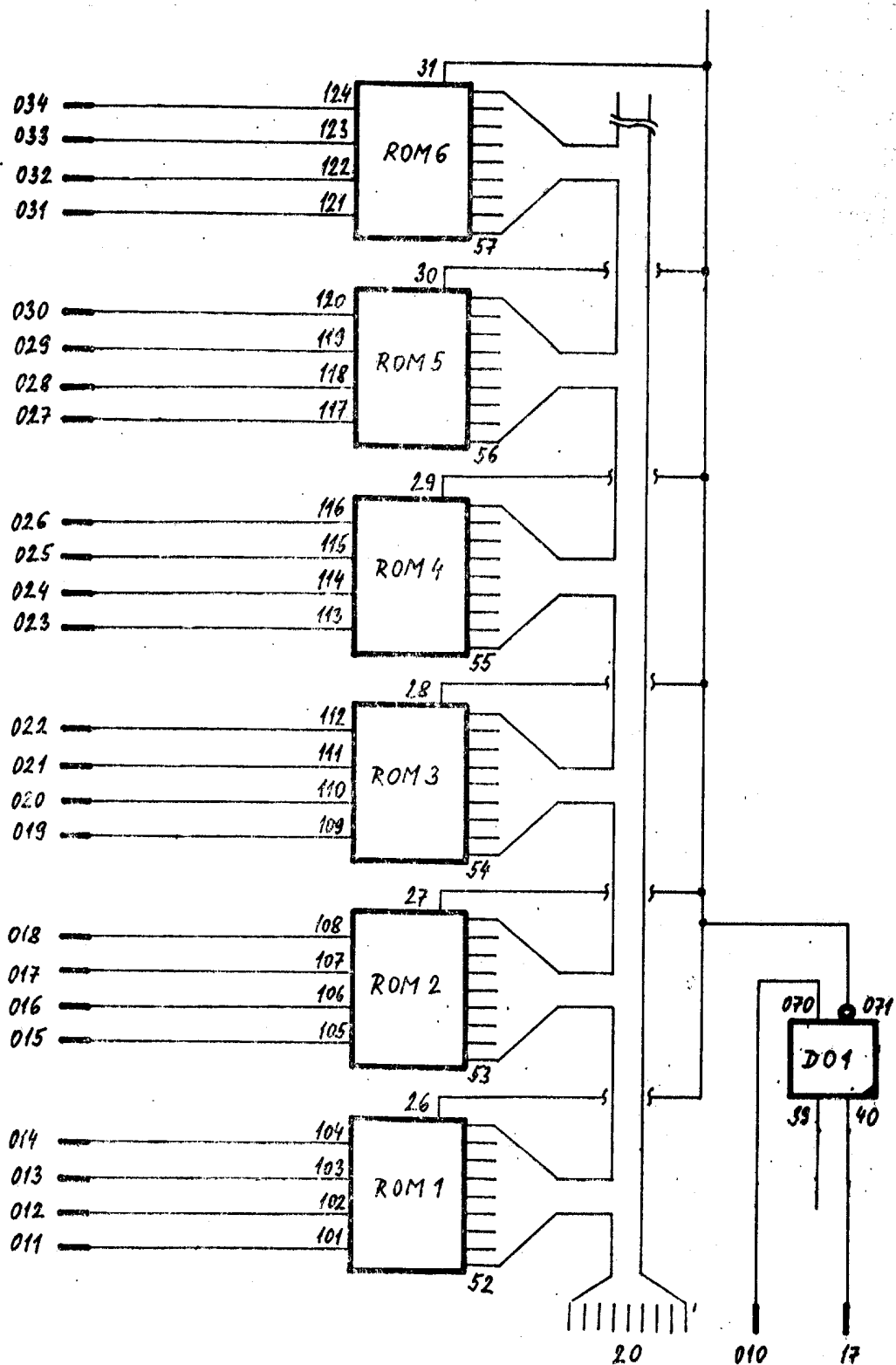
jení, výstup prvního dvouvstupového obvodu (NSO1) typu negace logického součinu s otevřeným kolektorem tvoří současně první stavový výstup (O63) zapojení, první vstup druhého dvouvstupového obvodu (NSO2) typu negace logického součinu s otevřeným kolektorem tvoří současně třetí stavový vstup (23) zapojení, výstup druhého dvouvstupového obvodu (NSO2) typu negace logického součinu s otevřeným kolektorem tvoří současně druhý stavový výstup (O64) zapojení, výstup třetího dvouvstupového obvodu (NSO3) typu negace logického součinu s otevřeným kolektorem tvoří současně třetí stavový výstup (O65) zapojení, první vstup čtvrtého dvouvstupového obvodu (NSO4) typu negace logického součinu s otevřeným kolektorem tvoří současně pátý stavový vstup (25) zapojení, výstup čtvrtého dvouvstupového obvodu (NSO4) typu negace logického součinu s otevřeným kolektorem tvoří současně čtvrtý stavový výstup (O66) zapojení, výstup pátého dvouvstupového obvodu (NSO5) typu negace logického součinu s otevřeným kolektorem tvoří současně pátý stavový výstup (O67) zapojení, vstup devátého invertoru (IN9) tvoří současně první stavový vstup (21) zapojení, výstup devátého invertoru (IN9) je připojen na první vstup šestého dvouvstupového obvodu (NSO6) typu negace logického součinu s otevřeným kolektorem, jehož výstup tvoří současně šestý stavový výstup (O69) zapojení, vstup desátého invertoru (IN10) tvoří současně čtvrtý stavový vstup (24) zapojení, výstup desátého invertoru (IN10) je připojen na první vstup sedmého dvouvstupového obvodu (NSO7) typu negace logického součinu s otevřeným kolektorem, jehož výstup tvoří současně sedmý stavový výstup (O69) zapojení, výstup jedenáctého invertoru (IN11) je připojen na druhý vstup devátého dvouvstupového obvodu (NS9) typu negace logického součinu, jehož výstup je připojen na hodinový vstup (47) čtvrtého klopného obvodu (DO4) typu D, vstup dvanáctého invertoru (IN12) tvoří současně ovládací vstup (19) zapojení, výstup dvanáctého invertoru (IN12) je připojen na datový vstup (46, 48, 50) čtvrtého až šestého klopného obvodu (DO4 až DO6) typu D, výstup třináctého invertoru (IN13) je připojen na druhý vstup desátého dvouvstupového obvodu (NS10) typu negace logického součinu, jehož výstup je připojen na hodinový vstup (49) pátého klopného obvodu (DO5) typu D, výstup čtrnáctého invertoru (IN14) je připojen na druhý vstup jedenáctého dvouvstupového obvodu (NS11) typu negace logického součinu, jehož výstup je připojen na hodinový vstup (51) šestého klopného obvodu (DO6) typu D, výstup patnáctého invertoru (IN15) je připojen na druhý vstup osmého dvouvstupového obvodu (NSO8) typu negace logického součinu s otevřeným kolektorem,

jehož výstup tvoří současně devátý řídicí výstup (O9) zapojení, vstup šestnáctého invertoru (IN16) tvoří současně synchronizační vstup (18) zapojení, výstup šestnáctého invertoru (IN16) je připojen na první vstup devátého až jedenáctého dvouvstupového obvodu (NS9 až NS11) typu negace logického součinu a na první vstup osmého dvouvstupového obvodu (NSO8) typu negace logického součinu s otevřeným kolektorem, inverzní výstup (O79) čtvrtého klopného obvodu (DO4) typu D tvoří současně šestý řídicí výstup (O6) zapojení, inverzní výstup (O80) pátého klopného obvodu (DO5) typu D tvoří současně sedmý řídicí

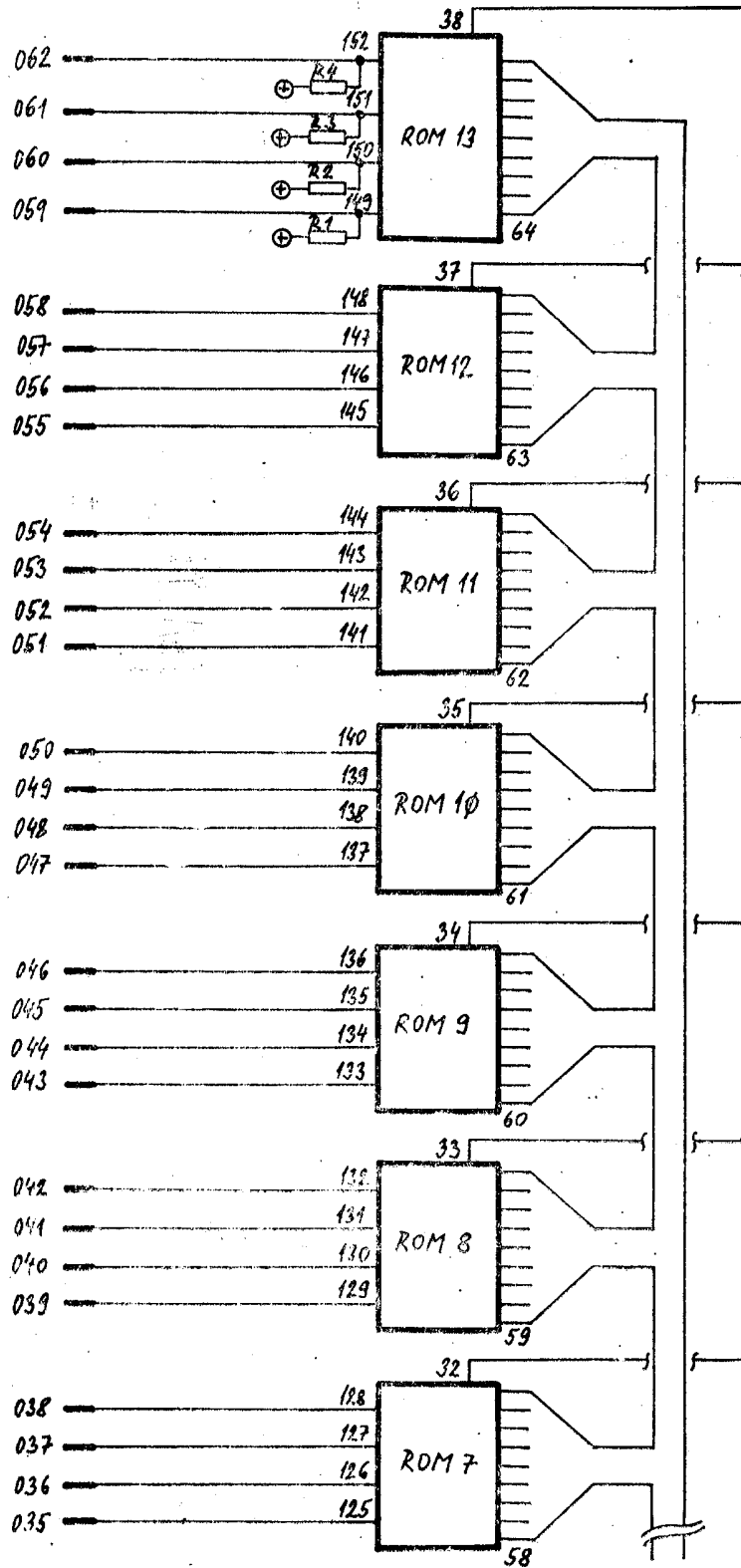
výstup (O7) zapojení, přímý výstup (O81) šestého klopného obvodu (DO6) typu D je připojen na vstup šestého invertoru (IN6), jehož výstup tvoří současně čtvrtý řídicí výstup (O4) zapojení.

2. Zapojení podle bodu 1 vyznačené tím, že datový vstup (41) sedmého klopného obvodu (DO7) typu D tvoří současně šestnáctý řídicí vstup (16) zapojení, kdežto jeho přímý výstup (O72) je připojen na vstup sedmáctého invertoru (IN17), jehož výstup tvoří současně adresový výstup (O82) zapojení a výstup sedmého invertoru (IN7) je dále připojen na hodinový vstup (431) sedmého klopného obvodu (DO7) typu D.

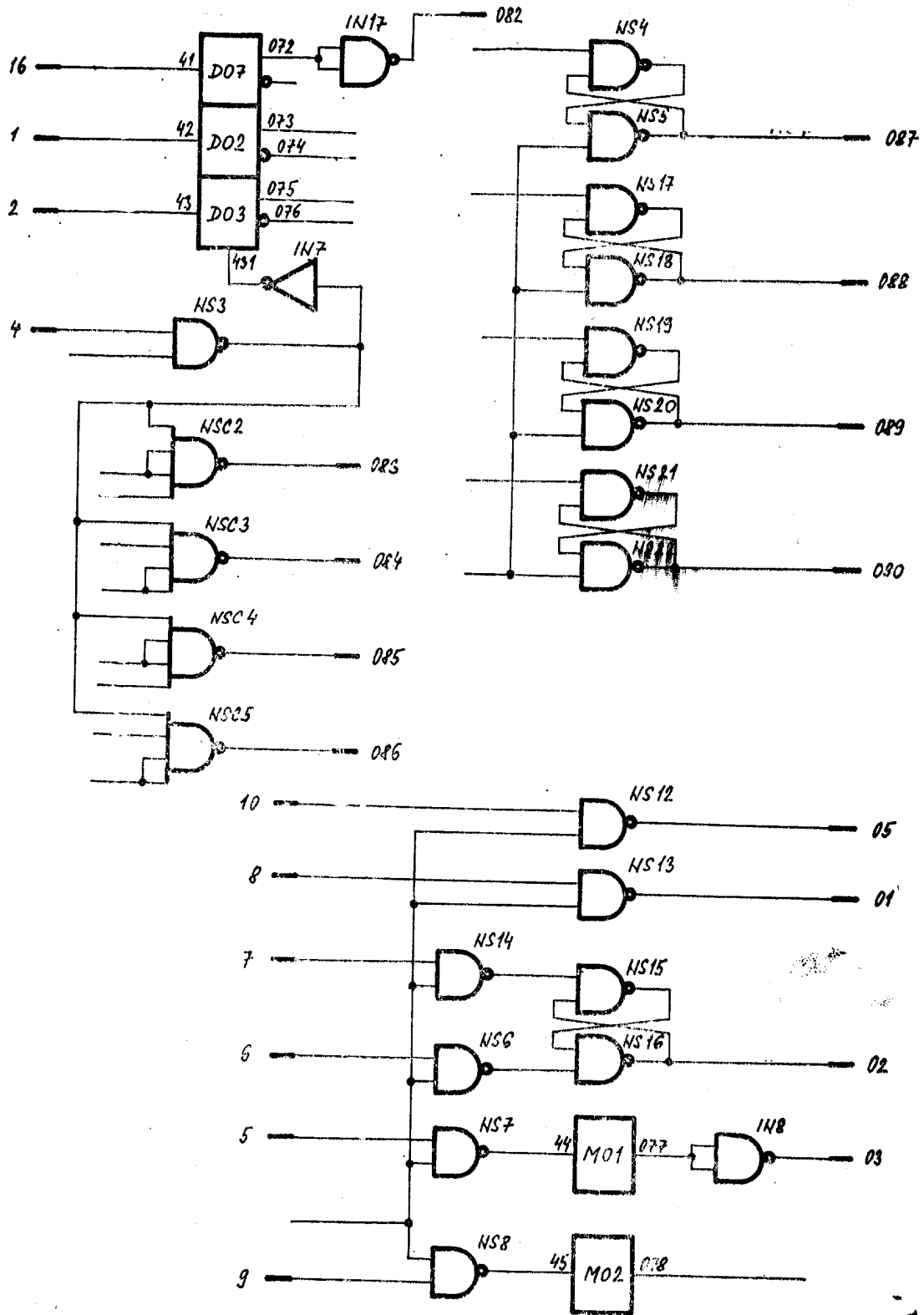
6 listů výkresů



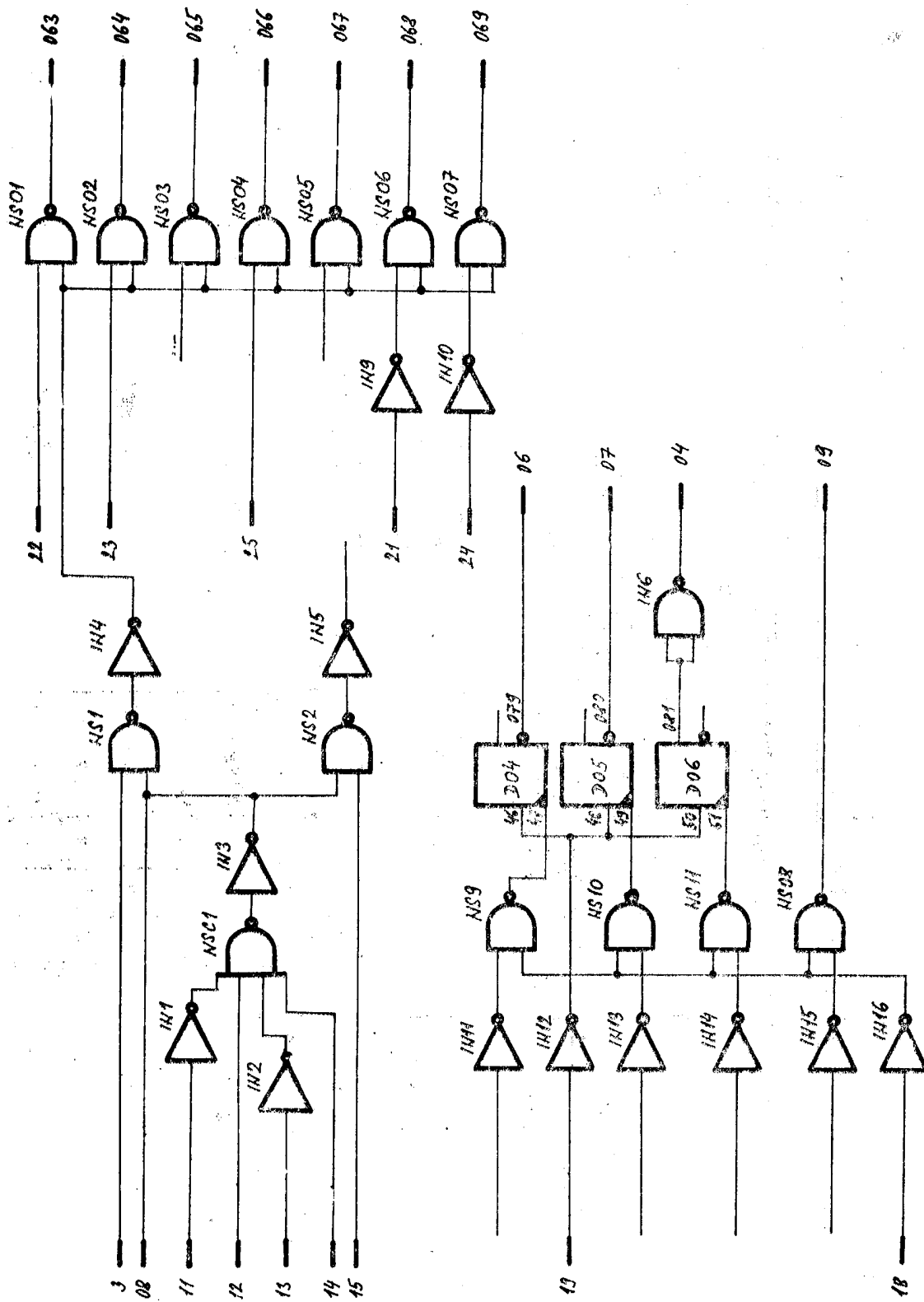
Obr. 1a



Обр. 1б



Obr. 1c



Obr. 1d

[illegible]

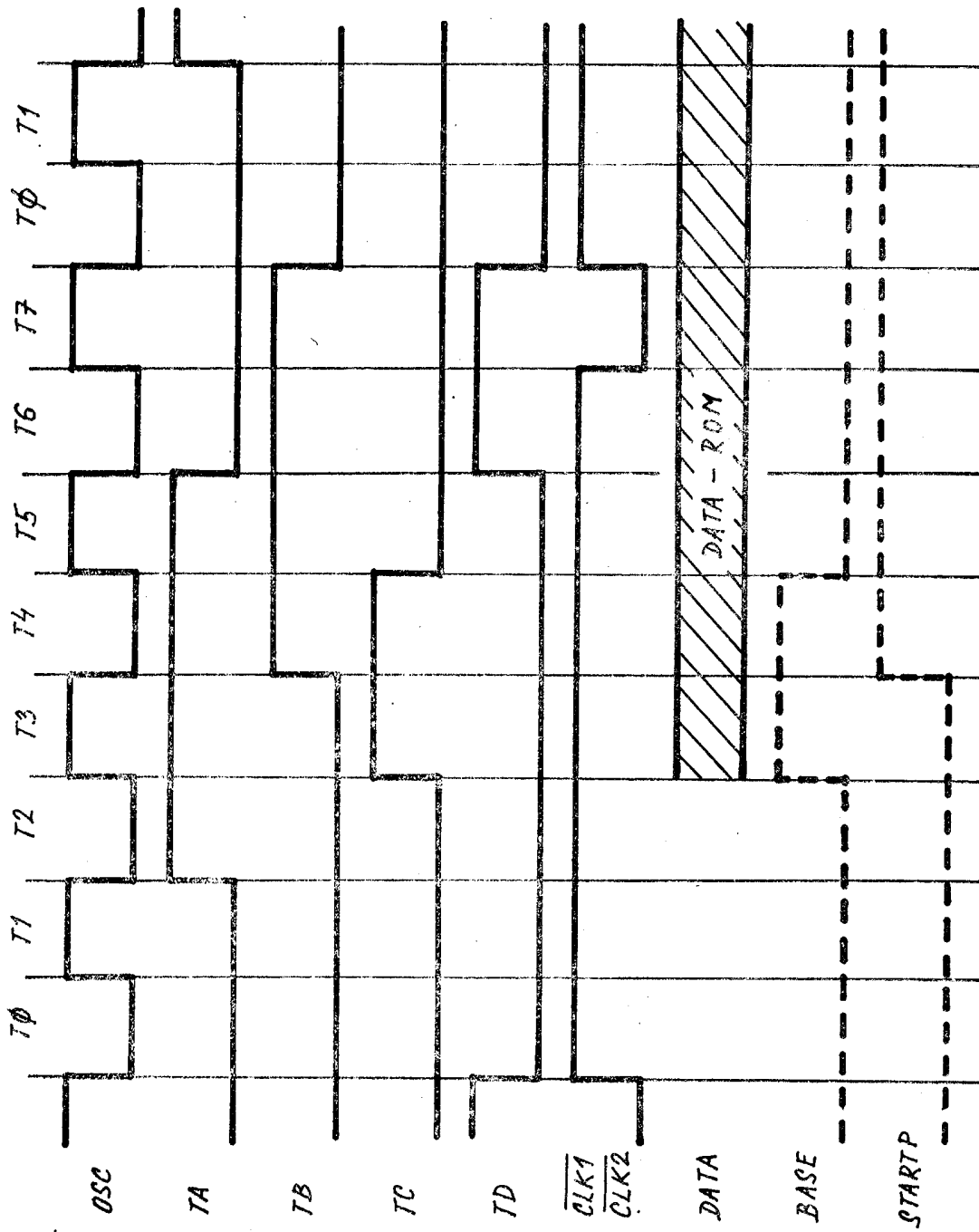
CS	INP	STAY
0	0	DMO
0	1	DMI
1	0	CSDMO
1	1	CSDMI

P2	P1	P0	FUNCTION
0	0	0	F1 → F1
0	0	1	DC → F1
0	1	0	10F → F1
0	1	1	PRER → F1
1	0	0	3MAF → F1
1	0	1	RPD1 → F1
1	1	0	RPD2 → F1
1	1	1	M10 → F1

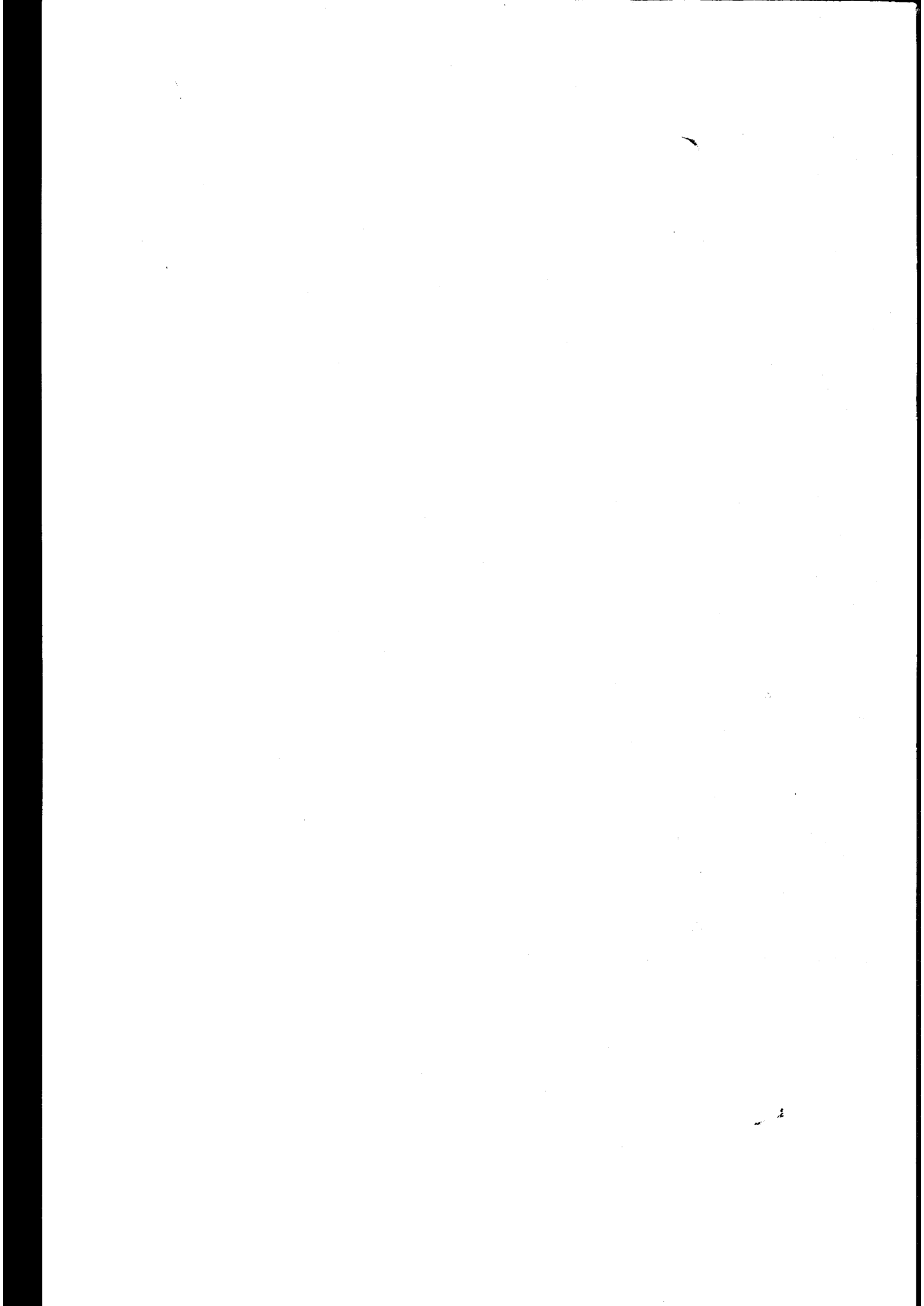
R/C	START	FUNCTION
0	0	X
0	1	WTM
1	0	NOP
1	1	RDM

M44-14	SETPX	FUNCTION
0	0	NOP PX
0	1	M7-10 → PX
1	0	X
1	1	M11-14 → PX

Obt. 2



obr. 3





ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

259806
(11) (B1)

[51] Int. Cl.⁴
F 16 H 21/14

[22] Přihlášeno 05 06 86
[21] (PV 4152-86.T)

[40] Zveřejněno 15 03 88

[45] Vydáno 15 03 89

(75)

Autor vynálezu

MASTNÍK KVĚTOSLAV ing., ALŠOVICE

(54) Uvolněný kulisový mechanismus

1

Uvolněný kulisový mechanismus sestává z rámu, z kulisy a z klíky, tvořené prvním čepem, poháněcí částí, respektive řemenice a druhým čepem, pevně uchyceným do tělesa. Těleso a kulisa jsou volně pohyblivě uloženy v rámu nebo ve vedeních anebo je kulisa vytvořena v tělese, které je otočně uloženo kolem hlavního čepu. Poháněcí část sestává z poddajného převodu se stabilizačním účinkem. Uvolněný kulisový mechanismus lze užít tam, kde se potřebuje protiběžný vyvážený pohyb.

2

