



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **123768** (13) **U**
(51) МПК
Н03К 3/78 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2017 08615	(72) Винахідник(и): Коробков Микола Григорович (UA), Коробкова Олена Миколаївна (UA), Рубанов Васілій Грігорьевіч (RU), Харченко Вячеслав Сергійович (UA)
(22) Дата подання заявки: 23.08.2017	
(24) Дата, з якої є чинними права на корисну модель: 12.03.2018	
(46) Публікація відомостей про видачу патенту: 12.03.2018, Бюл.№ 5	(73) Власник(и): НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО "ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ", вул. Чкалова, 17, м. Харків, 61070 (UA)

(54) ФОРМУВАЧ ОДИНОЧНОЇ ДВОІМПУЛЬСНОЇ КОДОВОЇ СЕРІЇ З ПЕРЕНАСТРОЮВАНИМИ ЧАСОВИМИ ПАРАМЕТРАМИ

(57) Реферат:

Формувач одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами містить: реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий синхронні DL-тригери зі входом дозволу переходу L і входом асинхронної установки у нульовий стан; перший і другий елементи АБО; стартозупинний пристрій, який містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан, ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення, перший і другий елементи I, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера, вихід першого елемента АБО з'єднано з першим входом другого елемента I; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів I; вихід першого елемента I сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента I з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів. Другий вхід першого елемента АБО з'єднано з прямим виходом першого DL-тригера. Третій вхід першого елемента АБО з'єднано з прямим виходом другого DL-тригера. Прямий вихід першого DL-тригера, що утворює вихід формувача, з'єднано зі входом подачі тактових імпульсів другого DL-тригера. Інверсний вихід першого DL-тригера з'єднано з його входом D і другим входом першого елемента I. Інверсний вихід другого DL-тригера з'єднано з його входом D, виходом другого, третього і четвертого розрядів лічильника з'єднано зі входами другого елемента АБО, вихід якого з'єднано зі входом дозволу паралельного завантаження лічильника і входом дозволу переходу першого DL-тригера.

UA 123768 U

Корисна модель належить до імпульсної, обчислювальної і вимірювальної техніки, призначена для формування одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами.

5 Відомі формувачі, що містять кварцовий задаючий генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Ю.В. Новиков Основи цифровой техники. - М.: "МИР", 2001. - Рис. 5.13-5.18).

Відомі формувачі одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами (патенти України на корисну модель № №93738, 98689, 98692, 98694-98698, 102429).

Недолік відомих пристроїв - складність внутрішньої структури.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами (патенти України на корисну модель № 98690), який містить: реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий синхронні DL-тригери зі входом дозволу переходу - L і входом асинхронної установки у нульовий стан; перший і другий елементи АБО; стартозупинний пристрій, який містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан, ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення, перший і другий елементи I, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера, вихід першого елемента АБО з'єднано з першим входом другого елемента I; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів I; вихід першого елемента I сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента I з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів.

Недолік відомого пристрою - складність схеми формувача, що обумовлено необхідністю використання додаткових логічних елементів і двох JK-тригерів і, як наслідок, висока споживана потужність, висока вартість.

35 В основу корисної моделі поставлено задачу спрощення структури формувача, зменшення споживаної потужності та вартості.

Поставлена задача вирішується тим, що в формувачі одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами, який містить: реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий синхронні DL-тригери зі входом дозволу переходу - L і входом асинхронної установки у нульовий стан; перший і другий елементи АБО; стартозупинний пристрій, який містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан, ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення, перший і другий елементи I, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера, вихід першого елемента АБО з'єднано з першим входом другого елемента I; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів I; вихід першого елемента I сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента I з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів, відповідно до корисної моделі, другий вхід першого елемента АБО з'єднано з прямим виходом першого DL-тригера, третій вхід першого елемента АБО з'єднано з прямим виходом другого DL-тригера, прямий вихід першого DL-тригера, що утворює вихід формувача, з'єднано зі входом подачі тактових імпульсів другого DL-тригера, інверсний вихід першого DL-тригера з'єднано з його входом D і другим входом першого елемента I, інверсний вихід другого DL-тригера

з'єднано з його входом D, виходи другого третього і четвертого розрядів лічильника з'єднано зі входами другого елемента АБО, вихід якого з'єднано зі входом дозволу паралельного завантаження лічильника і входом дозволу переходу першого DL-тригера; настроювання формувача на задані часові параметри вихідної послідовності імпульсів забезпечується значенням сигналів на входах паралельного завантаження лічильника, які у залежності від заданих часових параметрів серії можуть бути з'єднані з виходом переповнення лічильника, з виходом першого розряду лічильника, з виходами першого DL-тригера, з рівнем логічного нуля або одиниці, так при настроюванні формувача на формування одиночної кодової серії, тривалість першого імпульсу у якій дорівнює десяти періодам тактових імпульсів (що подаються на вхід формувача з виходу зовнішнього кварцового генератора), тривалість паузи дорівнює семи періодам тактових імпульсів, тривалість другого імпульсу дорівнює двом періодам, перший вхід паралельного завантаження лічильника з'єднано з прямим виходом першого DL-тригера, другий вхід паралельного завантаження з'єднано з рівнем логічної одиниці, третій вхід паралельного завантаження з'єднано з прямим виходом першого DL-тригера, четвертий вхід паралельного завантаження лічильника з'єднано з його виходом переповнення.

На фіг. 1 приведена схема формувача.

Формувач містить: реверсивний двійковий лічильник 1, налагоджений на режим віднімання, який має вхід подачі тактових імпульсів С, вхід налагодження на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі завантажуваних даних D₀-D₃, вхід дозволу режиму лічби P₀, вхід асинхронної установки у нульовий стан R, вихід переповнювання P₄; перший (2) і другий (3) синхронні DL-тригери зі входом дозволу переходу L і входом асинхронної установки у нульовий стан R; синхронний D-тригер 4 зі входом асинхронної установки у нульовий стан R; перший (5) і другий (6) елементи І; перший (7) і другий (8) елементи АБО; послідовно з'єднані резистор 9 і конденсатор 10, підключені до джерела живлення +Е.

Загальна точка послідовно сполучених резистора 9 і конденсатора 10, з'єднана з інформаційним входом тригера 4, з першими входами елементів 5, 6. Другий вхід елемента 5 з'єднано з інверсним виходом ($\overline{Q1}$) тригера 2 і з його входом D. Вихід елемента 5 з'єднано зі входом асинхронної установки тригера 4 у нульовий стан. Другий вхід елемента 6 з'єднано з виходом елемента 7. Вихід елемента 6 з'єднано зі входами асинхронної установки у нульовий стан лічильника 1 і тригерів 2, 3.

Перший вхід елемента 7 з'єднано з прямим виходом (Q) тригера 4, другий - з прямим виходом (Q1) тригера 2, третій - з прямим виходом (Q2) тригера 3. Прямий вихід тригера 2, що утворює вихід (F) формувача, з'єднано зі входом подачі тактових імпульсів (С) тригера 3. Інверсний вихід ($\overline{Q2}$) тригера 3 з'єднано з його входом D. Виходи другого (Q₁), третього (Q₂) і четвертого (Q₃) розрядів лічильника 1 з'єднано зі входами елемента 8, вихід якого з'єднано зі входом (L) дозволу паралельного завантаження лічильника 1 і входом (L) дозволу переходу тригера 2.

Настроювання формувача на задані часові параметри вихідної послідовності імпульсів забезпечується значенням сигналів на входах паралельного завантаження першого лічильника, які дорівнюють нулю, одиниці або формуються значенням сигналів з виходу переповнення лічильника, з виходу першого розряду лічильника і з виходу тригера 2.

Так при настроюванні формувача на формування одиночної кодової серії, тривалість першого імпульсу у якій дорівнює десяти періодам (10T) тактових імпульсів (що подаються на вхід формувача з виходу зовнішнього кварцового генератора), тривалість паузи дорівнює семи періодам (7T) тривалість другого імпульсу дорівнює двом періодам (2T) перший вхід (D₀) паралельного завантаження лічильника з'єднано з прямим виходом першого DL-тригера, другий вхід (D₁) паралельного завантаження з'єднано з рівнем логічної одиниці, третій вхід (D₂) паралельного завантаження з'єднано з прямим виходом першого DL-тригера, четвертий вхід (D₃) паралельного завантаження лічильника з'єднано з його виходом переповнення. Тактові входи лічильника і тригерів 2, 3 утворюють вхід (С) формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора. Тактовий вхід тригера 4 утворює вхід подачі імпульсів запуску (Start).

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 9 і конденсатора 10, підключеного до шини живлячої напруги +Е, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на входах елементів 5 та 6, забезпечуючи формування рівня логічного нуля на їхніх виходах, тобто на входах R асинхронної установки у нульовий стан тригерів 2, 3, 4 і лічильника 1.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, лічильник і тригери переходять у нульовий стан, формуючи: рівень логічної одиниці на виході переповнення лічильника, рівень логічного нуля на прямих виходах тригерів, на виходах Q_1 - Q_3 лічильника, на виході елемента 8, на виході елемента 7, який з'єднано зі входом елемента 6, що
 5 забезпечує рівень логічного нуля на входах R асинхронної установки у нульовий стан лічильника і тригерів і по закінченню перехідного процесу, пов'язаного із зарядом конденсатора 10. Оскільки режим асинхронної установки лічильника і тригера у нульовий стан має пріоритет по відношенню до всіх останніх режимів, то до тих пір, поки на вході елемента 6 (а отже і на його виході) зберігатиметься рівень логічного нуля, при надходженні тактових імпульсів
 10 нульовий стан лічильника і тригерів залишатиметься незмінним, тобто залишатиметься незмінним нульове значення на виході формувача.

Під час вступу імпульсу запуску (Start) на тактовий вхід С тригера 4 тригер переходить в одиничний стан), формуючи рівень логічної одиниці на його виході ($Q=1$), виході елемента 7, а отже на вході та виході елемента 6, що забезпечує рівень логічної одиниці на входах R лічильника і тригерів 2, 3, знімаючи блокування. Оскільки на входах L лічильника і тригерів 2, 3, рівень логічного нуля, то до моменту вступу чергового тактового імпульсу лічильник знаходиться у режимі готовності завантаження, а тригер 2 у режимі готовності до переходу.

І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С по його фронту відбувається паралельне завантаження
 20 лічильника значеннями сигналів, які сформовані на входах D_0 - D_3 ($D_0=D_2=Q_1=0$, $D_1=\overline{Q_1}=1$, $D_3=P_4=1$). Лічильник переходить у стан $1010=10$, що веде до формування нульового значення на виході переповнення лічильника, одиничного значення на виході елемента 8 і входах L лічильника, до заборони завантаження лічильника 1 і дозволу режиму лічби (віднімання). Тригер 2 переходить в одиничний стан ($Q_1=1$, $\overline{Q_1}=0$) що веде до формування одиничного
 25 значення на виході формувача, а також переходу тригера.

В одиничний стан ($Q_2=1$, $\overline{Q_2}=0$), формування нульового значення на вході і виході елемента 5 і переходу тригера 4 у нульовий стан. Під час вступу подальших тактових імпульсів зміст лічильника 1 зменшуватиметься, а одиничний стан тригера 2 залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001 на виході елемента 8 формується нульове
 30 значення. В результаті цього лічильник знову перейде в режим завантаження, а тригер 2 - в режим переходу. І тоді під час вступу наступного тактового імпульсу по його фронту знову відбувається паралельне завантаження лічильника значеннями сигналів, на входах D_0 - D_3 ($D_0=Q_1=1$, $D_1=1$, $D_2=Q_1=1$, $D_3=P_4=0$).

Лічильник переходить у стан $0111=7$. Тригер 2 перейде у нульовий стан, формуючи нульове
 35 значення на виході формувача.

Під час вступу подальших тактових імпульсів зміст лічильника зменшуватиметься, а нульовий стан тригера 2 залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001 на виході елемента 8 формується нульове значення. В результаті цього лічильник перейде в режим завантаження, а тригер 2 - в режим переходу. І тоді під час вступу наступного
 40 тактового імпульсу тригер 2 переходить в одиничний стан ($Q_1=1$, $\overline{Q_1}=0$) що веде до формування одиничного значення на виході формувача, а також переходу тригера 3 в нульовий стан ($Q_2=0$ Відбувається паралельне завантаження лічильника значеннями сигналів, на входах D_0 - D_3 ($D_0=D_2=Q_1=0$, $D_1=\overline{Q_1}$, $D_3=P_4=0$). Лічильник переходить у стан $0010=2$. Тригер 2 перейде в одиничний стан, формуючи одиничне значення на виході формувача.

Під час вступу подальших тактових імпульсів зміст лічильника 1 зменшуватиметься, а одиничний стан тригера 2 залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001 на виході елемента 8 формується нульове значення. В результаті цього тригер 2 - в режим
 45 переходу. І тоді під час вступу наступного тактового імпульсу тригер 2 перейде в нульовий стан, на входах елемента 7 і його виході буде сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 6, що призведе до переходу лічильника у нульовий стан, а отже до припинення процесу генерації. Зі вступом наступного імпульсу запуску усі процеси повторюються.

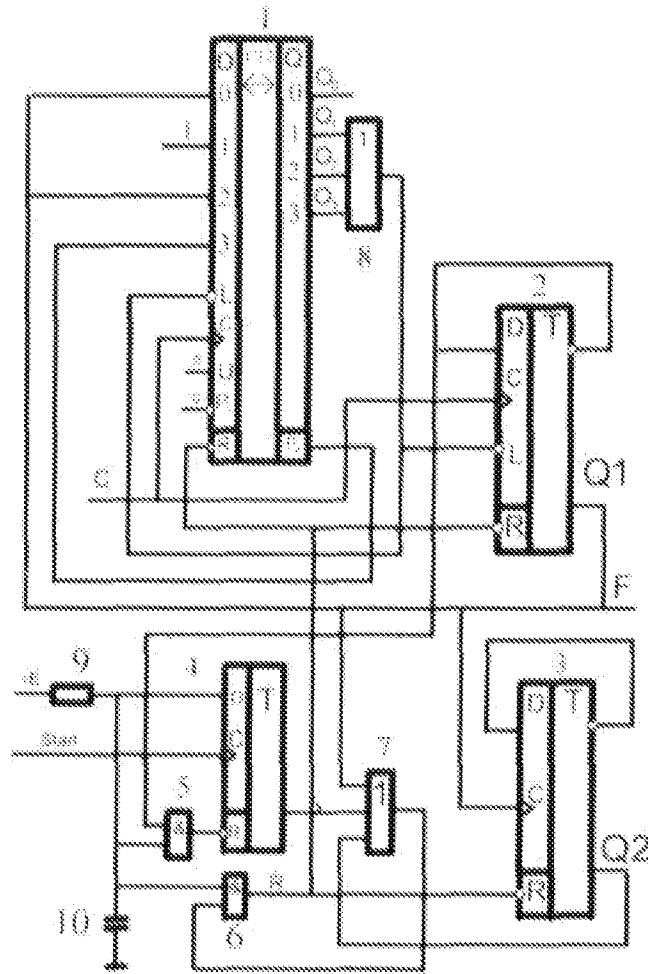
На фіг. 2 приведений граф переходів формувача, що складається з трьох гілок (верхня вітка - граф переходів лічильника, середня - граф переходів тригера 2, нижня - граф переходів
 55 тригера 3 із загальною вершиною, відповідною нульовому стану лічильника і тригерів 2, 3 а на фіг. 3 зображені епюри, що ілюструють роботу для варіанта настроювання формувача на тривалість першого імпульсу, яка дорівнює $10T$, паузи між ними, що дорівнює $7T$, тривалість другого імпульсу дорівнює $2T$.

На відміну від відомого пристрою спрощення структури формувача дозволило спростити технологію його виготовлення, знизити споживану потужність і вартість.

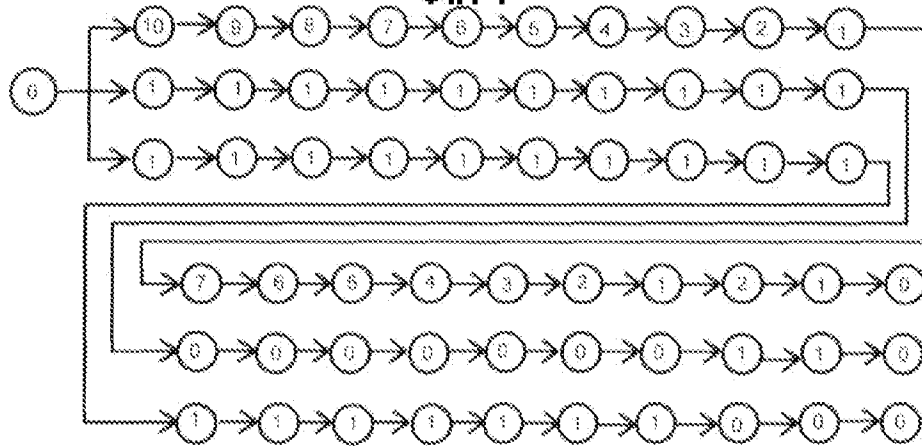
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

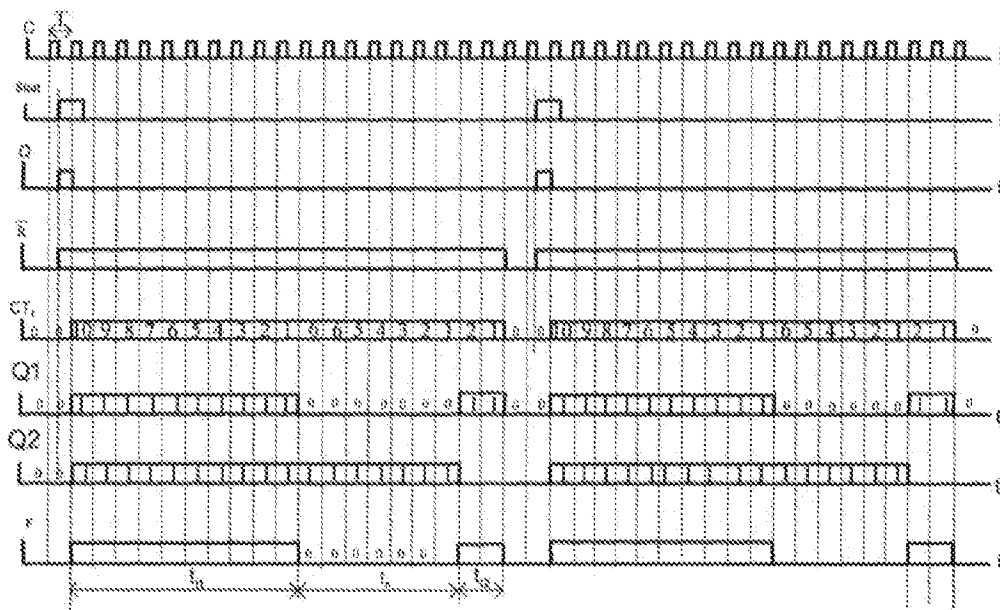
Формувач одиночної двоімпульсної кодової серії з перенастроюваними часовими параметрами, який містить: реверсивний двійковий лічильник, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; перший і другий синхронні DL-тригери зі входом дозволу переходу L і входом асинхронної установки у нульовий стан; перший і другий елементи АБО; стартозупинний пристрій, який містить: синхронний D-тригер зі входом асинхронної установки у нульовий стан, ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення, перший і другий елементи I, при цьому перший вхід першого елемента АБО з'єднано з виходом D-тригера, вихід першого елемента АБО з'єднано з першим входом другого елемента I; загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другим входом другого елементів I; вихід першого елемента I сполучений зі входом асинхронної установки D-тригера в нульовий стан; вихід другого елемента I з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів, який **відрізняється** тим, що другий вхід першого елемента АБО з'єднано з прямим виходом першого DL-тригера, третій вхід першого елемента АБО з'єднано з прямим виходом другого DL-тригера, прямий вихід першого DL-тригера, що утворює вихід формувача, з'єднано зі входом подачі тактових імпульсів другого DL-тригера, інверсний вихід першого DL-тригера з'єднано з його входом D і другим входом першого елемента I, інверсний вихід другого DL-тригера з'єднано з його входом D, виходи другого, третього і четвертого розрядів лічильника з'єднано зі входами другого елемента АБО, вихід якого з'єднано зі входом дозволу паралельного завантаження лічильника і входом дозволу переходу першого DL-тригера; настроювання формувача на задані часові параметри вихідної послідовності імпульсів забезпечується значенням сигналів на входах паралельного завантаження лічильника, які у залежності від заданих часових параметрів серії можуть бути з'єднані з виходом переповнення лічильника, з виходом першого розряду лічильника, з виходами першого DL-тригера, з рівнем логічного нуля або одиниці, так при настроюванні формувача на формування одиночної кодової серії, тривалість першого імпульсу у якій дорівнює десяти періодам тактових імпульсів (що подаються на вхід формувача з виходу зовнішнього кварцового генератора), тривалість паузи дорівнює семи періодам тактових імпульсів, тривалість другого імпульсу дорівнює двом періодам, перший вхід паралельного завантаження лічильника з'єднано з прямим виходом першого DL-тригера, другий вхід паралельного завантаження з рівнем логічної одиниці, третій вхід паралельного завантаження з'єднано з прямим виходом першого DL-тригера, четвертий вхід паралельного завантаження лічильника з'єднано з його виходом перетворення.



Фиг. 1



Фиг. 2



Фиг. 3

Комп'ютерна верстка В. Мацело

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601