



# [12] 发明专利申请公开说明书

[21] 申请号 200410002430.3

[43] 公开日 2004年8月18日

[11] 公开号 CN 1521826A

[22] 申请日 2004.1.29

[21] 申请号 200410002430.3

[30] 优先权

[32] 2003.1.23 [33] US [31] 10/350,643

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 许胜簾 潘威 庄维佛

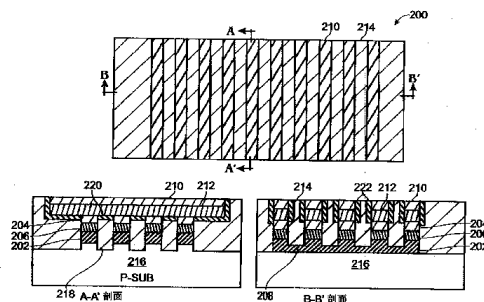
[74] 专利代理机构 中科专利商标代理有限责任公司  
代理人 汪惠民

权利要求书 4 页 说明书 8 页 附图 11 页

[54] 发明名称 双槽隔离的交叉存储器阵列及其制造方法

[57] 摘要

提供了存储器阵列双槽隔离结构及其形成方法。该方法包含：形成 p - 掺杂的硅 (p - Si) 基材；在 p - Si 基材上形成 n - 掺杂的 (n + ) Si 层；在形成 n + Si 位线之前，在 n + Si 层上形成 p + Si 层；在 p + 层上形成氮化硅层；在氮化硅层上形成氧化物顶层；进行氧化物顶层、氮化硅层、p + Si 层和部分 n + Si 层的第一次选择性蚀刻，以形成 n + Si 位线和在位线间的位线槽；在多个 n - 掺杂的硅 (n + Si) 位线上形成金属底电极阵列，其具有居间 p - 掺杂的 (p + ) Si 区域；形成多个字线氧化物隔离结构，该结构在垂直于 n + Si 位线且在 n + Si 位线上，邻近底电极，并且隔离 p + Si 区域；形成多个顶电极字线，所述字线垂直于 n + Si 位线，其在底电极上具有夹入存储器电阻器材料；和邻近字线形成氧化物填充的字线槽。



1. 在存储器阵列中，一种形成双槽隔离结构的方法，该方法包含：  
5 在多个 n-掺杂的硅(n+Si)位线上，形成金属底电极阵列，其具有多个  
居间 p-掺杂的(p+)Si 区域；  
形成多个字线氧化物隔离结构，该结构垂直于 n+Si 位线且在 n+Si 位  
线上，邻近底电极并且隔离开所述 p+Si 区域；  
形成多个顶电极字线，所述字线垂直于 n+Si 位线，具有在底电极上的  
10 夹入的存储器电阻器材料；和，  
邻近字线形成氧化物填充的字线槽。
2. 根据权利要求 1 所述的方法，该方法还包含：  
形成 p-掺杂的硅(p-Si)基材；  
在 p-Si 基材上形成 n-掺杂的(n+)Si 层；和，  
15 从 n+Si 层，形成多个 n+Si 位线。
3. 根据权利要求 2 所述的方法，其中在 n+Si 位线上形成多个字线氧  
化物隔离结构的步骤包括：形成延伸进入 n+Si 位线的部分字线氧化物隔  
离结构。
4. 根据权利要求 2 所述的方法，该方法还包含：  
20 在形成 n+Si 位线之前，在 n+Si 层上形成 p+Si 层；  
在 p+Si 层上形成氮化硅层；  
在氮化硅层上形成氧化物顶层；和，  
其中形成 n+Si 位线的步骤包括：进行氧化物顶层、氮化硅层、p+Si  
层和部分 n+Si 层的第一次选择性蚀刻，以形成在位线间的位线槽。
- 25 5. 根据权利要求 4 所述的方法，其中在多个 n+Si 位线上形成金属底  
电极阵列，其具有居间 p+Si 区域，包括：  
进行第二次蚀刻，加深位线槽和蚀刻氧化物顶层、氮化硅层、p+Si  
层、n+Si 层和部分 p-Si 基材，以形成垂直于位线槽的字线槽；  
用槽氧化物填充位线和字线槽；  
30 化学-机械抛光(CMP)槽氧化物和顶层氧化物至氮化硅层；

- 蚀刻以除去氮化硅并且暴露 p+Si 区域的阵列；  
各向同性地沉积底电极金属；  
和，  
化学-机械抛光底电极金属至槽氧化物。
- 5 6. 根据权利要求 5 所述的方法，其中形成多个顶电极字线，该字线垂直于位线，在底电极上具有插入的存储器电阻器材料，该步骤包括：  
沉积存储器电阻器材料；  
沉积顶电极金属；和，  
选择性蚀刻顶电极和存储器电阻器材料，以在底电极之上形成垂直于位线的多个字线。
- 10 7. 根据权利要求 6 所述的方法，其中沉积存储器电阻器材料的步骤包括使用选自  $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ (PCMO)，巨磁致电阻(CMR)和高温超导(HTSC)材料的存储器电阻器材料；  
该方法还包含：  
15 在形成底电极阵列之后，使用一种选自包括 BHF 溶液和等离子体的组的方法，以除去字线氧化物隔离结构层至 10 至 30 纳米(nm)范围的深度；  
在槽氧化物上形成第一种阻挡绝缘层；和，  
化学-机械抛光第一阻挡绝缘层至底电极金属。
- 20 8. 根据权利要求 7 所述的方法，该方法还包含：  
在形成字线之后，沉积第二种阻挡绝缘层；  
在第二种阻挡绝缘层之上沉积钝化氧化物层；和，  
各向异性地蚀刻钝化氧化物层和第二种阻挡绝缘器，形成相邻于字线的第二种阻挡绝缘器侧壁。
- 25 9. 根据权利要求 2 所述的方法，其中在 p-Si 基材上形成 n+Si 层的步骤包括：用选自包括下列的组的方法掺杂 n+Si 层：用在 100KeV 至 200KeV 范围内的能级和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的剂量的磷，和用在 200KeV 至 400KeV 范围内的能级和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的剂量的砷。
- 30 10. 根据权利要求 4 所述的方法，其中在 n+Si 层上形成 p+Si 层的步骤包括用选自包括下列的组的方法掺杂 p+Si 层：用在 5KeV 至 20KeV 范围内的能级和  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的剂量的硼，和用在 20KeV 至 80KeV

范围内的能级和  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的剂量的  $\text{BF}_2$ 。

11. 根据权利要求 4 所述的方法，其中在氮化硅上形成氧化物顶层的步骤包括：形成厚度为 50 至 500nm 的氧化物顶层。

12. 根据权利要求 4 所述的方法，其中在 p+Si 层上形成氮化硅层的步骤包括：形成厚度为 100 至 300nm 的氮化硅层。

13. 根据权利要求 4 所述的方法，其中进行氧化物顶层、氮化硅层、p+Si 层和部分 n+Si 层的第一次选择性蚀刻，以在 n+Si 位线间形成位线槽的步骤包括形成深度为 200 至 500nm 的位线槽。

14. 根据权利要求 5 所述的方法，其中进行第二次蚀刻，加深位线槽和蚀刻氧化物顶层、氮化硅层、p+Si 层、n+层和部分 p-Si 基材，以形成垂直于位线槽的字线槽的步骤包括：

蚀刻字线槽至低于在 n+Si 位线上 p+Si 界面的深度；和，

延伸位线槽至低于在 p-Si 基材上 n+Si 位线界面的深度。

15. 根据权利要求 14 所述的方法，其中进行第二次蚀刻的步骤包括：蚀刻字线槽至 200 至 500nm 的深度；和，

延伸位线槽至 400 至 700nm 的总深度。

16. 根据权利要求 5 所述的方法，其中蚀刻以除去氮化硅并且暴露 p+Si 区域的阵列的步骤包括使用热  $\text{H}_3\text{PO}_4$  湿式蚀刻方法。

17. 根据权利要求 7 所述的方法，其中沉积第一和第二种阻挡绝缘器包括：沉积选自  $\text{TiO}_2$ 、 $\text{Al}_2\text{O}_3$  和  $\text{Si}_3\text{N}_4$  的材料。

18. 一种具有双槽隔离结构的存储器阵列，其包含：

多个 n-掺杂的硅(n+Si)位线；

金属底电极阵列，其在 n+Si 位线上，其具有居间 p-掺杂的(p+)Si 区域；

多个字线氧化物隔离结构，其垂直于 n+Si 位线并且在 n+Si 位线上；

25 邻近底电极，和隔离开 p+Si 区域；

多个顶电极字线，其垂直于位线，具有在底电极上的插入的存储器电阻器材料；和，

氧化物填充的字线槽，其在字线氧化物隔离结构之上，邻近字线。

19. 根据权利要求 18 所述的存储器阵列，其还包含：

30 p-掺杂的硅(p-Si)基材；和，

其中多个 n+Si 位线叠加在 p-Si 基材之上。

20. 根据权利要求 19 所述的存储器阵列，其中所述字线氧化物隔离结构延伸入 n+Si 位线。

21. 根据权利要求 20 所述的存储器阵列，其还包含：  
5 在位线间，字线下面的氧化物填充的位线槽。

22. 根据权利要求 21 所述的存储器阵列，其中所述存储器电阻器材料选自  $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ (PCMO)，巨磁致电阻(CMR)和高温超导(HTSC)材料；存储器阵列还包含：

10 第一阻挡绝缘层，其在氧化物填充的位线槽之上并且邻近底电极，其厚度为 10 至 30 纳米(nm)。

23. 根据权利要求 22 所述的存储器阵列，其还包含：

第二阻挡绝缘器侧壁，其插入在字线和氧化物填充的位线槽之间。

24. 根据权利要求 23 所述的存储器阵列，其中所述第一和第二种阻挡绝缘器为选自  $\text{TiO}_2$ 、 $\text{Al}_2\text{O}_3$  和  $\text{Si}_3\text{N}_4$  的材料。

15 25. 根据权利要求 21 所述的存储器阵列，其中所述字线氧化物隔离结构具有延伸至 p+Si 区域和 n+Si 位线的界面之下的底部。

26. 根据权利要求 25 所述的存储器阵列，其中所述字线氧化物隔离结构的厚度为 200 至 500nm。

20 27. 根据权利要求 21 所述的存储器阵列，其中所述氧化物填充的位线槽具有延伸至 n+Si 位线和 p-Si 基材的界面之下的厚度。

28. 根据权利要求 27 所述的存储器阵列，其中所述氧化物填充的位线槽的厚度为 400 至 700nm。

29. 根据权利要求 26 所述的存储器阵列，其中所述氧化物填充的位线槽的厚度为 300 至 400nm。

## 双槽隔离的交叉存储器阵列及其制造方法

5

### 技术领域

本发明一般涉及集成电路(IC)制造, 并且更具体而言, 涉及一种存储器阵列, 其具有在一个电阻器/一个二极管(1R1D)底电极的阵列下面的 p/n 连接之间形成的改善隔离区。

10

### 背景技术

典型地, 1R1D 电阻器随机存储器(RRAM)使用 n-掺杂的硅(n+Si)位线。在具有居间 p-掺杂(p+)Si 区域的位线之上形成底电极的阵列。p+Si 和 n+Si 位线之间的界面形成 p/n 连接。常规的制造方法允许在位线之间形成适宜的氧化物隔离区, 由于在方法中可以在相对早地形成延伸至下面的硅(Si)基材的槽和氧化物隔离结构。但是, 更难以沿着共同(相同)的位线隔离邻近的 p/n 连接。适宜隔离的缺乏可以导致在读取和程序操作期间电极之间的交扰。

图 1 是槽隔离电阻器存储器阵列在两个正交轴的局部截面图(现有技术)。如在图 1 的左侧所示, 通过氧化物槽将每条 n+位线与其它位线隔离。该图的右侧显示沿着 n+位线的横截面。有 p+区域的地方, 在 n+位线上形成 p/n 连接。尽管 p+区域和底电极是自我对准的, 但通过离子注入浅结来形成 p+区域。作为结果, 击穿电压可以很低并且在相邻底电极之间的交扰可以很高。

25 如果相邻的 1R1D 底电极的 p/n 连接沿着共同的位线更充分地隔离, 这是有利的。

### 发明内容

30 本发明描述了双氧化物槽隔离结构, 该结构提供了改善的 1R1D 底电极 p/n 连接之间的氧化物隔离区。通常, 通过用相对深的槽隔离 n+位线,

同时将较浅的槽用于隔离 p/n 位线连接，来达到更程度的隔离。作为一种选择，可以将存储器电阻器封装于底电极金属、阻挡隔离材料(如  $\text{TiO}_2$ )和顶电极金属中，以防止氧化硅与存储器电阻器之间的反应，典型地，存储器电阻器或者为巨磁致电阻(colossal magnetoresistance)(CMR)，或者为高温超导材料。

因而，提供了一种在存储器阵列中形成双槽隔离结构的方法。该方法包含：形成 p-掺杂的硅(p-Si)基材；在 p-Si 基材上形成 n-掺杂的(n+)Si 层；在形成 n+Si 位线之前，在 n+Si 层上形成 p+Si 层；在 p+层上形成氮化硅层；在氮化硅层上形成氧化物顶层；进行氧化物顶层、氮化硅层、p+Si 层和部分 n+Si 层的第一次选择性蚀刻，以形成 n+Si 位线和在位线间的位线槽；在多个 n-掺杂的硅(n+Si)位线上形成金属底电极阵列，具有居间 p-掺杂的(p+)Si 区域；形成多个字线氧化物隔离结构，所述结构垂直于 n+Si 位线且在 n+Si 位线上方，邻近底电极，并且隔离开 p+Si 区域；形成多个顶电极字线，所述字线垂直于 n+Si 位线，其具有位于底电极上的夹入存储器电阻器(interposing memory resistor)材料；和，邻近字线形成氧化物填充的字线槽。

在该方法的一些方面，在 n+Si 位线上形成多个字线氧化物隔离结构的步骤包括：形成延伸入下面的 n+Si 位线的部分字线氧化物隔离结构。

在其它的方面，在多个 n+Si 位线上形成具有居间 p+Si 区域的金属底电极阵列的步骤包括：进行第二次蚀刻，加深位线槽和蚀刻氧化物顶层、氮化硅层、p+Si 层、n+Si 层和部分 p-Si 基材，以形成垂直于位线槽的字线槽；用槽氧化物填充位线和字线槽；化学-机械抛光(CMP)槽氧化物和顶层氧化物至氮化硅层；蚀刻以除去氮化硅并且暴露 p+Si 区域的阵列；各向同性地沉积底电极金属；和，化学-机械抛光底电极金属至槽氧化物。

下面将提供上面所述的方法和具有双槽隔离结构的存储器阵列的补充细节。

#### 附图说明

图 1 是槽隔离电阻器存储器阵列沿着两正交轴的局部截面图(现有技术)。

图 2 是本发明具有双槽隔离结构的存储器阵列沿着各正交轴的平面图和局部截面图。

图 3 是在 A-A'横截面中氧化物填充位线槽的详图。

图 4 是在 B-B'横截面中字线隔离结构的详图。

5 图 5 是在氮化硅沉积之后, 沿着各正交轴的平面图和局部截面图。

图 6 是在第二次蚀刻之后, 沿着各正交轴的平面图和局部截面图。

图 7 是在氧化物填充和 CMP 之后, 沿着各正交轴的平面图和局部截面图。

图 8 是在底电极的形成之后, 沿着各正交轴的平面图和局部截面图。

10 图 9 是在第一阻挡绝缘体的形成之后, 沿着各正交轴的平面图和局部截面图。

图 10 是在顶电极的形成之后, 沿着各正交轴的平面图和局部截面图。

图 11a 至 11b 是本发明在存储器阵列中形成双槽隔离结构的方法的流程图。

15

### 具体实施方式

图 2 是本发明具有双槽隔离结构的存储器阵列沿着各正交轴的平面图和局部截面图。所示的存储器阵列是一种 1R1D 的存储器阵列, 但是, 下面描述的隔离结构的原理可以应用于其它类型的存储器阵列。存储器阵列 200 包括: 多个 n-掺杂的硅(n+Si)位线 202。在 A-A'横截面显示了 4 条位线 202, 但此阵列不局限于任何特别条数的位线。金属底电极阵列 204 叠加在 n+Si 位线 202 之上, 具有居间 p-掺杂(p+)Si 区域 206。

多个字线氧化物隔离结构 208 垂直于 n+Si 位线 202 并且在 n+Si 位线 202 之上。字线氧化物隔离结构 208 与底电极 204 相邻并且隔开各 p+Si 区域 206。多个顶电极字线 210 与位线 202 垂直, 其具有在底电极 204 之上的夹入存储器电阻器材料 212。尽管在平面图中显示的是 10 条字线 210, 但是, 该阵列不局限于任何特别条数的字线。氧化物填充的字线槽 214 叠加在字线氧化物隔离结构 208 上, 其与位线 210 相邻。

存储器阵列 200 还包含: p-掺杂的硅(p-Si)基材 216。多个 n+Si 位线 202 叠加在 p-Si 基材 216 上。在阵列 200 的一些方面(如所示), 字线氧化

30



物隔离结构 208 延伸进入下面的 n+Si 位线。在各位线 202 之间、字线 210 下面形成氧化物填充的位线槽 218。典型地，存储器电阻器 212 是这样一种材料，如  $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ (PCMO)，巨磁致电阻(CMR)或高温超导(HTSC)材料。但是，此阵列不局限于任何特别类型的存储器电阻器材料。

5 在一些方面，存储器阵列 200 还包含：在氧化物填充的位线槽 218 上和邻近底电极 204 的第一阻挡绝缘层 220。在其它方面，存储器阵列 200 还包含：插入在字线 210 和氧化物填充的字线槽 214 之间的第二阻挡绝缘侧壁 222。

10 图 3 是在 A-A'横截面中氧化物填充的位线槽 218 的详图。如所示，第一阻挡绝缘层 220 具有在 10 至 30 纳米(nm)范围的厚度 300。氧化物填充的位线槽 218 具有厚度 302，其延伸在 n+Si 位线和下面的 p-Si 基材的界面之下。在一些方面，厚度 302 在 400 至 700nm 的范围内。

15 图 4 是在 B-B'横截面中字线隔离结构 208 的详图。第一和第二阻挡绝缘器是诸如  $\text{TiO}_2$ 、 $\text{Al}_2\text{O}_3$  或  $\text{Si}_3\text{N}_4$  的材料。但是，也可以使用其它的材料。如所示，字线氧化物隔离结构 208 具有延伸在 p+Si 区域和下面的 n+Si 位线的界面 402(p/n 连接)之下的底部 400。字线氧化物隔离结构 208 具有从底电极 204 和存储器电阻器 212 之间的界面至字线氧化物隔离结构底部 400 定义的厚度 404，厚度 404 在 200 至 500nm 的范围内。以相同的 CMP 方法形成字线隔离结构 208 的上表面 406，其定为底电极的上表面。因此，  
20 在字线隔离结构上表面 406 处，沿着底电极 204 和存储器电阻器 212 之间的界面，氧化物填充的字线槽 214 与字线氧化物隔离结构 208 通过界面连接。氧化物填充的字线槽 214 的厚度 408 在 300 至 400nm 范围内。备选地，可以考虑字线隔离结构 208 和氧化物填充的字线槽 214 为以分开的方法形成的单个元件，其总厚度在 500 至 900nm 的范围内。

25

### 功能描述

本发明的双槽隔离系统提供非常高密度的交叉电阻存储器阵列 (crosspoint resistor memory array)，其每个存储位用氧化物隔离。此阵列显示小的单元尺寸和低的位-对-位交扰，还有，该制造方法与常规的超高密度  
30 集成电路的制造方法相容。

该方法从 p-硅基材开始。常规的 n-井和 p-井分别用于 pMOST 和 nMOST 制造。在 p-硅基材上制造存储器阵列，以使 n+位线寄生电容最小化。制造的方法如下：

用注入方法，使用 100KeV 至 200KeV 的能量和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的磷剂量或 200KeV 至 400KeV 的能量和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的砷剂量，形成相对更深的 n+接合处。注入之后，接着是窄的 p+离子注入，如具有  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的硼剂量的 5 至 20KeV，或者具有  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的  $\text{BF}_2$  剂量的 20 至 80KeV，在 p-基材上形成 p/n 连接。沉积氮化硅薄层 500，其厚度约为 100nm 至 300nm，接着具有 50nm 至 500nm 厚度的顶层氧化物涂层(未显示)。

图 5 是在氮化硅沉积之后，沿着两正交轴的平面图和局部截面图。将光刻胶用来蚀刻氮化硅 500 和下面的硅，形成位线槽 502。位线槽深度 502 为约 300nm 至 500nm。

图 6 是在第二次蚀刻之后，沿着两正交轴的平面图和局部截面图。在第一次槽蚀刻之后，剥去光刻胶并且涂布第二种光刻胶，以形成用于氧化物隔离结构的第二种槽 600(参见 208，图 2)。第二种槽 600 的深度为约 200nm 至 500nm。在第二次槽蚀刻期间，进一步蚀刻第一种(位线)槽进入基材 216。第二种槽比 n+/p-基材连接更深。蚀刻之后，将光刻胶剥去。

图 7 是在氧化物填充和 CMP 之后，沿着两正交轴的平面图和局部截面图。在氮化物层 500 处停止 CMP 方法。可以将任何常规方法用于重填充和 CMP 硅槽。

图 8 是在底电极的形成之后，沿着两正交轴的平面图和局部截面图。使用热  $\text{H}_3\text{PO}_4$  湿式蚀刻方法或其它常规方法选择性地除去氮化硅。将底电极沉积于和 CMP 至槽氧化物。

图 9 是在第一阻挡绝缘体的形成之后，沿着两正交轴的平面图和局部截面图。在 BHF 溶液或在等离子体中蚀刻晶片，以除去 10nm 至 30nm 的氧化物。沉积第一阻挡绝缘薄层 220 如  $\text{TiO}_2$  或  $\text{Si}_3\text{N}_4$ ，并且 CMP 以暴露底电极 204。

图 10 是在顶电极的形成之后，沿着两正交轴的平面图和局部截面图。沉积存储器电阻器材料 212 如 CMR 或高温超导材料，接着沉积顶电极 210。

将光刻胶用作掩模以蚀刻顶电极 210。也可以由单 damascine CMP 方法形成顶电极 210。在顶电极蚀刻期间，也可以蚀刻存储器电阻器材料的暴露部分。

返回至图 2，沉积第二阻挡绝缘器 222 如  $\text{TiO}_2$  或  $\text{Si}_3\text{N}_4$ ，接着钝化氧化物沉积和最终金属化。如所示，可以各向异性蚀刻第二阻挡绝缘器 222，以除去在平坦表面上的所有阻挡氧化物，在存储器电阻器的侧壁处形成阻挡氧化物钝化。如果使用不与氧化硅和氢反应的存储器电阻器材料，则不需要第一和第二绝缘器 220/222。

图 11a 至 11b 是本发明在存储器阵列中形成双槽隔离结构的方法的流程图。尽管为了清楚将方法描述为顺序编号的步骤，除非明确地指出，否则不应该从编号中推论次序。应当理解的是：可以跳过、平行地或在没有要求保持严格的顺序次序进行这些步骤中的一些步骤。该方法开始于步骤 1100。

步骤 1102 形成 p-掺杂的硅(p-Si)基材。步骤 1104 在 p-Si 基材上形成 n-掺杂的(n+)Si 层。步骤 1106，在形成 n+Si 位线之前，在 n+Si 层上形成 p+Si 层。步骤 1108 在 p+层上形成氮化硅层。步骤 1110 在氮化硅层上形成氧化物顶层。步骤 1112，从 n+Si 层，形成多个 n+Si 位线。步骤 1114 在多个 n-掺杂的(n+Si)位线上形成金属底电极阵列，其具有居间 p-掺杂(p+)Si 区域。步骤 1116 形成垂直于 n+Si 位线并在 n+Si 位线上的多个字线氧化物隔离结构。字线隔离结构与底电极相邻，隔离开 p+Si 区域。步骤 1118 用在底电极上的插入的存储器电阻器材料，形成多个垂直于 n+Si 位线的顶电极字线。步骤 1120 形成邻近字线的氧化物填充的字线槽。

在该方法的一些方面，在步骤 1116 中，在 n+Si 位线上形成多个字线氧化物隔离结构，包括：形成部分延伸入下面的 n+Si 位线的字线氧化物隔离结构。在其它的方面，在步骤 1112 中，形成 n+Si 位线，包括：第一次选择性蚀刻氧化物顶层、氮化硅层、p+Si 层和部分 n+Si 基材，以在位线间形成位线槽。

在一些方面，在步骤 1114，在多个 n+Si 位线上形成金属底电极阵列，其具有居间 p+Si 区域，包括一些子步骤。步骤 1114a 进行第二次蚀刻，加深位线槽和蚀刻氧化物顶层、氮化硅层、p+Si 层、n+Si 层和部分 p-Si 基

材，以形成垂直于位线槽的字线槽。步骤 1114b 用槽氧化物填充位线和字线槽。步骤 1114c CMP 槽氧化物和顶层氧化物至氮化硅层。步骤 1114d 蚀刻以除去氮化硅并且暴露 p+Si 区域的阵列。例如，可以使用热 H<sub>3</sub>PO<sub>4</sub> 湿式蚀刻方法，以除去氮化硅并且暴露 p+Si 区域的阵列。步骤 1114e 各向同性地沉积底电极金属。步骤 1114f CMP 底电极金属至槽氧化物。

在一些方面，在步骤 1118 中，用在底电极上的插入的存储器电阻器材料，形成多个垂直于位线的顶电极字线，包括子步骤。步骤 1118a 沉积存储器电阻器材料。步骤 1118b 沉积顶电极金属。步骤 1118c 选择性地蚀刻顶电极和存储器电阻器材料，以在底电极上，垂直于位线形成多个字线。

10 在一些方面，在步骤 1118a 中，沉积存储器电阻器材料，包括：使用存储器电阻器材料如 PCMO，巨磁致电阻(CMR)或高温超导(HTSC)材料。然后，该方法包含更多的步骤。在形成底电极阵列(步骤 1114)之后，进行步骤 1115a，其中使用一种包括 BHF 溶液或等离子体的方法，以除去字线氧化物隔离结构的层至 10 至 30 纳米(nm)范围的深度。步骤 1115b 在槽氧化物上形成第一阻挡绝缘层。步骤 1115c CMP 第一阻挡绝缘层至底电极金属。

在其它方面，在形成字线之后，步骤 1119a 沉积第二阻挡绝缘器。步骤 1119b 在第二阻挡绝缘器上沉积钝化氧化物层。步骤 1119c 各向异性地蚀刻钝化氧化物层和第二阻挡绝缘器，形成邻近字线的第二阻挡绝缘器侧壁。在步骤 1115b 和 1119a 中沉积的第一和第二阻挡绝缘器可以分别是 TiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub> 或 Si<sub>3</sub>N<sub>4</sub>。

25 在一些方面，在步骤 1104 中，在 p-Si 基材上形成 n+Si 层，包括用选自下列的方法掺杂 n+Si 层：用在 100KeV 至 200KeV 范围内的能级和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的剂量的磷，和用在 200KeV 至 400KeV 范围内的能级和  $5 \times 10^{14}$  至  $2 \times 10^{15}/\text{cm}^2$  的剂量的砷。

在一些方面，在步骤 1106 中，在 n+Si 层上形成 p+Si 层，包括用选自下列的方法掺杂 p+Si 层：用在 5KeV 至 20KeV 范围内的能级和  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的剂量的硼，和用在 20KeV 至 80KeV 范围内的能级和  $1 \times 10^{15}$  至  $4 \times 10^{15}/\text{cm}^2$  的剂量的 BF<sub>2</sub>。

30 在该方法的一些方面，在步骤 1108 中，在 p+Si 层上形成氮化硅层，

包括：形成厚度为 100 至 300nm 的氮化硅层；并且在步骤 1110 中，在氮化硅上形成氧化物顶层，包括形成厚度为 50 至 500nm 的氧化物顶层。

在其它方面，在步骤 1112 中，进行第一次选择性蚀刻氧化物顶层、氮化硅层、p+Si 层和部分 n+Si 层，以在各 n+Si 位线间形成位线槽，该步骤包括形成深度为 200 至 500nm 的位线槽。

在一些方面，在步骤 1114a 中，进行第二次蚀刻，加深位线槽和蚀刻氧化物顶层、氮化硅层、p+Si 层、n+Si 层和部分 p-Si 基材，以形成垂直于位线槽的字线槽的步骤，包括另外的子步骤：步骤 1114a1 蚀刻字线槽至低于在 n+Si 位线(p/n 连接)上的 p+Si 界面的深度。步骤 1114a2 延伸位线槽至低于在 p-Si 基材上的 n+Si 位线界面的深度。

备选指出(但未显示)，在步骤 1114a 中进行第二次蚀刻包括：蚀刻字线槽至 200 至 500nm 的深度，并且延伸位线槽至 400 至 700nm 的总深度。

提供了存储器阵列双槽隔离结构及其形成方法。尽管在文中出现的是使用位线和字线的存储器阵列，但应当理解的是：本发明具有更广的应用并且可以用于更宽类型的阵列结构。此外，本发明已经表明与常规的 IC 制造方法相一致。应当理解的是：本发明不局限于用于证明制造隔离结构的具体方法。对于本领域的技术人员来说，作出本发明的其他各种改变和实施方案是可能的。

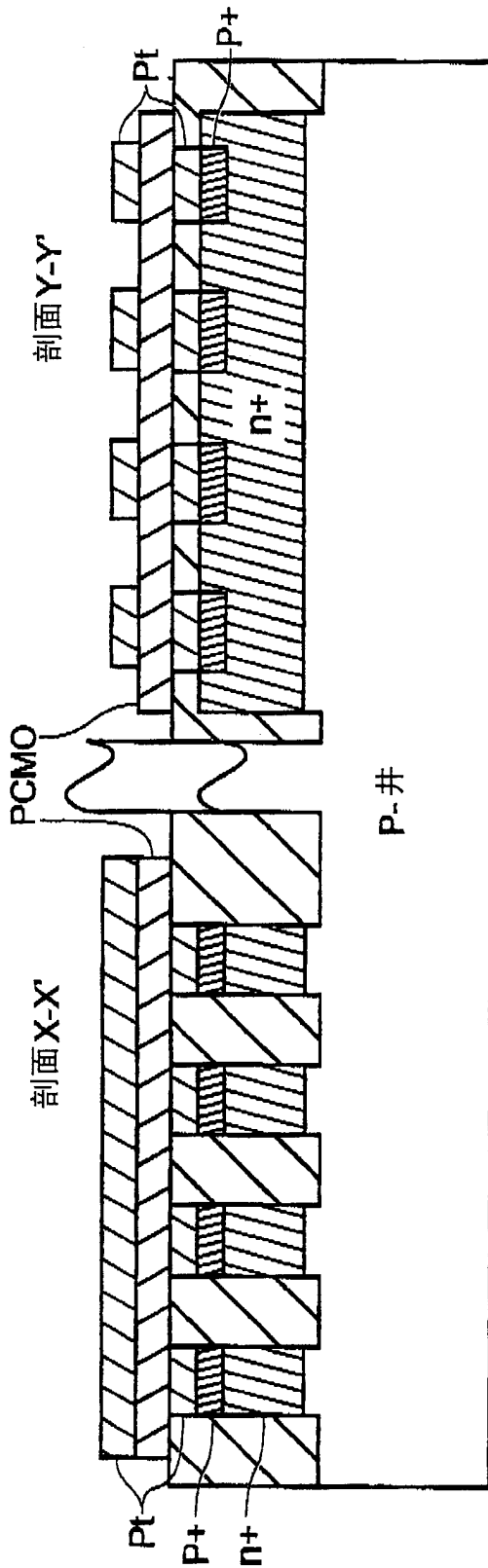


图 1

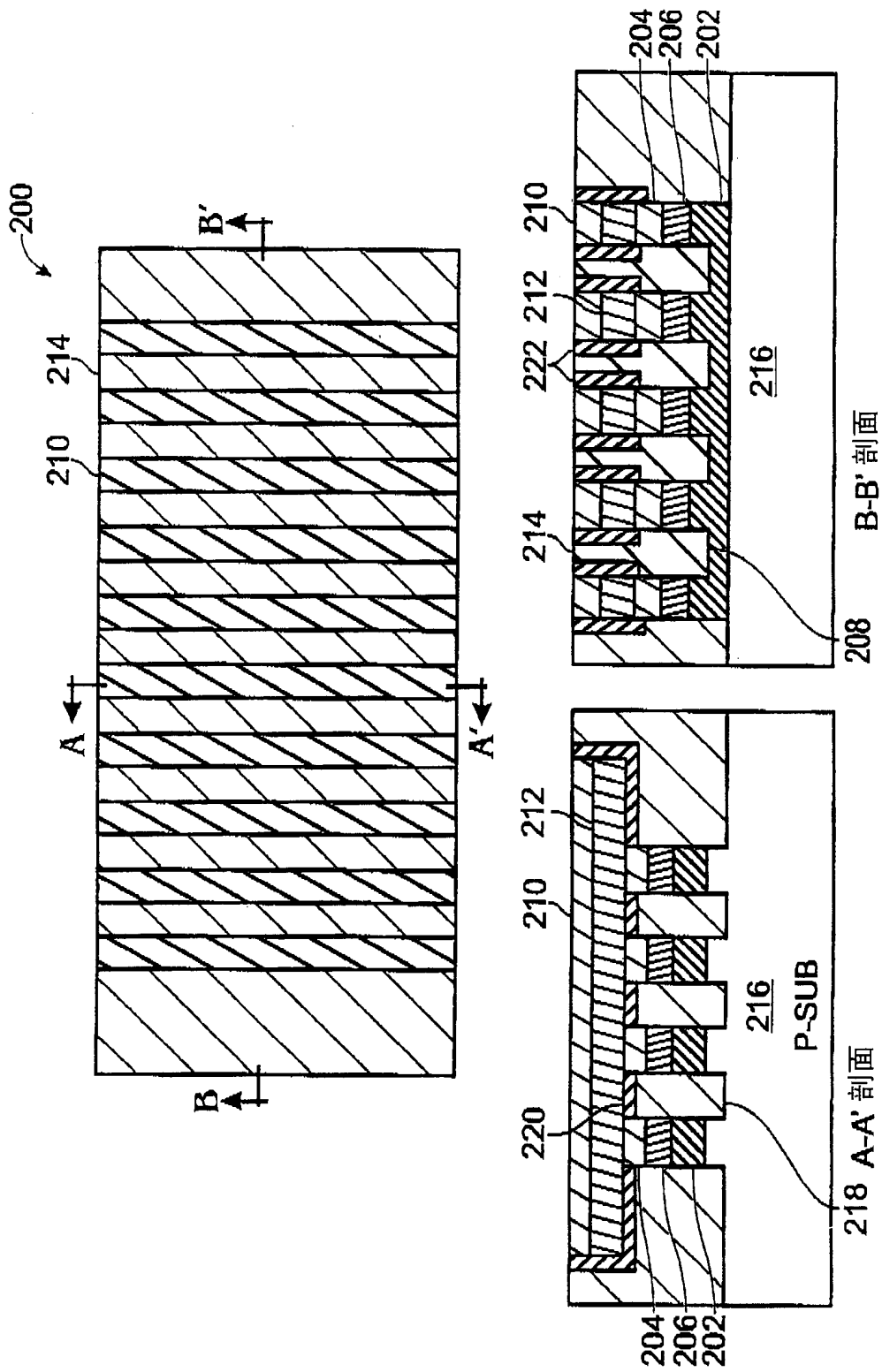


图 2

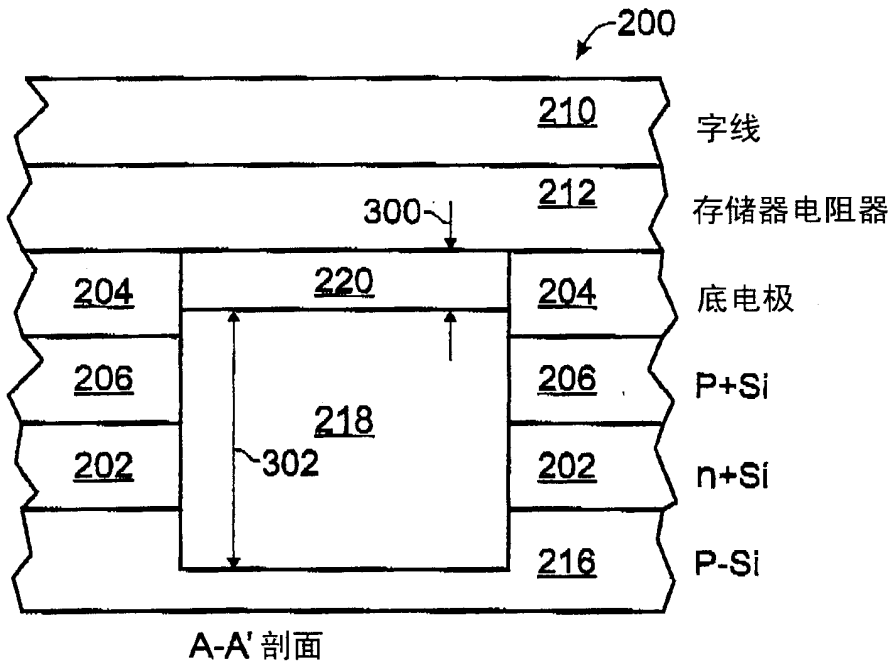


图 3

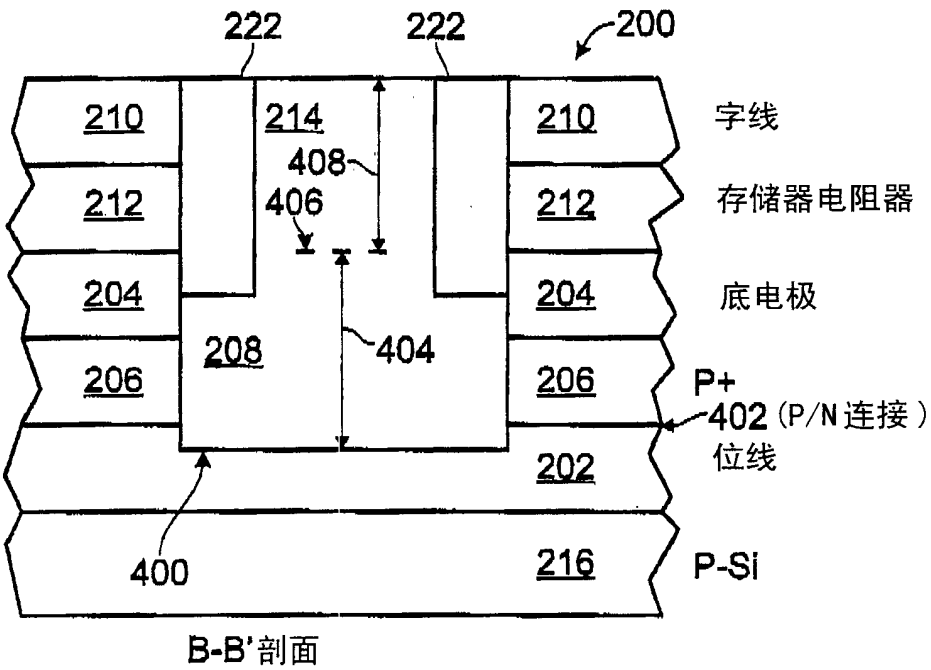


图 4



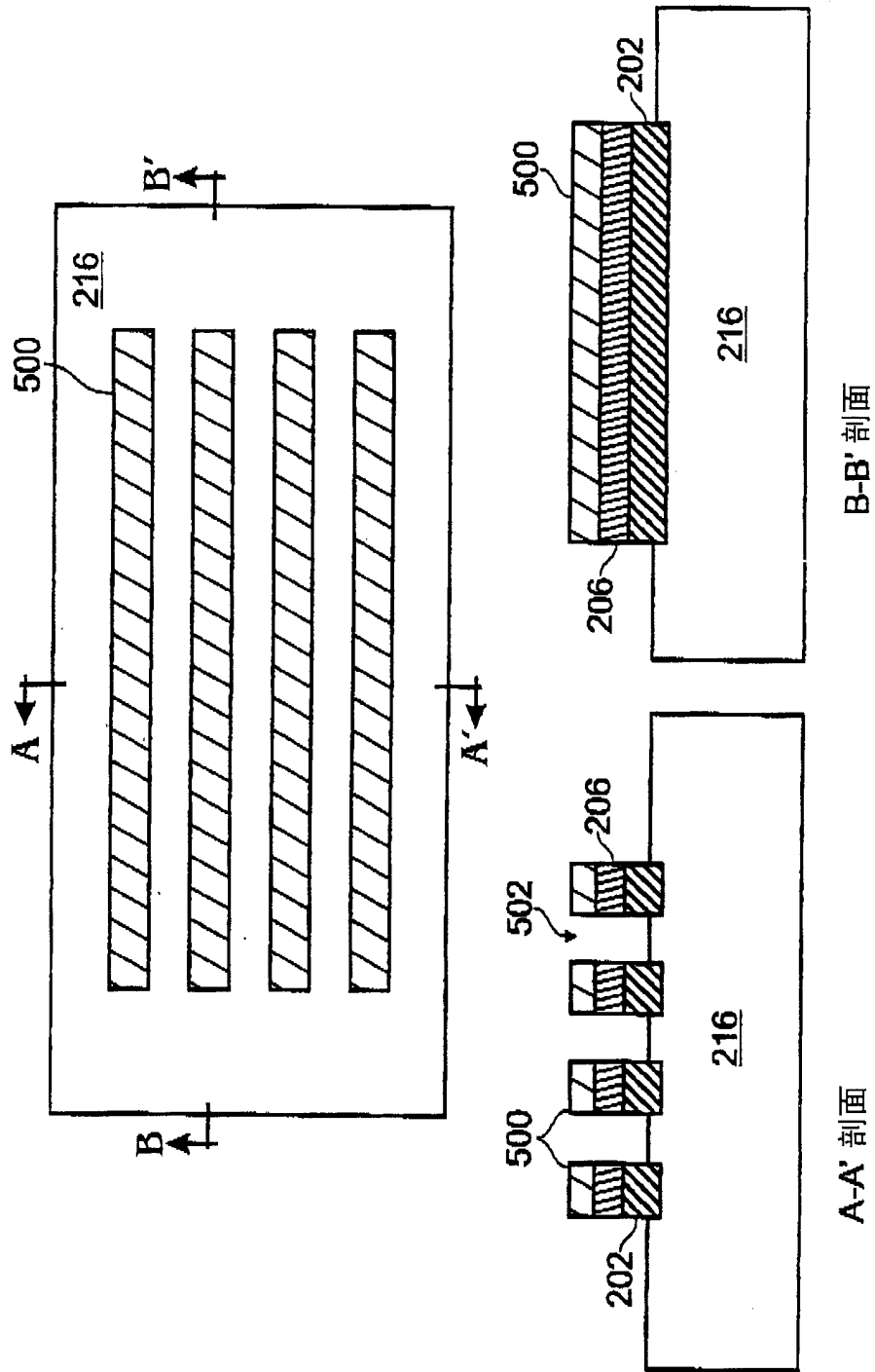


图 5

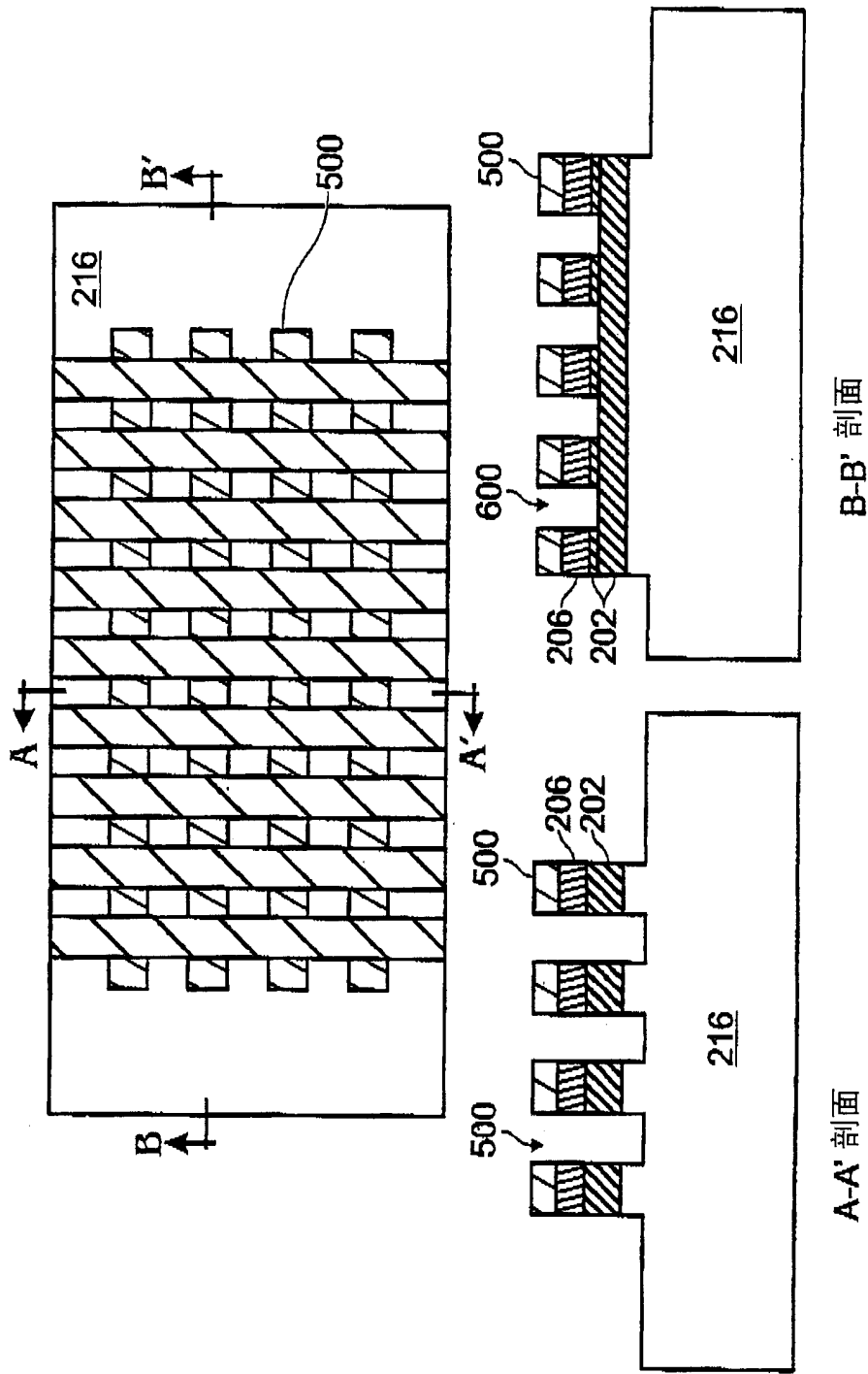


图 6

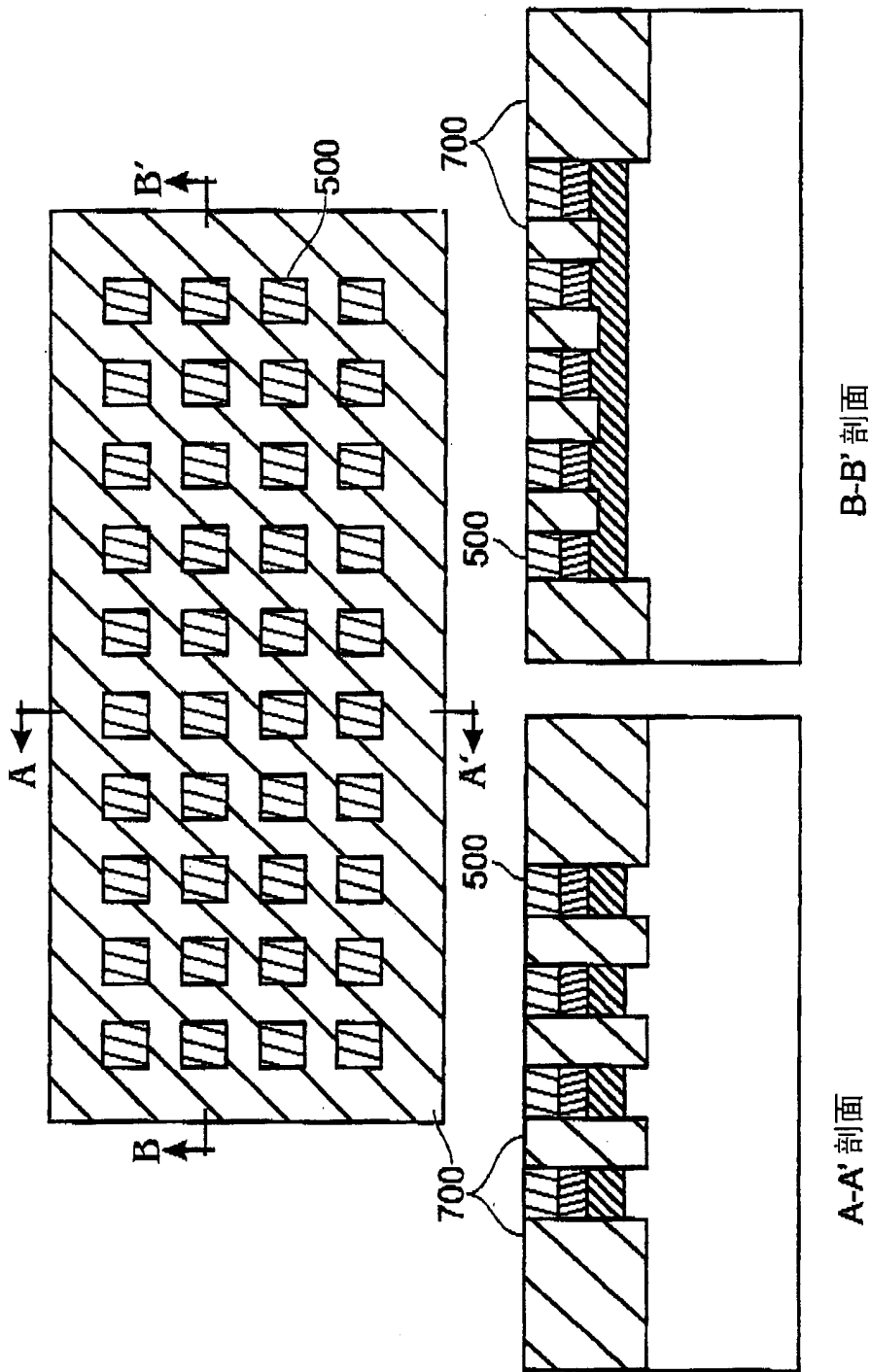


图 7

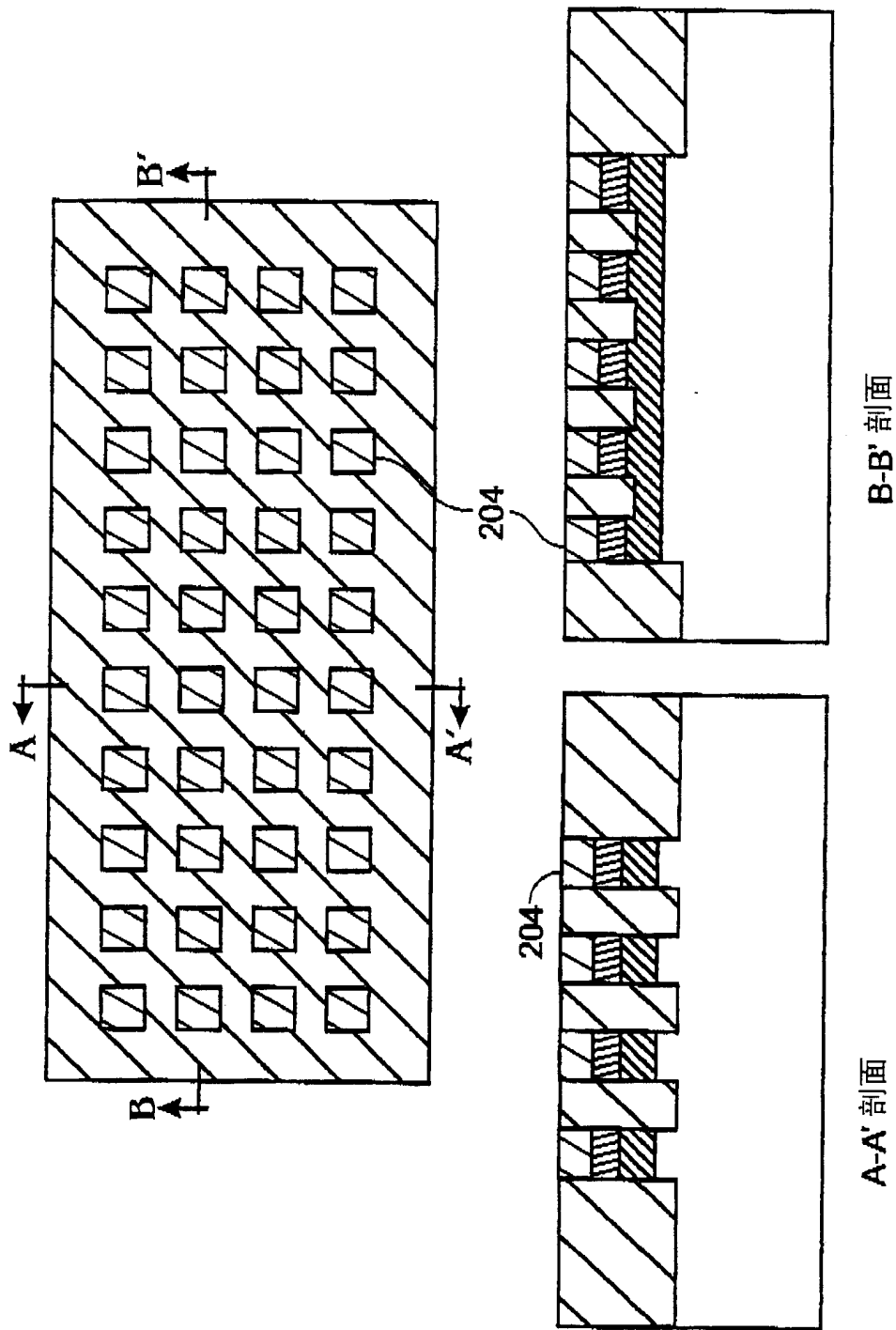


图 8

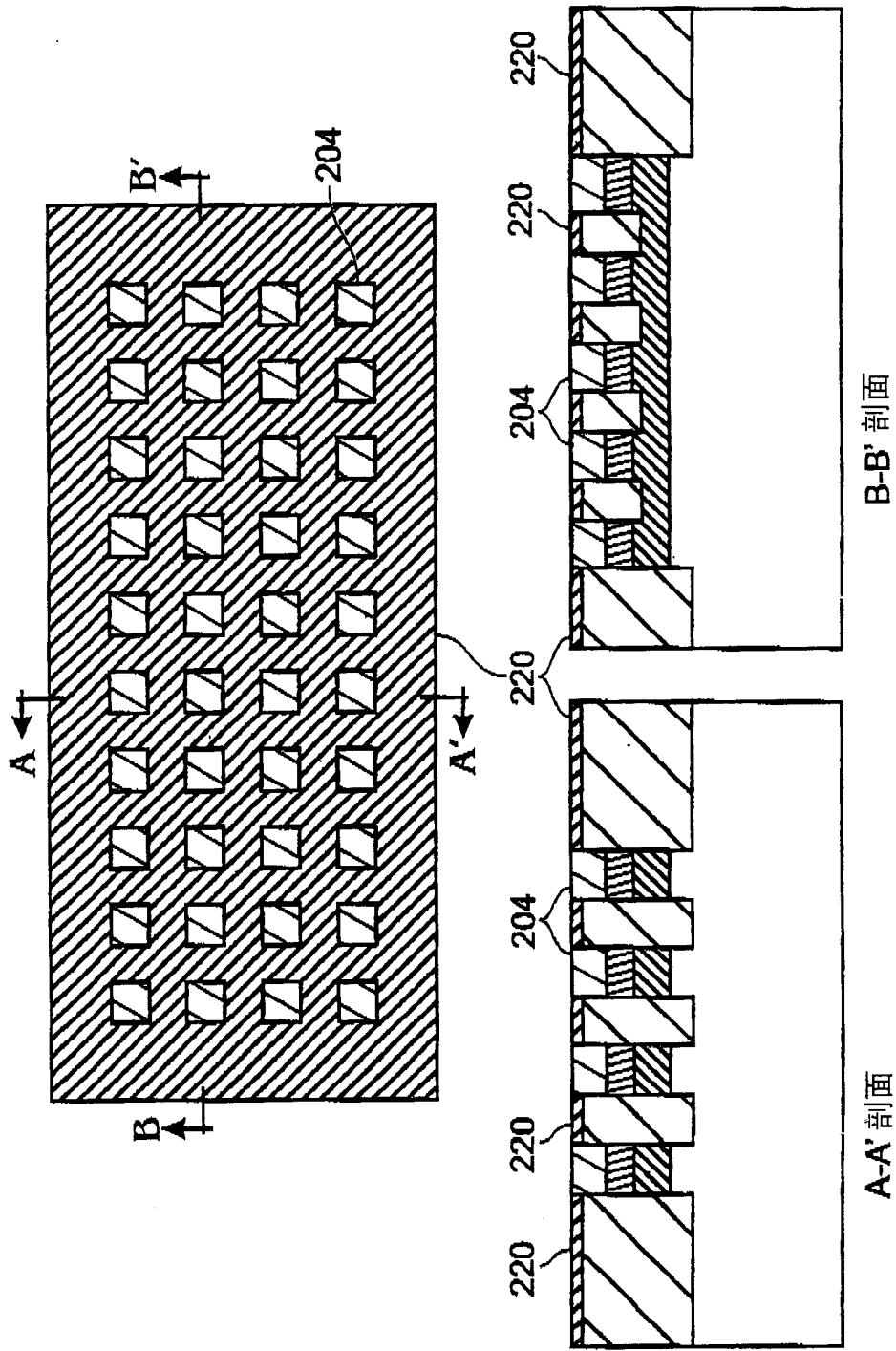


图9

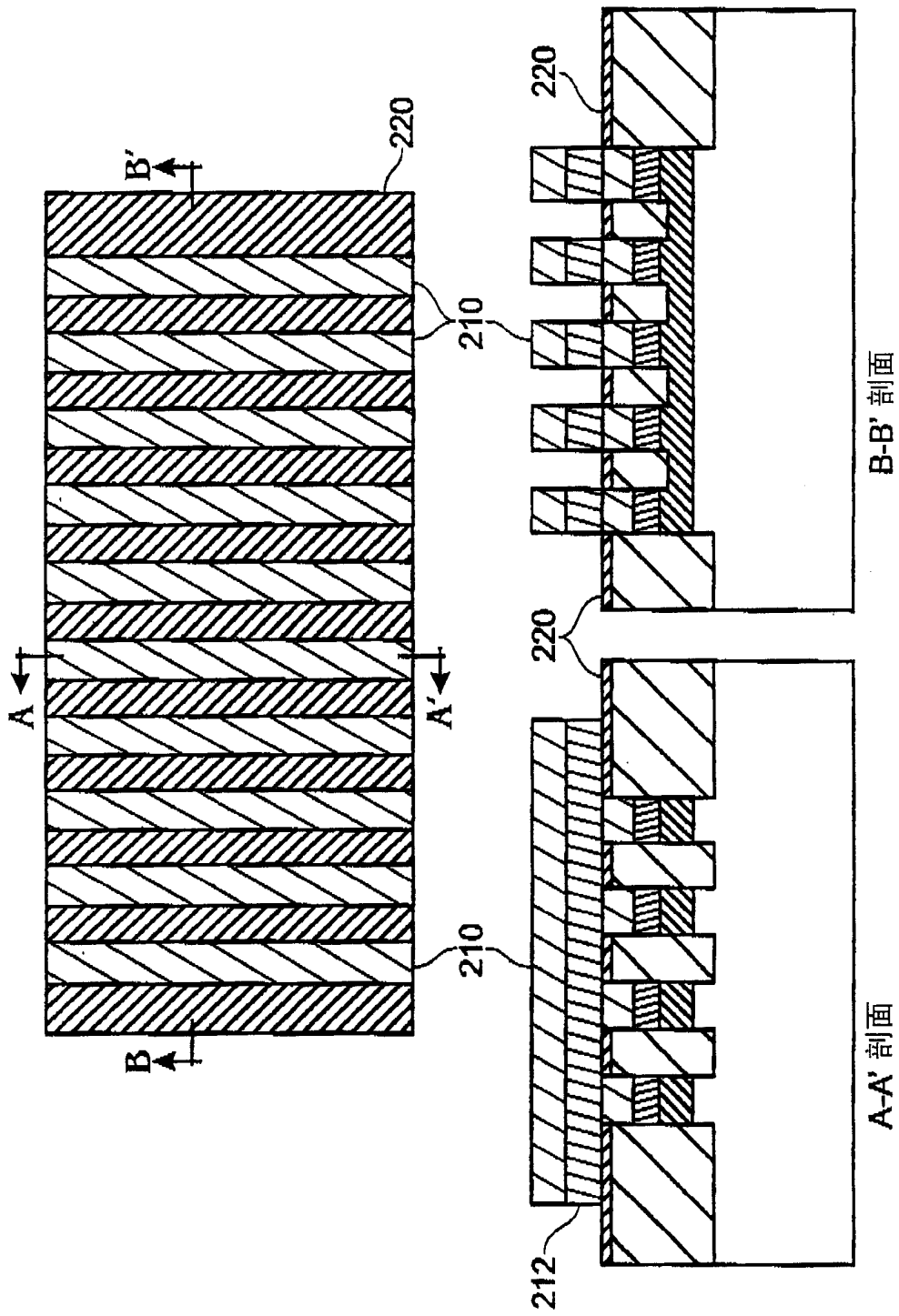


图 10

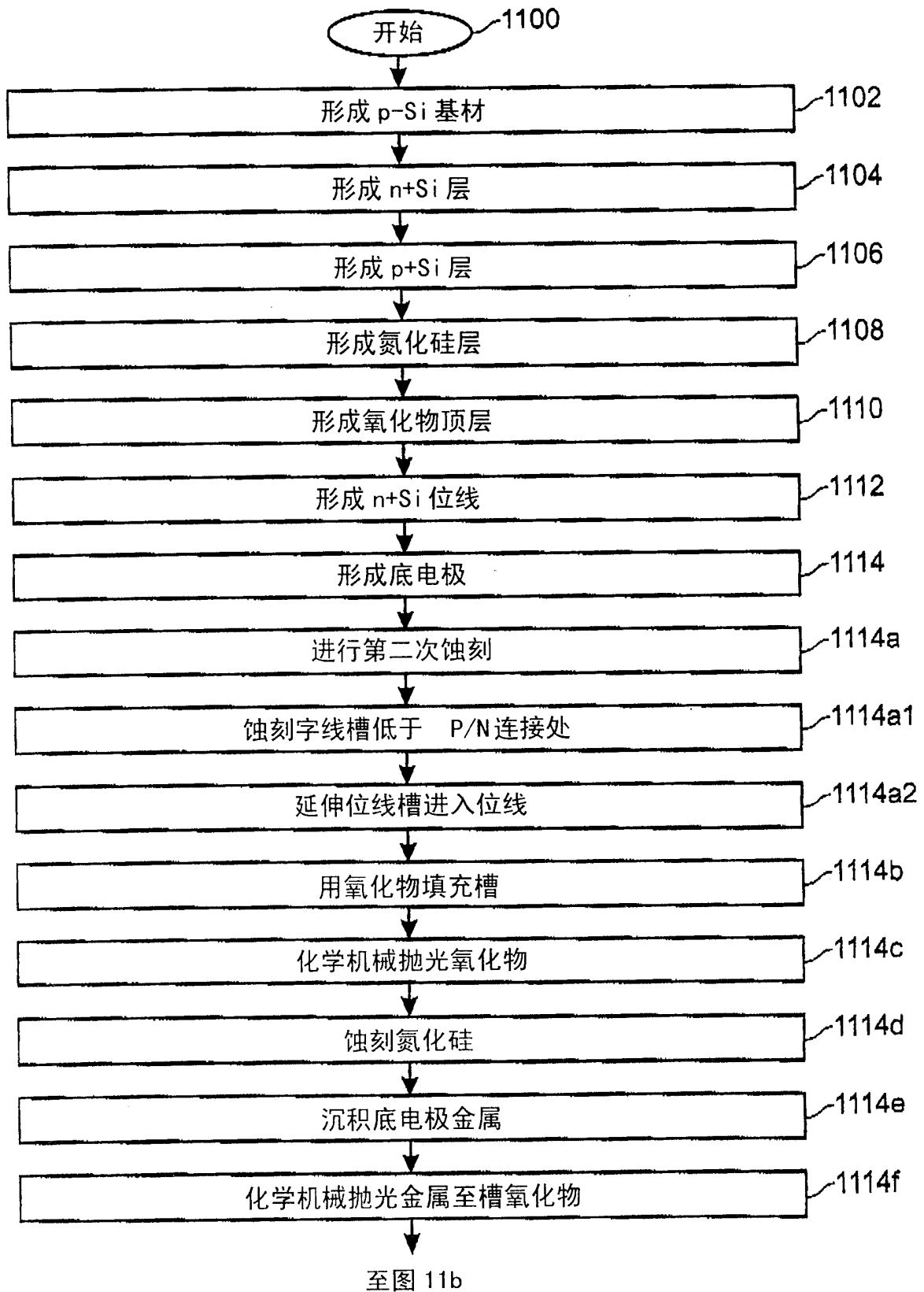


图 11a



图 11b