

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200910160554.7

[51] Int. Cl.

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

H01L 29/36 (2006.01)

H01L 27/02 (2006.01)

H01L 21/34 (2006.01)

G02F 1/1368 (2006.01)

[43] 公开日 2010年2月3日

[11] 公开号 CN 101640219A

[22] 申请日 2009.7.30

[21] 申请号 200910160554.7

[30] 优先权

[32] 2008.7.31 [33] JP [31] 2008-197145

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 宫入秀和 秋元健吾
白石康次郎

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 侯颖嫒

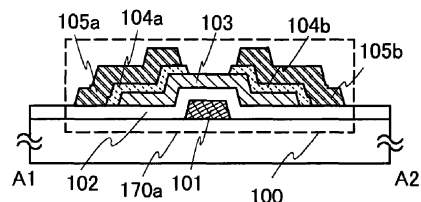
权利要求书 5 页 说明书 56 页 附图 32 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

本发明的目的在于提供具有电特性及可靠性高的薄膜晶体管的半导体装置及量产性高地制造该半导体装置的方法。本发明的要旨在于：包括作为半导体层使用含有铟(In)、镓(Ga)及锌(Zn)的氧化物半导体膜，并且在半导体层与源电极层和漏电极层之间设置有由金属氧化物层构成的缓冲层的反交错型(底栅结构)的薄膜晶体管。通过在源电极层和漏电极层与半导体层之间意图性地设置金属氧化物层作为缓冲层来形成欧姆接触。



1. 一种半导体装置，包括：
薄膜晶体管，包括：
栅电极层；
所述栅电极层上的栅极绝缘层；
所述栅极绝缘层上的半导体层；
所述半导体层上的第一缓冲层；
所述半导体层上的第二缓冲层；
所述第一缓冲层上的源电极层；以及
所述第二缓冲层上的漏电极层，
其中，所述半导体层是含有铟、镓及锌的氧化物半导体层，
并且，所述第一缓冲层和所述第二缓冲层分别包括金属氧化物。
2. 根据权利要求1所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别具有n型导电型。
3. 根据权利要求1所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别包含赋予n型导电型的杂质元素。
4. 根据权利要求1所述的半导体装置，还包括所述半导体层和所述第一缓冲层之间的第三缓冲层，
其中，所述第三缓冲层的载流子浓度高于所述半导体层的载流子浓度并低于所述第一缓冲层的载流子浓度。
5. 根据权利要求4所述的半导体装置，其中所述第三缓冲层包括包含铟、镓及锌的氧化物半导体层和金属氧化物层的混合层。
6. 根据权利要求1所述的半导体装置，其中所述源电极层和所述漏电极层分别包含钛。
7. 根据权利要求1所述的半导体装置，还包括所述薄膜晶体管上的绝缘膜，
其中，所述绝缘膜接触所述源电极层、所述漏电极层和所述源电极层和所述漏电极层之间的所述半导体层。

8. 根据权利要求1所述的半导体装置，

其中，所述第一缓冲层的端部在所述源电极层的端部的外侧，

并且，所述第二缓冲层的端部在所述漏电极层的端部的外侧。

9. 根据权利要求1所述的半导体装置，其中所述源电极层的一部分和所述漏电极层的一部分接触所述栅极绝缘层。

10. 根据权利要求1所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别具有锥形的侧表面。

11. 一种半导体装置，包括：

薄膜晶体管，包括：

栅电极层；

所述栅电极层上的栅极绝缘层；

所述栅极绝缘层上的半导体层；

所述半导体层上的第一缓冲层；

所述半导体层上的第二缓冲层；

所述第一缓冲层上的源电极层；以及

所述第二缓冲层上的漏电极层，

其中，所述半导体层是含有铟、镓及锌的氧化物半导体层，

所述第一缓冲层和所述第二缓冲层之间的所述半导体层的区域薄于所述第一缓冲层下的所述半导体层的区域和所述第二缓冲层下的所述半导体层的区域，

并且，所述第一缓冲层和所述第二缓冲层分别包括金属氧化物。

12. 根据权利要求11所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别具有n型导电型。

13. 根据权利要求11所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别包含赋予n型导电型的杂质元素。

14. 根据权利要求11所述的半导体装置，还包括所述半导体层和所述第一缓冲层之间的第三缓冲层，

其中，所述第三缓冲层的载流子浓度高于所述半导体层的载流子浓度并低于所述第一缓冲层的载流子浓度。

15. 根据权利要求14所述的半导体装置，其中所述第三缓冲层包括包含铟、镓及锌的氧化物半导体层和金属氧化物层的混合层。

16. 根据权利要求11所述的半导体装置，其中所述源电极层和所述漏电极层分别包含钛。

17. 根据权利要求11所述的半导体装置，还包括所述薄膜晶体管上的绝缘膜，

其中，所述绝缘膜接触所述源电极层、所述漏电极层和所述源电极层和所述漏电极层之间的所述半导体层。

18. 根据权利要求11所述的半导体装置，

其中，所述第一缓冲层的端部在所述源电极层的端部的外侧，

并且，所述第二缓冲层的端部在所述漏电极层的端部的外侧。

19. 根据权利要求11所述的半导体装置，其中所述源电极层的一部分和所述漏电极层的一部分接触所述栅极绝缘层。

20. 根据权利要求11所述的半导体装置，其中所述第一缓冲层和所述第二缓冲层分别具有锥形的侧表面。

21. 一种半导体装置的制造方法，包括如下步骤：

在衬底上形成栅电极层；

在所述栅电极层上形成栅极绝缘层；

在所述栅极绝缘层上形成半导体层；

在所述半导体层上形成金属氧化物膜；

在所述金属氧化物膜上形成导电膜；

对所述导电膜进行蚀刻形成源电极层和漏电极层；以及

对所述金属氧化物膜进行蚀刻来在所述半导体层上形成第一缓冲层和第二缓冲层，

其中，所述半导体层包括包含铟、镓及锌的氧化物半导体。

22. 根据权利要求21所述的半导体装置的制造方法，其中通过溅射法形成所述栅极绝缘层、所述半导体层、所述金属氧化物膜及所述导电膜。

23. 根据权利要求22所述的半导体装置的制造方法，其中在氧气

氛下形成所述栅极绝缘层和所述半导体层。

24. 根据权利要求22所述的半导体装置的制造方法，其中在氮气氛或稀有气体气氛下形成所述金属氧化物膜。

25. 根据权利要求21所述的半导体装置的制造方法，其中形成所述金属氧化物膜，以使其包含镁、铝或钛。

26. 根据权利要求21所述的半导体装置的制造方法，其中所述源电极层和所述漏电极层分别包含钛。

27. 根据权利要求21所述的半导体装置的制造方法，其中对半导体膜进行蚀刻形成所述半导体层。

28. 根据权利要求27所述的半导体装置的制造方法，其中当所述半导体膜受到蚀刻时，所述金属氧化物膜和所述导电膜受到蚀刻。

29. 根据权利要求21所述的半导体装置的制造方法，

其中，使用掩模对所述导电膜进行蚀刻形成所述源电极层和所述漏电极层，

并且，使用掩模对所述金属氧化物膜进行蚀刻形成所述第一缓冲层和所述第二缓冲层。

30. 一种半导体装置的制造方法，包括如下步骤：

在衬底上形成栅电极层；

在所述栅电极层上形成栅极绝缘层；

在所述栅极绝缘层上形成半导体层；

在所述半导体层上形成金属氧化物膜；

在所述金属氧化物膜上形成导电膜；

对所述导电膜进行蚀刻形成源电极层和漏电极层；以及

对所述金属氧化物膜进行蚀刻来在所述半导体层上形成第一缓冲层和第二缓冲层，

其中，所述半导体层包括包含镉、镓及锌的氧化物半导体，

并且，不暴露于大气并连续形成所述栅极绝缘层、所述半导体层、所述金属氧化物膜、所述导电膜。

31. 根据权利要求30所述的半导体装置的制造方法，其中使用溅

射法形成所述栅极绝缘层、所述半导体层、所述金属氧化物膜、所述导电膜。

32. 根据权利要求31所述的半导体装置的制造方法, 其中在氧气氛下形成所述栅极绝缘层和所述半导体层。

33. 根据权利要求31所述的半导体装置的制造方法, 其中在氮气氛或稀有气体气氛下形成所述金属氧化物膜。

34. 根据权利要求30所述的半导体装置的制造方法, 其中形成所述金属氧化物膜, 以使其包含镁、铝或钛。

35. 根据权利要求30所述的半导体装置的制造方法, 其中所述源电极层和所述漏电极层分别包含钛。

36. 根据权利要求30所述的半导体装置的制造方法, 其中对半导体膜进行蚀刻形成所述半导体层。

37. 根据权利要求36所述的半导体装置的制造方法, 其中当所述半导体膜受到蚀刻时, 所述金属氧化物膜和所述导电膜受到蚀刻。

38. 根据权利要求30所述的半导体装置的制造方法,

其中, 使用掩模对所述导电膜进行蚀刻形成所述源电极层和所述漏电极层,

并且, 使用掩模对所述金属氧化物膜进行蚀刻形成所述第一缓冲层和所述第二缓冲层。

半导体装置及其制造方法

技术领域

本发明涉及一种具有由将氧化物半导体膜用于沟道形成区域的薄膜晶体管(以下,称为 TFT)构成的电路的半导体装置及其制造方法。例如,本发明涉及将以液晶显示面板为代表的电光装置及具有有机发光元件的发光显示装置作为部件而安装的电子设备。

另外,在本说明书中的半导体装置是指通过利用半导体特性而能够工作的所有装置,因此电光装置、半导体电路以及电子设备都是半导体装置。

背景技术

近年来,对在配置为矩阵状的每个显示像素中设置由 TFT 构成的开关元件的有源矩阵型显示装置(液晶显示装置、发光显示装置、电泳式显示装置)正在积极地进行研究开发。由于有源矩阵型显示装置在各个像素(或每个点)中设置开关元件,与单纯矩阵方式相比,在增加像素密度的情况下能够以低电压进行驱动而具有优势。

另外,将氧化物半导体膜用于沟道形成区域来形成薄膜晶体管(TFT)等,并将其应用于电子装置或光装置的技术受到关注。例如,可以举出将氧化锌(ZnO)用作氧化物半导体膜的 TFT、或使用 $\text{InGaO}_3(\text{ZnO})_2$ 的 TFT。在专利文献 1 和专利文献 2 中公开有如下技术:将使用这些氧化物半导体膜的 TFT 形成在具有透光性的衬底上,并将其应用于图像显示装置的开关元件等。

[专利文献 1] 日本专利申请公开 2007-123861 号公报

[专利文献 2] 日本专利申请公开 2007-96055 号公报

对将氧化物半导体膜用于沟道形成区域的薄膜晶体管要求工作速度快、制造工序相对简单,并且具有充分的可靠性。

在形成薄膜晶体管时,作为源电极和漏电极使用低电阻的金属材

料。尤其是，在制造进行大面积显示的显示装置时，起因于布线电阻的信号迟延问题较为明显。所以，优选使用电阻值低的金属材料作为布线或电极的材料。当采用由电阻值低的金属材料构成的源电极和漏电极与氧化物半导体膜直接接触的薄膜晶体管的结构时，有可能导致接触电阻增大。可以认为以下原因是导致接触电阻增大的要因之一：在源电极和漏电极与氧化物半导体膜的接触面上形成肖特基结。

再加上，在源电极和漏电极与氧化物半导体膜直接接触的部分中形成电容，并且频率特性（称为 f 特性）降低，有可能妨碍薄膜晶体管的高速工作。

发明内容

本发明的一个方式的目的之一在于提供一种在使用含有铟（In）、镓（Ga）、及锌（Zn）的氧化物半导体膜的薄膜晶体管中，减少了源电极或漏电极的接触电阻的薄膜晶体管及其制造方法。

此外，本发明的一个方式的目的之一还在于提高使用含有 In、Ga 及 Zn 的氧化物半导体膜的薄膜晶体管的工作特性或可靠性。

另外，本发明的一个方式的目的之一还在于降低使用含有 In、Ga 及 Zn 的氧化物半导体膜的薄膜晶体管的电特性的不均匀性。尤其是，在液晶显示装置中，各元件间的不均匀性较大的情况下，有可能发生起因于该 TFT 特性的不均匀性的显示不均匀。

此外，在包括发光元件的显示装置中，当以向像素电极流过一定的电流的方式设置的 TFT（配置在驱动电路的 TFT 或向像素中的发光元件供给电流的 TFT）的导通电流（ I_{on} ）的不均匀性较大时，有可能引起在显示画面中的亮度的不均匀。

以上，本发明的一个方式的目的在于解决上述问题的至少一个。

本发明的一个方式的要旨在于：作为半导体层使用含有 In、Ga 及 Zn 的氧化物半导体膜，并且包括在半导体层与源电极层和漏电极层之间设置有缓冲层的反交错型（底栅结构）的薄膜晶体管。

在本说明书中，将使用含有 In、Ga 及 Zn 的氧化物半导体膜形成

层电连接。

在本发明的一个方式中，优选使用氧化钛、氧化钼、氧化锌、氧化铟、氧化钨、氧化镁、氧化钙、氧化锡或氧化镓作为金属氧化物层，特别优选的是氧化钛。

在上述结构中，还可以在半导体层与缓冲层之间设置载流子浓度高于半导体层且低于缓冲层的第二缓冲层。第二缓冲层用作 n^- 层。作为第二缓冲层，可以使用包含 In、Ga、及 Zn 的氧化物半导体层和金属氧化物层的混合层。作为包括在第二缓冲层中的金属氧化物层，可以使用与能够用于缓冲层的金属氧化物层相同材料。

含有 In、Ga、及 Zn 的氧化物半导体膜（IGZO 膜）具有空穴迁移率随着载流子浓度的升高而升高的特性。因此，含有 In、Ga、及 Zn 的氧化物半导体膜的载流子浓度与空穴迁移率的关系成为如图 27 所示那样。在本发明的一个方式中，适用于半导体层的沟道的 IGZO 膜的载流子浓度范围（沟道用浓度范围 1）优选为低于 $1 \times 10^{17} \text{atoms/cm}^3$ （更优选为 $1 \times 10^{11} \text{atoms/cm}^3$ 以上）。另一方面，在将 IGZO 膜用作缓冲层的情况下，IGZO 膜的载流子浓度范围（缓冲层浓度范围 2）优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以上（更优选为 $1 \times 10^{22} \text{atoms/cm}^3$ 以下）。上述 IGZO 膜的载流子浓度是在用作半导体层的情况下，在室温下，并在没有施加源极电压、漏极电压、以及栅电压的条件下的值。

当用作沟道的 IGZO 膜的载流子浓度范围超过上述范围时，有可能使薄膜晶体管变成常开启。所以，通过将本发明的一个方式的载流子浓度范围的 IGZO 膜用作半导体层的沟道，可以形成可靠性更高的薄膜晶体管。

另外，优选使用钛膜作为源电极层和漏电极层。例如，当使用钛膜、铝膜、钛膜的叠层时，电阻低且在铝膜中不容易产生小丘。

根据本发明的一个方式的半导体装置的制造方法包括如下步骤：在衬底上形成栅电极层；在栅电极层上形成栅极绝缘层；在栅极绝缘层上形成半导体层；在半导体层上形成具有 n 型导电型的缓冲层；在缓冲层上形成源电极层和漏电极层，其中使用含有铟、镓、及锌的氧

化物半导体膜形成半导体层，使用金属氧化物层形成缓冲层，并且通过缓冲层将半导体层电连接到源电极层和漏电极层。

可以在不暴露于大气的情况下，连续地形成栅极绝缘层、半导体层、具有 n 型导电型的缓冲层、以及源电极层和漏电极层。通过进行连续形成，可以减轻因成为碎屑的大气中的杂质混入到界面而引起的不良。

栅极绝缘层、半导体层、具有 n 型导电型的缓冲层、以及源电极层和漏电极层采用溅射法形成即可。优选在氧气氛下（或氧 90% 以上、稀有气体（氩或氦）10% 以下）形成栅极绝缘层和半导体层，并在稀有气体（氩或氦）气氛下形成具有 n 型导电型的缓冲层。

通过如上所述那样使用溅射法进行连续的形成，生产率提高并且薄膜界面的可靠性稳定。另外，通过在氧气氛下形成栅极绝缘层和半导体层来使其含有多的氧，可以减轻由于劣化而导致的可靠性的降低、或薄膜晶体管的特性向常开启一侧漂移等。

根据本发明的一个方式的半导体装置的制造方法包括如下步骤：在衬底上形成栅电极层；在栅电极层上形成栅极绝缘层；在栅极绝缘层上形成半导体层；在半导体层上形成具有 n 型导电型的缓冲层；在缓冲层上形成源电极层和漏电极层，其中使用含有铟、镓、及锌的氧化物半导体层形成半导体层，使用金属氧化物层形成缓冲层，通过缓冲层将半导体层电连接到源电极层和漏电极层，并且不暴露于大气地连续形成栅极绝缘层、半导体层、缓冲层、源电极层、以及漏电极层。

根据本发明的一个方式，可以得到一种光电流少，寄生电容小并且开关比高的薄膜晶体管，而可以制造具有良好的动态特性的薄膜晶体管。所以，可以提供具有高电特性且可靠性好的薄膜晶体管的半导体装置。

附图说明

图 1A 和 1D 是说明根据本发明的一个方式的半导体装置的图；

图 2A 及 2B 是说明根据本发明的一个方式的半导体装置的图；

图 3A 至 3G 是说明根据本发明的一个方式的半导体装置的制造方法的图；

图 4A 至 4D 是说明根据本发明的一个方式的半导体装置的制造方法的图；

图 5A 和 5B 是说明根据本发明的一个方式的半导体装置的图；

图 6A 和 6B 是说明根据本发明的一个方式的半导体装置的图；

图 7A 和 7B 是说明根据本发明的一个方式的半导体装置的图；

图 8 是说明根据本发明的一个方式的半导体装置的图；

图 9A、9B 是说明根据本发明的一个方式的半导体装置的图；

图 10A 至 10D 是说明根据本发明的一个方式的半导体装置的制造方法的图；

图 11 是说明根据本发明的一个方式的半导体装置的图；

图 12 是说明根据本发明的一个方式的多室型的制造装置的俯视示意图；

图 13A 和 13B 是说明根据本发明的一个方式的显示装置的框图的图；

图 14 是说明根据本发明的一个方式的信号线驱动电路的结构图；

图 15 是说明根据本发明的一个方式的信号线驱动电路的工作的时序图；

图 16 是说明根据本发明的一个方式的信号线驱动电路的工作的时序图；

图 17 是说明根据本发明的一个方式的移位寄存器的结构的图；

图 18 是说明图 17 所示的触发器的连接结构的图；

图 19A 和 19B 是说明根据本发明的一个方式的有源矩阵型的液晶显示装置的图；

图 20A 和 20C 是说明根据本发明的一个方式的液晶显示面板的图；

图 21 是说明根据本发明的一个方式的液晶显示模块的图；

图 22A 和 22B 是说明根据本发明的一个方式的有源矩阵型的发光

显示装置的图；

图 23 是说明图 22A 和 22B 所示的发光显示装置的等效电路的图；

图 24A 至 24C 是说明根据本发明的一个方式的发光元件的结构的图；

图 25A 和 25B 是说明根据本发明的一个方式的发光显示面板的图；

图 26 是说明根据本发明的一个方式的有源矩阵型的电子纸的图；

图 27 是说明包含 In、Ga、及 Zn 的氧化物半导体膜的载流子浓度和空穴迁移率的关系的图；

图 28A 和 28B 是说明电子纸的使用方式的例子的图；

图 29 是示出电子书籍的一个例子的外观图；

图 30A 和 30B 是示出电视装置及数码相框的例子的外观图；

图 31A 和 31B 是示出游戏机的例子的外观图；

图 32 是示出移动电话机的一个例子的外观图。

具体实施方式

下面，参照附图对本发明的实施方式进行详细说明。但是，本发明不局限于以下的说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是，其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。注意，在以下说明的本发明的结构中，不同附图中使用相同的附图标记来表示相同的部分或具有相同功能的部分，而有时省略其重复说明。

实施方式 1

在本实施方式中，使用图 1A 至 4D 对薄膜晶体管及其制造工序进行说明。

在图 1A 和图 1B 以及图 2A 和图 2B 中示出本实施方式的底栅结构的薄膜晶体管 170a、170b、以及 170c。图 1A 为平面图，图 1B 是沿着图 1A 中的线 A1-A2 的截面图。图 1C 为平面图，图 1D 是沿着图 1C 中

的线 B1-B2 的截面图。图 2A 为平面图,图 2B 是沿着图 2A 中的线 C1-C2 的截面图。

在图 1A 和 1D 中,设置有在衬底 100 上具有栅电极层 101、栅极绝缘层 102、半导体层 103、具有 n 型导电型的缓冲层 104a、104b、源电极层或漏电极层 105a、105b 的薄膜晶体管 170a 或 170b。

作为半导体层 103 使用含有 In、Ga、及 Zn 的氧化物半导体膜,并通过在源电极层或漏电极层 105a、105b 与为 IGZO 半导体层的半导体层 103 之间意图性地设置载流子浓度比半导体层 103 高的缓冲层 104a、104b,来形成欧姆接触。为了降低薄膜晶体管的电特性的不均匀性,包含 In、Ga、及 Zn 的氧化物半导体层优选处于非晶状态。

作为缓冲层 104a、104b,使用具有 n 型导电型的金属氧化物层。作为金属氧化物层,可以使用氧化钛、氧化钼、氧化锌、氧化铟、氧化钨、氧化镁、氧化钙、氧化锡、氧化镓等。另外,也可以使用载流子浓度比半导体层 103 高的含有铟、镓、及锌的氧化物半导体层而代替金属氧化物层。另外,还可以使缓冲层含有赋予 n 型或 p 型导电型的杂质元素。至于杂质元素,例如可以使用铟、镓、锌、镁、铝、钛、铁、锡、钙等。通过将这些杂质元素等包含在缓冲层中,可以防止因成膜后的加热处理而从半导体层漏出氧。并且,通过杂质添加,可以提高金属氧化物中的载流子浓度。

缓冲层 104a、104b 用作 n^+ 层,也可以称为漏区或源区。

图 1A、1B 的薄膜晶体管 170a 是使用不同掩模对缓冲层 104a、104b 与源电极层或漏电极层 105a、105b 进行蚀刻加工的例子,缓冲层 104a、104b 与源电极层或漏电极层 105a、105b 的形状不同。

图 1C、1D 的薄膜晶体管 170b 是使用相同掩模对缓冲层 104a、104b 与源电极层或漏电极层 105a、105b 进行蚀刻加工的例子,缓冲层 104a、104b 与源电极层或漏电极层 105a、105b 的形状相同。

另外,图 1A、1B、1C、1D 的薄膜晶体管 170a、170b 是在半导体层 103 上,源电极层或漏电极层 105a、105b 的端部与缓冲层 104a、

104b 的端部不一致，而露出有缓冲层 104a、104b 的一部分的例子。

另一方面，图 2A、2B 的薄膜晶体管 170c 是使用相同掩模对半导体层 103 和缓冲层 104a、104b 进行蚀刻加工的例子，并半导体层 103 与缓冲层 104a、104b 的端部一致。另外，图 2A、2B 的薄膜晶体管 170c 是在半导体层 103 上，源电极层或漏电极层 105a、105b 的端部与缓冲层 104a、104b 的端部也一致的例子。

此外，图 11 示出源电极层或漏电极层为叠层结构的薄膜晶体管 170d。薄膜晶体管 171d 包括源电极层或漏电极层 105a1、105a2、105a3 的叠层、以及源电极层或漏电极层 105b1、105b2、105b3 的叠层。例如，可以使用钛膜作为源电极层或漏电极层 105a1、105b1，使用铝膜作为 105a2、105b2，并使用钛膜作为 105a3、105b3。

在薄膜晶体管 170d 中，将源电极层或漏电极层 105a1、105b1 用作蚀刻停止层，利用湿蚀刻形成源电极层或漏电极层 105a2、105a3、105b2、105b3。使用与上述湿蚀刻相同的掩模，利用干蚀刻形成源电极层或漏电极层 105a1、105b1、缓冲层 104a、104b。

因此，源电极层或漏电极层 105a1 与缓冲层 104a 的端部、源电极层或漏电极层 105b1 与缓冲层 104b 的端部分别一致，并且与源电极层 105a1、105b1 相比，源电极层或漏电极层 105a2、105a3、源电极层或漏电极层 105b2、105b3 的端部缩退。

由此，当用于源电极层和漏电极层的导电膜、以及缓冲层和半导体层在蚀刻工序中选择比低时，层叠用作蚀刻停止层的导电膜并在其他的蚀刻条件下进行多次蚀刻工序即可。

使用图 3A 至 3G 说明图 1A、1B 的薄膜晶体管 170a 的制造方法。

在衬底 100 上形成栅电极层 101、栅极绝缘层 102、以及半导体膜 111（参照图 3A）。衬底 100 除了可以使用通过熔化方法或浮法（float method）制造的无碱玻璃衬底如钡硼硅酸盐玻璃、硼硅酸铝玻璃、或铝硅酸盐玻璃等、及陶瓷衬底之外，还可以使用具有可承受本制造工序的处理温度的耐热性的塑料衬底等。此外，还可以使用在不锈钢合金等金属衬底的表面上设置绝缘膜的衬底。衬底 100 的尺

寸可以采用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或 2850mm×3050mm 等。

另外，还可以在衬底 100 上形成绝缘膜作为基底膜。至于基底膜，可以利用 CVD 法或溅射法等由氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜的单层或叠层来形成即可。

栅电极层 101 使用钛、钼、铬、钽、钨、铝等的金属材料或其合金材料形成。栅电极层 101 可以通过利用溅射法或真空蒸镀法在衬底 100 上形成导电膜，并在该导电膜上利用光刻技术或喷墨法形成掩模，并使用该掩模对导电膜进行蚀刻而形成。另外，可以利用喷墨法喷射银、金、铜等的导电纳米膏并进行焙烧来形成栅电极层 101。另外，作为用来提高栅电极层 101 的紧密性以及防止向衬底或基底膜的扩散的阻挡层金属，可以将上述金属材料的氮化物膜设置在衬底 100 和栅电极层 101 之间。另外，栅电极层 101 可以是单层结构或叠层结构，例如可以从衬底 100 一侧使用钼膜和铝膜的叠层、钼膜和铝和钨的合金膜的叠层、钛膜和铝膜的叠层、钛膜、铝膜以及钛膜的叠层等。

注意，因为在栅电极层 101 上形成半导体膜或布线，为了防止断裂优选对其进行加工以使其端部形成为锥形。

栅极绝缘层 102 以及半导体膜 111 可以在不暴露于大气的条件下连续地形成。当连续地形成时，可以在不被大气成分或悬浮于大气中的杂质元素污染的状态下形成各个叠层界面。

在有源矩阵型的显示装置中，构成电路的薄膜晶体管的电特性重要，该电特性左右显示装置的性能。尤其是，在薄膜晶体管的电特性之中阈值电压 (V_{th}) 重要。即使在场效应迁移率高的情况下，当阈值电压值高、或阈值电压值为负时，作为电路的控制也很困难。在薄膜晶体管的阈值电压值高并且阈值电压的绝对值大的情况下，驱动电压低的情况下薄膜晶体管不能起到开关功能，有可能成为负载。另外，当阈值电压值为负时，即使在栅极电压为 0V 的情况下，在源电极和漏

电极之间也有电流产生，容易变成所谓的常开启状态。

在 n 沟道型的薄膜晶体管的情况下，优选的是，只有对栅电压施加正的电压才形成沟道，而产生漏极电流的晶体管。只有提高驱动电压才形成沟道的晶体管、或即使在负电压状态下也能形成沟道而产生漏极电流的晶体管不适用于电路的薄膜晶体管。

所以，优选的是，以使用含有 In、Ga、以及 Zn 的氧化物半导体膜的薄膜晶体管的栅极电压尽可能地近于 0V 的正的阈值电压形成沟道。

可以认为：氧化物半导体层的界面，即氧化物半导体层和栅极绝缘层的界面对薄膜晶体管的阈值电压值产生大的影响。

从而，通过在清洁的状态下形成这些界面，可以提高薄膜晶体管的电特性并防止制造工序的复杂化，而实现具备量产性和高性能的双方的薄膜晶体管。

尤其是，当在氧化物半导体层和栅极绝缘层之间的界面中存在有大气中的水分时，这导致薄膜晶体管的电特性的恶化、阈值电压的不均匀、容易成为常开启等的问题。通过连续形成氧化物半导体层和栅极绝缘层，可以去除这些氢化合物。

因此，通过在减压下使用溅射法不暴露于大气并连续地形成栅极绝缘层 102 和半导体膜 111，可以实现具有良好的界面、漏电流低、并电流驱动能力高的薄膜晶体管。

另外，优选在氧气氛下（或氧 90% 以上、稀有气体（氩）10% 以下）形成栅极绝缘层 102 和为包含 In、Ga、及 Zn 的氧化物半导体膜的半导体膜 111。

如上所述通过使用溅射法连续地形成膜，提高生产性并薄膜界面的可靠性稳定。另外，通过在氧气氛下形成栅极绝缘层和半导体层并使其包含多的氧，可以减轻因恶化而导致的可靠性的降低且薄膜晶体管的常开启。

栅极绝缘层 102 可以通过 CVD 法或溅射法等并使用氧化硅膜、氮化硅膜、氧氮化硅膜、或者氮氧化硅膜来形成。图 2A、2B 所示的薄膜晶体管 170c 是层叠栅极绝缘层 102 的例子。

栅极绝缘层 102 可以通过依次层叠氮化硅膜或氮氧化硅膜以及氧化硅膜或氧氮化硅膜来形成。注意,可以不使栅极绝缘层具有两层结构,而从衬底一侧依次层叠氮化硅膜或氮氧化硅膜、氧化硅膜或氧氮化硅膜、氮化硅膜或氮氧化硅膜的三层来形成栅极绝缘层。此外,可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、或者氮氧化硅膜的单层来形成栅极绝缘层。

此外,也可以通过等离子体 CVD 法在栅电极层 101 上形成氮化硅膜并通过溅射法在氮化硅膜上层叠氧化硅膜作为栅极绝缘层 102。也可以通过等离子体 CVD 法在栅电极层 101 上依次层叠氮化硅膜和氧化硅膜并通过溅射法在氧化硅膜上层叠氧化硅膜。

在此,氧氮化硅膜是指在其组成中氧含量多于氮含量的,并且其是指在其浓度范围中包含 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的 Si 以及 0.1 原子%至 10 原子%的氢。此外,氮氧化硅膜是指在其组成中氮含量多于氧含量的,并且其是指在其浓度范围中包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的 Si 以及 15 原子%至 25 原子%的氢。

此外,作为栅极绝缘层 102,也可以使用铝、钇、镁或钪的氧化物、氮化物、氧氮化物、氮氧化物中的一种或者包含至少其中两种以上的化合物的化合物。

此外,也可以使栅极绝缘层 102 包含氯、氟等卤素。将栅极绝缘层 102 中的卤素的浓度设定为在浓度峰值上为 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下即可。

形成包含 In、Ga 及 Zn 的氧化物半导体膜作为半导体膜 111。半导体膜 111 的蚀刻后的膜厚薄的区域的厚度优选为 2nm 以上且 200nm 以下(优选的是 20nm 以上且 150nm 以下)。例如,使用溅射法形成厚度是 50nm 的含有 In、Ga 及 Zn 的氧化物半导体膜作为半导体膜 111。作为具体条件例,举出:可以使用直径是 8 英寸的包含 In、Ga 及 Zn 的氧化物半导体靶子,将衬底和靶子之间的距离设定为 170mm,将压力设

定为 0.4Pa，将直流（DC）电源设定为 0.5kW，并且在氩或氧气氛下形成膜。另外，当使用脉冲直流（DC）时，可以减少碎屑，并且膜厚分布也均匀，所以这是优选的。

接着，使用掩模 113 并通过蚀刻来加工半导体膜 111，而形成半导体层 103（参照图 3B）。通过光刻技术或液滴喷射法形成掩模 113，并且使用该掩模 113 对半导体膜 111 进行蚀刻，来可以形成半导体层 103。

通过将半导体层 103 的端部蚀刻为锥形，可以防止因水平差形状导致的布线的破裂。

接着，在栅极绝缘层 102、半导体层 103 上形成具有 n 型导电型的金属氧化物膜 114（参照图 3C）。在具有 n 型导电型的金属氧化物膜 114 上形成掩模 116。通过光刻技术或喷墨法形成掩模 116。使用掩模 116 对具有 n 型导电型的金属氧化物膜 114 进行蚀刻来进行加工，而形成具有 n 型导电型的金属氧化物膜 115（参照图 3D）。将具有 n 型导电型的金属氧化物膜 115 的厚度设定为 2nm 以上且 100nm 以下（优选的是 20nm 以上且 50nm 以下）即可。具有 n 型导电型的金属氧化物膜 114 优选在稀有气体（优选的是氩）气氛下形成。在此，作为金属氧化物膜 114 使用氧化钛膜。作为其蚀刻方法的一例，可以使用被稀释的氢氟酸、盐酸、硫酸或以 1:1:5 的体积比混合氨水、过氧化氢水和纯净水的溶液作为蚀刻剂。

作为半导体膜 111、具有 n 型导电型的金属氧化物膜 115 等的除了溅射法以外的其它成膜方法，可以使用脉冲激光蒸镀法（PLD 法）及电子束蒸镀法等的气相法。在容易控制材料的组成的观点来看，优选使用气相法中的 PLD 法，并且在量产性的观点来看，如上所述优选使用溅射法。

在具有 n 型导电型的金属氧化物膜 115 上形成导电膜 117（参照图 3E）。

优选使用铝、铜或者添加有耐热性提高元素如硅、钛、钽、钷、钼、或小丘防止元素的铝合金的单层或者叠层形成导电膜 117。另外，也可以采用如下叠层结构：使用钛、钽、钼、钨或这些元素的氮化物

形成接触于具有 n 型导电型的金属氧化物膜一侧的膜，并且在其上形成铝或铝合金。进而，也可以采用使用钛、钽、钼、钨或这些元素的氮化物夹住铝或铝合金的上面及下面的结构。在此，作为导电膜 117，使用钛膜、铝膜及钛膜的叠层导电膜。可以以过氧化氢水或加热盐酸为蚀刻剂来对该叠层导电膜进行蚀刻。

当使用钛膜、铝膜及钛膜的叠层时，电阻低且在铝膜中不容易产生小丘。

通过溅射法、真空蒸镀法形成导电膜 117。另外，也可以通过使用银、金、铜等的导电纳米膏，并利用丝网印刷法、喷墨法等来进行喷射并焙烧来形成导电膜 117。

接着，在导电膜 117 上形成掩模 118。通过使用掩模 118 对导电膜 117 进行蚀刻和分离，来形成源电极层或漏电极层 105a、105b（参照图 3F）。因为当如本实施方式的图 3F 所示对导电膜 117 进行湿蚀刻时，导电膜 117 被各向同性地蚀刻，所以源电极层或漏电极层 105a、105b 的端部与掩模 118 的端部不一致并更缩退。接着，使用掩模 118 对具有 n 型导电型的金属氧化物膜 115 进行蚀刻，来形成缓冲层 104a、104b（参照图 3G）。注意，虽然也根据蚀刻条件，但是在具有 n 型导电型的金属氧化物膜 115 的蚀刻工序中，半导体层 103 的露出区域的一部分也有可能被蚀刻。在此情况下，虽然未图示，但是缓冲层 104a、104b 之间的半导体层 103 的沟道区域成为膜厚薄的区域。注意，因为在本实施方式中分别进行缓冲层 104a、104b 的形成和源电极层及漏电极层 105a、105b 的形成，所以可以容易控制缓冲层 104a、104b 和源电极层及漏电极层 105a、105b 的端部中的不重叠的部分的区域的长度。

进而，也可以对半导体层 103 进行等离子体处理。通过进行等离子体处理，可以恢复因半导体层 103 的蚀刻导致的损伤。等离子体处理优选在 O_2 、 N_2O 、更优选的是包含氧的 N_2 、He、Ar 气氛下进行。另外，也可以在上述气氛上加上 Cl_2 、 CF_4 的气氛下进行处理。注意，等离子体处理优选以无偏压进行。

半导体层 103 上的源电极层或漏电极层 105a、105b 的端部和缓冲

层 104a、104b 的端部不一致而离开,在源电极层或漏电极层 105a、105b 的端部的外侧形成有缓冲层 104a、104b 的端部。

然后,去除掩模 118。通过上述工序,可以形成薄膜晶体管 170a。

接着,图 4A 至 4D 表示图 1C、1D 所示的薄膜晶体管 170b 的制造工序。

图 4A 表示在图 3B 的工序中去除掩模 113 的状态。在半导体层 103 上依次层叠具有 n 型导电型的金属氧化物膜 114 和导电膜 121(参照图 4B)。在此情况下,可以通过溅射法不暴露于大气并连续地形成具有 n 型导电型的金属氧化物膜 114 和导电膜 121。

在具有 n 型导电型的金属氧化物膜 114 和导电膜 121 上形成掩模 122,并且使用掩模 122 对导电膜 121 进行湿蚀刻而加工,而形成源电极层或漏电极层 105a、105b(参照图 4C)。

接着,对具有 n 型导电型的金属氧化物膜 114 进行干蚀刻而加工,来形成缓冲层 104a、104b(参照图 4D)。如图 4A 至 4D 所示,当作为用于形成缓冲层 104a、104b 的蚀刻和用于形成源电极层或漏电极层 105a、105b 的蚀刻使用相同掩模时,可以减少掩模数目,因此可以实现工序的简略化和低成本化。

也可以在薄膜晶体管 170a、170b 上形成绝缘膜作为保护膜。可以与栅极绝缘层同样地形成保护膜。注意,因为保护膜用于防止悬浮在大气中的有机物、金属物、水蒸气等的污染杂质的侵入,所以优选采用致密的膜。例如,在薄膜晶体管 170a、170b 上形成氧化硅膜和氮化硅膜的叠层作为保护膜即可。

另外,优选在形成半导体层 103 之后进行加热处理。加热处理只要是成膜之后就可以在任何工序中进行,但是可以在刚形成膜之后、导电膜 117 的形成之后、保护膜的 formed 之后等进行。另外,也可以兼作其他加热处理进行。另外,将加热温度设定为 300℃以上且 400℃以下,优选地设定为 350℃即可。在如图 2 所示那样连续形成半导体层 103 及缓冲层 104a、104b 的情况下,也可以在进行叠层之后进行加热处理。加热处理还可以与半导体层 103 和缓冲层 104a、104b 不同工

序进行多次。

通过源电极层或漏电极层 105a、105b 的端部和缓冲层 104a、104b 的端部不一致而成为离开的形状，源电极层或漏电极层 105a、105b 的端部离开，而可以防止源电极层或漏电极层 105a、105b 之间的漏电流、短路。因此，可以制造可靠性高且耐压高的薄膜晶体管。

另外，也可以如图 2A、2B 的薄膜晶体管 170c 那样采用使缓冲层 104a、104b 的端部和源电极及漏电极的端部一致的形状。当使用干蚀刻进行用于形成源电极层或漏电极层 105a、105b 的蚀刻及用于形成缓冲层 104a、104b 的蚀刻时，可以形成为如图 2A、2B 的薄膜晶体管 171c 那样的形状。另外，通过以源电极及漏电极为掩模对具有 n 型导电型的金属氧化物膜 114 进行蚀刻而形成缓冲层 104a、104b，也可以形成为如图 2A、2B 的薄膜晶体管 170c 那样的形状。

当采用不设置缓冲层（具有 n 型导电型的金属氧化物层）的栅电极层、栅绝缘层、半导体层（含有 In、Ga 以及 Zn 的氧化物半导体层）、源电极层和漏电极层的叠层结构时，栅电极层和源电极层或漏电极层之间的距离变近而导致在其之间产生的寄生电容增加。并且，该寄生电容的增加随着半导体层的薄膜化变得更显著。在本实施方式中，由于薄膜晶体管采用设置具有 n 型导电型的金属氧化物层那样的载流子浓度高的缓冲层的栅电极层、栅极绝缘层、半导体层、缓冲层、源电极层和漏电极层的叠层结构，所以即使半导体层的厚度薄也可以抑制寄生电容。

根据本实施方式可以得到光电流少、寄生电容小、开关比高的薄膜晶体管，而可以制造具有良好的工作特性的薄膜晶体管。因此，可以提供具有电特性高并可靠性好的薄膜晶体管的半导体装置。

实施方式 2

本实施方式是根据本发明的一个方式的多栅结构的薄膜晶体管的例子。从而，除了栅电极层以外可以与实施方式 1 同样，因此省略与实施方式 1 相同的部分、具有与实施方式 1 同样的功能的部分及工序

的重复说明。

在本实施方式中，使用图 5A 和 5B、图 6A 和 6B、图 7A 和 7B 说明用于半导体装置的薄膜晶体管。

图 5A 是表示薄膜晶体管 171a 的平面图，而图 5B 相当于沿线 E1-E2 的薄膜晶体管 171a 的截面图。

如图 5A、5B 所示，在衬底 150 上设置有包括栅电极层 151a、151b、半导体层 153a、153b、缓冲层 154a、154b、154c、源电极层或漏电极层 155a、155b 的多栅结构的薄膜晶体管 171a。

半导体层 153a、153b 是包含 In、Ga 及 Zn 的氧化物半导体层，而缓冲层 154a、154b、154c 是具有 n 型导电型的金属氧化物层。用作源区或漏区（n⁺层）的缓冲层 154a、154b、154c 的载流子浓度高于半导体层 153a、153b 的载流子浓度。

半导体层 153a 的一侧和半导体层 153b 的一侧隔着缓冲层 154c 而彼此电连接，并且半导体层 153a 的另一侧隔着缓冲层 154a 电连接到源电极层或漏电极层 155a，半导体层 153b 的另一侧隔着缓冲层 154b 电连接到源电极层或漏电极层 155b。

图 6A 及 6B 表示另一结构的多栅结构的薄膜晶体管 171b。图 6A 是表示薄膜晶体管 171b 的平面图，而图 6B 相当于沿图 6A 中的线 F1-F2 的薄膜晶体管 171b 的截面图。图 6A 及 6B 的薄膜晶体管 171b 中，在缓冲层 154c 上设置使用与源电极层或漏电极层 155a、155b 相同工序形成的布线层 156，并且半导体层 153a 和半导体层 153b 通过缓冲层 154c 和布线层 156 电连接。

图 7A 及 7B 表示另一结构的多栅结构的薄膜晶体管 171c。图 7A 是表示薄膜晶体管 171c 的平面图，而图 7B 相当于沿图 7A 中的线 G1-G2 的薄膜晶体管 171c 的截面图。图 7A 及 7B 中的薄膜晶体管 171c 是形成半导体层 153a 和半导体层 153b 作为连续的一层半导体层 153 的例子。半导体层 153 设置得通过栅极绝缘层 152 跨越栅极层 151a、151b。

如上所述，在根据本发明的一个方式的多栅结构的薄膜晶体管中，既可以连续地设置形成在各栅电极层上的半导体层，又可以隔着缓冲

层及布线层等并电连接多个半导体层地设置此。

根据本发明的一个方式的多栅结构的薄膜晶体管的截止电流少，因此包括这种薄膜晶体管的半导体装置可以赋予高电特性及高可靠性。

虽然在本实施方式中表示具有两个栅电极层的双栅结构的例子作为多栅结构，但是本发明也可以用于具有更多的栅电极层的三栅结构等。

实施方式 3

本实施方式是在根据本发明的一个方式的薄膜晶体管中层叠缓冲层的例子。从而，其他工序可以与实施方式 1 或实施方式 2 同样的进行，因此省略与实施方式 1 或实施方式 2 相同的部分、具有同样的功能的部分及工序的重复说明。

在本实施方式中，使用图 8 说明用于半导体装置的薄膜晶体管 173。

如图 8 所示, 在衬底 100 上设置有包括栅电极层 101、半导体层 103、缓冲层 106a、106b、缓冲层 104a、104b、源电极层或漏电极层 105a、105b 的薄膜晶体管 173。

在本实施方式的薄膜晶体管 173 中, 在半导体层 103 和缓冲层 104a、104b 之间分别设置有缓冲层 106a、106b 作为第二缓冲层。

半导体层 103 是包含 In、Ga 及 Zn 的氧化物半导体层,缓冲层 104a、104b 是金属氧化物层,并且缓冲层 106a、106b 是包含 In、Ga 及 Zn 的氧化物半导体层和金属氧化物层的混合层。通过利用金属氧化物靶子和包含 In、Ga 及 Zn 的氧化物半导体靶子进行的双溅射,可以形成缓冲层 106a、106b。作为金属氧化物层,可以使用氧化钛、氧化钼、氧化锌、氧化铟、氧化钨、氧化镁、氧化钙、氧化锡、氧化镓等,特别优选的是氧化钛。另外,可以使缓冲层 104a、104b、106a、106b 含有 n 型或 p 型的杂质元素。至于杂质元素,例如可以举出铟、镓、锌、镁、铝、钛、铁、锡、钙、钪、钇、锆、钪、镧、硼、铈、锗、铅等。通

过使用不同种类的金属，可以提高金属氧化物中的载流子浓度。

设置在半导体层 103 和缓冲层 104a、104b 之间的第二缓冲层（缓冲层 106a、106b）的载流子浓度高于半导体层 103 的载流子浓度，并低于缓冲层 104a、104b 的载流子浓度。缓冲层 104a、104b 用作 n^+ 层，而第二缓冲层（缓冲层 106a、106b）用作 n^- 层。

如上所述，设置在半导体层和源电极层或漏电极层之间的缓冲层可以采用叠层结构，而控制其载流子浓度以使其从半导体层向源电极层或漏电极层上升。

根据本发明的一个方式的具有叠层缓冲层的薄膜晶体管的截止电流少，因此包括这种薄膜晶体管的半导体装置可以赋予高电特性及高可靠性。另外，通过使载流子密度从半导体层 103 向源电极层或漏电极层上升地形成倾斜，可以降低半导体层 103 和源电极层或漏电极层之间的接触电阻。另外，通过设置第二缓冲层，更可以缓和集中在源电极层或漏电极层与半导体层 103 之间的接合界面中的电场。

本实施方式可以与其他实施方式适当地组合来实施。

实施方式 4

本实施方式是与实施方式 1 中的薄膜晶体管的形状及制造方法的一部分不同的例子。从而，除此以外的结构可以与实施方式 1 同样，因此省略与实施方式 1 相同的部分、具有与实施方式 1 同样的功能的部分及工序的重复说明。

在本实施方式中，使用图 9A 至图 10D 说明用于显示装置的薄膜晶体管 174 及其制造工序。图 9A 相当于薄膜晶体管 174 的平面图，而图 9B 及图 10A 至 10D 相当于沿图 9A 中的线 D1-D2 的薄膜晶体管及其制造工序的截面图。

如图 9A、9B 所示，在衬底 100 上设置有包括栅电极层 101、半导体层 103、缓冲层 104a、104b、源电极层或漏电极层 105a、105b 的薄膜晶体管 174。

半导体层 103 是包含 In、Ga 及 Zn 的氧化物半导体层，缓冲层 104a、

104b 是具有 n 型导电型的金属氧化物层。用作源区或漏区 (n^+ 层) 的缓冲层 104a、104b 的载流子浓度比半导体层 103 高。

半导体层 103 隔着缓冲层 104a 电连接到源电极层或漏电极层 105a, 并且隔着缓冲层 104b 电连接到源电极层或漏电极层 105b。

使用图 10A 至 10D 说明薄膜晶体管 174 的制造工序。在衬底 100 上形成栅电极层 101。接着, 在栅电极层 101 上依次形成栅极绝缘层 102、包含 In、Ga 及 Zn 的氧化物半导体膜的半导体膜 131、具有 n 型导电型的金属氧化物膜 132、导电膜 133 (参照图 10A)。

可以不暴露于大气并连续地形成栅极绝缘层 102、包含 In、Ga 及 Zn 的氧化物半导体膜的半导体膜 131、具有 n 型导电型的金属氧化物膜 132、导电膜 133。因为通过不暴露于大气并连续地形成膜, 可以在不被大气成分或悬浮于大气中的杂质元素污染的状态下形成各个叠层界面, 所以可以降低薄膜晶体管的特性不均匀性。

在本实施方式中, 表示使用高级灰度掩模进行曝光以形成掩模 135 的例子。形成抗蚀剂以形成掩模 135。作为抗蚀剂, 可以使用正性抗蚀剂或负性抗蚀剂。在此, 使用正性抗蚀剂进行表示。

接着, 作为光掩模使用多级灰度掩模, 并且对抗蚀剂照射光, 而对抗蚀剂进行曝光。

多级灰度掩模指的是以曝光部分、中间曝光部分以及未曝光部分可以进行三级的曝光的掩模, 并且通过一次的曝光及显影工序, 可以形成具有多个 (典型地具有两个) 厚度区域的抗蚀剂掩模。因此, 通过使用多级灰度掩模, 可以缩减曝光掩模的数目。

作为多级灰度掩模的代表例, 具有灰色调掩模以及半色调掩模。

灰色调掩模由透光衬底、形成在其上的遮光部及衍射光栅构成。在遮光部中, 光透过率为 0%。另一方面, 衍射光栅可以通过将狭缝、点、网眼等的光透过部的间隔设定为用于曝光的光的分辨率限度以下的间隔来控制光透过率。注意, 可以使用具有周期性的狭缝、点、网眼以及具有非周期性的狭缝、点、网眼的双方作为衍射光栅。

作为透光衬底, 可以使用石英等的透光衬底。遮光部及衍射光栅

可以使用铬或氧化铬等的吸收光的遮光材料形成。

在对灰色调掩模照射曝光光线的情况下，在遮光部中，光透过率为 0%，而在没设置有遮光部及衍射光栅的区域中，光透过率为 100%。另外，在衍射光栅中，可以以 10%至 70%的范围内调整光透过率。通过调整衍射光栅的狭缝、点或网眼的间隔及栅距，可以调整衍射光栅中的光透过率。

半色调掩模由透光衬底、形成在其上的半透过部以及遮光部构成。作为半透过部，可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部可以使用铬或氧化铬等的吸收光的遮光材料形成。

在对半色调掩模照射曝光光线的情况下，在遮光部中，光透过率为 0%，而在没设置有遮光部及半透过部的区域中，光透过率为 100%。另外，在半透过部中，可以以 10%至 70%的范围内调整光透过率。半透过部中的光透过率可以根据半透过部的材料调整。

通过使用多级灰度掩模来进行曝光之后进行显影，如图 10B 所示可以形成具有膜厚不同的区域的掩模 135。

接着，使用掩模 135 对半导体膜 131、金属氧化物膜 132、导电膜 133 进行蚀刻并进行分离。其结果是，可以形成半导体层 103、具有 n 型导电型的金属氧化物膜 137 及导电膜 138(参照图 10B)。

接着，对掩模 135 进行灰化。其结果，掩模的面积缩小并且其厚度减薄。此时，膜厚薄的区域的掩模的抗蚀剂（重叠于栅电极层 101 的一部分的区域）被去掉，而可以形成被分离的掩模 139(参照图 10C)。

使用掩模 139 对导电膜 138 进行蚀刻，而形成源电极层或漏电极层 105a、105b。因为当如本实施方式所示对导电膜 138 进行湿蚀刻，导电膜 138 各向同性地被蚀刻，所以掩模 139 的端部和源电极层或漏电极层 105a、105b 的端部不一致而其进一步缩退，而在源电极层或漏电极层 105a、105b 的外侧突出具有 n 型导电型的金属氧化物膜 137 及半导体层 103。接着，使用掩模 139 对具有 n 型导电型的金属氧化物膜 137 进行蚀刻，而形成缓冲层 104a、104b（参照图 10D）。注意，在相对于半导体层 103 的金属氧化物膜 137 的蚀刻选择比小的情况下，当

金属氧化物膜 137 被蚀刻时半导体层 103 的露出区域的一部分被蚀刻，而具有未图示的槽部。

然后，去除掩模 139。

通过上述工序，可以制造如图 9A、9B 所示的薄膜晶体管 174。

如本实施方式所示，通过利用使用多级灰度掩模形成的具有多个（典型的是两个）厚度的抗蚀剂掩模，可以缩减抗蚀剂掩模数，因此可以实现工序的简化和低成本化。

本实施方式可以与其他实施方式适当地组合来实施。

实施方式 5

在此，表示至少不使栅极绝缘膜和氧化物半导体层的叠层接触于大气地进行连续成膜的反交错型薄膜晶体管的制造例子。在此，表示直至进行连续成膜的工序的工序，而作为后面的工序根据实施方式 1 至 4 中的任一个制造薄膜晶体管即可。

在本说明书中，连续成膜是指如下状态：在从利用溅射法进行的第一成膜工序到利用溅射法进行的第二成膜工序的一系列工序中，放置有被处理衬底的气氛不接触于大气等的污染气氛而一直控制为真空或惰性气体气氛（氮气气氛或稀有气体气氛）。通过进行连续成膜，可以避免水分等再附着于清净化了的被处理衬底上而进行成膜。

在相同处理室内进行从第一成膜工序到第二成膜工序的一系列工序的状态包括在本说明书中的连续成膜的范围内。

另外，当在不同处理室内进行从第一成膜工序到第二成膜工序的一系列工序时，在结束第一成膜工序之后，不接触于大气地在处理室之间进行衬底搬运，然后进行第二成膜，这个状态也包括在本说明书中的连续成膜的范围内。

注意，在第一成膜工序和第二成膜工序之间具有衬底搬运工序、对准工序、缓冷工序或者加热或冷却衬底以将其设定为第二工序所需要的温度的工序等的状态也包括在本说明书中的连续成膜的范围内。

但是在第一成膜工序和第二成膜工序之间具有清洗工序、湿蚀刻、

抗蚀剂形成等的使用液体的工序的情况不包括在本说明书中的连续成膜的范围內。

在不暴露于大气地进行连续成膜的情况下，优选使用如图 12 所示那样的多室型制造装置。

在制造装置的中央部中设置有具有搬运衬底的搬运机构（典型的是搬运机械 81）的搬运室 80，并且搬运室 80 联结有卡匣（cassette）室 82，该卡匣室 82 设置收纳有搬入及搬出到搬运室 80 内的多个衬底的卡匣盒（cassette case）。

另外，搬运室 80 通过闸阀 84 至 88 分别连接到多个处理室。在此，表示五个处理室连接到上面形状是六角形的搬运室 80 的例子。另外，通过改变搬运室的上面形状，可以改变能够连接的处理室数。例如采用四角形则可以连接三个处理室，而采用八角形则可以连接七个处理室。

在五个处理室中，将至少一个处理室设定为进行溅射的溅射处理室。至少在溅射处理室的处理室内部中，设置有溅射靶子、用于对靶子进行溅射的电力施加机构、气体导入单元、将衬底保持在预定位置的衬底支架等。另外，在溅射处理室中设置有控制处理室内的压力的压力控制单元以将溅射处理室内处于减压状态。

溅射法包括如下方法：作为溅射电源使用高频电源的 RF 溅射法、DC 溅射法以及以脉冲方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于形成绝缘膜，而 DC 溅射法主要用于形成金属膜。

另外，也有可以设置材料不同的多个靶子的多元溅射装置。多元溅射装置既可以在同一处理室中层叠形成不同的材料膜，又可以在同一处理室中同时对多种材料进行放电而进行成膜。

另外，也有使用磁控管溅射法的溅射装置和使用 ECR 溅射法的溅射装置：在使用磁控管溅射法的溅射装置中，在处理室内部具备磁铁机构；而在使用 ECR 溅射法的溅射装置中，不使用辉光放电而利用使用微波产生的等离子体。

作为溅射处理室，适当地使用上述多样的溅射法。

另外，作为成膜方法具有反应溅射法、偏压溅射法：在反应溅射法中，当进行成膜时使靶子物质和溅射气体成分起化学反应而形成这些化合物薄膜；而在偏压溅射法中，当进行成膜时对衬底也施加电压。

另外，将在五个处理室中的其他处理室之一设定为在进行溅射之前进行衬底的预热等的加热处理室、在进行溅射之后冷却衬底的冷却处理室或进行等离子体处理的处理室。

接着，说明制造装置的工作的一例。

将容纳有使被成膜面朝向下面的衬底 94 的衬底卡匣设置在卡匣室 82，并利用设置在卡匣室 82 中的真空排气单元使卡匣室处于减压状态。注意，预先对各处理室及搬运室 80 的内部利用设置在它们中的真空排气单元进行减压。通过上述步骤，当在各处理室之间搬运衬底时可以不接触大气地维持清洁的状态。

注意，在使被成膜面朝向下面的衬底 94 上预先至少设置有栅电极。例如，在衬底和栅电极之间也可以设置通过等离子体 CVD 法可以得到的氮化硅膜、氮氧化硅膜等的基底绝缘膜。在作为衬底 94 使用包含碱金属的玻璃衬底的情况下，基底绝缘膜具有如下作用：抑制因钠等的可动离子从衬底侵入到其上的半导体区域中而使 TFT 的电特性变化。

在此，使用通过等离子体 CVD 法形成覆盖栅电极的氮化硅膜，以形成第一层的栅极绝缘膜的衬底。通过等离子体 CVD 法形成的氮化硅膜致密，并通过将它用作第一层的栅极绝缘膜可以抑制针孔等的产生。注意，虽然在此示出栅极绝缘膜是叠层的例子，但是不局限于此而也可以采用单层或三层以上的叠层。

接着，开启闸阀 83 并利用搬运机械 81 从卡匣抽出第一个衬底 94，开启闸阀 84 并将第一个衬底 94 搬运到第一处理室 89 中，并且关闭闸阀 84。在第一处理室 89 中，利用加热器或灯加热对衬底进行加热来去除附着在衬底 94 上的水分等。特别是，因为当栅极绝缘膜包含水分时，有 TFT 的电特性变化的忧虑，所以进行溅射成膜之前的加热是有效的。注意，当在卡匣室 82 中设置衬底的阶段中充分地去除水分时，不需要进行该加热处理。

此外，也可以在第一处理室 89 中设置等离子体处理单元，并对第一层的栅极绝缘膜的表面进行等离子体处理。另外，还可以在卡匣室 82 中设置加热单元并在卡匣室 82 中进行加热以去除水分。

接着，开启闸阀 84 并利用搬运机械 81 将衬底搬运到搬运室 80，开启闸阀 85 将衬底搬运到第二处理室 90 中，并且关闭闸阀 85。

在此，作为第二处理室 90，采用使用 RF 磁控溅射法的溅射处理室。在第二处理室 90 中，形成用作第二层的栅极绝缘膜的氧化硅膜（ SiO_x 膜）。作为第二层的栅极绝缘膜，除了氧化硅膜之外，还可以使用氧化铝膜（ Al_2O_3 膜）、氧化镁膜（ MgO_x 膜）、氮化铝膜（ AlN_x 膜）、氧化钇膜（ YO_x 膜）等。

此外，也可以对第二层的栅极绝缘膜中添加少量的例如氟、氯等的卤素来将钠等的可动离子固定化。作为其方法，在处理室中引入包含卤素的气体进行溅射。但是，在引入包含卤素元素的气体的情况下，处理室的排气单元需要设置有除害装置。优选将使栅极绝缘膜包含的卤素元素的浓度设定为如下浓度：通过使用 SIMS（二次离子质谱分析计）的分析而可以得到的浓度峰值在 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下的范围内。

在得到 SiO_x 膜的情况下，可以采用如下方法：作为靶子使用人工石英并使用稀有气体，典型地使用氩的溅射法；或作为靶子使用单晶硅并与氧气体起化学反应而得到 SiO_x 膜的反应溅射法。在此，为了使 SiO_x 膜包含极多的氧，作为靶子使用人工石英，在只有氧的气氛下，或在氧为 90% 以上且 Ar 为 10% 以下的气氛下进行溅射，来形成具有过量的氧的 SiO_x 膜。

在形成 SiO_x 膜之后，以不接触大气的方式开启闸阀 85 并利用搬运机械 81 将衬底搬运到搬运室 80，开启闸阀 86 并将衬底搬运到第三处理室 91 中，并且关闭闸阀 86。

在此，作为第三处理室 91，采用使用 DC 磁控溅射法的溅射处理室。在第三处理室 91 中，形成包含 In、Ga 及 Zn 的氧化物半导体膜（IGZO 膜）作为半导体层。可以在稀有气氛下或氧气氛下使用包含 In、Ga 及

Zn 的氧化物半导体靶子进行成膜。在此,为了使 IGZO 膜包含极多的氧,在只有氧的气氛下,或在氧为 90%以上且 Ar 为 10%以下的气氛下作为靶子使用包含 In、Ga 及 Zn 的氧化物半导体,并进行采用脉冲 DC 溅射法的溅射,来形成具有过量的氧的 IGZO 膜。

如上所述,通过以不接触大气的方式连续形成具有过量的氧的 SiO_x 膜和具有过量的氧的 IGZO 膜,因为其彼此是具有过量的氧的膜所以可以使其界面状态稳定,并提高 TFT 的可靠性。当在形成 IGZO 膜之前衬底接触于大气时,水分等附着在衬底上并对界面状态造成坏影响,因此有引起阈值的不均匀性、电特性退化、成为常开启状态的 TFT 等的忧虑。水分是氢化合物,而通过以不接触于大气的方式进行连续成膜,可以防止氢化合物存在于界面中。从而,通过进行连续成膜,可以减少阈值的不均匀性,防止电特性的退化,并且减少 TFT 移动到常开启一侧的状态,优选避免该移动。

此外,也可以通过在第二处理室 90 的溅射处理室中设置人工石英的靶子和包含 In、Ga 及 Zn 的氧化物半导体靶子的双方,并使用挡板按顺序层叠而进行连续形成,在相同的处理室中进行层叠。在靶子和衬底之间设置挡板,打开进行成膜的靶子的挡板,而关闭不进行成膜的靶子的挡板。在相同的处理室中进行层叠的优点是可减少所使用的处理室数并可以防止当在不同的处理室之间搬运衬底时微粒等附着在衬底上。

接着,不使接触于大气地开启闸阀 86 并使用搬运机械 81 将衬底搬运到搬运室 80。

在不使用灰色调掩模的工序中,在此通过卡匣室从制造装置搬出衬底并使用光刻技术对具有过量的氧的 IGZO 膜进行构图。但是在使用灰色调掩模的工序中,继续进行以下所示的连续成膜。

接着,不接触于大气地开启闸阀 87,将衬底搬运到第四处理室 92 内,并且关闭闸阀 87。

在此,作为第四处理室 92,采用使用 DC 磁控溅射法的溅射处理室。在第四处理室 92 中,形成缓冲层。在此,表示形成氧化钛膜 (TiO_x)

膜)作为用于缓冲层的显示 n 型导电型的金属氧化物膜的例子。在第四处理室 92 的溅射处理室导入氧气体,并使用钛的靶子进行反应溅射法,而形成 TiO_x 膜。也可以使用对钛靶子添加 In、Ga 或 Zn 的靶子。另外,也可以使用对钛靶子添加 Mg 或 Al 的靶子。该 TiO_x 膜用作源区或漏区。

另外,也可以在包含 In、Ga 及 Zn 的氧化物半导体膜和缓冲层之间通过连续成膜形成载流子浓度比半导体层高并载流子浓度比缓冲层低的第二缓冲层(n^- 层)。在作为第二缓冲层使用包含 In、Ga 及 Zn 的氧化物半导体层和缓冲层的混合层的情况下,在同一处理室内设置包含 In、Ga 及 Zn 的氧化物半导体靶子和钛靶子的双方,使用挡板依次层叠进行连续成膜。首先,关闭钛靶子的挡板,形成包含 In、Ga 及 Zn 的氧化物半导体膜。接着,开启钛靶子的挡板,同时形成包含 In、Ga 及 Zn 的氧化物半导体膜和 TiO_x 。接着,通过关闭包含 In、Ga 及 Zn 的氧化物半导体的靶子的挡板,并形成 TiO_x 膜,可以在半导体层上依次形成 n^- 层、 n^+ 层。

接着,不接触大气地开启闸阀 87 并利用搬运机械 81 将衬底搬运到搬运室 80,开启闸阀 88 将衬底搬运到第五处理室 93 中,并且关闭闸阀 88。

在此,作为第五处理室 93,采用使用 DC 磁控溅射法的溅射处理室。在第五处理室 93 中,形成成为源电极或漏电极的金属多层膜。在第五处理室 93 的溅射处理室中设置钛靶子和铝靶子的双方,并使用挡板按顺序层叠进行连续成膜来在同一个处理室中进行层叠。在此,在钛膜上层叠铝膜,而且在铝膜上层叠钛膜。

如上所述,在使用灰色调掩模的情况下,可以不接触于大气地连续形成具有过量的氧的 SiO_x 膜、具有过量的氧的 IGZO 膜、金属氧化物膜和金属多层膜。特别是,可以将具有过量的氧的 IGZO 膜的界面状态更稳定化,提高 TFT 的可靠性。在 IGZO 膜的形成前后衬底接触于大气的情况下,水分等附着在衬底上,对界面状态造成坏影响,并且有引起阈值的不均匀,电特性的退化,成为常开启的 TFT 的状态等的忧

虑。因为水分是氢化合物，所以通过不接触于大气地连续形成，可以防止氢化合物存在于 IGZO 膜的界面。从而，通过连续形成四个膜，可以减少阈值的不均匀性，防止电特性的退化，并且减少 TFT 移动到常开启一侧的状态，优选避免该移动。

另外，通过不接触于大气地连续形成金属氧化物膜和金属多层膜，在金属氧化物膜和金属多层膜之间可以实现良好的界面状态，而可以降低接触电阻。

另外，也可以不使用第四处理室 92 而在第五处理室 93 中连续形成 TiO_x 膜和金属多层膜。在此情况下，通过使用挡板依次层叠而连续形成，在同一处理室内进行层叠。在此，使用挡板遮挡铝靶子，并导入氧气体进行反应溅射，而形成氧化钛膜（ TiO_x 膜）。接着，从第五处理室 93 排出氧气体而导入氩气体，进行溅射，以形成钛膜。接着，使用挡板遮挡钛靶子，在钛膜上层叠铝膜，然后使用挡板遮挡铝靶子，在铝膜上层叠钛膜。在相同的处理室中进行层叠的优点是可以减少所使用的处理室数并可以防止当在不同的处理室之间搬运衬底时微粒等附着在衬底上。

在反复进行上述工序对卡匣盒内的衬底进行成膜处理，而结束多个衬底的处理之后，将真空状态的卡匣室暴露于大气并取出衬底及卡匣。

另外，在第一处理室 89 中可以进行具有过量的氧的 IGZO 膜的形成之后的加热处理，具体而言可以进行 300°C 至 400°C 的加热处理，优选的是 350°C 以上的加热处理。通过进行该加热处理，可以提高反交错型薄膜晶体管的电特性。该加热处理只要在具有过量的氧的 IGZO 膜的成膜之后进行，则没有特别的限制，例如可以在刚形成具有过量的氧的 IGZO 膜之后或在刚形成金属多层膜之后进行该加热处理。

接着，使用灰色调掩模对各叠层膜进行构图。即可以使用干蚀刻、湿蚀刻进行形成，又可以在多次蚀刻中分别选择性地蚀刻。

在以下的工序中，根据上述实施方式 4 可以制造反交错型薄膜晶体管。

虽然在此以多室方式的制造装置为例子进行说明，但是也可以使用串联联结溅射处理室的串列方式的制造装置来不接触于大气地进行连续成膜。

此外，图 12 所示的装置中采用将被成膜面朝向下面，即采用所谓的朝下方式的处理室，但是也可以采用将衬底竖为垂直的纵向安装方式的处理室。纵向安装方式的处理室具有其占地面积比朝下方式的处理室小的优点，并且当使用因衬底的自重而会弯曲的大面积的衬底时是有效。

实施方式 6

在实施方式中，以下说明在同一衬底上至少制造驱动电路的一部分和配置在像素部中的薄膜晶体管的例子。

根据实施方式 1 至 4 形成配置在像素部中的薄膜晶体管。此外，因为实施方式 1 至实施方式 4 所示的薄膜晶体管是 n 沟道型 TFT，所以将可以由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管相同的衬底上。

图 13A 示出有源矩阵型液晶显示装置的框图的一例。图 13A 所示的显示装置在衬底 5300 上包括：具有多个具备显示元件的像素的像素部 5301；选择各像素的扫描线驱动电路 5302；以及控制对被选择了的像素的视频信号输入的信号线驱动电路 5303。像素部 5301 通过从信号线驱动电路 5303 在行方向上延伸地配置的多个信号线 S1-Sm（未图示）与信号线驱动电路 5303 连接，并且通过从扫描线驱动电路 5302 在列方向上延伸地配置的多个扫描线 G1-Gn（不进行图示）与扫描线驱动电路 5302 连接，并具有对应于信号线 S1-Sm 以及扫描线 G1-Gn 配置为矩阵形的多个像素（未图示）。并且，各个像素与信号线 S_j（信号线 S1-Sm 中任一）、扫描线 G_i（扫描线 G1-Gn 中任一）连接。

此外，实施方式 1 至 4 所示的薄膜晶体管是 n 沟道型 TFT，参照图 14 说明由 n 沟道型 TFT 构成的信号线驱动电路。

图 14 所示的信号线驱动电路包括：驱动器 IC5601；开关群 5602_1 至 5602_M；第一布线 5611；第二布线 5612；第三布线 5613；以及布线 5621_1 至 5621_M。开关群 5602_1 至 5602_M 分别包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

驱动器 IC5601 连接到第一布线 5611、第二布线 5612、第三布线 5613 及布线 5621_1 至 5621_M。而且，开关群 5602_1 至 5602_M 分别连接到第一布线 5611、第二布线 5612、第三布线 5613 及分别对应于开关群 5602_1 至 5602_M 的布线 5621_1 至 5621_M。而且，布线 5621_1 至 5621_M 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到三个信号线。例如，第 J 行的布线 5621_J（布线 5621_1 至 5621_M 中任一个）分别通过开关群 5602_J 所具有的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线 S_{j-1}、信号线 S_j、信号线 S_{j+1}。

注意，对第一布线 5611、第二布线 5612、第三布线 5613 分别输入信号。

注意，驱动器 IC5601 优选形成在单晶衬底上。再者，开关群 5602_1 至 5602_M 优选形成在与实施方式 1 至 4 所示的像素部相同的衬底上。因此，优选通过 FPC 等连接驱动器 IC5601 和开关群 5602_1 至 5602_M。

接着，参照图 15 的时序图说明图 14 所示的信号线驱动电路的工作。注意，图 15 的时序图示出选择第 i 列扫描线 G_i 时的时序图。再者，第 i 列扫描线 G_i 的选择期间被分割为第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3。而且，图 14 的信号线驱动电路在其他列的扫描线被选择的情况下也进行与图 15 相同的工作。

注意，图 15 的时序图示出第 J 行布线 5621_J 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c

连接到信号线 S_{j-1} 、信号线 S_j 、信号线 S_{j+1} 的情况。

注意，图 15 的时序图示出第 i 列扫描线 G_i 被选择的时序、第一薄膜晶体管 5603a 的导通·截止的时序 5703a、第二薄膜晶体管 5603b 的导通/截止的时序 5703b、第三薄膜晶体管 5603c 的导通·截止的时序 5703c 及输入到第 J 行布线 5621_J 的信号 5721_J。

注意，在第一子选择期间 T_1 、第二子选择期间 T_2 及第三子选择期间 T_3 中，对布线 5621₁ 至布线 5621_M 分别输入不同的视频信号。例如，在第一子选择期间 T_1 中输入到布线 5621_J 的视频信号输入到信号线 S_{j-1} ，在第二子选择期间 T_2 中输入到布线 5621_J 的视频信号输入到信号线 S_j ，在第三子选择期间 T_3 中输入到布线 5621_J 的视频信号输入到信号线 S_{j+1} 。再者，在第一子选择期间 T_1 、第二子选择期间 T_2 及第三子选择期间 T_3 中输入到布线 5621_J 的视频信号分别为 $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

如图 15 所示，在第一子选择期间 T_1 中，第一薄膜晶体管 5603a 导通，第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时，输入到布线 5621_J 的 $Data_{j-1}$ 通过第一薄膜晶体管 5603a 输入到信号线 S_{j-1} 。在第二子选择期间 T_2 中，第二薄膜晶体管 5603b 导通，而第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时，输入到布线 5621_J 的 $Data_j$ 通过第二薄膜晶体管 5603b 输入到信号线 S_j 。第三子选择期间 T_3 中，第三薄膜晶体管 5603c 导通，而第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时，输入到布线 5621_J 的 $Data_{j+1}$ 通过第三薄膜晶体管 5603c 输入到信号线 S_{j+1} 。

据此，图 14 的信号线驱动电路通过将一个栅极选择期间分割为三个来可以在一个栅极选择期间中将视频信号从一个布线 5621 输入到三个信号线。因此，图 14 的信号线驱动电路可以将形成驱动器 IC5601 的衬底和形成有像素部的衬底的连接数设定为信号线数的大约 $1/3$ 。通过将连接数设定为大约 $1/3$ ，图 14 的信号线驱动电路可以提高可靠性、成品率等。

注意,只要能够如图 14 所示,将一个栅极选择期间分割为多个子选择期间,并在各子选择期间中从某一个布线向多个信号线分别输入视频信号,就对于薄膜晶体管的配置、数量及驱动方法等没有限制。

例如,当在三个以上的子选择期间的每一个期间中从一个布线将视频信号分别输入到三个以上的信号线时,追加薄膜晶体管及用于控制薄膜晶体管的布线,即可。但是,当将一个栅极选择期间分割为四个以上的子选择期间时,一个子选择期间变短。因此,一个栅极选择期间优选分割为两个或三个子选择期间。

作为另一个例子,也可以如图 16 的时序图所示,将一个选择期间分割为预充电期间 T_p 、第一子选择期间 $T1$ 、第二子选择期间 $T2$ 、第三子选择期间 $T3$ 。再者,图 16 的时序图示出选择第 i 列扫描线 G_i 的时序、第一薄膜晶体管 5603a 的导通/截止的时序 5803a、第二薄膜晶体管 5603b 的导通/截止的时序 5803b、第三薄膜晶体管 5603c 的导通/截止的时序 5803c 以及输入到第 J 行布线 5621_J 的信号 5821_J。如图 16 所示,在预充电期间 T_p 中,第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 导通。此时,输入到布线 5621_J 的预充电电压 V_p 通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 分别输入到信号线 S_{j-1} 、信号线 S_j 、信号线 S_{j+1} 。在第一子选择期间 $T1$ 中,第一薄膜晶体管 5603a 导通,第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 $Data_{j-1}$ 通过第一薄膜晶体管 5603a 输入到信号线 S_{j-1} 。在第二子选择期间 $T2$ 中,第二薄膜晶体管 5603b 导通、第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 $Data_j$ 通过第二薄膜晶体管 5603b 输入到信号线 S_j 。在第三子选择期间 $T3$ 中,第三薄膜晶体管 5603c 导通,第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布线 5621_J 的 $Data_{j+1}$ 通过第三薄膜晶体管 5603c 输入到信号线 S_{j+1} 。

据此，因为应用图 16 的时序图的图 14 的信号线驱动电路可以通过在子选择期间之前提供预充电选择期间来对信号线进行预充电，所以可以高速地进行对像素的视频信号的写入。注意，在图 16 中，使用相同的附图标记来表示与图 15 相同的部分，而省略相同的部分或具有相同的功能的部分的详细说明。

此外，说明扫描线驱动电路的结构。扫描线驱动电路包括移位寄存器、缓冲器。此外，根据情况，还可以包括电平转移器。在扫描线驱动电路中，通过对移位寄存器输入时钟信号（CLK）及起始脉冲信号（SP），生成选择信号。所生成的选择信号在缓冲器中被缓冲放大，并供给到对应的扫描线。扫描线连接到一条线用的像素的晶体管的栅电极。而且，由于需要将一条线用的像素的晶体管一齐导通，因此使用能够产生大电流的缓冲器。

参照图 17 和图 18 说明用于扫描线驱动电路的一部分的移位寄存器的一个方式。

图 17 示出移位寄存器的电路结构。图 17 所示的移位寄存器由多个触发器（触发器 5701_1 至 5701_n）构成。此外，输入第一时钟信号、第二时钟信号、起始脉冲信号、复位信号来进行工作。

说明图 17 的移位寄存器的连接关系。在图 17 的移位寄存器的第 i 级触发器 5701_i（触发器 5701_1 至 5701_n 中任一个）中，图 18 所示的第一布线 5501 连接到第七布线 5717_i-1，图 18 所示的第二布线 5502 连接到第七布线 5717_i+1，图 18 所示的第三布线 5503 连接到第七布线 5717_i，并且图 18 所示的第六布线 5506 连接到第五布线 5715。

此外，在奇数级的触发器中图 18 所示的第四布线 5504 连接到第二布线 5712，在偶数级的触发器中其连接到第三布线 5713，并且图 18 所示的第五布线 5505 连接到第四布线 5714。

但是，第一级触发器 5701_1 的图 18 所示的第一布线 5501 连接到第一布线 5711，而第 n 级触发器 5701_n 的图 18 所示的第二布线 5502 连接到第六布线 5716。

注意，第一布线 5711、第二布线 5712、第三布线 5713、第六布线

5716 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者，第四布线 5714、第五布线 5715 也可以分别称为第一电源线、第二电源线。

接着，图 18 示出图 17 所示的触发器的详细。图 18 所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。注意，第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 是 n 沟道型晶体管，并且当栅极-源极间电压 (V_{gs}) 超过阈值电压 (V_{th}) 时它们成为导通状态。

接着，下面示出图 17 所示的触发器的连接结构。

第一薄膜晶体管 5571 的第一电极（源电极及漏电极中的一方）连接到第四布线 5504，并且第一薄膜晶体管 5571 的第二电极（源电极及漏电极中的另一方）连接到第三布线 5503。

第二薄膜晶体管 5572 的第一电极连接到第六布线 5506，并且第二薄膜晶体管 5572 的第二电极连接到第三布线 5503。

第三薄膜晶体管 5573 的第一电极连接到第五布线 5505，第三薄膜晶体管 5573 的第二电极连接到第二薄膜晶体管 5572 的栅电极，并且第三薄膜晶体管 5573 的栅电极连接到第五布线 5505。

第四薄膜晶体管 5574 的第一电极连接到第六布线 5506，第四薄膜晶体管 5574 的第二电极连接到第二薄膜晶体管 5572 的栅电极，并且第四薄膜晶体管 5574 的栅电极连接到第一薄膜晶体管 5571 的栅电极。

第五薄膜晶体管 5575 的第一电极连接到第五布线 5505，第五薄膜晶体管 5575 的第二电极连接到第一薄膜晶体管 5571 的栅电极，并且第五薄膜晶体管 5575 的栅电极连接到第一布线 5501。

第六薄膜晶体管 5576 的第一电极连接到第六布线 5506，第六

薄膜晶体管 5576 的第二电极连接到第一薄膜晶体管 5571 的栅电极，并且第六薄膜晶体管 5576 的栅电极连接到第二薄膜晶体管 5572 的栅电极。

第七薄膜晶体管 5577 的第一电极连接到第六布线 5506，第七薄膜晶体管 5577 的第二电极连接到第一薄膜晶体管 5571 的栅电极，并且第七薄膜晶体管 5577 的栅电极连接到第二布线 5502。第八薄膜晶体管 5578 的第一电极连接到第六布线 5506，第八薄膜晶体管 5578 的第二电极连接到第二薄膜晶体管 5572 的栅电极，并且第八薄膜晶体管 5578 的栅电极连接到第一布线 5501。

注意，以第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574 的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极的连接部分为节点 5543。再者，以第二薄膜晶体管 5572 的栅电极、第三薄膜晶体管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极及第八薄膜晶体管 5578 的第二电极的连接部分为节点 5544。

注意，第一布线 5501、第二布线 5502、第三布线 5503 以及第四布线 5504 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者，第五布线 5505、第六布线 5506 也可以分别称为第一电源线、第二电源线。

此外，也可以仅使用实施方式 1 至 4 所示的 n 沟道型 TFT 制造信号线驱动电路及扫描线驱动电路。因为实施方式 1 至 4 所示的 n 沟道型 TFT 的晶体管迁移率大，所以可以提高驱动电路的驱动频率。另外，由于实施方式 1 至 4 所示的 n 沟道型 TFT 利用由金属氧化物层构成的缓冲层减少寄生电容，因此频率特性（称为 f 特性）高。例如，由于可以使使用实施方式 1 至 4 所示的 n 沟道型 TFT 的扫描线驱动电路进行高速工作，因此可以提高帧频率或实现黑屏插入等。

再者，通过增大扫描线驱动电路的晶体管的沟道宽度，或配置多个扫描线驱动电路等，可以实现更高的帧频率。在配置多个扫描

线驱动电路的情况下，通过将用于驱动偶数列的扫描线的扫描线驱动电路配置在一侧，并将用于驱动奇数列的扫描线的扫描线驱动电路配置在其相反一侧，可以实现帧频率的提高。

此外，在制造有源矩阵型发光显示装置的情况下，因为至少在一个像素中配置多个薄膜晶体管，因此优选配置多个扫描线驱动电路。图 13B 示出有源矩阵型发光显示装置的框图的一例。

图 13B 所示的显示装置在衬底 5400 上包括：具有多个具备显示元件的像素的像素部 5401；选择各像素的第一扫描线驱动电路 5402 及第二扫描线驱动电路 5404；以及控制对被选择的像素的视频信号的输入的信号线驱动电路 5403。

在输入到图 13B 所示的显示装置的像素的视频信号为数字方式的情况下，通过切换晶体管的导通和截止，像素处于发光或非发光状态。因此，可以采用区域灰度法或时间灰度法进行灰度级显示。面积灰度法是一种驱动法，其中通过将一个像素分割为多个子像素并根据视频信号分别驱动各子像素，来进行灰度级显示。此外，时间灰度法是一种驱动法，其中通过控制像素发光的期间，来进行灰度显示。

因为发光元件的响应速度比液晶元件等高，所以与液晶元件相比适合于时间灰度法。在具体地采用时间灰度法进行显示的情况下，将一个帧期间分割为多个子帧期间。然后，根据视频信号，在各子帧期间中使像素的发光元件处于发光或非发光状态。通过将一个帧期间分割为多个子帧期间，可以利用视频信号控制在一个帧期间中像素实际上发光的期间的总长度，并可以显示灰度级。

注意，在图 13B 所示的发光装置中示出一种例子，其中当在一个像素中配置两个 TFT，即开关 TFT 和电流控制 TFT 时，使用第一扫描线驱动电路 5402 生成输入到开关 TFT 的栅极布线的第一扫描线的信号，而使用第二扫描线驱动电路 5404 生成输入到电流控制 TFT 的栅极布线的第二扫描线的信号。但是，也可以使用一个扫描线驱动电路生成输入到第一扫描线的信号和输入到第二扫描线的信号。

此外，例如根据开关元件所具有的各晶体管的数量，可能会在各像素中设置多个用来控制开关元件的工作的第一扫描线。在此情况下，既可以使用一个扫描线驱动电路生成输入到多个第一扫描线的所有信号，又可以使用多个扫描线驱动电路生成输入到多个第一扫描线的所有信号。

此外，在发光装置中也可以将能够由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管相同的衬底上。另外，也可以仅使用实施方式 1 至 4 所示的 n 沟道型 TFT 制造信号线驱动电路及扫描线驱动电路。

此外，上述驱动电路除了液晶显示装置及发光装置以外还可以用于利用与开关元件电连接的元件来驱动电子墨水的电子纸。电子纸也称为电泳显示装置（电泳显示器），并具有如下优点：与纸相同的易读性、耗电量比其他的显示装置小、可形成为薄且轻的形状。

作为电泳显示器可考虑各种方式。电泳显示器是如下器件，即在溶剂或溶质中分散有多个包含具有正电荷的第一粒子和具有负电荷的第二粒子的微囊，并且通过对微囊施加电场使微囊中的粒子互相向相反方向移动，以仅显示集合在一方的粒子的颜色。注意，第一粒子或第二粒子包含染料，且在无电场时不移动。此外，第一粒子和第二粒子的颜色不同（包含无色）。

像这样，电泳显示器是利用所谓的介电电泳效应的显示器。在该介电电泳效应中，介电常数高的物质移动到高电场区。电泳显示器不需要液晶显示装置所需的偏振片和对置衬底，从而可以使其厚度和重量减少一半。

将在其中分散有上述微囊的溶剂称作电子墨水，该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外，还可以通过使用彩色滤光片或具有色素的粒子来进行彩色显示。

此外，通过在有源矩阵衬底上适当地设置多个上述微囊以使微囊夹在两个电极之间，而完成源矩阵型显示装置，并且当对微囊施加电场时可以进行显示。

此外，作为微囊中的第一粒子及第二粒子，采用选自导电体材料、绝缘体材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、磁泳材料中的一种或这些材料的组合材料即可。

实施方式 7

通过制造根据本发明的一个方式的薄膜晶体管并将该薄膜晶体管用于像素部及驱动电路，来可以制造具有显示功能的半导体装置（也称为显示装置）。此外，可以将根据本发明的一个方式的薄膜晶体管的驱动电路的一部分或整体一体形成在与像素部相同的衬底上，来形成系统型面板（system-on-panel）。

显示装置包括显示元件。作为显示元件，可以使用液晶元件（也称为液晶显示元件）、发光元件（也称为发光显示元件）。在发光元件的范围内包括利用电流或电压控制亮度的元件，具体而言，包括无机 EL（Electro Luminescence；电致发光）、有机 EL 等。此外，也可以应用电子墨水等的对比度因电作用而变化的显示介质。

此外，显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的 IC 等的模块。再者，本发明的一个方式涉及一种元件衬底，该元件衬底相当于制造该显示装置的过程中的显示元件完成之前的一个方式，并且它在多个各像素中分别具备用于将电流供给到显示元件的单元。具体而言，元件衬底既可以是只形成有显示元件的像素电极的状态，又可以是形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态，而可以采用各种方式。

注意，本说明书中的显示装置是指图像显示装置、显示装置、或光源（包括照明装置）。另外，显示装置还包括安装有连接器诸如 FPC（Flexible Printed Circuit；柔性印刷电路）、TAB（Tape Automated Bonding；载带自动键合）带或 TCP（Tape Carrier Package；载带封装）的模块；将印刷线路板固定到 TAB 带或 TCP 端部的模块；通过 COG（Chip On Glass；玻璃上芯片）方式将 IC（集成电路）直接安装到显

示元件上的模块。

在本实施方式中，示出液晶显示装置的例子作为根据本发明的一个方式的半导体装置。

图 19A 和 19B 示出应用本发明的一个方式的有源矩阵型液晶显示装置。图 19A 是液晶显示装置的平面图，而图 19B 是沿着图 19A 中的 V-X 的截面图。用于半导体装置的薄膜晶体管 201 可以与实施方式 2 所示的薄膜晶体管同样地制造，并且它是包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的可靠性高的薄膜晶体管。此外，也可以应用实施方式 1、实施方式 3 或实施方式 4 所示的薄膜晶体管作为本实施方式的薄膜晶体管 201。

图 19A 所示的本实施方式的液晶显示装置包括源极布线层 202、多栅极结构的反交错薄膜晶体管 201、栅极布线层 203、电容布线层 204。

另外，在图 19B 中，在本实施方式的液晶显示装置中具有液晶显示元件 260，并且衬底 200 和衬底 266 中间夹着液晶层 262 彼此对置。该衬底 200 设置有多栅极结构的薄膜晶体管 201、用作保护膜的绝缘层 211、用作保护膜的绝缘层 212、用作平坦化膜的绝缘层 213、用于显示元件的电极层 255、用作取向膜的绝缘层 261、偏振片 268。并且该衬底 266 设置有用作取向膜的绝缘层 263、用于显示元件的电极层 265、用作彩色滤光片的着色层 264、偏振片 267。

在此，使用用作保护膜的绝缘层 211、212 或用作平坦化膜的绝缘层 213 覆盖通过实施方式 2 可得到的薄膜晶体管，以降低薄膜晶体管 201 的表面凹凸并提高薄膜晶体管 201 的可靠性。注意，因为保护膜用于防止悬浮在大气中的有机物、金属物、水蒸气等的污染杂质的侵入，所以优选采用致密的膜。使用 CVD 法等并利用氧化硅膜、氮化硅膜、氧氮化硅膜或氮氧化硅膜的单层或叠层而形成保护膜，即可。另外，也可以使用有机硅烷气体和氧作为工艺气体并利用等离子体 CVD 法而形成氧化硅膜作为保护膜。

有机硅烷是如下化合物：硅酸乙酯（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基硅烷（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、四甲基环四硅氧烷（TMCTS）、

八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三二甲氨基硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等。

形成绝缘层 211 作为保护膜的第一层。绝缘层 211 起到防止铝膜的小丘的作用。在此, 使用等离子体 CVD 法形成氧化硅膜作为绝缘层 211。作为氧化硅膜的成膜用工艺气体, 使用 TEOS 及 O_2 , 并且将其流量比设定为 $\text{TEOS}/\text{O}_2=15(\text{sccm})/750(\text{sccm})$ 。成膜工序的衬底温度是 300°C 。

另外, 形成绝缘层 212 作为保护膜的第二层。在此, 使用等离子体 CVD 法形成氮化硅膜作为绝缘层 212。作为氮化硅膜的成膜用工艺气体, 使用 SiH_4 、 N_2 、 NH_3 及 H_2 。当使用氮化硅膜作为保护膜的一个层时, 可以抑制钠等的可动离子侵入到半导体区域中而使 TFT 的电特性变化。

另外, 也可以在形成保护膜之后进行对 IGZO 半导体层的退火 (300°C 至 400°C)。

另外, 形成绝缘层 213 作为用作平坦化膜的绝缘膜。作为绝缘层 213, 可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、环氧等。另外, 除了上述有机材料之外, 还可以使用低介电常数材料 (low-k 材料)、硅氧烷基树脂、PSG (磷硅玻璃)、BPSG (硼磷硅玻璃) 等。硅氧烷基树脂除了氢之外还可以具有氟、烷基或芳基中的至少一种作为取代基。另外, 也可以通过层叠多个由这些材料形成的绝缘膜, 来形成绝缘层 213。

另外, 硅氧烷基树脂相当于以硅氧烷基材料为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷基树脂除了氢以外, 还可以具有氟、烷基或芳香烃中的至少一种作为取代基。

绝缘层 213 可以根据其材料利用 CVD 法、溅射法、SOG 法、旋转涂敷、浸渍、喷涂、液滴喷射法 (喷墨法、丝网印刷、胶版印刷等)、刮片、辊涂、幕涂、刮刀涂布等来形成。在使用材料液形成绝缘层 213 的情况下, 也可以在进行焙烧的工序中同时进行对 IGZO 半导体层的退火 (300°C 至 400°C)。通过兼作绝缘层 213 的焙烧工序和对 IGZO 半导体层的退火, 可以有效地制造显示装置。

注意,虽然图 19A 及 19B 表示透过型液晶显示装置,但是本发明的一个方式也可以应用于反射型液晶显示装置或半透过型液晶显示装置。

此外,图 19A 和 19B 的液晶显示装置示出在衬底 266 的外侧(可见一侧)设置偏振片 267,而在衬底 266 的内侧按顺序设置着色层 264、用于显示元件的电极层 265 的例子,但是也可以在衬底 266 的内侧设置偏振片 267。另外,偏光片和着色层的叠层结构也不局限于图 19A 和 19B,而根据偏振片及着色层的材料和制造工序条件适当地设定,即可。此外,还可以设置用作黑矩阵的遮光膜。

作为用作像素电极层的电极层 255、265,可以使用具有透光性的导电材料诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成电极层 255、265。使用导电组成物形成的像素电极的薄层电阻优选为 $10000\ \Omega/\square$ 以下,并且其波长为 550nm 时的透光率优选为 70% 以上。另外,导电组成物所包含的导电高分子的电阻率优选为 $0.1\ \Omega\cdot\text{cm}$ 以下。

作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。

作为液晶层 262 的液晶材料,使用溶致液晶、热致液晶、低分子液晶、高分子液晶、盘状液晶、铁电性液晶、反铁电性液晶等。另外,上述液晶材料根据条件呈现出向列相、胆甾相、胆甾蓝相、近晶相、近晶蓝相、立方相、近晶 D、手性向列相、各向同性相等。胆甾蓝相及近晶蓝相呈现于具有螺距是 500nm 以下的较短的胆甾相或近晶相的液晶材料中。液晶材料的取向具有双扭结构(double twist structure)。因为液晶材料具有光学波长以下的序列,所以其是透明,通过电压的施加而其取向序列变化,来产生光学调制作用。因为蓝相在光学上具

有各向同性，所以没有视角依赖性，不需要形成取向膜，因此可以实现显示图像质量的提高及成本的缩减。

通过上述工序，可以制造可靠性高的液晶显示装置作为半导体装置。

本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

实施方式 8

在本实施方式中，作为根据本发明的一个方式的半导体装置示出电子纸的例子。

在图 26 中，作为应用本发明的一个方式的半导体装置的例子示出有源矩阵型电子纸。可以与实施方式 2 所示的薄膜晶体管同样地制造用于半导体装置的薄膜晶体管 581，并且该薄膜晶体管 581 是包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的可靠性高的薄膜晶体管。此外，也可以应用实施方式 1、实施方式 3 或实施方式 4 所示的薄膜晶体管作为本实施方式的薄膜晶体管 581。

图 26 的电子纸是采用扭转球显示方式的显示装置的例子。扭转球显示方式是指一种方法，其中将分别着色为白色和黑色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间，并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向，以执行显示。

衬底 580 上的薄膜晶体管 581 是多栅极结构的反交错型薄膜晶体管，并且在形成于绝缘层 585、层 583 及层 584 中的开口中通过源电极层或漏电极层接触于第一电极层 587 并与它电连接。在第一电极层 587 和设置于衬底 596 的第二电极层 588 之间设置有球形粒子 589，该球形粒子 589 具有黑色区 590a 和白色区 590b，其周围包括充满了液体的空洞 594，并且球形粒子 589 的周围充满有树脂等的填充材料 595（参照图 26）。

此外，还可以使用电泳元件代替扭转球。使用直径为 $10\mu\text{m}$ 至 $20\mu\text{m}$ 左右的微囊，该微囊中封入有透明液体和带正电的白色微粒和带负

电的黑色微粒。对于设置在第一电极层和第二电极层之间的微囊，当由第一电极层和第二电极层施加电场时，白色微粒和黑色微粒移动到相反方向，从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件，一般地称为电子纸。电泳显示元件具有比液晶显示元件高的反射率，因而不需要辅助灯。此外，耗电量低，并且在昏暗的地方也能够辨别显示部。另外，即使不向显示部供应电源，也能够保持显示过一次的图像，因此，即使从电波发射源离开具有显示功能的半导体装置（简单地称为显示装置，或称为具备显示装置的半导体装置），也能够储存显示过的图像。

通过上述工序，可以制造作为半导体装置的可靠性高的电子纸。

本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

实施方式 9

在本实施方式中，示出发光显示装置的例子作为根据本发明的一个方式的半导体装置。在此，示出利用电致发光的发光元件作为显示装置所具有的显示元件。利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别，一般来说，前者称为有机 EL 元件，而后者称为无机 EL 元件。

在有机 EL 元件中，通过对发光元件施加电压，电子和空穴从一对电极分别注入到包含发光有机化合物的层，以产生电流。然后，由于这些载流子（电子和空穴）重新结合，发光有机化合物形成激发态，并且当该激发态恢复到基态时，得到发光。根据这种机理，该发光元件称为电流激励型发光元件。

根据其元件的结构，将无机 EL 元件分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括在粘合剂中分散有发光材料的粒子的发光层，且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机 EL 元件具有利用电介质层夹住发光层并还利用电极夹住该发光层的结构，且其发光机理是利用金属离子的内层电子跃迁的定域型发光。注意，在此使用有机 EL 元件作为发光

元件而进行说明。

在图 22A 和 22B 中,示出有源矩阵型发光显示装置作为应用本发明的一个方式的半导体装置的例子。图 22A 是发光显示装置的平面图,而图 22B 是沿着图 22A 中的线 Y-Z 的截面图。注意,图 23 示出图 22A 和 22B 所示的发光显示装置的等效电路。

可以与实施方式 1 及实施方式 2 所示的薄膜晶体管同样地制造用于半导体装置的薄膜晶体管 301、302,并且该薄膜晶体管 301、302 是包括 IGZO 半导体层及由金属氧化物层构成的具有 n 型导电型的缓冲层的可靠性高的薄膜晶体管。此外,也可以应用实施方式 3 或实施方式 4 所示的薄膜晶体管作为本实施方式的薄膜晶体管 301、302。

图 22A 及图 23 所示的本实施方式的发光显示装置包括多栅极结构的薄膜晶体管 301、薄膜晶体管 302、发光元件 303、电容元件 304、源极布线层 305、栅极布线层 306、电源线 308。薄膜晶体管 301、302 是 n 沟道型薄膜晶体管。

此外,在图 22B 中,本实施方式的发光显示装置包括衬底 300、薄膜晶体管 302、绝缘层 311、绝缘层 312、绝缘层 313、分隔壁 321 以及用于发光元件 303 的第一电极层 320、电场发光层 322、第二电极层 323。

优选使用丙烯、聚酰亚胺、聚酰胺等的有机树脂、或硅氧烷形成绝缘层 313。

在本实施方式中,因为像素的薄膜晶体管 302 是 n 型,所以优选使用阴极作为像素电极层的第一电极层 320。具体而言,作为阴极,可以使用功函数小的材料例如 Ca、Al、CaF、MgAg、AlLi 等。

使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔壁 321。特别优选的是,使用感光材料,在第一电极层 320 上形成开口部,并将其开口部的侧壁形成为具有连续的曲率而成的倾斜面。

电场发光层 322 既可以由单层构成,又可以由多个层的叠层构成。

覆盖电场发光层 322 地形成用作阳极的第二电极层 323。利用在实施方式 7 中作为像素电极层列举的使用具有透光性的导电材料的透光

导电膜，而可以形成第二电极层 323。除了上述透光导电膜之外，还可以使用氮化钛膜或钛膜。通过重叠第一电极层 320、电场发光层 322 和第二电极层 323，形成有发光元件 303。然后，也可以在第二电极层 323 及分隔壁 321 上形成保护膜，以防止氧、氢、水分、二氧化碳等侵入到发光元件 303 中。作为保护膜，可以形成氮化硅膜、氮氧化硅膜、DLC 膜等。

再者，在实际上，优选当完成图 22B 的状态之后，使用气密性高且漏气少的保护薄膜（贴合薄膜、紫外线固性树脂薄膜等）及覆盖材料进行封装（密封）以进一步防止发光元件暴露于空气中。

接着，参照图 24A 至 24C 说明发光元件的结构。在此，以驱动 TFT 是 n 型的情况为例子来说明像素的截面结构。与实施方式 1 所示的薄膜晶体管同样地制造用于图 24A、24B 和 24C 的半导体装置的驱动 TFT7001、7011、7021，并且这些 TFT 是包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的可靠性高的薄膜晶体管。此外，也可以应用实施方式 2、实施方式 3 或实施方式 4 所示的薄膜晶体管用作驱动 TFT7001、7011、7021。

发光元件的阳极及阴极中之至少一方是透明以向外部发光，即可。而且，有如下结构的发光元件，即在衬底上形成薄膜晶体管及发光元件，并从与衬底相反的面向外部发光的顶部发射、从衬底一侧向外部发光的底部发射、以及从衬底一侧及与衬底相反的面向外部发光的双面发射。根据本发明的一个方式的像素结构可以应用于任何发射结构的发光元件。

参照图 24A 说明顶部发射结构的发光元件。

在图 24A 中示出当驱动 TFT7001 是 n 型，且从发光元件 7002 发射的光穿过阳极 7005 一侧时的像素的截面图。在图 24A 中，发光元件 7002 的阴极 7003 和驱动 TFT7001 电连接，在阴极 7003 上按顺序层叠有发光层 7004、阳极 7005。作为阴极 7003，只要是功函数小且反射光的导电膜，就可以使用各种材料。例如，优选采用 Ca、Al、CaF、MgAg、AlLi 等。而且，发光层 7004 可以由单层或多层的叠层构成。在由多层构成

时，在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意，不需要设置上述的所有层。使用透过光的具有透光性的导电材料形成阳极 7005，也可以使用具有透光性的导电膜例如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡（下面，表示为 ITO）、氧化铟锌、添加有氧化硅的氧化铟锡等。

使用阴极 7003 及阳极 7005 夹住发光层 7004 的区域相当于发光元件 7002。在图 24A 所示的像素中，从发光元件 7002 发射的光如箭头所示那样发射到阳极 7005 一侧。

接着，参照图 24B 说明底部发射结构的发光元件。图 24B 示出在驱动 TFT7011 是 n 型，且从发光元件 7012 发射的光发射到阴极 7013 一侧的情况下的像素的截面图。在图 24B 中，在与驱动 TFT7011 电连接的具有透光性的导电膜 7017 上形成有发光元件 7012 的阴极 7013，在阴极 7013 上按顺序层叠有发光层 7014、阳极 7015。注意，在阳极 7015 具有透光性的情况下，也可以覆盖阳极上地形成有用于反射光或进行遮光的屏蔽膜 7016。与图 24A 的情况同样地，阴极 7013 只要是功函数小的导电材料，就可以使用各种材料。但是，将其厚度设定为透过光的程度（优选为 5nm 至 30nm 左右）。例如，也可以将膜厚度为 20nm 的铝膜用作阴极 7013。而且，与图 24A 同样地，发光层 7014 可以由单层或多个层的叠层构成。阳极 7015 不需要透过光，但是可以与图 24A 同样地使用具有透光性的导电材料形成。并且，虽然屏蔽膜 7016 例如可以使用反射光的金属等，但是不局限于金属膜。例如，也可以使用添加有黑色的颜料的树脂等。

由阴极 7013 及阳极 7015 夹有发光层 7014 的区域相当于发光元件 7012。在图 24B 所示的像素中，从发光元件 7012 发射的光如箭头所示那样发射到阴极 7013 一侧。

接着，参照图 24C 说明双面发射结构的发光元件。在图 24C 中，在与驱动 TFT7021 电连接的具有透光性的导电膜 7027 上形成有发光元件 7022 的阴极 7023，而在阴极 7023 上按顺序层叠有发光层 7024、阳极

7025。与图 24A 的情况同样地，作为阴极 7023，只要是功函数小的导电材料，就可以使用各种材料。但是，将其厚度设定为透过光的程度。例如，可以将膜厚度为 20nm 的 Al 用作阴极 7023。而且，与图 24A 同样地，发光层 7024 可以由单层或多个层的叠层构成。阳极 7025 可以与图 24A 同样地使用具有透过光的透光性的导电材料形成。

阴极 7023、发光层 7024 和阳极 7025 重叠的部分相当于发光元件 7022。在图 24C 所示的像素中，从发光元件 7022 发射的光如箭头所示那样发射到阳极 7025 一侧和阴极 7023 一侧。

注意，虽然在此描述了有机 EL 元件作为发光元件，但是也可以设置无机 EL 元件作为发光元件。

注意，虽然在本实施方式中示出了控制发光元件的驱动的薄膜晶体管（驱动 TFT）和发光元件电连接的例子，但是也可以采用在驱动 TFT 和发光元件之间连接有电流控制 TFT 的结构。

注意，本实施方式所示的半导体装置不局限于图 24A 至 24C 所示的结构而可以根据本发明的技术思想进行各种变形。

通过上述工序，可以制造可靠性高的发光显示装置作为半导体装置。

本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

实施方式 10

接着，下面示出本发明的半导体装置的一个方式的显示面板的结构。在本实施方式中，说明具有液晶元件作为显示元件的液晶显示装置的一个方式的液晶显示面板（也称为液晶面板）、包括发光元件作为显示元件的半导体装置的一个方式的发光显示面板（也称为发光面板）。

参照图 25A 和 25B 说明相当于本发明的半导体装置的一个方式的发光显示面板的外观及截面。图 25A 是一种面板的俯视图，其中利用密封材料在第一衬底与第二衬底之间密封形成于第一衬底上的包含 IGZO 半导体层及具有 n 型导电型的金属氧化物层的可靠性高的薄膜晶体管

及发光元件。图 25B 相当于沿着图 25A 的 H-I 的截面图。

以围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 的方式设置有密封材料 4505。此外，在像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 上设置有第二衬底 4506。因此，像素部 4502、信号线驱动电路 4503a、4503b、以及扫描线驱动电路 4504a、4504b 与填料 4507 一起由第一衬底 4501、密封材料 4505 和第二衬底 4506 密封。

此外，设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 包括多个薄膜晶体管。在图 25B 中，例示包括在像素部 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

薄膜晶体管 4509、4510 相当于包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的薄膜晶体管，并可以应用实施方式 1、实施方式 2、实施方式 3 或实施方式 4 所示的薄膜晶体管。在本实施方式中，薄膜晶体管 4509、4510 是 n 沟道型薄膜晶体管。

此外，附图标记 4511 相当于发光元件，发光元件 4511 所具有的作为像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。注意，发光元件 4511 的结构不局限于本实施方式所示的结构。可以根据从发光元件 4511 发光的方向等适当地改变发光元件 4511 的结构。

另外，供给到信号线驱动电路 4503a、4503b、扫描线驱动电路 4504a、4504b、或像素部 4502 的各种信号及电位是从 FPC4518a、4518b 供给的。

在本实施方式中，连接端子 4515 由与第二电极层 4512 相同的导电膜形成，并且布线 4516 由与发光元件 4511 所具有的第一电极层 4517 相同导电膜形成。

连接端子 4515 通过各向异性导电膜 4519 与 FPC4518a 所具有的端子电连接。

位于从发光元件 4511 取出光的方向的第二衬底需要具有透光性。在此情况下,使用如玻璃板、塑料板、聚酯薄膜或丙烯薄膜等的具有透光性的材料。

此外,作为填料 4507,除了氮及氩等的惰性气体之外,还可以使用紫外线固性树脂或热固性树脂。可以使用 PVC(聚氯乙烯)、丙烯、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、或 EVA(乙烯-醋酸乙烯酯)。在本实施方式中,作为填料 4507 使用氮。

另外,若有需要,也可以在发光元件的射出面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、彩色滤光片等的光学薄膜。另外,也可以在偏振片或圆偏振片上设置抗反射膜。例如,可以进行抗眩光处理,该处理是利用表面的凹凸来扩散反射光并降低眩光的处理。

信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 也可以作为在另行准备的衬底上由单晶半导体膜或多晶半导体膜形成的驱动电路安装。此外,也可以另行仅形成信号线驱动电路或其一部分、或者扫描线驱动电路或其一部分而安装。本实施方式不局限于图 25A 及 25B 的结构。

接着,参照图 20A 至 20C 说明相当于本发明的半导体装置的一个方式的液晶显示面板的外观及截面。图 20A、20B 是一种面板的俯视图,其中利用密封材料 4005 将形成在第一衬底 4001 上的包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的可靠性高的薄膜晶体管 4010、4011 及液晶元件 4013 密封在与第二衬底 4006 之间。图 20C 相当于沿着图 20A、20B 的 M-N 的截面图。

以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封材料 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶层 4008 一起由第一衬底 4001、密封材料 4005 和第二衬底 4006 密封。此外,在与第一衬底 4001 上的由密封材料 4005 围绕的区域不同的区域中安装有信号线驱动电路 4003,该信号线驱动电

路 4003 使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

注意,对于另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG 方法、引线键合方法或 TAB 方法等。图 20A 是通过 COG 方法安装信号线驱动电路 4003 的例子,而图 20B 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管。在图 20C 中例示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。

薄膜晶体管 4010、4011 相当于包括 IGZO 半导体层及具有 n 型导电型的金属氧化物层的薄膜晶体管,并可以应用实施方式 1 至 4 所示的薄膜晶体管。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

此外,液晶元件 4013 所具有的像素电极层 4030 与薄膜晶体管 4010 电连接。而且,液晶元件 4013 的对置电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对置电极层 4031 和液晶层 4008 重叠的部分相当于液晶元件 4013。注意,像素电极层 4030、对置电极层 4031 分别设置有用取向膜的绝缘层 4032、4033,且隔着绝缘层 4032、4033 夹有液晶层 4008。

注意,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(典型的是不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP (Fiberglass-Reinforced Plastics; 纤维增强塑料)板、PVF (聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,还可以使用具有将铝箔夹在 PVF 薄膜及聚酯薄膜之间的结构的薄膜。

此外,附图标记 4035 表示通过对绝缘膜选择性地进行蚀刻而得到的柱状间隔物,并且它是为控制像素电极层 4030 和对置电极层 4031 之间的距离(单元间隙)而设置的。注意,还可以使用球状间隔物。

另外,供给到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电位是从 FPC4018 供给的。

在本实施方式中,连接端子 4015 由与液晶元件 4013 所具有的像素

电极层 4030 相同的导电膜形成, 并且布线 4016 由与薄膜晶体管 4010、4011 的栅电极层相同的导电膜形成。

连接端子 4015 通过各向异性导电膜 4019 电连接到 FPC4018 所具有的端子。

此外, 虽然在图 20A 至 20C 中示出另行形成信号线驱动电路 4003 并将它安装在第一衬底 4001 上的例子, 但是本实施方式不局限于该结构。既可以另行形成扫描线驱动电路而安装, 又可以另行仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

图 21 示出使用应用本发明的一个方式制造的 TFT 衬底 2600 来构成液晶显示模块作为半导体装置的一例。

图 21 是液晶显示模块的一例, 利用密封材料 2602 固定 TFT 衬底 2600 和对置衬底 2601, 并在其间设置包括 TFT 等的像素部 2603、包括液晶层的显示元件 2604、着色层 2605 来形成显示区。在进行彩色显示时需要着色层 2605, 并且当采用 RGB 方式时, 对应于各像素设置有分别对应于红色、绿色、蓝色的着色层。在 TFT 衬底 2600 和对置衬底 2601 的外侧配置有偏振片 2606、偏振片 2607、扩散板 2613。光源由冷阴极管 2610 和反射板 2611 构成, 电路衬底 2612 利用柔性线路板 2609 与 TFT 衬底 2600 的布线电路部 2608 连接, 且其中组装有控制电路及电源电路等的外部电路。此外, 可以在偏振片和液晶层之间具有相位差板的状态层叠。

作为液晶显示模块可以采用 TN (扭曲向列; Twisted Nematic) 模式、IPS (平面内转换; In-Plane-Switching) 模式、FFS (边缘电场转换; Fringe Field Switching) 模式、MVA (多畴垂直取向; Multi-domain Vertical Alignment) 模式、PVA (垂直取向构型; Patterned Vertical Alignment) 模式、ASM (轴对称排列微胞; Axially Symmetric aligned Micro-cell) 模式、OCB (光学补偿弯曲; Optical Compensated Birefringence) 模式、FLC (铁电性液晶; Ferroelectric Liquid Crystal) 模式、AFLC (反铁电性液晶; AntiFerroelectric Liquid Crystal) 模式等。

通过上述工序，可以制造作为半导体装置的可靠性高的显示面板。
本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

实施方式 11

根据本发明的一个方式的半导体装置可以应用于电子纸。电子纸可以用于显示信息的所有领域的电子设备。例如，可以将电子纸应用于电子书籍（电子书）、招贴、火车等的交通工具的车厢广告、信用卡等的各种卡片中的显示等。图 28A 和 28B 以及图 29 示出电子设备的一例。

图 28A 示出使用电子纸制造的招贴 2631。在广告介质是纸印刷物的情况下用手进行广告的交换，但是如果使用应用根据本发明的一个方式的半导体装置的电子纸，则在短时间内能够改变广告的显示内容。此外，显示不会打乱而可以获得稳定的图像。注意，招贴也可以采用以无线的方式收发信息的结构。

此外，图 28B 示出火车等的交通工具的车厢广告 2632。在广告介质是纸印刷物的情况下用手进行广告的交换，但是如果使用应用根据本发明的一个方式的半导体装置的电子纸，则在短时间内不需要许多人手地改变广告的显示内容。此外，显示不会打乱而可以得到稳定的图像。注意，车厢广告也可以采用以无线的方式收发信息的结构。

另外，图 29 示出电子书籍 2700 的一例。例如，电子书籍 2700 由两个框体，即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 由轴部 2711 形成为一体，且可以以该轴部 2711 为轴进行开闭工作。通过这种结构，可以进行如纸的书籍那样的工作。

框体 2701 组装有显示部 2705，而框体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连续的画面的结构，又可以是显示不同的画面的结构。通过采用显示不同的画面的结构，例如在右边的显示部（图 29 中的显示部 2705）中可以显示文章，而在左边的显示部（图 29 中的显示部 2707）中可以显示图像。

此外，在图 29 中示出框体 2701 具备操作部等的例子。例如，在框体 2701 中，具备电源 2721、操作键 2723、扬声器 2725 等。利用操作

键 2723 可以翻页。注意,也可以采用在与框体的显示部相同的面具备键盘及定位装置等的结构。另外,也可以采用在框体的背面及侧面具具备外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书籍 2700 也可以具有电子词典的功能。

此外,电子书籍 2700 也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

实施方式 12

根据本发明的一个方式的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备,可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机或数码摄像机等的相机、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机等的大型游戏机等。

图 30A 示出电视装置 9600 的一例。在电视装置 9600 中,框体 9601 组装有显示部 9603。利用显示部 9603 可以显示图像。此外,在此示出利用支架 9605 支撑框体 9601 的结构。

可以通过利用框体 9601 所具备的操作开关、另行提供的遥控操作机 9610 进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609,可以进行频道及音量的操作,并可以对在显示部 9603 上显示的图像进行操作。此外,也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

注意,电视装置 9600 采用具备接收机及调制解调器等的结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

图 30B 示出数码相框 9700 的一例。例如,在数码相框 9700 中,框体 9701 组装有显示部 9703。显示部 9703 可以显示各种图像,例如通

过显示使用数码相机等拍摄的图像数据，可以发挥与一般的相框同样的功能。

注意，数码相框 9700 采用具备操作部、外部连接用端子（USB 端子、可以与 USB 电缆等的各种电缆连接的端子等）、记录介质插入部等的结构。这种结构也可以组装到与显示部相同的面，但是通过将它设置在侧面或背面上来提高设计性，所以是优选的。例如，可以对数码相框的记录介质插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据，然后将所提取的图像数据显示于显示部 9703。

此外，数码相框 9700 既可以采用以无线的方式收发信息的结构，又可以以无线的方式提取所希望的图像数据并进行显示的结构。

图 31A 示出一种便携式游戏机，其由框体 9881 和框体 9891 的两个框体构成，并且通过连接部 9893 可以开闭地连接。框体 9881 安装有显示部 9882，并且框体 9891 安装有显示部 9883。另外，图 31A 所示的便携式游戏机还具备扬声器部 9884、记录媒体插入部 9886、LED 灯 9890、输入单元（操作键 9885、连接端子 9887、传感器 9888（即，具有测定如下因素的功能的器件：力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线）、以及麦克风 9889）等。当然，便携式游戏机的结构不局限于上述结构，只要采用如下结构即可：至少具备根据本发明的一个方式的包括包含 In、Ga 及 Zn 的氧化物半导体层及具有 n 型导电型的金属氧化物层的薄膜晶体管。因此，可以采用适当地设置有其它附属设备的结构。图 31A 所示的便携式游戏机具有如下功能：读出存储在记录介质中的程序或数据并将它显示在显示部上；以及通过与其他便携式游戏机进行无线通信而共享信息。注意，图 31A 所示的便携式游戏机所具有的功能不局限于此，而可以具有各种各样的功能。

图 31B 示出大型游戏机的一种的自动赌博机 9900 的一例。在自动赌博机 9900 的框体 9901 中安装有显示部 9903。另外，自动赌博机 9900 还具备如起动手柄或停止开关等的操作单元、投币孔、扬声器等。当

然，自动赌博机 9900 的结构不局限于此，只要采用如下结构即可：至少具备根据本发明的一个方式的包括包含 In、Ga 及 Zn 的氧化物半导体层及具有 n 型导电型的金属氧化物层的薄膜晶体管。因此，可以采用适当地设置有其它附属设备的结构。

图 32 示出移动电话机 1000 的一例。移动电话机 1000 除了安装在框体 1001 的显示部 1002 之外还具备操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

图 32 所示的移动电话机 1000 可以用手指等触摸显示部 1002 来输入信息。此外，可以用手指等触摸显示部 1002 来进行打电话或电子邮件的输入的操作。

显示部 1002 的屏幕主要有三个模式。第一是以图像的显示为主的显示模式，第二是以文字等的信息的输入为主的输入模式，第三是显示模式和输入模式的两个模式混合的显示与输入模式。

例如，在打电话或制作电子邮件的情况下，将显示部 1002 设定为以文字输入为主的文字输入模式，并进行在屏幕上显示的文字的输入操作，即可。在此情况下，优选的是，在显示部 1002 的屏幕的大部分中显示键盘或号码按钮。

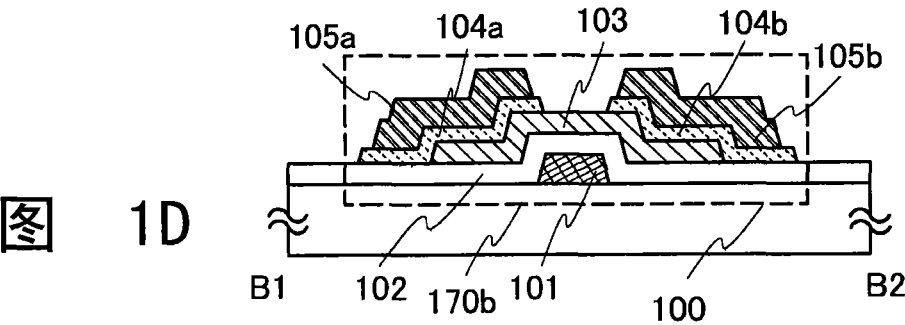
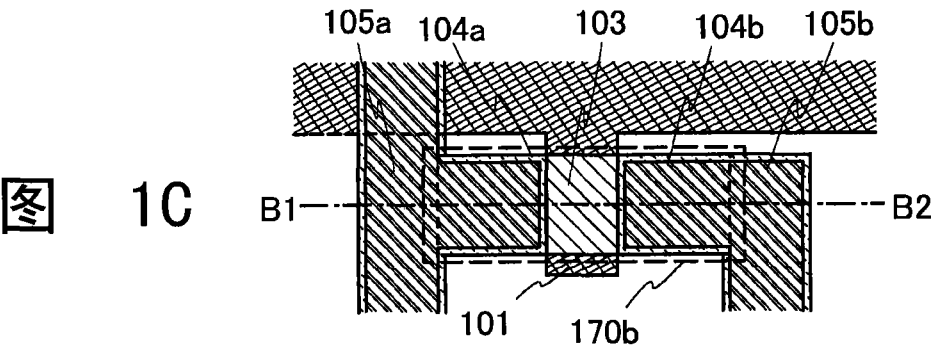
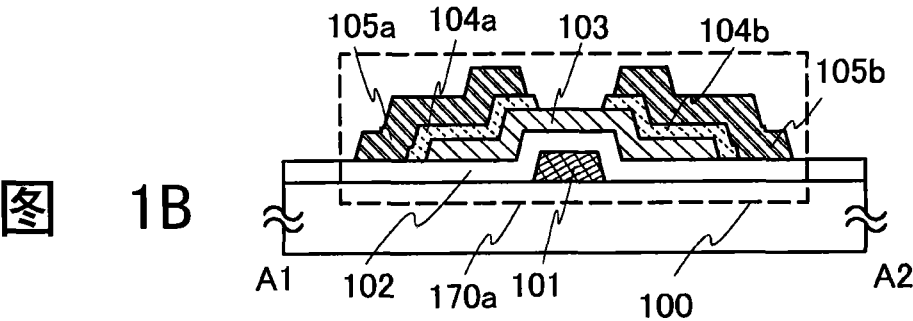
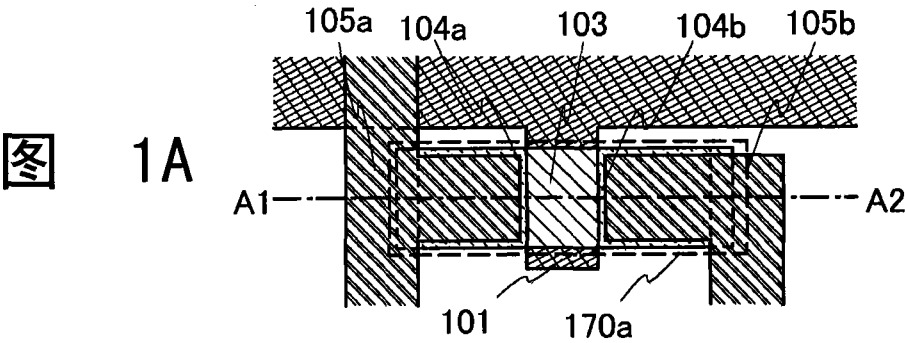
此外，通过在移动电话机 1000 的内部设置具有陀螺仪和加速度传感器等检测倾斜度的传感器的检测装置，判断移动电话机 1000 的方向（移动电话机 1000 处于垂直或水平的状态时变为竖向方式或横向方式），而可以对显示部 1002 的屏幕显示进行自动切换。

通过触摸显示部 1002 或对框体 1001 的操作按钮 1003 进行操作，切换屏幕模式。此外，还可以根据显示在显示部 1002 上的图像种类切换屏幕模式。例如，当显示在显示部上的图像信号为动态图像的数据时，将屏幕模式切换成显示模式，而当显示在显示部上的图像信号为文字数据时，将屏幕模式切换成输入模式。

另外，当在输入模式中通过检测出显示部 1002 的光传感器所检测的信号得知在一定期间中没有显示部 1002 的触摸操作输入时，也可以将屏幕模式从输入模式切换成显示模式的方式进行控制。

还可以将显示部 1002 用作图像传感器。例如，通过用手掌或手指触摸显示部 1002，来拍摄掌纹、指纹等，而可以进行个人识别。此外，通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测用光源，也可以拍摄手指静脉、手掌静脉等。

本申请基于 2008 年 7 月 31 日在日本专利局受理的日本专利申请序列号 2008-197145 而制作，所述申请内容包括在本说明书中。



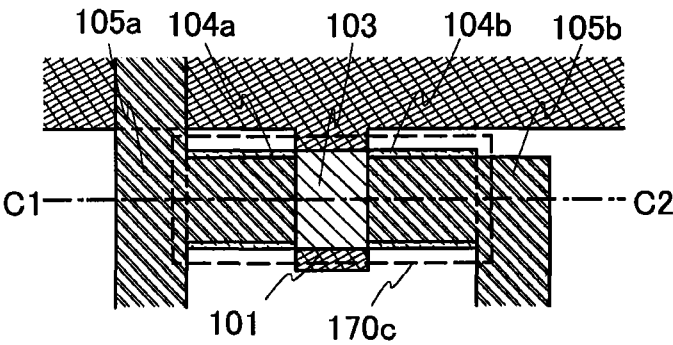


图 2A

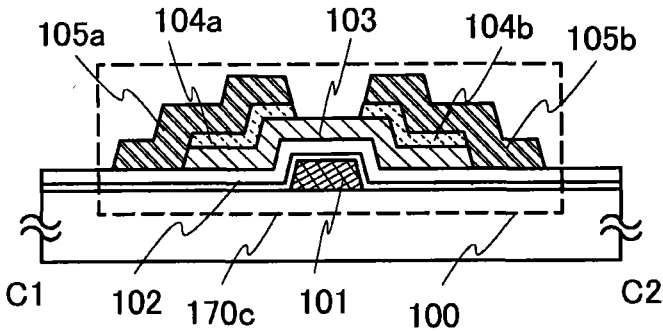
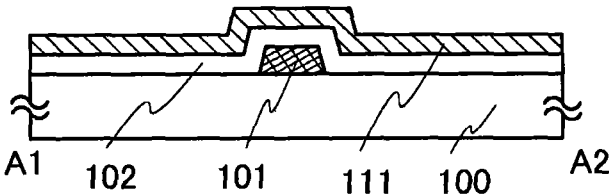


图 2B

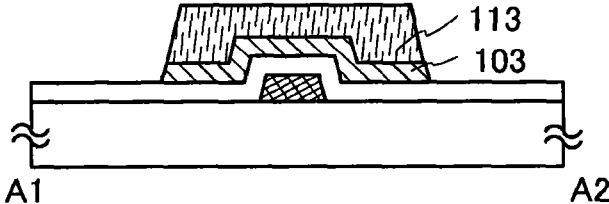
图

3A



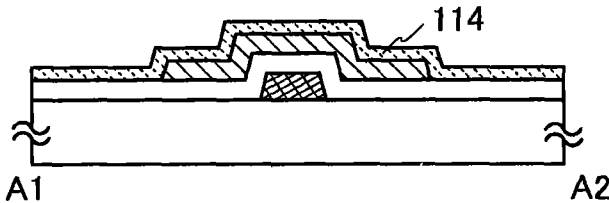
图

3B



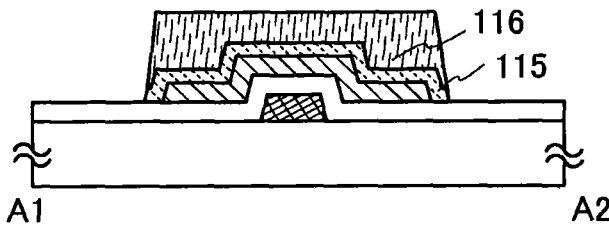
图

3C



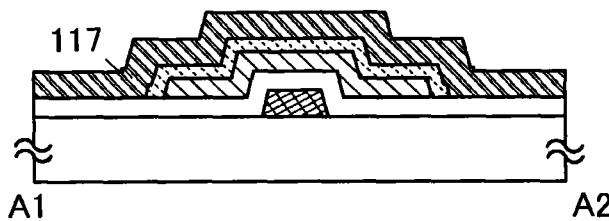
图

3D



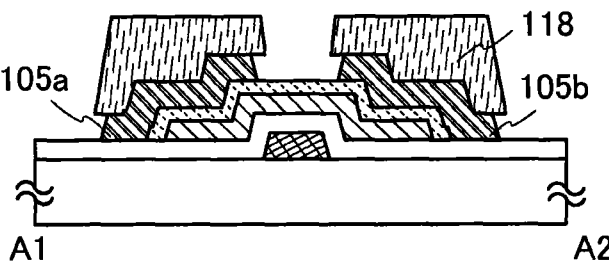
图

3E



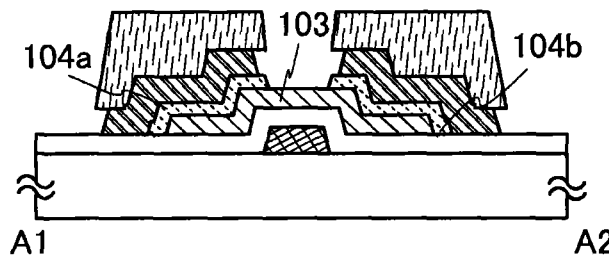
图

3F



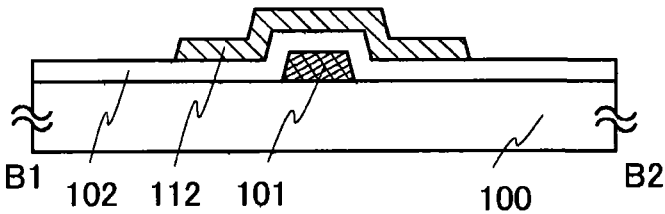
图

3G



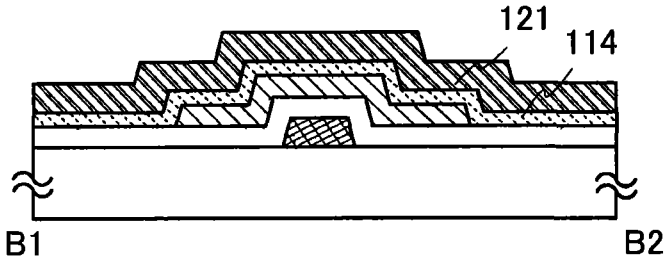
图

4A



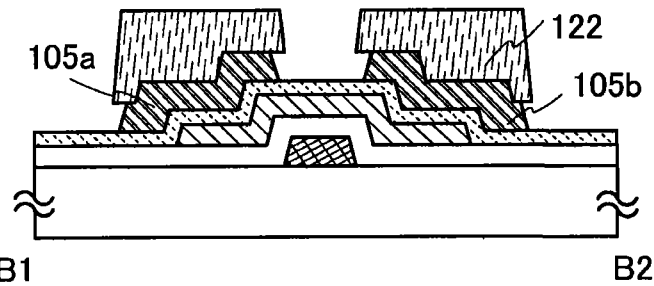
图

4B



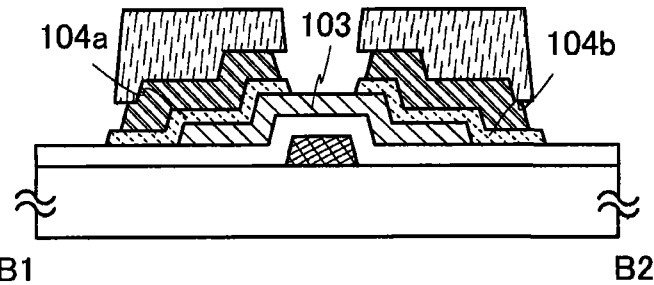
图

4C



图

4D



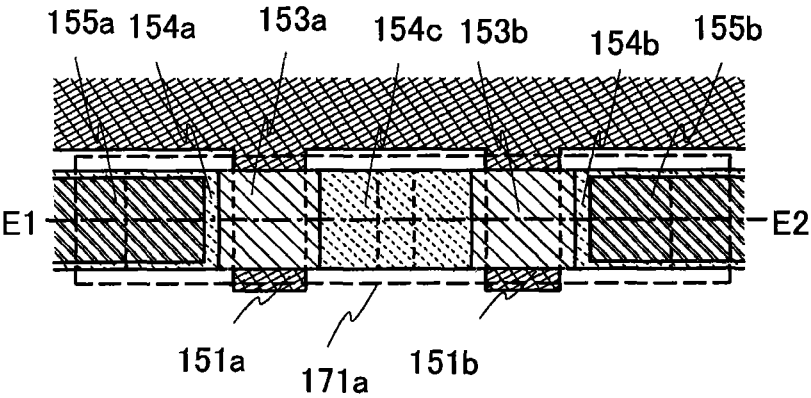


图 5A

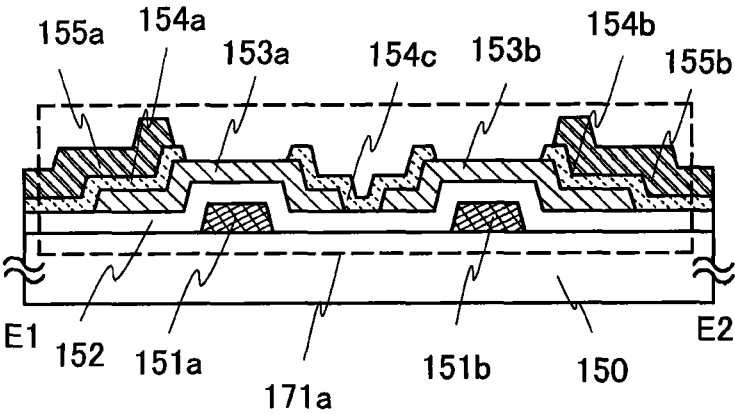


图 5B

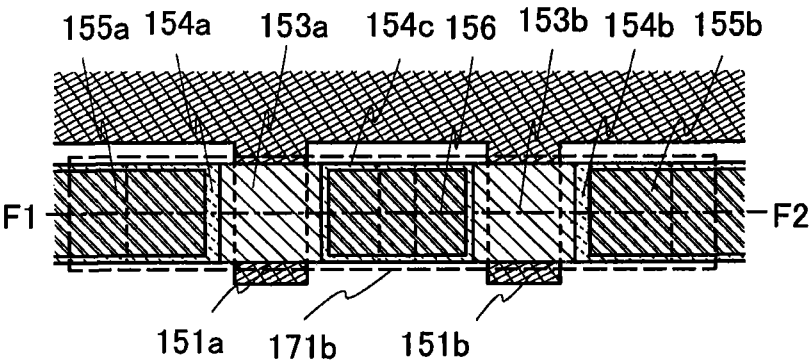


图 6A

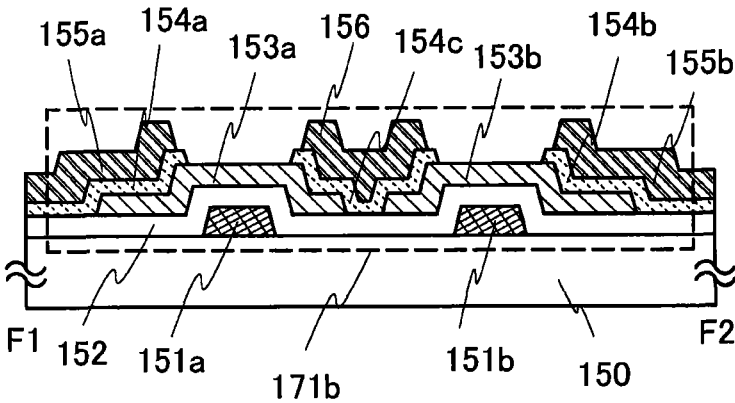


图 6B

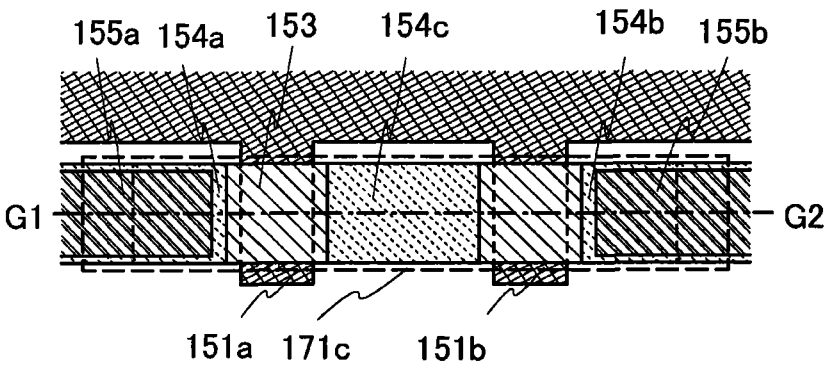


图 7A

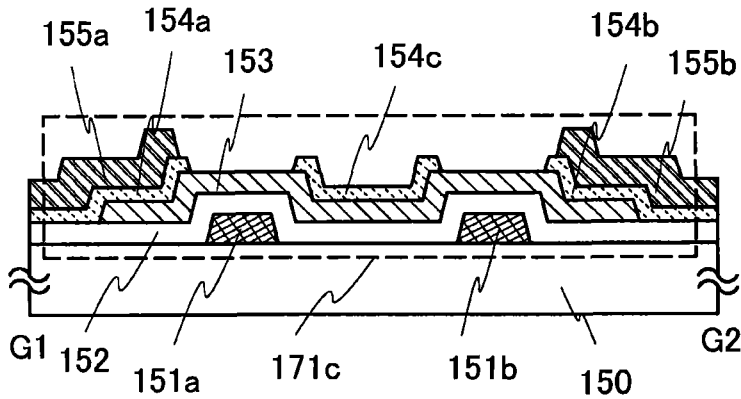


图 7B

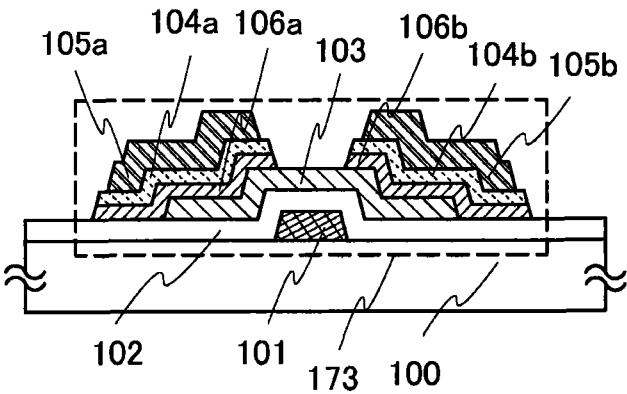


图 8

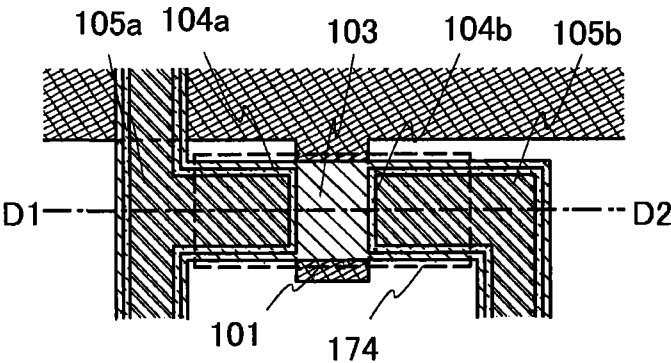


图 9A

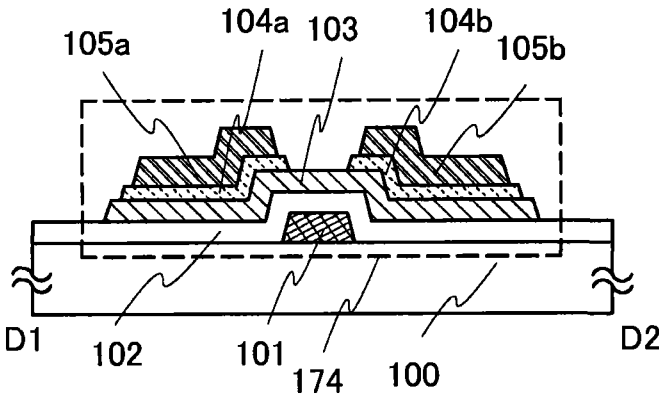
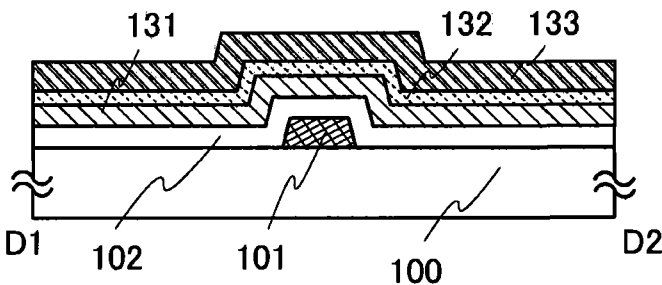


图 9B

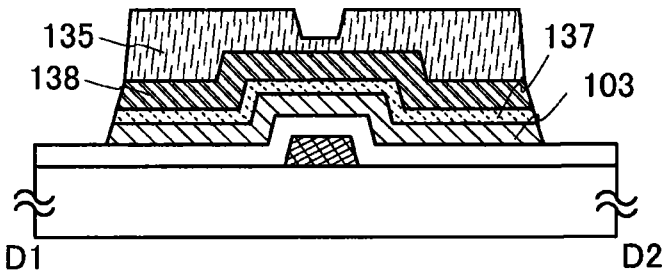
图

10A



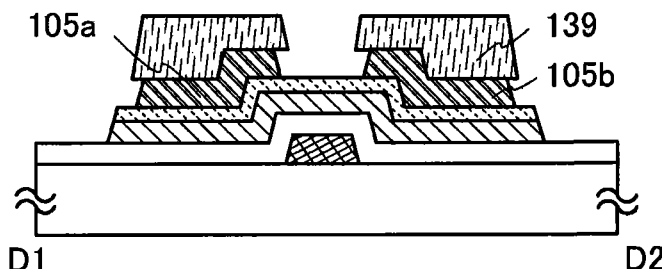
图

10B



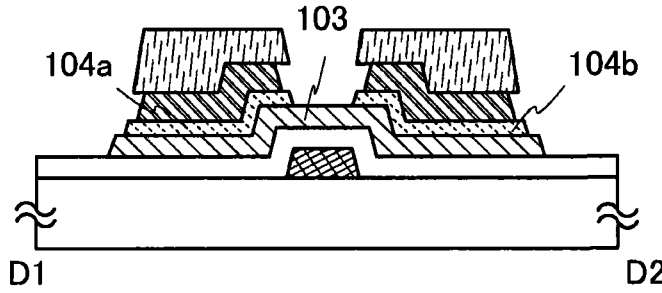
图

10C



图

10D



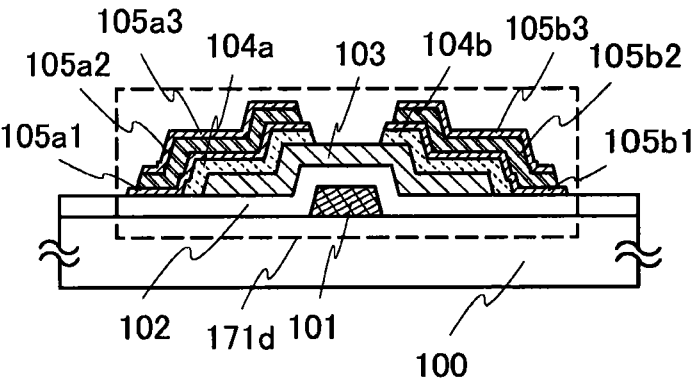


图 11

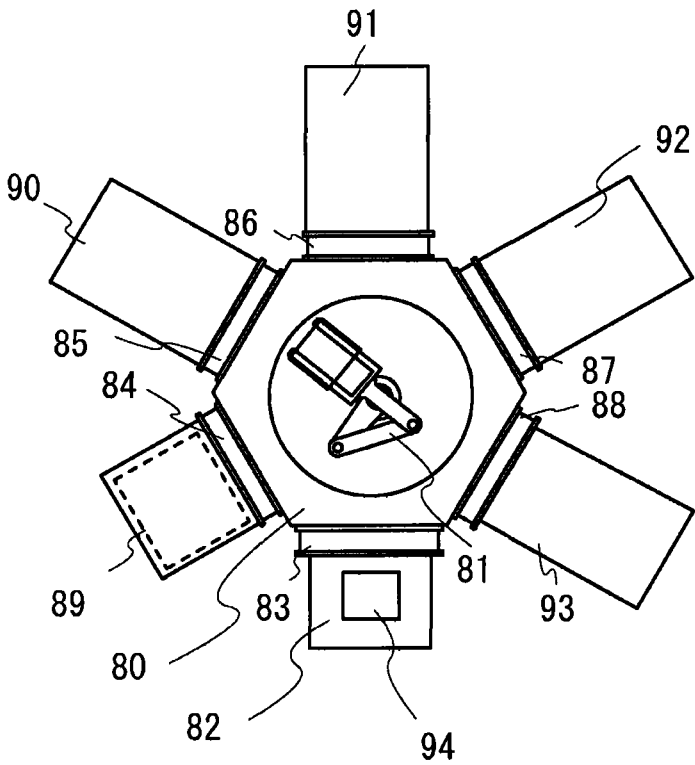


图 12

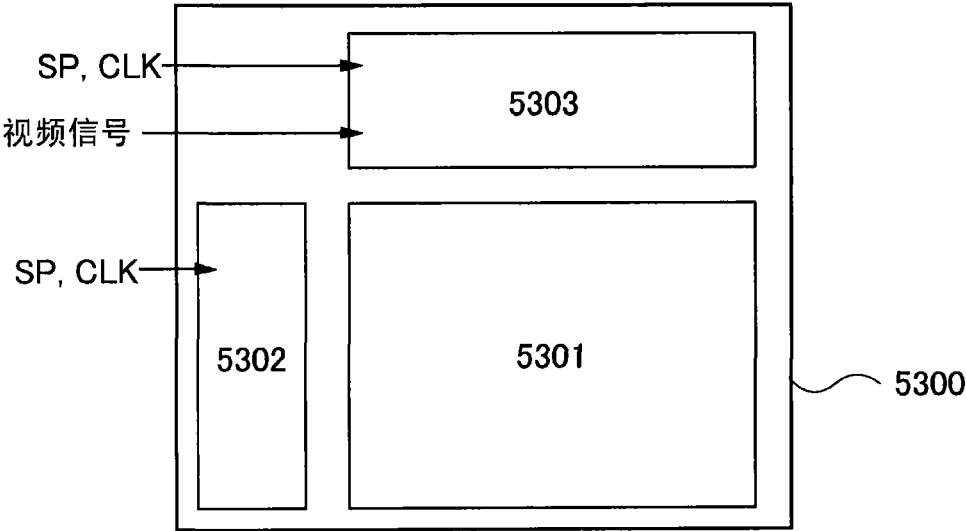


图 13A

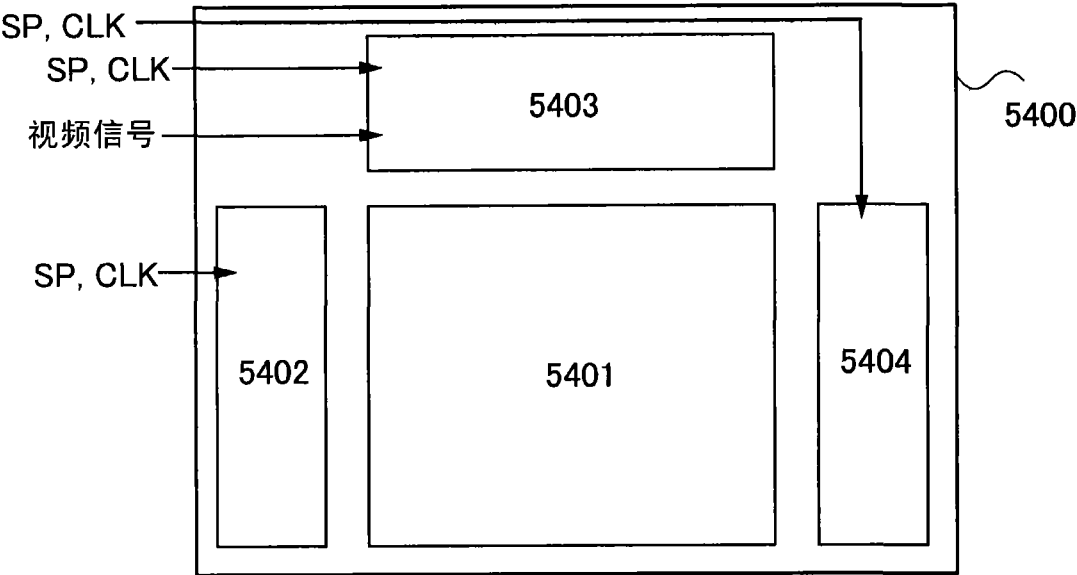
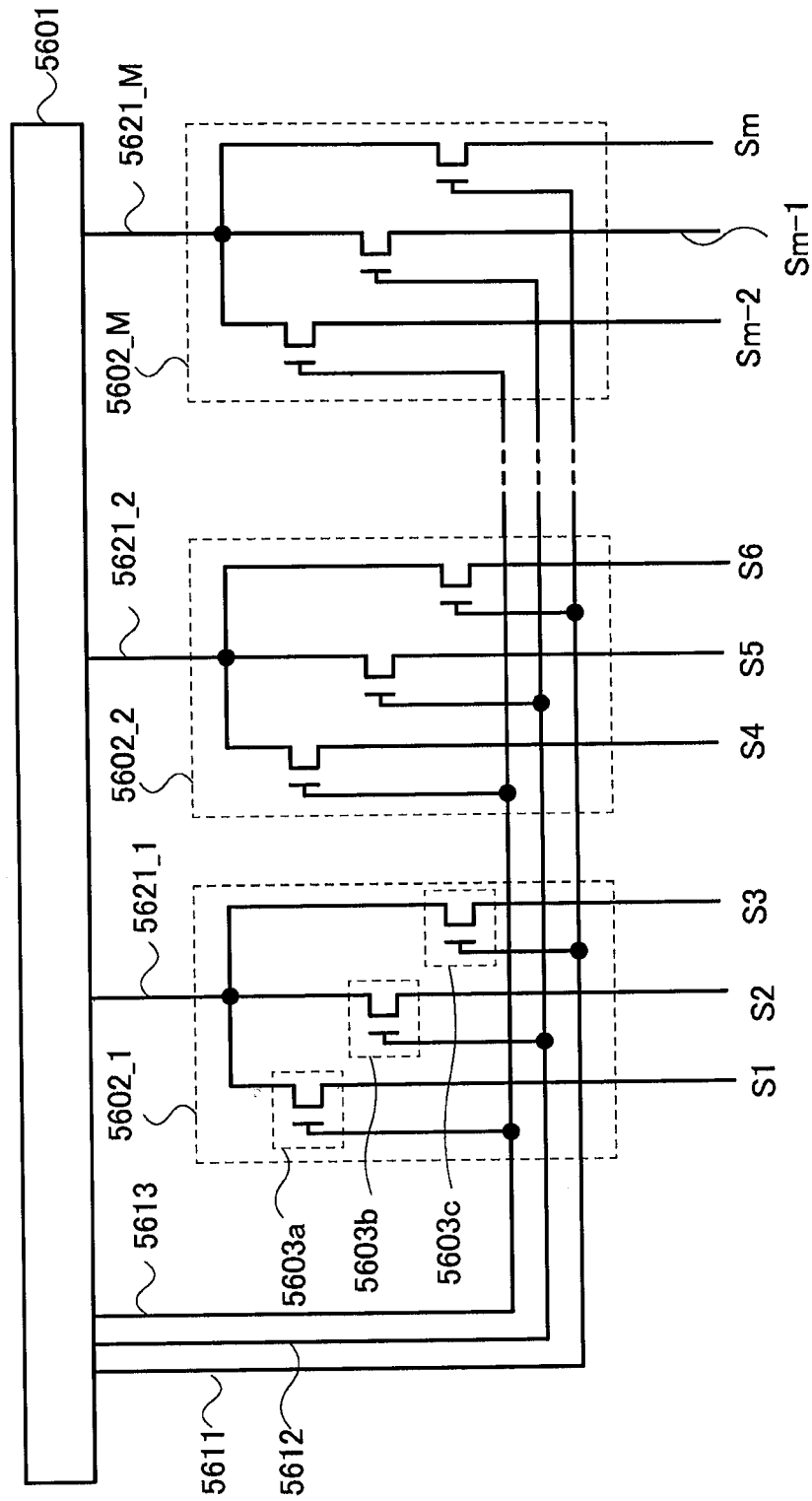


图 13B



14
圖

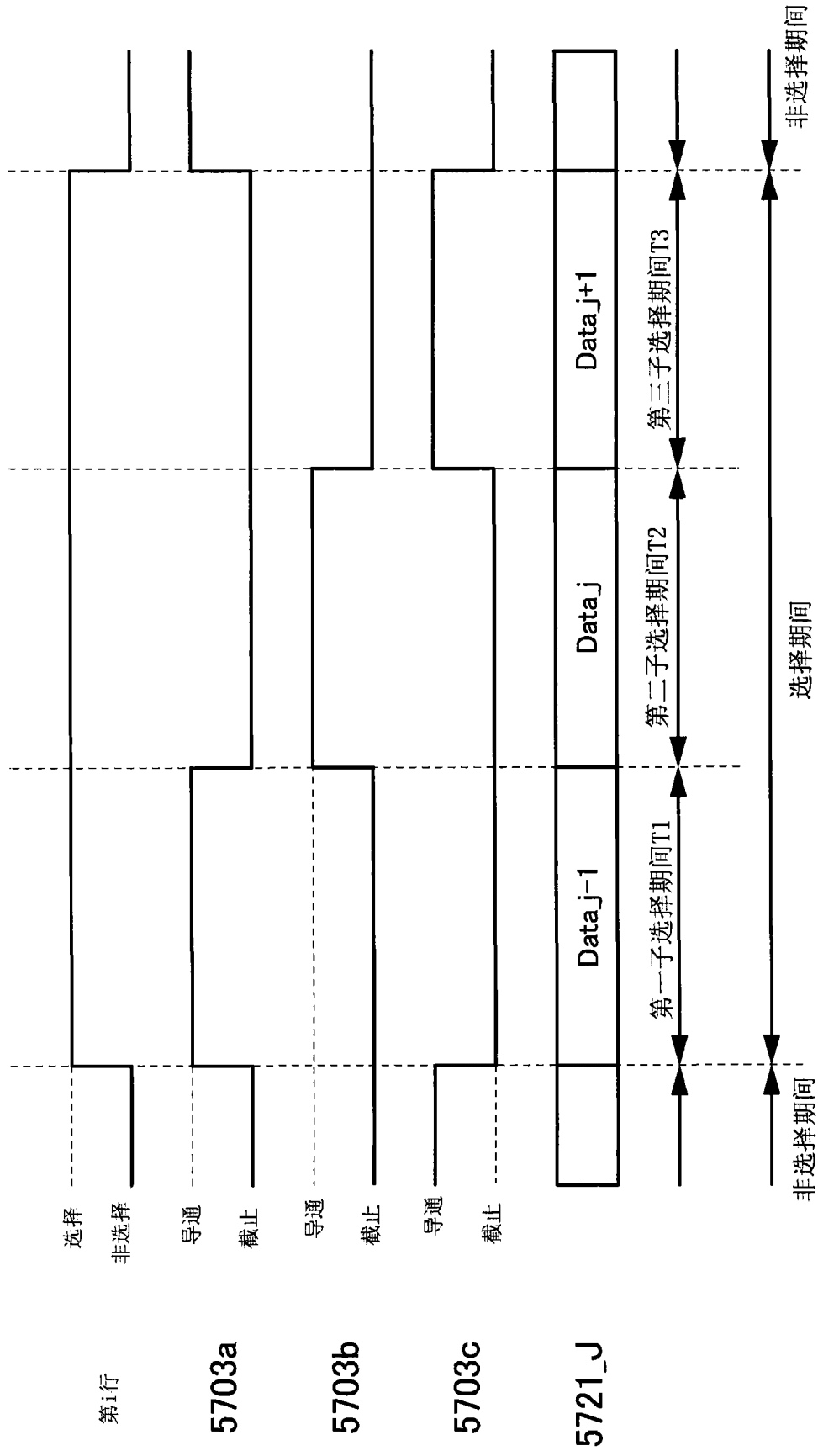


图 15

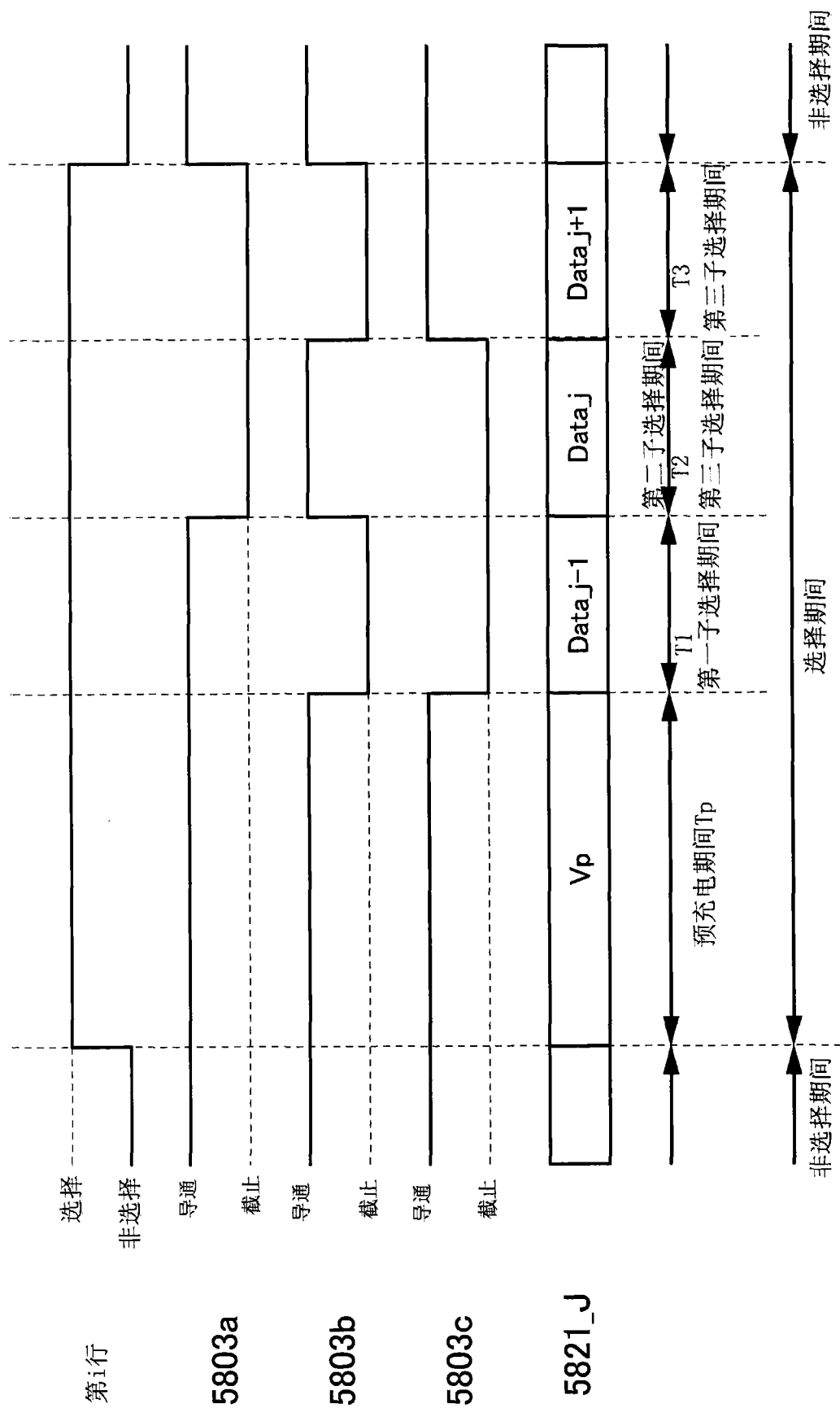


图 16

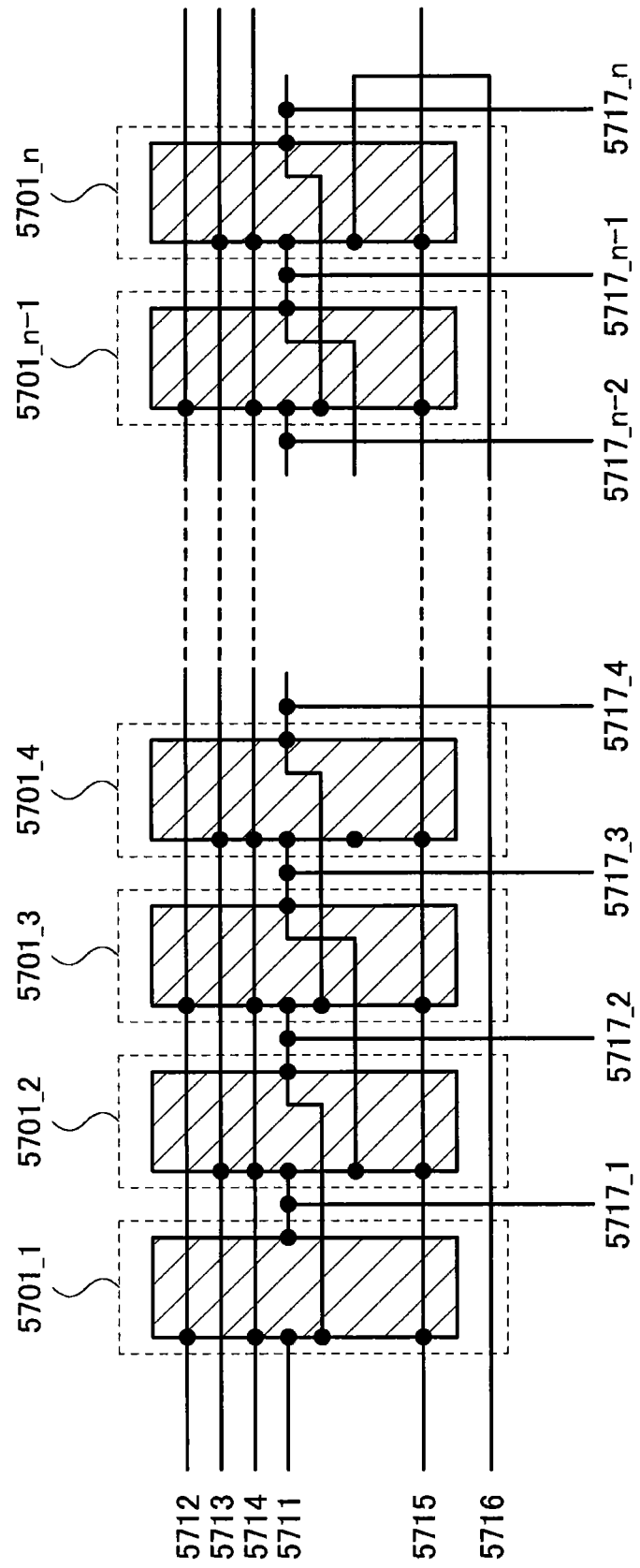


图 17

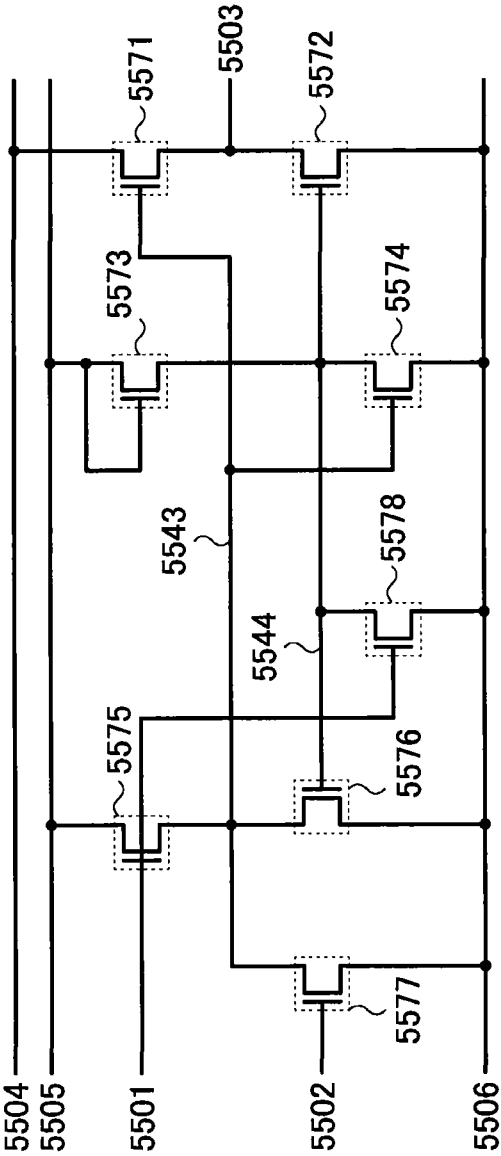


图 18

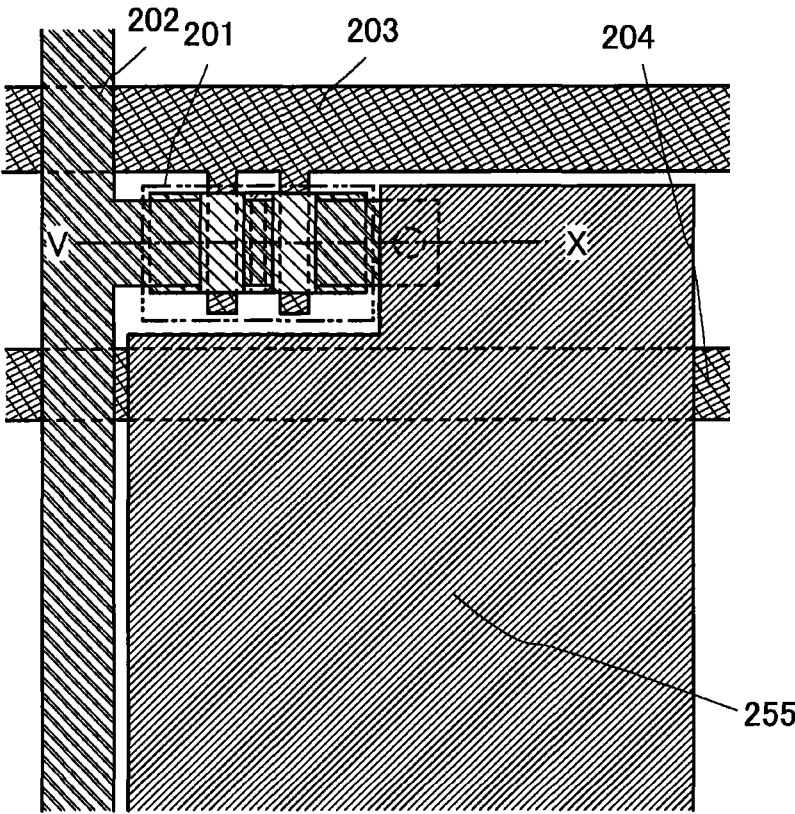


图 19A

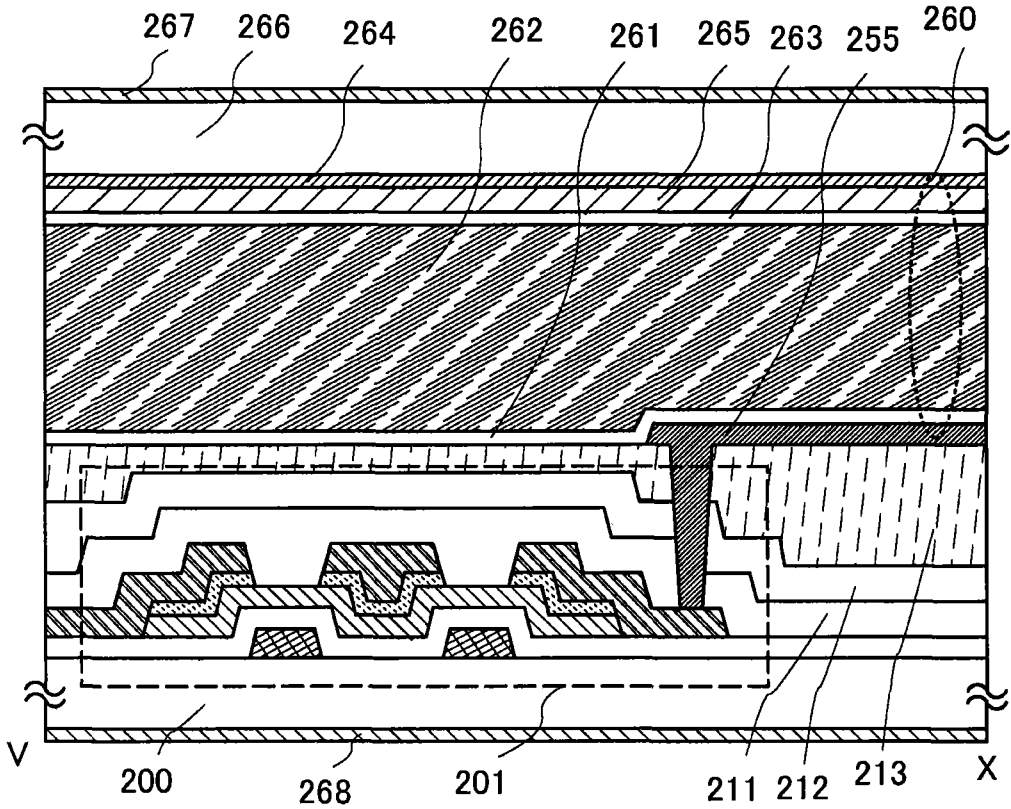


图 19B

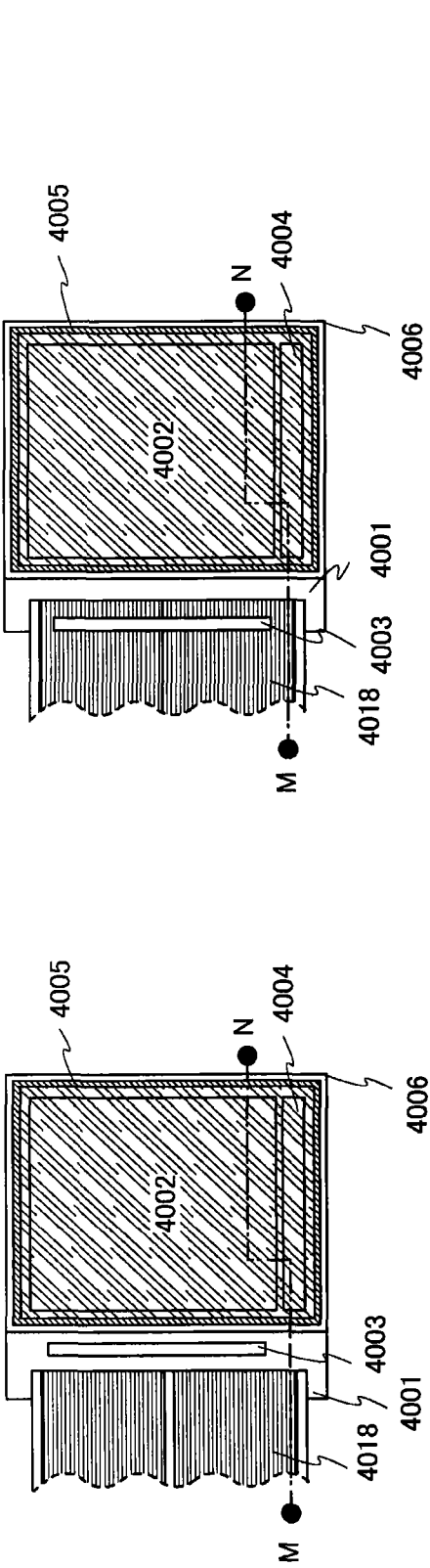


图 20B

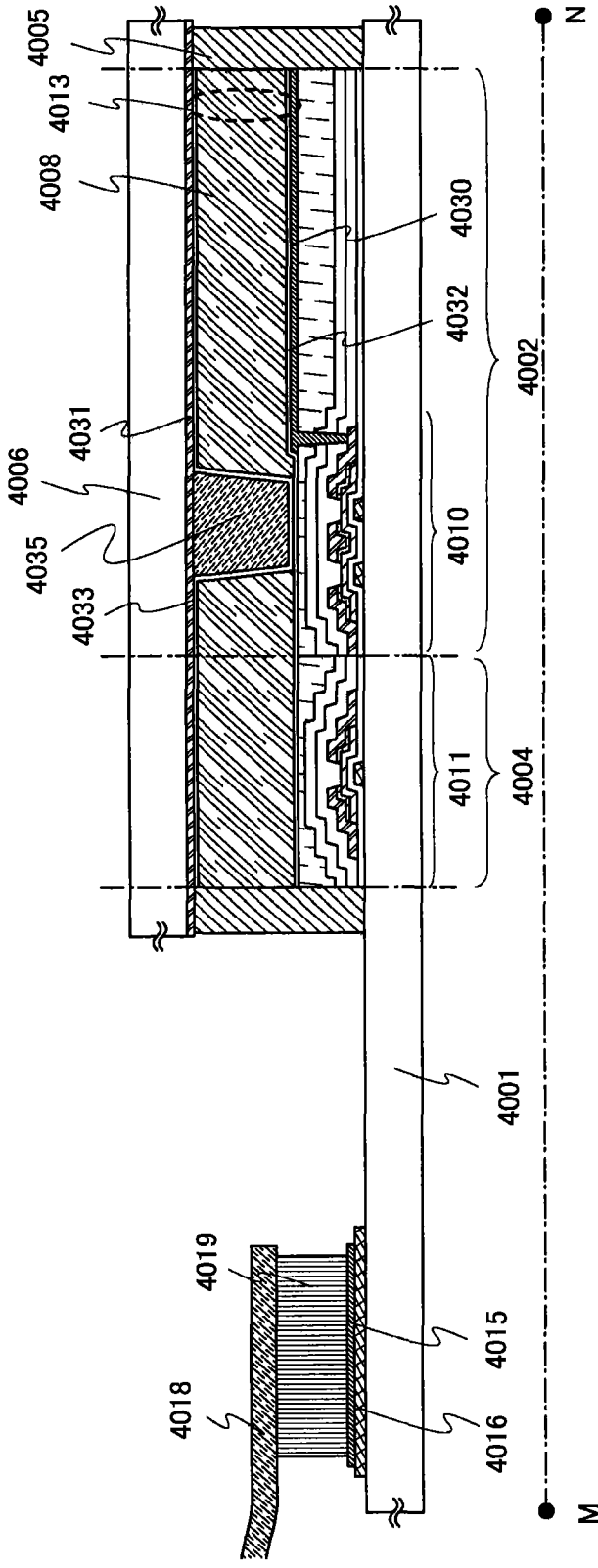


图 20C

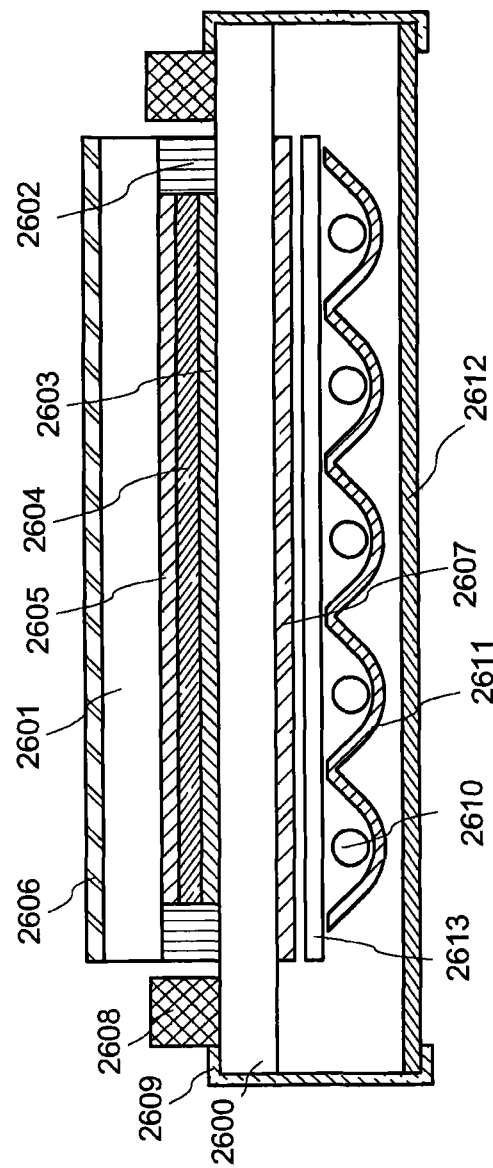


图 21

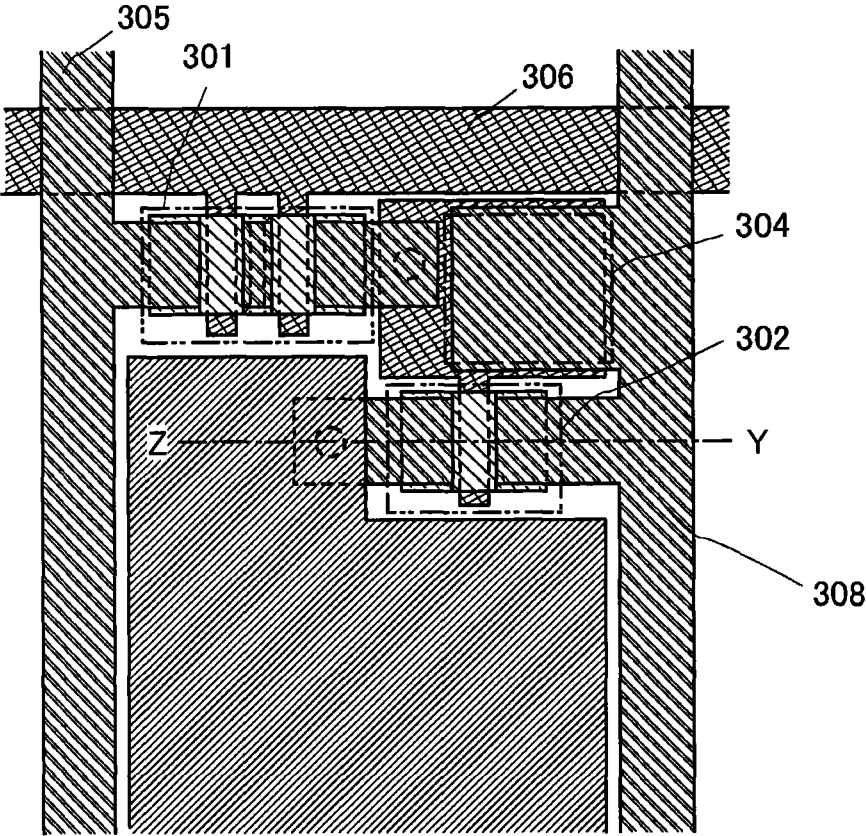


图 22A

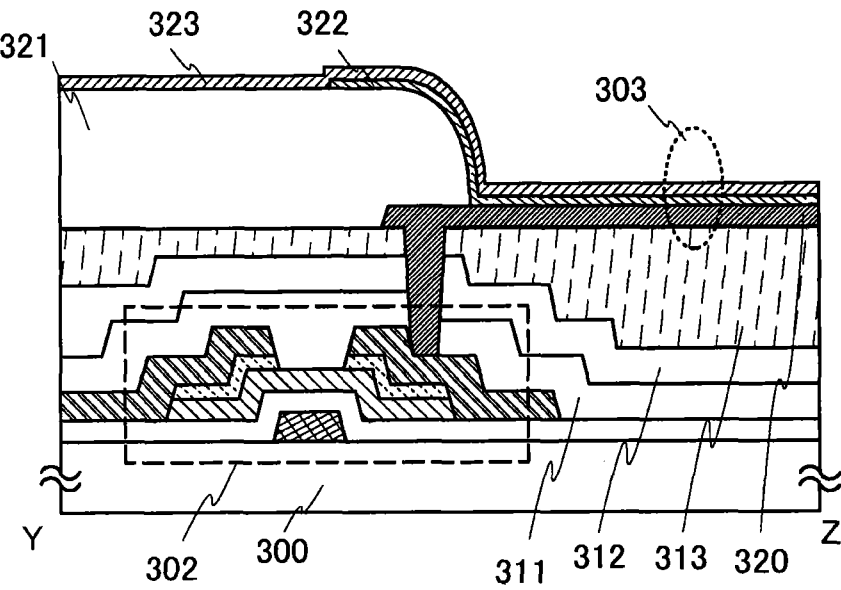


图 22B

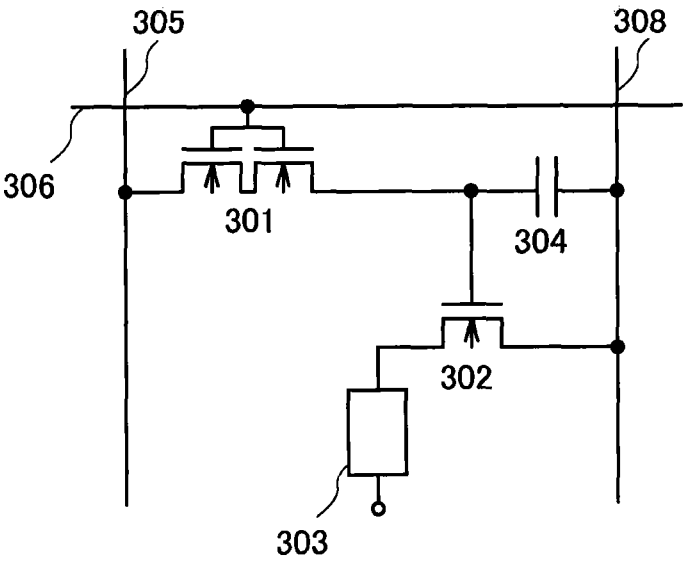


图 23

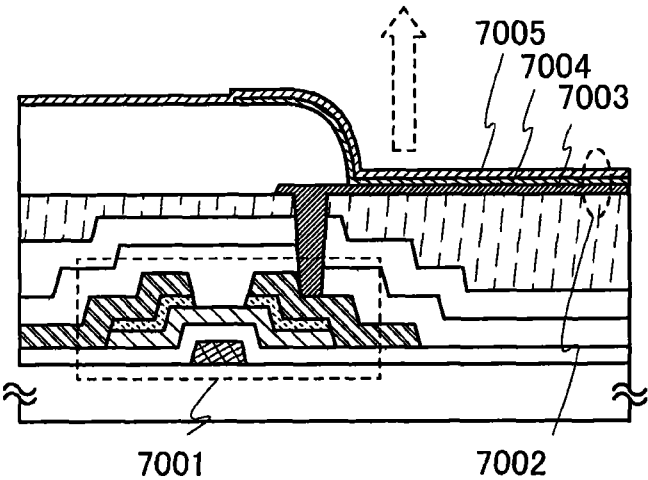


图 24A

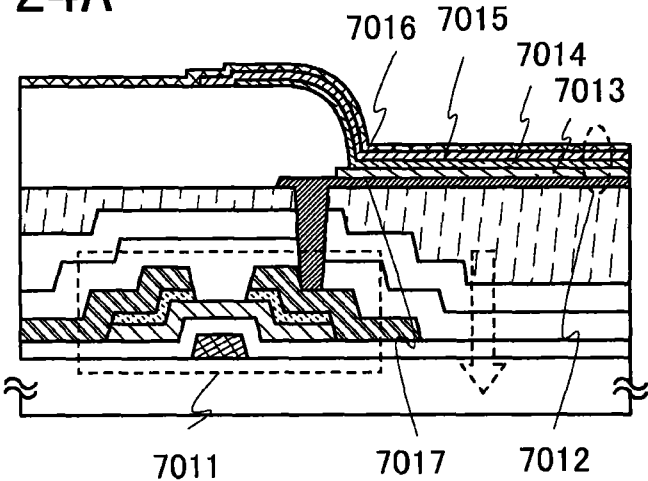


图 24B

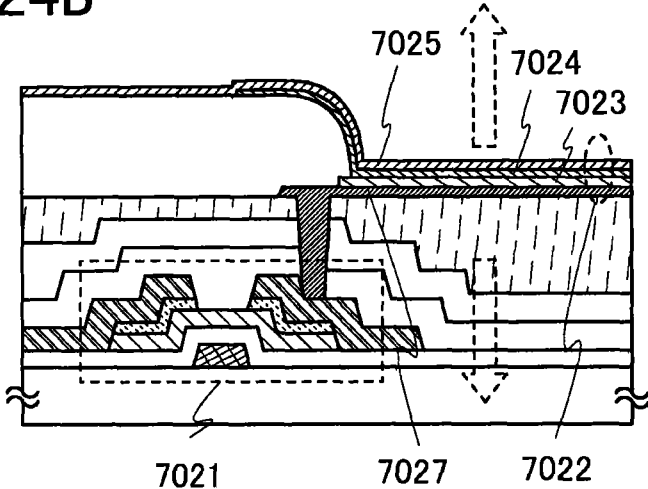
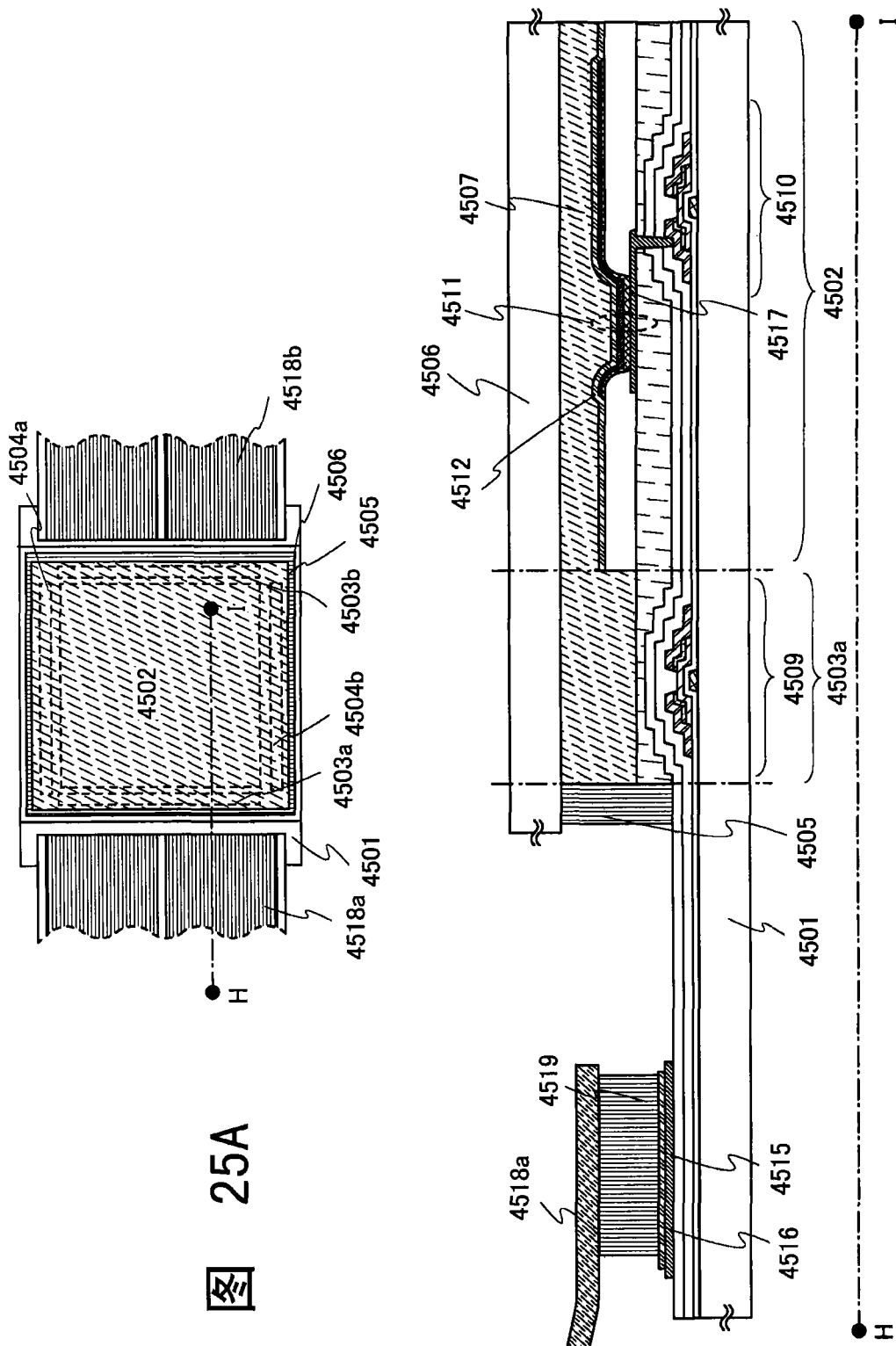


图 24C



25B

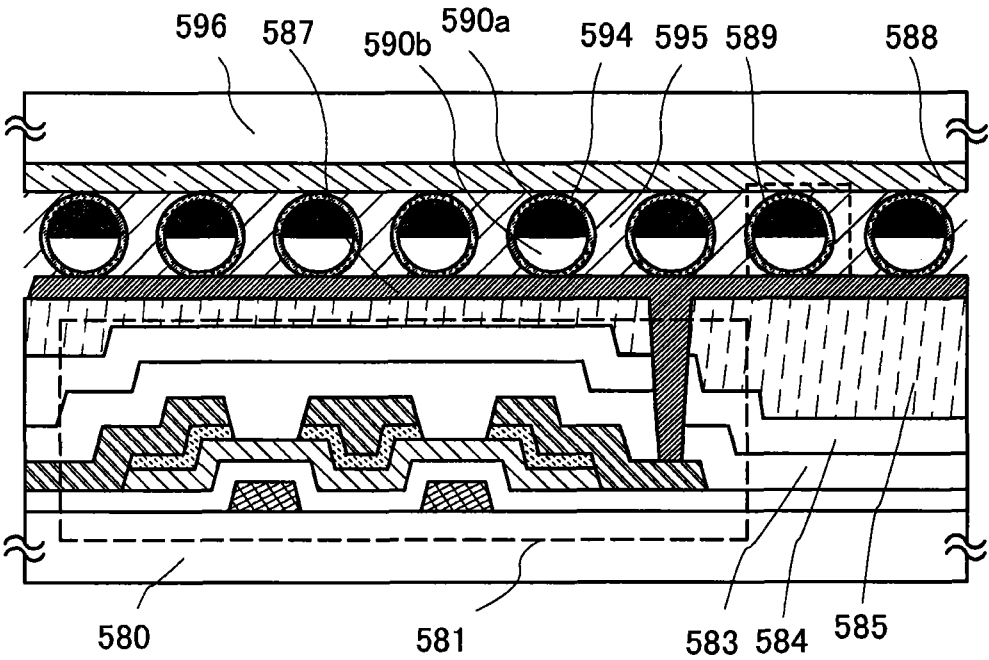


图 26

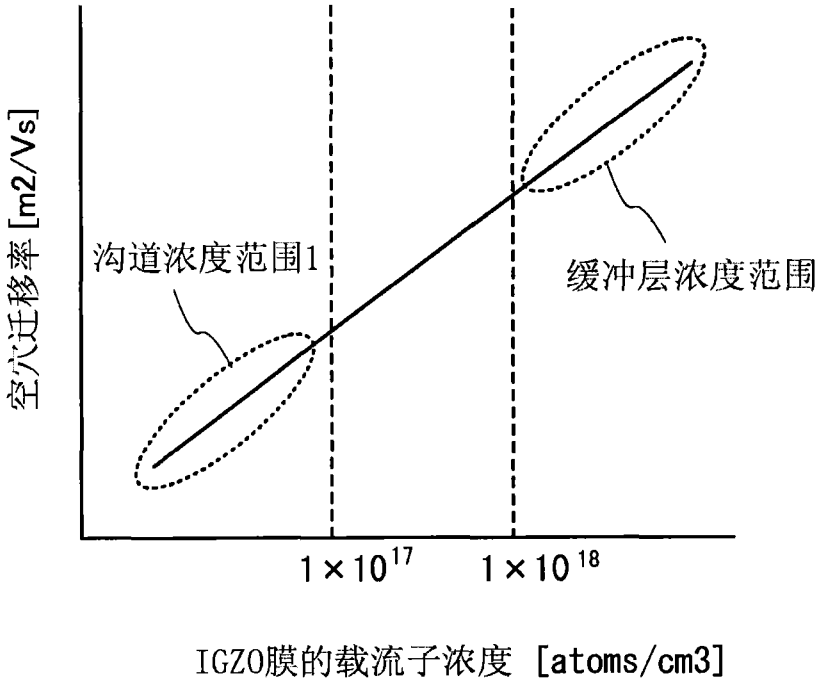


图 27

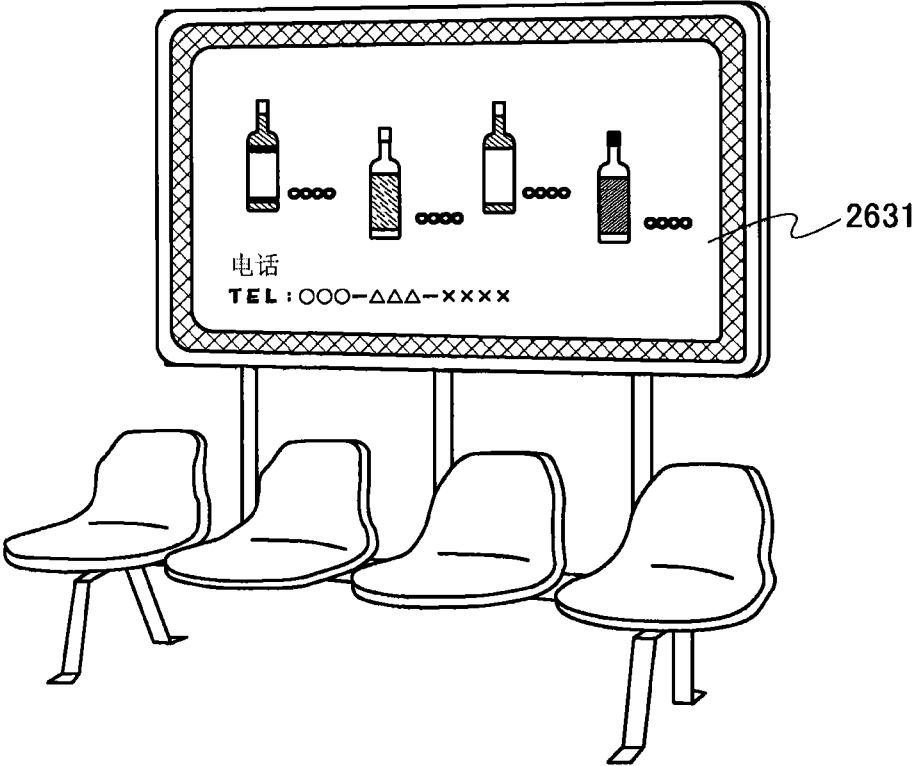


图 28A

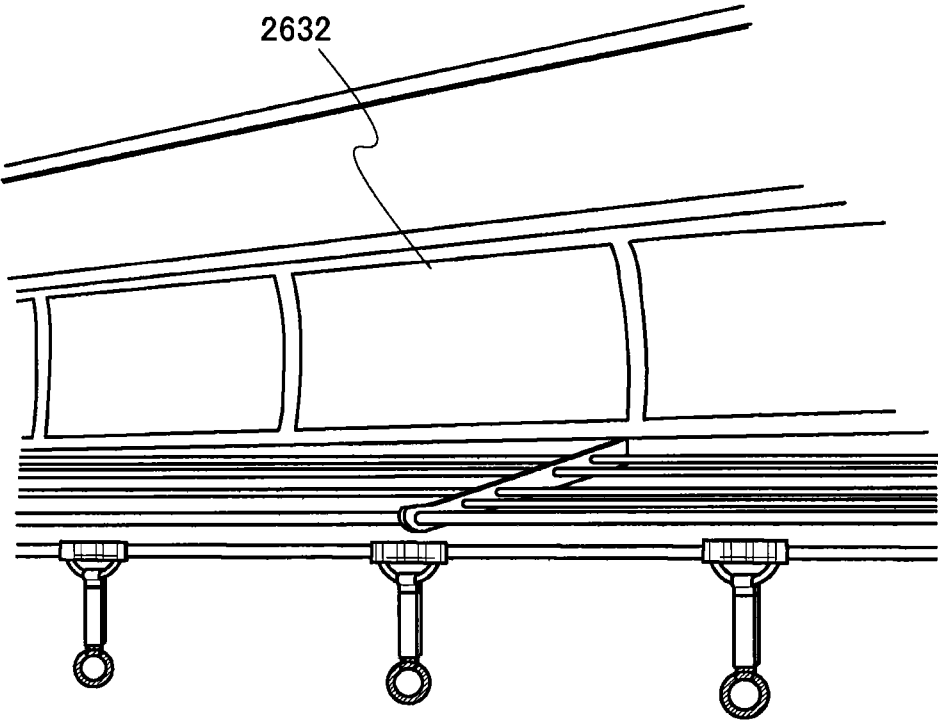


图 28B

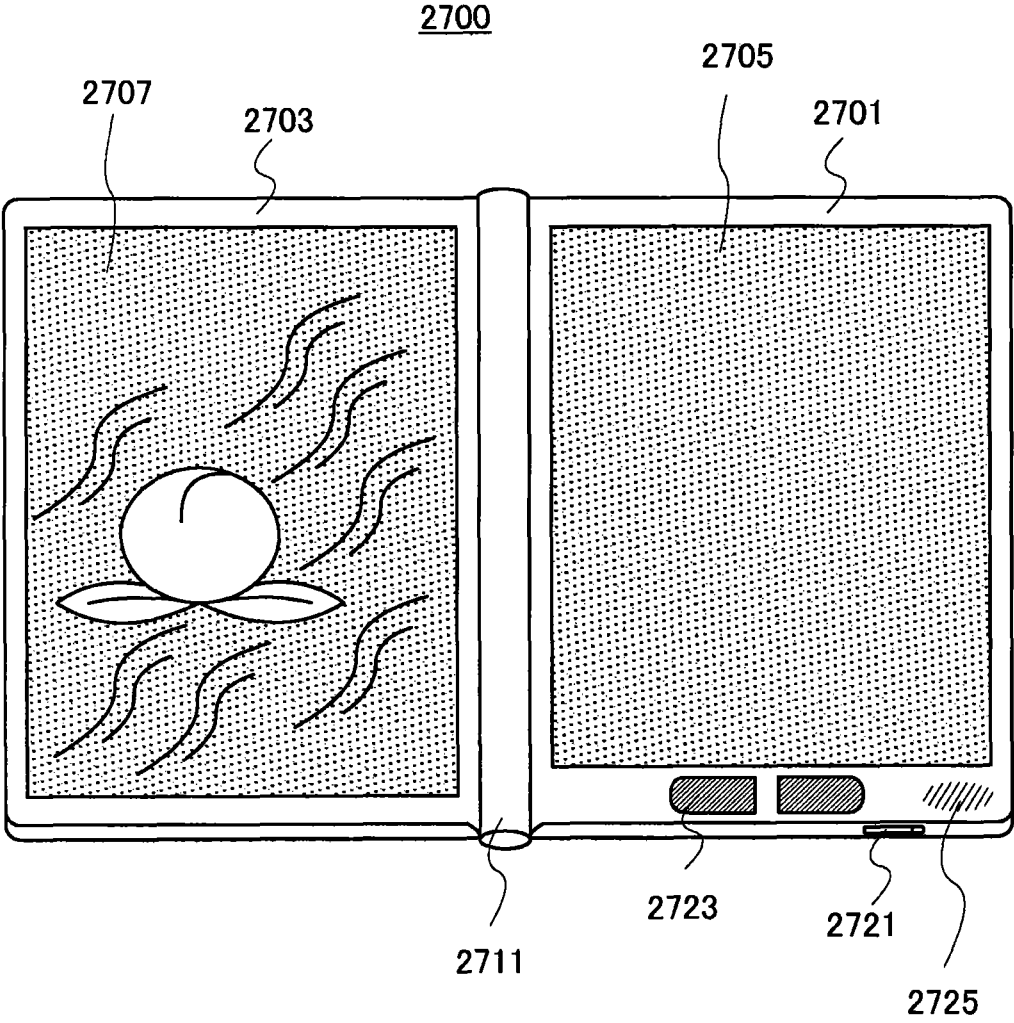


图 29

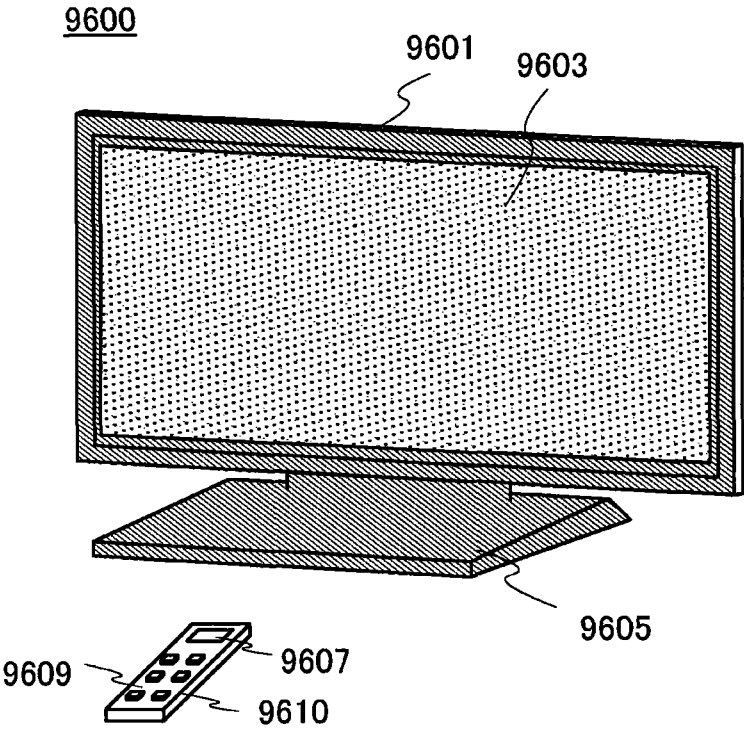


图 30A

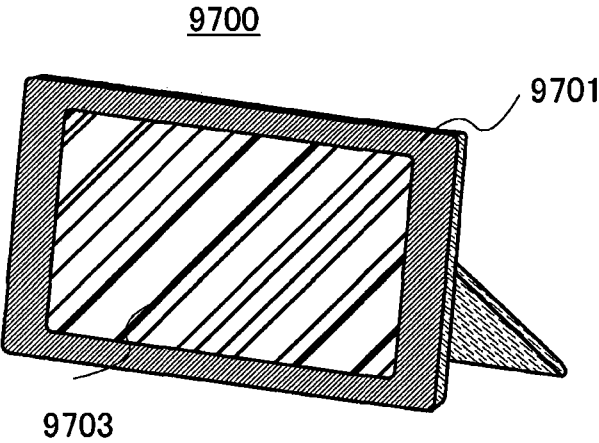


图 30B

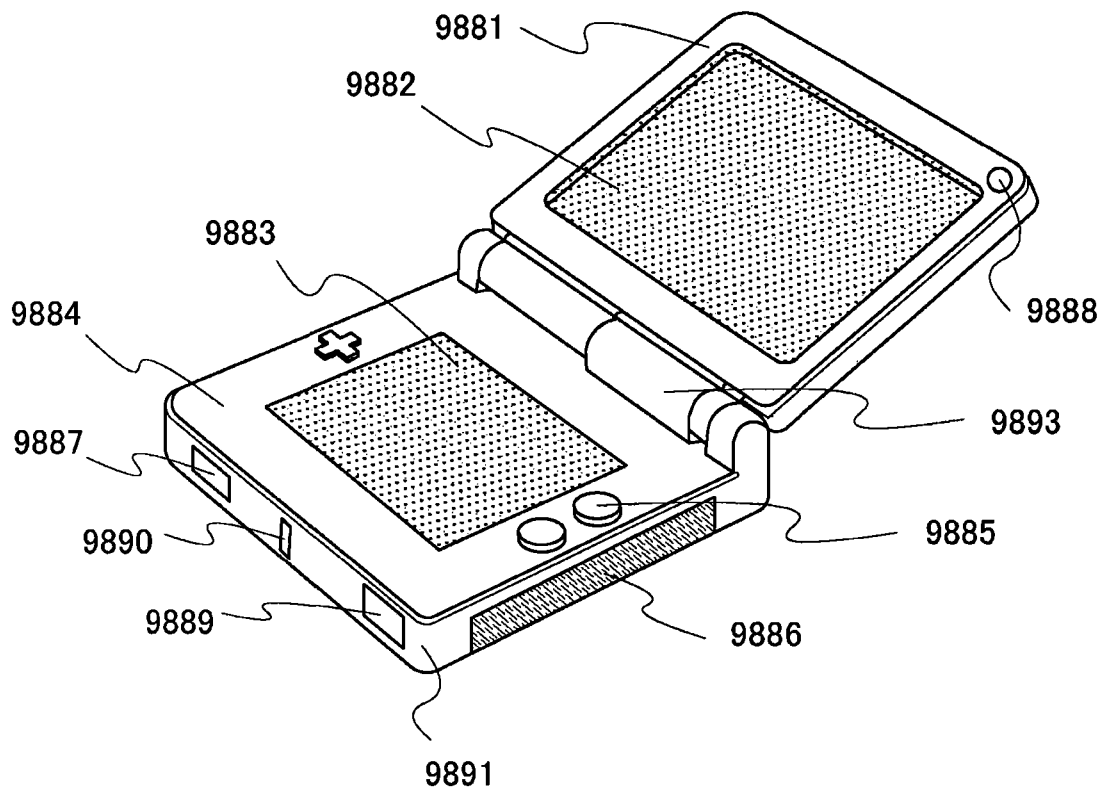


图 31A

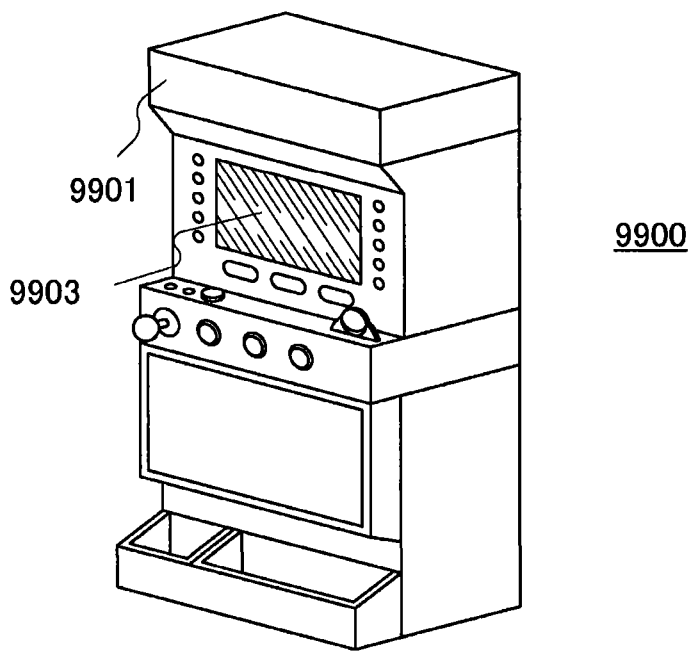


图 31B

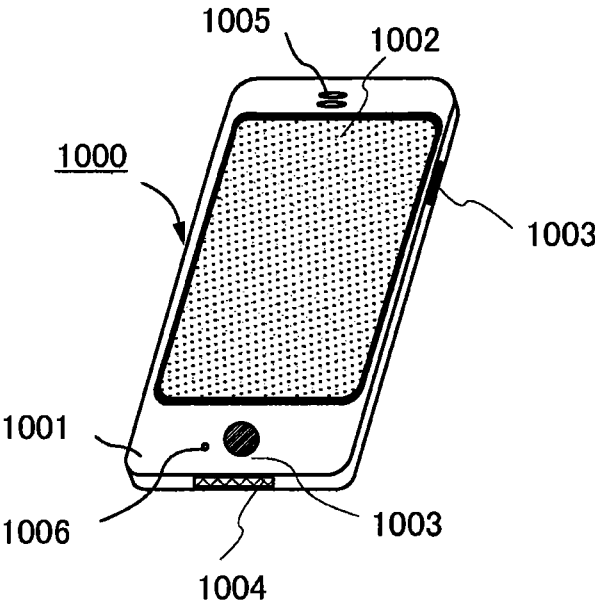


图 32