

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年7月31日(2008.7.31)

【公開番号】特開2007-94512(P2007-94512A)

【公開日】平成19年4月12日(2007.4.12)

【年通号数】公開・登録公報2007-014

【出願番号】特願2005-279917(P2005-279917)

【国際特許分類】

G 0 6 F 17/50 (2006.01)

【F I】

G 0 6 F 17/50 6 6 8 S

G 0 6 F 17/50 6 6 8 C

G 0 6 F 17/50 6 6 8 X

【手続補正書】

【提出日】平成20年6月13日(2008.6.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のノードの接続によって構成され、クロック信号の伝達経路となるクロック系バスおよびデータ信号の伝達経路となるデータ系バスを有した半導体集積回路の設計方法であって、

(a) 前記クロック系バスおよび前記データ系バスを 1 つのバスとして統合し、統合されたバスを構成する前記複数のノードのランダムばらつき成分の標準偏差を算出するステップと、

(b) 前記ランダムばらつき成分の標準偏差と、前記統合されたバスを構成する前記複数のノードのシステムティックばらつき成分の標準偏差とに基づいてチップ内ばらつき成分の標準偏差を算出するステップと、

(c) 前記チップ内ばらつき成分と、前記統合されたバス全体の基準遅延とに基づいて、遅延変動を算出するステップと、を備える、半導体集積回路の設計方法。

【請求項 2】

前記ステップ(a)は、

前記複数のノードのそれぞれのランダムばらつき成分に、遅延の重み付けを行って前記ランダムばらつき成分の標準偏差を算出する、請求項 1 記載の半導体集積回路の設計方法。

【請求項 3】

前記複数のノードは、固定遅延成分を有した多段構成のノードを含み、

前記ステップ(a)は、

前記多段構成のノードを、各段で分割してそれぞれ個別ノードとし、前記個別ノードについて前記ランダムばらつき成分の標準偏差の算出に組み込む、請求項 1 記載の半導体集積回路の設計方法。

【請求項 4】

(d) 前記チップ内ばらつき成分に、他のチップのばらつき成分を含めた、全てのばらつきを含む成分の標準偏差を算出するステップと、

(e) 前記チップ内ばらつき成分の標準偏差の最大値が、前記全てのばらつきを含む成分

の標準偏差の最大値を越えないように、前記チップ内ばらつき成分の標準偏差のカバー範囲を設定するステップとを更に備える、請求項1記載の半導体集積回路の設計方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路の設計方法

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は半導体集積回路の設計方法に関し、特に統計的な手法を用いたタイミング解析を利用した設計方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明は上記のような問題点を解消するためになされたもので、設計時に、より現実的なプロセスばらつきを考慮でき、必要以上の設計マージンを設定することなく、半導体集積回路の性能向上や設計収束性が期待でき、また必要なマージンの確保によって品質向上も期待できるとともに、計算が簡単で高速処理が可能な設計方法を提供することを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

【数 3】

$$\sigma_r(n) = \frac{\sqrt{d_1^2 \times \sigma_1^2 + d_2^2 \times \sigma_2^2 + d_3^2 \times \sigma_3^2 + \dots + d_{n-1}^2 \times \sigma_{n-1}^2 + d_n^2 \times \sigma_n^2}}{d_1 + d_2 + d_3 + \dots + d_{n-1} + d_n}$$

$$= \frac{\sqrt{\sum_{i=1}^n d_i^2 \times \sigma_i^2}}{\sum_{i=1}^n d_i} \quad \dots (3)$$

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

そして、図 2 においては、ノード ND 0 から始まってノード ND 1 ~ ND 4、ND 7 ~ ND 9 を経由してノード ND 10 に至る経路と、ノード ND 12 ~ ND 14 を経由してノード ND 10 に至る経路とを第 2 パスとして定義し、また、ノード ND 2 から始まって、ノード ND 3 ~ ND 5 を経由してノード ND 6 に至る経路と、ノード ND 11 を経由してノード ND 6 に至る経路とを第 1 パスとして定義している。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

【数 6】

$$\sigma_r(m, n) = \frac{\sqrt{\sum_{i=1}^m d_{Ai}^2 \times \sigma_{Ai}^2 + \sum_{i=1}^n d_{Bi}^2 \times \sigma_{Bi}^2}}{\sum_{i=1}^m d_{Ai} + \sum_{i=1}^n d_{Bi}} \quad \dots (6)$$

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

なお、ノード ND 4、ND 6 および ND 10 を構成するフリップフロップを多段セルと考へ、特にノード ND 4 については、初段ゲート回路内の固定遅延成分と出力ゲート回路内の変動遅延成分とに分割し、基準遅延 100 ps、ランダムばらつき成分 5 % のセルと、基準遅延 50 ps、ランダムばらつき成分 10 % のセルとを有しているものとして扱う。ただし、フリップフロップの構成によっては、更に分割が必要となる場合もある。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正の内容】

【0114】

まず、第1および第2のパスを含む全てのパスについて、パスごとに全てのばらつきを含む成分  $\sigma_{all}$  およびチップ内ばらつき成分  $\sigma_{chip}$  を、数式(16)～(21)で説明した手法で求める。ここで、図5に示した半導体集積回路には、第1および第2のパス以外にも複数のパスが存在するものとし、理論的に考えられるもっともばらつきの大きなパスをワーストパスと呼称すると、各パスのばらつき成分は以下のように表される。

【手続補正12】

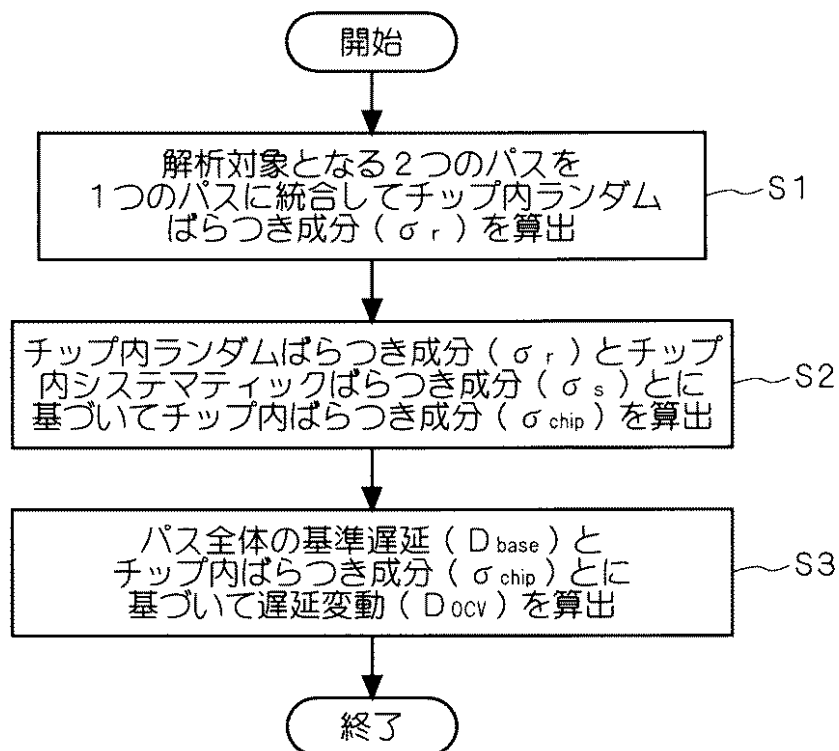
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】



【手続補正13】

【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正の内容】

【 図 8 】

100