



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0162061
(43) 공개일자 2024년11월14일

(51) 국제특허분류(Int. Cl.)

H01L 27/088 (2006.01) H01L 23/522 (2006.01)
H01L 29/417 (2006.01) H01L 29/786 (2006.01)
H10B 41/70 (2023.01)

(52) CPC특허분류

H01L 27/088 (2013.01)
H01L 23/522 (2013.01)

(21) 출원번호 10-2024-7031982

(22) 출원일자(국제) 2023년03월09일
심사청구일자 없음

(85) 번역문제출일자 2024년09월25일

(86) 국제출원번호 PCT/IB2023/052225

(87) 국제공개번호 WO 2023/180849
국제공개일자 2023년09월28일

(30) 우선권주장

JP-P-2022-045938 2022년03월22일 일본(JP)
(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

사와이 히로미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

호도 료타

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인

장훈

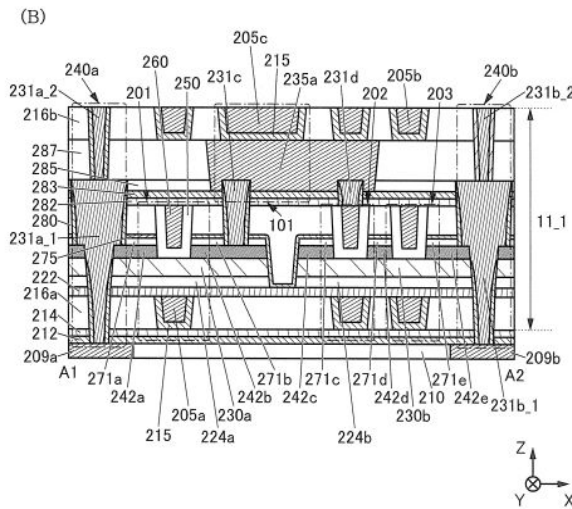
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 반도체 장치

(57) 요약

미세화 또는 고집적화가 가능한 반도체 장치를 제공한다. 반도체 장치는 금속 산화물과, 금속 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 및 제 2 도전체 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체와, 제 1 도전체와 제 2 도전체 사이에 있고 금속 산화물 위에 있는 제 3 절연체와, 제 3 절연체 위의 제 3 도전체와, 제 3 도전체 위에 있고 제 3 도전체와 전기적으로 접속되는 제 4 도전체와, 제 4 도전체 위의 제 4 절연체와, 제 4 절연체 위의 제 5 절연체와, 제 4 도전체와 중첩되는 영역을 가지는 제 5 도전체를 가진다. 금속 산화물은 제 1 도전체와 중첩되며 제 1 방향으로 연장되는 제 1 영역을 가진다. 제 1 영역에 있어서, 금속 산화물의 단부는 제 1 도전체의 단부와 일치한다. 제 1 방향은 제 5 도전체가 연장되는 방향과 평행하다.

대표도



(52) CPC특허분류

H01L 29/41733 (2013.01)

H01L 29/7869 (2013.01)

H10B 41/70 (2023.02)

(72) 발명자

오카모토 유키

일본 243-0413 가나가와켄 에비나시 고쿠분지다이
5-5-10

츠다 카즈키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2022-075018 2022년04월28일 일본(JP)

JP-P-2022-113195 2022년07월14일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치로서,

금속 산화물과,

상기 금속 산화물 위의 제 1 도전체 및 제 2 도전체와,

상기 제 1 도전체 및 상기 제 2 도전체 위의 제 1 절연체와,

상기 제 1 절연체 위의 제 2 절연체와,

상기 제 1 도전체와 상기 제 2 도전체 사이에 있고 상기 금속 산화물 위에 있는 제 3 절연체와,

상기 제 3 절연체 위의 제 3 도전체와,

상기 제 3 도전체 위에 있고, 상기 제 3 도전체와 전기적으로 접속되는 제 4 도전체와,

상기 제 4 도전체 위의 제 4 절연체와,

상기 제 4 절연체에 형성된 제 1 개구의 내부에 제공되는 제 5 절연체와,

상기 제 5 절연체를 개재(介在)하여 상기 제 4 도전체와 중첩되는 영역을 가지는 제 5 도전체

를 가지고,

상기 제 3 절연체 및 상기 제 3 도전체는 상기 제 1 절연체 및 상기 제 2 절연체에 형성된 제 2 개구의 내부에 제공되고,

상기 금속 산화물은 상기 제 1 도전체와 중첩되며 제 1 방향으로 연장되는 제 1 영역을 가지고,

상기 제 1 영역에 있어서, 상기 금속 산화물의 단부는 상기 제 1 도전체의 단부와 일치하고,

상기 제 1 방향은 상기 제 5 도전체가 연장되는 방향과 평행한, 반도체 장치.

청구항 2

제 1 항에 있어서,

제 6 도전체와, 제 6 절연체와, 제 7 도전체를 더 가지고,

상기 금속 산화물은 상기 제 6 도전체와 중첩되는 영역을 가지고,

상기 제 1 절연체 및 상기 제 2 절연체에 형성된 제 3 개구는 상기 제 6 도전체와 중첩되는 영역을 가지고,

상기 제 6 절연체는 상기 제 3 개구의 내부에 있어서, 상기 제 1 절연체 및 상기 제 2 절연체 각각의 측면과 접하고,

상기 제 7 도전체는 상기 제 6 절연체를 개재하여 상기 제 3 개구의 내부를 매립하도록 제공되고,

상기 제 7 도전체는 상기 제 6 도전체의 상면의 일부와 접하는 영역과, 상기 제 6 도전체의 측면의 일부와 접하는 영역을 가지는, 반도체 장치.

청구항 3

제 1 항에 있어서,

제 7 절연체와 제 8 절연체를 더 가지고,

상기 제 7 절연체는 상기 제 1 도전체와 상기 제 1 절연체 사이에 위치하고,

상기 제 8 절연체는 상기 제 2 도전체와 상기 제 1 절연체 사이에 위치하는, 반도체 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 도전체 및 상기 제 2 도전체 각각은 적층 구조를 가지고,
 상기 적층 구조는 제 1 도전층과, 상기 제 1 도전층 위의 제 2 도전층을 가지고,
 상기 제 1 도전층은 상기 제 2 도전층보다 질소 농도가 높은 영역을 가지는, 반도체 장치.

청구항 5

반도체 장치로서,
 제 1 트랜지스터와,
 상기 제 1 트랜지스터 위의 용량 소자, 제 2 트랜지스터, 및 제 4 절연체
 를 가지고,
 상기 제 1 트랜지스터는
 제 1 금속 산화물과,
 상기 제 1 금속 산화물 위의 제 1 도전체 및 제 2 도전체와,
 상기 제 1 도전체 및 상기 제 2 도전체 위의 제 1 절연체와,
 상기 제 1 절연체 위의 제 2 절연체와,
 상기 제 1 도전체와 상기 제 2 도전체 사이에 있고 상기 제 1 금속 산화물 위에 있는 제 3 절연체와,
 상기 제 3 절연체 위의 제 3 도전체
 를 가지고,
 상기 용량 소자는
 제 4 도전체와,
 상기 제 4 도전체 위의 제 5 절연체와,
 상기 제 5 절연체를 개재하여 상기 제 4 도전체와 중첩되는 영역을 가지는 제 5 도전체
 를 가지고,
 상기 제 4 도전체는 상기 제 3 도전체와 전기적으로 접속되고,
 상기 제 2 트랜지스터는
 제 8 도전체와,
 상기 제 8 도전체 위에 있고 상기 제 8 도전체와 중첩되는 영역을 가지는 제 2 금속 산화물
 을 가지고,
 상기 제 5 절연체 및 상기 제 5 도전체는 상기 제 4 절연체에 형성된 제 1 개구의 내부에 제공되고,
 상기 제 8 도전체는 상기 제 4 절연체에 형성된 제 2 개구의 내부에 제공되고,
 상기 제 5 도전체의 상면은 상기 제 8 도전체의 상면과 일치하는, 반도체 장치.

청구항 6

제 5 항에 있어서,
 상기 제 1 금속 산화물은 상기 제 1 도전체와 중첩되며 제 1 방향으로 연장되는 제 1 영역을 가지고,
 상기 제 1 영역에 있어서, 상기 제 1 금속 산화물의 단부는 상기 제 1 도전체의 단부와 일치하고,

상기 제 1 방향은 상기 제 5 도전체가 연장되는 방향과 평행한, 반도체 장치.

청구항 7

제 5 항에 있어서,

제 6 도전체와, 제 6 절연체와, 제 7 도전체를 더 가지고,

상기 제 1 금속 산화물은 상기 제 6 도전체와 중첩되는 영역을 가지고,

상기 제 1 절연체 및 상기 제 2 절연체에 형성된 제 3 개구는 상기 제 6 도전체와 중첩되는 영역을 가지고,

상기 제 6 절연체는 상기 제 3 개구의 내부에 있어서, 상기 제 1 절연체 및 상기 제 2 절연체 각각의 측면과 접하고,

상기 제 7 도전체는 상기 제 6 절연체를 개재하여 상기 제 3 개구의 내부를 매립하도록 제공되고,

상기 제 7 도전체는 상기 제 6 도전체의 상면의 일부와 접하는 영역과, 상기 제 6 도전체의 측면의 일부와 접하는 영역을 가지는, 반도체 장치.

청구항 8

제 5 항에 있어서,

제 7 절연체와 제 8 절연체를 더 가지고,

상기 제 7 절연체는 상기 제 1 도전체와 상기 제 1 절연체 사이에 위치하고,

상기 제 8 절연체는 상기 제 2 도전체와 상기 제 1 절연체 사이에 위치하는, 반도체 장치.

청구항 9

제 5 항에 있어서,

상기 제 1 도전체 및 상기 제 2 도전체 각각은 적층 구조를 가지고,

상기 적층 구조는 제 1 도전층과, 상기 제 1 도전층 위의 제 2 도전층을 가지고,

상기 제 1 도전층은 상기 제 2 도전층보다 질소 농도가 높은 영역을 가지는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

배경 기술

[0004] 근년에 들어 LSI(Large Scale Integration), CPU(Central Processing Unit), 메모리(기억 장치) 등의 반도체 장치의 개발이 진행되고 있다. 이들 반도체 장치는 컴퓨터, 휴대 정보 단말기 등 다양한 전자 기기에 사용되고 있다. 또한 연산 처리 실행 시의 일시 기억, 데이터의 장기 기억 등 용도에 따라 다양한 기억 방식의 메모리가 개발되고 있다. 대표적인 기억 방식의 메모리로서는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 및 플래시 메모리가 있다.

[0005] 또한 취급되는 데이터양의 증대에 수반하여, 더 큰 기억 용량을 가지는 반도체 장치가 요구되고 있다. 특허문헌 1 및 비특허문헌 1에서는 트랜지스터를 적층하여 형성한 메모리 셀이 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국제공개공보 W02021/053473호

비특허문헌

[0007] (비특허문헌 0001) M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 동작 속도가 빠른 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 양호한 전기 특성을 가지는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 온 전류가 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 본 발명의 일 형태는 공정 수가 적은 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0010] 본 발명의 일 형태는 기억 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 점유 면적이 작은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력이 낮은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다.

[0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 반드시 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0012] 본 발명의 일 형태는 금속 산화물과, 금속 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 및 제 2 도전체 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체와, 제 1 도전체와 제 2 도전체 사이에 있고 금속 산화물 위에 있는 제 3 절연체와, 제 3 절연체 위의 제 3 도전체와, 제 3 도전체 위에 있고 제 3 도전체와 전기적으로 접속되는 제 4 도전체와, 제 4 도전체 위의 제 4 절연체와, 제 4 절연체에 형성된 제 1 개구의 내부에 제공되는 제 5 절연체와, 제 5 절연체를 개재(介在)하여 제 4 도전체와 중첩되는 영역을 가지는 제 5 도전체를 가지는 반도체 장치이다. 제 3 절연체 및 제 3 도전체는 제 1 절연체 및 제 2 절연체에 형성된 제 2 개구의 내부에 제공된다. 금속 산화물은 제 1 도전체와 중첩되며 제 1 방향으로 연장되는 제 1 영역을 가진다. 제 1 영역에 있어서, 금속 산화물의 단부는 제 1 도전체의 단부와 일치한다. 제 1 방향은 제 5 도전체가 연장되는 방향과 평행하다.

[0013] 상기 반도체 장치는 제 6 도전체와, 제 6 절연체와, 제 7 도전체를 더 가지고, 금속 산화물은 제 6 도전체와 중첩되는 영역을 가지고, 제 1 절연체 및 제 2 절연체에 형성된 제 3 개구는 제 6 도전체와 중첩되는 영역을 가지고, 제 6 절연체는 제 3 개구의 내부에 있어서, 제 1 절연체 및 제 2 절연체 각각의 측면과 접하고, 제 7 도전체는 제 6 절연체를 개재하여 제 3 개구의 내부를 매립하도록 제공되고, 제 7 도전체는 제 6 도전체의 상면의

일부와 접하는 영역과, 제 6 도전체의 측면의 일부와 접하는 영역을 가지는 것이 바람직하다.

[0014] 또한 상기 반도체 장치는 제 7 절연체와 제 8 절연체를 더 가지고, 제 7 절연체는 제 1 도전체와 제 1 절연체 사이에 위치하고, 제 8 절연체는 제 2 도전체와 제 1 절연체 사이에 위치하는 것이 바람직하다.

[0015] 또한 상기 반도체 장치에 있어서, 제 1 도전체 및 제 2 도전체 각각은 적층 구조를 가지고, 적층 구조는 제 1 도전층과, 제 1 도전층 위의 제 2 도전층을 가지고, 제 1 도전층은 제 2 도전층보다 질소 농도가 높은 영역을 가지는 것이 바람직하다.

[0016] 본 발명의 다른 일 형태는 제 1 트랜지스터와, 제 1 트랜지스터 위의 용량 소자, 제 2 트랜지스터, 및 제 4 절연체를 가지는 반도체 장치이다. 제 1 트랜지스터는 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 및 제 2 도전체 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체와, 제 1 도전체와 제 2 도전체 사이에 있고 제 1 금속 산화물 위에 있는 제 3 절연체와, 제 3 절연체 위의 제 3 도전체를 가진다. 용량 소자는 제 4 도전체와, 제 4 도전체 위의 제 5 절연체와, 제 5 절연체를 개재하여 제 4 도전체와 중첩되는 영역을 가지는 제 5 도전체를 가진다. 제 4 도전체는 제 3 도전체와 전기적으로 접속한다. 제 2 트랜지스터는 제 8 도전체와, 제 8 도전체 위에 있고 제 8 도전체와 중첩되는 영역을 가지는 제 2 금속 산화물을 가진다. 제 5 절연체 및 제 5 도전체는 제 4 절연체에 형성된 제 1 개구의 내부에 제공된다. 제 8 도전체는 제 4 절연체에 형성된 제 2 개구의 내부에 제공된다. 제 5 도전체의 상면은 제 8 도전체의 상면과 일치한다.

[0017] 상기 반도체 장치에 있어서, 제 1 금속 산화물은 제 1 도전체와 중첩되며 제 1 방향으로 연장되는 제 1 영역을 가지고, 제 1 영역에 있어서, 제 1 금속 산화물의 단부는 제 1 도전체의 단부와 일치하고, 제 1 방향은 제 5 도전체가 연장되는 방향과 평행한 것이 바람직하다.

[0018] 상기 반도체 장치는 제 6 도전체와, 제 6 절연체와, 제 7 도전체를 더 가지고, 제 1 금속 산화물은 제 6 도전체와 중첩되는 영역을 가지고, 제 1 절연체 및 제 2 절연체에 형성된 제 3 개구는 제 6 도전체와 중첩되는 영역을 가지고, 제 6 절연체는 제 3 개구의 내부에 있어서, 제 1 절연체 및 제 2 절연체 각각의 측면과 접하고, 제 7 도전체는 제 6 절연체를 개재하여 제 3 개구의 내부를 매립하도록 제공되고, 제 7 도전체는 제 6 도전체의 상면의 일부와 접하는 영역과, 제 6 도전체의 측면의 일부와 접하는 영역을 가지는 것이 바람직하다.

[0019] 또한 상기 반도체 장치는 제 7 절연체와 제 8 절연체를 더 가지고, 제 7 절연체는 제 1 도전체와 제 1 절연체 사이에 위치하고, 제 8 절연체는 제 2 도전체와 제 1 절연체 사이에 위치하는 것이 바람직하다.

[0020] 또한 상기 반도체 장치에 있어서, 제 1 도전체 및 제 2 도전체 각각은 적층 구조를 가지고, 적층 구조는 제 1 도전층과, 제 1 도전층 위의 제 2 도전층을 가지고, 제 1 도전층은 제 2 도전층보다 질소 농도가 높은 영역을 가지는 것이 바람직하다.

발명의 효과

[0021] 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다.

[0022] 본 발명의 일 형태에 의하여 공정 수가 적은 반도체 장치의 제작 방법을 제공할 수 있다.

[0023] 본 발명의 일 형태에 의하여 기억 용량이 큰 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 점유 면적이 작은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성이 높은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 소비 전력이 낮은 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신규 기억 장치를 제공할 수 있다.

[0024] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0025] 도 1은 반도체 장치의 구성예를 나타낸 단면도이다.

- 도 2의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 2의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 3의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 4는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 5의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 6은 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 7의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 7의 (B) 및 (C)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 8의 (A) 및 (C)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 8의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 9의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 10의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 10의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 11은 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 12는 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 13은 반도체 장치의 구성예를 나타낸 단면도이다.
- 도 14의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 상면도이다.
- 도 15의 (A) 내지 (E)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 16의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 17의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 18의 (A) 내지 (C)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 19의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 20의 (A) 및 (B)는 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 21은 반도체 장치의 제작 방법의 일례를 나타낸 단면도이다.
- 도 22의 (A) 및 (B)는 기억 장치의 일례를 나타낸 도면이다.
- 도 23의 (A) 및 (B)는 기억층의 일례를 나타낸 회로도이다.
- 도 24는 메모리 셀의 동작예를 설명하기 위한 타이밍 차트이다.
- 도 25의 (A) 및 (B)는 메모리 셀의 동작예를 설명하기 위한 회로도이다.
- 도 26의 (A) 및 (B)는 메모리 셀의 동작예를 설명하기 위한 회로도이다.
- 도 27은 반도체 장치의 구성예를 설명하기 위한 회로도이다.
- 도 28의 (A) 및 (B)는 멀티 게이트형 트랜지스터를 나타낸 도면이다. 도 28의 (C)는 메모리 셀의 일례를 나타낸 회로도이다.
- 도 29의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 도면이다.
- 도 30의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.
- 도 31의 (A) 내지 (J)는 전자 기기의 일례를 나타낸 도면이다.
- 도 32의 (A) 내지 (E)는 전자 기기의 일례를 나타낸 도면이다.
- 도 33의 (A) 내지 (C)는 전자 기기의 일례를 나타낸 도면이다.

- 도 34는 우주용 기기의 일례를 나타낸 도면이다.
- 도 35의 (A) 및 (B)는 의료용 기기의 일례를 나타낸 도면이다.
- 도 36은 X선 조사 시험의 평가 환경을 설명하는 도면이다.
- 도 37의 (A) 및 (B)는 제작한 시료의 단면 STEM 이미지이다.
- 도 38은 X선 조사 시험 방법을 나타낸 흐름도이다.
- 도 39의 (A)는 시제(試製)한 트랜지스터의 Id-Vg 특성을 나타낸 도면이다. 도 39의 (B)는 SS의 백 게이트 전압 의존성을 나타낸 도면이다. 도 39의 (C)는 Vth의 백 게이트 전압 의존성을 나타낸 도면이다.
- 도 40의 (A)는 시제한 트랜지스터의 Id-Vg 특성을 나타낸 도면이다. 도 40의 (B)는 SS의 온도 의존성을 나타낸 도면이다. 도 40의 (C)는 Vth의 온도 의존성을 나타낸 도면이다.
- 도 41의 (A)는 OS 트랜지스터의 Id-Vg 특성을 나타낸 도면이다. 도 41의 (B)는 X선 조사에 의한 SS의 변동을 설명하는 도면이다. 도 41의 (C)는 X선 조사에 의한 μ_{FE} 의 변동을 설명하는 도면이다.
- 도 42의 (A)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다. 도 42의 (B)는 OS 트랜지스터의 SS의 변동량을 나타낸 도면이다. 도 42의 (C)는 OS 트랜지스터의 전계 효과 이동도의 변동량을 나타낸 도면이다.
- 도 43의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 44는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 45의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 46의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 47의 (A) 내지 (D)는 TID 열화의 성분의 게이트 전압 의존성을 나타낸 도면이다.
- 도 48은 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 49는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 50은 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 51은 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 52는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 53은 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 54의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 55의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량의 게이트 전압 의존성을 나타낸 도면이다.
- 도 56의 (A) 및 (B)는 OS 트랜지스터의 문턱 전압의 변동량의 게이트 전압 의존성을 나타낸 도면이다.
- 도 57은 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 58의 (A) 내지 (C)는 OS 트랜지스터의 단면 STEM 이미지이다.
- 도 59의 (A) 및 (B)는 OS 트랜지스터의 Id-Vg 특성을 나타낸 도면이다. 도 59의 (C)는 OS 트랜지스터의 문턱 전압의 변동량을 나타낸 도면이다.
- 도 60의 (A)는 메모리 셀을 설명하는 회로도이다. 도 60의 (B)는 관독 회로를 설명하는 회로도이다.
- 도 61의 (A)는 TID 내성 시험 방법을 나타낸 흐름도이다. 도 61의 (B)는 SEU 내성 시험 방법을 나타낸 흐름도이다.
- 도 62의 (A) 및 (B)는 TID 내성 시험의 결과를 나타낸 도면이다.
- 도 63의 (A) 내지 (C)는 OS 메모리에서 발생하는 에러 모드를 설명하는 도면이다.
- 도 64의 (A) 내지 (D)는 TID 내성 시험의 결과를 나타낸 도면이다.

도 65의 (A)는 SEU 내성 시험의 결과를 나타낸 도면이다. 도 65의 (B)는 OS 메모리에서의 SEU의 에러 맵이다.
 도 66의 (A) 내지 (C)는 OS 트랜지스터의 에너지 밴드 다이어그램이다.
 도 67의 (A) 및 (B)는 OS 트랜지스터의 에너지 밴드 다이어그램이다.
 도 68의 (A) 내지 (C)는 OS 메모리에서 발생하는 에러 모드를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0027] 또한 이하에서 설명하는 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복되는 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0028] 또한 도면에 나타난 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.
- [0029] 또한 본 명세서 등에서, '제 1', '제 2'라는 서수사는 편의상 사용하는 것이며, 구성 요소의 개수 또는 구성 요소의 순서(예를 들어 공정 순서 또는 적층 순서)를 한정하는 것이 아니다. 또한 본 명세서의 어떤 부분에 있어서 구성 요소에 붙이는 서수사와 본 명세서의 다른 부분 또는 청구범위에 있어서 상기 구성 요소에 붙이는 서수사가 일치하지 않는 경우가 있다.
- [0030] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있다.
- [0031] 또한 본 명세서 등에서, "절연체"라는 용어를 절연막 또는 절연층이라고 환언할 수 있다. 또한 "도전체"라는 용어를 도전막 또는 도전층이라고 환언할 수 있다. 또한 "반도체"라는 용어를 반도체막 또는 반도체층이라고 환언할 수 있다.
- [0032] 또한 본 명세서 등에서 산화질화물이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재한 경우에는 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재한 경우에는 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0033] 본 명세서 등에서 "위에", "아래에", "위쪽에", 또는 "아래쪽에" 등 배치를 나타내는 용어는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 본 명세서 등에서 설명한 용어에 한정되지 않고 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.
- [0034] 본 명세서 등에서 "높이가 일치"란, 단면에서 보았을 때, 기준이 되는 면(예를 들어 기판 표면 등의 평탄한 면)으로부터의 높이가 같은 구성을 말한다. 예를 들어 반도체 장치의 제조 공정에서 평탄화 처리(대표적으로는 CMP(Cheical Mechanical Polishing) 처리)를 수행함으로써 단층 또는 다층의 표면이 노출되는 경우가 있다. 이 경우, CMP 처리가 수행된 피처리면은 기준이 되는 면과 높이가 같다. 다만 CMP 처리에 사용되는 처리 장치, 처리 방법, 또는 피처리면의 재료에 따라서는 복수의 층의 높이가 서로 달라지는 경우가 있다. 본 명세서 등에서는, 이 경우도 "높이가 일치"에 포함시킨다. 예를 들어 기준이 되는 면에 대하여 2개의 높이를 가지는 층(여기서는 제 1 층과 제 2 층)을 가지고, 제 1 층의 상면의 높이와 제 2 층의 상면의 높이의 차가 20nm 이하인 경우도 "높이가 일치"라고 한다.
- [0035] 본 명세서 등에서 "단부가 일치"란, 상면에서 보았을 때, 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용한

여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층의 윤곽이 아래층의 윤곽보다 내측에 위치하거나 위층의 윤곽이 아래층의 윤곽보다 외측에 위치하는 경우도 있고, 이 경우도 "단부가 일치"라고 한다.

- [0036] 또한 일반적으로 "완전 일치"와 "실질적으로 일치"는 명확히 구분하기 어렵다. 그러므로 본 명세서 등에 있어서 "일치"란, 완전히 일치하는 경우와 실질적으로 일치하는 경우 모두를 포함하는 것으로 한다.
- [0037] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있을 때는, 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 또한 도면 등에서 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하고, 본 명세서 등에서 이들을 구별할 필요가 없는 경우에는 식별용 부호를 기재하지 않는 경우가 있다.
- [0038] 본 명세서 등에 있어서, 층, 배선, 구조체물 등이 어떤 방향으로 연장된다란, 그 방향으로 연장되도록 그 층, 배선, 구조체 등이 배치되어 있는 것을 의미한다. 또한 그 층, 배선, 구조체물 등을 부감하여 보았을 때에, 그 방향으로 길게 연장된 형상을 가지고 있으면 되고, 그 층, 배선, 구조체 등이 부분적으로, 그 방향과는 다른 방향으로 연장된 부분을 가지고 있어도 된다.
- [0039] (실시형태 1)
- [0040] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치에 대하여 도면을 사용하여 설명한다.
- [0041] 본 발명의 일 형태는 기판 위에 기억층이 제공되는 반도체 장치에 관한 것이다. 기억층은 제 1 트랜지스터 내지 제 3 트랜지스터와, 용량 소자를 가지고, 이들로 메모리 셀을 구성할 수 있다. 본 발명의 일 형태의 반도체 장치는 메모리 셀을 가지기 때문에, 데이터를 기억하는 기능을 가진다. 따라서 본 발명의 일 형태의 반도체 장치는 기억 장치라고 할 수 있다.
- [0042] 제 1 트랜지스터는 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체와 제 2 도전체 사이에 있고 제 1 금속 산화물 위에 있는 제 1 절연체와, 제 1 절연체 위의 제 3 도전체를 가진다. 제 2 트랜지스터는 제 2 금속 산화물과, 제 2 금속 산화물 위의 제 4 도전체 및 제 5 도전체와, 제 4 도전체와 제 5 도전체 사이에 있고 제 2 금속 산화물 위에 있는 제 2 절연체와, 제 2 절연체 위의 제 6 도전체를 가진다. 제 3 트랜지스터는 제 2 금속 산화물과, 제 2 금속 산화물 위의 제 5 도전체 및 제 7 도전체와, 제 5 도전체와 제 7 도전체 사이에 있고 제 2 금속 산화물 위에 있는 제 3 절연체와, 제 3 절연체 위의 제 8 도전체를 가진다. 즉, 제 2 트랜지스터와 제 3 트랜지스터는 제 2 금속 산화물 및 제 5 도전체를 공유한다. 또한 제 1 금속 산화물과, 제 1 도전체 및 제 2 도전체 각각은 전기적으로 접속한다고도 한다. 또한 제 2 금속 산화물과, 제 4 도전체 및 제 5 도전체 각각은 전기적으로 접속한다고도 한다. 또한 제 2 금속 산화물과, 제 5 도전체 및 제 7 도전체 각각은 전기적으로 접속한다고도 한다.
- [0043] 제 1 금속 산화물은 제 1 트랜지스터의 채널 형성 영역으로서 기능하는 영역을 가진다. 제 1 도전체는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 제 2 도전체는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다. 제 3 도전체는 제 1 트랜지스터의 게이트 전극으로서 기능하는 영역을 가진다. 제 1 절연체는 제 1 트랜지스터의 게이트 절연체로서 기능하는 영역을 가진다.
- [0044] 제 2 금속 산화물은 제 2 트랜지스터의 채널 형성 영역으로서 기능하는 영역과 제 3 트랜지스터의 채널 형성 영역으로서 기능하는 영역을 가진다. 제 4 도전체는 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 제 5 도전체는 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽 그리고 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 제 6 도전체는 제 2 트랜지스터의 게이트 전극으로서 기능하는 영역을 가진다. 제 7 도전체는 제 3 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다. 제 8 도전체는 제 3 트랜지스터의 게이트 전극으로서 기능하는 영역을 가진다. 제 2 절연체는 제 2 트랜지스터의 게이트 절연체로서 기능하는 영역을 가진다. 제 3 절연체는 제 3 트랜지스터의 게이트 절연체로서 기능하는 영역을 가진다.
- [0045] 제 2 트랜지스터와 제 3 트랜지스터가 인접하고, 제 2 금속 산화물 및 제 5 도전체를 공유함으로써, 트랜지스터 2개의 면적보다 작은 면적(예를 들어, 트랜지스터 1.5개의 면적)에 2개의 트랜지스터를 형성할 수 있다. 이에 의하여, 트랜지스터를 고밀도로 배치할 수 있어, 반도체 장치의 고집적화를 실현할 수 있다.
- [0046] 본 발명의 일 형태의 반도체 장치는 채널이 형성되는 영역(채널 형성 영역이라고도 함)에 금속 산화물을 가지는

트랜지스터(OS 트랜지스터)를 가진다. OS 트랜지스터는 오프 전류가 낮기 때문에 기억 장치로 할 수 있는 반도체 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 반도체 장치의 소비 전력을 충분히 감소시킬 수 있다. 따라서 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또한 OS 트랜지스터의 주파수 특성이 높기 때문에, 반도체 장치의 데이터의 판독 및 기록을 고속으로 수행할 수 있다. 따라서 동작 속도가 빠른 반도체 장치를 제공할 수 있다.

[0047] 본 발명의 일 형태의 반도체 장치에서는 제 2 트랜지스터가 가지는 제 4 도전체는 제 2 트랜지스터의 채널 폭 방향(채널 길이 방향과 수직인 방향)으로 연장되어 제공되고, 배선으로서 기능하는 영역을 가진다. 상기 구성으로 하면, 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 접속되는 전극(배선 또는 플러그)을 별도로 제공할 필요가 없다. 또한 제 2 트랜지스터가 가지는 제 2 금속 산화물과 제 4 도전체는 동일한 마스크 패턴에 의하여 가공되므로, 제 4 도전체의 아래쪽에 제 2 금속 산화물이 배치된다. 따라서, 제 2 금속 산화물에서 제 4 도전체와 중첩되는 영역은 제 2 트랜지스터의 채널 폭 방향으로 연장되어 제공된다.

[0048] 본 발명의 일 형태의 반도체 장치에서는 상기 구성을 가지는 기억층이 복수로 적층되어 제공된다. 즉, 상기 구성을 가지는 기억층이 예를 들어 기판면에 대하여 수직인 방향으로 복수로 제공된다. 이에 의하여, 기억층이 1층인 경우에 비하여, 메모리 셀의 점유 면적을 늘리지 않고 반도체 장치의 기억 용량을 늘릴 수 있다. 따라서, 1비트당 점유 면적이 축소되어, 소형이고 기억 용량이 큰 반도체 장치를 실현할 수 있다.

[0049] 기억층을 복수로 적층하여 제공하는 경우, 기록 비트선 및 판독 비트선 각각은 예를 들어 기판면에 대하여 수직인 방향으로 제공할 수 있다. 예를 들어, n층(n은 2 이상의 정수)의 기억층을 가지는 반도체 장치를 형성하는 경우, n층의 기억층이 가지는 도전체를 수직 방향으로 연결함으로써 형성되는 접속 전극을 수직 방향으로 연장되는 기록 비트선 및 판독 비트선으로서 사용할 수 있다. 여기서, 본 발명의 일 형태의 반도체 장치에서는 제 1 도전체의 상면 및 측면과 접하는 영역을 가지도록, 기록 비트선으로서 기능하는 영역을 가지는 도전체가 제공된다. 또한 본 발명의 일 형태의 반도체 장치에서는 제 7 도전체의 상면 및 측면과 접하는 영역을 가지도록, 판독 비트선으로서 기능하는 영역을 가지는 도전체가 제공된다. 상기 구성으로 하면, 제 1 도전체와 기록 비트선 사이에 접속용 전극을 별도로 제공할 필요가 없다. 또한 제 7 도전체와 판독 비트선 사이에 접속용 전극을 별도로 제공할 필요가 없다. 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치를 메모리 셀의 집적도가 높은 반도체 장치로 할 수 있다.

[0050] 또한 본 발명의 일 형태의 반도체 장치에서는 기억층을 1층만 제공하여도 좋다.

[0051] <반도체 장치의 구성예>

[0052] 이하에서는, 본 발명의 일 형태의 반도체 장치의 구성예에 대하여 설명한다.

[0053] 도 1은 본 발명의 일 형태의 반도체 장치의 구성예를 나타낸 단면도이다. 도 1에 나타낸 반도체 장치는 기판(도시하지 않았음) 위의 절연체(210)와, 절연체(210)에 매립된 도전체(209a) 및 도전체(209b)와, 절연체(210) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)와, 절연체(214) 위의 n층의 기억층(11)(기억층(11_1) 내지 기억층(11_n))과, Z방향(수직 방향이라고도 함)으로 연장되어 제공되고, 도전체(209a)와 전기적으로 접속된 접속 전극(240a) 및 도전체(209b)와 전기적으로 접속된 접속 전극(240b)과, 기억층(11_n) 위의 절연체(181)와, 절연체(181) 위의 절연체(183)와, 절연체(183) 위의 절연체(185)를 가진다. 또한 본 실시형태의 반도체 장치에 포함되는 구성 요소는 각각 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0054] 이하에서, 알파벳으로 구별하는 다른 구성 요소에 대해서, 이들에 공통되는 사항에 대하여 설명하는 경우에는, 알파벳을 생략한 부호를 사용하여 설명하는 경우가 있다. 예를 들어, 도전체(209a)와 도전체(209b)에서 공통되는 사항을 설명하는 경우에는 도전체(209)라고 기재하는 경우가 있다.

[0055] 기억층(11_1) 내지 기억층(11_n)에는 각각 복수의 메모리 셀을 가지는 메모리 셀 어레이가 제공된다. 메모리 셀은 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(101)를 가진다. 또한 접속 전극(240a)은 기록 비트선으로서 기능하는 영역을 가지고, 접속 전극(240b)은 판독 비트선으로서 기능하는 영역을 가진다.

[0056] 본 명세서 등에 있어서, 도시된 트랜지스터의 채널 길이 방향과 평행한 방향을 X방향으로 하고, 도시된 트랜지스터의 채널 폭 방향과 평행한 방향을 Y방향으로 한다. X방향과 Y방향은 서로 수직인 방향으로 할 수 있다. 또한 X방향 및 Y방향의 양쪽과 수직인 방향, 즉 XY면과 수직인 방향을 Z방향으로 한다. X방향 및 Y방향은 예를 들어 기판면에 대하여 평행한 방향으로 하고, Z방향은 기판면에 대하여 수직인 방향으로 할 수 있다.

- [0057] 접속 전극(240a) 및 접속 전극(240b) 각각은 n층의 기억층(11) 각각이 가지는 도전체를 Z방향으로 연결함으로써 형성된다. 구체적으로는, 접속 전극(240a)은 기억층(11_1)이 가지는 도전체(231a_1), 기억층(11_2)이 가지는 도전체(231a_2), 기억층(11_3)이 가지는 도전체(231a_3) 등을 Z방향으로 연결함으로써 형성된다. 접속 전극(240b)은 기억층(11_1)이 가지는 도전체(231b_1), 기억층(11_2)이 가지는 도전체(231b_2), 기억층(11_3)이 가지는 도전체(231b_3) 등을 Z방향으로 연결함으로써 형성된다.
- [0058] 도전체(209a) 및 도전체(209b)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자의 일부, 배선, 전극, 또는 단자로서 기능한다.
- [0059] 도 1에서는, n층의 기억층(11) 중 최하층인 기억층(11_1)과, 기억층(11_1) 위의 기억층(11_2)과, 최상층인 기억층(11_n)을 나타내었다.
- [0060] 도전체(209a) 및 도전체(209b)는 반도체 장치가 가지는 기억층에 제공되는 메모리 셀을 구동하기 위한 구동 회로와 전기적으로 접속된다. 상기 구동 회로는 도전체(209a) 및 도전체(209b)보다 아래쪽에 제공된다. 반도체 장치가 가지는 기억층의 적층수(n의 수)를 늘림으로써, 메모리 셀의 점유 면적을 늘리지 않고 기억 장치의 기억 용량을 늘릴 수 있다. 따라서, 1비트당 점유 면적이 축소되어, 소형이고 기억 용량이 큰 반도체 장치를 실현할 수 있다.
- [0061] 트랜지스터(201) 내지 트랜지스터(203)는 절연체(214) 위에 제공된다. 여기서, 트랜지스터(202)와 트랜지스터(203)는 일부의 층을 공유한다. 트랜지스터(201) 내지 트랜지스터(203)의 위쪽에는 용량 소자(101)가 제공된다.
- [0062] 도 2의 (A) 및 (B)는 각각 도전체(209a), 도전체(209b), 절연체(210), 절연체(212), 절연체(214), 및 기억층(11_1)의 구성예를 나타낸 상면도 및 단면도이다. 도 2의 (B)는 도 2의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(201) 내지 트랜지스터(203)의 채널 길이 방향의 단면도이기도 하다. 또한 도 2의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0063] 도 2의 (B)에 나타낸 바와 같이, 절연체(214) 위에 절연체(216a) 및 절연체(215)가 제공되고, 트랜지스터(201) 내지 트랜지스터(203) 위에 절연체(282)가 제공되고, 절연체(282) 위에 절연체(283)가 제공되고, 절연체(283) 위에 용량 소자(101)가 제공된다.
- [0064] 트랜지스터(201) 내지 트랜지스터(203) 각각은 절연체(214) 위의 도전체(205a)와, 도전체(205a) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 금속 산화물(230)과, 금속 산화물(230) 위의 한 쌍의 도전체(242)와, 한 쌍의 도전체(242) 사이에 있고 금속 산화물(230) 위에 있는 절연체(250)와, 절연체(250) 위의 도전체(260)를 가진다. 여기서, 트랜지스터(201)는 절연체(224)로서의 절연체(224a)와, 금속 산화물(230)로서의 금속 산화물(230a)과, 한 쌍의 도전체(242)로서의 도전체(242a) 및 도전체(242b)를 가진다. 트랜지스터(202)는 절연체(224)로서의 절연체(224b)와, 금속 산화물(230)로서의 금속 산화물(230b)과, 한 쌍의 도전체(242)로서의 도전체(242c) 및 도전체(242d)를 가진다. 트랜지스터(203)는 절연체(224)로서의 절연체(224b)와, 금속 산화물(230)로서의 금속 산화물(230b)과, 한 쌍의 도전체(242)로서의 도전체(242d) 및 도전체(242e)를 가진다. 트랜지스터(202) 및 트랜지스터(203)는 절연체(224b), 금속 산화물(230b), 및 도전체(242d)를 공유한다.
- [0065] 절연체(216a)에는 절연체(214)에 도달하는 개구가 복수로 제공된다. 또한 복수의 개구 각각의 내부에 절연체(215) 및 도전체(205a)가 배치되어 있다. 절연체(215)는 개구의 측벽 및 절연체(214)의 상면에 접하여 제공된다. 도전체(205a)는 절연체(215)에 형성된 오목부를 매립하도록 제공된다. 여기서 도전체(205a)의 상면은 절연체(215)의 상면 및 절연체(216a)의 상면 각각과 높이가 일치한다. 도전체(205a)는 절연체(222) 및 절연체(224)를 개재하여 금속 산화물(230a) 또는 금속 산화물(230b)과 중첩되는 영역을 가진다.
- [0066] 본 명세서 등에서 개구라는 용어에는 홈 및 슬릿 등도 포함된다. 또한 개구가 형성된 부분을 개구부라고 기재하는 경우가 있다.
- [0067] 도전체(205a), 절연체(215), 및 절연체(216a) 위에 절연체(222)가 제공된다. 또한 절연체(222) 그리고 도전체(242a) 내지 도전체(242e) 위에는 절연체(275)가 제공되고, 절연체(275) 위에는 절연체(280)가 제공된다.
- [0068] 트랜지스터(201) 내지 트랜지스터(203) 각각은 절연체(275)와 한 쌍의 도전체(242) 사이에 한 쌍의 절연체(271)를 가진다. 여기서, 트랜지스터(201)는 한 쌍의 절연체(271)로서의 절연체(271a) 및 절연체(271b)를 가진다. 트랜지스터(202)는 한 쌍의 절연체(271)로서의 절연체(271c) 및 절연체(271d)를 가진다. 트랜지스터(203)는 한

쌍의 절연체(271)로서의 절연체(271d) 및 절연체(271e)를 가진다. 트랜지스터(202) 및 트랜지스터(203)는 절연체(271d)를 공유한다.

- [0069] 절연체(280) 및 절연체(275)에는 금속 산화물(230a)에 도달하는 개구 및 금속 산화물(230b)에 도달하는 개구가 제공된다. 즉, 절연체(280) 및 절연체(275)에 제공되는 개구는 금속 산화물(230a) 또는 금속 산화물(230b)과 중첩되는 영역을 가진다. 상기 개구의 내부에 절연체(250) 및 도전체(260)가 제공된다. 즉, 도전체(260)는 절연체(250)를 개재하여 금속 산화물(230a) 또는 금속 산화물(230b)과 중첩되는 영역을 가진다. 또한 절연체(250)는 상기 개구의 측벽에 접하는 영역과, 금속 산화물(230a) 또는 금속 산화물(230b)의 상면 및 측면에 접하는 영역을 가진다. 또한 도전체(260)의 상면은 절연체(250)의 상면 및 절연체(280)의 상면 각각과 높이가 일치한다.
- [0070] 절연체(280), 절연체(250), 및 도전체(260) 위에 절연체(282)가 제공되고, 절연체(282) 위에 절연체(283)가 제공되고, 절연체(283) 위에 절연체(285)가 제공된다.
- [0071] 금속 산화물(230a)은 트랜지스터(201)의 채널 형성 영역으로서 기능하는 영역을 가진다. 금속 산화물(230b)은 트랜지스터(202)의 채널 형성 영역으로서 기능하는 영역과 트랜지스터(203)의 채널 형성 영역으로서 기능하는 영역을 가진다. 또한 트랜지스터(201) 내지 트랜지스터(203)에는 금속 산화물(230) 대신 단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘 등의 반도체를 사용하여도 좋고, 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 사용하여도 좋다.
- [0072] 도전체(242a)는 트랜지스터(201)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 트랜지스터(201)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다. 도전체(242c)는 트랜지스터(202)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242d)는 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역과, 트랜지스터(203)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242e)는 트랜지스터(203)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다.
- [0073] 도전체(260)는 트랜지스터(201), 트랜지스터(202), 또는 트랜지스터(203)의 제 1 게이트 전극으로서 기능하는 영역을 가진다. 절연체(250)는 트랜지스터(201), 트랜지스터(202), 또는 트랜지스터(203)의 제 1 게이트 절연체로서 기능하는 영역을 가진다.
- [0074] 도전체(205a)는 트랜지스터(201), 트랜지스터(202), 또는 트랜지스터(203)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 절연체(222) 및 절연체(224a)는 트랜지스터(201)의 제 2 게이트 절연체로서 기능하는 영역을 가진다. 절연체(222) 및 절연체(224b)는 트랜지스터(202)의 제 2 게이트 절연체로서 기능하는 영역과, 트랜지스터(203)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.
- [0075] 본 명세서 등에 있어서, 제 1 게이트 전극은 톱 게이트 전극 또는 단순히 게이트 전극이라고 할 수 있고, 제 2 게이트 전극은 백 게이트 전극이라고 할 수 있다. 또한 제 1 게이트 전극을 백 게이트 전극이라고 하고, 제 2 게이트 전극을 톱 게이트 전극 또는 단순히 게이트 전극이라고 하여도 좋다.
- [0076] 트랜지스터(202)와 트랜지스터(203)는 인접하고, 금속 산화물(230b) 및 도전체(242d)를 공유한다. 이에 의하여, 트랜지스터 2개의 면적보다 작은 면적(예를 들어, 트랜지스터 1.5개의 면적)에 2개의 트랜지스터(트랜지스터(202)와 트랜지스터(203))를 형성할 수 있다. 따라서, 트랜지스터(202)와 트랜지스터(203)가 금속 산화물(230b) 및 도전체(242d)를 공유하지 않는 경우보다 트랜지스터를 고밀도로 배치할 수 있어, 반도체 장치의 고집적화를 실현할 수 있다.
- [0077] 또한 트랜지스터(202)가 가지는 도전체(260)와, 트랜지스터(203)가 가지는 도전체(260) 사이의 영역에 도전체(242d)가 배치된다. 따라서, 금속 산화물(230b)의 도전체(242d)와 중첩되는 영역에 n형 영역(저저항 영역)을 형성할 수 있다. 또한 도전체(242d)를 통하여 트랜지스터(202)와 트랜지스터(203) 사이에 전류를 흘릴 수도 있다. 따라서, 채널이 형성되는 반도체층에 실리콘을 사용하는 트랜지스터(Si 트랜지스터라고도 함)를 2개 직렬로 접속하는 구성에 비하여 트랜지스터(202)와 트랜지스터(203) 사이의 저항 성분을 매우 적게 할 수 있다.
- [0078] 용량 소자(101)는 도전체(235a)와, 도전체(235a) 위의 절연체(215)와, 절연체(215) 위의 도전체(205c)를 가진다.
- [0079] 도전체(235a)는 절연체(283) 위 및 트랜지스터(202)가 가지는 도전체(260) 위에 제공된다. 또한 도전체(235a)는 도전체(260)와 전기적으로 접속되어 있다.

- [0080] 절연체(285) 위에는 절연체(287)가 제공된다. 절연체(287) 및 절연체(285)에는 절연체(283)에 도달하는 개구가 제공된다. 또한 상기 개구의 내부에는 도전체(235a)가 매립되어 있다. 여기서, 도전체(235a)의 상면은 절연체(287)의 상면과 높이가 일치한다.
- [0081] 도전체(235a) 및 절연체(287) 위에 절연체(216b)가 제공된다. 절연체(216b)에는 절연체(287) 및 도전체(235a) 중 적어도 한쪽에 도달하는 제 1 개구 및 복수의 제 2 개구가 제공된다. 제 1 개구는 도전체(235a)와 중첩되는 영역을 가지고, 복수의 제 2 개구는 각각 트랜지스터(201) 내지 트랜지스터(203) 중 어느 하나와 중첩되는 영역을 가진다. 제 1 개구의 내부에 절연체(215) 및 도전체(205c)가 제공되고, 제 2 개구의 내부에 절연체(215) 및 도전체(205b)가 배치되어 있다. 절연체(215)는 제 1 개구 및 제 2 개구 각각의 측면 및 밑면에 접하여 제공된다. 도전체(205c)는 제 1 개구의 내부에 제공되는 절연체(215)에 형성된 오목부를 매립하도록 제공된다. 이때, 도전체(205c)는 절연체(215)를 개재하여 도전체(235a)와 중첩되는 영역을 가진다. 도전체(205b)는 제 2 개구의 내부에 제공되는 절연체(215)에 형성된 오목부를 매립하도록 제공된다. 여기서, 도전체(205c)의 상면은 절연체(215)의 상면, 절연체(216b)의 상면, 및 도전체(205b)의 상면 각각과 높이가 일치한다.
- [0082] 또한 기억층(11_1)의 절연체(216b)는 기억층(11_2)의 절연체(216a)이기도 하다. 따라서, 본 명세서 등에서 절연체(216b)는 절연체(216a)라고 바꿔 읽을 수 있는 경우가 있다.
- [0083] 또한 기억층(11_1)의 도전체(205b)는 기억층(11_2)의 도전체(205a)이기도 하다. 따라서, 기억층(11_1)의 도전체(205b)는 기억층(11_2)의 트랜지스터(201), 트랜지스터(202), 또는 트랜지스터(203)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 또한 기억층(11_1)의 도전체(205b)는 기억층(11_2)의 금속 산화물(230a) 또는 금속 산화물(230b)과 중첩되는 영역을 가진다. 또한 본 명세서 등에서 도전체(205b)는 도전체(205a)라고 바꿔 읽을 수 있는 경우가 있다.
- [0084] 이하에서, 도전체(205a) 내지 도전체(205c)에서 공통되는 사항을 설명하는 경우에는 도전체(205)라고 기재하는 경우가 있다.
- [0085] 도전체(235a)는 용량 소자(101)의 한쪽 전극(하부 전극이라고도 함)으로서 기능하는 영역을 가진다. 절연체(215)는 용량 소자(101)의 유전체로서 기능하는 영역을 가진다. 도전체(205c)는 용량 소자(101)의 다른 쪽 전극(상부 전극이라고도 함)으로서 기능하는 영역을 가진다. 용량 소자(101)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.
- [0086] 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271b)에는 도전체(242b)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231c)가 매립된다. 또한 절연체(285), 절연체(283), 및 절연체(282)에는 트랜지스터(202)가 가지는 도전체(260)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231d)가 제공된다. 도전체(231c)에 의하여, 도전체(242b)와 도전체(235a)가 전기적으로 접속된다. 또한 도전체(231d)에 의하여, 트랜지스터(202)가 가지는 도전체(260)와 도전체(235a)가 전기적으로 접속된다. 상술한 바와 같이 함으로써, 트랜지스터(201)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가지는 도전체(242b)는 도전체(231c), 도전체(235a), 및 도전체(231d)를 통하여 트랜지스터(202)의 게이트 전극으로서 기능하는 영역을 가지는 도전체(260)와 전기적으로 접속된다. 도전체(235a)는 도전체(231c)의 상면과 접하는 영역과, 도전체(231d)의 상면과 접하는 영역을 가진다.
- [0087] 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216a), 절연체(214), 및 절연체(212)에는 도전체(209a)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231a_1)가 매립된다. 기억층(11_2)(도시하지 않았음)의 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216b), 및 절연체(287)에는 도전체(231a_1)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231a_2)가 매립된다.
- [0088] 도전체(209a)의 상면은 도전체(231a_1)와 접하는 영역을 가진다. 도전체(231a_1)의 상면은 도전체(231a_2)와 접하는 영역을 가진다. 도 2의 (B)에 나타난 범위에 있어서, 접속 전극(240a)은 도전체(231a_1) 및 도전체(231a_2)를 가진다.
- [0089] 또한 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216a), 절연체(214), 및 절연체(212)에는 도전체(209b)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231b_1)가 매립된다. 기억층(11_2)(도시하지 않았음)의 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216b), 및 절연체(287)에는 도전체(231b_1)에 도달하는 개구가 제공되고, 상기 개구의 내부에 도전체(231b_2)가 매립된다.

- [0090] 도전체(209b)의 상면은 도전체(231b_1)와 접하는 영역을 가진다. 도전체(231b_1)의 상면은 도전체(231b_2)와 접하는 영역을 가진다. 도 2의 (B)에 나타난 범위에 있어서, 접속 전극(240b)은 도전체(231b_1) 및 도전체(231b_2)를 가진다.
- [0091] 앞의 설명 및 도 2의 (B)에 나타난 바와 같이, 도전체(231c)의 상면, 도전체(231d)의 상면, 도전체(231a_1)의 상면, 및 도전체(231b_1)의 상면은 각각 높이가 일치한다. 또한 도전체(231c), 도전체(231d), 도전체(231a_1), 및 도전체(231b_1)는 같은 재료 및 같은 공정으로 형성할 수 있다. 따라서, 도전체(231c), 도전체(231d), 도전체(231a_1), 및 도전체(231b_1)는 같은 도전성 재료를 가지는 것이 바람직하다.
- [0092] 이하에서, 도전체(231a_1) 및 도전체(231a_2)에서 공통되는 사항을 설명하는 경우에는 도전체(231a)라고 기재하는 경우가 있다. 이하에서, 도전체(231b_1) 및 도전체(231b_2)에서 공통되는 사항을 설명하는 경우에는 도전체(231b)라고 기재하는 경우가 있다.
- [0093] 도 2의 (B)에서는 절연체(216b)에 제공되는 도전체(205c)에 상당하는 도전체가 절연체(216a)에 제공되지 않는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다. 예를 들어, 도 3의 (A)에 나타난 바와 같이, 절연체(216b)에 제공되는 도전체(205c)에 상당하는 도전체, 및 절연체(215)를 절연체(216a)에 제공하여도 좋다. 상기 구성으로 함으로써, 절연체(216a)에 개구를 형성하는 경우에 사용하는 마스크와, 절연체(216b)에 개구를 형성할 때 사용하는 마스크를 공통화할 수 있기 때문에 제조 비용을 낮출 수 있다.
- [0094] 또한 도 2의 (B)에는 절연체(216a)와 도전체(205a) 사이에 절연체(215)를 제공하는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다. 예를 들어 도 3의 (B)에 나타난 바와 같이, 절연체(215)를 제공하지 않는 구성으로 하여도 좋다. 절연체(215)를 제공하지 않음으로써, 제조 비용을 낮출 수 있다.
- [0095] 또한 도 2의 (B)에는 도전체(231a_1)의 상면이 도전체(231a_2)의 하면과 접하고, 도전체(231b_1)의 상면이 도전체(231b_2)의 하면과 접하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도 4에 나타난 바와 같이, 도전체(231a_1)와 도전체(231a_2)가 도전체(235b)를 통하여 접속되고, 도전체(231b_1)와 도전체(231b_2)가 도전체(235c)를 통하여 접속되어도 좋다.
- [0096] 도 4에 나타난 반도체 장치에 있어서, 도전체(235a), 도전체(235b), 및 도전체(235c)는 절연체(287)에 형성된 개구의 내부에 제공된다. 도전체(235b)는 도전체(231a_1)의 상면과 접하는 영역과, 도전체(231a_2)의 하면과 접하는 영역을 가진다. 도전체(235c)는 도전체(231b_1)의 상면과 접하는 영역과, 도전체(231b_2)의 하면과 접하는 영역을 가진다.
- [0097] 또한 도 2의 (B)에는 반도체 장치가 가지는 구성 요소를 단층 구조로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 반도체 장치가 가지는 구성 요소의 일부를 적층 구조로 하여도 좋다.
- [0098] 또한 도 3의 (B)에는 트랜지스터(201) 내지 트랜지스터(203)와 중첩되는 영역의 절연체(216b)에 각각 도전체(205b)가 제공되는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다.
- [0099] 예를 들어, 도 5의 (A)에 나타난 바와 같이, 트랜지스터(202)와 중첩되는 영역의 절연체(216b)에 도전체(205b)를 제공하지 않는 구성으로 하여도 좋다. 이때, 도전체(205c)는 트랜지스터(202)와 중첩되는 영역을 가진다. 도전체(205c)는 용량 소자(101)와 트랜지스터(202)에 의하여 공유된다. 도전체(205c)는 용량 소자(101)의 다른 쪽 전극으로서 기능하는 영역과, 트랜지스터(202)의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 상기 구성으로 함으로써, 도전체(205c)와 도전체(235a)가 중첩되는 영역의 면적 및 도전체(205c)와 금속 산화물(230b)이 중첩되는 영역의 면적을 크게 할 수 있다. 따라서 용량 소자(101)의 용량값을 크게 할 수 있다. 또한 트랜지스터(202)의 채널 형성 영역이 2개의 게이트 전극에 끼워지는 구성으로 함으로써, 트랜지스터(202)에 있어서, 정전기 등, 외부에서 발생하는 전기장이 금속 산화물(230b)에 작용하지 않도록 할 수 있다. 따라서, 외부의 전기장의 영향으로 인하여 트랜지스터의 전기적인 특성이 변동되는 것을 억제할 수 있다. 따라서 반도체 장치의 신뢰성을 높일 수 있다.
- [0100] 또는 예를 들어 도 5의 (B)에 나타난 바와 같이, 절연체(216b)에 도전체(205b)를 제공하지 않는 구성으로 하여도 좋다. 이때, 도전체(205c)는 트랜지스터(201) 내지 트랜지스터(203)와 중첩되는 영역을 가진다. 도전체(205c)는 용량 소자(101)와 트랜지스터(201) 내지 트랜지스터(203)에 의하여 공유된다. 도전체(205c)는 용량 소자(101)의 다른 쪽 전극으로서 기능하는 영역과, 트랜지스터(201) 내지 트랜지스터(203) 각각의 제 2 게이트 전극으로서 기능하는 영역을 가진다. 상기 구성으로 함으로써, 도전체(205c)와 도전체(235a)가 중첩되는 영역의 면적, 도전체(205c)와 금속 산화물(230a)이 중첩되는 영역, 및 도전체(205c)와 금속 산화물(230b)이 중첩되

는 영역의 면적을 크게 할 수 있다. 예를 들어, 평면에서 보았을 때, 금속 산화물의 전체가 도전체(205)와 중첩될 수 있다. 이에 의하여, 용량 소자(101)의 용량을 크게 하여, 트랜지스터(201) 내지 트랜지스터(203)의 외부에서 발생하는 전기장의 영향으로 인한 전기적인 특성의 변동을 적절하게 억제할 수 있다.

- [0101] 한편, 도 2의 (B)에 나타낸 반도체 장치는 트랜지스터(201) 내지 트랜지스터(203)의 제 2 게이트 전극의 전위를 용량 소자(101)의 다른 쪽 전극의 전위와 연동시키지 않고 독립적으로 변화시킬 수 있다. 따라서, 트랜지스터(201) 내지 트랜지스터(203)의 문턱 전압(Vth)을 제어할 수 있다.
- [0102] 도 6에 나타낸 반도체 장치는 도전체(205), 금속 산화물(230), 도전체(242), 절연체(271), 절연체(250), 도전체(260), 도전체(231a) 내지 도전체(231d), 및 도전체(235a) 각각이 적층 구조를 가진다. 또한 구성 요소의 바람직한 적층 구조에 대해서는 후술한다.
- [0103] 여기서, 도 6에서의 트랜지스터(201), 접속 전극(240a), 및 그 근방의 확대도를 도 7의 (B)에 나타내었다. 도 7의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다. 도 7의 (B)의 단면도에 대응하는 상면도를 도 7의 (A)에 나타내었다. 이때 도 7의 (B)는 도 7의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(201)의 채널 길이 방향의 단면도이기도 하다. 도 7의 (C)는 도 7의 (A)에서 일점쇄선 B1-B2로 나타낸 부분의 단면도이고, 트랜지스터(201)의 채널 폭 방향의 단면도이기도 하다. 또한 도 7의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0104] 도 7의 (C)에 나타낸 바와 같이, 금속 산화물(230a)의 상면 및 측면, 그리고 절연체(224a)의 측면은 절연체(250) 및 도전체(260)로 덮여 있다. 절연체(250) 및 도전체(260)는 절연체(280) 및 절연체(275)가 가지는 개구(258a)의 내부에 제공된다. 또한 트랜지스터(201)의 채널 폭 방향의 단면에서 보았을 때, 금속 산화물(230a)의 측면과 금속 산화물(230a)의 상면 사이에 만곡면을 가져도 좋다. 즉 상기 측면의 단부와 상기 상면의 단부는 만곡하여도 좋다(이하 둥근 형상이라고도 함). 또한 금속 산화물(230a)은 제 1 게이트 전극으로서 기능하는 영역을 가지는 도전체(260)로 상면뿐만 아니라 측면도 덮여 있다.
- [0105] 또한 도 7의 (A)에 나타낸 바와 같이, 금속 산화물(230a)의 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 도전체(205a)를 제공하는 것이 좋다. 특히 도 7의 (C)에 나타낸 바와 같이, 도전체(205a)는 금속 산화물(230a)의 채널 폭 방향의 단부보다 외측의 영역으로도 연장되어 있는 것이 바람직하다. 즉 금속 산화물(230a)의 채널 폭 방향에서의 측면의 외측에서 도전체(205a)와 도전체(260)는 절연체를 개재하여 중첩되어 있는 것이 바람직하다. 상기 구성을 가짐으로써 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계와, 제 2 게이트 전극으로서 기능하는 도전체(205a)의 전계에 의하여 금속 산화물(230a)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.
- [0106] 본 명세서 등에서, 적어도 제 1 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 상이하다. 한편, 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조의 1종류로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면)을 감싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.
- [0107] 본 실시형태의 반도체 장치가 가지는 트랜지스터를 상기 S-channel 구조로 함으로써, 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싸는 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다. 트랜지스터를 S-channel 구조, GAA 구조, 또는 LGAA 구조로 함으로써, 산화물과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물의 벌크 전체로 할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류 향상 또는 트랜지스터의 전계 효과 이동도 향상이 기대된다.
- [0108] 또한 도 7의 (B)에 나타낸 트랜지스터는 S-channel 구조의 트랜지스터이지만 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태에 사용할 수 있는 트랜지스터 구조로서는 플레이너형 구조, Fin형 구조, 및 GAA 구조에서 선택되는 어느 하나 또는 복수로 하여도 좋다.
- [0109] 접속 전극(240a)은 도전체(242a)의 상면의 일부와 접하는 영역과, 도전체(242a)의 측면의 일부와 접하는 영역을 가진다. 또한 접속 전극(240b)은 도전체(242e)의 상면의 일부와 접하는 영역과, 도전체(242e)의 측면의 일부와

접하는 영역을 가진다. 구체적으로는, 도전체(231a)는 도전체(242a)의 상면의 일부와 접하는 영역과, 도전체(242a)의 측면의 일부와 접하는 영역을 가진다. 또한 도전체(231b)는 도전체(242e)의 상면의 일부와 접하는 영역과, 도전체(242e)의 측면의 일부와 접하는 영역을 가진다. 상기 구성으로 함으로써, 접속 전극(240a)과 도전체(242a) 사이 및 접속 전극(240b)과 도전체(242e) 사이 각각에 별도로 접속용 전극을 제공할 필요가 없어, 메모리 셀 어레이의 점유 면적을 저감할 수 있다. 또한 메모리 셀의 집적도가 향상되어 기억 용량을 높일 수 있다. 또한 접속 전극(240a)이 도전체(242a)의 복수의 면과 접촉하면, 접속 전극(240a)과 도전체(242a) 간의 접촉 저항을 저감할 수 있다. 또한 접속 전극(240b)이 도전체(242e)의 복수의 면에 접촉함으로써, 접속 전극(240b)과 도전체(242e) 간의 접촉 저항을 저감할 수 있다. 또한 접속용 전극을 제공할 필요가 없어, 반도체 장치의 제작 공정의 공정 수를 줄일 수 있다.

[0110] 또한 도 7의 (A)에서는, 도전체(231a)의 상면 형상이 모서리가 둥그스름한 사각형인 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전체(231a)의 상면 형상은 원형, 타원형, 다각형, 또는 모서리가 둥그스름한 다각형이어도 좋다. 여기서, 다각형이란 삼각형, 사각형, 오각형, 및 육각형 등을 가리킨다.

[0111] 또한 본 명세서 등에 있어서 어떤 구성 요소의 상면 형상이란, 평면에서 보았을 때의 상기 구성 요소의 윤곽 형상을 가리킨다. 또한 "평면에서 보았을 때"란, 상기 구성 요소의 피형성면 또는 상기 구성 요소가 형성되는 지지체(예를 들어 기판)의 표면의 법선 방향에서 구성 요소를 보는 것을 말한다.

[0112] 도 7의 (B)에 나타난 바와 같이, 도전체(231a)의 측면과 접하여 절연체(232a)가 제공된다. 구체적으로는, 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)의 개구의 내벽과 접하여 절연체(232a)가 제공되고, 도전체(242a)의 상면의 일부 및 측면의 일부, 그리고 절연체(232a)의 측면과 접하여 도전체(231a)가 제공된다. 바꿔 말하면, 도전체(231a)는 절연체(232a)를 개재하여 상기 개구의 내부를 매립하도록 제공된다. 절연체(232a)는 상기 개구의 내부에서 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(271a), 금속 산화물(230a), 절연체(224a), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212) 중 어느 하나 또는 복수의 측면과 접하는 영역을 가진다.

[0113] 여기서, 도 6에서의 트랜지스터(202), 트랜지스터(203), 접속 전극(240b), 및 그 근방의 확대도를 도 8의 (B)에 나타내었다. 도 8의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다. 도 8의 (B)의 단면도에 대응하는 상면도를 도 8의 (A)에 나타내었다. 이때 도 8의 (B)는 도 8의 (A)에서 일점쇄선 A5-A6으로 나타난 부분의 단면도이고, 트랜지스터(202) 및 트랜지스터(203)의 채널 길이 방향의 단면도이기도 하다. 또한 도 8의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 트랜지스터(203)의 채널 폭 방향의 단면도에 대해서는 도 7의 (C)의 단면도를 참조할 수 있다. 또한 트랜지스터(202)의 채널 폭 방향의 단면도는 도전체(260)가 채널 폭 방향으로 연장되지 않는 점을 제외하고, 도 7의 (C)의 단면도를 참조할 수 있다.

[0114] 도 8의 (B)에 나타난 바와 같이, 도전체(231b)의 측면과 접하여 절연체(232b)가 제공된다. 구체적으로는, 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)의 개구의 내벽과 접하여 절연체(232b)가 제공되고, 도전체(242e)의 상면의 일부 및 측면의 일부, 그리고 절연체(232b)의 측면에 접하여 도전체(231b)가 제공된다. 바꿔 말하면, 도전체(231b)는 절연체(232b)를 개재하여 상기 개구의 내부를 매립하도록 제공된다. 절연체(232b)는 상기 개구의 내부에서 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(271e), 금속 산화물(230b), 절연체(224b), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212) 중 어느 하나 또는 복수의 측면과 접하는 영역을 가진다.

[0115] 여기서, 도 8의 (A)의 상면도에서 도전체(242c), 도전체(242d), 도전체(242e), 및 금속 산화물(230b)을 포함하는 상면도를 도 8의 (C)에 나타내었다. 또한 도 8의 (C)에서는 도전체(260) 및 접속 전극(240b) 각각의 윤곽을 점선으로 나타내었다.

[0116] 도 8의 (C)에 나타난 바와 같이, 금속 산화물(230b)은 도전체(242c)와 중첩되며 제 1 방향으로 연장되는 제 1 영역과, 트랜지스터(202)가 가지는 도전체(260)와 중첩되는 제 2 영역과, 도전체(242d)와 중첩되는 제 3 영역과, 도전체(242e)와 중첩되는 제 4 영역을 가진다. 바꿔 말하면, 도전체(242c)는 금속 산화물(230b)과 중첩되는 영역을 가지고, 도전체(242d)는 금속 산화물(230b)과 중첩되는 영역을 가지고, 도전체(242e)는 금속 산화물(230b)과 중첩되는 영역을 가진다.

[0117] 제 1 영역에 있어서, 금속 산화물(230b)의 단부는 도전체(242c)의 단부와 일치한다. 또한 제 1 영역은 트랜지스터(202)의 채널 폭 방향(Y방향)으로 연장되는 영역을 가진다. 즉, 제 1 방향은 Y방향이다. 또한 도전체(242c)는 Y방향으로 연장되는 영역을 가진다. 따라서 도전체(242c)는 배선으로서도 기능할 수 있다. 또한 도

전체(242c)의 배선으로서 기능하는 영역의 아래쪽에 금속 산화물(230b)이 제공된다.

- [0118] 또한 제 3 영역에 있어서, 금속 산화물(230b)의 단부는 도전체(242d)의 단부와 일치한다. 또한 제 4 영역에 있어서, 금속 산화물(230b)의 단부는 도전체(242e)의 단부와 일치한다.
- [0119] 여기서, 접속 전극(240a)의 일부 및 그 근방의 확대도를 도 9의 (A) 및 (B)에 나타내었다. 도 9의 (A)는 채널 폭 방향의 접속 전극(240a)의 일부 및 그 근방의 확대도이다. 도 9의 (B)는 채널 길이 방향의 접속 전극(240a)의 일부 및 그 근방의 확대도이고, 도 7의 (B)에서의 접속 전극(240a)의 일부 및 그 근방의 확대도이기도 하다.
- [0120] 도 9의 (B)에 나타낸 바와 같이, 절연체(232a)는 영역(237a), 영역(238a), 및 영역(239a)을 가진다. 영역(237a)은 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271a) 중 어느 하나 또는 복수와 접하는 영역이다. 영역(238a)은 금속 산화물(230a), 절연체(224a), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212) 중 어느 하나 또는 복수의 측면과 접하는 영역이다. 영역(239a)은 영역(237a)과 영역(238a) 사이의 영역이다. 도 9의 (B)에서 절연체(232a)는 도전체(231a)가 제공되는 개구의 내부에서, 절연체(280) 및 절연체(275) 각각의 측면과 접한다.
- [0121] 또한 도 9의 (B)에서는 접속 전극(240a)에 포함되는, 도전체(242a)의 측면과 접하는 영역의 도전체(231a)의 폭을 폭 W1로 한다. 바꿔 말하면, 폭 W1은 도전체(242a) 사이의 거리이다. 또한 접속 전극(240a)에 포함되는, 영역(237a)에서의 절연체(232a)의 측면과 접하는 영역의 도전체(231a)의 폭을 폭 W2로 한다. 바꿔 말하면, 폭 W2는 영역(237a)에서의 절연체(232a)의 측면 사이의 거리이다.
- [0122] 도 9의 (B)에 나타낸 바와 같이, 트랜지스터(201)의 채널 길이 방향의 단면에서 보았을 때, 폭 W2는 폭 W1보다 큰 것이 바람직하다. 상기 구성에 의하여, 접속 전극(240a)은 도전체(242a)의 상면의 적어도 일부와 접한다. 따라서 접속 전극(240a)과 도전체(242a)가 접한 영역의 면적을 크게 할 수 있다. 접속 전극(240b)에 있어서도 같은 구성으로 하는 것이 좋다. 또한 본 명세서 등에서는 접속 전극(240)과 도전체(242)의 콘택트를 톱 사이드 콘택트(Top Side Contact)라고 부르는 경우가 있다.
- [0123] 바꿔 말하면, 상면에서 보았을 때, 접속 전극(240a)이 제공되는 개구는 도전체(242a)와 중첩되는 영역을 가지는 것이 바람직하다. 상기 구성에 의하여, 접속 전극(240a)은 도전체(242a)의 상면의 적어도 일부와 접한다. 마찬가지로, 상면에서 보았을 때, 접속 전극(240b)이 제공되는 개구는 도전체(242e)와 중첩되는 영역을 가지는 것이 바람직하다. 상기 구성에 의하여, 접속 전극(240b)은 도전체(242e)의 상면의 적어도 일부와 접한다.
- [0124] 또한 영역(238a)에서의 절연체(232a)의 최상부는 도전체(242a)의 상면보다 아래쪽에 위치하는 것이 바람직하다. 상기 구성으로 함으로써, 도전체(231a)가 도전체(242a)의 측면의 적어도 일부와 접할 수 있다. 또한 영역(238a)에서의 절연체(232a)는 금속 산화물(230a)의 측면과 접하는 영역을 가지는 것이 바람직하다. 상기 구성으로 함으로써, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(231a)를 통하여 금속 산화물(230a)에 혼입하는 것을 억제할 수 있다.
- [0125] 상술한 도전체(231a), 도전체(242a), 및 절연체(232a)의 위치 관계는 도전체(231b), 도전체(242e), 및 절연체(232b)에도 적용된다. 따라서, 상기 도전체(231a), 도전체(242a), 및 절연체(232a)는 각각 도전체(231b), 도전체(242e), 및 절연체(232b)라고 바꿔 읽을 수 있다. 또한 절연체(232b)는 영역(237a)에 상당하는 영역, 영역(238a)에 상당하는 영역, 및 영역(239a)에 상당하는 영역을 가진다. 예를 들어, 절연체(232b)는 도전체(231b)가 제공되는 개구의 내부에 있어서, 절연체(280) 및 절연체(275) 각각의 측면과 접한다.
- [0126] 여기서, 도 6에서의 용량 소자(101) 및 그 근방의 확대도를 도 10의 (B)에 나타내었다. 도 10의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다. 도 10의 (B)의 단면도에 대응하는 상면도를 도 10의 (A)에 나타내었다. 이때 도 10의 (B)는 도 10의 (A)에서 일점쇄선 A7-A8로 나타낸 부분의 단면도이고, 트랜지스터(201)의 채널 길이 방향의 단면도이기도 하다. 또한 도 10의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0127] 도 10의 (A)에 나타낸 바와 같이, 도전체(205c)는 도전체(235a)와 중첩되는 영역을 가진다. 또한 도전체(205c)는 Y방향으로 연장되어 제공되어 있다. 즉, 금속 산화물(230b)의 제 1 영역이 연장되는 제 1 방향은 도전체(205c)가 연장되는 방향과 평행하다. 또한 도 10의 (B)에 나타낸 바와 같이, 도전체(205c)는 도전체(205c1)와, 도전체(205c1) 위의 도전체(205c2)의 2층 적층 구조로 하여도 좋다. 또한 도전체(205c)는 도전체(205b)와 같은 재료 및 같은 공정으로 형성할 수 있다. 따라서 도전체(205c1)는 도전체(205b1)와 같은 도전성 재료를 가지는

것이 바람직하다. 도전체(205c2)는 도전체(205b2)와 같은 도전성 재료를 가지는 것이 바람직하다.

- [0128] 다음으로 본 실시형태의 반도체 장치가 가지는 트랜지스터, 용량 소자, 및 접속 전극에 대하여 자세히 설명한다.
- [0129] 금속 산화물(230)에는, 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 또한 반도체로서 기능하는 금속 산화물은 밴드 갭이 2.0eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다.
- [0130] 금속 산화물(230)로서 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 또한 금속 산화물(230)로서 예를 들어 인듐, 원소 M, 및 아연 중에서 선택되는 2개 또는 3개를 포함한 금속 산화물을 사용하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 또한 인듐, 원소 M, 및 아연을 포함한 금속 산화물을 In-M-Zn 산화물이라고 표기하는 경우가 있다.
- [0131] 도 2의 (B)에서는 금속 산화물(230)을 단층으로 하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 금속 산화물(230)은 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 도 7의 (B) 및 도 8의 (B)에 나타낸 바와 같이, 금속 산화물(230)을 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 2 금속 산화물의 2층 적층 구조로 하여도 좋다. 여기서, 금속 산화물(230a)은 제 1 금속 산화물로서의 금속 산화물(230a1)과, 제 2 금속 산화물로서의 금속 산화물(230a2)을 가진다. 금속 산화물(230b)은 제 1 금속 산화물로서의 금속 산화물(230b1)과, 제 2 금속 산화물로서의 금속 산화물(230b2)을 가진다.
- [0132] 금속 산화물(230)을 2층 이상의 적층 구조로 하는 경우, 금속 산화물(230)은 화학 조성이 상이한 복수의 산화물 층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 도 7의 (B) 및 도 8의 (B)에 나타낸 바와 같이, 금속 산화물(230)을 2층의 적층 구조로 하는 경우, 제 1 금속 산화물로서 사용하는 금속 산화물에서, 주성분인 금속 원소에 대한 원소 M의 원자수비가 제 2 금속 산화물로서 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 제 1 금속 산화물에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비가 제 2 금속 산화물에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 상기 구성으로 함으로써, 제 1 금속 산화물보다 아래쪽에 형성된 구조물로부터 제 2 금속 산화물에 대한 불순물 및 산소 중 적어도 한쪽의 확산을 억제할 수 있다.
- [0133] 또한 제 2 금속 산화물에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비가 제 1 금속 산화물에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 상기 구성으로 함으로써 트랜지스터는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0134] 또한 제 1 금속 산화물과 제 2 금속 산화물이 산소 이외에 공통된 원소를 주성분으로서 포함함으로써 제 1 금속 산화물 및 제 2 금속 산화물의 계면에서의 결함 준위 밀도를 낮게 할 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0135] 구체적으로는 제 1 금속 산화물로서 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성을 가지는 금속 산화물을 사용할 수 있다. 또한 제 2 금속 산화물로서 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성, 또는 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 $\pm 30\%$ 의 범위를 포함하는 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다. 또한 제 1 금속 산화물 및 제 2 금속 산화물에 사용할 수 있는 금속 산화물의 조성은 상기에 한정되지 않는다. 예를 들어 제 1 금속 산화물에 사용할 수 있는 금속 산화물의 조성을 제 2 금속 산화물에 적용하여도 좋다. 마찬가지로 제 2 산화물에 사용할 수 있는 금속 산화물의 조성을 제 1 금속 산화물에 적용하여도 좋다. 또한 금속 산화물(230)을 단층으로 하는 경우, 금속 산화물(230)로서 제 1 금속 산화물 또는 제 2 금속 산화물에 사용할 수 있는 금속 산화물을 적용하여도 좋다.
- [0136] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타겟의 원자수비이어도 좋다.
- [0137] 금속 산화물(230)의 제 2 금속 산화물은 트랜지스터의 채널 형성 영역과, 채널 형성 영역을 사이에 두도록 제공

되는 소스 영역 및 드레인 영역을 가진다. 채널 형성 영역의 적어도 일부는 도전체(260)와 중첩된다. 소스 영역은 한 쌍의 도전체(242) 중 한쪽과 중첩되고, 드레인 영역은 한 쌍의 도전체(242) 중 다른 쪽과 중첩된다. 또한 채널 형성 영역, 소스 영역, 및 드레인 영역은 각각 금속 산화물(230)의 제 2 금속 산화물뿐만 아니라 금속 산화물(230)의 제 1 금속 산화물에도 형성되어도 좋다.

[0138] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한 산소 결손 근방의 수소가 산소 결손에 들어가 결합(이하, V_{OH} 라고 부르는 경우가 있음)을 형성하여, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_{OH} 는 가능한 한 저감되어 있는 것이 바람직하다.

[0139] 한편, 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함한 절연체를 산화물 반도체의 근방에 제공하고 가열 처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소가 공급되어 산소 결손 및 V_{OH} 를 저감할 수 있다. 다만, 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 기판 면 내에서, 소스 영역 또는 드레인 영역에 공급되는 산소의 양의 편차가 생김으로써, 트랜지스터를 포함하는 반도체 장치의 특성에 편차가 생긴다. 또한 상기 절연체로부터 산화물 반도체에 공급되는 산소가 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체로 확산되면, 예를 들어 상기 도전체가 산화되어 도전성이 손상된 결과, 트랜지스터의 전기 특성 및 신뢰성에 악영향을 주는 경우가 있다.

[0140] 따라서, 산화물 반도체에 있어서 채널 형성 영역은 캐리어 농도가 저감되고 i형 또는 실질적으로 i형인 것이 바람직하고, 소스 영역 및 드레인 영역은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉 산화물 반도체의 채널 형성 영역의 산소 결손 및 V_{OH} 를 저감하는 것이 바람직하다. 또한 소스 영역 및 드레인 영역에 과잉량의 산소가 공급되지 않도록 하는 것, 그리고 소스 영역 및 드레인 영역의 V_{OH} 의 양이 과도하게 저감되지 않도록 하는 것이 바람직하다. 또한 도전체(260) 및 도전체(242) 등의 도전율이 저하되는 것을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 도전체(260) 및 도전체(242) 등의 산화를 억제하는 구성으로 하는 것이 바람직하다. 또한 산화물 반도체 내의 수소는 V_{OH} 를 형성할 수 있기 때문에, V_{OH} 의 양을 저감하기 위해서는 수소 농도를 저감할 필요가 있다.

[0141] 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나, 불순물 농도가 낮기 때문에, 캐리어 농도가 낮은 고저항 영역이다. 따라서 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0142] 또한 채널 형성 영역의 캐리어 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, $1 \times 10^{17} \text{ cm}^{-3}$ 미만, $1 \times 10^{16} \text{ cm}^{-3}$ 미만, $1 \times 10^{15} \text{ cm}^{-3}$ 미만, $1 \times 10^{14} \text{ cm}^{-3}$ 미만, $1 \times 10^{13} \text{ cm}^{-3}$ 미만, $1 \times 10^{12} \text{ cm}^{-3}$ 미만, $1 \times 10^{11} \text{ cm}^{-3}$ 미만, 또는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만인 것이 바람직하다. 또한 채널 형성 영역의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어 $1 \times 10^{-9} \text{ cm}^{-3}$ 로 할 수 있다.

[0143] 또한 금속 산화물(230)의 캐리어 농도를 낮추는 경우에는 금속 산화물(230) 내의 불순물 농도를 낮추고, 결합 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결합 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체(또는 금속 산화물)를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체(또는 금속 산화물)라고 하는 경우가 있다.

[0144] 또한 금속 산화물(230) 내의 불순물이란 예를 들어 금속 산화물을 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 금속 산화물(230)로서 산화물 반도체를 사용하는 경우, 금속 산화물(230)의 불순물로서 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘 등을 들 수 있다.

[0145] 소스 영역 및 드레인 영역은 산소 결손이 많거나 불순물 농도가 높기 때문에, 캐리어 농도가 높은 저저항 영역이다. 즉, 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높은 n형 영역(저저항 영역)이다.

[0146] 또한 금속 산화물(230)에서는, 각 영역의 경계를 명확하게 검출하기가 어려운 경우가 있다. 각 영역 내에서 검

출되는 금속 원소, 그리고 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 채널 형성 영역에 가까운 영역일수록 불순물 원소의 농도가 감소되어 있어도 좋다.

- [0147] 트랜지스터의 전기 특성을 안정시키기 위하여 금속 산화물(230) 내의 불순물 농도를 저감시키는 것이 유효하다. 또한 금속 산화물(230) 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다.
- [0148] 금속 산화물(230)의 제 2 금속 산화물에는 결정성을 가지는 산화물 반도체를 사용하는 것이 바람직하다. 결정성을 가지는 산화물 반도체로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor), nc-OS(nanocrystalline oxide semiconductor), 다결정 산화물 반도체, 단결정 산화물 반도체 등을 들 수 있다. 금속 산화물(230)의 제 2 금속 산화물로서 CAAC-OS 또는 nc-OS를 사용하는 것이 바람직하고, CAAC-OS를 사용하는 것이 특히 바람직하다.
- [0149] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리를 수행함으로써, 결정성이 더 높고 치밀한 구조를 가지는 CAAC-OS로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소의 확산을 더 저감할 수 있다.
- [0150] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 포함한 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 포함한 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0151] 또한 금속 산화물(230)의 제 2 금속 산화물로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써 소스 전극 또는 드레인 전극에 의하여 제 2 금속 산화물로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여 열 처리를 수행한 경우에도 제 2 금속 산화물로부터 산소가 추출되는 것을 억제할 수 있기 때문에, 트랜지스터는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다. 또한 도전체(242)의 도전율이 저하되는 것을 억제할 수 있다.
- [0152] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정(나노 결정이라고도 함)을 가진다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않기 때문에 막 전체에서 배향성이 보이지 않는다. 즉 금속 산화물(230)로서 nc-OS를 사용하는 경우, 금속 산화물(230) 내를 흐르는 캐리어의 방향에 상관없이 금속 산화물(230)의 막 특성이 일정하게 되므로, 트랜지스터의 전기 특성이 안정된다.
- [0153] 또한 산화물 반도체는 다양한 구조를 취하고, 각각이 다른 특성을 가진다. 금속 산화물(230)은 CAAC-OS, nc-OS, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체, 다결정 산화물 반도체, CAC-OS(cloud-aligned composite oxide semiconductor) 중 2종류 이상을 포함하여도 좋다.
- [0154] 또한 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 $2\theta=31^\circ$ 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다. 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 휘점(스팟)이 관측된다. 또한 어떤 스팟과 다른 스팟은 시료를 투과한 입사 전자선의 스팟(디렉트 스팟이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.
- [0155] 또한 nc-OS막에 대하여 나노 결정의 크기와 동등하거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 수행하면, 디렉트 스팟을 중심으로 하는 링 형상의 영역 내에서 복수의 스팟이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.
- [0156] 금속 산화물(230)은 트랜지스터(201)의 채널 형성 영역을 포함하는 반도체층이라고 바꿔 말할 수 있다. 또한 상기 반도체층에 적용할 수 있는 재료는 반도체로서 기능하는 금속 산화물(산화물 반도체)에 한정되지 않는다. 예를 들어, 상기 반도체층으로서, 단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘 등의 반도체를 사용하여도 좋고, 예를 들어 LTPS를 사용하여도 좋다.
- [0157] 또는 상기 반도체층에 반도체로서 기능하는 전이 금속 칼코게나이드를 사용하여도 좋고, 예를 들어 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 MoSe_2), 몰리브데넘 텔루륨(대표적으로는 MoTe_2),

황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 사용하여도 좋다.

- [0158] 채널 형성 영역에 산소를 공급하기 위하여 절연체(280)로서 과잉 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 상기 구성으로 함으로써 절연체(280)에 포함되는 산소를 금속 산화물(230)의 채널 형성 영역에 공급할 수 있다.
- [0159] 절연체(280)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 포함하는 산화 실리콘 등의 실리콘을 포함하는 산화물을 사용하는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 또한 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0160] 절연체(280)는 층간막으로서 기능하기 때문에, 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 상술한 실리콘을 포함하는 산화물은 유전율이 낮은 재료이기 때문에 바람직하다.
- [0161] 절연체(280) 내의 물, 수소 등의 불순물의 농도가 감소되어 있는 것이 바람직하다. 예를 들어 절연체(280)에는 산화 실리콘 또는 산화질화 실리콘 등의 실리콘을 포함하는 산화물을 포함하는 것이 바람직하다.
- [0162] 또한 절연체(280)의 개구부에 있어서, 절연체(280)의 측벽은 절연체(222)의 상면에 대하여 실질적으로 수직이어도 좋고, 테이퍼 형상을 가져도 좋다. 측벽을 테이퍼 형상으로 함으로써, 예를 들어 절연체(280)의 개구부에 제공되는 절연체(250)의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다. 또는 측벽을 절연체(222)의 상면에 대하여 실질적으로 수직으로 함으로써, 반도체 장치의 미세화 또는 고집적화를 실현할 수 있다.
- [0163] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공된 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(이하 테이퍼 각이라고 부르는 경우가 있음)이 90° 미만인 영역을 가진다. 또한 구조의 측면 및 기판 면은 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 실질적 평면 형상 또는 미세한 요철을 가지는 실질적 평면 형상이어도 좋다.
- [0164] 절연체(250)는 제 1 게이트 절연체로서 기능하는 영역을 가진다. 도 2의 (B)에는 절연체(250)가 단층인 구성을 나타내었지만, 본 발명은 이에 한정되지 않고, 2층 이상의 적층 구조를 가져도 좋다. 예를 들어 도 7의 (B) 및 도 8의 (B)에 나타낸 바와 같이, 절연체(250)를 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와, 절연체(250b) 위의 절연체(250c)의 3층의 적층 구조로 하여도 좋다.
- [0165] 채널 형성 영역에 산소를 공급하기 위하여 절연체(250b)로서 과잉 산소를 투과시키기 쉬운 절연체를 사용하는 것이 바람직하다. 상기 구성으로 함으로써 절연체(280)에 포함되는 산소를 절연체(250b)를 통하여 금속 산화물(230)의 채널 형성 영역에 공급할 수 있다.
- [0166] 절연체(250b)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 포함하는 산화 실리콘 등을 사용하는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 이 경우, 절연체(250b)는 적어도 산소와 실리콘을 포함한다.
- [0167] 절연체(250b) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0168] 절연체(250b)의 막 두께는 0.5nm 이상 20nm 이하로 하는 것이 바람직하고, 1nm 이상 15nm 이하로 하는 것이 더 바람직하다. 특히 미세한 트랜지스터(예를 들어 게이트 길이가 10nm 이하인 트랜지스터)를 제작하기 위해서는 절연체(250b)의 막 두께는 0.5nm 이상 10nm 이하로 하는 것이 바람직하고, 0.5nm 이상 5nm 이하로 하는 것이 더 바람직하다. 상기 경우, 절연체(250b)는 적어도 일부에서, 상술한 바와 같은 막 두께의 영역을 포함하면 좋다.
- [0169] 절연체(250a)는 절연체(250b)의 하면, 금속 산화물(230)의 상면, 및 금속 산화물(230)의 측면에 접하여 제공된다. 절연체(250a)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250a)가 산소에 대한 배리어성을 가짐으로써, 절연체(250b)에 포함되는 산소를 채널 형성 영역에 공급하고, 절연체(250b)에 포함되는 산소가 채널 형성 영역에 과잉으로 공급되는 것을 억제할 수 있다. 따라서 채널 형성 영역을 통하여 소스 영역 및 드레인 영역에 산소가 과잉으로 공급되어, 트랜지스터의 온 전류의 저하 또는 전계 효과 이동도의 저하를 일으키

는 것을 억제할 수 있다. 또한 열처리 등을 수행하였을 때, 금속 산화물(230)로부터 산소가 이탈되는 것을 억제하여, 금속 산화물(230)에서의 산소 결손의 형성을 억제할 수 있다. 이로써 트랜지스터의 전기 특성을 양호하게 하고 신뢰성을 향상시킬 수 있다.

- [0170] 또한 절연체(250a)는 절연체(280)와 절연체(250b) 사이에 제공되고, 절연체(280)가 가지는 개구의 측면과 접하는 영역을 가진다. 상기 구성으로 함으로써 절연체(280)에 포함되는 산소를 절연체(250b)에 공급하면서도 절연체(280)에 포함되는 산소가 절연체(250b)에 과잉으로 공급되는 것을 억제할 수 있다.
- [0171] 절연체(250a)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 바람직하다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄옥사이드), 하프늄 및 실리콘을 포함하는 산화물(하프늄실리케이트) 등을 사용할 수 있다. 또한 절연체(250a)로서 예를 들어 산화 마그네슘, 산화 갈륨, 갈륨 아연 산화물, 또는 인듐 갈륨 아연 산화물 등을 사용하여도 좋다. 또한 절연체(250a)로서 예를 들어 절연체(250b)에 비하여 산소를 투과시키기 어려운 재료를 사용하면 좋다.
- [0172] 본 실시형태에서는 절연체(250a)에 산화 알루미늄을 사용한다. 이 경우 절연체(250a)는 적어도 산소와 알루미늄을 포함한다.
- [0173] 절연체(250a)로서 적합하게 사용할 수 있는 산화 알루미늄은 수소(예를 들어 수소 원자 및 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가진다. 따라서 절연체(250b)에 포함되는 수소 등의 불순물이 금속 산화물(230)로 확산되는 것을 억제할 수 있다. 또한 절연체(250a)는 예를 들어 절연체(250b)보다 수소를 투과시키기 어려운 재료이면 좋다.
- [0174] 또한 절연체(250a)의 막 두께는 얇은 것이 바람직하다. 절연체(250a)의 막 두께를 얇게 함으로써, 미세한 트랜지스터를 제작하고, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또한 절연체(250a)의 막 두께를 얇게 함으로써, 절연체(250b)를 통하여 금속 산화물(230)에 공급되는 산소의 양이 감소하는 것을 억제할 수 있다. 절연체(250a)의 막 두께는 구체적으로는 0.1nm 이상 5.0nm 이하, 바람직하게는 0.5nm 이상 3.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 미만으로 한다. 이 경우, 절연체(250a)는 적어도 일부에서, 상술한 바와 같은 막 두께의 영역을 가지면 좋다. 예를 들어 절연체(250a)의 막 두께는 절연체(250b)의 막 두께보다 작은 영역을 가지는 것이 바람직하다. 이 경우, 절연체(250a)는 적어도 일부에서 절연체(250b)보다 막 두께가 얇은 영역을 가지면 좋다.
- [0175] 절연체(250a)의 막 두께를 상술한 바와 같이 얇게 하기 위해서는 원자층 퇴적(ALD: Atomic Layer Deposition) 방법을 사용하여 성막을 하는 것이 바람직하다. ALD법으로서는, 전구체 및 반응체의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라즈마 여기된 반응체를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라즈마를 사용함으로써 더 낮은 온도에서의 성막이 가능하게 되어 바람직한 경우가 있다.
- [0176] ALD법은 한 층씩 원자를 퇴적시킬 수 있기 때문에 극박막의 성막이 가능, 중형비가 높은 구조에 대한 성막이 가능, 핀홀 등의 결함이 적은 막의 성막이 가능, 피복성이 우수한 성막이 가능, 및 낮은 온도에서의 성막이 가능 등의 효과가 있다. 따라서 절연체(280) 등에 형성된 개구의 측면에 상술한 바와 같은 얇은 막 두께의 절연체(250a)를 높은 피복성으로 성막할 수 있다.
- [0177] 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로 ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 또는 오제 전자 분광법(AES: Auger Electron Spectroscopy)을 사용하여 수행할 수 있다.
- [0178] 또한 절연체(250a)는 절연체(250b)와 도전체(242) 사이에 제공되어 있다. 절연체(250a)의 막 두께를 얇게 함으로써, 도전체(242)의 측면이 산화되어, 도전체(242)와 절연체(250a) 사이에 절연체가 형성되는 경우가 있다. 바꿔 말하면, 트랜지스터는 도전체(242)와 절연체(250a) 사이에 상기 절연체를 가지는 경우가 있다.
- [0179] 상기 절연체는 도전체(242)를 형성할 때, 또는 도전체(242)를 형성한 후의 공정에서, 자기 정합(self-aligned)(셀프 얼라인이라고도 함)적으로 형성된다. 따라서, 도전체(242)와 도전체(260)의 기생 용량을 자기 정합적으로 저감할 수 있다.
- [0180] 상기 절연체는 도전체(242)에 포함되는 원소와 산소를 포함한다. 예를 들어, 도전체(242)로서 금속 원소를 포함하는 재료를 사용하는 경우, 상기 절연체는 상기 금속 원소와 산소를 포함한다. 또한 예를 들어 도전체(242)로서 금속 원소와 질소를 포함하는 도전성 재료를 사용하는 경우, 상기 절연체는 상기 금속 원소와, 산소와,

질소를 포함한다.

- [0181] 절연체(250c)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 이 경우, 도전체(260)에 포함되는 수소 등의 불순물이 절연체(250b) 및 금속 산화물(230)로 확산되는 것을 억제할 수 있다. 절연체(250c)로서 예를 들어 PEALD법으로 성장한 질화 실리콘을 사용하면 좋다. 이 경우, 절연체(250c)는 적어도 질소와 실리콘을 포함한다. 또한 절연체(250c)로서 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 또는 질화산화 실리콘 등을 사용하여도 좋다. 또한 절연체(250c)로서 예를 들어 절연체(250b)보다 수소를 투과시키기 어려운 재료를 사용하면 좋다.
- [0182] 또한 절연체(250c)는 산소에 대한 배리어성을 가져도 좋다. 절연체(250c)는 절연체(250b)와 도전체(260) 사이에 제공되어 있다. 따라서 절연체(250b)에 포함되는 산소가 도전체(260)로 확산되는 것이 방지되어, 도전체(260)가 산화되는 것을 억제할 수 있다. 또한 금속 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250c)로서 예를 들어 절연체(250b)에 비하여 수소를 투과시키기 어려운 재료를 사용하면 좋다.
- [0183] 절연체(250c)는 절연체(250a), 절연체(250b), 및 도전체(260)와 함께, 절연체(280) 등에 형성된 개구의 내부에 제공될 필요가 있다. 트랜지스터의 미세화를 실현하기 위하여 절연체(250c)의 막 두께는 얇은 것이 바람직하다. 절연체(250c)의 막 두께는 0.1nm 이상 5.0nm 이하, 바람직하게는 0.5nm 이상 3.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다. 이 경우, 절연체(250c)는 적어도 일부에서, 상술한 바와 같은 막 두께의 영역을 가지면 좋다. 또한 절연체(250c)의 막 두께는 절연체(250b)의 막 두께보다 얇은 것이 바람직하다. 이 경우, 절연체(250c)는 적어도 일부에서 절연체(250b)보다 막 두께가 얇은 영역을 포함하면 좋다.
- [0184] 또한 도 11에 나타낸 바와 같이, 절연체(250)는 절연체(250a) 내지 절연체(250d)의 4층 적층 구조를 가져도 좋다. 이때, 절연체(250d)는 절연체(250b)와 절연체(250c) 사이에 제공된다. 절연체(250d)로서 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 상기 구성으로 함으로써 절연체(250b)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다. 즉 금속 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250b)에 포함되는 산소로 인한 도전체(260)의 산화를 억제할 수 있다. 절연체(250d)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄알루미늄네이트), 하프늄 및 실리콘을 포함하는 산화물(하프늄실리케이트) 등을 사용할 수 있다. 본 실시형태에서는 절연체(250d)로서 산화 하프늄을 사용한다. 이 경우 절연체(250d)는 적어도 산소와 하프늄을 포함한다. 또한 절연체(250d)의 막 두께는 0.5nm 이상 5.0nm 이하, 바람직하게는 1.0nm 이상 5.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다. 이 경우, 절연체(250d)는 적어도 일부에서, 상술한 바와 같은 막 두께의 영역을 가지면 좋다.
- [0185] 또한 절연체(250b)에 산화 실리콘 또는 산화질화 실리콘 등을 사용하는 경우, 절연체(250d)에는 비유전율이 높은 high-k 재료인 절연성 재료를 사용하여도 좋다. 상기 구성으로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서 게이트 절연체의 물리적 막 두께를 유지하면서 트랜지스터 동작 시에 인가되는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하다. 따라서 절연체(250)의 절연 내압을 높일 수 있다.
- [0186] 또한 절연체(250d)로서 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 산화 하프늄 등의 절연체를 사용함으로써, 절연체(250d)는 절연체(250c)가 가지는 기능도 가질 수 있다. 이러한 경우, 절연체(250c)를 제공하지 않는 구성으로 함으로써 반도체 장치의 제작 공정을 간략화하여 생산성을 향상시킬 수 있다.
- [0187] 또한 본 명세서 등에서 배리어 절연체란, 배리어성을 가지는 절연체를 가리킨다. 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 가리킨다. 또는 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.
- [0188] 산소에 대한 배리어 절연체로서는 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물, 산화 마그네슘, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 및 질화산화 실리콘 등이 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물로서는 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트), 그리고 하프늄 및 실리콘을 포함한 산화물(하프늄 실리케이트) 등이 있다.
- [0189] 수소에 대한 배리어 절연체로서 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 산화물, 및 질화 실리콘 등의 질화물을 들 수 있다.
- [0190] 절연체(275)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)는 절연체(280)와 도전체(242) 사

이에 제공되어 있다. 상기 구성으로 함으로써, 절연체(280)에 포함되는 산소가 도전체(242)로 확산되는 것을 억제할 수 있다. 따라서 절연체(280)에 포함되는 산소에 의하여 도전체(242)가 산화되어 저항률이 증대되고 온전류가 저감되는 것을 억제할 수 있다. 또한 절연체(275)는 적어도 절연체(280)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(275)로서 질화 실리콘을 사용하는 것이 바람직하다. 이 경우, 절연체(275)는 적어도 질소와 실리콘을 포함한다.

- [0191] 트랜지스터가 가지는 절연체를 상기 구성으로 함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형으로 하고, 소스 영역 및 드레인 영역을 n형으로 할 수 있기 때문에, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또한 상기 구성으로 함으로써 미세화 또는 고집적화하여도 반도체 장치는 양호한 전기 특성을 가질 수 있다. 또한 트랜지스터를 미세화함으로써 고주파 특성을 향상시킬 수 있다. 구체적으로는 차단 주파수를 향상시킬 수 있다.
- [0192] 도전체(205a)는 금속 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 여기서 도전체(205a)는 절연체(216)에 형성된 개구부에 매립되어 제공되는 것이 바람직하다. 또한 도전체(205a)의 일부가 절연체(214)에 매립되는 경우가 있다.
- [0193] 도 2의 (B)에서는 도전체(205a)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(205a)는 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 7의 (B) 및 도 8의 (B)에 나타낸 바와 같이, 도전체(205a)는 도전체(205a1)와, 도전체(205a1) 위의 도전체(205a2)의 2층 적층 구조로 하여도 좋다.
- [0194] 도전체(205a)를 도전체(205a1)와 도전체(205a2)의 2층 적층 구조로 하는 경우, 도전체(205a1)는 절연체(216)에 형성된 개구부의 밑면 및 측벽과 접하여 제공된다. 도전체(205a2)는 도전체(205a1)에 형성된 오목부를 매립하도록 제공된다. 여기서 도전체(205a2)의 상면은 도전체(205a1)의 상면 및 절연체(216)의 상면 각각과 높이가 일치한다.
- [0195] 여기서 도전체(205a1)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , 또는 NO_2 등), 또는 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 포함하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 가지는 것이 바람직하다.
- [0196] 도전체(205a1)에 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205a2)에 포함되는 수소 등의 불순물이 절연체(216) 및 절연체(224) 등을 통하여 금속 산화물(230)로 확산되는 것을 억제할 수 있다. 또한 도전체(205a1)에 산소 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205a2)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 및 산화 루테튬이 있다. 도전체(205a1)는 상기 도전성 재료의 단층 구조 또는 적층 구조로 할 수 있다. 예를 들어, 도전체(205a1)는 질화 타이타늄을 포함하는 것이 바람직하다.
- [0197] 또한 도전체(205a2)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205a2)는 텅스텐을 포함하는 것이 바람직하다.
- [0198] 도전체(205a)는 제 2 게이트 전극으로서 기능할 수 있다. 이 경우 도전체(205a)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압(V_{th})을 제어할 수 있다. 특히, 도전체(205a)에 음의 전위를 인가함으로써, 트랜지스터의 V_{th} 를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(205a)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.
- [0199] 또한 도전체(205a)의 전기 저항률은 상기 도전체(205a)에 인가하는 전위를 고려하여 설정되고, 도전체(205a)의 막 두께는 상기 전기 저항률에 따라 설정된다. 또한 절연체(216)의 막 두께는 도전체(205a)의 막 두께와 거의 같다. 여기서, 도전체(205a)의 설계상 허용되는 범위에서 도전체(205a) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량이 저감되므로, 상기 불순물이 산화물(230)로 확산되는 것을 저감할 수 있다.
- [0200] 절연체(222) 및 절연체(224)는 제 2 게이트 절연체로서 기능한다.
- [0201] 절연체(222)는 수소(예를 들어 수소 원자 및 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(222)는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을

억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0202] 절연체(222)에는 절연성 재료인 알루미늄 및 hafnium 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 바람직하다. 상기 절연체로서 산화 알루미늄, 산화 hafnium, 또는 알루미늄 및 hafnium을 포함하는 산화물(hafnium알루미늄에이트)을 사용하는 것이 바람직하다. 또는 hafnium 및 zirconium을 포함하는 산화물을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 금속 산화물(230)로부터 기관 측으로의 산소의 방출 및 트랜지스터의 주변부로부터 금속 산화물(230)로의 수소 등 불순물의 확산을 억제하는 층으로서 기능한다. 따라서 절연체(222)를 제공함으로써, 수소 등의 불순물이 트랜지스터의 내측으로 확산되는 것을 억제하고, 금속 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 도전체(205a2)가 절연체(224) 및 금속 산화물(230)이 가지는 산소와 반응하는 것을 억제할 수 있다.

[0203] 또는 상기 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 zirconium을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 절연체(222)로서는 상기 절연체에 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 또는 질화 실리콘을 적층한 것을 사용하여도 좋다.

[0204] 또한 절연체(222)로서는 예를 들어 산화 알루미늄, 산화 hafnium, 산화 탄탈럼, 산화 zirconium, hafnium zirconium 산화물 등의 소위 high-k 재료를 포함하는 절연체의 단층 구조 또는 적층 구조로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행된다면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 절연체(222)로서 타이타늄산 지르콘산 연(PZT), 또는 타이타늄산 스트론튬($SrTiO_3$), 또는 (Ba,Sr)TiO₃(BST) 등 유전율이 높은 물질을 사용할 수 있는 경우도 있다.

[0205] 금속 산화물(230)과 접하는 절연체(224)는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다.

[0206] 또한 절연체(222) 및 절연체(224)가 각각 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어진 적층 구조에 한정되지 않고, 서로 다른 재료로 이루어진 적층 구조로 하여도 좋다.

[0207] 도전체(242) 및 도전체(260)에는 각각 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 상기 도전성 재료로서는 예를 들어 질소를 포함하는 도전성 재료 및 산소를 포함하는 도전성 재료가 있다. 이에 의하여 도전체(242) 및 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다. 도전체(242) 및 도전체(260)로서 금속 및 질소를 포함한 도전성 재료를 사용하는 경우, 도전체(242) 및 도전체(260)는 적어도 금속과 질소를 포함한다.

[0208] 도 2의 (B)에서는 도전체(242)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(242)는 2층 이상의 적층 구조로 하여도 좋다.

[0209] 예를 들어 도 7의 (B) 및 도 8의 (B)에서는, 도전체(242)를 제 1 도전체와, 제 1 도전체 위의 제 2 도전체의 2층 구조로 나타내었다. 도전체(242a)에 있어서, 제 1 도전체는 도전체(242a1)에 대응하고, 제 2 도전체는 도전체(242a2)에 대응한다. 도전체(242b)에 있어서, 제 1 도전체는 도전체(242b1)에 대응하고, 제 2 도전체는 도전체(242b2)에 대응한다. 도전체(242c)에 있어서, 제 1 도전체는 도전체(242c1)에 대응하고, 제 2 도전체는 도전체(242c2)에 대응한다. 도전체(242d)에 있어서, 제 1 도전체는 도전체(242d1)에 대응하고, 제 2 도전체는 도전체(242d2)에 대응한다. 도전체(242e)에 있어서, 제 1 도전체는 도전체(242e1)에 대응하고, 제 2 도전체는 도전체(242e2)에 대응한다.

[0210] 도전체(242)를 2층 적층 구조로 하는 경우, 금속 산화물(230)에 접하는 도전체(242)의 제 1 도전체에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 이 경우, 도전체(242)의 도전율이 저하되는 것을 억제할 수 있다. 또한 도전체(242)의 제 1 도전체에 수소를 흡수하기 쉬운(추출하기 쉬운) 재료를 사용하면, 금속 산화물(230)의 수소 농도를 저감할 수 있어 바람직하다.

[0211] 또한 도전체(242)의 제 2 도전체는 도전체(242)의 제 1 도전체보다 도전성이 높은 것이 바람직하다. 예를 들어 도전체(242)의 제 2 도전체의 막 두께를 도전체(242)의 제 1 도전체의 막 두께보다 두껍게 하는 것이 바람직하다.

[0212] 예를 들어, 도전체(242)의 제 1 도전체에 질소를 포함하는 도전성 재료를 사용하고, 도전체(242)의 제 2 도전체

에 텅스텐, 구리, 또는 알루미늄을 사용하는 것이 바람직하다. 이때, 도전체(242)의 제 1 도전체는 도전체(242)의 제 2 도전체보다 질소 농도가 높은 영역을 가진다. 구체적으로는 도전체(242)의 제 1 도전체로서 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(242)의 제 2 도전체로서 텅스텐을 사용할 수 있다.

- [0213] 도전체(242)의 도전율이 저하되는 것을 억제하기 위하여 금속 산화물(230)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용하는 것이 바람직하다. 특히 갈륨, 알루미늄, 및 주석 중에서 선택되는 하나 또는 복수와, 인듐과, 아연을 포함하는 금속 산화물을 사용하는 것이 바람직하다. CAAC-OS를 사용함으로써, 도전체(242)에 의한 금속 산화물(230)로부터의 산소 추출을 억제할 수 있다. 또한 도전체(242)의 도전율이 저하되는 것을 억제할 수 있다.
- [0214] 도전체(242)로서는, 예를 들어 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텅스텐을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 타이타늄 및 알루미늄을 포함하는 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 또는 란타넘과 니켈을 포함하는 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.
- [0215] 또한 예를 들어 금속 산화물(230)에 포함되는 수소가 도전체(242)로 확산되는 경우가 있다. 특히 도전체(242)에 탄탈럼을 포함하는 질화물을 사용함으로써, 예를 들어 금속 산화물(230)에 포함되는 수소는 도전체(242)로 확산되기 쉽고, 확산된 수소는 도전체(242)가 포함하는 질소와 결합되는 경우가 있다. 즉 예를 들어 금속 산화물(230) 등에 포함되는 수소는 도전체(242)에 흡수되는 경우가 있다.
- [0216] 도전체(260)는 상면이 절연체(250)의 상면 및 절연체(280)의 상면과 높이가 일치하도록 배치된다.
- [0217] 도전체(260)는 트랜지스터의 제 1 게이트 전극으로서 기능한다.
- [0218] 도 2의 (B)에서는 도전체(260)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(260)는 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 7의 (B) 및 도 8의 (B)에 나타난 바와 같이, 도전체(260)를 도전체(260a)와, 도전체(260a) 위의 도전체(260b)의 2층 적층 구조로 하여도 좋다. 이때 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다.
- [0219] 도전체(260)를 2층 적층 구조로 하는 경우, 도전체(260a)로서 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0220] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 또는 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0221] 또한 도전체(260a)가 산소 확산을 억제하는 기능을 가짐으로써, 예를 들어 절연체(280)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0222] 또한 도전체(260)는 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0223] 또한 트랜지스터에서는 도전체(260)가 예를 들어 절연체(280)에 형성된 개구를 채우도록 자기 정합적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 한 쌍의 도전체(242) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.
- [0224] 절연체(212), 절연체(214), 절연체(282), 및 절연체(283) 중 하나 또는 복수는 물, 수소 등의 불순물이 기관 측으로부터, 또는 트랜지스터의 위쪽으로부터 트랜지스터로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(212), 절연체(214), 절연체(282), 및 절연체(283) 중 하나 또는 복수는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 포함하는 것이

바람직하다. 또는 산소(예를 들어 산소 원자 및 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 포함하는 것이 바람직하다.

- [0225] 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)는 각각 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 포함하는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(212) 및 절연체(283)에, 보다 수소 배리어성이 높은 질화 실리콘을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(214) 및 절연체(282)는 수소를 포획 및 고착하는 기능이 높은, 산화 알루미늄 또는 산화 마그네슘 등을 포함하는 것이 바람직하다. 상기 구성으로 함으로써, 물, 수소 등의 불순물이 절연체(212) 및 절연체(214)를 통하여 기판 측으로부터 트랜지스터 측으로 확산되는 것을 억제할 수 있다. 또는 물, 수소 등의 불순물이 절연체(282) 및 절연체(283)보다 외측에 배치되어 있는 층간 절연막 등으로부터 트랜지스터 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(280) 등에 포함되는 산소가 절연체(282) 및 절연체(283)를 통하여 트랜지스터보다 위쪽으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터의 위아래를 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체로 둘러싸는 구조로 하는 것이 바람직하다.
- [0226] 절연체(216), 절연체(280), 절연체(285), 절연체(287), 절연체(181), 및 절연체(185)는 각각 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다.
- [0227] 예를 들어, 절연체(216), 절연체(280), 절연체(285), 절연체(287), 및 절연체(181), 절연체(185)는 각각 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 및 공공을 가지는 산화 실리콘 중 하나 또는 복수를 포함하는 것이 바람직하다.
- [0228] 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 및 공공을 포함하는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0229] 또한 절연체(216), 절연체(280), 절연체(285), 절연체(287), 절연체(181), 및 절연체(185)의 상면은 각각 평탄화되어도 좋다.
- [0230] 용량 소자(101)가 가지는 도전체(235a)는 도전체(205a), 도전체(242), 또는 도전체(260)에 사용할 수 있는 재료를 사용할 수 있다. 도전체(235a)는 ALD법 또는 CVD법 등 피복성이 높은 성막 방법을 사용하여 성막하는 것이 바람직하다.
- [0231] 도 2의 (B)에서는 도전체(235a)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(235a)는 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 10의 (B)에 나타낸 바와 같이, 도전체(235a)는 도전체(235a1)와, 도전체(235a1) 위의 도전체(235a2)를 가지는 것이 좋다. 예를 들어, 도전체(235a1)로서 ALD법을 사용하여 성막한 질화 타이타늄을 사용하고, 도전체(235a2)로서 CVD법을 사용하여 성막한 텅스텐을 사용할 수 있다. 또한 절연체(283)에 대한 텅스텐의 밀착성이 충분히 높은 경우에는, 도전체(235a)로서 CVD법을 사용하여 성막한 텅스텐의 단층 구조를 사용하여도 좋다.
- [0232] 용량 소자(101)가 가지는 절연체(215)에는 고유전율(high-k) 재료(비유전율이 높은 재료)를 사용하는 것이 바람직하다. 절연체(215)는 ALD법 또는 CVD법 등 피복성이 높은 성막 방법을 사용하여 성막하는 것이 바람직하다.
- [0233] 고유전율(high-k) 재료의 절연체로서는 예를 들어 알루미늄, 하프늄, 지르코늄, 및 갈륨 등에서 선택된 금속 원소를 1종류 이상 포함하는 산화물, 산화 질화물, 질화 산화물, 및 질화물이 있다. 또한 상기 산화물, 산화 질화물, 질화 산화물, 또는 질화물에 실리콘을 포함시켜도 좋다. 또한 상기 재료로 이루어지는 절연체를 적층하여 사용할 수도 있다.
- [0234] 고유전율(high-k) 재료의 절연체로서 예를 들어 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물, 알루미늄 및 하프늄을 포함하는 산화 질화물, 실리콘 및 하프늄을 포함하는 산화물, 실리콘 및 하프늄을 포함하는 산화 질화물, 실리콘 및 지르코늄을 포함하는 산화물, 실리콘 및 지르코늄을 포함하는 산화 질화물, 하프늄 및 지르코늄을 포함하는 산화물, 그리고 하프늄 및 지르코늄을 포함하는 산화 질화물을 사용할 수 있다. 이러한 high-k 재료를 사용함으로써, 누설 전류를 억제할 정도로 절연체(215)를 두껍게 하며, 용량 소자(101)의 정전 용량을 충분히 확보할 수 있다.
- [0235] 또한 상기 재료로 이루어지는 절연체를 적층하여 사용하는 것이 바람직하고, 고유전율(high-k) 재료와 상기 고

유전율(high-k) 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(215)로서는, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연체를 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 비교적 절연 내력이 큰 절연체를 적층하여 사용함으로써, 절연 내력이 향상되어 용량 소자(101)의 정전 파괴를 억제할 수 있다. 절연체를 적층하여 사용하는 경우, 대기에 노출시키지 않고 각각의 층을 성막(연속 성막이라고도 함)하는 것이 바람직하다. 예를 들어, ALD법을 사용하여 연속 성막할 수 있다.

[0236] 도전체(205c)는 도전체(205b)와 같은 재료 및 같은 공정으로 형성할 수 있다. 도전체(205b)는 도전체(205a)와 같은 재료 및 같은 공정으로 형성할 수 있다. 따라서 도전체(205c)는 도전체(205a) 또는 도전체(205b)와 같은 도전성 재료를 포함하는 것이 바람직하다.

[0237] 도 2의 (B)에서는 도전체(231)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(231)는 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 도 7의 (B) 및 도 8의 (B)에 나타난 바와 같이, 도전체(231)는 제 1 도전체와, 제 1 도전체 위의 제 2 도전체의 적층 구조로 하는 것이 바람직하다. 도전체(231a)에 있어서, 제 1 도전체는 도전체(231a1)에 대응하고, 제 2 도전체는 도전체(231a2)에 대응한다. 도전체(231b)에 있어서, 제 1 도전체는 도전체(231b1)에 대응하고, 제 2 도전체는 도전체(231b2)에 대응한다.

[0238] 예를 들어, 도 7의 (B) 및 도 8의 (B)에 나타난 바와 같이, 도전체(231)의 제 2 도전체가 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)에 형성된 개구의 내부에 제공되고, 도전체(231)의 제 1 도전체가 상기 개구와 제 2 도전체 사이에 위치하도록 제공하는 구조로 할 수 있다. 도전체(231)의 제 1 도전체는 도전체(242)의 상면 및 측면 중 적어도 일부와 접하는 영역을 가진다.

[0239] 도전체(231)의 제 1 도전체에는 물 및 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(231)의 제 1 도전체는 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 및 산화 루테튬 중 하나 또는 복수를 사용한 단층 구조 또는 적층 구조로 할 수 있다. 이에 의하여, 물 및 수소 등의 불순물이 도전체(231)를 통하여 금속 산화물(230)로 혼입하는 것을 억제할 수 있다.

[0240] 또한 도전체(231)는 배선으로서도 기능하기 때문에 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(231)의 제 2 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다.

[0241] 예를 들어 도전체(231)의 제 1 도전체로서 질화 타이타늄을 사용하고, 도전체(231)의 제 2 도전체로서 텅스텐을 사용하는 것이 바람직하다. 이 경우, 도전체(231)의 제 1 도전체는 타이타늄과 질소를 포함하고, 도전체(231)의 제 2 도전체는 텅스텐을 포함한다.

[0242] 절연체(232)는 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(271), 금속 산화물(230), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)에 접하여 제공된다. 절연체(232)로서는 절연체(275) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 예를 들어 절연체(232)로서는 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 상기 구성으로 함으로써, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(231)를 통하여 금속 산화물(230)에 혼입하는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 배리어성이 높기 때문에 적합하다. 또한 절연체(280)에 포함되는 산소가 도전체(231)에 흡수되는 것을 억제할 수 있다.

[0243] 또한 도 2의 (B)에서는 절연체(232)를 단층으로 하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 절연체(232)는 2층 이상의 적층 구조로 하여도 좋다.

[0244] 예를 들어 도 7의 (B) 및 도 8의 (B)에서는, 절연체(232)를 제 1 절연체와, 제 1 절연체 위의 제 2 절연체의 2층 구조로 나타내었다. 절연체(232a)에 있어서, 제 1 절연체는 절연체(232a1)에 대응하고, 제 2 절연체는 절연체(232a2)에 대응한다. 절연체(232b)에 있어서, 제 1 절연체는 절연체(232b1)에 대응하고, 제 2 절연체는 절연체(232b2)에 대응한다.

[0245] 절연체(232)를 도 7의 (B) 및 도 8의 (B)에 나타난 바와 같이 2층 적층 구조로 하는 경우, 절연체(280) 등의 개구의 내벽에 접하는 제 1 절연체와, 이의 내측의 제 2 절연체로서는 산소에 대한 배리어 절연막과, 수소에 대한 배리어 절연막을 조합한 것을 사용하는 것이 바람직하다. 예를 들어 제 1 절연체로서 ALD법으로 성막된 산화

알루미늄을 사용하고, 제 2 절연체로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 상기 구성으로 함으로써, 도전체(231)의 산화를 억제하고, 도전체(231)에 수소가 혼입되는 것을 저감할 수 있다.

- [0246] 도 12는 본 발명의 일 형태의 반도체 장치의 구성예를 나타낸 단면도이다. 도 12에 나타낸 반도체 장치는 도 1에 나타낸 구성의 아래에 예를 들어 트랜지스터(300)를 가지는 층이 제공된 예를 나타낸 것이다. 트랜지스터(300)는 예를 들어 절연체(210)보다 위층에 형성된 메모리 셀의 구동 회로에 제공할 수 있다. 또한 도 12에서의 절연체(210)보다 위층의 구성은 도 1과 같기 때문에 자세한 설명은 생략한다.
- [0247] 도 12에서는 트랜지스터(300)를 예시하였다. 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316)와, 게이트 절연체로서 기능하는 절연체(315)와, 기판(311)의 일부를 포함하는 반도체 영역(313)과, 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 것이어도 좋다. 기판(311)으로서는 예를 들어 단결정 실리콘 기판을 사용할 수 있다.
- [0248] 여기서, 도 12에 나타낸 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 덮도록 도전체(316)가 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체가 제공되어도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI(Silicon on Insulator) 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.
- [0249] 또한 도 12에 나타낸 트랜지스터(300)는 일례이고, 이 구조에 한정되지 않고 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용할 수 있다.
- [0250] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 여러 개 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그는 일체가 되어 있어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0251] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328) 등이 매립되어 있다. 또한 절연체(324) 및 절연체(326)에는 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 콘택트 플러그 또는 배선으로서 기능한다.
- [0252] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 예를 들어 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0253] OS 트랜지스터는 반도체 장치의 배선을 형성하는 BEOL(Back end of line) 공정 중에 스퍼터링법을 사용하여 형성할 수 있다. 따라서, 트랜지스터(300)의 위쪽에 직접 OS 트랜지스터를 형성할 수 있다.
- [0254] 도 13은 메모리 셀을 X방향으로 2개 배열한 예를 나타낸 단면도이다. 도 13에는 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(101)를 가지는 메모리 셀로서 각각 트랜지스터(201a), 트랜지스터(202a), 트랜지스터(203a), 및 용량 소자(101a)를 가지는 메모리 셀과, 트랜지스터(201b), 트랜지스터(202b), 트랜지스터(203b), 및 용량 소자(101b)를 가지는 메모리 셀을 나타내었다.
- [0255] 도 13에 나타낸 바와 같이, 접속 전극(240b)은 트랜지스터(203a)가 가지는 도전체(242e), 및 트랜지스터(203b)가 가지는 도전체(242e)와 전기적으로 접속될 수 있다. 따라서, 접속 전극(240b)은 예를 들어 X방향으로 인접한 2개의 메모리 셀에서 공유할 수 있다. 또한 접속 전극(240a)은 예를 들어 X방향으로 인접한 2개의 도전체(242a)와 전기적으로 접속될 수 있다. 따라서, 접속 전극(240a)도 예를 들어 X방향으로 인접한 2개의 메모리 셀에서 공유할 수 있다.
- [0256] 도 14의 (A) 및 (B)는 도 2의 (A) 등에 나타낸 구성을 가지는 반도체 장치의 일례를 나타낸 평면도이고, XY 평면의 구성예를 나타낸 것이다.
- [0257] 도 14의 (A)에는 도 2의 (A)에 나타낸 반도체 장치가 가지는 도전체의 일부 및 금속 산화물(230)을 나타내었다. 도 14의 (B)는 도 14의 (A)에서 도전체(242a) 내지 도전체(242e), 금속 산화물(230), 접속 전극(240a) 및 접속

전극(240b), 도전체(231c), 그리고 도전체(260)를 나타내었다. 또한 도 14의 (A) 및 (B)에서는 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(101)로 구성되는 메모리 셀을 이접체선으로 나타내었다. 즉, 도 14의 (A) 및 (B)는 메모리 셀을 Y방향으로 3개 배치한 예를 나타낸 상면도이다. 또한 도 14의 (A) 및 (B)에 있어서, 적어도 절연체는 생략하였다.

- [0258] 도 14의 (A) 및 (B)에 나타낸 바와 같이, 제 1 메모리 셀이 가지는 트랜지스터(202) 및 트랜지스터(203)의 금속 산화물(230b)과, 제 1 메모리 셀과 Y방향으로 인접한 제 2 메모리 셀이 가지는 트랜지스터(202) 및 트랜지스터(203)의 금속 산화물(230b)은 분리되지 않았다. 바꿔 말하면, Y방향으로 인접한 복수의 메모리 셀에 있어서, 트랜지스터(202) 및 트랜지스터(203)가 가지는 금속 산화물(230b)은 연결된 층으로서 제공된다.
- [0259] 상술한 바와 같이, X방향 및 Y방향 중 적어도 하나의 방향으로 복수의 메모리 셀이 배치됨으로써, 메모리 셀 어레이를 구성할 수 있다.
- [0260] <반도체 장치의 제작 방법예>
- [0261] 이하에서는 본 발명의 일 형태의 반도체 장치의 제작 방법예에 대하여 설명한다. 여기서는 도 6에 나타낸 반도체 장치를 제작하는 경우를 예로 들어 설명한다.
- [0262] 이하에서, 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 적절히 사용하여 성막할 수 있다.
- [0263] 또한 스퍼터링법으로서는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 또는 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막하는 경우에 사용된다.
- [0264] 또한 CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 및 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.
- [0265] 플라즈마 CVD법에 의하여, 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 또한 열 CVD법은 플라즈마를 사용하지 않기 때문에, 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 및 소자(트랜지스터 및 용량 소자 등) 등은 플라즈마로부터 전하를 받음으로써 차지 업하는 경우가 있다. 이때, 축적된 전하에 의하여 반도체 장치에 포함되는 배선, 전극, 또는 소자 등이 파괴되는 경우가 있다. 한편, 플라즈마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라즈마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라즈마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.
- [0266] 또한 ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라즈마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.
- [0267] CVD법 및 ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과는 다르다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 예를 들어 중형비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.
- [0268] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성을 가지는 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막을 하는 경우, 반응 또는 압력 조절에 걸리는 시간이 생략되기 때문에, 복수의 성막실을 사용하여 성막을 하는 경우보다 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0269] 또한 ALD법에서는, 복수 종류의 상이한 전구체를 동시에 도입함으로써, 임의의 조성을 가지는 막을 성막할 수 있다. 또는 복수 종류의 상이한 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성을 가지는 막을 성막할 수 있다.

- [0270] 우선, 기관(도시하지 않았음)을 준비하고, 상기 기관 위에 도전체(209a), 도전체(209b), 및 절연체(210)를 형성한다. 다음으로 도전체(209a), 도전체(209b), 및 절연체(210) 위에 절연체(212), 절연체(214)를 이 순서대로 성막한다(도 15의 (A)). 절연체(212) 및 절연체(214)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 본 실시형태에서는 절연체(212)로서 펄스 DC 스퍼터링법을 사용하여 질화 실리콘을 성막한다. 또한 절연체(214)로서, 펄스 DC 스퍼터링법을 사용하여 산화 알루미늄을 성막한다.
- [0271] 질화 실리콘과 같은, 물, 수소 등의 불순물이 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층에 포함되는 물, 수소 등의 불순물의 확산을 억제할 수 있다. 또한 절연체(212)로서 질화 실리콘 등 구리가 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층의 도전체(도전체(209a), 도전체(209b) 등)에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(212)를 통하여 위쪽으로 확산되는 것을 억제할 수 있다.
- [0272] 산화 알루미늄과 같은, 수소를 포획 또는 고착하는 기능이 높은 절연체를 사용함으로써, 절연체(216) 등에 포함되는 수소를 포획 또는 고착하고, 상기 수소가 금속 산화물(230)로 확산되는 것을 억제할 수 있다. 특히 절연체(214)에 비정질 구조를 가지는 산화 알루미늄 또는 비정질 구조의 산화 알루미늄을 사용함으로써, 더 효과적으로 수소를 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이 경우, 양호한 특성을 가지고, 신뢰성이 높은 트랜지스터 및 반도체 장치를 제작할 수 있다.
- [0273] 이어서, 절연체(214) 위에 절연체(216a)를 형성한다(도 15의 (B)). 본 실시형태에서는 절연체(216a)로서 펄스 DC 스퍼터링법을 사용하여 산화 실리콘을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트, 성막 속도, 및 막질을 향상시킬 수 있다.
- [0274] 절연체(212), 절연체(214), 및 절연체(216a)는 대기에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써, 절연체(212), 절연체(214), 및 절연체(216a)를 막 내의 수소를 저장하여 성막하고, 이에 더하여 각 성막 공정 사이에서 막 내에 수소가 혼입되는 것을 저장할 수 있다.
- [0275] 이어서, 절연체(216a)에 절연체(214)에 도달하는 개구(207a)를 형성한다(도 15의 (C)). 개구(207a)의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 개구(207a)의 형성에 의하여 절연체(214)의 일부가 제거되는 경우가 있다. 이때, 절연체(214)에는 개구(207a)와 중첩되는 영역에 오목부가 형성된다.
- [0276] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라즈마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라즈마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라즈마원을 포함하는 드라이 에칭 장치로서는 예를 들어 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭 장치를 사용할 수 있다.
- [0277] 이어서, 절연체(215)가 되는 절연막, 도전체(205a)가 되는 도전막을 이 순서대로 성막한다.
- [0278] 절연체(215)가 되는 절연막은 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다. 또한 상기 절연막은 high-k 재료를 사용하여 성막하는 것이 바람직하고, high-k 재료와, high-k 재료보다 절연 내력이 큰 재료의 적층 구조가 되도록 성막하는 것이 더 바람직하다. 본 실시형태에서는, 상기 절연막으로서 ALD법을 사용하여 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄을 이 순서대로 성막한다. 또는 상기 절연막으로서, ALD법을 사용하여 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄과, 산화 알루미늄을 이 순서대로 성막하여도 좋다.
- [0279] 도전체(205a)가 되는 도전막은 산소의 투과를 억제하는 기능을 가지는 도전막과, 도전체(205a)가 되는 도전막보다 전기 저항률이 낮은 도전막의 적층 구조로 하는 것이 바람직하다. 산소의 투과를 억제하는 기능을 가지는 도전막으로서 예를 들어 질화 탄탈럼, 질화 텅스텐, 및 질화 타이타늄 중 하나 또는 복수를 포함하는 것이 바람직하다. 또는 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전막과, 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 또는 몰리브데넘 텅스텐 합금의 적층 구조로 할 수 있다. 또한 전기 저항률이 낮은 도전막으로서 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 및 몰리브데넘 텅스텐 합금 중 하나 또

는 복수를 포함하는 것이 바람직하다.

- [0280] 본 실시형태에서는 도전체(205a)가 되는 도전막으로서, 아래층에 질화 타이타늄막을 성막하고, 위층에 텅스텐막을 성막한다. 도전체(205a)의 아래층에 금속 질화물을 사용함으로써, 예를 들어 절연체(216a)에 포함되는 산소로 인하여 도전체(205a)가 산화되는 것을 억제할 수 있다. 또한 도전체(205a)의 위층으로 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205a)로부터 외부로 확산되는 것을 억제할 수 있다.
- [0281] 다음으로, CMP 처리를 수행함으로써, 절연체(215)가 되는 절연막의 일부 및 도전체(205a)가 되는 도전막의 일부를 제거하여 절연체(216a)를 노출시킨다. 그 결과, 개구(207a)를 매립하도록, 절연체(215) 및 도전체(205a)가 형성된다(도 15의 (D)). 또한 상기 CMP 처리에 의하여 절연체(216a)의 일부가 제거되는 경우가 있다. 이에 의하여, 절연체(216a)를 평탄화할 수 있다.
- [0282] 또한 절연체(215)가 되는 절연막을 성막하지 않고, 도전체(205a)가 되는 도전막을 성막하고, CMP 처리를 수행함으로써, 도 3의 (B)에 나타낸 구성을 가지는 반도체 장치를 제작할 수 있다.
- [0283] 다음으로, 절연체(216a) 위, 절연체(215) 위, 및 도전체(205a) 위에 절연체(222)를 성막한다(도 15의 (E)). 본 실시형태에서는 절연체(222)로서 ALD법을 사용하여 산화 하프늄을 성막한다.
- [0284] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 온도는 250℃ 이상 650℃ 이하가 바람직하고, 300℃ 이상 500℃ 이하가 더 바람직하고, 320℃ 이상 450℃ 이하가 더 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하는 것이 바람직하다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0285] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하로 하는 것이 바람직하고, 0.1ppb 이하로 하는 것이 더 바람직하고, 0.05ppb 이하로 하는 것이 더 바람직하다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 예를 들어 절연체(222) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.
- [0286] 본 실시형태에서는, 가열 처리로서 절연체(222)의 성막 후에 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 예를 들어 절연체(222)에 포함되는 물 및 수소 등의 불순물을 제거할 수 있다. 또한 하프늄을 포함한 산화물을 절연체(222)에 사용하는 경우, 상기 가열 처리에 의하여 절연체(222)의 일부가 결정화되는 경우가 있다. 또한 가열 처리는 예를 들어 절연막(224f) 성막 후 등의 타이밍에 수행할 수도 있다.
- [0287] 다음으로 절연체(222) 위에 절연막(224f)을 성막한다(도 15의 (E)). 본 실시형태에서는 절연막(224f)으로서 스퍼터링법을 사용하여 산화 실리콘막을 성막한다. 수소를 포함한 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연막(224f) 내의 수소 농도를 감소시킬 수 있다. 절연막(224f)은 추후 공정에서 금속 산화물(230)과 접하기 때문에, 이와 같이 수소 농도가 감소되어 있는 것이 적합하다.
- [0288] 다음으로, 절연막(224f) 위에 금속 산화막(230f)을 성막한다(도 15의 (E)). 본 실시형태에서는 금속 산화막(230f)으로서, 아래층에 제 1 금속 산화막을 성막하고, 위층에 제 2 금속 산화막을 성막한다. 또한 제 1 금속 산화막 및 제 2 금속 산화막은 대기 환경에 노출시키지 않고 연속적으로 성막하는 것이 바람직하다. 대기에 개방하지 않고 성막함으로써, 제 1 금속 산화막 및 제 2 금속 산화막 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 제 1 금속 산화막과 제 2 금속 산화막의 계면 근방을 청정하게 유지할 수 있다. 본 실시형태에서는 제 1 금속 산화막 및 제 2 금속 산화막의 성막에는 스퍼터링법을 사용한다.
- [0289] 제 1 금속 산화막 및 제 2 금속 산화막을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소, 또는 산소와 비활성 기체의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 제 1 금속 산화막 및 제 2 금속 산화막을 스퍼터링법으로 성막하는 경우에는, 예를 들어 In-M-Zn 산화물 타깃을 사용할 수 있다.
- [0290] 특히 제 1 금속 산화막의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연막(224f)에 공급되는 경우가 있다. 따라서, 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상이 바람직하고, 80% 이상이 더 바람직하고, 100%가 더 바람직하다.

- [0291] 또한 제 2 금속 산화막을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30% 초과 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 신뢰성을 얻을 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 제 2 금속 산화막을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막을 수행함으로써, 상기 산화막의 결정성을 향상시킬 수 있다.
- [0292] 본 실시형태에서는 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 제 1 금속 산화막을 성막한다. 또한 In:Ga:Zn=1:1:1[원자수비]의 산화물 타깃 또는 In:Ga:Zn=1:1:1.2[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 제 2 금속 산화막을 성막한다. 또한 각 산화막은 금속 산화물(230)의 제 1 금속 산화물 및 제 2 금속 산화물에 요구되는 특성을 가지도록 성막 조건 및 원자수비를 적절히 선택함으로써 형성되는 것이 좋다.
- [0293] 또한 절연막(224f) 그리고 금속 산화막(230f)의 제 1 금속 산화막 및 제 2 금속 산화막을 대기에 노출시키지 않고 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하는 것이 바람직하다. 이 경우, 각 성막 공정 사이에서 절연막(224f) 그리고 금속 산화막(230f)의 제 1 금속 산화막 및 제 2 금속 산화막에 수소가 혼입되는 것을 저감할 수 있다.
- [0294] 다음으로 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 금속 산화막(230f)이 다결정화되지 않는 온도 범위에서 수행하면 좋다. 가열 처리의 온도는 250℃ 이상 650℃ 이하가 바람직하고, 400℃ 이상 600℃ 이하가 더 바람직하다.
- [0295] 또한 가열 처리의 분위기로서는, 절연체(222)의 성막 후에 수행하는 가열 처리에 적용할 수 있는 분위기와 같은 분위기를 들 수 있다.
- [0296] 또한 절연체(222)의 성막 후에 수행하는 가열 처리와 마찬가지로 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 금속 산화막(230f) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.
- [0297] 본 실시형태에서는, 가열 처리로서 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 이러한 산소 가스를 포함하는 가열 처리에 의하여, 금속 산화막(230f) 내의 탄소, 물, 수소 등의 불순물을 저감할 수 있다. 이와 같이 막 내의 불순물을 저감함으로써, 금속 산화막(230f)의 결정성을 향상시켜, 밀도가 더 높고 치밀한 구조로 할 수 있다. 이에 의하여, 금속 산화막(230f) 내의 결정 영역을 증대시켜, 금속 산화막(230f)에서의 결정성의 면 내 편차를 저감할 수 있다. 따라서 트랜지스터의 전기 특성의 면 내 편차를 저감할 수 있다. 따라서 트랜지스터의 전기 특성의 편차가 적은 반도체 장치를 제공할 수 있다.
- [0298] 또한 가열 처리를 수행함으로써, 절연체(216a), 절연막(224f), 및 금속 산화막(230f) 내의 수소가 절연체(222)로 이동하고, 절연체(222) 내에 흡수된다. 바꿔 말하면, 절연체(216a) 내, 절연막(224f) 내, 및 금속 산화막(230f) 내의 수소가 절연체(222)로 확산된다. 따라서 절연체(222) 내의 수소 농도는 증가되지만, 절연체(216a) 내, 절연막(224f) 내, 및 금속 산화막(230f) 내 각각의 수소 농도는 감소된다.
- [0299] 특히, 절연막(224f)을 가공하여 형성되는 절연체(224)는 트랜지스터(201) 내지 트랜지스터(203)의 게이트 절연체로서 기능하고, 금속 산화막(230f)을 가공하여 형성되는 금속 산화물(230a) 및 금속 산화물(230b)은 트랜지스터(201) 내지 트랜지스터(203)의 채널 형성 영역으로서 기능한다. 수소 농도가 저감된 절연막(224f) 및 금속 산화막(230f)을 사용하여 형성된 트랜지스터(201) 내지 트랜지스터(203)는 신뢰성이 양호하기 때문에 바람직하다.
- [0300] 이어서, 금속 산화막(230f) 위에 도전막(242f)을 성막한다(도 15의 (E)). 예를 들어, 도전막(242f)으로서 스퍼터링법을 사용하여 질화 탄탈륨막을 성막하고, 그 위에 스퍼터링법을 사용하여 텅스텐막을 성막하면 좋다. 또한 도전막(242f)을 성막하기 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전막(242f)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 금속 산화막(230f)의 표면에 흡착된 수분 및 수소를 제거하고, 또한 금속 산화막(230f) 내의 수분 농도 및 수소 농도를 감소시킬 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

- [0301] 다음으로, 도전막(242f) 위에 절연막(271f)을 성막한다(도 15의 (E)). 예를 들어, 절연막(271f)으로서 스퍼터링법에 의하여 질화 실리콘막을 성막하고, 그 위에 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다.
- [0302] 또한 도전막(242f) 및 절연막(271f)을 대기에 노출시키지 않고 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써, 도전막(242f) 및 절연막(271f) 각각의 막 내의 수소를 저감하여 성막하고, 이에 더하여 각 성막 공정 사이에서 막 내에 혼입되는 수소의 양을 저감할 수 있다.
- [0303] 다음으로, 절연막(271f) 위에 하드 마스크(291)가 되는 막을 성막하고, 상기 막 위에 레지스트 마스크(292)를 형성하고, 상기 막을 에칭함으로써 원하는 형상의 하드 마스크(291)를 형성한다(도 15의 (E)).
- [0304] 다음으로, 예를 들어 리소그래피법 및 에칭법을 사용하여 절연막(224f), 금속 산화막(230f), 도전막(242f), 및 절연막(271f)을 섬 형상으로 가공하여, 절연체(224)(절연체(224a) 및 절연체(224b)), 금속 산화물(230)(금속 산화물(230a) 및 금속 산화물(230b)), 도전층(242F)(도전층(242Fa) 및 도전층(242Fb)), 그리고 절연층(271F)(절연층(271Fa) 및 절연층(271Fb))을 형성한다(도 16의 (A)). 여기서, 절연체(224a), 금속 산화물(230a), 도전층(242Fa), 및 절연층(271Fa)은 적어도 일부가 도전체(205a)와 중첩되도록 형성된다. 마찬가지로, 절연체(224b), 금속 산화물(230b), 도전층(242Fb), 및 절연층(271Fb)은 적어도 일부가 도전체(205a)와 중첩되도록 형성된다. 또한 상술한 바와 같이, 트랜지스터(202)의 금속 산화물(230b)과 트랜지스터(203)의 금속 산화물(230b)은 공통된 층이다.
- [0305] 또한 리소그래피법에서는, 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 예를 들어, KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, 또는 EUV(Extreme Ultraviolet)광 등을 사용하여, 레지스트를 노광함으로써 레지스트 마스크를 형성할 수 있다. 또한 기관과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다. 리소그래피법으로 레지스트 마스크를 형성한 후, 상기 레지스트 마스크를 통하여 에칭 처리함으로써, 도전막, 반도체막, 또는 절연막 등을 원하는 형상으로 가공할 수 있다. 상술한 바와 같이, 리소그래피법 및 에칭법을 사용함으로써, 도전체, 반도체, 또는 절연체 등을 형성할 수 있다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다.
- [0306] 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 절연막(224f), 금속 산화막(230f), 도전막(242f), 및 절연막(271f)의 가공은 각각 다른 조건으로 수행하여도 좋다.
- [0307] 또한 예를 들어 금속 산화막(230f)의 에칭은 레지스트 마스크(292)를 제거한 후에 수행하여도 좋고, 레지스트 마스크(292)를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크(292)가 소실되는 경우가 있다. 예를 들어 금속 산화막(230f) 등의 에칭 후에 하드 마스크(291)를 에칭에 의하여 제거하여도 좋다.
- [0308] 상기 가공 후에 레지스트 마스크(292) 및 하드 마스크(291)가 잔존하는 경우, 레지스트 마스크(292) 및 하드 마스크(291)를 제거한다(도 16의 (A)).
- [0309] 여기서, 절연층(271Fa) 및 절연층(271Fb)이 각각 도전층(242Fa) 및 도전층(242Fb)의 마스크로서 기능하기 때문에, 도 16의 (A)에 나타낸 바와 같이, 도전층(242Fa) 및 도전층(242Fb) 각각은 측면과 상면 사이에 만곡면을 가지지 않는다. 이로써, 도 6에 나타낸 도전체(242)는 측면과 상면이 교차되는 단부가 각진 형상이 된다. 도전체(242)의 측면과 상면이 교차되는 단부가 각진 형상을 가지는 경우, 상기 단부가 곡면을 가지는 경우에 비하여 도전체(242)의 단면적이 커진다. 이에 의하여, 도전체(242)의 저항이 감소되기 때문에, 트랜지스터의 온 전류를 크게 할 수 있다.
- [0310] 또한 도 16의 (A)에 나타낸 바와 같이, 절연체(224), 금속 산화물(230), 도전층(242F), 및 절연층(271F)의 측면이 테이퍼 형상을 가져도 좋다. 절연체(224), 금속 산화물(230), 도전층(242F), 및 절연층(271F)의 측면의 테이퍼 각은 예를 들어 60° 이상 90° 미만이어도 좋다. 이와 같이 측면을 테이퍼 형상으로 함으로써, 추후 공정에서 예를 들어 절연체(275)의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.
- [0311] 다만 상기에 한정되지 않고, 절연체(224), 금속 산화물(230), 도전층(242F), 및 절연층(271F)의 측면을 절연체(222)의 상면에 대하여 실질적으로 수직으로 하여도 좋다. 이와 같은 구성으로 함으로써, 복수의 트랜지스터를

제공할 때 소면적화 및 고밀도화가 가능하다.

- [0312] 이어서, 절연층(271F) 위에 절연체(275)를 성막하고, 절연체(275) 위에 절연체(280)를 성막한다(도 16의 (B)). 절연체(280)로서는, 절연체(280)가 되는 절연막을 형성하고 상기 절연막에 CMP 처리를 수행함으로써, 상면이 평탄한 절연체를 형성하는 것이 바람직하다. 또한 절연체(280) 위에 예를 들어 스퍼터링법으로 질화 실리콘을 성막하고, 상기 질화 실리콘막에 대하여 절연체(280)에 도달할 때까지 CMP 처리를 수행하여도 좋다.
- [0313] 절연체(275)로서는 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어 절연체(275)로서, ALD법, 구체적으로는 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 또는 절연체(275)로서 스퍼터링법으로 산화 알루미늄을 성막하고, 그 위에 PEALD법으로 질화 실리콘을 성막하는 것이 바람직하다. 절연체(275)에 이러한 적층 구조를 적용함으로써 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 향상시킬 수 있다.
- [0314] 이러한 식으로, 절연체(224), 금속 산화물(230), 및 도전층(242F)을 산소의 확산을 억제하는 기능을 가지는 절연체(275)로 덮을 수 있다. 이로써 추후의 공정에서 절연체(280) 등으로부터 절연체(224), 금속 산화물(230), 및 도전층(242F)으로 산소가 직접 확산되는 것을 억제할 수 있다.
- [0315] 또한 절연체(280)를 예를 들어 스퍼터링법을 사용하여 형성된 산화 실리콘으로 하는 것이 바람직하다. 절연체(280)를 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체(280)를 형성할 수 있다. 또한 수소를 포함한 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(280) 내의 수소 농도를 감소시킬 수 있다. 절연체(280)의 수소 농도는 1×10^{20} atoms/cm³ 이하가 바람직하고, 1×10^{19} atoms/cm³ 이하가 더 바람직하고, 1×10^{18} atoms/cm³ 이하가 더 바람직하다. 또한 상기 절연막을 성막하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(275)의 표면 등에 흡착된 수분 및 수소를 제거하고, 금속 산화물(230), 및 절연체(224) 내의 수분 농도 및 수소 농도를 감소시킬 수 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.
- [0316] 그 후, 리소그래피법 및 에칭법을 사용하여, 도전층(242F), 절연층(271F), 절연체(275), 및 절연체(280)를 가공하여, 금속 산화물(230a)에 도달하는 개구(258a), 그리고 금속 산화물(230b)에 도달하는 개구(258b) 및 개구(258c)를 형성한다. 개구(258a)를 형성함으로써, 도전체(242a), 도전체(242b), 절연체(271a), 및 절연체(271b)가 형성된다. 또한 개구(258b) 및 개구(258c)를 형성함으로써, 도전체(242c), 도전체(242d), 도전체(242e), 절연체(271c), 절연체(271d), 및 절연체(271e)가 형성된다(도 16의 (C)). 개구(258a), 개구(258b), 및 개구(258c)는 도전체(205a)와 중첩되는 영역을 가진다. 또한 도전층(242F)의 가공, 절연층(271F)의 가공, 절연체(275)의 가공, 및 절연체(280)의 가공은 각각 다른 조건으로 수행하여도 좋다. 또한 절연체(275)의 가공과 절연체(280)의 가공을 동일한 조건으로 수행하고, 상기 조건과는 다른 조건으로 도전층(242F)의 가공을 수행하여도 좋다. 또한 이들의 가공에 의하여, 금속 산화물(230a)의 개구(258a)와 중첩되는 영역에 홈부가 형성되는 경우가 있다. 마찬가지로, 금속 산화물(230b)의 개구(258b)와 중첩되는 영역 및 개구(258c)와 중첩되는 영역에 홈부가 형성되는 경우가 있다.
- [0317] 상기 에칭 처리에 의하여, 금속 산화물(230)의 상면 및 측면, 도전체(242)의 측면, 절연체(271)의 측면, 절연체(275)의 측면, 그리고 절연체(280)의 측면 등에 대한 불순물의 부착 또는 이들의 내부로의 상기 불순물의 확산이 일어날 경우가 있다. 이러한 불순물을 제거하는 공정을 수행하여도 좋다. 또한 특히 드라이 에칭법을 개구(258a), 개구(258b), 및 개구(258c)의 형성에 사용하는 경우, 금속 산화물(230)의 표면에 손상 영역이 형성될 경우가 있다. 이러한 손상 영역을 제거하여도 좋다. 상기 불순물로서는, 예를 들어 절연체(280), 절연체(275), 절연체(271), 및 도전체(242)에 포함되는 성분, 개구(258a) 내지 개구(258c)의 형성 시에 사용하는 장치의 부재에 포함되는 성분, 그리고 에칭에 사용하는 가스 또는 액체에 포함되는 성분 등에 기인한 것을 들 수 있다. 상기 불순물로서는 예를 들어 하프늄, 알루미늄, 실리콘, 탄탈럼, 플루오린, 및 염소 등이 있다.
- [0318] 특히 실리콘은 금속 산화물(230)의 결정성을 저하시키는 경우가 있다. 따라서 금속 산화물(230)의 표면 및 그 근방에 있어서 실리콘은 제거되는 것이 바람직하다. 또한 실리콘 농도는 저감되어 있는 것이 바람직하다. 예를 들어 금속 산화물(230) 표면 및 그 근방에서의 실리콘의 농도가 5.0atomic% 이하인 것이 바람직하고, 2.0atomic% 이하인 것이 더 바람직하고, 1.5atomic% 이하인 것이 더 바람직하고, 1.0atomic% 이하인 것이 더 바람직하고, 0.3atomic% 미만인 것이 더 바람직하다.
- [0319] 또한 실리콘에 의하여, 금속 산화물(230)의 결정성이 낮은 영역에서는 결정 구조의 치밀성이 저하되어 있기 때

문에, V_{DH} 가 다량으로 형성되어 트랜지스터가 노멀리 온이 되기 쉬워진다. 따라서 금속 산화물(230)의 결정성이 낮은 영역은 저감 또는 제거되어 있는 것이 바람직하다.

- [0320] 한편, 금속 산화물(230)은 층상의 CAAC 구조를 가지는 것이 바람직하다. 특히 금속 산화물(230)의 드레인 하단부까지 CAAC 구조를 가지는 것이 바람직하다. 여기서, 트랜지스터(201) 내지 트랜지스터(203)에 있어서, 도전체(242a) 내지 도전체(242e) 및 그 근방의 적어도 일부가 드레인으로서 기능한다. 따라서 도전체(242a) 내지 도전체(242e)의 하단부 근방의 금속 산화물(230)이 CAAC 구조를 가지는 것이 바람직하다. 이와 같이, 드레인 내압에 현저하게 영향을 미치는 드레인 단부에서도 금속 산화물(230)의 결정성이 낮은 영역이 제거되고 CAAC 구조를 가짐으로써, 트랜지스터(201) 내지 트랜지스터(203)의 전기 특성의 변동을 더 억제할 수 있다. 또한 트랜지스터(201) 내지 트랜지스터(203)의 신뢰성을 향상시킬 수 있다.
- [0321] 예를 들어 상기 에칭 공정에서 금속 산화물(230)의 표면에 부착된 불순물을 제거하기 위하여 세정 처리를 수행한다. 세정 방법으로서, 예를 들어 세정액을 사용한 웨트 세정(웨트 에칭 처리라고 할 수도 있음), 플라즈마를 사용한 플라즈마 처리, 및 열처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다. 또한 상기 세정 처리에 의하여, 상기 흠부가 깊어지는 경우가 있다.
- [0322] 웨트 세정은 암모니아수, 옥살산, 인산, 및 플루오린화 수소산 중 하나 또는 복수를 탄산수 또는 순수(純水)로 희석한 수용액, 순수, 탄산수 등을 사용하여 수행하여도 좋다. 또는 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또는 이들 세정을 적절히 조합하여 수행하여도 좋다.
- [0323] 또한 본 명세서 등에서는, 플루오린화 수소산을 순수로 희석한 수용액을 희석 플루오린화 수소산이라고 부르고, 암모니아수를 순수로 희석한 수용액을 희석 암모니아수라고 부르는 경우가 있다. 또한 상기 수용액의 농도 및 온도 등은 제거하려고 하는 불순물, 및 세정되는 반도체 장치의 구성 등에 따라 적절히 조정한다. 희석 암모니아수의 암모니아 농도는 0.01% 이상 5% 이하인 것이 바람직하고, 0.1% 이상 0.5% 이하인 것이 더 바람직하다. 또한 희석 플루오린화 수소산의 플루오린화 수소 농도는 0.01ppm 이상 100ppm 이하인 것이 바람직하고, 0.1ppm 이상 10ppm 이하인 것이 더 바람직하다.
- [0324] 또한 초음파 세정에는 200kHz 이상의 주파수를 사용하는 것이 바람직하고, 900kHz 이상의 주파수를 사용하는 것이 더 바람직하다. 상기 주파수를 사용함으로써, 예를 들어 금속 산화물(230b)에 대한 대미지를 저감할 수 있다.
- [0325] 또한 상기 세정 처리를 여러 번 수행하여도 좋고, 세정 처리마다 세정액을 변경하여도 좋다. 예를 들어 제 1 세정 처리로서 희석 플루오린화 수소산 또는 희석 암모니아수를 사용한 처리를 수행하고, 제 2 세정 처리로서 순수 또는 탄산수를 사용한 처리를 수행하여도 좋다.
- [0326] 상기 세정 처리를 수행함으로써, 금속 산화물(230) 등의 표면에 부착되거나 내부로 확산된 불순물을 제거할 수 있다. 또한 금속 산화물(230)의 결정성을 높일 수 있다.
- [0327] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 100℃ 이상 450℃ 이하인 것이 바람직하고, 350℃ 이상 400℃ 이하인 것이 더 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 금속 산화물(230)에 산소가 공급되므로 산소 결손을 저감할 수 있다. 또한 이러한 열처리를 수행함으로써, 금속 산화물(230)의 결정성을 향상시킬 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 산소 분위기에서 가열 처리한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다.
- [0328] 다음으로, 절연막(250f)을 성막한다. 절연막(250f)은 ALD법을 사용하여 성막하는 것이 바람직하다. 절연체(250)는 얇은 막 두께로 형성하는 것이 바람직하고, 막 두께의 편차가 작아지도록 하는 것이 바람직하다. ALD법은 전구체와 반응제(예를 들어 산화제)를 교대로 도입하는 성막 방법이고, 이 사이클을 반복하는 횟수를 바꿈으로써 막 두께를 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있다. 또한 도 17의 (A)에 나타낸 바와 같이, 절연막(250f)은 개구(258a) 내지 개구(258c)의 밀면 및 측면에 높은 피복성으로 성막되는 것이 바람직하다. ALD법을 사용함으로써, 개구(258a) 내지 개구(258c)의 밀면 및 측면에 있어서, 원자의 층을 한 층씩 퇴적시킬 수 있다. 따라서, 절연체(250)를 개구(258a) 내지 개구(258c)에 대하여 양호한 피복성으로 형성할 수 있다.
- [0329] 또한 절연막(250f)을 ALD법으로 성막하는 경우, 산화제로서 오존(O_3), 산소(O_2), 또는 물(H_2O) 등을 사용할 수

있다. 수소를 포함하지 않는 오존(O₃) 또는 산소(O₂) 등을 산화제로서 사용함으로써, 금속 산화물(230b)로 확산되는 수소를 저감할 수 있다.

- [0330] 절연막(250f)은 절연체(250a)가 되는 절연막이어도 좋고, 절연체(250a)가 되는 절연막과 절연체(250b)가 되는 절연막의 적층 구조이어도 좋다. 본 실시형태에서는 절연막(250f)으로서 열 ALD법으로 산화 알루미늄막을 성막하고, 그 위에 PEALD법으로 산화 실리콘막을 성막한다. 또한 상기 산화 알루미늄막은 절연체(250a)가 되는 절연막이고, 상기 산화 실리콘막은 절연체(250b)가 되는 절연막이다.
- [0331] 다음으로 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다. 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라즈마를 발생시키는 전원을 가지는 장치를 사용하는 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다.
- [0332] 마이크로파 처리에는, 예를 들어 마이크로파를 사용하여 고밀도 플라즈마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 여기서 마이크로파 처리 장치의 주파수는 300MHz 이상 300GHz 이하인 것이 바람직하고, 2.4GHz 이상 2.5GHz 이하인 것이 더 바람직하고, 예를 들어 2.45GHz로 할 수 있다. 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한 마이크로파 처리 장치의 마이크로파를 인가하는 전원의 전력은 1000W 이상 10000W 이하가 바람직하고, 2000W 이상 5000W 이하인 것이 바람직하다. 또한 마이크로파 처리 장치는 기관 측에 RF를 인가하는 전원을 가져도 좋다. 또한 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 이온을 금속 산화물(230) 내에 효율적으로 도입할 수 있다.
- [0333] 또한 상기 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력은 10Pa 이상 1000Pa 이하인 것이 바람직하고, 300Pa 이상 700Pa 이하인 것이 더 바람직하다. 또한 처리 온도는 750℃ 이하가 바람직하고, 500℃ 이하가 더 바람직하고, 예를 들어 250℃ 정도로 할 수 있다. 또한 산소 플라즈마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 열처리를 수행하여도 좋다. 가열 처리의 온도는 예를 들어 100℃ 이상 750℃ 이하가 바람직하고, 300℃ 이상 500℃ 이하가 더 바람직하다.
- [0334] 또한 예를 들어 상기 마이크로파 처리는 산소 가스와 아르곤 가스를 사용하여 수행할 수 있다. 여기서, 산소 유량비(O₂/(O₂+Ar))는 0%보다 높고 100% 이하, 바람직하게는 0%보다 높고 50% 이하, 더 바람직하게는 10% 이상 40% 이하, 더 바람직하게는 10% 이상 30% 이하로 한다. 이와 같이 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 금속 산화물(230) 중의 캐리어 농도를 저하시킬 수 있다. 또한 마이크로파 처리에서 체임버에 과잉량의 산소가 도입되지 않도록 함으로써, 금속 산화물(230)에서 캐리어 농도가 지나치게 저하되는 것을 방지할 수 있다.
- [0335] 도 17의 (A)에 나타낸 바와 같이, 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라즈마화하고, 상기 산소 플라즈마를 금속 산화물(230)의 도전체(242a)와 도전체(242b) 사이의 영역, 도전체(242c)와 도전체(242d) 사이의 영역, 및 도전체(242d)와 도전체(242e) 사이의 영역에 작용시킬 수 있다. 플라즈마 또는 마이크로파 등의 작용에 의하여, 상기 영역에서의 V_{0H}를 분단하고, 수소를 상기 영역에서 제거할 수 있다. 즉 채널 형성 영역에 포함되는 V_{0H}를 저감할 수 있다. 따라서 채널 형성 영역 내의 산소 결손 및 V_{0H}를 저감하여 캐리어 농도를 저하시킬 수 있다. 또한 채널 형성 영역에서 형성된 산소 결손에, 상기 산소 플라즈마에서 발생한 산소 라디칼을 공급함으로써, 채널 형성 영역 내의 산소 결손을 더 저감하고, 캐리어 농도를 더 저하시킬 수 있다.
- [0336] 한편, 금속 산화물(230)에는 도전체(242a) 내지 도전체(242e) 중 어느 것과 중첩되는 영역이 존재한다. 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 여기서, 도전체(242a) 내지 도전체(242e)는 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때, 마이크로파 또는 RF 등의 고주파, 또는 산소 플라즈마 등의 작용에 대한 차폐막으로서 기능하는 것이 바람직하다. 그러므로 도전체(242a) 내지 도전체(242e)는 300MHz 이상 300GHz 이하, 예를 들어 2.4GHz 이상 2.5GHz 이하의 전자기파를 차폐하는 기능을 가지는 것이 바람직하다.
- [0337] 도전체(242a) 내지 도전체(242e)가 마이크로파 또는 RF 등의 고주파, 산소 플라즈마 등의 작용을 차폐하기 때문에, 이들 작용은 금속 산화물(230)에서 도전체(242a) 내지 도전체(242e) 중 어느 것과 중첩되는 영역에는 미치지 않는다. 따라서 마이크로파 처리에 의한 V_{0H}의 저감 및 과잉량의 산소 공급이 소스 영역 및 드레인 영역에서 발생하지 않기 때문에, 캐리어 농도의 저하를 방지할 수 있다.

- [0338] 또한 도전체(242a) 내지 도전체(242e)의 측면과 접하여 산소에 대한 배리어성을 가지는 절연체(250a)가 되는 절연막이 제공되어 있다. 이에 의하여, 마이크로파 처리에 의하여 도전체(242a) 내지 도전체(242e)의 측면에 산화막이 형성되는 것을 억제할 수 있다.
- [0339] 또한 절연막(250f)의 막질을 향상시킬 수 있기 때문에, 트랜지스터의 신뢰성이 향상된다.
- [0340] 상술한 식으로, 금속 산화물의 채널 형성 영역에서 산소 결손 및 V_{oh} 를 선택적으로 제거함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역에 과잉 산소가 공급되는 것을 억제하여, 도전성을 유지할 수 있다. 이에 의하여, 트랜지스터의 전기 특성의 변동이 억제되므로, 기판면 내에서 트랜지스터의 전기 특성에 편차가 생기는 것을 억제할 수 있다.
- [0341] 또한 마이크로파 처리에서는, 마이크로파와 금속 산화물(230) 내의 분자의 전자기적인 상호 작용에 의하여 금속 산화물(230)에 열 에너지가 직접 전달되는 경우가 있다. 이 열 에너지에 의하여 금속 산화물(230)이 가열되는 경우가 있다. 이러한 가열 처리를 마이크로파 어닐링이라고 부르는 경우가 있다. 마이크로파 처리를 산소를 포함하는 분위기에서 수행함으로써, 산소 어닐링과 같은 효과가 얻어지는 경우가 있다. 또한 금속 산화물(230)에 수소가 포함되는 경우, 이 열 에너지가 금속 산화물(230) 내의 수소에 전달되고, 이에 의하여 활성화된 수소가 금속 산화물(230)로부터 방출될 수 있다.
- [0342] 또한 절연막(250f) 성막 후에 마이크로파 처리를 수행하지 않고, 절연막(250f) 성막 전에 마이크로파 처리를 수행하여도 좋다.
- [0343] 또한 절연막(250f) 성막 후에 수행되는 마이크로파 처리 후에, 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이와 같은 처리를 수행함으로써, 절연막(250f) 내 및 금속 산화물(230) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(242)(도전체(242a) 내지 도전체(242e))에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하는 단계를 여러 번 반복적으로 수행하여도 좋다. 가열 처리를 반복적으로 수행함으로써 절연막(250f) 내 및 금속 산화물(230) 내의 수소를 더 효율적으로 제거할 수 있다. 또한 가열 처리 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다. 또한 상기 마이크로파 처리, 즉 마이크로파 어닐링이 상기 가열 처리를 겸하여도 좋다. 마이크로파 어닐링에 의하여 예를 들어 금속 산화물(230)이 충분히 가열되는 경우, 상기 가열 처리를 수행하지 않아도 된다.
- [0344] 또한 마이크로파 처리를 수행하여 절연막(250f)의 막질을 개선함으로써, 수소, 물, 또는 불순물 등의 확산을 억제할 수 있다. 따라서 도전체(260)가 되는 도전막의 성막 등의 후공정 또는 가열 처리 등의 후처리에서 절연체(250)를 통하여 수소, 물, 또는 불순물 등이 금속 산화물(230) 등으로 확산되는 것을 억제할 수 있다.
- [0345] 이어서, 절연막(250f) 위에 절연체(250c)가 되는 절연막을 성막한다. 상기 절연막은 절연막(250f)과 마찬가지로 ALD법을 사용하여 성막하는 것이 바람직하다. ALD법을 사용함으로써, 상기 절연막을 얇은 막 두께로 피복성 좋게 성막할 수 있다. 본 실시형태에서는 상기 절연막으로서 PEALD법으로 질화 실리콘막을 성막한다.
- [0346] 또한 절연막(250f)이 절연체(250a)가 되는 절연막인 경우, 절연체(250c)가 되는 절연막을 성막하기 전에 절연체(250b)가 되는 절연막을 성막하는 것이 좋다.
- [0347] 또한 절연체(250)가 절연체(250a) 내지 절연체(250d)의 4층 적층 구조인 경우, 절연체(250c)가 되는 절연막을 성막하기 전에 절연체(250d)가 되는 절연막을 성막한다. 상기 절연막은 절연막(250f)과 마찬가지로 ALD법을 사용하여 성막하는 것이 바람직하다. ALD법을 사용함으로써, 상기 절연막을 얇은 막 두께로 피복성 좋게 성막할 수 있다. 본 실시형태에서는 상기 절연막으로서 열 ALD법으로 산화 하프늄막을 성막한다.
- [0348] 상술한 바와 같이, 절연체(250a)가 되는 절연막, 절연체(250b)가 되는 절연막, 및 절연체(250c)가 되는 절연막으로 구성되는 절연체(250)가 되는 절연막이 성막된다. 또는 절연체(250a)가 되는 절연막, 절연체(250b)가 되는 절연막, 절연체(250d)가 되는 절연막, 및 절연체(250c)가 되는 절연막으로 구성되는 절연체(250)가 되는 절연막이 성막된다.
- [0349] 이어서, 절연체(250)가 되는 절연막 위에 도전체(260)가 되는 도전막을 성막한다. 상기 도전막은 1층으로 하여도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 본 실시형태에서는 상기 도전막을 CVD법을 사용하여 성막된 질화 타이타늄과, CVD법을 사용하여 성막된 텅스텐의 적층 구조로 한다.
- [0350] 이어서, CMP 처리에 의하여, 절연체(250)가 되는 절연막 및 도전체(260)가 되는 도전막을 절연체(280)가 노출될 때까지 연마한다. 즉, 절연체(250)가 되는 절연막 및 도전체(260)가 되는 도전막에 있어서 개구(258a) 내지 개

구(258c)에서 노출된 부분을 제거한다. 이에 의하여, 개구(258a) 내지 개구(258c) 각각의 내부에 절연체(250) 및 도전체(260)가 형성된다(도 17의 (B)).

- [0351] 이에 의하여, 절연체(250)는 개구(258a) 내지 개구(258c)의 밑면 및 측면에 접하여 제공된다. 또한 도전체(260)는 절연체(250)를 개재하여 상기 개구(258a) 내지 개구(258c)를 매립하도록 형성된다. 이에 의하여, 트랜지스터(201) 내지 트랜지스터(203)가 형성된다. 여기까지 설명한 바와 같이, 트랜지스터(201) 내지 트랜지스터(203)는 같은 공정으로 병행하여 제작할 수 있다.
- [0352] 이어서, 상기 가열 처리와 같은 조건으로 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(280) 내의 수소 농도 및 수소 농도를 감소시킬 수 있다. 또한 상기 가열 처리 후, 대기에 노출시키지 않고 연속하여 절연체(282)를 성막하여도 좋다.
- [0353] 이어서, 절연체(250), 도전체(260), 및 절연체(280) 위에 절연체(282)를 성막한다(도 17의 (C)). 절연체(282)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함한 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(282) 내의 수소 농도를 감소시킬 수 있다.
- [0354] 본 실시형태에서는 절연체(282)로서, 산소 가스를 포함하는 분위기에서 알루미늄 타겟을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트, 성막 속도, 및 막질을 향상시킬 수 있다. 또한 절연체(282)는 2층의 적층 구조를 가져도 좋다.
- [0355] 또한 스퍼터링법을 사용하여 산소를 포함하는 분위기에서 절연체(282)의 성막을 수행함으로써, 성막하면서 절연체(280)에 산소를 첨가할 수 있다. 이에 의하여, 절연체(280)에 과잉 산소를 포함시킬 수 있다. 이때 기판을 가열하면서 절연체(282)를 성막하는 것이 바람직하다.
- [0356] 이어서, 절연체(282) 위에 절연체(283)를 성막한다(도 17의 (C)). 절연체(283)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 수소를 포함한 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(283) 내의 수소 농도를 감소시킬 수 있다. 또한 절연체(283)는 다층으로 하여도 좋다. 예를 들어 스퍼터링법을 사용하여 질화 실리콘을 성막하고, 그 위에 ALD법을 사용하여 질화 실리콘을 성막하여도 좋다. 배리어성이 높은 절연체(283) 및 절연체(214)를 제공함으로써, 외부로부터 수분 및 수소가 침입하는 것을 방지할 수 있다.
- [0357] 이어서, 절연체(283) 위에 절연체(285)를 성막한다(도 17의 (C)). 본 실시형태에서는 절연체(285)로서, 산소 가스를 포함하는 분위기에서 실리콘 타겟을 사용하여, 펄스 DC 스퍼터링법으로 산화 실리콘을 성막한다.
- [0358] 이어서, 도전체(242b)에 도달하는 개구(288c)를 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271b)에 형성한다. 또한 트랜지스터(202)가 가지는 도전체(260)에 도달하는 개구(288d)를 절연체(285), 절연체(283), 및 절연체(282)에 형성한다. 또한 도전체(209a)에 도달하는 개구(288a)를 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(271a), 절연체(222), 절연체(216a), 절연체(214), 및 절연체(212)에 형성한다. 또한 도전체(209b)에 도달하는 개구(288b)를 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 절연체(271e), 절연체(222), 절연체(216a), 절연체(214), 및 절연체(212)에 형성한다(도 18의 (A)). 이들 개구의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다.
- [0359] 또한 개구(288a) 및 개구(288b) 각각은 제 1 폭을 가지는 제 1 영역과, 제 1 폭보다 큰 제 2 폭을 가지는 제 2 영역을 가지는 것이 바람직하다. 제 1 영역은 개구(288a)에 있어서 도전체(242a) 사이의 영역이고, 개구(288b)에 있어서 도전체(242e) 사이의 영역이다. 또한 제 1 폭은 도 9의 (B)에 나타난 폭 W1에 대응한다. 제 2 영역은 개구(288a) 및 개구(288b)의 각각에서 절연체(285), 절연체(283), 절연체(282), 절연체(280), 절연체(275), 및 절연체(271)와 중첩되는 영역이다. 상기 구성으로 함으로써, 후술하는 이방성 에칭에 의하여, 도전체(242a) 및 도전체(242e)의 상면 및 측면의 일부를 노출시킬 수 있다.
- [0360] 다음으로, 절연막(232f)을 성막한다(도 18의 (B)). 절연막(232f)으로서 산소 및 수소 중 적어도 한쪽의 확산을 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어, PEALD법을 사용하여 질화 실리콘막을 성막하는 것이 바람직하다. 질화 실리콘은 산소 및 수소에 대한 배리어성이 높기 때문에 바람직하다. 또한 절연막(232f)은 적층 구조를 가져도 좋다. 절연막(232f)으로서 예를 들어 ALD법을 사용하여 산화 알루미늄막을 성막하고, 그 위에 PEALD법을 사용하여 질화 실리콘막을 성막하여도 좋다. ALD법을 사용하여 절연막(232f)을

성막하는 경우, 산화 알루미늄막은 질화 실리콘막보다 저온에서 성막이 가능하다. 따라서, 질화 실리콘막의 성막 전에 산화 알루미늄막을 성막함으로써, 도전체(260), 도전체(242) 등의 산화를 억제할 수 있다.

- [0361] 다음으로, 절연막(232f)을 이방성 에칭하여, 개구(288c)의 측벽에 접하여 절연체(232c)를 형성하고, 개구(288d)의 측벽에 접하여 절연체(232d)를 형성하고, 개구(288a)의 측벽에 접하여 절연체(232a)를 형성하고, 개구(288b)의 측벽에 접하여 절연체(232b)를 형성한다(도 18의 (C)). 절연막(232f)의 이방성 에칭으로서는 예를 들어 드라이 에칭법 등을 사용하면 좋다. 개구(288a)의 측벽부에 절연체(232a)를 제공함으로써 외부로부터의 산소의 투과를 억제하고, 다음으로 형성하는 도전체(231a)의 산화를 방지할 수 있다. 또한 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(231a)로 확산되는 것을 방지할 수 있다. 절연체(232b) 내지 절연체(232d)에 대해서도 마찬가지이다.
- [0362] 이어서, 도전체(231a) 내지 도전체(231d)가 되는 도전막을 성막한다. 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전막과, 상기 도전막보다 전기 저항률이 낮은 도전막의 적층 구조로 하는 것이 바람직하다. 예를 들어, 도전체(205a)에 사용할 수 있는 재료와 같은 재료를 상기 도전막에 사용할 수 있다.
- [0363] 이어서, CMP 처리를 수행함으로써, 도전체(231a) 내지 도전체(231d)가 되는 도전막의 일부를 제거하여 절연체(285)를 노출시킨다. 그 결과, 개구(288c)를 매립하도록 도전체(231c)가 형성된다. 또한 개구(288d)를 매립하도록 도전체(231d)가 형성된다. 또한 개구(288a)를 매립하도록 도전체(231a₁)가 형성된다. 또한 개구(288b)를 매립하도록 도전체(231b₁)가 형성된다(도 19의 (A)). 또한 상기 CMP 처리에 의하여 절연체(285)의 일부가 제거되는 경우가 있다. 이에 의하여, 절연체(285)를 평탄화할 수 있다. 이와 같이 하여, 도전체(231a₁)의 상면, 도전체(231b₁)의 상면, 도전체(231c)의 상면, 및 도전체(231d)의 상면은 각각 높이가 일치한다.
- [0364] 이어서, 절연체(285), 도전체(231a₁), 및 도전체(231b₁) 위에 절연체(287)를 성막한다. 절연체(287)는 절연체(216a) 또는 절연체(280)의 성막에 사용할 수 있는 방법과 같은 방법으로 성막할 수 있다. 또한 절연체(287)는 절연체(216a) 또는 절연체(280)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0365] 이어서, 리소그래피법 및 에칭법을 사용하여 절연체(287) 및 절연체(285)를 가공함으로써, 도전체(231c) 및 도전체(231d)에 도달하는 개구를 형성한다. 상기 개구는 도전체(231c) 및 도전체(231d)의 상면보다 크게 형성하는 것이 바람직하다.
- [0366] 이어서, 상기 개구를 매립하도록 도전체(235a)가 되는 도전막을 형성한다. 상기 도전막은 도전체(205a)가 되는 도전막의 성막에 사용할 수 있는 방법과 같은 방법으로 성막할 수 있다. 또한 상기 도전막은 도전체(205a)가 되는 도전막에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0367] 이어서, CMP 처리를 수행함으로써, 도전체(235a)가 되는 도전막의 일부를 제거하여 절연체(287)를 노출시킨다. 그 결과, 상기 개구를 매립하도록 도전체(235a)가 형성된다(도 19의 (B)). 또한 상기 CMP 처리에 의하여 절연체(287)의 일부가 제거되는 경우가 있다. 이에 의하여, 절연체(287)를 평탄화할 수 있다.
- [0368] 도전체(235a)는 도전체(231c) 및 도전체(231d)와 전기적으로 접속되도록 형성되고, 예를 들어 도전체(231c) 및 도전체(231d)와 접하는 영역을 가지도록 형성된다. 상술한 바와 같이, 도전체(235a)는 도전체(231c)를 통하여 도전체(242b)와 전기적으로 접속되고, 도전체(231d)를 통하여 트랜지스터(202)의 도전체(260)와 전기적으로 접속된다.
- [0369] 또한 절연체(287)와 절연체(285)의 에칭 선택성을 높임으로써 절연체(287)에 상기 개구를 형성할 때 절연체(285)를 에칭 스톱막으로서 기능시킬 수 있다. 이때, 상기 개구, 도전체(231a₁)에 도달하는 개구, 및 도전체(231b₁)에 도달하는 개구를 형성하고, 도전체(235a) 내지 도전체(235c)가 되는 도전막을 성막하고, CMP 처리를 수행함으로써, 도 4에 나타난 구성을 가지는 반도체 장치를 제작할 수 있다.
- [0370] 이어서, 도전체(235a) 및 절연체(287) 위에 절연체(216b)를 성막한다. 절연체(216b)는 절연체(216a)의 성막에 사용할 수 있는 방법과 같은 방법으로 성막할 수 있다. 또한 절연체(216b)는 절연체(216a)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0371] 이어서, 절연체(287)에 도달하는 개구(207b) 및 개구(207c)를 절연체(216b)에 형성한다(도 20의 (A)). 개구(207c)는 도전체(235a)와 중첩되는 영역을 가진다. 또한 개구(207b)는 개구(207b)의 위쪽에 제공하는 금속 산화물(230) 및 도전체(260)와 중첩되는 영역을 가진다. 개구(207b) 및 개구(207c)의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 개구(207b) 및 개구(207c)의 형성에 의하여 절연체(287)의 일부가 제거되는 경우가 있다. 이에 의하여, 절연체(287)에는 개구

(207b)와 중첩되는 영역 및 개구(207c)와 중첩되는 영역에 오목부가 형성되는 경우가 있다.

- [0372] 이어서, 절연체(215)가 되는 절연막, 도전체(205b) 및 도전체(205c)가 되는 도전막을 이 순서대로 성막한다. 상기 도전막은 도전체(205a)가 되는 도전막의 성막에 사용할 수 있는 방법과 같은 방법으로 성막할 수 있다. 또한 상기 도전막은 도전체(205a)가 되는 도전막에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0373] 다음으로, CMP 처리를 수행함으로써, 절연체(215)가 되는 절연막의 일부 그리고 도전체(205b) 및 도전체(205c)가 되는 도전막의 일부를 제거하여 절연체(216b)를 노출시킨다. 그 결과, 절연체(216b)의 개구를 매립하도록 절연체(215), 도전체(205b), 및 도전체(205c)가 형성된다(도 20의 (B)). 이때, 도전체(205c)의 상면은 도전체(205b)의 상면과 일치한다. 또한 상기 CMP 처리에 의하여 절연체(216b)의 일부가 제거되는 경우가 있다. 이에 의하여, 절연체(216b)를 평탄화할 수 있다. 상술한 바와 같이, 도전체(235a), 절연체(215), 및 도전체(205c)를 가지는 용량 소자(101)가 형성된다.
- [0374] 이로써 기억층(11_1)을 형성할 수 있다. 그 후, 상술한 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(101)의 제작을 n-1번 반복하여 수행함으로써, 기억층(11_2) 내지 기억층(11_n)을 형성한다(도 21). 또한 기억층(11_n)이 가지는 절연체(287) 위에는 기억층을 구성하는 트랜지스터를 형성하지 않기 때문에, 기억층(11_n)이 가지는 절연체(287)에 도전체(205b)를 형성하지 않는다.
- [0375] 또한 도 21에 나타낸 바와 같이, 기억층(11_1) 내지 기억층(11_n)은 접속 전극(240a) 및 접속 전극(240b)을 가진다. 접속 전극(240a)은 도전체(231a_1) 내지 도전체(231a_n)(도시하지 않았음)를 가지고, 이들은 전기적으로 접속된다. 또한 접속 전극(240b)은 도전체(231b_1) 내지 도전체(231b_n)(도시하지 않았음)를 가지고, 이들은 전기적으로 접속된다.
- [0376] 이어서, 도전체(205c) 및 절연체(216_n) 위에 절연체(181)를 형성한다. 절연체(181)는 절연체(287), 절연체(285), 절연체(280), 절연체(216a), 또는 절연체(212)의 성막에 사용할 수 있는 방법과 같은 방법으로 성막할 수 있다. 또한 절연체(181)는 절연체(287), 절연체(285), 절연체(280), 절연체(216a), 또는 절연체(212)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0377] 이어서, 절연체(181) 위에 절연체(183)를 형성하고, 절연체(183) 위에 절연체(185)를 형성한다. 이러한 식으로 도 21에 나타낸 반도체 장치를 제작할 수 있다.
- [0378] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 제시되는 경우에는, 구성예를 적절히 조합할 수 있다.
- [0379] (실시형태 2)
- [0380] 본 실시형태에서는 본 발명의 일 형태의 기억 장치에 대하여 도면을 사용하여 설명한다.
- [0381] 도 22의 (A)에 본 발명의 일 형태의 기억 장치의 사시 개략도이다. 도 22의 (B)에 본 발명의 일 형태의 기억 장치의 블록도이다.
- [0382] 도 22의 (A) 및 (B)에 나타낸 기억 장치(100)는 구동 회로층(50)과, n층(n은 1 이상의 정수)의 기억층(11)을 가진다. n층의 기억층(11)은 각각 메모리 셀 어레이(15)를 가진다. 메모리 셀 어레이(15)는 복수의 메모리 셀(10)을 가진다.
- [0383] 기억층(11)은 구동 회로층(50) 위에 제공된다. n층의 기억층(11)을 구동 회로층(50) 위에 제공함으로써, 기억 장치(100)의 점유 면적을 저감할 수 있다. 또한 단위 면적당 기억 용량을 높일 수 있다.
- [0384] 본 실시형태에서는 첫 번째 층의 기억층을 기억층(11_1)이라고 나타내고, 두 번째 층의 기억층을 기억층(11_2)이라고 나타내고, 세 번째 층의 기억층을 기억층(11_3)이라고 나타낸다. 또한 k번째 층(k는 1 이상 n 이하의 정수임)의 기억층을 기억층(11_k)이라고 나타내고, n번째 층의 기억층을 기억층(11_n)이라고 나타낸다. 또한 본 실시형태 등에서, n층의 기억층(11) 전체에 따른 사항을 설명하는 경우 또는 n층의 기억층의 각 층에 공통되는 사항을 나타내는 경우에 단순히 "기억층(11)"이라고 표기하는 경우가 있다.
- [0385] <구동 회로층(50)의 구성예>
- [0386] 구동 회로층(50)은 PSW(파워 스위치)(22), PSW(23), 및 주변 회로(31)를 가진다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(Control Circuit)(32), 및 전압 생성 회로(33)를 가진다.
- [0387] 기억 장치(100)에서, 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취소선택할 수 있다. 또는 다른 회

로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부로의 출력 신호이다.

- [0388] 신호(CLK)는 클럭 신호이다. 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.
- [0389] 컨트롤 회로(32)는 기억 장치(100)의 동작 전환을 제어하는 기능을 가지는 로직 회로이다. 예를 들어, 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 기억 장치(100)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.
- [0390] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 전압 생성 회로(33)에 대한 신호(CLK)의 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)에 H레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.
- [0391] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 주변 회로(41)는 행 디코더(Row Decoder)(42), 열 디코더(Column Decoder)(44), 행 드라이버(Row Driver)(43), 열 드라이버(Column Driver)(45), 입력 회로(Input Cir.)(47), 출력 회로(Output Cir.)(48), 감지 증폭기(Sense Amplifier)(46)를 가진다.
- [0392] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WWL)(기록 워드선) 또는 배선(RWL)(판독 워드선)을 선택하는 기능을 가진다. 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 및 판독한 데이터를 유지하는 기능 등을 가진다. 열 드라이버(45)는 열 디코더(44)가 지정하는 배선(WBL)(기록 비트선) 및 배선(RBL)(판독 비트선)을 선택하는 기능을 가진다.
- [0393] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout를 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout를 기억 장치(100)의 외부에 출력하는 기능을 가진다. 출력 회로(48)로부터 출력되는 데이터는 신호(RDA)이다.
- [0394] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는, 기억 장치(100)의 고전원 전압이 VDD이고, 저전원 전압은 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온·오프가 제어되고, 신호(PON2)에 의하여 PSW(23)의 온·오프가 제어된다. 도 22의 (B)에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 파워 스위치를 제공하면 좋다.
- [0395] <기억층(11)의 구성예>
- [0396] n층의 기억층(11)의 구성예에 대하여 설명한다. n층의 기억층(11)은 각각이 메모리 셀 어레이(15)를 가진다. 또한 메모리 셀 어레이(15)는 복수의 메모리 셀(10)을 가진다. 도 22의 (A) 및 (B)에서는 메모리 셀 어레이(15)가 p행 q열(p 및 q는 각각 독립적으로 2 이상의 정수)의 매트릭스로 배치된 복수의 메모리 셀(10)을 가지는 예를 나타내었다.
- [0397] 또한 행과 열은 서로 직교하는 방향으로 연장된다. 본 실시형태에서는 X방향을 "행"으로 하고 Y방향을 "열"로 하였지만, X방향을 "열"로 하고 Y방향을 "행"으로 하여도 좋다.
- [0398] 도 22의 (B)에서는 1행 1열에 제공된 메모리 셀(10)을 메모리 셀(10[1, 1])이라고 나타내고, p행 q열에 제공된 메모리 셀(10)을 메모리 셀(10[p, q])이라고 나타내었다. 또한 i행 j열(i는 1 이상 p 이하의 정수이고, j는 1 이상 q 이하의 정수임)에 제공된 메모리 셀(10)을 메모리 셀(10[i, j])이라고 나타내었다.
- [0399] 메모리 셀의 회로 구성예를 도 23의 (A) 및 (B)에 나타내었다. 상기 회로 구성에 대응하는 메모리 셀(10)의 단

면 구성에는 실시형태 1을 참조할 수 있다.

- [0400] 메모리 셀(10)은 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 용량 소자(C)를 가진다. 3개의 트랜지스터와 하나의 용량 소자로 구성되는 메모리 셀을 3Tr1C형 메모리 셀이라고도 한다. 따라서 본 실시형태에 나타난 메모리 셀(10)은 3Tr1C형 메모리 셀이다.
- [0401] 트랜지스터(M1)는 실시형태 1에서 설명한 트랜지스터(201), 트랜지스터(201a), 또는 트랜지스터(201b)에 대응한다. 트랜지스터(M2)는 실시형태 1에서 설명한 트랜지스터(202), 트랜지스터(202a), 또는 트랜지스터(202b)에 대응한다. 트랜지스터(M3)는 실시형태 1에서 설명한 트랜지스터(203), 트랜지스터(203a), 또는 트랜지스터(203b)에 대응한다. 용량 소자(C)는 실시형태 1에서 설명한 용량 소자(101)에 대응한다. 배선(WBL)은 실시형태 1에서 설명한 접속 전극(240a)에 대응한다. 배선(RBL)은 실시형태 1에서 설명한 접속 전극(240b)에 대응한다.
- [0402] 메모리 셀(10[i, j])에 있어서, 트랜지스터(M1)의 게이트는 배선(WWL[j])과 전기적으로 접속되고, 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 배선(WBL[i, s])과 전기적으로 접속된다. 또한 도 23의 (A)에서는 배선(WWL[j])의 일부가 트랜지스터(M1)의 게이트로서 기능하는 경우의 구성예를 나타내었다. 용량 소자(C)의 한쪽 전극은 배선(PL[i, s])과 전기적으로 접속되고, 용량 소자(C)의 다른 쪽 전극은 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 또한 예를 들어 도 23의 (A)에서는 배선(PL[i, s])의 일부가 용량 소자(C)의 한쪽 전극으로서 기능하는 경우의 구성예를 나타내었다. 또한 트랜지스터(M2)의 게이트는 용량 소자(C)의 다른 쪽 전극과 전기적으로 접속되고, 트랜지스터(M2)의 소스 및 드레인 중 한쪽은 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽은 배선(PL[i, s])과 전기적으로 접속된다. 또한 트랜지스터(M3)의 게이트는 배선(RWL[j])에 전기적으로 접속되고, 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽은 배선(RBL[i, s])과 전기적으로 접속된다.
- [0403] 메모리 셀(10[i, j])에 있어서, 용량 소자(C)의 다른 쪽 전극, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(M2)의 게이트가 전기적으로 접속되고, 항상 같은 전위를 가지는 영역을 "노드(ND)"라고 부른다.
- [0404] 메모리 셀(10[i, j+1])에 있어서, 트랜지스터(M1)의 게이트는 배선(WWL[j+1])과 전기적으로 접속되고, 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 배선(WBL[i, s+1])과 전기적으로 접속된다. 또한 도 23의 (A)에서는 배선(WWL[j+1])의 일부가 트랜지스터(M1)의 게이트로서 기능하는 경우의 구성예를 나타내었다. 용량 소자(C)의 한쪽 전극은 배선(PL[i, s+1])과 전기적으로 접속되고, 용량 소자(C)의 다른 쪽 전극은 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 또한 예를 들어 도 23의 (A)에서는 배선(PL[i, s+1])의 일부가 용량 소자(C)의 한쪽 전극으로서 기능하는 경우의 구성예를 나타내었다. 또한 트랜지스터(M2)의 게이트는 용량 소자(C)의 다른 쪽 전극과 전기적으로 접속되고, 트랜지스터(M2)의 소스 및 드레인 중 한쪽은 트랜지스터(M3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(M2)의 소스 및 드레인 중 다른 쪽은 배선(PL[i, s+1])과 전기적으로 접속된다. 또한 트랜지스터(M3)의 게이트는 배선(RWL[j+1])에 전기적으로 접속되고, 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽은 배선(RBL[i, s])과 전기적으로 접속된다.
- [0405] 메모리 셀(10[i, j+1])에 있어서, 용량 소자(C)의 다른 쪽 전극, 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(M2)의 게이트가 전기적으로 접속되고, 항상 같은 전위를 가지는 영역을 "노드(ND)"라고 부른다.
- [0406] 이로써, 배선(RBL[i, s])은 메모리 셀(10[i, j])이 가지는 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽 및 메모리 셀(10[i, j+1])이 가지는 트랜지스터(M3)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 따라서 배선(RBL[i, s])은 메모리 셀(10[i, j])과 메모리 셀(10[i, j+1])에 의하여 공유된다. 또한 도시하지 않았지만, 배선(WBL[i, s])은 메모리 셀(10[i, j-1])과 메모리 셀(10[i, j])에 의하여 공유되고, 배선(WBL[i, s+1])은 메모리 셀(10[i, j+1])과 메모리 셀(10[i, j+2])에 의하여 공유된다.
- [0407] 상술한 바와 같이, 열의 위치를 나타내는 j와 s에는 다음과 같은 관계가 성립된다. j가 짝수인 경우, s는 j/2 이고, 1 이상 q/2 이하의 정수이다. j가 홀수인 경우, s는 (j+1)/2 이고, 1 이상 (q+1)/2 이하의 정수이다.
- [0408] 또한 도 23의 (A)에 나타난 바와 같이, 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)로서, 각각 백 게이트를 가지는 트랜지스터를 사용하여도 좋다. 게이트와 백 게이트는 게이트와 백 게이트로 반도체의 채널 형성 영역을 끼우도록 배치된다. 게이트와 백 게이트는 도전체로 형성된다. 백 게이트는 게이트와 같은 식으로 기능할 수 있다. 또한 백 게이트의 전위를 변화시킴으로써 트랜지스터의 문턱 전압을 변화시킬 수 있다. 백 게이트 전극의 전위는, 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위 또는 임의의 전위로 하여도 좋다.
- [0409] 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)는 각각 백 게이트를 가지지 않아도 된다. 예를 들어

도 23의 (B)에 나타난 바와 같이, 트랜지스터(M1)로서 백 게이트를 가지는 트랜지스터를 사용하고, 트랜지스터(M2) 및 트랜지스터(M3)로서 백 게이트를 가지지 않는 트랜지스터를 사용하여도 좋다.

- [0410] 또한 게이트와 백 게이트는 도전체로 형성되기 때문에, 채널이 형성되는 반도체에 트랜지스터의 외부에서 발생하는 전기장이 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 즉, 정전기 등의 외부의 전기장의 영향으로 인하여 트랜지스터의 전기적인 특성이 변동되는 것을 억제할 수 있다. 또한 백 게이트를 제공함으로써 바이어스-열 스트레스 시험(BT 시험이라고도 함) 전후에서의 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.
- [0411] 예를 들어 트랜지스터(M1)로서 백 게이트를 가지는 트랜지스터를 사용함으로써 외부의 전기장의 영향이 경감되어 안정적으로 오프 상태를 유지할 수 있다. 따라서, 노드(ND)에 기록된 데이터를 안정적으로 유지할 수 있다. 백 게이트를 제공함으로써 메모리 셀(10)의 동작이 안정되므로, 메모리 셀(10)을 포함하는 기억 장치의 신뢰성을 높일 수 있다.
- [0412] 마찬가지로, 트랜지스터(M3)로서 백 게이트를 가지는 트랜지스터를 사용함으로써 외부의 전기장의 영향이 경감되어 안정적으로 오프 상태를 유지할 수 있다. 따라서 배선(RBL)과 배선(PL) 사이의 누설 전류가 저감되어, 메모리 셀(10)을 포함하는 기억 장치의 소비 전력을 저감할 수 있다.
- [0413] 또한 트랜지스터(M2)의 백 게이트의 전위를 접지 전위로 하는 경우, 용량 소자(C)의 한쪽 전극은 트랜지스터(M2)의 백 게이트로서의 기능을 가져도 좋다. 이때, 용량 소자(C)의 한쪽 전극은 용량 소자(C)의 다른 쪽 전극과, 트랜지스터(M2)의 채널이 형성되는 영역과 중첩되도록 제공되면 좋다. 구체적으로는, 메모리 셀(10)은 도 5의 (A)에 나타난 반도체 장치의 구성으로 하는 것이 좋다.
- [0414] 마찬가지로 트랜지스터(M1) 내지 트랜지스터(M3)의 백 게이트의 전위를 접지 전위로 하는 경우, 용량 소자(C)의 한쪽 전극은 트랜지스터(M1) 내지 트랜지스터(M3)의 백 게이트로서의 기능을 가져도 좋다. 이때, 용량 소자(C)의 한쪽 전극은 용량 소자(C)의 다른 쪽 전극과, 트랜지스터(M1) 내지 트랜지스터(M3)의 채널이 형성되는 영역과 중첩되도록 제공하면 좋다. 구체적으로는, 메모리 셀(10)은 도 5의 (B)에 나타난 반도체 장치의 구성으로 하는 것이 좋다.
- [0415] 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)의 채널이 형성되는 반도체층에는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단독으로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘 또는 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 산화물 반도체, 또는 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다.
- [0416] 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)는 채널이 형성되는 반도체층에 금속 산화물의 일종인 산화물 반도체를 사용하는 트랜지스터("OS 트랜지스터"라고도 함)인 것이 바람직하다. 산화물 반도체는 밴드 갭이 2eV 이상이기 때문에 오프 전류가 현저히 작다. 따라서 메모리 셀(10)의 소비 전력을 저감할 수 있다. 따라서 메모리 셀(10)을 포함하는 기억 장치(100)의 소비 전력을 저감할 수 있다.
- [0417] 또한 OS 트랜지스터를 포함하는 메모리 셀을 "OS 메모리"라고 부를 수 있다. 또한 이 메모리 셀을 포함하는 기억 장치(100)도 "OS 메모리"라고 부를 수 있다.
- [0418] 또한 OS 트랜지스터는 고온 환경하에서도 동작이 안정적이고, 전기 특성의 변동이 적다. 예를 들어 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도하에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 감소하기 어렵다. 따라서 OS 메모리는 고온 환경하에서도 동작이 안정적이고 신뢰성이 높다.
- [0419] 또한 OS 트랜지스터는 방사선에 대한 내성이 높다. 따라서, OS 메모리는 방사선이 입사할 수 있는 환경에서도 소프트 에러의 발생 빈도가 낮기 때문에 신뢰성이 높은 기억 장치를 제공할 수 있다. 또한 소프트 에러란 메모리 셀에 기억되어 있는 데이터의 일부가 의도하지 않게 반전되는 불량을 말한다.
- [0420] 예를 들어 OS 메모리는 우주 공간에서 적합하게 사용할 수 있다. 구체적으로는 OS 메모리를 우주 왕복선, 인공 위성, 우주 탐사기 등에 제공되는 기억 장치에 사용할 수 있다. 방사선으로서 예를 들어 X선 및 중성자선 등이 있다. 또한 우주 공간이란, 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재되는 우주 공간에는 열권, 중간권, 및 성층권이 포함되어도 좋다.
- [0421] 또는 예를 들어 OS 메모리는 원자력 발전소 및 방사성 폐기물의 처리장 또는 처분장의 작업용 로봇에 제공되는 기억 장치에 사용할 수 있다. 특히 원자로 시설의 해체, 핵연료 또는 연료 데브리를 꺼내는 작업, 방사성 물질

이 많은 공간의 실지 조사 등에서 원격 조종되는 원격 조종 로봇에 제공되는 기억 장치에 적합하게 사용할 수 있다.

- [0422] 또는 예를 들어 OS 트랜지스터는 방사선 의료에서 사용되는 전자 기기에 제공되는 반도체 장치를 구성하는 트랜지스터로서 적합하게 사용할 수 있다. 상기 전자 기기의 일례로서는 엑스레이 촬영에서 사용되는 X선 검지 패널을 들 수 있다.
- [0423] <메모리 셀(10)의 동작예>
- [0424] 메모리 셀(10)의 데이터 기록 동작예와 판독 동작예에 대하여 설명한다. 본 실시형태에서는 트랜지스터(M1) 내지 트랜지스터(M3)에 노멀리 오프형의 n채널형 트랜지스터를 사용하는 것으로 한다.
- [0425] 도 24는 메모리 셀(10)의 동작예를 설명하기 위한 타이밍 차트이다. 도 25의 (A) 내지 도 26의 (B)는 메모리 셀(10)의 동작예를 설명하기 위한 회로도이다.
- [0426] 이하의 도면 등에서 배선 및 전극의 전위를 나타내기 위하여, 배선 및 전극에 인접하여 전위(H)를 나타내는 "H", 또는 전위(L)를 나타내는 "L"를 부기하는 경우가 있다. 또한 전위 변화가 발생된 배선 및 전극에는, "H" 또는 "L"를 원문자로 부기하는 경우가 있다. 또한 트랜지스터가 오프 상태인 경우, 상기 트랜지스터에 걸쳐 '×' 기호를 부기하는 경우가 있다.
- [0427] 또한 전위(H)가 n채널형 트랜지스터의 게이트에 공급되면 상기 트랜지스터가 온 상태가 되는 것으로 한다. 또한 전위(L)가 n채널형 트랜지스터의 게이트에 공급되면 상기 트랜지스터가 오프 상태가 되는 것으로 한다. 따라서 전위(H)는 전위(L)보다 높은 전위이다. 전위(H)는 고전원 전위(VDD)와 같은 전위이어도 좋다. 또한 전위(L)는 전위(H)보다 낮은 전위이다. 전위(L)는 접지 전위(GND)와 같은 전위이어도 좋다. 본 실시형태에서는 전위(L)를 접지 전위(GND)와 같은 전위로 한다.
- [0428] 우선, 기간(T0)에 있어서, 배선(WWL), 배선(RWL), 배선(WBL), 배선(RBL), 배선(PL), 및 노드(ND)의 전위가 전위(L)인 것으로 한다(도 24). 또한 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)의 백 게이트에 접지 전위(GND)가 공급되어 있는 것으로 한다.
- [0429] [데이터 기록 동작]
- [0430] 기간 T1에 있어서 배선(WWL) 및 배선(WBL)에 전위(H)를 공급한다. 이로써 트랜지스터(M1)가 온 상태가 되고, 노드(ND)에 "1"을 나타내는 데이터로서 전위(H)가 기록된다(도 24 및 도 25의 (A)).
- [0431] 노드(ND)의 전위가 전위(H)가 되면 트랜지스터(M2)는 온 상태가 된다. 또한 배선(RWL)의 전위는 전위(L)이기 때문에 트랜지스터(M3)는 오프 상태이다. 트랜지스터(M3)를 오프 상태로 해두면 배선(RBL)과 배선(PL)의 단락을 방지할 수 있다.
- [0432] [유지 동작]
- [0433] 기간 T2에서 배선(WWL)에 전위(L)를 공급한다. 이로써 트랜지스터(M1)가 오프 상태가 되고, 노드(ND)가 플로팅 상태가 된다. 따라서 노드(ND)에 기록된 데이터(전위(H))가 유지된다(도 24 및 도 25의 (B)). 또한 기간(T2) 종료 후, 배선(WBL)의 전위는 전위(L)가 되는 것으로 한다.
- [0434] 상술한 바와 같이 OS 트랜지스터는 오프 전류가 매우 낮은 트랜지스터이다. 트랜지스터(M1)에 OS 트랜지스터를 사용함으로써 노드(ND)에 기록된 데이터를 장기간 유지할 수 있다. 그러므로 노드(ND)의 전위를 리프레시할 필요가 없어져 메모리 셀(10)의 소비 전력을 저감할 수 있다. 따라서 기억 장치(100)의 소비 전력을 저감할 수 있다.
- [0435] 또한 트랜지스터(M2) 및 트랜지스터(M3) 중 한쪽 또는 양쪽으로서 OS 트랜지스터를 사용함으로써, 기록 동작 및 유지 동작 시에 배선(RBL)과 배선(PL) 사이에 흐르는 누설 전류를 매우 낮게 할 수 있다.
- [0436] 이에 더하여 OS 트랜지스터는 채널이 형성되는 반도체층에 실리콘을 사용하는 트랜지스터(Si 트랜지스터라고도 함)에 비하여 소스와 드레인 간의 절연 내압이 높다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써 노드(ND)에 더 높은 전위를 공급할 수 있다. 따라서 노드(ND)에 유지하는 전위 범위를 크게 할 수 있다. 노드(ND)에 유지하는 전위 범위를 크게 함으로써 멀티레벨 데이터 또는 아날로그 데이터를 유지하는 것이 용이해진다.
- [0437] [판독 동작]
- [0438] 기간 T3에서 배선(RBL)에 전위(H)를 프리차지(Pre)한다. 즉 배선(RBL)의 전위를 전위(H)로 한 후, 배선(RBL)을

플로팅 상태로 한다(도 24 및 도 26의 (A)).

- [0439] 다음으로 기간(T4)에 있어서, 배선(RWL)에 전위(H)를 공급하여 트랜지스터(M3)를 온 상태로 한다. 이때 노드(ND)의 전위가 전위(H)인 경우에는 트랜지스터(M2)가 온 상태이기 때문에 트랜지스터(M2) 및 트랜지스터(M3)를 통하여 배선(RBL)과 배선(PL)이 도통 상태가 된다. 배선(RBL)과 배선(PL)이 도통 상태가 되면 플로팅 상태인 배선(RBL)의 전위가 전위(H)에서 전위(L)로 변화된다(도 24 및 도 26의 (B)).
- [0440] 또한 노드(ND)에 "0"을 나타내는 데이터로서 전위(L)가 기록되어 있는 경우에는 트랜지스터(M2)는 오프 상태이다. 따라서 트랜지스터(M3)가 온 상태가 되어도 배선(RBL)과 배선(PL)은 도통 상태가 되지 않기 때문에 배선(RBL)의 전위는 전위(H)를 유지한다.
- [0441] 이와 같이 배선(RWL)에 전위(H)를 공급하였을 때의 배선(RBL)의 전위 변화를 검출함으로써 메모리 셀(10)에 기록된 데이터를 판독할 수 있다.
- [0442] OS 트랜지스터를 사용한 메모리 셀(10)에서는 OS 트랜지스터를 통하여 노드(ND)에 전하를 기록하는 방식이기 때문에, 종래의 플래시 메모리에서 필요한 고전압이 불필요하고, 고속 기록 동작도 실현할 수 있다. 또한 플래시 메모리와 달리, 플로팅 게이트 또는 전하 포획층에 대한 전하 주입 및 이들로부터의 전하 추출도 수행되지 않기 때문에, OS 트랜지스터를 사용한 메모리 셀(10)은 실질적으로 데이터의 기록 및 판독이 제한 없이 가능하다. OS 트랜지스터를 사용한 메모리 셀(10)은 플래시 메모리와 달리, 재기록 동작을 반복하여도 전자 포획 중심의 증가로 인한 불안정성이 확인되지 않는다. OS 트랜지스터를 사용한 메모리 셀(10)은 종래의 플래시 메모리와 비교하여 열화가 적고, 높은 신뢰성이 얻어진다.
- [0443] OS 트랜지스터를 사용한 메모리 셀(10)은 자기 메모리 또는 저항 변화형 메모리 등과 달리, 원자 레벨에서의 구조 변화가 일어나지 않는다. 따라서 OS 트랜지스터를 사용한 메모리 셀(10)은 자기 메모리 및 저항 변화형 메모리보다 재기록에 대한 내성이 높다.
- [0444] <감지 증폭기(46)의 구성예>
- [0445] 다음으로 감지 증폭기(46)의 구성예에 대하여 설명한다. 구체적으로는 감지 증폭기(46)를 포함하는, 데이터 신호의 기록 또는 판독을 수행하는 기록 판독 회로의 구성예에 대하여 설명한다.
- [0446] 도 27은 감지 증폭기(46)를 포함하는, 데이터 신호의 기록과 판독을 수행하는 회로(600)의 구성예를 나타낸 회로도이다. 회로(600)는 배선(WBL)마다 및 배선(RBL)마다 제공된다.
- [0447] 회로(600)는 트랜지스터(661) 내지 트랜지스터(666), 감지 증폭기(46), AND 회로(652), 아날로그 스위치(653), 및 아날로그 스위치(654)를 가진다.
- [0448] 회로(600)는 신호(SEN), 신호(SEP), 신호(BPR), 신호(RSEL), 신호(WSEL), 신호(GRSEL), 및 신호(GWSEL)에 따라 동작한다.
- [0449] 회로(600)에 입력되는 데이터(DIN)는 노드(NS)와 AND 회로(652)를 통하여 전기적으로 접속된 배선(WBL)을 통하여 메모리 셀(10)에 기록된다. 메모리 셀(10)에 기록된 데이터(DOUT)는 노드(NSB)와 아날로그 스위치(653)를 통하여 전기적으로 접속된 배선(RBL)에 전달됨으로써 회로(600)로부터 데이터(DOUT)로서 출력된다.
- [0450] 또한 데이터(DIN) 및 데이터(DOUT)는 내부 신호이고, 각각 데이터 신호(WDA) 및 데이터 신호(RDA)에 대응한다.
- [0451] 트랜지스터(661)는 프리차지 회로에 포함된다. 트랜지스터(661)에 의하여 배선(RBL)은 프리차지 전위(Vpre)로 프리차지된다. 또한 본 실시형태에서는 프리차지 전위(Vpre)로서 전위(Vdd)(하이 레벨)를 사용한 경우에 대하여 설명한다(도 27에서는 Vdd(Vpre)라고 표기함). 신호(BPR)는 프리차지 신호이고, 신호(BPR)에 의하여 트랜지스터(661)의 도통 상태가 제어된다.
- [0452] 감지 증폭기(46)는 판독 동작 시에는 배선(RBL)에 입력된 데이터의 하이 레벨 또는 로 레벨을 판정한다. 또한 감지 증폭기(46)는 기록 동작 시에는 회로(600)에 입력된 데이터(DIN)를 일시적으로 유지하는 래치 회로로서 기능한다.
- [0453] 도 27에 나타낸 감지 증폭기(46)는 래치형 감지 증폭기이다. 감지 증폭기(46)는 2개의 인버터 회로를 가지고, 한쪽 인버터 회로의 입력 노드가 다른 쪽 인버터 회로의 출력 노드와 접속된다. 한쪽 인버터 회로의 입력 노드를 노드(NS)로 하고, 출력 노드를 노드(NSB)로 하면 노드(NS) 및 노드(NSB)에서 상보 데이터가 유지된다.
- [0454] 신호(SEN) 및 신호(SEP)는 감지 증폭기(46)를 활성화시키기 위한 감지 증폭기 인에이블 신호이고, 레퍼런스 전

위(Vref)는 판독 판정 전위이다. 감지 증폭기(46)는 레퍼런스 전위(Vref)를 기준으로 활성화된 시점의 노드(NSB)의 전위가 하이 레벨인지 로 레벨인지를 판정한다.

- [0455] AND 회로(652)는 노드(NS)와 배선(WBL)의 도통 상태를 제어한다. 또한 아날로그 스위치(653)는 노드(NSB)와 배선(RBL)의 도통 상태를 제어한다. 또한 아날로그 스위치(654)는 노드(NS)와 레퍼런스 전위(Vref)를 공급하는 배선과의 도통 상태를 제어한다.
- [0456] 데이터 판독 시에서는 배선(RBL)의 전위는 아날로그 스위치(653)에 의하여 노드(NSB)에 전달된다. 배선(RBL)의 전위가 레퍼런스 전위(Vref)보다 낮아지면, 감지 증폭기(46)는 배선(RBL)이 로 레벨인 것으로 판정한다. 또한 배선(RBL)의 전위가 레퍼런스 전위(Vref)보다 낮아지지 않는 경우, 감지 증폭기(46)는 배선(RBL)이 하이 레벨인 것으로 판정한다.
- [0457] 신호(WSEL)는 기록 선택 신호이고, AND 회로(652)를 제어한다. 신호(RSEL)는 판독 선택 신호이고, 아날로그 스위치(653) 및 아날로그 스위치(654)를 제어한다.
- [0458] 트랜지스터(662) 및 트랜지스터(663)는 출력 MUX(멀티플렉서) 회로에 포함된다. 신호(GRSEL)는 글로벌 판독 선택 신호이고, 출력 MUX 회로를 제어한다. 출력 MUX 회로는 데이터를 판독하는 배선(RBL)을 선택하는 기능을 가진다.
- [0459] 출력 MUX 회로는 감지 증폭기(46)로부터 판독한 데이터(DOUT)를 출력하는 기능을 가진다.
- [0460] 트랜지스터(664) 내지 트랜지스터(666)는 기록 드라이버 회로에 포함된다. 신호(GWSEL)는 글로벌 기록 선택 신호이고, 기록 드라이버 회로를 제어한다. 기록 드라이버 회로는 데이터(DIN)를 감지 증폭기(46)에 기록하는 기능을 가진다.
- [0461] 기록 드라이버 회로는 데이터(DIN)를 기록하는 열을 선택하는 기능을 가진다. 기록 드라이버 회로는 신호(GWSEL)에 따라 바이트 단위, 하프 워드 단위, 또는 1 워드 단위로 데이터를 기록한다.
- [0462] 게인 셀형 메모리 셀은 1메모리 셀당 적어도 2개의 트랜지스터가 필요하고, 단위 면적당 배치할 수 있는 메모리 셀의 수를 늘리는 것이 어렵다. 한편, 메모리 셀(10)에 포함되는 트랜지스터로서 OS 트랜지스터를 사용함으로써, 메모리 셀 어레이(15)를 복수로 적층하여 제공할 수 있다. 즉 단위 면적당 기억할 수 있는 데이터양을 늘릴 수 있다. 또한 게인 셀형 메모리 셀은 전하를 축적하는 용량이 작은 경우에도 축적된 전하를 가장 가까운 트랜지스터로 증폭함으로써 메모리로서의 동작을 수행할 수 있다. 또한 메모리 셀(10)에 포함되는 트랜지스터로서 오프 전류가 매우 낮은 OS 트랜지스터를 사용함으로써 커패시터의 용량을 작게 할 수 있다. 또는 커패시터로서 트랜지스터의 게이트 용량 및 배선의 기생 용량 중 한쪽 또는 양쪽을 이용할 수 있어 커패시터를 생략할 수 있다. 즉 메모리 셀(10)의 면적을 축소시킬 수 있다.
- [0463] 상술한 바와 같이, OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작고, 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서도 적합하게 사용할 수 있다. 따라서, 메모리 셀(10)이 가지는 트랜지스터로서 OS 트랜지스터를 사용함으로써, 방사선 내성이 높은 메모리 셀(10)을 제공할 수 있다.
- [0464] 여기서, 방사선 조사에 의한 메모리 셀의 메모리 에러의 원인으로서, 메모리 셀이 가지는 트랜지스터로의 TID(Total Ionizing Dose)로 인한 고장(항구적 에러 또는 하드 에러라고도 함)이 예상된다. 또한 고장의 요인으로서, 기록 트랜지스터 또는 판독 트랜지스터의 음으로의 시프트(노멀리 온 특성)이 예상된다. 또한 "TID"는 토탈 도즈 효과(total ionizing dose effect)를 가리키는 경우가 있다. 따라서, 본 명세서 등에 기재된 "TID"는 "토탈 도즈 효과"라고 바꿔 말할 수 있는 경우가 있다.
- [0465] 그러므로 메모리 셀(10)의 방사선 내성을 더 높이기 위해서는 트랜지스터(M1) 내지 트랜지스터(M3) 중 적어도 하나에 멀티 게이트형 트랜지스터를 사용하는 것이 바람직하다. 또한 본 명세서 등에 있어서, 멀티 게이트형 트랜지스터란, 복수의 게이트를 가지고, 또한 복수의 게이트가 전기적으로 접속되는 트랜지스터를 가리킨다. 또한 2개의 게이트를 가지는 멀티 게이트형 트랜지스터를 특히 더블 게이트형 트랜지스터라고 부른다. 또한 3개의 게이트를 가지는 멀티 게이트형 트랜지스터를 특히 트리플 게이트형 트랜지스터라고 부른다.
- [0466] 도 28의 (A)에 더블 게이트형 트랜지스터(61)의 회로 기호의 예를 나타내었다.
- [0467] 트랜지스터(61)는 트랜지스터(Tr1)와 트랜지스터(Tr2)가 직렬로 접속된 구성을 가진다. 도 28의 (A)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)에 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및

드레인 중 다른 쪽이 단자(D)에 전기적으로 접속되어 있다. 또한 도 28의 (A)에서는 트랜지스터(Tr1)와 트랜지스터(Tr2)의 게이트가 서로 전기적으로 접속되고 또한 단자(G)에 전기적으로 접속되어 있다.

- [0468] 도 28의 (A)에 나타난 트랜지스터(61)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 간을 도통 상태 또는 비도통 상태로 전환하는 기능을 가진다. 따라서 더블 게이트형 트랜지스터인 트랜지스터(61)는 트랜지스터(Tr1)와 트랜지스터(Tr2)를 포함하지만, 실질적으로는 하나의 트랜지스터로서 기능한다. 즉 도 28의 (A)에서, 트랜지스터(61)의 소스 및 드레인 중 한쪽은 단자(S)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)에 전기적으로 접속되고, 게이트는 단자(G)에 전기적으로 접속되어 있다고 할 수 있다.
- [0469] 트랜지스터(61)에 방사선이 입사함으로써 트랜지스터(Tr1) 및 트랜지스터(Tr2) 중 한쪽이 음으로 시프트하여 노멀리 온 특성을 가진 경우에도, 다른 쪽에서 단자(S)와 단자(D) 간을 도통 상태 또는 비도통 상태로 전환할 수 있다. 따라서 트랜지스터(61)의 방사선 내성을 높일 수 있다.
- [0470] 또한 트랜지스터(Tr1)와 트랜지스터(Tr2)는 반도체층을 공유하여도 좋지만, 독립적으로 가지는 것이 바람직하다. 즉, 트랜지스터(Tr1)의 반도체층과 트랜지스터(Tr2)의 반도체층은 분리되어 있는 것이 바람직하다. 트랜지스터(Tr1)와 트랜지스터(Tr2)는 반도체층을 공유하는 경우와 비교하여 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 동시에 고장나는 빈도를 줄일 수 있다.
- [0471] 도 28의 (B)에 트리플 게이트형 트랜지스터(62)의 회로 기호의 예를 나타내었다.
- [0472] 트랜지스터(62)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)가 직렬로 접속된 구성을 가진다. 도 28의 (B)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)에 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr3)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 다른 쪽이 단자(D)에 전기적으로 접속되어 있다. 또한 도 28의 (B)에서는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)의 게이트가 서로 전기적으로 접속되고 또한 단자(G)에 전기적으로 접속되어 있다.
- [0473] 도 28의 (B)에 나타난 트랜지스터(62)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 사이의 도통 상태와 비도통 상태를 전환하는 기능을 가진다. 따라서 트리플 게이트형 트랜지스터인 트랜지스터(62)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)를 포함하지만, 실질적으로 하나의 트랜지스터로서 기능한다. 즉 도 28의 (B)에서 트랜지스터(62)의 소스 및 드레인 중 한쪽은 단자(S)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)와 전기적으로 접속되고, 게이트는 단자(G)와 전기적으로 접속되어 있다고 말할 수 있다.
- [0474] 트랜지스터(M1) 내지 트랜지스터(M3) 중 적어도 하나에 더블 게이트형 트랜지스터를 사용하는 경우와 마찬가지로 트랜지스터(M1) 내지 트랜지스터(M3) 중 적어도 하나에 트리플 게이트형 트랜지스터를 사용함으로써, 메모리 셀(10)의 방사선 내성을 더 높일 수 있다.
- [0475] 여기서, 트랜지스터(M1)에 더블 게이트형 트랜지스터를 사용한 경우, 메모리 셀(10)의 구성예를 도 28의 (C)에 나타내었다. 또한 도 28의 (C)에 나타난 트랜지스터(M1)는 백 게이트를 가진다. 또한 트랜지스터(M1)를 구성하는 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 백 게이트와 전기적으로 접속되는 단자는 동일한 노드로 할 수 있다. 또는 트랜지스터(Tr1)의 백 게이트와 전기적으로 접속되는 단자와, 트랜지스터(Tr2)의 백 게이트와 전기적으로 접속되는 단자는 분리하여도 좋다.
- [0476] 도 28의 (C)에 나타난 바와 같이, 트랜지스터(M1)에 트랜지스터(61)를 사용함으로써 노드(ND)에 기록된 데이터를 안정적으로 유지할 수 있다. 또한 트랜지스터(M1)로서, 트리플 게이트형 트랜지스터 또는 4개 이상의 게이트를 가지는 멀티 게이트형 트랜지스터를 사용하여도 좋다.
- [0477] 도 28의 (C)에서는, 트랜지스터(M1)에 트랜지스터(61)를 사용하는 구성을 나타내었지만, 트랜지스터(M1) 내지 트랜지스터(M3) 중 적어도 하나에 멀티 게이트형 트랜지스터를 사용하는 것이 좋다. 예를 들어, 트랜지스터(M2)에 멀티 게이트형 트랜지스터를 사용함으로써, 관독 전류의 증가를 억제하고, 관독 시에 노드(ND)에 기록된 데이터를 잘못 관독하는 것을 방지할 수 있다. 또한 예를 들어 트랜지스터(M3)에 멀티 게이트형 트랜지스터를 사용함으로써, 선택한 메모리 셀과는 다른 메모리 셀이 선택되는 것을 억제할 수 있다.
- [0478] 또한 상기를 감안하면, 메모리 셀(10)의 방사선 내성을 높이기 위해서는, 트랜지스터(M2)의 반도체층과 트랜지스터(M3)의 반도체층은 분리하는 것이 바람직하다. 한편, 트랜지스터(M2)와 트랜지스터(M3)가 반도체층을 공유

함으로써, 메모리 셀(10)의 고집적화를 실현할 수 있다. 따라서, 트랜지스터(M2) 및 트랜지스터(M3)의 반도체층의 구성은 메모리 셀(10)의 용도에 따라 적절히 선택하면 좋다.

- [0479] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0480] (실시형태 3)
- [0481] 본 실시형태에서는 본 발명의 일 형태의 기억 장치가 실장된 칩의 일례에 대하여 도면을 사용하여 설명한다.
- [0482] 도 29의 (A) 및 (B)에 나타난 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.
- [0483] 도 29의 (A)에 나타난 바와 같이, 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.
- [0484] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 29의 (B)에 나타난 바와 같이, 패키지 기판(1201)의 제 1면에 접속된다. 또한 패키지 기판(1201)의 제 1면의 뒷면에는 복수의 범프(1202)가 제공되고, 머더보드(1203)에 접속된다.
- [0485] 머더보드(1203)에는 DRAM(1221) 및 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 NOSRAM을 사용할 수 있다. 이에 의하여 DRAM(1221)을 저소비 전력화, 고속화, 및 대용량화시킬 수 있다.
- [0486] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 데이터를 일시적으로 저장하는 메모리를 포함하여도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 NOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 OS 트랜지스터를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써, 화상 처리 또는 적화 연산을 저소비 전력으로 실행할 수 있다.
- [0487] 또한 CPU(1211)와 GPU(1212)가 동일한 칩에 제공되면, CPU(1211)와 GPU(1212) 간의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)에 포함되는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.
- [0488] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 포함한다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.
- [0489] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 포함한다.
- [0490] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 및 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 포함한다. 컨트롤러에는 마우스, 키보드, 및 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서, USB(Universal Serial Bus) 또는 HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.
- [0491] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 포함한다. 또한 네트워크 보안용 회로를 포함하여도 좋다.
- [0492] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어 칩(1200)을 적은 비용으로 제작할 수 있다.
- [0493] GPU(1212)를 가지는 칩(1200)이 제공된 패키지 기판(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.
- [0494] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한 화상 처리 능력이 높기 때문에, 스마트폰, 태블릿 단말기, 랩톱 PC, 또는 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의

방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

- [0495] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0496] (실시형태 4)
- [0497] 본 실시형태에서는 본 발명의 일 형태의 기억 장치가 제공된 전자 부품의 일례를 나타낸다.
- [0498] [전자 부품]
- [0499] 도 30의 (A)는 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도이다. 도 30의 (A)에 나타난 전자 부품(700)은 몰드(711) 내에 본 발명의 일 형태의 기억 장치인 기억 장치(100)를 가진다. 도 30의 (A)에서는, 전자 부품(700)의 내부를 나타내기 위하여 일부의 기재를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 기억 장치(100)와 와이어(714)를 통하여 전기적으로 접속된다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고, 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써, 실장 기판(704)이 완성된다.
- [0500] 앞의 실시형태에서 설명한 바와 같이, 기억 장치(100)는 구동 회로층(50)과 기억층(11)(메모리 셀 어레이(15)를 포함함)을 가진다.
- [0501] 도 30의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)에서는 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(100)가 제공되어 있다.
- [0502] 전자 부품(730)에서는 기억 장치(100)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)로서는 CPU, GPU, 또는 FPGA(Field Programmable Gate Array) 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0503] 패키지 기판(732)으로서는 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(731)로서는 예를 들어 실리콘 인터포저 또는 수지 인터포저 등을 사용할 수 있다.
- [0504] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극에 전기적으로 접속하는 기능을 가진다. 그러므로, 인터포저를 '재배선 기판' 또는 '중간 기판'이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.
- [0505] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자가 제공될 필요가 없기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 프로세스로 형성할 수 있으므로 수지 인터포저에서는 어려운 미세 배선을 형성하기 쉽다.
- [0506] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0507] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는 집적 회로와 인터포저 간의 팽창 계수의 차이로 인한 신뢰성의 저하가 생기기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량 발생하기 어렵다. 특히 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0508] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(731) 위에 제공하는 집적 회로의 높이를 같게 하는 것이 바람직하다. 예를 들어 본 실시형태에 나타난 전자 부품(730)에서는 기억 장치(100)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.
- [0509] 전자 부품(730)을 다른 기판에 실장하기 위하여, 패키지 기판(732)의 바닥 부분에 전극(733)을 제공하여도 좋다. 도 30의 (B)에서는 전극(733)을 뿔뿔로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥 부분에

뎀납 볼을 매트릭스로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기관(732)의 바닥 부분에 도전성의 핀을 매트릭스로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

- [0510] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기관에 실장할 수 있다. 실장 방법으로서의 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.
- [0511] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0512] (실시형태 5)
- [0513] 본 실시형태에서는 본 발명의 일 형태의 기억 장치의 응용에 대하여 설명한다.
- [0514] 본 발명의 일 형태의 기억 장치는, 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 스틸 카메라, 비디오 카메라, 녹화 재생 장치, 내비게이션 시스템, 및 게임기)의 기억 장치에 적용할 수 있다. 또한 이미지 센서, IoT(Internet of Things), 또는 헬스케어 관련 기기 등에 사용할 수도 있다. 또한 여기서 컴퓨터에는 태블릿형 컴퓨터, 노트북형 컴퓨터, 및 데스크톱형 컴퓨터뿐만 아니라 서버 시스템과 같은 대형 컴퓨터도 포함된다.
- [0515] 본 발명의 일 형태의 기억 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 31의 (A) 내지 (J) 그리고 도 32의 (A) 내지 (E)에서는, 앞의 실시형태에서 설명한 상기 기억 장치를 포함하는 전자 부품(700) 또는 전자 부품(730)이 각 전자 기기에 포함되어 있다.
- [0516] [휴대 전화]
- [0517] 도 31의 (A)에 나타난 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화기(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.
- [0518] 본 발명의 일 형태에 따른 기억 장치를 적용함으로써, 정보 단말기(5500)는 애플리케이션 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.
- [0519] [웨어러블 단말기]
- [0520] 도 31의 (B)에 웨어러블 단말기의 일례인 정보 단말기(5900)를 나타내었다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 스위치(5903), 조작 스위치(5904), 및 밴드(5905) 등을 가진다.
- [0521] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태의 기억 장치를 적용함으로써, 웨어러블 단말기는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.
- [0522] [정보 단말기]
- [0523] 도 31의 (C)에는 데스크톱형 정보 단말기(5300)를 나타내었다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301), 표시부(5302), 및 키보드(5303)를 가진다.
- [0524] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태의 기억 장치를 적용함으로써, 데스크톱형 정보 단말기(5300)는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.
- [0525] 도 31의 (A) 내지 (C)에서는 전자 기기로서, 스마트폰, 웨어러블 단말기, 및 데스크톱용 정보 단말기에 대하여 설명하였지만, 다른 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 및 워크스테이션이 있다.
- [0526] [전자 제품]
- [0527] 도 31의 (D)에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 나타내었다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 및 냉동실용 문(5803) 등을 포함한다. 예를 들어 전기 냉동 냉장고(5800)는 IoT(Internet of Things)에 대응한 전기 냉동 냉장고이다.
- [0528] 본 발명의 일 형태의 기억 장치를 전기 냉동 냉장고(5800)에 적용할 수 있다. 전기 냉동 냉장고(5800)는, 전기 냉동 냉장고(5800)에 보관되는 식재료, 및 그 식재료의 소비 기한 등의 정보를, 예를 들어 인터넷을 통하여 정보 단말기에 송신하거나 정보 단말기 등으로부터 수신할 수 있다. 전기 냉동 냉장고(5800)에서는 상기 정보를

송신하는 경우에 생성되는 일시적인 파일을 본 발명의 일 형태의 기억 장치에 유지할 수 있다.

- [0529] 도 31의 (D)에서는 전자 제품으로서 전기 냉동 냉장고에 대하여 나타내었지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 및 오디오 비주얼 기기(audio visual appliance)가 있다.
- [0530] [게임기]
- [0531] 도 31의 (E)에는 게임기의 일례인 휴대용 게임기(5200)를 나타내었다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 또는 버튼(5203) 등을 가진다.
- [0532] 또한 도 31의 (F)는 게임기의 일례인 거치형 게임기(7500)를 나타낸 것이다. 거치형 게임기(7500)는 특히 가정용 거치형 게임기라고 할 수 있다. 거치형 게임기(7500)는 본체(7520) 및 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 31의 (F)에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 외의 입력 인터페이스로서 기능하는 터치 패널, 스틱, 회전식 손잡이, 또는 슬라이드식 손잡이 등을 가질 수 있다. 또한 컨트롤러(7522)의 형상은 도 31의 (F)에 나타낸 것에 한정되지 않고, 게임의 분야에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기 또는 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 및 마이크로폰 중 하나 또는 복수를 가지고, 게임 플레이어의 제스처 또는 음성을 사용하여 조작을 하여도 좋다.
- [0533] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이 또는 헤드 마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.
- [0534] 본 발명의 일 형태의 기억 장치를 휴대용 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써 소비 전력을 저감할 수 있다. 또한 저소비 전력화에 의하여 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0535] 또한 본 발명의 일 형태의 기억 장치를 휴대용 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 게임 중에 발생하는 연산에 필요한 일시적인 파일 등을 유지할 수 있다.
- [0536] 도 31의 (E) 및 (F)에서는 게임기의 일례로서 휴대용 게임기 및 가정용 거치형 게임기에 대하여 설명하였지만, 이들 외의 게임기로서는 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 및 스포츠 시설에 설치되는 배팅 연습용 투구 머신이 있다.
- [0537] [이동체]
- [0538] 본 발명의 일 형태의 기억 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0539] 도 31의 (G)에는 이동체의 일례인 자동차(5700)를 도시하였다.
- [0540] 자동차(5700)의 운전석 주변에는, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 또는 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공하는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 기억 장치가 제공되어도 좋다.
- [0541] 특히 상기 표시 장치는, 자동차(5700)에 제공된 활상 장치(도시하지 않았음)가 찍은 영상을 표시함으로써, 예를 들어 필러에 가려진 시계 또는 운전석의 사각 등을 보완할 수 있어 안전성을 높일 수 있다. 즉, 자동차(5700)의 외측에 제공된 활상 장치가 찍은 화상이 표시됨으로써, 사각을 보완하고 안전성을 높일 수 있다.
- [0542] 본 발명의 일 형태의 기억 장치는 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 자동차(5700)의 자율 주행, 도로 안내, 또는 위험 예측 등을 실행하는 시스템에서 필요한 일시적인 정보의 유지에 상기 기억 장치를 사용할 수 있다. 또한 본 발명의 일 형태의 기억 장치는 자동차(5700)에 제공된 블랙 박스가 찍은 영상을 유지 하여도 좋다.
- [0543] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 및 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓)도 있다.
- [0544] [카메라]

- [0545] 본 발명의 일 형태의 기억 장치는 카메라에 적용할 수 있다.
- [0546] 도 31의 (H)에 촬상 장치의 일례인 디지털 카메라(6240)를 나타내었다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 스위치(6243), 및 셔터 버튼(6244) 등을 가지고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프 또는 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.
- [0547] 본 발명의 일 형태의 기억 장치를 디지털 카메라(6240)에 적용함으로써 소비 전력을 저감할 수 있다. 또한 저 소비 전력화에 의하여 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0548] [비디오 카메라]
- [0549] 본 발명의 일 형태의 기억 장치는 비디오 카메라에 적용할 수 있다.
- [0550] 도 31의 (I)에는 촬상 장치의 일례인 비디오 카메라(6300)를 나타내었다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 스위치(6304), 렌즈(6305), 및 접속부(6306) 등을 가진다. 조작 스위치(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에 표시되는 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.
- [0551] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코딩을 수행할 필요가 있다. 본 발명의 일 형태의 기억 장치를 이용함으로써, 비디오 카메라(6300)는 인코딩을 할 때 발생하는 일시적인 파일을 유지할 수 있다.
- [0552] [ICD]
- [0553] 본 발명의 일 형태의 기억 장치는 ICD(Implantable Cardioverter-Defibrillator)에 적용할 수 있다.
- [0554] 도 31의 (J)는 ICD의 일례를 나타낸 단면 모식도이다. ICD 본체(5400)는 배터리(5401), 전자 부품(700), 레귤레이터, 제어 회로, 안테나(5404), 우심방에 연결되는 와이어(5402), 및 우심실에 연결되는 와이어(5403)를 적어도 가진다.
- [0555] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.
- [0556] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(심실 빈맥 또는 심실세동 등이 일어나는 경우)에는, 전기 충격에 의한 치료가 수행된다.
- [0557] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다. 그러므로 ICD 본체(5400)는 심박수를 감지하기 위한 센서를 가진다. 또한 ICD 본체(5400)에서는, 예를 들어 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조율에 의한 치료를 수행한 횟수, 또는 시간 등을 전자 부품(700)에 기억할 수 있다.
- [0558] 또한 안테나(5404)는 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한 ICD 본체(5400)가 복수의 배터리를 가짐으로써, 안전성을 높일 수 있다. 구체적으로는, ICD 본체(5400)의 일부의 배터리를 사용할 수 없어도, 나머지 배터리가 기능할 수 있기 때문에, 보조 전원으로서도 기능한다.
- [0559] 또한 전력을 수신할 수 있는 안테나(5404)에 더하여, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 및 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.
- [0560] [PC용 확장 디바이스]
- [0561] 본 발명의 일 형태의 기억 장치는 PC(Personal Computer) 등의 계산기, 및 정보 단말기용 확장 디바이스에 적용할 수 있다.

- [0562] 도 32의 (A)에는 상기 확장 디바이스의 일례로서, 정보의 저장이 가능한 칩을 포함하고, PC 외부에 장착되는 포터블 확장 디바이스(6100)를 나타내었다. 확장 디바이스(6100)는, 예를 들어 USB(Universal Serial Bus)로 PC에 접속되면, 상기 칩에 정보를 저장할 수 있다. 또한 도 32의 (A)에는 포터블 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태의 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬이 탑재된 비교적 큰 확장 디바이스이어도 좋다.
- [0563] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기관(6104)을 가진다. 기관(6104)은 하우징(6101)에 수납된다. 기관(6104)에는, 예를 들어 본 발명의 일 형태의 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기관(6104)에는 전자 부품(700) 및 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.
- [0564] [SD 카드]
- [0565] 본 발명의 일 형태의 기억 장치는, 정보 단말기 또는 디지털 카메라 등의 전자 기기에 장착할 수 있는 SD 카드에 적용할 수 있다.
- [0566] 도 32의 (B)는 SD 카드의 외관의 모식도이고, 도 32의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기관(5113)을 가진다. 커넥터(5112)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기관(5113)은 하우징(5111)에 수납된다. 기관(5113)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기관(5113)에는 전자 부품(700), 컨트롤러 칩(5115)이 장착되어 있다. 또한 전자 부품(700)과 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 전자 부품에 제공되는 기록 회로, 행 드라이버, 또는 판독 회로 등은 전자 부품(700)이 아니라 컨트롤러 칩(5115)에 제공되어도 좋다.
- [0567] 기관(5113)의 뒷면 측에도 전자 부품(700)을 제공함으로써, SD 카드(5110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기관(5113)에 제공하여도 좋다. 이에 의하여 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있기 때문에, 데이터를 전자 부품(700)으로부터 판독하거나 전자 부품(700)에 기록할 수 있다.
- [0568] [SSD]
- [0569] 본 발명의 일 형태의 기억 장치는, 정보 단말기 등의 전자 기기에 장착할 수 있는 SSD(Solid State Drive)에 적용할 수 있다.
- [0570] 도 32의 (D)는 SSD의 외관의 모식도이고, 도 32의 (E)는 SSD의 내부 구조의 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기관(5153)을 가진다. 커넥터(5152)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기관(5153)은 하우징(5151)에 수납된다. 기관(5153)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기관(5153)에는 전자 부품(700), 메모리 칩(5155), 및 컨트롤러 칩(5156)이 장착되어 있다. 기관(5153)의 뒷면 측에도 전자 부품(700)을 제공함으로써, SSD(5150)의 용량을 늘릴 수 있다. 메모리 칩(5155)에는 작업 메모리가 포함되어 있다. 예를 들어 메모리 칩(5155)에는 DRAM 칩을 사용하면 좋다. 컨트롤러 칩(5156)에는 프로세서 및 ECC(Error-Correcting Code) 회로 등이 포함되어 있다. 또한 전자 부품(700)과, 메모리 칩(5155)과, 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 컨트롤러 칩(5156)에도 작업 메모리로서 기능하는 메모리를 제공하여도 좋다.
- [0571] [계산기]
- [0572] 도 33의 (A)에 나타난 계산기(5600)는 대형 계산기의 예이다. 계산기(5600)에서는, 랙(5610)에 랙 마운트형 계산기(5620)가 복수로 제공되어 있다.
- [0573] 계산기(5620)는 예를 들어 도 33의 (B)의 사시도의 구성을 가질 수 있다. 도 33의 (B)에서 계산기(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.
- [0574] 도 33의 (C)에 나타난 PC 카드(5621)는 CPU, GPU, 및 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625), 반도체 장치(5626), 반도체 장치(5627), 반도체 장치(5628), 및 접속 단자(5629)를 가진다. 또한 도 33의 (C)에

는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 나타내었지만, 이들 반도체 장치에 대해서는 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)에 대한 설명을 참조하면 좋다.

- [0575] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는, 예를 들어 PCIe가 있다.
- [0576] 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)는, 예를 들어 PC 카드(5621)에 대하여 전력 공급 또는 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), 및 SCSI(Small Computer System Interface)가 있다. 또한 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는, 예를 들어 HDMI(등록 상표)가 있다.
- [0577] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시하지 않았음)를 포함하고, 상기 단자를 보드(5622)의 소켓(도시하지 않았음)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.
- [0578] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA, GPU, 및 CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(730)을 사용할 수 있다.
- [0579] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서는, 예를 들어 기억 장치가 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(700)을 사용할 수 있다.
- [0580] 계산기(5600)는 병렬 계산기로서 기능할 수도 있다. 계산기(5600)를 병렬 계산기로서 사용함으로써 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모 계산을 수행할 수 있다.
- [0581] 상기 각종 전자 기기 등에 본 발명의 일 형태의 기억 장치를 사용함으로써, 전자 기기의 소형화 및 저소비 전력화를 실현할 수 있다. 또한 본 발명의 일 형태의 기억 장치는 소비 전력이 낮기 때문에, 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 기억 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 전자 기기를 실현할 수 있다. 따라서 전자 기기의 신뢰성을 높일 수 있다.
- [0582] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0583] (실시형태 6)
- [0584] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 우주용 기기에 적용하는 경우의 구체적인 예에 대하여 도 34를 사용하여 설명한다.
- [0585] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함한다. OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 적합하게 사용할 수 있다.
- [0586] 도 34에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 34에서는 우주 공간에 행성(6804)을 예시하였다. 또한 우주 공간이란, 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권 중 하나 또는 복수를 포함하여도 좋다.
- [0587] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 높은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.
- [0588] 태양 전지판(6802)에 태양광이 조사됨으로써, 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 하지만, 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 적어진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 적은 상황에서도 인공위성(6800)을 동작시키기 위하여 인공위성

(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

- [0589] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이로써 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.
- [0590] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 포함하는 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높기 때문에 적합하게 사용할 수 있다.
- [0591] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 제공된 물체에서 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여, 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.
- [0592] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 및 우주 탐사선 등의 우주용 기기에 적합하게 사용할 수 있다.
- [0593] (실시형태 7)
- [0594] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 의료용 기기에 적용하는 경우의 구체적인 예에 대하여 도 35의 (A) 및 (B)를 사용하여 설명한다.
- [0595] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함한다. OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어, OS 트랜지스터는 의료용 기기, 구체적으로는 방사선 의료에 적합하게 사용할 수 있다.
- [0596] 도 35의 (A)는 화상 촬상 장치(7800)를 사용하여 피사체(7804)의 X선 화상을 촬상하는 상태를 나타낸 것이다. 화상 촬상 장치(7800)는 신틸레이터(7801)와 이미지 센서(7802)를 가진다. 신틸레이터(7801)는 X선 또는 감마선 등의 방사선을 가시광으로 변환하는 기능을 가진다. 이미지 센서(7802)는 X선을 검출하기 때문에, X선용 이미지 센서라고도 할 수 있다.
- [0597] X선원(도시하지 않았음)으로부터 방출된 X선(7803)은 환자 등의 피사체(7804)를 투과하여 화상 촬상 장치(7800)에 입사한다. X선(7803)이 신틸레이터(7801)에 입사하면 가시광이 방출된다. 상기 가시광은 이미지 센서(7802)로 수광되고, X선 화상이 촬상된다.
- [0598] 이미지 센서(7802)는 화소 어레이(Pixel Array)를 가지고, 화소 어레이는 행렬 방향으로 매트릭스로 배치된 복수의 화소를 가진다. 또한 복수의 화소 각각은 OS 트랜지스터(OSFET)와 포토다이오드(Photo Diode)를 가진다.
- [0599] 이미지 센서(7802)가 가지는 화소의 회로도를 도 35의 (B)에 나타내었다. 도 35의 (B)에 나타낸 바와 같이, 이미지 센서(7802)가 가지는 화소는 포토다이오드(7811)와 트랜지스터(7812)를 가진다. 포토다이오드(7811)의 애노드는 단자(7813)에 전기적으로 접속되고, 포토다이오드(7811)의 캐소드는 트랜지스터(7812)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(7812)의 소스 및 드레인 중 다른 쪽은 배선(7814)과 전기적으로 접속되어 있다. 또한 트랜지스터(7812)는 게이트(Top Gate)와 백 게이트(Back Gate)를 가진다.
- [0600] 포토다이오드(7811)는 광 센서 소자이며, 화소 회로에 입사된 광(7805)에 따른 전류를 생성하는 동작을 행한다. 트랜지스터(7812)는 포토다이오드(7811)가 받는 광(7805)의 양에 따른 전류를 배선(7814)에 출력하는 동작을 수행한다. 또한 광(7805)은 X선(7803)이 신틸레이터(7801)에 입사함으로써 방출되는 가시광이다. 또는 X선(7803)이어도 좋다.
- [0601] OS 트랜지스터는 오프 전류가 매우 작고, 방사선에 대한 내성이 높다. 따라서, OS 트랜지스터는 트랜지스터(7812)에 적합하게 사용할 수 있다.
- [0602] (실시예 1)

- [0603] 본 실시예에서는, X선 조사에 대한 OS 트랜지스터의 전기 특성의 변동을 평가하였다. 구체적으로는 실시형태 1에서 도 7의 (B)를 사용하여 설명한 OS 트랜지스터를 시험적으로 제작하고, 상기 OS 트랜지스터에 대하여 X선 조사 시험을 수행하였다. 또한 비교를 위하여, OS 트랜지스터의 +GBT(Gate Bias-Temperature) 스트레스 시험을 수행하였다.
- [0604] 본 실시예에서 사용한 X선 조사 시험의 평가 환경을 도 36에 나타내었다. X선(8000)이 조사되는 챔버 내에 승강대를 제공하고, 이 승강대 위에 프로브 및 스테이지(8001)를 설치하였다. 또한 X선원(8002)과 스테이지(8001) 사이에 조리개(8003)를 배치하였다. 조리개(8003)를 배치함으로써 반동된 X선을 차폐할 수 있다. 또한 프로브의 동축 압에 대한 X선 조사를 저감하여, 프로브에 이상 전류가 흐르는 것을 억제할 수 있다. 조사 선량은 Radcal Corporation이 제조한 Accu-Dose 방사선 측정 시스템 2186형을 사용하여 측정하였다. 또한 OS 트랜지스터의 전기 특성 평가에는 Keysight Technologies가 제조한 4156C를 사용하였다.
- [0605] X선 조사 시험에 사용하는 X선 조사 장치로서 mediXtec Corporation이 제조한 MX-160Labo를 사용하였다. X선원은 텅스텐이고, 튜브 전압 범위는 30kV 이상 160kV 이하이고, 튜브 전류 범위는 0.3mA 이상 3.0mA 이하이다.
- [0606] 시료들 간에서 X선 조사 시험의 조건을 다르게 하고, X선 조사에 대한 OS 트랜지스터의 전기 특성의 변동을 평가하였다. 여기서는, 시료로서, 제 1 OS 트랜지스터군, 제 2 OS 트랜지스터군, 및 제 3 트랜지스터군을 준비하였다. 제 1 OS 트랜지스터군에는 OS 트랜지스터(901) 내지 OS 트랜지스터(907)가 포함된다. 제 2 OS 트랜지스터군에는 OS 트랜지스터(911) 내지 OS 트랜지스터(915), OS 트랜지스터(916-1), OS 트랜지스터(916-2), OS 트랜지스터(917), OS 트랜지스터(918-1), OS 트랜지스터(918-2), OS 트랜지스터(919)가 포함된다. 제 3 OS 트랜지스터군에는 OS 트랜지스터(921) 내지 OS 트랜지스터(931)가 포함된다. 또한 제 1 OS 트랜지스터군에 포함되는 OS 트랜지스터의 설겅값은 채널 길이를 200nm로, 채널 폭을 60nm로 하였다. 제 2 OS 트랜지스터군 및 제 3 OS 트랜지스터군에 포함되는 OS 트랜지스터의 설겅값은 채널 길이를 60nm, 채널 폭을 60nm로 하였다.
- [0607] 제작한 시료에 대하여, Hitachi High-Tech Corporation이 제조한 HD-2700을 사용하여 단면 STEM 이미지의 촬영을 수행하였다. OS 트랜지스터(901)의 채널 길이 방향의 단면 STEM 이미지를 도 37의 (A)에 나타내고, OS 트랜지스터(901)의 채널 폭 방향의 단면 STEM 이미지를 도 37의 (B)에 나타내었다. 또한 도 37의 (A) 및 (B)에서의 Back gate insulatore는 백 게이트 절연막이고, CAAC-IGZO는 금속 산화물이고, S/D electrode는 소스 전극 또는 드레인 전극이고, Top gate electrode는 톱 게이트 전극이고, Top gate insulator는 톱 게이트 절연막이다.
- [0608] 또한 도 37의 (A)에서는, 단면 STEM 이미지의 관찰 결과를 바탕으로 각 구성 요소의 길이를 측정하였다. 도 37의 (A)를 사용하여 측정한 결과, OS 트랜지스터(901)의 채널 길이 방향의 게이트 길이는 218nm이었다. 또한 톱 게이트 절연막(절연체(250))의 EOT는 5.9nm이고, 백 게이트 절연막(절연체(222) 및 절연체(224))의 EOT는 24.6nm이었다.
- [0609] 또한 도 37의 (B)에 나타낸 바와 같이, OS 트랜지스터(901)가 가지는 금속 산화물(230)은 소자마다 분리되어 있다. 또한 금속 산화물(230)이 가지는 채널 형성 영역의 상부 및 측면이 톱 게이트 전극으로서 기능하는 도전체(260)로 둘러싸여 있다. 즉, OS 트랜지스터(901)는 TRI-GATE형(트라이 게이트형) 구조의 트랜지스터이다. 또한 금속 산화물(230)이 가지는 채널 형성 영역의 아래쪽에는 백 게이트 전극으로서 기능하는 도전체(205)와 백 게이트 절연막으로서 기능하는 절연체(222) 및 절연체(224)가 제공된다. 따라서, OS 트랜지스터(901)는 Fin형 구조와 SOI를 조합한 트랜지스터 구조를 가진다고도 할 수 있다.
- [0610] 먼저, X선 조사 시험의 절차에 대하여 설명한다. X선 조사 시험의 흐름도를 도 38에 나타내었다.
- [0611] 먼저, X선 조사 장치 내에 기판을 설치하고, 제전(除電)기를 사용하여 제전 처리를 5분 동안 수행하였다(도 38의 단계 S11).
- [0612] 다음으로, X선 조사 전에 OS 트랜지스터의 Id-Vg 측정을 수행하였다(도 38의 단계 S12). Id-Vg 측정에서의 시료의 공통 조건으로서, 소스 전압(Vs) 및 백 게이트 전압(Vbg)을 0V로 하고, Id-Vg 측정 시의 기판 온도를 실온으로 하였다.
- [0613] OS 트랜지스터(901)에 있어서, 드레인 전압(Vd)을 0.1V로 하고, 게이트 전압(Vg)을 Vg_min에서 Vg_max까지 스위핑하였을 때의 드레인 전류(Id)를 측정하였다. 이어서, 드레인 전압(Vd)을 1.2V로 하고, 게이트 전압(Vg)을 Vg_min에서 Vg_max까지 스위핑하였을 때의 드레인 전류(Id)를 측정하였다. 상술한 드레인 전압(Vd)이 0.1V로 한 경우의 측정과 1.2V로 한 경우의 측정을 교대로 반복하고, 총 5세트의 측정을 수행하였다. 또한 게이트 전압(Vg)을 Vg_min에서 Vg_max까지 스위핑하는 것을 단일 스위핑(single sweep)이라고 한다.

- [0614] OS 트랜지스터(901) 이외의 OS 트랜지스터에 있어서, 드레인 전압(V_d)을 0.1V로 하고, 게이트 전압(V_g)을 V_{g_min} 에서 V_{g_max} 까지 스위핑하고, 그 후에 V_{g_max} 에서 V_{g_min} 까지 스위핑하였을 때의 드레인 전류(I_d)를 측정하였다. 이어서, 드레인 전압(V_d)을 1.2V로 하고, 게이트 전압(V_g)을 V_{g_min} 에서 V_{g_max} 까지 스위핑하고, 그 후에 V_{g_max} 에서 V_{g_min} 까지 스위핑하였을 때의 드레인 전류(I_d)를 측정하였다. 상술한 드레인 전압(V_d)을 0.1V로 한 경우의 측정과 1.2V로 한 경우의 측정을 교대로 반복하여 총 n 세트의 측정을 수행하였다(드레인 전압(V_d)을 0.1V로 한 경우의 측정을 n 번 수행하고, 1.2V로 한 경우의 측정을 n 번 수행함). 또한 게이트 전압(V_g)을 V_{g_min} 에서 V_{g_max} 까지 스위핑하고, 그 후에 V_{g_max} 에서 V_{g_min} 까지 스위핑하는 것을 왕복 스위핑(double sweep)이라고 한다.
- [0615] 다음으로, X선 조사 장치에서 프로빙을 수행한 후, 제 1 OS 트랜지스터군 및 제 2 OS 트랜지스터군에 대하여 X선을 조사하였다(도 38의 단계 S13). X선 조사 시, OS 트랜지스터의 단자(소스, 드레인, 게이트, 및 백 게이트)에 인가하는 전압을 상이하게 하였다. X선의 조사 선량을 100Gy로 하고, X선의 선량률을 35.0Gy/hr로 하였다.
- [0616] 다음으로, 제 1 OS 트랜지스터군에 포함되는 OS 트랜지스터 및 제 2 OS 트랜지스터군에 포함되는 OS 트랜지스터의 I_d - V_g 측정을 수행하였다(도 38의 단계 S14). I_d - V_g 측정의 조건은 X선 조사 전의 I_d - V_g 측정(도 38의 단계 S12)과 같게 하였다.
- [0617] 제 1 OS 트랜지스터군에 포함되는 OS 트랜지스터 및 제 2 OS 트랜지스터군에 포함되는 OS 트랜지스터 각각은 조사한 X선의 합계 선량이 3000Gy가 될 때까지 상술한 X선 조사(도 38의 단계 S13)와 I_d - V_g 측정(도 38의 단계 S14)을 반복하였다. 또한 3000Gy의 X선량은 정지 궤도에서 30년간에 피폭하는 선량에 상당한다.
- [0618] 또한 제 3 OS 트랜지스터군에서는 도 38의 단계 S13 및 단계 S14를 수행하지 않았다.
- [0619] 다음으로, X선 조사 장치에서 프로빙을 수행한 상태로 실온에서 방치하였다(도 38의 단계 S15). 방치 시, OS 트랜지스터의 단자(소스, 드레인, 게이트, 및 백 게이트)에 인가하는 전위를 상이하게 하였다. 또한 단자에 인가하는 전위가 0V인 것은 단자에 인가하는 전위가 접지 전위(GND)라고 바꿔 말할 수 있는 경우가 있다.
- [0620] 다음으로, OS 트랜지스터의 I_d - V_g 측정을 수행하였다(도 38의 단계 S16). I_d - V_g 측정의 조건은 X선 조사 전의 I_d - V_g 측정(도 38의 단계 S12)과 같게 하였다. 실온에서의 방치(도 38의 단계 S15)와 I_d - V_g 측정(도 38의 단계 S16)을 반복적으로 수행하였다.
- [0621] 상술한 바와 같이, 제 3 OS 트랜지스터군에서는 도 38의 단계 S13 및 단계 S14를 수행하지 않았다. 즉, 제 3 OS 트랜지스터군에서는 X선을 조사하지 않고 같은 전압을 계속 인가한 +GBT 스트레스 시험이 수행된 것이다.
- [0622] 여기까지가 X선 조사 시험의 방법의 설명이다. 또한 각 OS 트랜지스터의 설계값, I_d - V_g 측정에서의 조건, X선 조사 또는 실온 방치의 경우의 OS 트랜지스터의 단자에 인가하는 전압 조건을 표 1에 나타내었다.

[0623] [표 1]

	설계값	Id-Vg 측정				X선 조사	X선 조사 또는 방식	
	L	Vg_min	Vg_max	스위칭	n		Vg	Vbg
901	200nm	-4V	+4V	단일	5	조사함	0V	0V
902	200nm	0V	+4V	왕복	5	조사함	0V	0V
903	200nm	0V	+3V	왕복	5	조사함	0V	0V
904	200nm	-4V	+3V	왕복	5	조사함	0V	0V
905	200nm	-1V	+1V	왕복	5	조사함	0V	0V
906	200nm	-1V	+1V	왕복	2	조사함	0V	0V
907	200nm	-1V	+1V	왕복	2	조사함	-0.8V	-6V
911	60nm	-1V	+1V	왕복	2	조사함	0V	0V
912	60nm	-1V	+1V	왕복	2	조사함	-0.8V	-6V
913	60nm	-1V	+1V	왕복	2	조사함	+1V	0V
914	60nm	-1V	+1V	왕복	2	조사함	+2V	0V
915	60nm	-1V	+1V	왕복	2	조사함	+3V	0V
916-1	60nm	-1V	+1V	왕복	2	조사함	-1V	0V
916-2	60nm	-1V	+1V	왕복	2	조사함	-1V	0V
919	60nm	-1V	+1V	왕복	2	조사함	-2V	0V
917	60nm	-1V	+1V	왕복	2	조사함	0V	+4.15V
918-1	60nm	-1V	+1V	왕복	2	조사함	0V	-4.15V
918-2	60nm	-1V	+1V	왕복	2	조사함	0V	-4.15V
921	60nm	-1V	+1V	왕복	2	조사 안함	+1V	0V
922	60nm	-1V	+1V	왕복	2	조사 안함	+2V	0V
923	60nm	-1V	+1V	왕복	2	조사 안함	+3V	0V
924	60nm	-1V	+1V	왕복	2	조사 안함	+3V	0V
926	60nm	-1V	+1V	왕복	2	조사 안함	0V	0V
927	60nm	-1V	+1V	왕복	2	조사 안함	-1V	0V
928	60nm	-1V	+1V	왕복	2	조사 안함	-2V	0V
925	60nm	-1V	+1V	왕복	2	조사 안함	0V	+4.15V
929	60nm	-1V	+1V	왕복	2	조사 안함	0V	+8.3V
930	60nm	-1V	+1V	왕복	2	조사 안함	0V	-4.15V
931	60nm	-1V	+1V	왕복	2	조사 안함	0V	-8.3V

[0624]

[0625] 측정된 Id-Vg 특성으로부터 정전류법(constant current method)을 사용하여 OS 트랜지스터의 문턱 전압(Vth)을 산출하였다. 본 실시예에서는, 1pA의 전류가 흐르는 게이트 전압(Vg)을 문턱 전압(Vth)으로 하였다.

[0626] 우선, OS 트랜지스터(903)의 X선 조사 전의 드레인 전류-게이트 전압 특성을 측정된 결과에 대하여 설명한다.

[0627] 도 39의 (A)는 OS 트랜지스터(903)의 드레인 전류(도면에서는 "Id"라고 표기함)-게이트 전압(도면에서는 "Vg"라고 표기함) 특성을 나타낸 것이다.

[0628] 도 39의 (A)는 Id-Vg 특성을 측정된 결과를 나타낸 것이고, 측정은 소스에 대한 드레인 전압이 0.1V이고, 소스 전압이 0V이고, 측정 환경의 온도가 27°C일 때, 소스에 대한 백 게이트 전압(Vbg)이 +2V부터 -6V까지의 범위에서 2V마다 변화시켜 수행하였다. 도 39의 (A)에 있어서, 가로축은 게이트 전압(Vg)[V]을 나타내고, 제 1 세로축(왼쪽의 세로축)은 드레인 전류(Id)[A]를 나타내고, 제 2 세로축(오른쪽의 세로축)은 전계 효과 이동도(μ_{FE})[cm²/Vs]를 나타낸다.

[0629] 측정된 OS 트랜지스터(903)의 Id-Vg 특성에서, OS 트랜지스터(903)의 문턱 전압(Vth) 및 서브스레숄드 스윙값(SS)을 산출하였다. 또한 문턱 전압은 정전류법을 사용하여 산출하였다. 여기서 정전류법은 Id-Vg 특성의 결과로부터, 정전류(여기서는 1pA)가 흐르는 경우의 게이트 전압을 문턱 전압으로 하는 방법이다. 또한 SS란, 서

브스레솔드 영역에서의 드레인 전류를 일정한 드레인 전압에서 한 자릿수 변화시키는 게이트 전압의 변화량을 말한다.

- [0630] 도 39의 (B)에 SS의 백 게이트 전압 의존성을 나타내고, 도 39의 (C)에 문턱 전압의 백 게이트 전압 의존성을 나타내었다. 도 39의 (B) 및 (C)에 있어서, 가로축은 백 게이트 전압(Vbg)[V]을 나타낸다. 도 39의 (B)의 세로축은 SS[mV/dec.]를 나타내고, 도 39의 (C)의 세로축은 Vth[V]를 나타낸다.
- [0631] 도 39의 (A) 내지 (C)로부터, Id-Vg 특성은 백 게이트 전압(Vbg)에 대하여 실질적으로 같은 간격으로 가로축 방향으로 평행 이동하는 모습이 확인되었다. 또한 이동도 곡선의 개형 및 SS는 백 게이트 전압(Vbg)에 대한 변화가 거의 보이지 않았다. 또한 도 39의 (C)로부터, 백 게이트 전압(Vbg)에 대한 문턱 전압(Vth)의 변화의 비율(기울기)은 -0.137V/V이었다. 따라서 OS 트랜지스터의 문턱 전압(Vth)은 백 게이트 전압(Vbg)의 인가에 의하여 디바이스의 구동력에 크게 영향을 미치지 않고 제어될 수 있다는 것을 알 수 있었다.
- [0632] 도 40의 (A)는 OS 트랜지스터(903)의 드레인 전류(도면에서는 "Id"라고 표기함)-게이트 전압(도면에서는 "Vg"라고 표기함) 특성을 나타낸 것이다.
- [0633] 도 40의 (A)는 Id-Vg 특성을 측정된 결과를 나타낸 것이고, 측정은 소스에 대한 드레인 전압을 0.1V, 소스 전압 및 백 게이트 전압을 0V, 측정 환경의 온도를 125℃, 27℃, 또는 -40℃로 하여 수행하였다. 도 40의 (A)에 있어서, 가로축은 게이트 전압(Vg)[V]을 나타내고, 제 1 세로축(왼쪽의 세로축)은 드레인 전류(Id)[A]를 나타내고, 제 2 세로축(오른쪽의 세로축)은 전계 효과 이동도(μ_{FE})[cm²/Vs]를 나타낸다. 또한 도 40의 (A)에 있어서, 흑색 삼각형이 125℃에서의 드레인 전류(Id)[A]를 나타내고, 흑색 동그라미가 27℃에서의 드레인 전류(Id)[A]를 나타내고, 흑색 사각형이 -40℃에서의 드레인 전류(Id)[A]를 나타내고, 백색 삼각형이 125℃에서의 전계 효과 이동도(μ_{FE})[cm²/Vs]를 나타내고, 백색 동그라미가 27℃에서의 전계 효과 이동도(μ_{FE})[cm²/Vs]를 나타내고, 백색 사각형이 -40℃에서의 전계 효과 이동도(μ_{FE})[cm²/Vs]를 나타낸다.
- [0634] 또한 측정된 OS 트랜지스터(903)의 Id-Vg 특성에서, OS 트랜지스터(903)의 문턱 전압(Vth) 및 서브스레솔드 스윙값(SS)을 산출하였다. 도 40의 (B)에 SS의 온도 의존성을 나타내고, 도 40의 (C)에 문턱 전압의 온도 의존성을 나타내었다. 도 40의 (B) 및 (C)에 있어서, 가로축은 측정 환경의 온도(Temp.)[℃]를 나타낸다. 도 40의 (B)의 세로축은 SS[mV/dec.]를 나타내고, 도 40의 (C)의 세로축은 Vth[V]를 나타낸다.
- [0635] 도 40의 (A) 내지 (C)로부터, 온도 상승에 대하여 Vth가 음으로 시프트된 모습이 관찰되었다. 또한 온도 상승에 대하여 SS 및 전계 효과 이동도가 증가된 모습이 관찰되었다. 구체적으로는, -40℃에서 125℃로의 온도 변화에 대한 변동량은, 문턱 전압(Vth)에서는 -0.28V(-1.7mV/℃)이고, 전계 효과 이동도(μ_{FE})에서는 +23%(+8.5×10⁻³ cm²/Vs/℃)이고, SS에서는 +10%(+53 μV/dec./℃)이었다.
- [0636] 그러나 Vth, SS, 및 μ_{FE} 의 변동량은 작고, OS 트랜지스터는 온도 변화에 대하여 비교적 안정적인 것을 알 수 있었다. 특히, SS에 관해서는 온도에 대한 변화는 거의 보이지 않았다.
- [0637] 다음으로, OS 트랜지스터(903)에 있어서, X선 조사 전의 Id-Vg 특성, 조사한 X선의 합계 선량이 300Gy이 된 경우의 Id-Vg 특성 및 조사한 X선의 합계 선량이 3000Gy이 된 경우의 Id-Vg 특성을 도 41의 (A)에 나타내었다.
- [0638] 도 41의 (A)는 Id-Vg 특성을 측정된 결과를 나타낸 것이고, 측정은 소스에 대한 드레인 전압을 0.1V, 소스 전압 및 백 게이트 전압을 0V, 측정 환경의 온도를 25℃로 하여 수행하였다. 도 41의 (A)에서, 가로축은 게이트 전압(Vg)[V]을 나타내고, 세로축은 드레인 전류(Id)[A]를 나타낸다.
- [0639] 또한 측정된 OS 트랜지스터(903)의 Id-Vg 특성에서, OS 트랜지스터(903)의 전계 효과 이동도(μ_{FE}) 및 서브스레솔드 스윙값(SS)을 산출하였다. 도 41의 (B)에 SS의 X선의 합계 선량 의존을 나타내고, 도 41의 (C)에 전계 효과 이동도의 X선의 합계 선량 의존을 나타내었다. 도 41의 (B) 및 (C)에 있어서, 가로축은 게이트 전압(Vg)[V]을 나타낸다. 도 41의 (B)의 세로축은 SS[mV/dec.]를 나타내고, 도 41의 (C)의 세로축은 μ_{FE} [cm²/Vs]를 나타낸다.
- [0640] 도 41의 (A)로부터, X선의 합계 선량이 증가될수록, Id-Vg 특성은 음 방향으로 평행 이동하는 것이 확인되었다(Parallel shift). 한편, 도 41의 (B) 및 (C)로부터, X선의 합계 선량이 증가되어도, SS 곡선의 최솟값

(Constant minimum value) 및 μ_{FE} 곡선의 피크값(Constant peak value)은 거의 변화되지 않았다.

- [0641] OS 트랜지스터(903)의 V_{th} , SS, 및 μ_{FE} 각각의 변동을 도 42의 (A) 내지 (C)에 나타내었다.
- [0642] 도 42의 (A)는 문턱 전압의 변동량(ΔV_{th})을 플롯한 것이다. 도 42의 (A)에서 가로축은 X선의 합계 선량(Total Dose)[Gy]을 나타내고, 세로축은 ΔV_{th} [V]를 나타낸다. 또한 도 42의 (A)의 플롯은 Id-Vg 측정을 5번 수행하여 얻어진 ΔV_{th} 의 중앙값을 나타내고, 오차 막대는 최댓값 및 최솟값을 나타낸다.
- [0643] 도 42의 (B)는 정규화된 SS를 플롯한 것이다. 도 42의 (B)에서 가로축은 X선의 합계 선량(Total Dose)[Gy]을 나타내고, 세로축은 정규화된 SS(Normalized SS)를 나타낸다. 또한 도 42의 (B)의 플롯은 Id-Vg 측정을 5번 수행하여 얻어진 정규화된 SS의 중앙값을 나타내고, 오차 막대는 최댓값 및 최솟값을 나타낸다.
- [0644] 도 42의 (C)는 정규화된 μ_{FE} 를 플롯한 것이다. 도 42의 (C)에서 가로축은 X선의 합계 선량(Total Dose)[Gy]을 나타내고, 세로축은 정규화된 μ_{FE} (Normalized μ_{FE})를 나타낸다. 또한 도 42의 (C)의 플롯은 Id-Vg 측정을 5번 수행하여 얻어진 정규화된 μ_{FE} 의 중앙값을 나타내고, 오차 막대는 최댓값 및 최솟값을 나타낸다.
- [0645] 도 42의 (A)로부터, 문턱 전압(V_{th})은 TID에 의하여 음 방향으로 시프트되는 것이 확인되었다. 또한 합계 선량이 300Gy 이상이 되면 문턱 전압의 변동이 둔해지는 모습이 확인되었다. 또한 합계 선량이 3000Gy일 때, 문턱 전압의 변동량 ΔV_{th} 는 300mV이었다. 한편, 도 42의 (B) 및 (C)에 나타낸 바와 같이, 서브스레숄드 슬로프(SS) 및 전계 효과 이동도(μ_{FE})는 합계 선량에 대하여 변화가 없거나 변화가 매우 작았다.
- [0646] 상기 결과로부터, OS 트랜지스터에서는 TID에 의하여 고정 전하의 축적은 일어나지만, 계면에서의 불순물 준위의 발생 등 디바이스의 구동력에 영향을 미치는 열화는 일어나지 않는 것이 시사되었다.
- [0647] 도 43의 (A)에서는 OS 트랜지스터(903)의 문턱 전압의 변동에 관하여 첫 번째 측정 내지 다섯 번째 측정의 데이터를 겹쳐서 나타내었다.
- [0648] 도 43의 (A)에서 가로축은 시간(Time)[h]을 나타내고, 세로축은 문턱 전압의 변동량($\Delta V_{th_recovery}$)[V]을 나타낸다. 도 43의 (A)에 나타낸 시간(Time)은 마지막 X선 조사가 종료된 시점을 0로 한 상대적인 시간을 나타내고, 음의 값은 X선 조사와 Id-Vg 측정을 반복적으로 수행한 기간(irradiation)을 나타내고, 양의 값은 X선 조사가 종료된 후에 실온에서의 방치와 Id-Vg 측정을 반복적으로 수행한 기간(recovery)을 나타낸다. 또한 마지막 X선 조사가 종료된 시점(가로축이 0인 시점)에 수행한 Id-Vg 측정에서의 ΔV_{th} 가 0가 되도록 세로축을 조정하였다.
- [0649] 또한 도 43의 (A)에 나타낸 결과 중 X선 조사가 종료된 후에 실온에서의 방치와 Id-Vg 측정을 반복적으로 수행한 기간의 결과를 도 43의 (B)에 나타내었다.
- [0650] 도 43의 (A)로부터, X선 조사 시와 X선 조사 후의 방치에서는 반대 방향의 V_{th} 변동이 관찰되었다. 구체적으로는, TID에 의하여 V_{th} 가 음으로 시프트한 후, 실온에서의 방치에 의하여 V_{th} 가 양으로 시프트하였다. 즉, TID로 인한 열화(TID 열화라고도 함)가 회복하는 것으로 추측된다. 또한 도 43의 (B)로부터, 회복 속도는 빠르고, 약 5시간의 방치로 포화가 일어나는 모습이 관찰되었다. 최종적으로, 60시간의 실온에서의 방치로, TID에 의한 열화의 40% 정도가 회복하였다.
- [0651] 본 실시예에서는, 3000Gy의 X선 조사에 약 90시간 걸렸지만, 회복의 시정수는 5시간 미만으로 추정된다. 즉, 조사 시간에 대한 회복의 시정수가 작기 때문에, 본 실시예의 열화는 실제의 TID로 인한 열화보다 낮을 우려가 있다. 한편, 방사선 선량율이 더 낮은 실제 사용 환경에 있어서는, 회복 성분이 더 강하게 영향을 미치는 것으로 추측된다. 그러므로 본 실시예와 같은 가속 시험에서의 결과에 비하여, 실제 사용 환경에서의 음으로의 시프트량은 더 작고, OS 트랜지스터가 방사선 환경하에서도 높은 신뢰성을 가질 것으로 기대된다.
- [0652] 다음으로 드레인 전압(V_d)을 0.1V로 한 경우의 OS 트랜지스터의 문턱 전압의 변동량을 도 44에 나타내었다. 도 44에서 가로축은 시간(Time)[h]을 나타내고, 세로축은 문턱 전압의 변동량(ΔV_{th_rec})[V]을 나타낸다. 도 44에 나타낸 시간(Time)은 마지막 X선 조사가 종료된 시점을 0로 한 상대적인 시간을 나타내고, 음의 값은 X선 조사와 Id-Vg 측정을 반복적으로 수행한 기간을 나타내고, 양의 값은 X선 조사가 종료된 후에 실온에서의 방치와 Id-Vg 측정을 반복적으로 수행한 기간을 나타낸다. 또한 도 44에 나타낸 문턱 전압의 변동량(ΔV_{th_rec})은 마지막의 X선 조사가 종료된 시점에 측정된 5번의 Id-Vg 특성으로부터 산출된 문턱 전압의 최솟값을 0로 한 상대적인 문턱 전압을 나타낸다. 또한 도 44의 플롯은 Id-Vg 측정을 5번 수행하여 얻어진 문턱 전압(V_{th})의 중앙값

을 나타내고, 오차 막대는 최댓값 및 최솟값을 나타낸다.

- [0653] 도 44에 OS 트랜지스터(901) 내지 OS 트랜지스터(905)의 결과를 나타내었다. 또한 OS 트랜지스터(901) 내지 OS 트랜지스터(905)는 Id-Vg 측정의 조건(Vg_min, Vg_max, 또는 스위핑 방법)이 상이하다.
- [0654] 도 44로부터, X선 조사 시와 X선 조사 후의 방치에서는 반대 방향의 Vth 변동이 관찰되었다. 구체적으로는, X선 조사에 의하여 Vth가 음으로 시프트하는 모습이 관찰되었다. 이는 TID에 의한 것으로 추정된다. 또한 TID란, 반도체 소자가 우주선 또는 방사선의 누적에 의하여 열화하는 것을 가리킨다. 또한 X선 조사 후의 방치에 의하여 Vth가 양으로 시프트하는 모습이 관찰되었다. 즉, X선 조사 후의 방치에 의하여 TID에 의한 열화(Vth의 음으로의 시프트)가 회복되는 것을 알 수 있었다.
- [0655] 또한 도 44로부터, 게이트 전압의 스위핑 범위의 상한(Vg_max)이 낮을수록, TID 열화량이 크고, 회복량이 작은 것을 알 수 있었다. 바꿔 말하면, Vg_max가 높을수록 회복량이 큰 것을 알 수 있었다. 따라서, 가능한 한 TID 열화만을 관찰하려고 하는 경우에는 게이트 전압(Vg)의 절댓값(스위핑 범위의 상한 및 하한)은 작은 것이 바람직하다는 것을 알 수 있었다. 구체적으로는 게이트 전압(Vg)이 -1V에서 +1V의 범위에서 Id-Vg 측정을 수행하는 것이 바람직하다는 것을 알 수 있었다.
- [0656] 도 44의 가로축을 Id-Vg 측정의 횟수로 환산한 그래프를 도 45의 (A)에 나타내었다. 도 45의 (A)에서 가로축은 Id-Vg 측정의 횟수(measure count)를 나타내고, 세로축은 문턱 전압의 변동량(ΔV_{th_rec})[V]을 나타낸다. Id-Vg 측정의 횟수(measure count)는 X선 조사가 종료된 후 처음으로 수행되는 Id-Vg 측정(도 38의 단계 S16에서의 첫 번째 Id-Vg 측정)을 0로 한 상대적인 횟수를 나타내고, 음의 값은 X선 조사와 Id-Vg 측정을 반복적으로 수행한 기간을 나타내고, 양의 값은 X선 조사가 종료된 후에 실온에서의 방치와 Id-Vg 측정을 반복적으로 수행한 기간을 나타낸다. 또한 도 45의 (A)에는 OS 트랜지스터(901)의 문턱 전압의 변동량만 플롯하였다.
- [0657] 도 45의 (A)로부터, 장기적인 특성 변동과 주기적인 특성 변동이 관찰되었다. 장기적인 특성 변동으로서, X선 조사량의 증가에 의한 TID 열화량의 포화 및 X선 조사 후의 방치에 의한 TID 열화의 장기적인 회복이 관찰되었다. 또한 주기적인 특성 변동으로서, X선 조사 시 및 X선 조사 후의 방치와 상관없이, 첫 번째 Id-Vg 측정에서는 Vth가 음으로 시프트하고, 두 번째 내지 다섯 번째 Id-Vg 측정에서는 Vth가 양으로 시프트하는 모습이 관찰되었다.
- [0658] 도 45의 (A)의 세로축의 기준이 되는 문턱 전압을 변경하고, 가로축의 범위를 변경한 그래프를 도 45의 (B)에 나타내었다. 도 45의 (B)에서 가로축은 Id-Vg 측정의 횟수(measure count)를 나타내고, 세로축은 문턱 전압의 변동량(ΔV_{th_TID})[V]을 나타낸다. 또한 도 45의 (B)에 나타난 문턱 전압의 변동량(ΔV_{th_TID})은 Id-Vg 측정의 횟수(measure count)가 -50일 때의 Id-Vg 측정에서 얻어진 문턱 전압을 0로 한 상대적인 문턱 전압을 나타낸다.
- [0659] 도 45의 (B)에 나타난 바와 같이, X선 조사에 대한 OS 트랜지스터의 전기 특성의 변동(TID 열화의 변동)은 4개의 성분으로 분할된다. 제 1 성분은 늦은 회복이고, 도 45의 (B)에 나타난 변동(954)에서 변동(952)을 뺀 것이다. 제 2 성분은 초기 회복이고, 도 45의 (B)에 나타난 변동(952)에서 변동(953)을 뺀 것이다. 제 3 성분은 스캔 열화이고, 도 45의 (B)에 나타난 변동(953)이다. 제 4 성분은 비회복성 TID 열화이고, 변동(951)에서 변동(954)을 뺀 것 또는 변동(955)이다. 즉, 변동(951)은 TID 열화이고, 변동(952)은 초기 회복과 스캔 열화를 더한 것이고, 변동(953)은 스캔 열화이고, 변동(954)은 초기 회복, 늦은 회복, 및 스캔 열화를 더한 것이고, 변동(955)은 비회복성 TID 열화이다.
- [0660] 다음으로, 도 44의 세로축을 스캔 열화에 관한 문턱 전압의 변동량(ΔV_{th_scan})으로 변경한 그래프를 도 46의 (A) 및 (B)에 나타내었다. 도 46의 (A) 및 (B)에 있어서, 가로축은 시간(Time)[h]을 나타내고, 세로축은 스캔 열화에 관한 문턱 전압의 변동량(ΔV_{th_scan})[V]을 나타낸다. 도 46의 (A) 및 (B)에 나타난 스캔 열화에 관한 문턱 전압의 변동량(ΔV_{th_scan})은 다섯 번의 Id-Vg 측정으로 얻어진 문턱 전압의 중앙값에서, 첫 번째 Id-Vg 측정에서 얻어진 문턱 전압을 뺀 값을 나타낸다. 도 46의 (A) 및 (B)에 있어서, 시간이 0 이하에서의 ΔV_{th_scan} 은 상술한 변동(952)에 대응하고, 시간이 양의 값에서의 ΔV_{th_scan} 은 상술한 변동(953)에 대응한다. 또한 도 46의 (A)는 OS 트랜지스터(901) 내지 OS 트랜지스터(905)의 결과를 나타내고, 도 46의 (B)는 OS 트랜지스터(901)의 결과를 나타낸다.
- [0661] 다음으로 각 성분의 게이트 전압 의존성을 도 47의 (A) 내지 (D)에 나타내었다. 도 47의 (A) 내지 (D)에 있어서, 가로축은 게이트 전압의 스위핑 범위의 상한(Vg_max)[V]이고, 세로축은 문턱 전압의 변동량(ΔV_{th})[mV]이다. 도 47의 (A) 내지 (D)에 나타난 백색의 표시는 게이트 전압의 스위핑 범위의 하한(Vg_min)이 0V 또는 -1V일 때의 결과이고, 도 47의 (A) 내지 (D)에 나타난 흑색의 표시는 Vg_min이 -4V일 때의

결과이다.

- [0662] 또한 도 47의 (A)는 초기 회복의 결과이고, 변동(952)의 평균값에서 변동(953)의 평균값을 뺀 것이다. 도 47의 (B)는 늦은 회복의 결과이고, 변동(954)의 값에서 변동(952)의 평균값을 뺀 것이다. 도 47의 (C)는 스캔 열화의 결과이고, 변동(953)의 평균값이다. 도 47의 (D)는 비회복성 TID 열화이고, 변동(951)의 값에서 변동(954)의 값을 뺀 것이다.
- [0663] 도 47의 (A)로부터, 초기 회복에 대해서는 양의 게이트 전압(Vg)에 대하여 선형으로 증가하는 경향이 관찰되었다. 또한 ΔV_{th} 가 0가 되는 양의 게이트 전압(Vg)의 존재가 시사된다. 도 47의 (B)로부터, 늦은 회복에 대해서는 양의 게이트 전압(Vg)에 대하여 선형으로 증가하는 경향이 관찰되었다. 또한 양의 게이트 전압(Vg)을 인가하지 않아도 회복하는 성분의 존재가 시사된다. 도 47의 (C)로부터, 스캔 열화에 대해서는 시료 간의 편차가 크고, X선 시험에는 영향을 미치지 않을 가능성이 있다. 도 47의 (D)로부터, 비회복성 TID 열화에 대해서는 양의 게이트 전압(Vg)에 대하여 선형으로 감소하는 경향이 관찰되었다. 또한 음의 게이트 전압(Vg)에 대한 의존성은 관찰되지 않았다.
- [0664] 드레인 전압(Vd)을 0.1V로 한 경우의 OS 트랜지스터의 문턱 전압의 변동량을 도 48 및 도 49에 나타내었다. 도 48 및 도 49에서 가로축은 시간(Time)[h]을 나타내고, 세로축은 문턱 전압의 변동량(ΔV_{th_TID})[V]을 나타낸다. 도 48 및 도 49의 가로축에서는 X선 조사 전의 시점을 0로 하였다. 또한 도 48 및 도 49에 나타낸 문턱 전압의 변동량(ΔV_{th_TID})은 X선 조사 전에 측정된 두 번의 Id-Vg 특성으로부터 산출된 문턱 전압의 평균값을 0로 한 상대적인 문턱 전압을 나타낸다. 또한 도 48 및 도 49의 플롯은 Id-Vg 측정을 두 번 수행하여 얻어진 문턱 전압의 평균값을 나타내고, 오차 막대는 최댓값 및 최솟값을 나타낸다. 또한 OS 트랜지스터(901)를 제외한 OS 트랜지스터에 대해서는 왕복 스위핑을 수행하였기 때문에, Id-Vg 측정을 두 번 수행하여 얻어진 문턱 전압은 4개이다. 즉, 도 48 및 도 49에 나타낸 문턱 전압의 중앙값은, 얻어진 4개의 문턱 전압에서 산출된 것이다.
- [0665] 도 48에 OS 트랜지스터(906), OS 트랜지스터(907), OS 트랜지스터(911), 및 OS 트랜지스터(912)의 결과를 나타내었다. 도 48로부터, 모든 단자(소스, 드레인, 게이트, 및 백 게이트)가 접지된 조건에서의 TID 열화는 트랜지스터의 설계값에 상관없이 동등하였다. 또한 OS 트랜지스터의 오프 상태를 상정한 전압 인가의 조건에서는, TID 열화가 커지는 경향이 관찰되었다. OS 트랜지스터의 오프 상태를 상정한 전압 인가의 조건에서 TID 열화가 커지는 경향은 트랜지스터의 설계값에 상관없이 동등하였다.
- [0666] 도 49에 OS 트랜지스터(911) 내지 OS 트랜지스터(913), OS 트랜지스터(915), OS 트랜지스터(921), OS 트랜지스터(923)의 결과를 나타내었다. 도 49로부터, 게이트 전압(Vg)을 +1V로 하는 조건에서는 전압 인가에 의한 전기적 특성의 변동(BT 열화)이 없었다. 또한 게이트 전압(Vg)을 0V로 하는 조건과 비교하여 TID 열화는 반감하였다. 또한 게이트 전압(Vg)을 +3V로 하는 조건에서는 BT 열화가 커 TID가 소실될 가능성이 있다. 따라서, TID에 의한 V_{th} 변동 메커니즘(열화 메커니즘)의 요인으로서, Si 트랜지스터에서 고찰되는 절연막에서의 정공의 축적이 생각된다. 또한 인가 전압에 의한 거동의 차이의 요인으로서, +GBT 스트레스로 축적된 전자에 의한 V_{th} 변동의 상쇄, 전계에 의하여 일어나는 드리프트에 의한 전하의 스위핑, 또는 유발 전자에 의하여 일어나는 계면 재결합에 의한 TID의 회복을 들 수 있다.
- [0667] 드레인 전압(Vd)을 0.1V로 한 경우의 OS 트랜지스터의 문턱 전압의 변동량을 도 50 내지 도 54에 나타내었다. 도 50 내지 도 54에서 가로축은 시간(Time)[h]을 나타내고, 세로축은 문턱 전압의 변동량(ΔV_{th})[V]을 나타낸다. 도 50 내지 도 54의 가로축에서는 X선 조사 전의 시점을 0로 하였다. 또한 도 50 내지 도 54에 나타낸 문턱 전압의 변동량(ΔV_{th})은 X선 조사 전에 측정된 두 번의 Id-Vg 특성으로부터 산출된 문턱 전압의 평균값을 0로 한 상대적인 문턱 전압을 나타낸다. 또한 도 50 내지 도 54의 플롯은 두 번의 Id-Vg 측정에서 얻어진 문턱 전압의 중앙값을 나타낸다. 또한 도 54에 나타낸 오차 막대는 문턱 전압의 최댓값 및 최솟값을 나타낸다. 또한 OS 트랜지스터(901)를 제외한 OS 트랜지스터에 대해서는 왕복 스위핑을 수행하였기 때문에, Id-Vg 측정을 두 번 수행하여 얻어진 문턱 전압은 4개이다. 즉, 도 50 내지 도 54에 나타낸 문턱 전압의 중앙값은, 얻어진 4개의 문턱 전압에서 산출된 것이다.
- [0668] 도 50에 OS 트랜지스터(911), OS 트랜지스터(913) 내지 OS 트랜지스터(915), OS 트랜지스터(916-2), OS 트랜지스터(919)의 결과를 나타내었다. 도 50으로부터, 게이트 전압(Vg)을 +2V로 하는 조건에서의 TID 열화는 게이트 전압(Vg)을 +1V로 하는 조건에서의 TID 열화와, 게이트 전압(Vg)을 +3V로 하는 조건에서의 TID 열화의 중간이었다. 또한 게이트 전압(Vg)을 +2V 이상으로 하는 조건에서의 V_{th} 는 외관상 양으로 시프트되어 있었다. 또한 게이트 전압(Vg)을 0V로 하는 조건에서는 X선의 합계 선량이 3000Gy인 경우의 ΔV_{th} 는 약 -0.4V이었다. 또한 게이트 전압(Vg)에 인가하는 양의 전압이 클수록 ΔV_{th} 는 양으로 시프트하였다. 또한 게이트 전압(Vg)에 인가하

는 음의 전압이 클수록 ΔV_{th} 는 음으로 시프트하는 경향이 있었다.

- [0669] 도 51에 OS 트랜지스터(921), OS 트랜지스터(922), OS 트랜지스터(924), OS 트랜지스터(926) 내지 OS 트랜지스터(928)의 결과를 나타내었다. 도 51로부터, 게이트 전압(V_g)을 +2V로 하는 조건에서의 BT 열화는 게이트 전압(V_g)을 +1V로 하는 조건에서의 BT 열화와, 게이트 전압(V_g)을 +3V로 하는 조건에서의 BT 열화의 중간이었다. 또한 X선 조사를 하지 않는 경우에서도 게이트 전압(V_g)에 인가하는 양의 전압이 클수록 ΔV_{th} 는 양으로 시프트하였다. 도 50 및 도 51에 나타난 결과로부터, 문턱 전압의 변동은 게이트 절연체로의 전자 트랩이 지배적인 것으로 추측된다. 또한 톱 게이트 전압이 +1V 이하로 하는 조건에서는 ΔV_{th} 는 거의 변화되지 않았다.
- [0670] 상기 문턱 전압의 변동에 관한 추측을 에너지 밴드 다이어그램을 사용하여 설명한다. 도 66의 (A) 내지 (C)는 OS 트랜지스터의 에너지 밴드 다이어그램이다. 도 66의 (A) 내지 (C)에는 톱 게이트 전극(TGE) 및 백 게이트 전극(BGE)의 일함수, 그리고 톱 게이트 절연막(TGI), 금속 산화물(OS), 및 백 게이트 절연막(BGI)의 가전자대 및 전도대를 나타내었다. 또한 도 66의 (A) 내지 (C)에 있어서, 일점쇄선은 톱 게이트 전극 및 백 게이트 전극에 전위를 인가하지 않는 상태에서의 페르미 준위를 나타내고, 파선은 전자 또는 정공(홀)을 트랩하는 준위를 나타내고, 흑색 동그라미는 전자를 나타내고, 백색 동그라미는 정공을 나타낸다.
- [0671] 도 66의 (A)는 톱 게이트 전압을 0V로 하는 경우의 에너지 밴드 다이어그램이다. 이때, 정공은 톱 게이트 절연막 내의 준위에 의하여 트랩된다.
- [0672] 도 66의 (B)는 톱 게이트 전압이 0V보다 큰 경우의 에너지 밴드 다이어그램이다. 이때, 정공은 톱 게이트 절연막 내의 준위에 의하여 트랩된다. 또한 전자는 금속 산화물로부터 톱 게이트 절연막 내의 준위에 주입된다. 또한 톱 게이트 절연막 내의 준위에 트랩된 정공의 일부는 톱 게이트 절연막 내의 준위에 주입된 전자와 재결합하는 것으로 추정된다.
- [0673] 도 66의 (C)는 톱 게이트 전압이 0V보다 작은 경우의 에너지 밴드 다이어그램이다. 이때 정공이 금속 산화물로부터 톱 게이트 절연막 내의 준위에 주입된다.
- [0674] 또한 도 66의 (B) 및 (C)에서는 톱 게이트 전압을 인가하는 경우에 대하여 설명하였지만, 백 게이트 전압을 인가하는 경우의 백 게이트 절연막에서도 마찬가지이다.
- [0675] 도 67의 (A) 및 (B)는 OS 트랜지스터의 에너지 밴드 다이어그램이다. 도 67의 (A) 및 (B)에는 톱 게이트 전극(TGE)의 일함수, 톱 게이트 절연막(TGI)의 가전자대 및 전도대, 그리고 금속 산화물(OS)의 가전자대 및 전도대를 나타내었다. 또한 도 67의 (A) 및 (B)에 있어서, 일점쇄선은 톱 게이트 전극 및 백 게이트 전극에 전위를 인가하지 않는 상태에서의 페르미 준위를 나타내고, 톱 게이트 절연막의 가전자대와 전도대 사이에 나타난 실선은 전자 또는 정공(홀)을 트랩하는 준위를 나타내고, 흑색 동그라미는 전자를 나타내고, 백색 동그라미는 정공을 나타낸다. 도 67의 (A) 및 (B)는 톱 게이트 전압이 2V보다 큰 경우의 에너지 밴드 다이어그램이다.
- [0676] 도 67의 (A)에는 상기 문턱 전압의 변동에 관한 추측의 일례를 나타내었다. 즉, X선(X-ray)이 조사됨으로써, 정공이 톱 게이트 절연막의 준위에 포획된다. 그러나 금속 산화물에서 주입되는 전자와의 재결합에 의하여, 포획된 정공이 감소한다. 이에 의하여, 문턱 전압이 양으로 시프트한다.
- [0677] 도 67의 (B)에는 상기 문턱 전압의 변동에 관한 추측의 일례를 나타내었다. 즉, X선(X-ray)이 조사됨으로써, 정공이 톱 게이트 절연막의 준위에 포획되어 문턱 전압이 음으로 시프트된다. 한편, 금속 산화물로부터 톱 게이트 절연막 내의 준위에 전자가 주입됨으로써, 문턱 전압이 양으로 시프트한다. 이때, 문턱 전압의 양으로의 시프트양이 문턱 전압의 음으로의 시프트양보다 크기 때문에 문턱 전압이 양으로 시프트한다.
- [0678] 또한 도 67의 (A) 및 (B)에서는 톱 게이트 절연막에 한정하여 문턱 전압이 변동하는 현상을 설명하였지만, 백 게이트 절연막에서도 같은 현상이 일어날 가능성이 있다.
- [0679] 도 52에 OS 트랜지스터(911), OS 트랜지스터(913), OS 트랜지스터(916-2), OS 트랜지스터(917), 및 OS 트랜지스터(918-2)의 결과를 나타내었다. 또한 백 게이트 전압(V_{bg})=+4.15V는 EOT를 고려하면 게이트 전압(V_g)=+1V에 상당한다. 도 52에 나타난 바와 같이, 백 게이트 전압(V_{bg})을 +4.15V로 하는 조건에서의 TID 열화는 전압(V_g)을 +1V로 하는 조건에서의 TID 열화보다 외관상 작다는 결과가 나왔다.
- [0680] 도 53에 OS 트랜지스터(921), OS 트랜지스터(922), OS 트랜지스터(925) 내지 OS 트랜지스터(931)의 결과를 나타내었다. 도 53에 나타난 바와 같이, 백 게이트 전압(V_{bg})을 +4.15V로 하는 조건에서는 V_{th} 가 약 50mV 양으로 드리프트하는 결과가 나왔다. 백 게이트 전압(V_{bg})을 +8.3V로 하는 조건에서의 TID 열화는 전압(V_g)을 +2V로

하는 조건에서의 TID 열화보다 큰 결과가 나왔다.

- [0681] 도 54의 (A)에 OS 트랜지스터(911), OS 트랜지스터(916-1), 및 OS 트랜지스터(918)의 결과를 나타내었다. 또한 도 54의 (B)에 OS 트랜지스터(911) 및 OS 트랜지스터(912)의 결과를 나타내었다.
- [0682] 도 54의 (A)로부터, 게이트 전압(Vg)을 -1V로 하는 조건 또는 백 게이트 전압(Vbg)=-4.15V(게이트 전압(Vg)=-1V에 상당함)로 하는 조건에서의 TID 열화에는 모든 단자(소스, 드레인, 게이트, 및 백 게이트)가 접지된 조건에서의 TID 열화와 유의차는 없었다. 한편, 도 54의 (B)에 나타낸 바와 같이, OS 트랜지스터의 오프 상태를 상정한 전압 인가의 조건, 즉 게이트 전압(Vg)=-0.8V로 하고, 백 게이트 전압(Vbg)=-6V로 하는 조건에서는 TID 열화가 커지는 결과가 나왔다. 이 차이의 요인으로서 백 게이트 전압의 크기, 또는 게이트 전압과 백 게이트 전압을 동시에 인가한 것을 들 수 있다.
- [0683] 도 55의 (A)에 문턱 전압(ΔV_{th})의 게이트 전압(Vg) 의존성을 나타내고, 도 55의 (B)에 문턱 전압(ΔV_{th})의 백 게이트 전압(Vbg) 의존성을 나타내었다. 도 55의 (A) 및 (B)에 있어서, 마름모형으로 나타낸 플롯은 X선 조사를 한 경우의 결과이고, 사각형으로 나타낸 플롯은 X선 조사를 하지 않은 경우의 결과이고, 삼각형으로 나타낸 플롯은 이들의 차분이다. 또한 X선 조사에 의한 특성의 변동은 TID 열화와 BT 열화를 더한 것이고, TID 열화와 BT 열화는 독립된 현상인 것으로 가정하여, 상기 차분을 산출하였다.
- [0684] 도 55의 (A) 및 (B)에 나타낸 차분의 결과에 의하여, 재결합을 포함하는 TID 열화만의 변동 성분을 추정할 수 있는 것이 시사된다.
- [0685] 도 55의 (A) 및 (B)의 가로축을 조정하여 작성한 그래프를 각각 도 56의 (A) 및 (B)에 나타내었다. 구체적으로는, 게이트 전압과 백 게이트 전압의 전계 강도가 거의 같게 되도록 EOT를 고려하여 그래프의 가로축을 조정하였다. 도 56의 (A) 및 (B)에 있어서, 마름모형으로 나타낸 플롯은 게이트 전압을 인가한 경우의 결과이고, 사각형으로 나타낸 플롯은 백 게이트 전압을 인가한 경우의 결과이다. 또한 도 56의 (A)는 X선 조사를 하지 않은 경우의 결과이고, 도 56의 (B)는 상기 차분이다.
- [0686] 도 56의 (A)로부터, 게이트 전압(Vg)=+1V 또는 백 게이트 전압(Vbg)=+4.15V 부근을 경계로 +GBT 스트레스에 의한 양으로의 시프트가 증대되는 것이 시사되었다. 또한 전계 강도가 거의 같은 조건에서는 게이트 전압 인가도 백 게이트 전압 인가도 거의 등가인 것이 시사되었다. 또한 도 56의 (B)로부터, 재결합을 포함한 TID 열화만의 변동 성분은 모든 단자(소스, 드레인, 게이트, 및 백 게이트)가 접지된 조건과, 게이트 전압(Vg)=+1V 또는 백 게이트 전압(Vbg)=+4.15V의 사이를 경계로 크게 감소하는 것이 시사되었다. 또한 전계 강도가 거의 같은 조건에서는 게이트 전압 인가도 백 게이트 전압 인가도 거의 등가인 것이 시사되었다.
- [0687] 드레인 전압(Vd)을 0.1V로 한 경우의 OS 트랜지스터의 문턱 전압을 도 57에 나타내었다. 도 57에서 가로축은 시간(Time)[h]을 나타내고, 세로축은 문턱 전압(Vth)[V]을 나타낸다. 도 57의 가로축에서는 X선 조사 전의 시점을 0로 하였다. 또한 도 57의 플롯은 두 번의 Id-Vg 측정에서 얻어진 문턱 전압의 중앙값을 나타낸다. 또한 도 57에 나타낸 오차 막대는 문턱 전압의 최댓값 및 최솟값을 나타낸다. 또한 OS 트랜지스터(901)를 제외한 OS 트랜지스터에 대해서는 왕복 스위핑을 수행하였기 때문에, Id-Vg 측정을 두 번 수행하여 얻어지는 문턱 전압은 4개이다. 즉, 도 57에 나타낸 문턱 전압의 중앙값은, 얻어진 4개의 문턱 전압에서 산출된 것이다.
- [0688] 도 57로부터, X선 조사 전에서의 OS 트랜지스터의 문턱 전압(Vth)에서 편차가 확인되었지만, 편차는 크지는 않았다.
- [0689] 본 실시예에 기재된 구성, 구조, 방법 등은 다른 실시형태 등에 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0690] (실시예 2)
- [0691] 본 실시예에서는, OS 트랜지스터의 방사선 내성을 평가하였다. 또한 OS 메모리를 포함한 기억 장치를 제작하고, TID에 의한 하드 에러 및 중이온선 조사 시의 소프트 에러(SEU: Single Event Upset) 내성을 평가하였다.
- [0692] <OS 트랜지스터>
- [0693] 본 실시예에서 제작한 OS 트랜지스터의 구성은 실시예 1에서 제작한 OS 트랜지스터(911)의 구성을 참조할 수 있다. 또한 OS 트랜지스터에 있어서, 채널 길이의 설계값을 60nm로 하고, 채널폭의 설계값을 60nm로 하였다. 또한 톱 게이트 절연막의 EOT는 5.0nm로 하고, 백 게이트 절연막의 EOT는 24.6nm로 하였다.

- [0694] 제작한 OS 트랜지스터에 대하여, Hitachi High-Tech Corporation이 제조한 HD-2700을 사용하여 단면 STEM 이미지의 촬영을 수행하였다. OS 트랜지스터의 채널 길이 방향의 단면 STEM 이미지를 도 58의 (A) 및 (B)에 나타내고, OS 트랜지스터의 채널 폭 방향의 단면 STEM 이미지를 도 58의 (C)에 나타내었다. 또한 도 58의 (B)는 도 58의 (A)에 나타낸 사각형으로 둘러싼 영역의 확대도이다. OS 트랜지스터는 TGSA(Trench Gate Self-Aligned) 구조라고도 할 수 있다. 또한 도 58의 (A) 내지 (C)에서의 Back gate electrode는 백 게이트 전극이고, Back gate insulatore는 백 게이트 절연막이고, CAAC-IGZO는 금속 산화물이고, S/D electrode는 소스 전극 또는 드레인 전극이고, Top gate electrode는 톱 게이트 전극이고, Top gate insulator는 톱 게이트 절연막이다.
- [0695] X선을 조사하기 전에 제작한 OS 트랜지스터의 드레인 전류(I_d)-게이트 전압(V_g) 특성을 측정하였다.
- [0696] 도 59의 (A)는 X선을 조사하기 전의 OS 트랜지스터의 I_d - V_g 특성을 나타낸 것이다. 도 59의 (A)에는 소스에 대한 드레인 전압을 0.1V, 소스 전압을 0V, 측정 환경의 온도를 25°C로 한 조건에 있어서, 소스에 대한 백 게이트 전압(V_{bg})을 -6V, -4V, -2V, 0V, 또는 +2V로 하여 측정을 수행하여 얻어진 I_d - V_g 특성을 나타내었다. 도 59의 (A)에서, 가로축은 게이트 전압(V_g)[V]을 나타내고, 세로축은 드레인 전류(I_d)[A]를 나타낸다.
- [0697] 도 59의 (A)로부터, OS 트랜지스터는 백 게이트 전압(V_{bg})의 인가에 의하여 문턱 전압을 선형으로 변화시킬 수 있다는 것을 알 수 있었다.
- [0698] 여기서, X선 조사 시험에 대하여 설명한다. 본 실시예에서 사용한 X선 조사 시험의 평가 환경은 실시예 1에서 설명한 평가 환경과 같다. 또한 조사선량률은 Radcal Corporation이 제조한 전리 상자 선량계(ionization chamber dose meter) 10X6-6으로 측정하였다. 본 실시예에서는, X선의 선량률을 35Gy(air)/h로 하였다. 또한 X선 스펙트럼과 질량 에너지 흡수 계수에서 추정되는 흡수선량의 환산 계수는 1.0Gy(air)=2.9Gy(SiO₂)이다. 즉, 35Gy(air)/h에서의 흡수선량률은 102Gy(SiO₂)/h로 추정된다. 본 실시예에서는 흡수선량의 단위로서 Gy(SiO₂)를 사용한다.
- [0699] 다음으로, X선 조사에 의한 OS 트랜지스터의 오프 전류의 변화를 평가하였다. 또한 OS 트랜지스터의 오프 전류는 일반적인 측정기의 측정 하한을 밑돌기 때문에 본 실시예에서는 60000개의 OS 트랜지스터를 병렬 접속한 TEG(Test Element Group)를 제작하였다. X선 조사에서의 단자 전위는 모두 접지 전위($V_g=V_{bg}=V_d=V_s=0V$)로 하고, 온도는 실온(25°C)으로 하였다. 또한 본 실시예에서는, 모든 단자(소스, 드레인, 게이트, 및 백 게이트)가 접지된 조건을 전단자 접지라고 표기하는 경우가 있다.
- [0700] 제작한 TEG에 있어서, X선 조사 전(initial), 조사한 X선의 합계 선량이 1.4kGy(SiO₂)가 된 경우, 조사한 X선의 합계 선량이 2.9kGy(SiO₂)가 된 경우, 및 조사한 X선의 합계 선량이 8.7kGy(SiO₂)가 된 경우의 각 OS 트랜지스터의 I_d - V_g 특성을 도 59의 (B)에 나타내었다.
- [0701] 도 59의 (B)에는 소스에 대한 드레인 전압을 0.1V, 소스 전압 및 백 게이트 전압을 0V, 측정 환경의 온도를 25°C로 하여 측정하여 얻어진 I_d - V_g 특성을 나타내었다. 도 59의 (B)에 있어서, 가로축은 게이트 전압(V_g)[V]을 나타내고, 세로축은 OS 트랜지스터 하나당 드레인 전류(I_d)[A/FET]를 나타낸다. 도 59의 (B)의 일점쇄선은 일반적인 측정기를 사용하여, 병렬 수가 하나인 트랜지스터를 측정할 경우의 측정 하한(general detection limit)을 나타내고, 도 59의 (B)의 점선은 병렬 수 60000개의 TEG를 측정할 경우의 측정 하한을 트랜지스터 하나당으로 환산하였을 때의 수치(detection limit)를 나타낸다.
- [0702] 도 59의 (B)로부터, 정지 궤도상에서의 30년간의 도즈양에 상당하는 8.7kGy(SiO₂) 조사 후에서의 OS 트랜지스터의 오프 전류는 측정 하한(1.7×10^{-18} A/FET) 이하이고, 낮은 누설 특성을 유지하는 것을 알 수 있었다. 또한 TID의 영향하에서도 SS 및 전계 효과 이동도는 거의 변화되지 않았다. 이는 TID에 의하여 음으로 시프트한 문턱 전압을 백 게이트 전압(V_{bg})의 인가에 의하여 용이하게 보정할 수 있는 것을 시사한다.
- [0703] 다음으로, X선 조사에 의한 OS 트랜지스터의 문턱 전압(V_{th})의 변동을 도 59의 (C)에 나타내었다. 도 59의 (C)에 있어서, 세로축은 문턱 전압의 변동량(ΔV_{th})[V]을 나타내고, 가로축은 X선의 합계 선량(Total Dose)[kGy(SiO₂)]을 나타낸다. 본 실시예에서는, 1pA의 전류가 흐르는 게이트 전압(V_g)을 문턱 전압(V_{th})으로 하였다.
- [0704] 도 59의 (C)로부터, 전단자 접지에 있어서, 8.7kGy(SiO₂) 조사 후의 문턱 전압(V_{th})은 X선 조사 전의 문턱 전압(V_{th})에서 0.4V 정도 음으로 시프트하였다.

[0705] <OS 메모리>

[0706] 본 실시예에서는 기억 장치를 포함한 칩을 제작하였다. 기억 장치는 4개의 메모리 셀 어레이를 가진다. 또한 각 메모리 셀 어레이는 예를 들어 매트릭스로 배치된 메모리 셀을 가진다. 메모리 셀의 회로 구성을 도 60의 (A)에 나타내고, 판독 회로의 회로도도 도 60의 (B)에 나타내고, 스펙을 표 2에 나타내었다.

[0707] [표 2]

특성	값
프로세스 테크놀로지	OS: 60nm
셀 구성	3T+1C
전원 전압	2.5V / -0.8V
메모리 용량	228KB
셀 용량	0.67fF

[0708] 메모리 셀은 트랜지스터(M1) 내지 트랜지스터(M3)와 용량 소자(C)를 가진다. 즉, 상기 메모리 셀은 3Tr1C형(3T+1C)의 구성을 가지고, 용량 소자(C)로의 전하 축적에 의하여 데이터가 유지된다. 또한 트랜지스터(M1) 내지 트랜지스터(M3)는 OS 트랜지스터이다. 따라서, 메모리 셀은 OS 메모리라고 할 수 있다. 또한 본 실시예에서 제작한 메모리 셀 어레이를 OS 메모리 어레이라고 하는 경우가 있다.

[0710] 상술한 바와 같이, 트랜지스터(M1) 내지 트랜지스터(M3)로서 OS 트랜지스터를 사용하는 경우, 트랜지스터(M1) 내지 트랜지스터(M3) 각각의 문턱 전압은 백 게이트 전압의 인가에 의하여 독립적으로 제어가 가능하다. 트랜지스터(M1)의 백 게이트에 접속되는 단자를 단자(BG1)라고 표기하고, 트랜지스터(M2)의 백 게이트에 접속되는 단자를 단자(BG2)라고 표기하고, 트랜지스터(M3)의 백 게이트에 접속되는 단자를 단자(BG3)라고 표기한다. 또한 도 60의 (A)에 나타난 메모리 셀이 가지는 구성 요소의 접속 관계, 메모리 셀에 접속되는 배선 등에 대해서는 실시형태 2에서 설명한 내용을 참조할 수 있다.

[0711] 각 메모리 셀 어레이의 메모리 용량은 57KB이다. 즉, 칩에 포함되는 기억 장치의 메모리 용량은 228KB이다.

[0712] 또한 메모리 셀 어레이는 OS 트랜지스터를 포함하는 층의 아래쪽에 제공된 Si 트랜지스터로 구성된 CMOS 회로(Si CMOS 회로)를 사용하여 제어된다.

[0713] OS 메모리에 대한 TID 내성 시험 방법을 나타낸 흐름을 도 61의 (A)에 나타내었다.

[0714] 우선, 단자(BG1), 또는 단자(BG2) 및 단자(BG3)를 변화시켜 1분간의 유지 시험을 수행하였다(BG1 = variable or BG2,3 = variable, 도 61의 (A)의 단계 S21). 유지 시험에서는 기록 동작(WRITE), 유지 동작(HOLD), 판독 동작(READ)을 순차적으로 수행하였다. 또한 단자(BG1) 내지 단자(BG3)에 인가하는 전위는 한 번의 유지 시험 동안(기록 동작부터 판독 동작까지) 일정하게 하고, 유지 동작 시의 배선(WWL)의 전위는 -0.8V로 하였다.

[0715] 다음으로, 전단자 접지로 설정하였다(SET VOLTAGE(ALL GND), 도 61의 (A)의 단계 S22). 다음으로, 기억 장치에 대하여 일정량의 X선을 조사하였다(X-ray Irradiation, 도 61의 (A)의 단계 S23).

[0716] X선 조사 후에 상술한 단자(BG1), 또는 단자(BG2) 및 단자(BG3)를 변화시켜 1분간의 유지 시험을 수행하였다(도 61의 (A)의 단계 S24).

[0717] 또한 기억 장치로의 X선 조사량이 설정된 값이 될 때까지 단계 S22 내지 단계 S24를 반복적으로 수행하였다. 여기까지가 OS 메모리에 대한 TID 내성 시험 방법의 설명이다.

[0718] 다음으로 OS 메모리에 대한 SEU 내성 시험 방법을 나타낸 흐름을 도 61의 (B)에 나타내었다.

[0719] 우선, 기록을 수행하기 위한 전압을 설정하였다(SET VOLTAGE(WRITE), 도 61의 (B)의 단계 S31). 다음으로, 기록 동작을 수행하였다(WRITE, 도 61의 (B)의 단계 S32). 단계 S32에서는, 모든 메모리 셀에 데이터 "0" 또는 데이터 "1"을 기록하였다(ALL0 or ALL1).

[0720] 다음으로, 판독을 수행하기 위한 전압을 설정하였다(SET VOLTAGE(READ), 도 61의 (B)의 단계 S33). 다음으로, 판독 동작을 수행하였다(READ, 도 61의 (B)의 단계 S34).

[0721] 다음으로, 유지 동작을 수행하였다. 상기 유지 동작에서는, WWL=-1.3V, BG1=-6V, BG2=BG3=0V로 하였다. 또한 그 외의 단자 전위는 GND로 하였다. 유지 동작 시에 중이온선을 조사하였다(Heavy ion irradiation), 도

61의 (B)의 단계 S35).

- [0722] 다음으로, 판독 동작을 수행하였다(READ, 도 61의 (B)의 단계 S36). 여기까지가 OS 메모리에 대한 SEU 내성 시험 방법의 설명이다.
- [0723] TID 내성 시험의 결과를 도 62의 (A) 및 (B)에 나타내었다. 도 62의 (A) 및 (B)는 X선 조사 직후에 기록 동작 및 1분간의 유지 동작을 순차적으로 수행한 후의 비트 오류율(BER: Bit Error Rate)의 TID 의존성을 나타낸 것이다. 도 62의 (A) 및 (B)에 있어서, 세로축은 비트 오류율(BER)을 나타내고, 가로축은 적산 X선량(TID)[kGy(SiO₂)]을 나타낸다. 도 62의 (A)는 단자(BG2) 및 단자(BG3)를 -3.0V로 하고, 단자(BG1)를 -6V, -5V, -4V, -3V, -2V, -1V, 또는 0V로 한 경우의 결과를 나타낸 것이다. 한편, 도 62의 (B)는 단자(BG1)를 -6V로 하고, 단자(BG2) 및 단자(BG3)를 -3.0V, -2.5V, -2.0V, -1.5V, -1.0V, -0.5V, 또는 0.0V로 한 경우의 결과를 나타낸 것이다.
- [0724] 도 62의 (A) 및 (B)로부터, 백 게이트에 인가하는 전위가 0V인 경우, TID의 증가와 함께 정상 동작을 하는 메모리 셀의 비율이 저하되는(BER가 증가되는) 경향을 확인할 수 있었다. 이는 X선 조사에 의한 문턱 전압의 음으로의 시프트에서 유래하는 것으로 추정된다.
- [0725] 또한 백 게이트에 인가하는 전위가 작을수록 TID의 증가에 의한 정상률의 저하(BER의 증가)가 억제되는 경향을 확인할 수 있었다. 그러므로, 백 게이트에 음의 전위를 인가함으로써, 변동된 문턱 전압(Vth)이 보정되어, 정상률의 저하(BER의 증가)를 억제할 수 있는 것이 시사되었다.
- [0726] 여기서, OS 메모리에서 발생하는 에러 모드와, 각각에 대하여 추정되는 원인을 도 63의 (A) 내지 (C) 및 도 68의 (A) 내지 (C)를 사용하여 설명한다. 또한 에러가 발생하는 OS 메모리를 에러 셀이라고 하는 경우가 있다. 도 63의 (A) 및 도 68의 (A)는 트랜지스터(M1)에 대한 TID의 영향으로 인한 에러 모드를 설명하는 도면이고, 도 63의 (B) 및 도 68의 (B)는 트랜지스터(M2)에 대한 TID의 영향으로 인한 에러 모드를 설명하는 도면이고, 도 63의 (C) 및 도 68의 (C)는 트랜지스터(M3)에 대한 TID의 영향으로 인한 에러 모드를 설명하는 도면이다. 또한 도 68의 (A) 내지 (C)에 있어서, SA는 감지 증폭기를 나타낸다. 또한 트랜지스터 근방에 기재된 ON은 상기 트랜지스터가 온 상태인 것을 나타내고, 트랜지스터 근방에 기재된 OFF는 상기 트랜지스터가 오프 상태인 것을 나타낸다. 또한 배선 근방에 기재된 H는 상기 배선에 전위(H)가 공급되어 있는 것을 나타내고, 배선 근방에 기재된 L은 상기 배선에 전위(L)가 공급되어 있는 것을 나타낸다. 노드(ND) 근방에 기재된 H는 노드(ND)의 전위가 전위(H)인 것을 나타내고, 노드(ND) 근방에 기재된 L은 노드(ND)의 전위가 전위(L)인 것을 나타낸다. 또한 +는 양의 전하를 나타낸다. 또한 도 68의 (A) 및 (B)에서는 배선(RWL)을 선택선(Selected)으로 하였다.
- [0727] 도 63의 (A)에 나타난 바와 같이, X선 조사에 의한 문턱 전압의 음으로의 시프트에 의하여, 트랜지스터(M1)의 문턱 전압이 허용되는 사양값에서 벗어나는 경우, 노드(ND)로부터 배선(WBL)으로 전류가 누설됨으로써, 유지 에러가 발생하는 것으로 추정된다. 더 구체적으로는 도 68의 (A)에 나타난 바와 같이, X선 조사에 의한 문턱 전압의 음으로의 시프트에 의하여, 트랜지스터(M1)의 문턱 전압이 허용되는 사양값에서 벗어나는 경우, 트랜지스터(M1)에서의 누설 전류가 증가되어(M1 leak), 노드(ND)에 기록된 전위(H)가, 유지되는 동안에 전위(L)로 재기록되는 것으로 추정된다. 또한 트랜지스터(M1)의 유지 에러(TID at M1 Hold error)에 기인하는 고장으로, 0 축퇴 고장을 들 수 있다. 또한 0 축퇴 고장은 에러 셀에서 발생한다(Stuck at "0" Dot-pattern).
- [0728] 도 63의 (B)에 나타난 바와 같이, X선 조사에 의한 문턱 전압의 음으로의 시프트에 의하여, 트랜지스터(M2)의 문턱 전압이 허용되는 사양값에서 벗어나는 경우, 노드(ND)에 유지되는 데이터와 상관없이, 판독 동작 시에 트랜지스터(M2)의 소스-드레인 사이에 전류가 흐름으로써, 판독 에러가 발생하는 것으로 추정된다. 바꿔 말하면, 도 68의 (B)에 나타난 바와 같이, X선 조사에 의한 문턱 전압의 음으로의 시프트에 의하여, 트랜지스터(M2)의 문턱 전압이 허용되는 사양값에서 벗어나는 경우, 의사적으로 노드(ND)에 전위(H)가 상시 기록되는 상태가 되는 것으로 추정된다. 또한 트랜지스터(M2)의 판독 에러에 기인하는 고장(TID at M2 Read error)으로서, 1 축퇴 고장을 들 수 있다. 또한 1 축퇴 고장은 에러 셀에서 발생한다(Stuck at "1" Dot-pattern).
- [0729] 도 63의 (C) 및 도 68의 (C)에 나타난 바와 같이, 비선택의 메모리 셀의 노드(ND)에 데이터 "1"이 기록되고, X선 조사에 의한 문턱 전압의 음으로의 시프트에 의하여 비선택의 메모리 셀에 포함되는 트랜지스터(M3)의 문턱 전압이 허용되는 사양값에서 벗어나는 경우, 배선(RBL)의 전류가 비선택의 메모리 셀에 흐름으로써, 선택된 메모리 셀에서 판독 에러가 발생하는 것으로 추정된다. 또한 트랜지스터(M3)의 판독 에러에 기인하는 고장(TID at M3 Read error)으로서, 1 축퇴 고장을 들 수 있다. 또한 1 축퇴 고장은 에러 셀뿐만 아니라, 같은 배선(RBL)에 접속되는 OS 메모리 모두에서 발생한다(Stuck at "1" Line-pattern). 또한 도 63의 (C) 및 도 68의

(C)에서는 위쪽의 배선(RWL)을 비선택선(unselected line, Not Selected)으로 하고, 아래쪽의 배선(RWL)을 선택선(selected line, Selected)으로 하였다.

- [0730] 메모리 셀에 포함되는 OS 트랜지스터의 문턱 전압의 초깃값에는 다소 편차가 생길 수 있다. 또한 X선 조사에 의하여, 메모리 셀에 포함되는 OS 트랜지스터의 문턱 전압이 음으로 시프트한다. 문턱 전압의 초깃값 편차 및 X선 조사에 의하여 음으로 시프트한 결과, 특정의 OS 트랜지스터의 문턱 전압이 허용되는 문턱 전압의 범위에서 벗어남으로써, 상술한 에러 모드 각각이 발생하는 것으로 추정된다.
- [0731] 도 62의 (A) 및 (B)의 결과에 대하여, 에러 모드마다 집계한 결과를 도 64의 (A) 내지 (D)에 나타내었다. 도 64의 (A) 내지 (D)에 있어서, 가로축은 적산 X선량(TID)을 나타낸다. 도 64의 (A) 및 (B)에서의 세로축은 0 축퇴 고장률(Stuck-at-0 rate)을 나타내고, 도 64의 (C) 및 (D)에서의 세로축은 1 축퇴 고장률(Stuck-at-1 rate)을 나타낸다.
- [0732] 도 64의 (A) 및 (C)는 단자(BG2) 및 단자(BG3)를 -3.0V로 하고, 단자(BG1)를 -6V, -5V, -4V, -3V, -2V, -1V, 또는 0V로 한 경우의 결과를 나타낸 것이다. 또한 도 64의 (B) 및 (D)는 단자(BG1)를 -6V로 하고, 단자(BG2) 및 단자(BG3)를 -3.0V, -2.5V, -2.0V, -1.5V, -1.0V, -0.5V, 또는 0.0V로 한 경우의 결과를 나타낸 것이다.
- [0733] 도 64의 (A)로부터, 단자(BG1)의 전위가 작을수록 0 축퇴 고장률이 낮아지는 경향을 확인할 수 있었다. 또한 도 64의 (B)로부터, 0 축퇴 고장률은 단자(BG1)와 비교하여, 단자(BG2) 및 단자(BG3)의 전위에 대한 의존성이 작다는 것을 알 수 있었다. 따라서, 단자(BG1)는 트랜지스터(M1)의 유지 에러에 기인하는 0 축퇴 고장의 억제에 기여한다는 것을 알 수 있었다.
- [0734] 도 64의 (D)로부터, 단자(BG2) 및 단자(BG3)의 전위가 작을수록 1 축퇴 고장률이 낮아지는 경향을 확인할 수 있었다. 또한 도 64의 (C)로부터, 1 축퇴 고장률은 단자(BG2) 및 단자(BG3)와 비교하여, 단자(BG1)의 전위에 대한 의존성이 작다는 것을 알 수 있었다. 따라서, 단자(BG2) 및 단자(BG3)는 트랜지스터(M2) 및 트랜지스터(M3)의 관독 에러에 기인하는 1 축퇴 고장의 억제에 기여한다는 것을 알 수 있다.
- [0735] 상술한 것으로부터, 도 59의 (A)를 사용하여 설명한 백 게이트 전압의 인가에 의한 문턱 전압(V_{th})의 보정이 방사선에 의한 OS 메모리의 오동작의 억제에 유효하다는 것을 알 수 있었다.
- [0736] 다음으로, 중이온선을 사용한 OS 메모리의 소프트 에러 내성 시험에 대하여 설명한다. 상기 시험은 이온 조사 시설 TIARA에서 수행하였다. 또한 중이온선으로서, AVF 사이클로트론으로부터 제공되는 6종류의 이온종(ion species)을 사용하였다. 또한 SEU 내성 시험 방법에 대해서는 도 61의 (B)를 사용하여 설명한 내용을 참조할 수 있다.
- [0737] 소프트 에러의 반응 단면적 σ (에러 발생 확률)의 LET(Linear Energy Transfer) 의존성을 도 65의 (A)에 나타내었다. 도 65의 (A)에 있어서, 세로축은 소프트 에러의 반응 단면적(SEU Cross section) σ [cm^2/bit]을 나타내고, 가로축은 LET [$\text{MeV cm}^2/\text{mg}$]를 나타낸다.
- [0738] 도 65의 (A)에서 동그라미로 나타낸 플롯은 OS 메모리 어레이의 하나(clip1)에 대한 결과를 나타낸 것이고, 도 65의 (A)에서 사각형으로 나타낸 플롯은 OS 메모리 어레이의 다른 하나(clip2)에 대한 결과를 나타낸 것이다. 또한 OS 메모리 어레이에서의 ALL1의 결과를 흑색, OS 메모리 어레이에서의 ALL0의 결과를 백색으로 하였다. 또한 비교를 위하여, 이때까지 보고된 SRAM에 대한 SEU 내성 시험의 결과도 도 65의 (A)에 같이 기재한다. 도 65의 (A)에서 마름모형으로 나타낸 플롯은 벌크 실리콘의 웨이퍼를 사용하여 65nm 프로세스에서 제작된 SRAM(65nm bulk)에 대한 결과를 나타낸 것이고, 도 65의 (A)에서 삼각형으로 나타낸 플롯은 SOI 웨이퍼를 사용하여 65nm 프로세스에서 제작된 SRAM(65nm SOI)에 대한 결과를 나타낸 것이다.
- [0739] 도 65의 (A)로부터, OS 메모리는, ALL0/ALL1 둘 다 소프트 에러가 발생하는 LET의 문턱값이 같은 세대의 일반적인 SRAM보다 높았다. 특히, LET가 $3.3\text{MeVcm}^2/\text{mg}$ 이하인 낮은 에너지의 이온선에 있어서, OS 메모리에서는 기록 패턴이 ALL0 및 ALL1 중 어느 쪽에서도 소프트 에러가 발생하지 않았다. 또한 같은 LET(에너지의 이온선)에 있어서, OS 메모리는 반응 단면적 σ 가 같은 세대의 일반적인 SRAM과 비교하여 1자릿수 정도 낮았다. 따라서, OS 메모리는 소프트 에러 내성이 높다고 할 수 있다.
- [0740] OS 메모리 어레이에서의 SEU의 에러 맵을 도 65의 (B)에 나타내었다. 도 65의 (B)는 기록 패턴을 ALL1로 하였을 때의 LET가 $69.2\text{MeVcm}^2/\text{mg}$ 인 경우의 SEU 내성 시험에서의 에러 맵이다. 도 65의 (B)의 왼쪽에 OS 메모리 어레이에서의 SEU의 에러 맵을 나타내고, 상기 에러 맵에서 사각형으로 둘러싼 영역의 확대도를 도 65의 (B)의 오

른쪽에 나타내었다.

[0741] 도 65의 (B)로부터, 에러 맵에는 특징적인 패턴은 보이지 않았고, 또한 인접 bit에서의 연속된 에러 bit군도 확인되지 않았다.

[0742] 또한 OS 메모리의 경우에는 높은 LET에서의 ALL1의 반응 단면적이 ALL0보다 컸다. "1"에서 "0"로의 재기록 에러는 일반적인 DRAM의 불량 메커니즘과 마찬가지로 트랜지스터(M1)의 채널 형성 영역에 발생한 전하가 용량 소자에 흐르기 때문에 일어나는 것으로 추정된다. 한편으로 "0"에서 "1"로의 재기록 에러는 TID 시험의 지견을 바탕으로 생각하면, 마이크로 도즈 효과에 의하여 트랜지스터(M2) 및 트랜지스터(M3)가 국소적으로 음으로 시프트하지만, 한편으로 회복도 빠르기 때문에 하드 에러가 아니라 Upset로서 검출된 것으로 추정된다.

[0743] 본 실시예에 기재된 구성, 구조, 방법 등은 다른 실시형태 등에 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

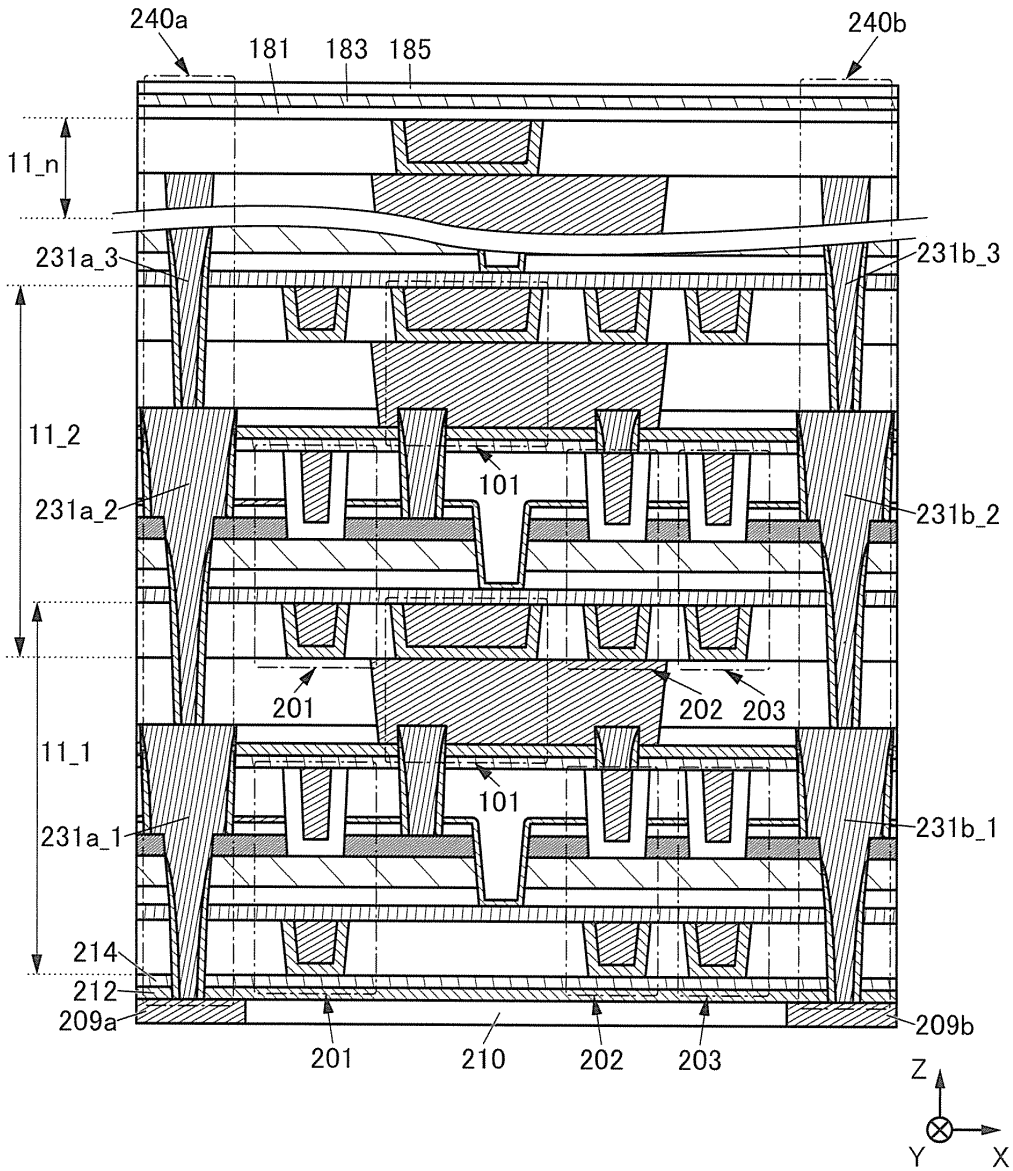
부호의 설명

[0744] 10: 메모리 셀, 11: n층의 기억층, 15: 메모리 셀 어레이, 22: PSW, 23: PSW, 31: 주변 회로, 32: 컨트롤 회로, 33: 전압 생성 회로, 41: 주변 회로, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기, 47: 입력 회로, 48: 출력 회로, 50: 구동 회로층, 61: 트랜지스터, 62: 트랜지스터, 100: 기억 장치, 101: 용량 소자, 181: 절연체, 183: 절연체, 185: 절연체, 201a: 트랜지스터, 201b: 트랜지스터, 201: 트랜지스터, 202a: 트랜지스터, 202b: 트랜지스터, 202: 트랜지스터, 203a: 트랜지스터, 203b: 트랜지스터, 203: 트랜지스터, 205a: 도전체, 205b: 도전체, 205c: 도전체, 205: 도전체, 207a: 개구, 207b: 개구, 207c: 개구, 209a: 도전체, 209b: 도전체, 209: 도전체, 210: 절연체, 212: 절연체, 214: 절연체, 215: 절연체, 216_n: 절연체, 216a: 절연체, 216b: 절연체, 216: 절연체, 222: 절연체, 224a: 절연체, 224b: 절연체, 224f: 절연막, 224: 절연체, 230a: 금속 산화물, 230b: 금속 산화물, 230f: 금속 산화막, 230: 금속 산화물, 231a: 도전체, 231a_1: 도전체, 231a_2: 도전체, 231a_3: 도전체, 231a_n: 도전체, 231b: 도전체, 231b_1: 도전체, 231b_2: 도전체, 231b_3: 도전체, 231b_n: 도전체, 231c: 도전체, 231d: 도전체, 231: 도전체, 232a: 절연체, 232b: 절연체, 232c: 절연체, 232d: 절연체, 232f: 절연막, 232: 절연체, 235a: 도전체, 235b: 도전체, 235c: 도전체, 237a: 영역, 238a: 영역, 239a: 영역, 240a: 접속 전극, 240b: 접속 전극, 240: 접속 전극, 242a: 도전체, 242b: 도전체, 242c: 도전체, 242d: 도전체, 242e: 도전체, 242F: 도전층, 242f: 도전막, 242Fa: 도전층, 242Fb: 도전층, 242: 도전체, 250a: 절연체, 250b: 절연체, 250c: 절연체, 250d: 절연체, 250f: 절연막, 250: 절연체, 258a: 개구, 258b: 개구, 258c: 개구, 260a: 도전체, 260b: 도전체, 260: 도전체, 271a: 절연체, 271b: 절연체, 271c: 절연체, 271d: 절연체, 271e: 절연체, 271F: 절연층, 271f: 절연막, 271Fa: 절연층, 271Fb: 절연층, 271: 절연체, 275: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 285: 절연체, 287: 절연체, 288a: 개구, 288b: 개구, 288c: 개구, 288d: 개구, 291: 하드 마스크, 292: 레지스트 마스크, 300: 트랜지스터, 311: 기관, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 600: 회로, 652: AND 회로, 653: 아날로그 스위치, 654: 아날로그 스위치, 661: 트랜지스터, 662: 트랜지스터, 663: 트랜지스터, 664: 트랜지스터, 666: 트랜지스터, 700: 전자 부품, 702: 인쇄 기관, 704: 실장 기관, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 730: 전자 부품, 731: 인터포저, 732: 패키지 기관, 733: 전극, 735: 반도체 장치, 1200: 칩, 1201: 패키지 기관, 1202: 범프, 1203: 머더보드, 1204: GPU 모듈, 1211: CPU, 1212: GPU, 1213: 아날로그 연산부, 1214: 메모리 컨트롤러, 1215: 인터페이스, 1216: 네트워크 회로, 1221: DRAM, 1222: 플래시 메모리, 5110: SD 카드, 5111: 하우징, 5112: 커넥터, 5113: 기관, 5115: 컨트롤러 칩, 5150: SSD, 5151: 하우징, 5152: 커넥터, 5153: 기관, 5155: 메모리 칩, 5156: 컨트롤러 칩, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 데스크톱형 정보 단말기, 5301: 본체, 5302: 표시부, 5303: 키보드, 5400: ICD 본체, 5401: 배터리, 5402: 와이어, 5403: 와이어, 5404: 안테나, 5405: 체결할 정맥, 5406: 상대정맥, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5600: 계산기, 5610: 랩, 5620: 계산기, 5621: PC 카드, 5622: 보드, 5623: 접속 단자, 5624: 접속 단자, 5625: 접속 단자, 5626: 반도체 장치, 5627: 반도체 장치, 5628: 반도체 장치, 5629: 접속 단자, 5630: 머더보드, 5631: 슬롯, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 스위치, 5904: 조작 스위치, 5905: 밴드, 6100: 확장 디바이스, 6101: 하우징, 6102: 캡, 6103: USB 커넥터, 6104: 기관, 6106: 컨트롤러 칩, 6240: 디지털 카메라, 6241: 하우징, 6242: 표시부, 6243: 조작 스위치, 6244: 셔터 버튼, 6246: 렌즈, 6300: 비디오 카메라, 6301:

제 1 하우징, 6302: 제 2 하우징, 6303: 표시부, 6304: 조작 스위치, 6305: 렌즈, 6306: 접속부, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치, 7500: 거치형 게임기, 7520: 본체, 7522: 컨트롤러, 7800: 화상 촬상 장치, 7801: 신털레이터, 7802: 이미지 센서, 7803: X선, 7804: 피사체, 7805: 광, 7811: 포토다이오드, 7812: 트랜지스터, 7813: 단자, 7814: 배선, 8000: X선, 8001: 스테이지, 8002: X선원, 8003: 조리개

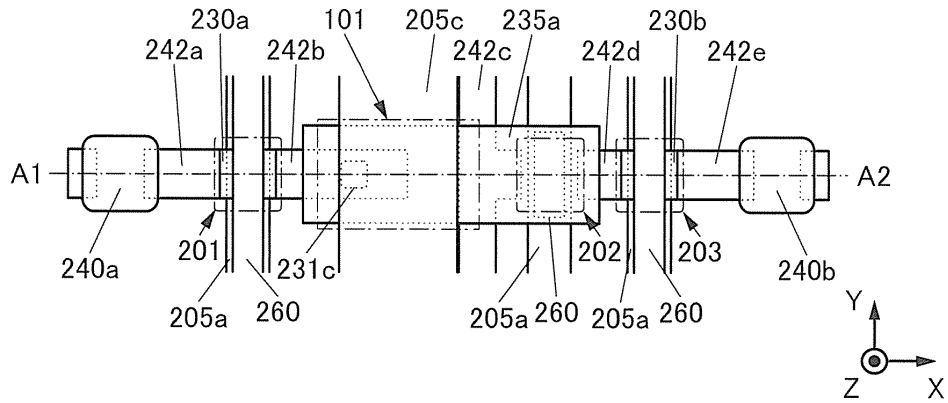
도면

도면1

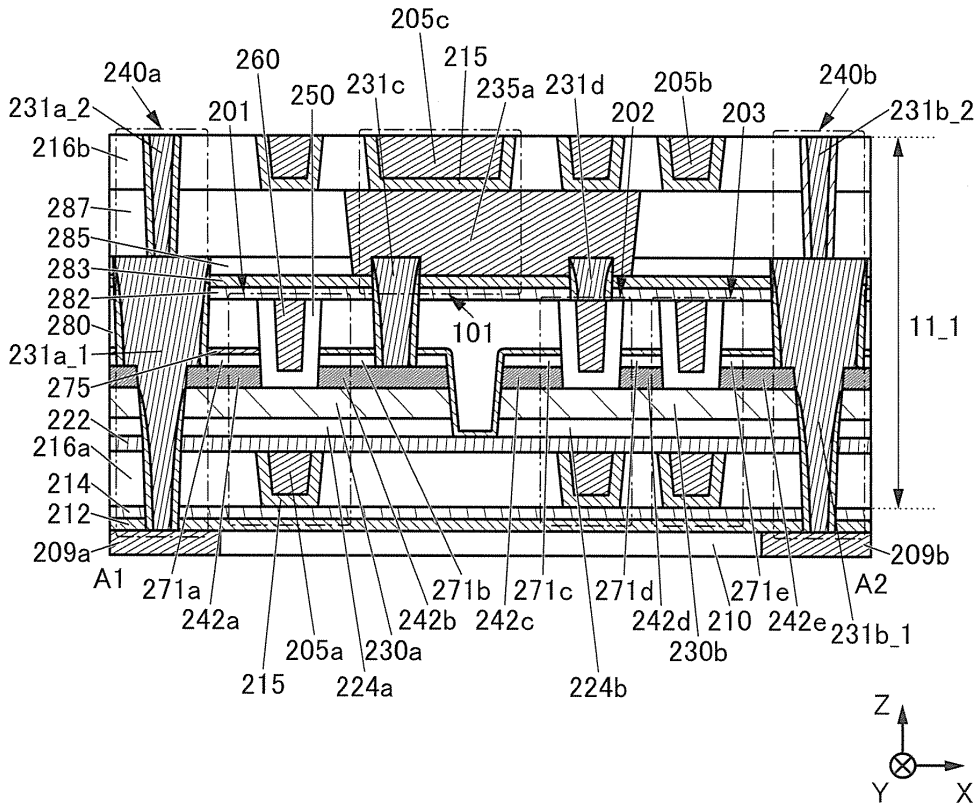


도면2

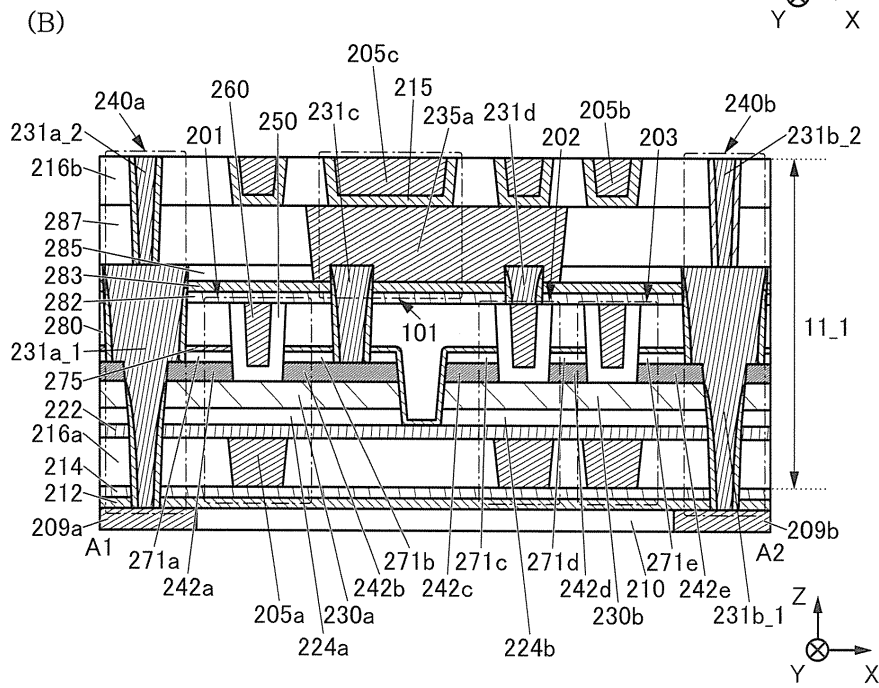
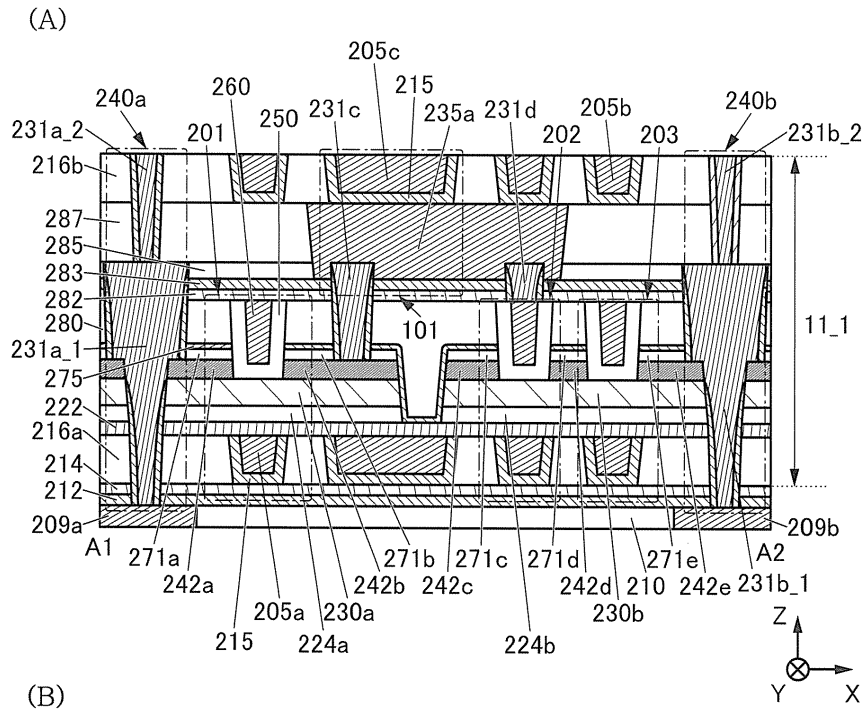
(A)



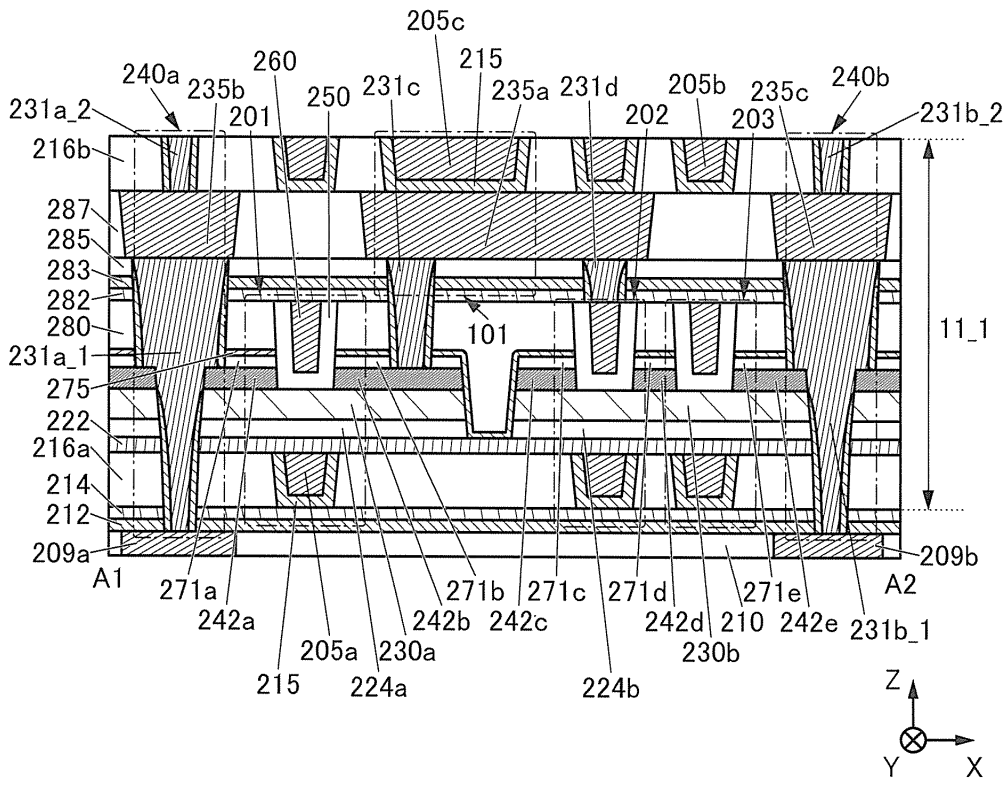
(B)



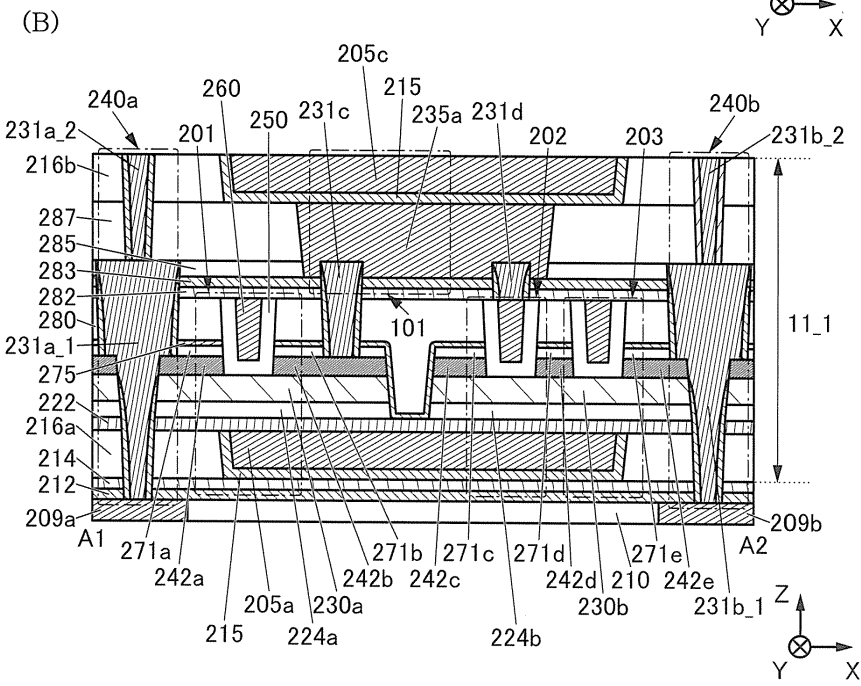
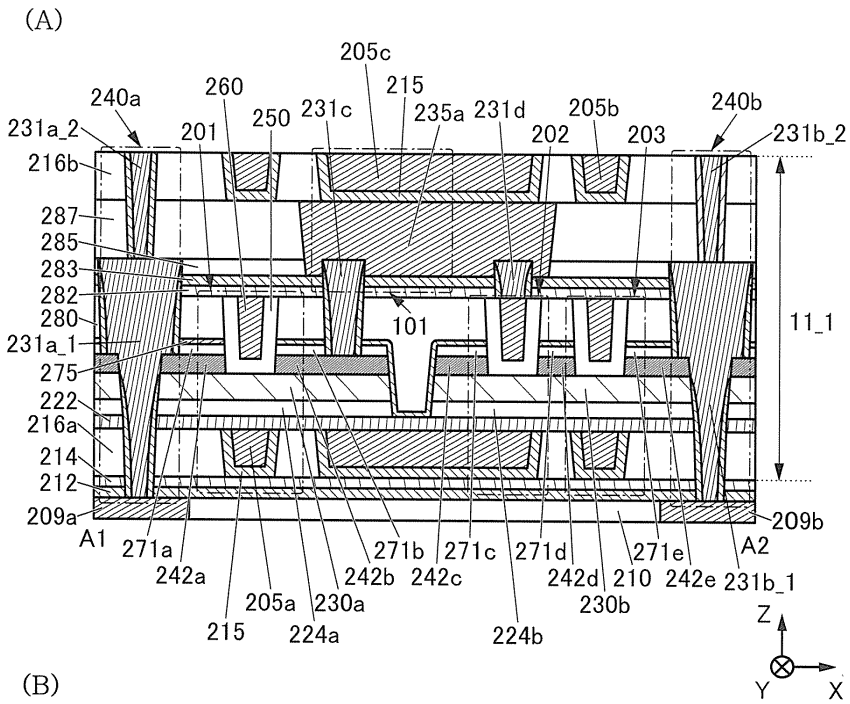
도면3



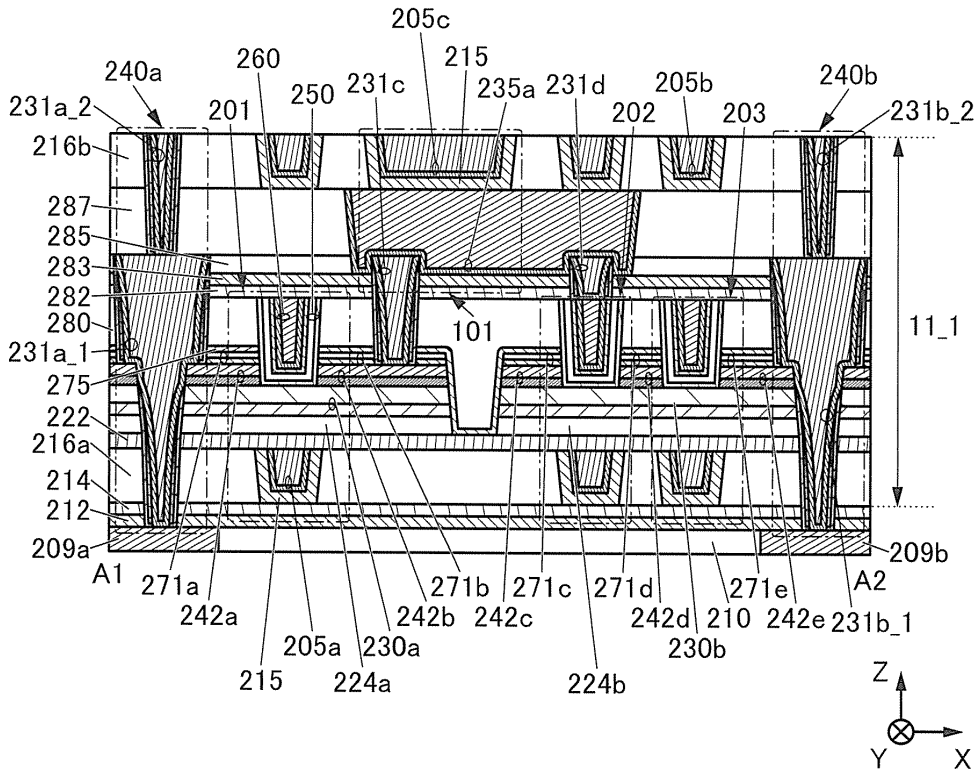
도면4



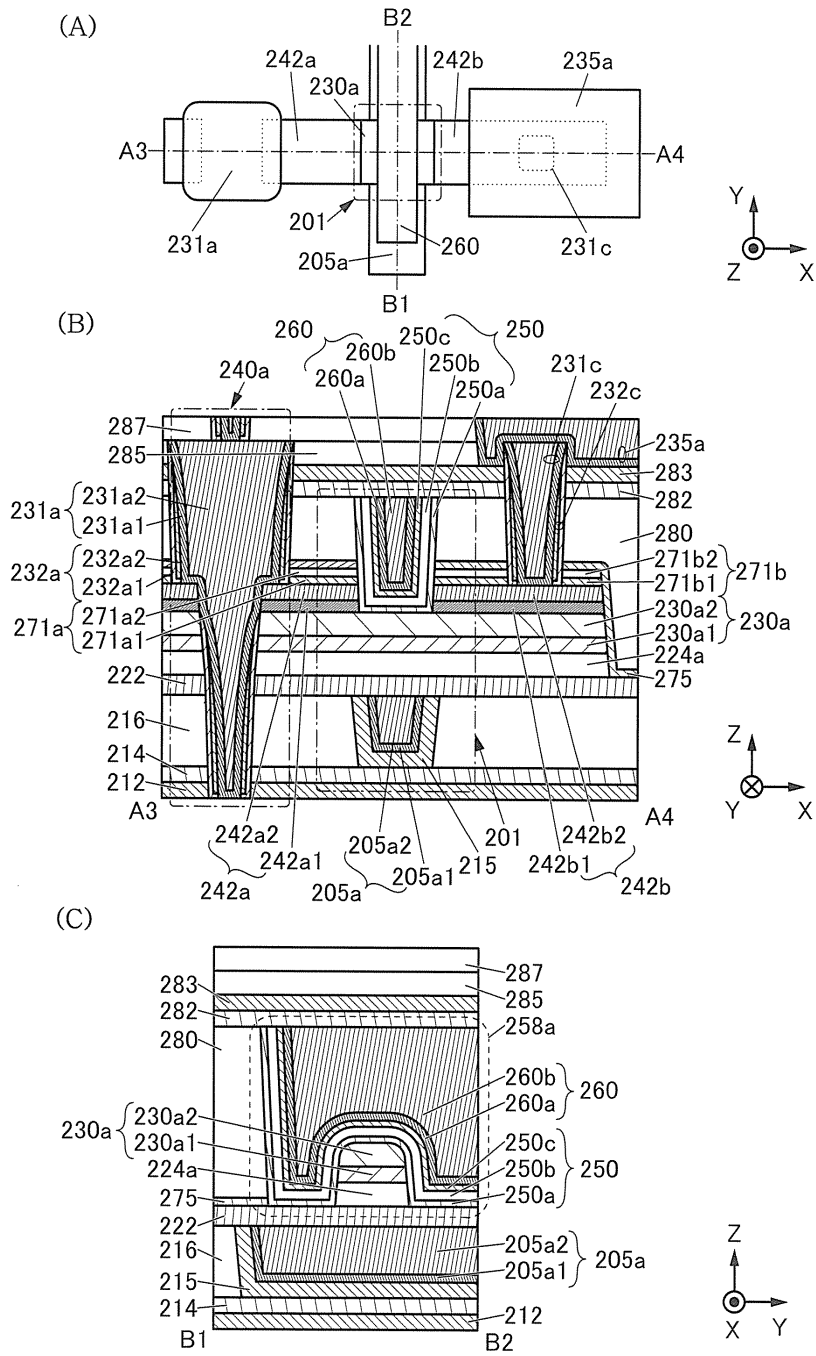
도면5



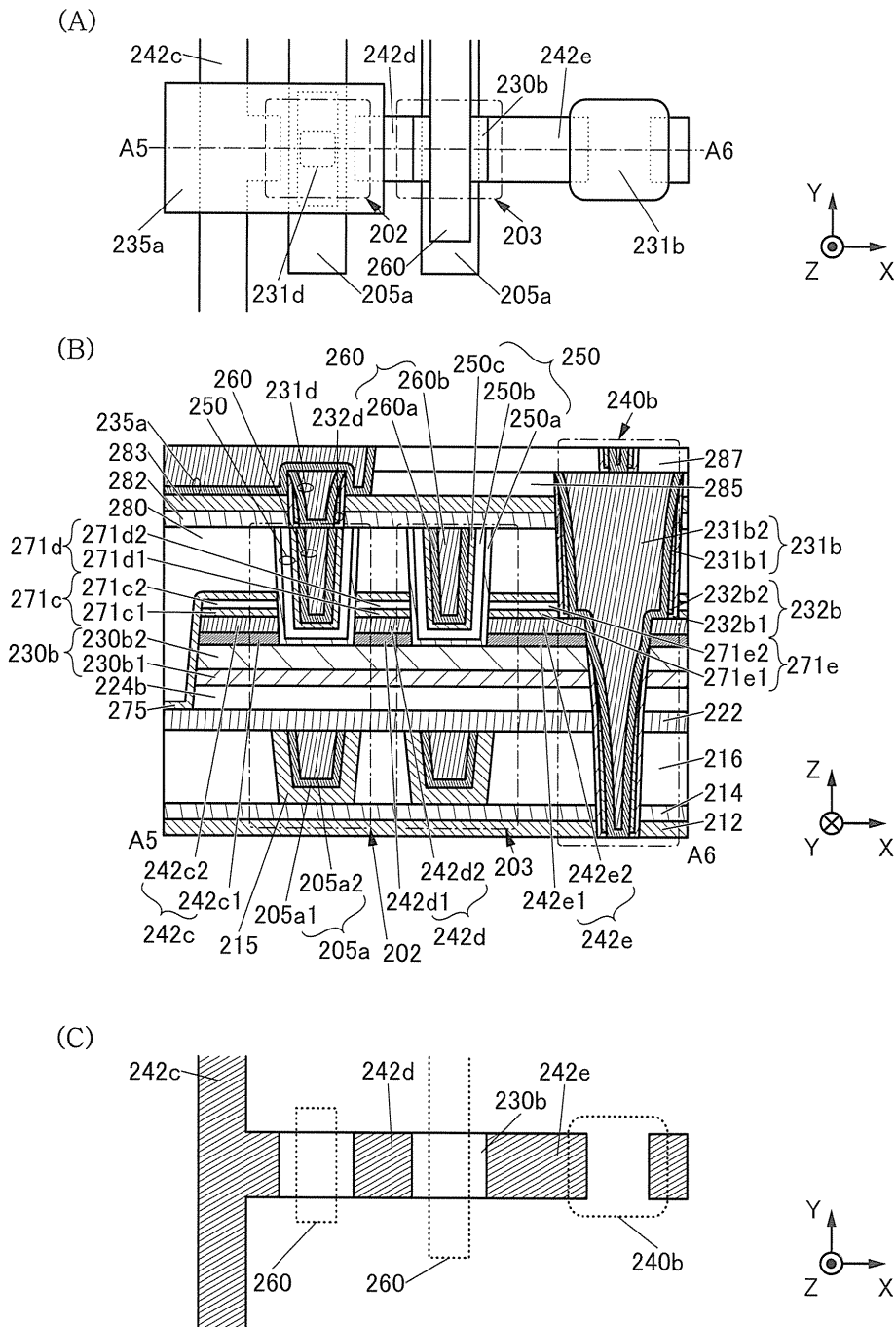
도면6



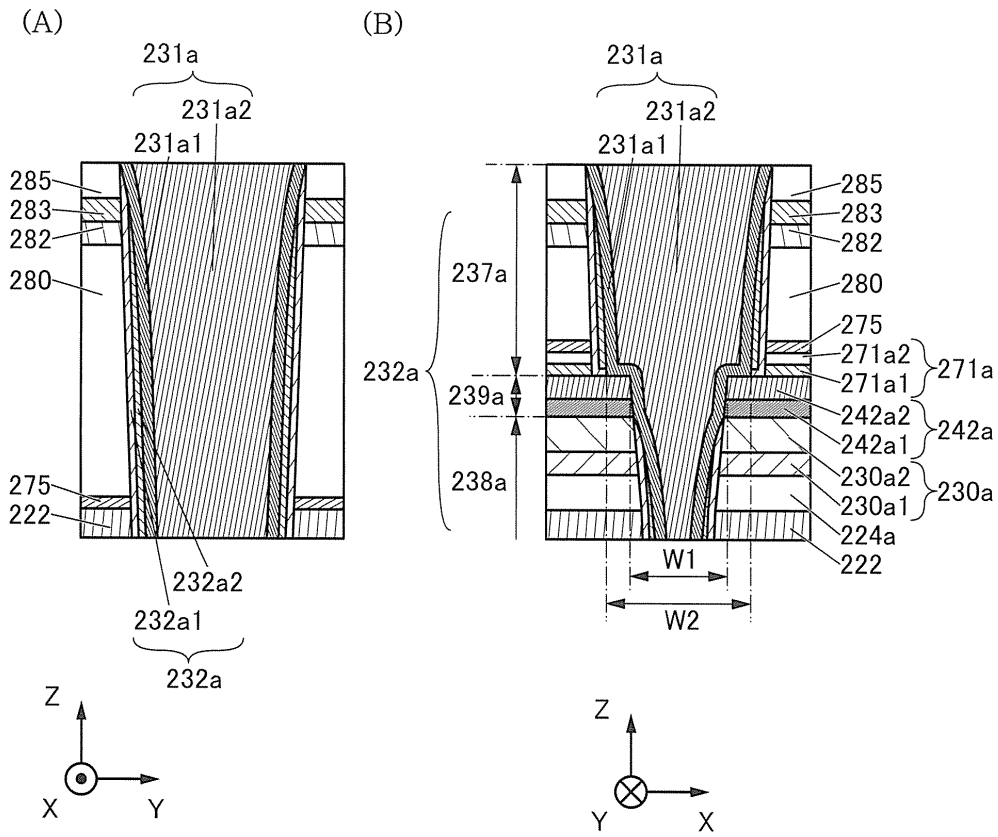
도면7



도면8

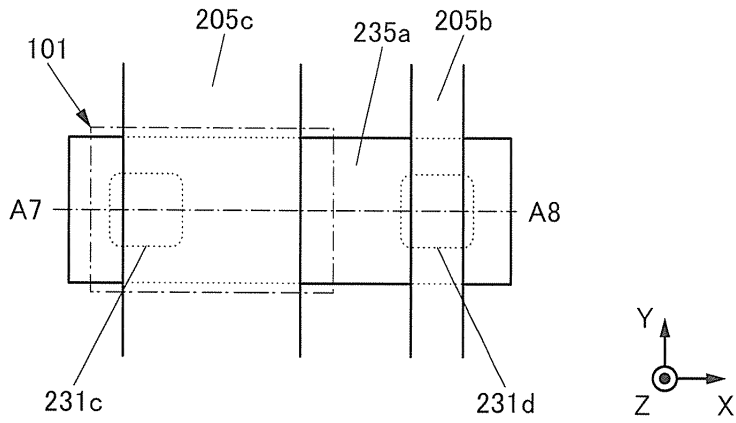


도면9

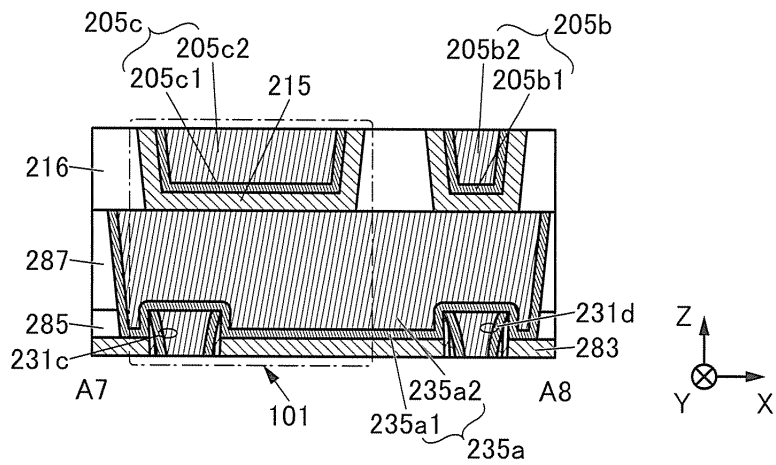


도면10

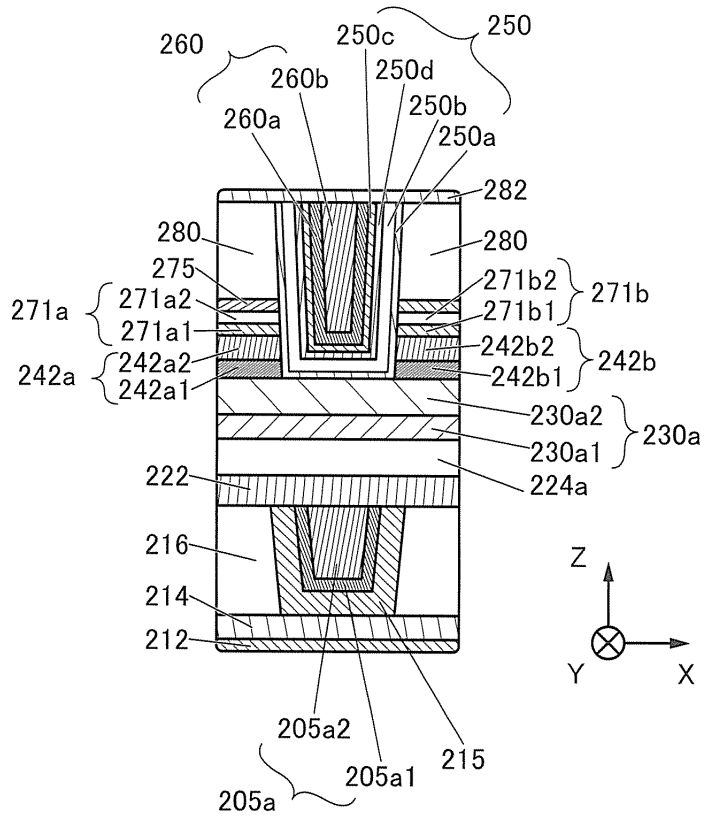
(A)



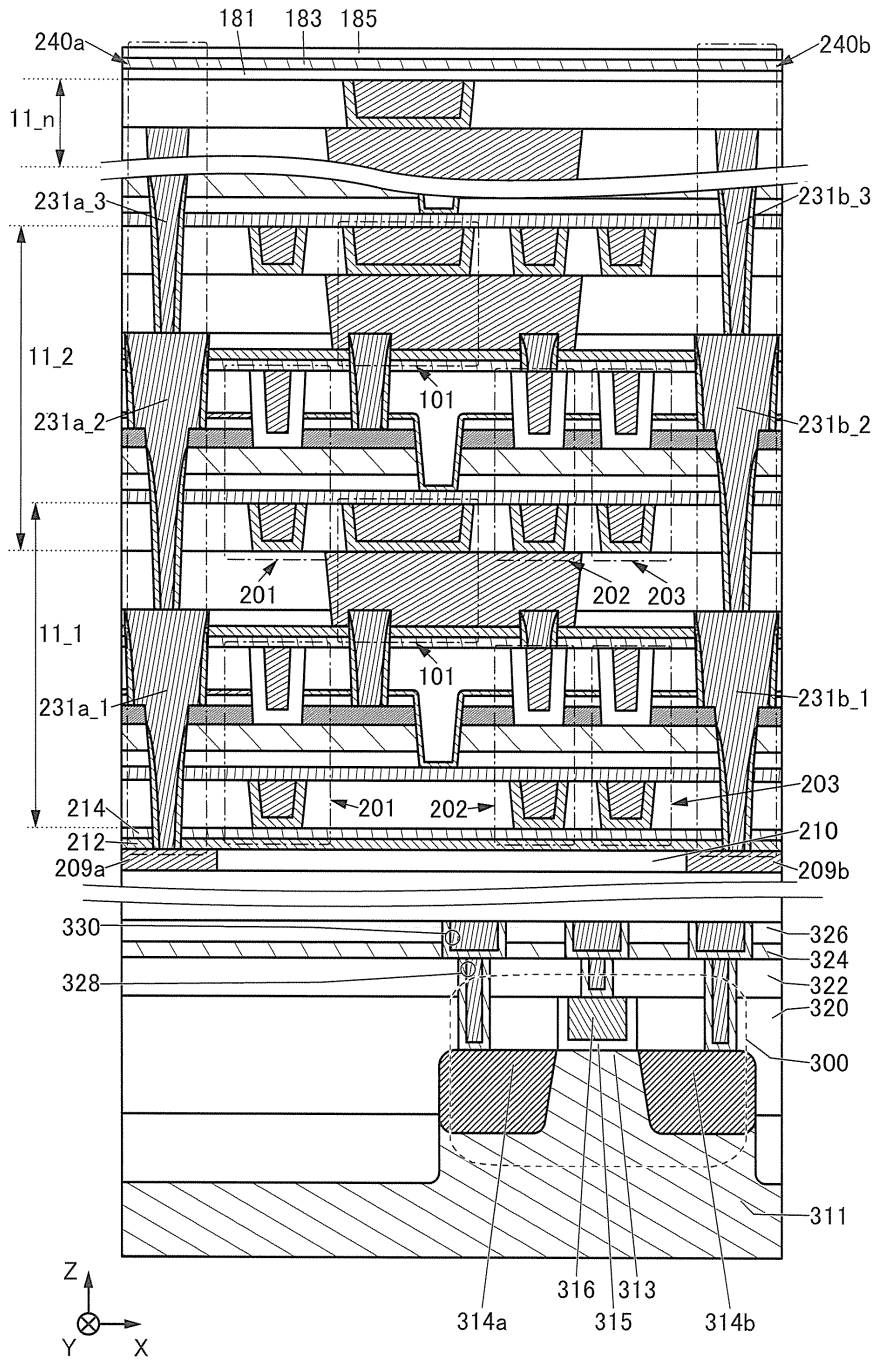
(B)



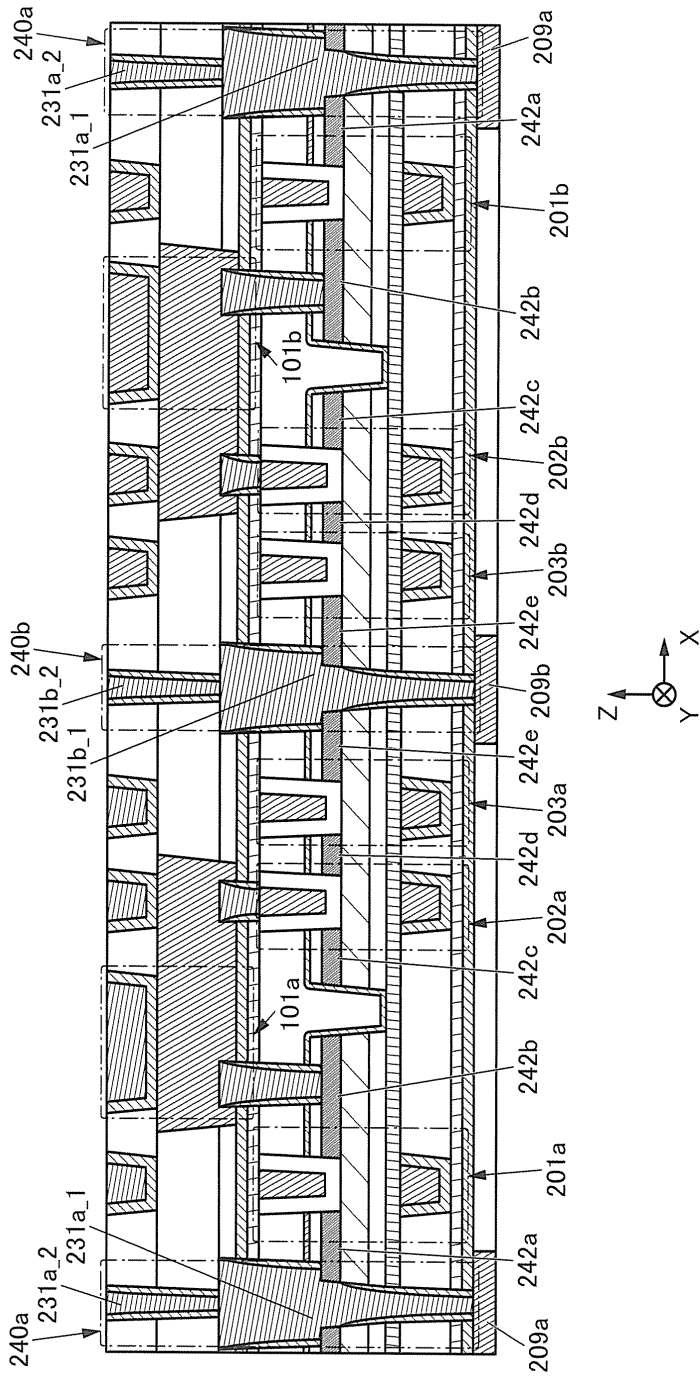
도면11



도면12

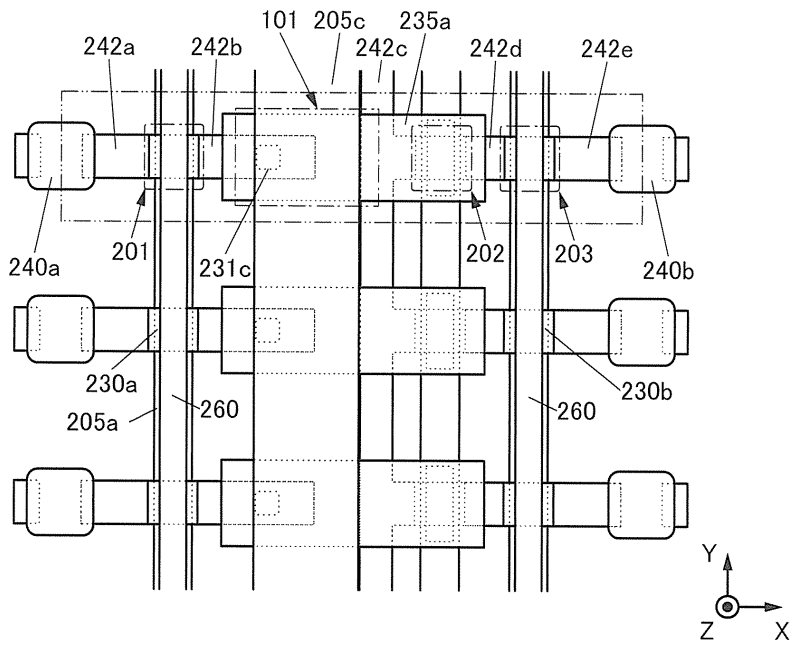


도면13

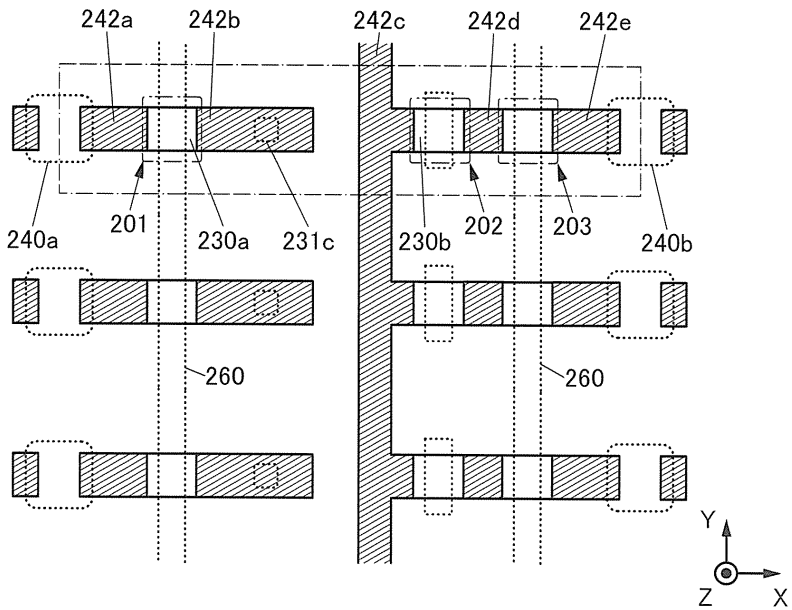


도면14

(A)

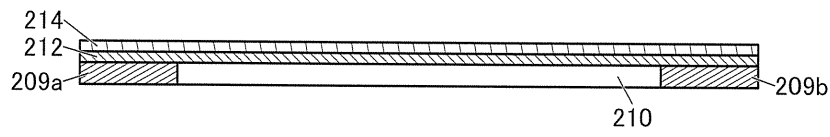


(B)

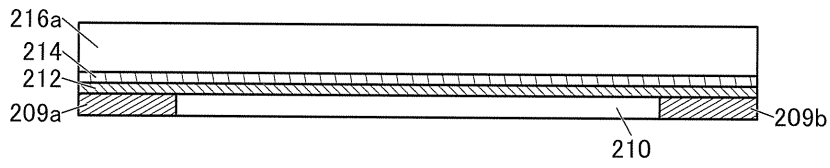


도면15

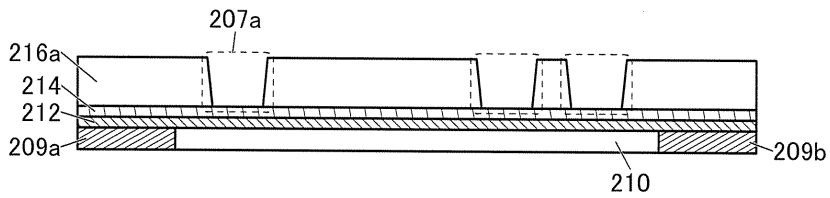
(A)



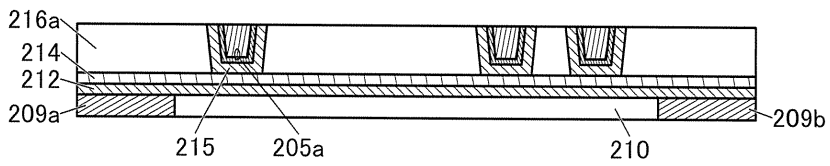
(B)



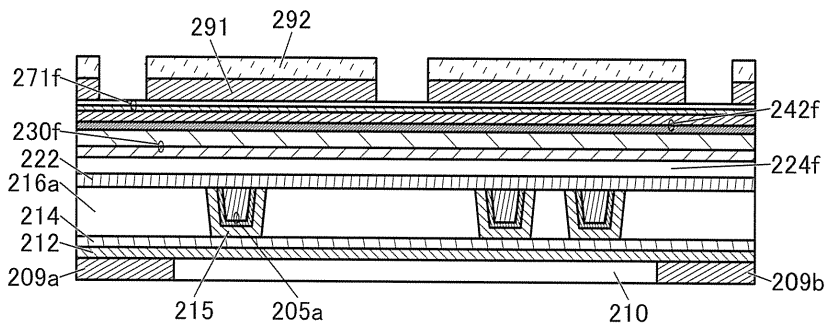
(C)



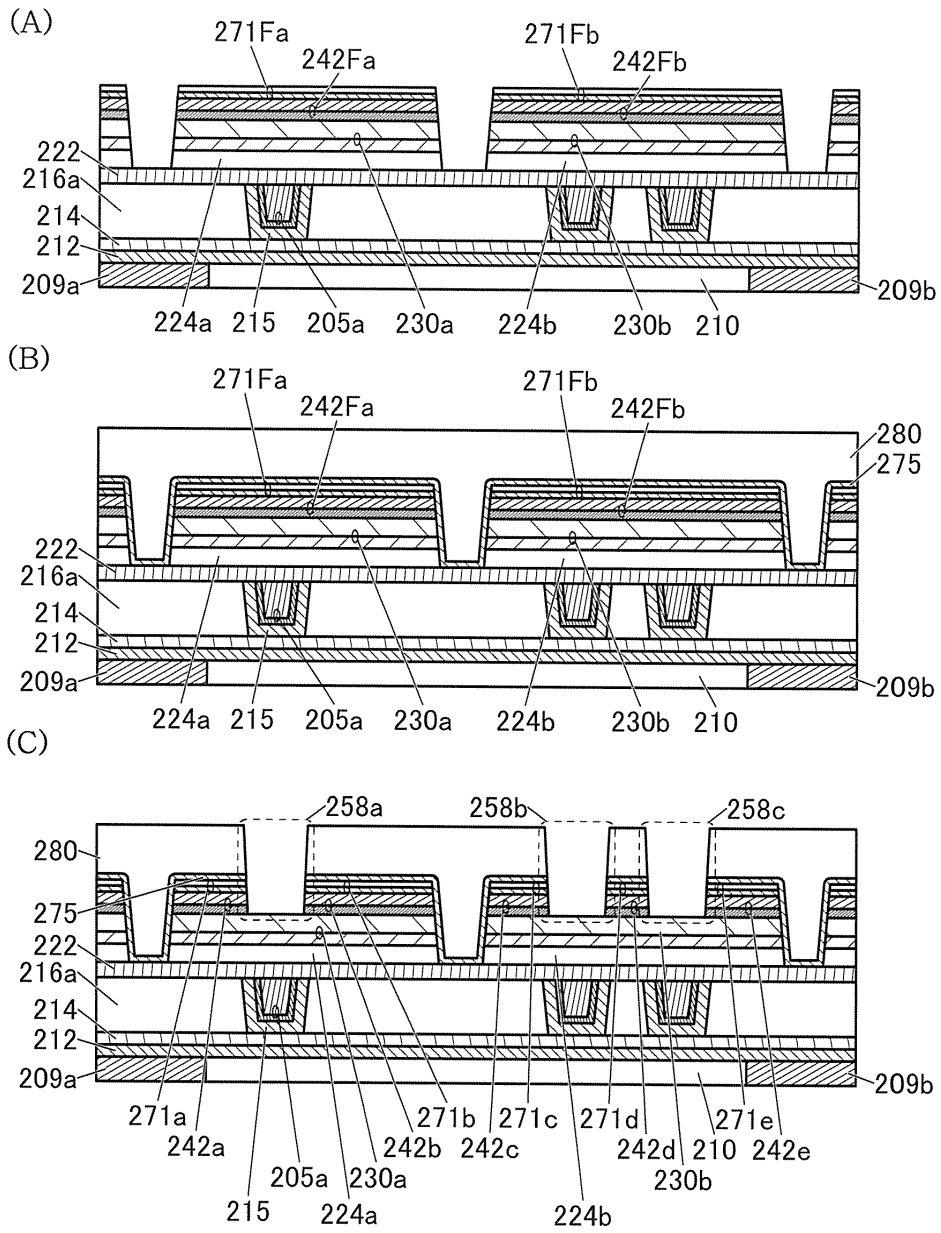
(D)



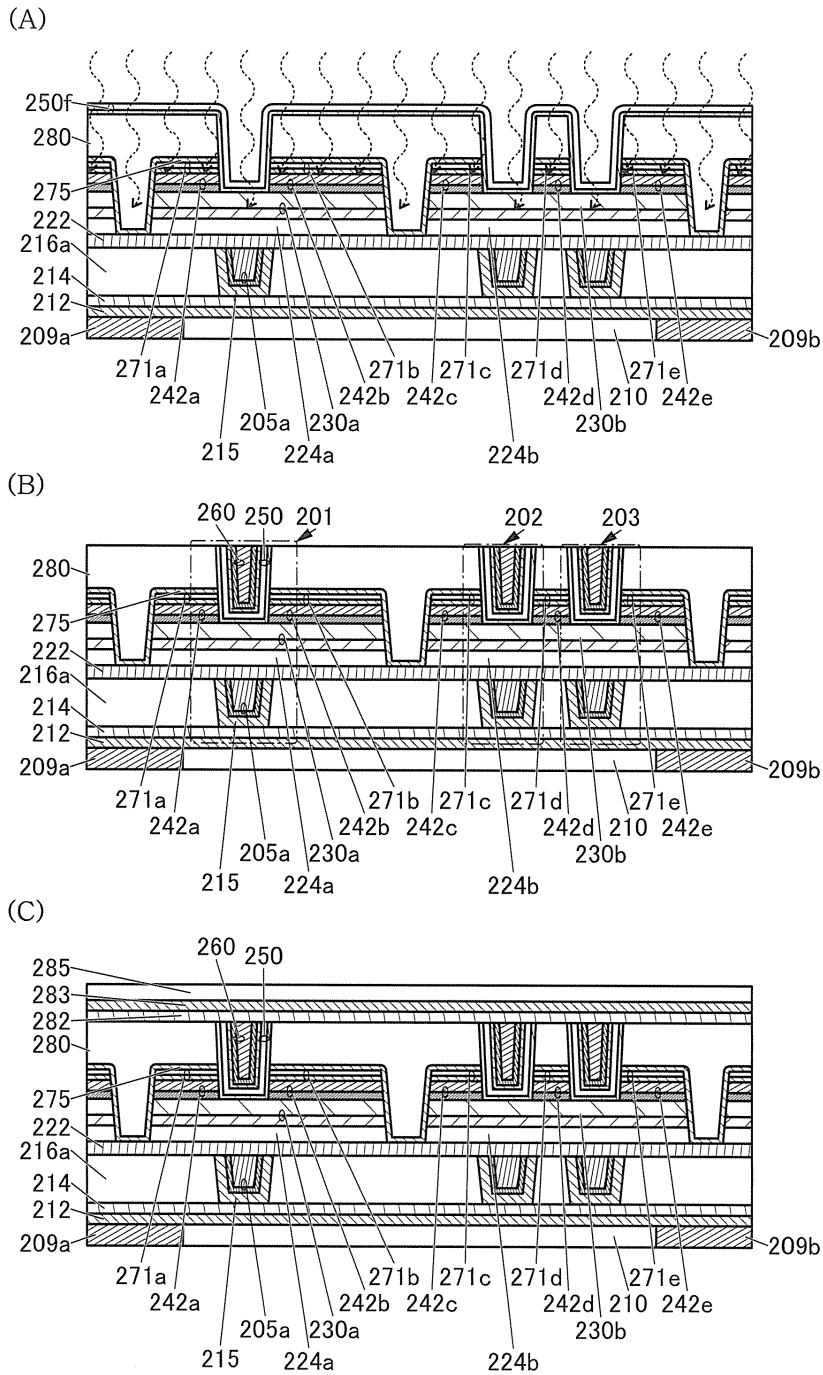
(E)



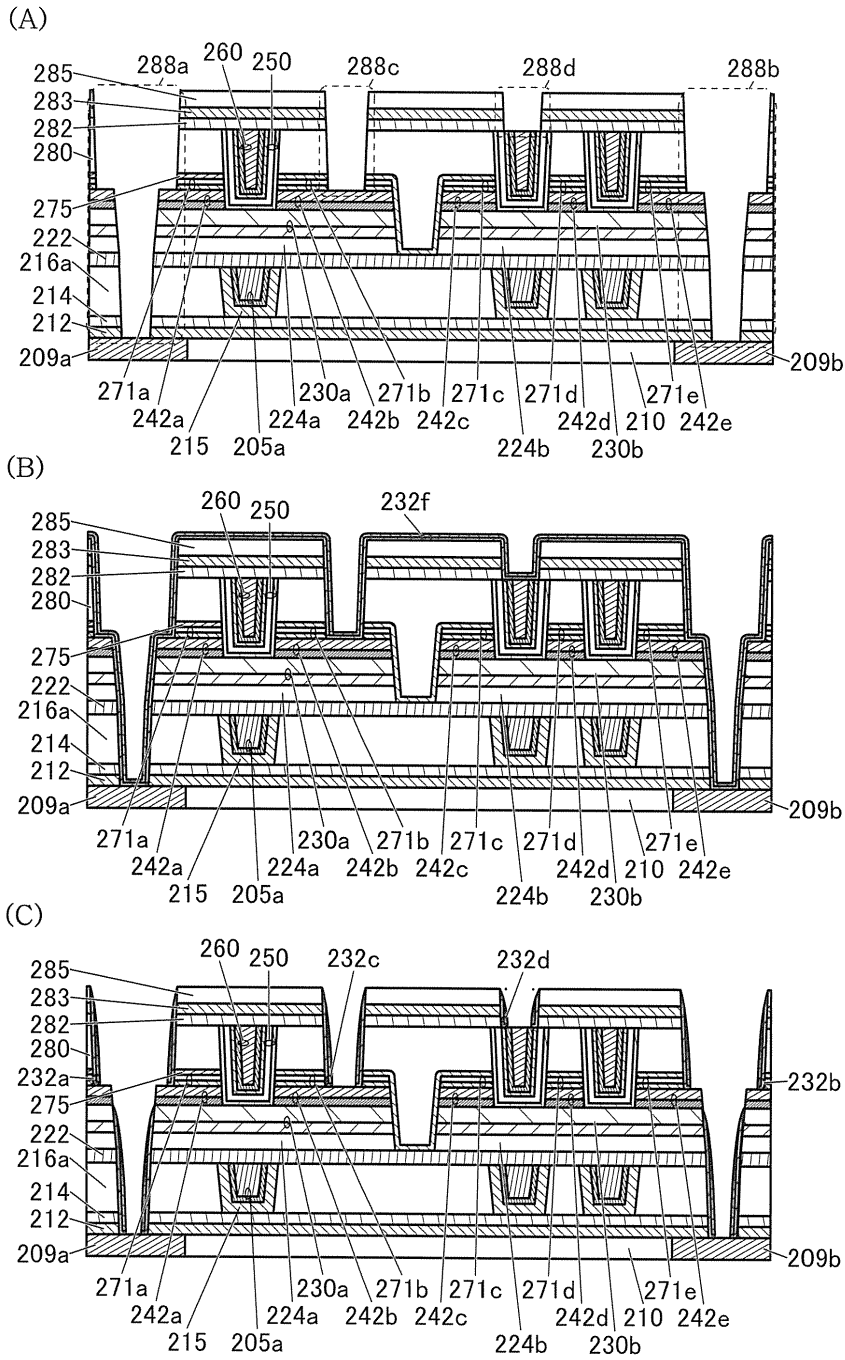
도면16



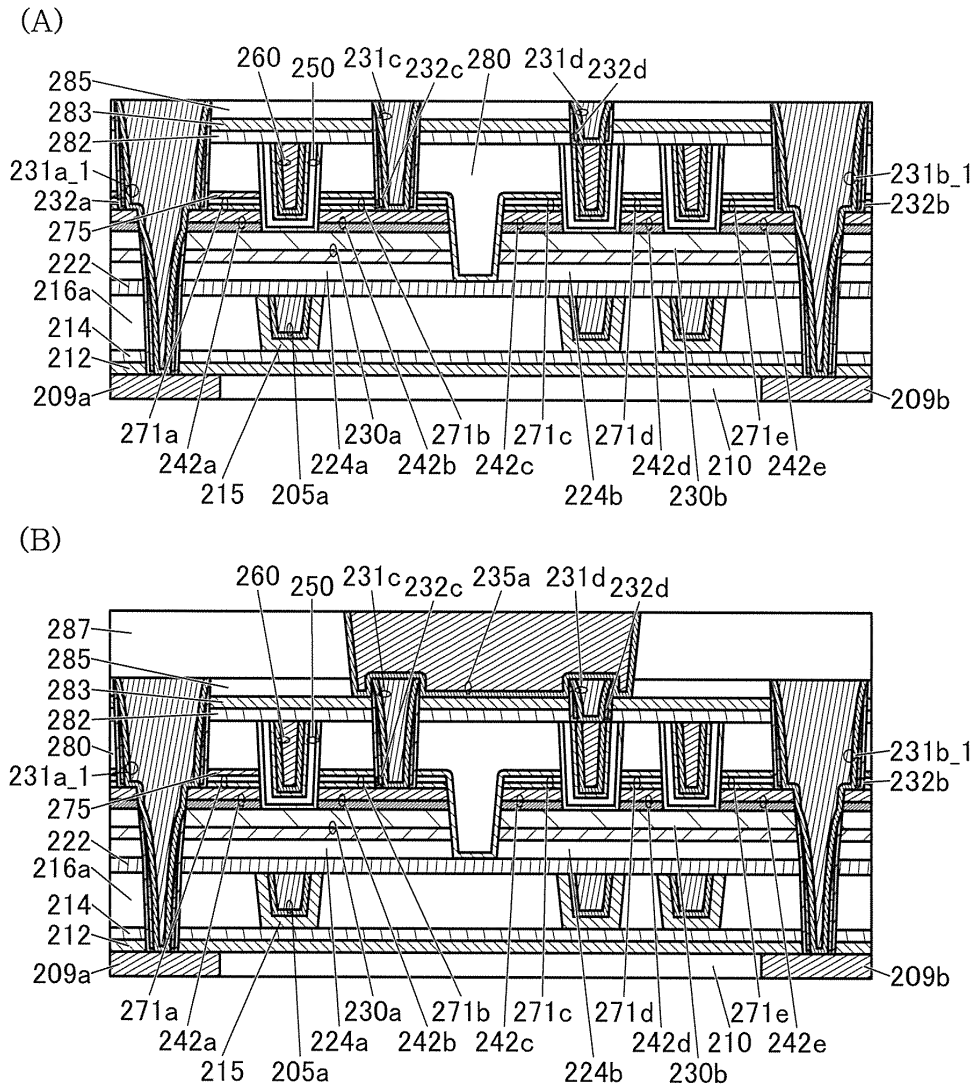
도면17



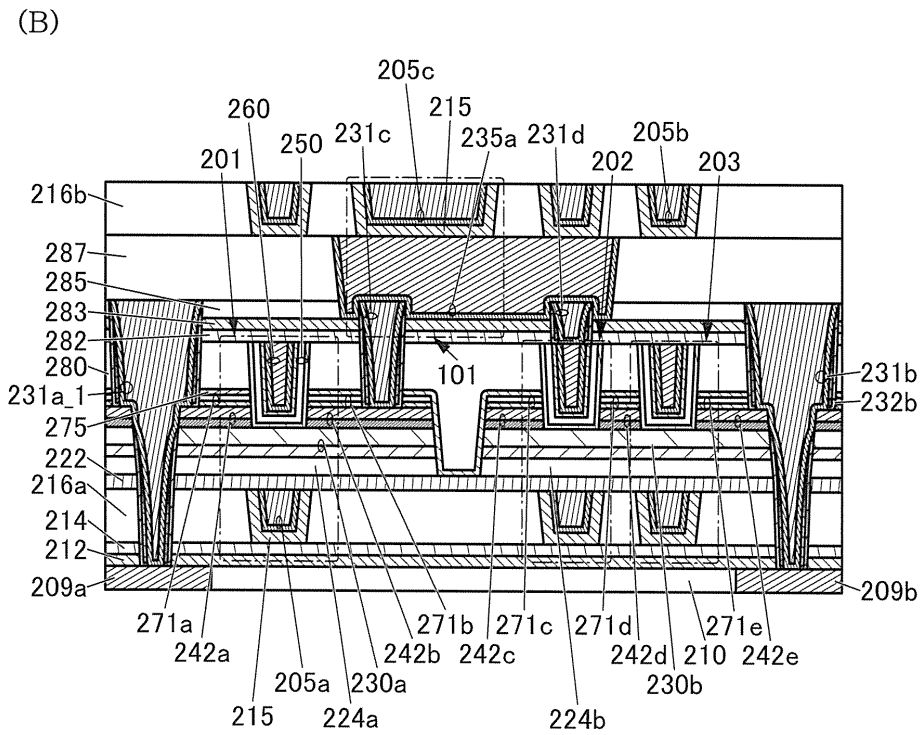
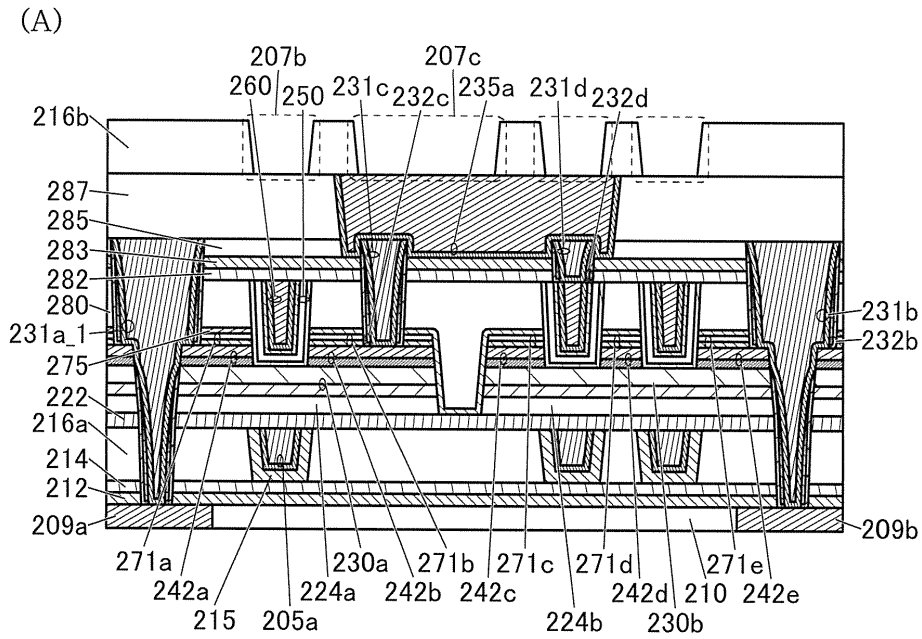
도면18



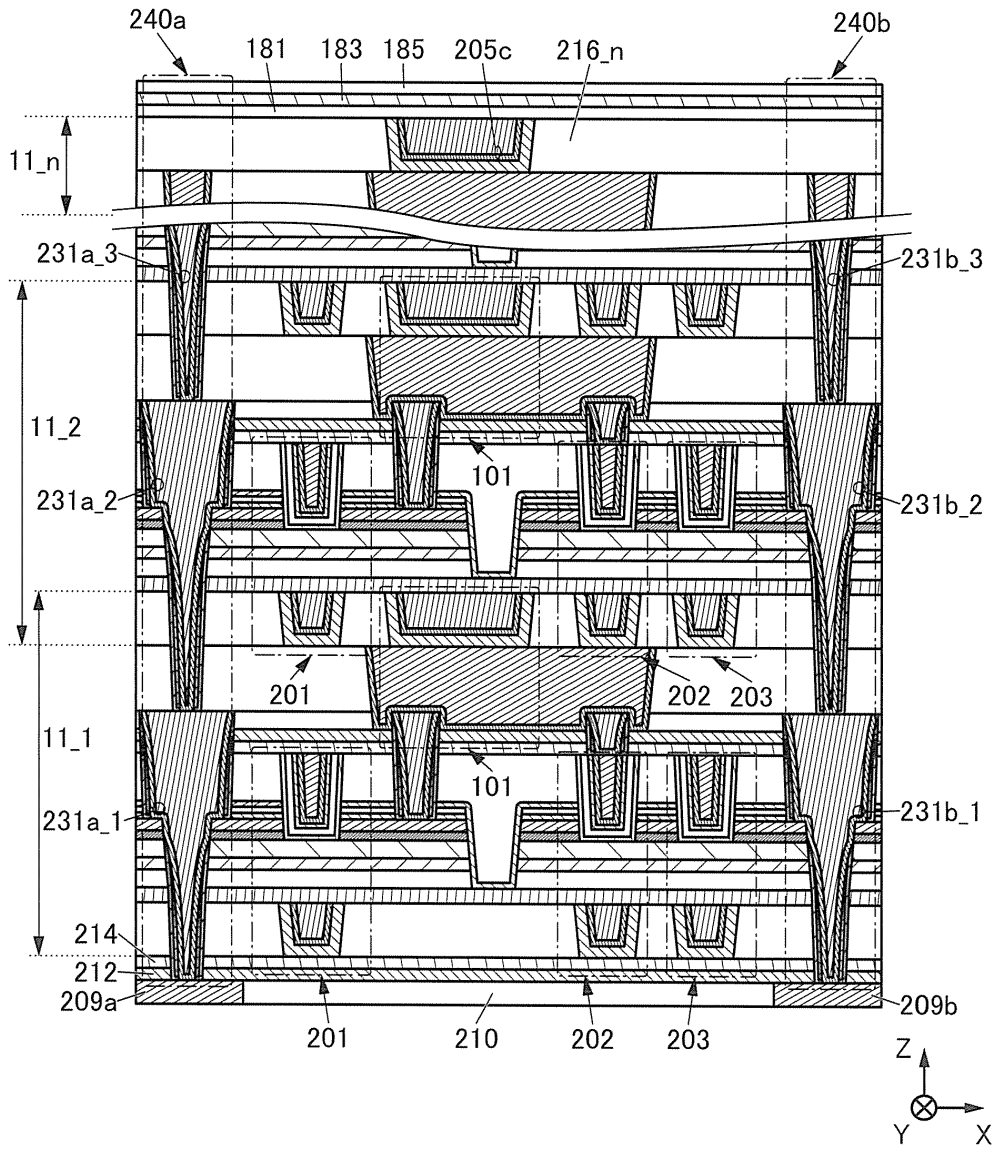
도면19



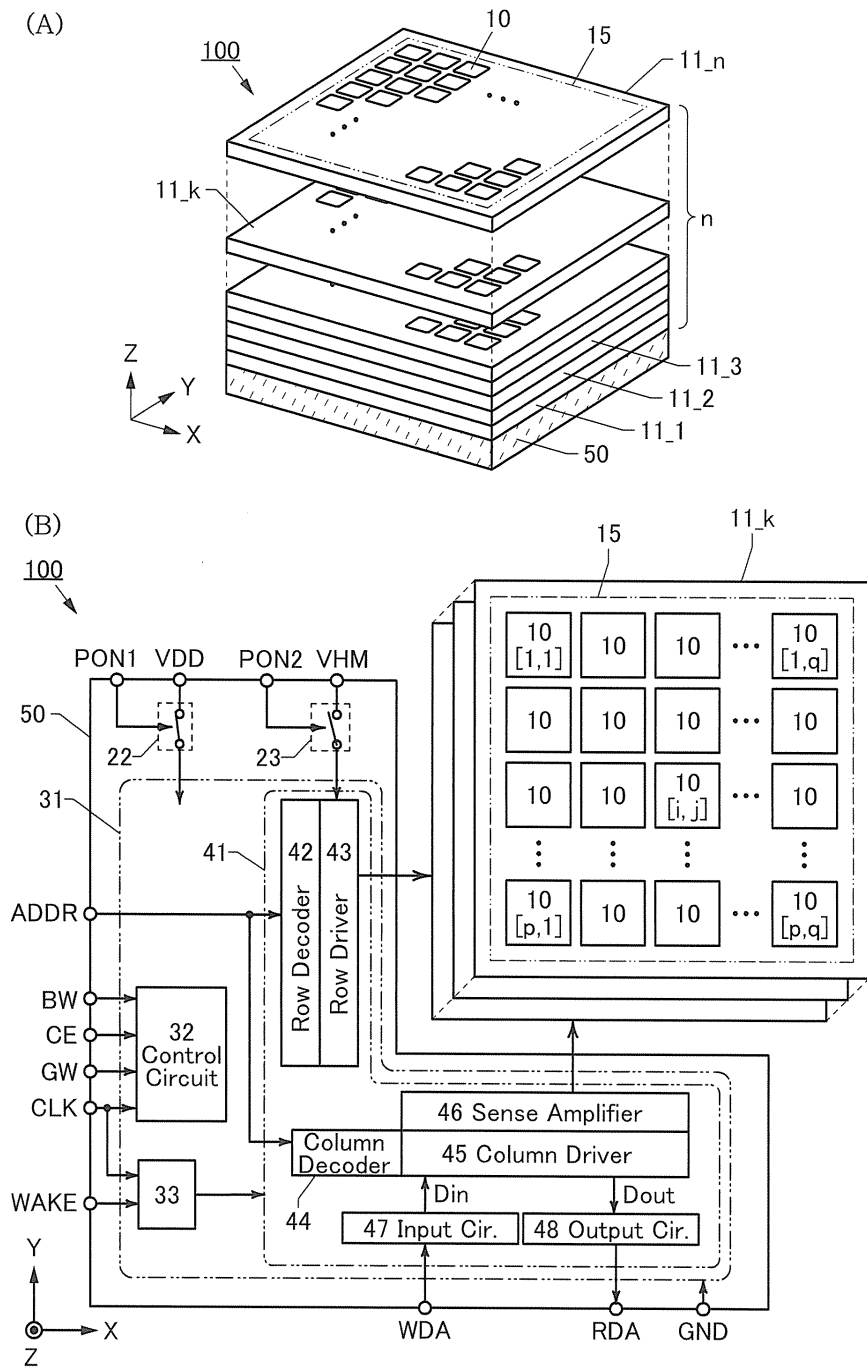
도면20



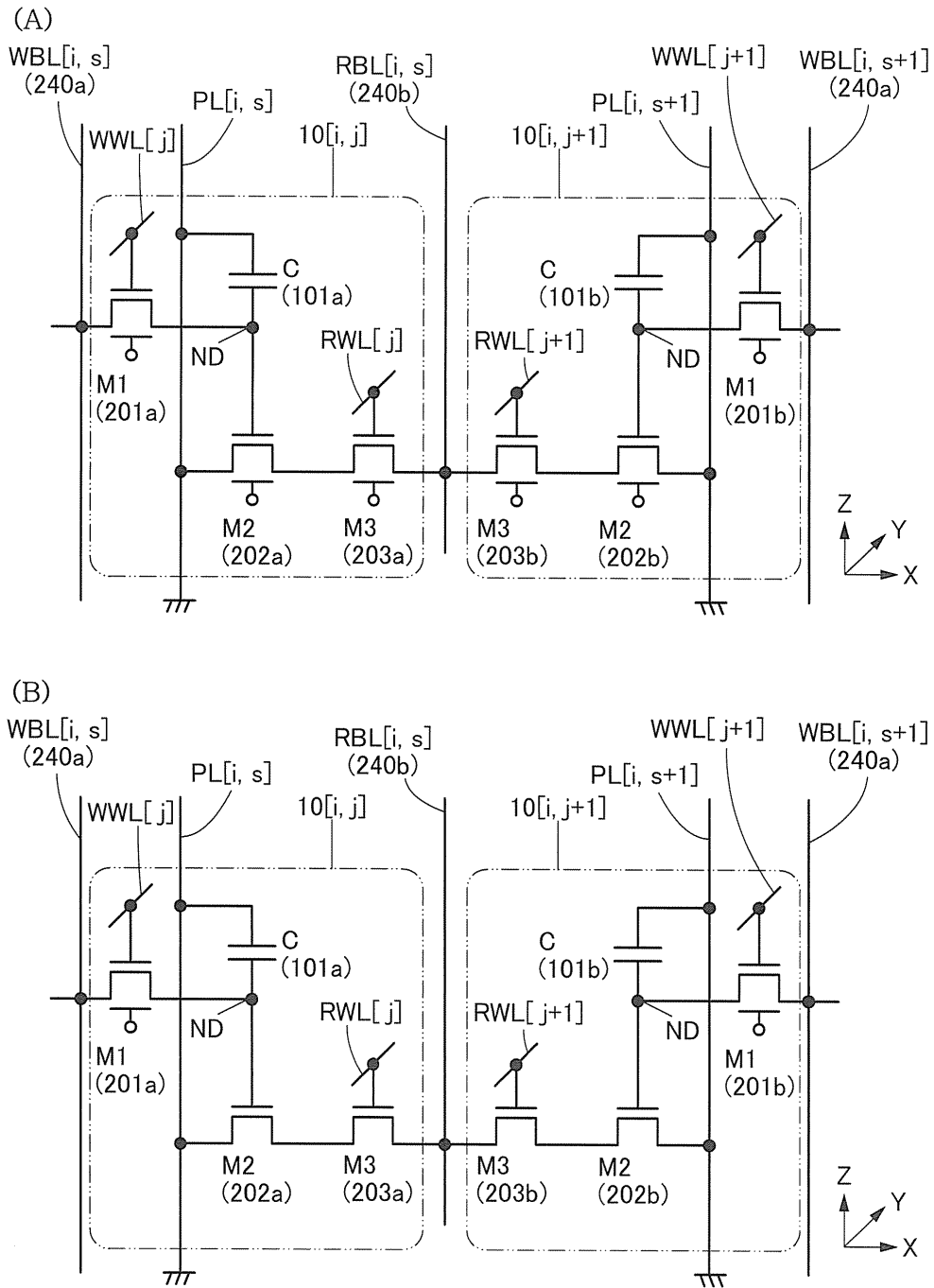
도면21



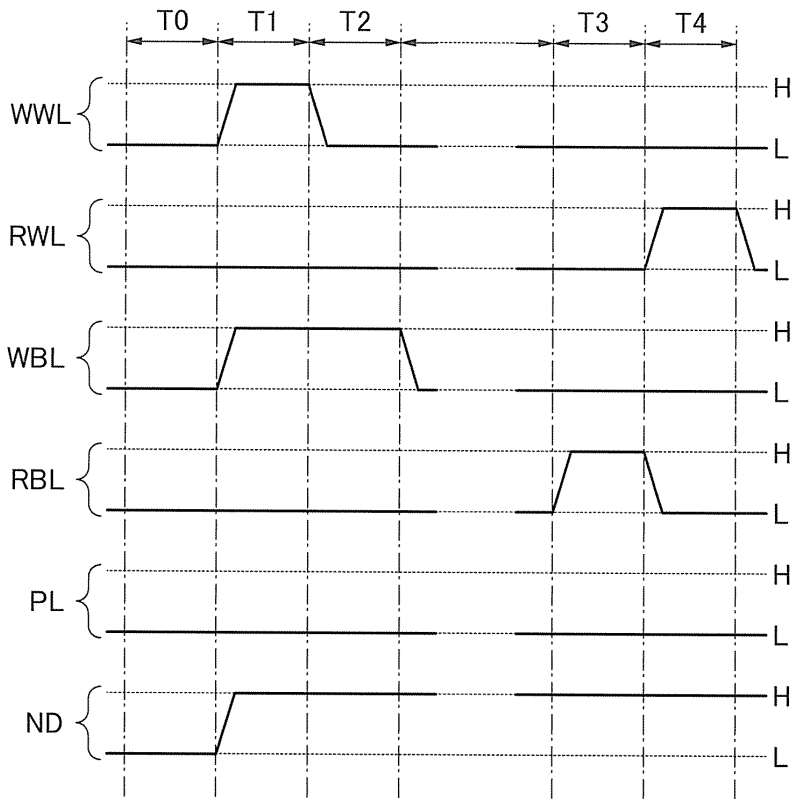
도면22



도면23

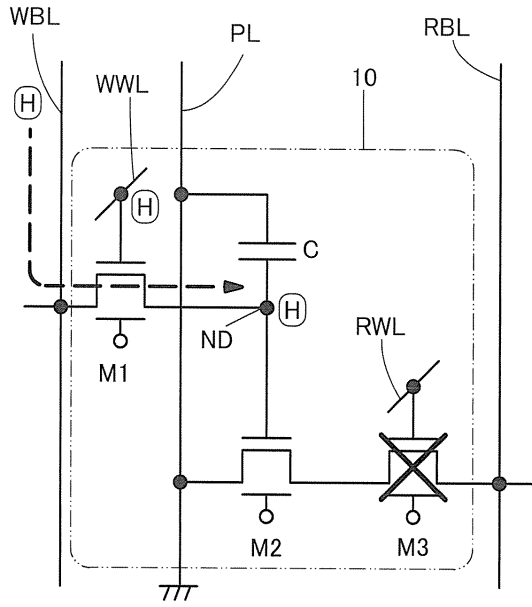


도면24

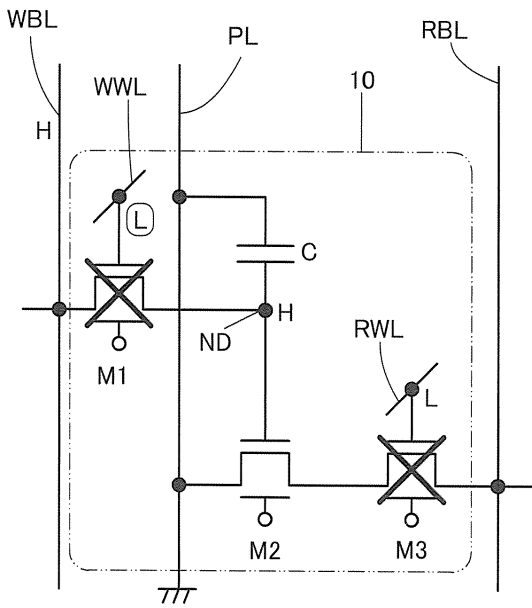


도면25

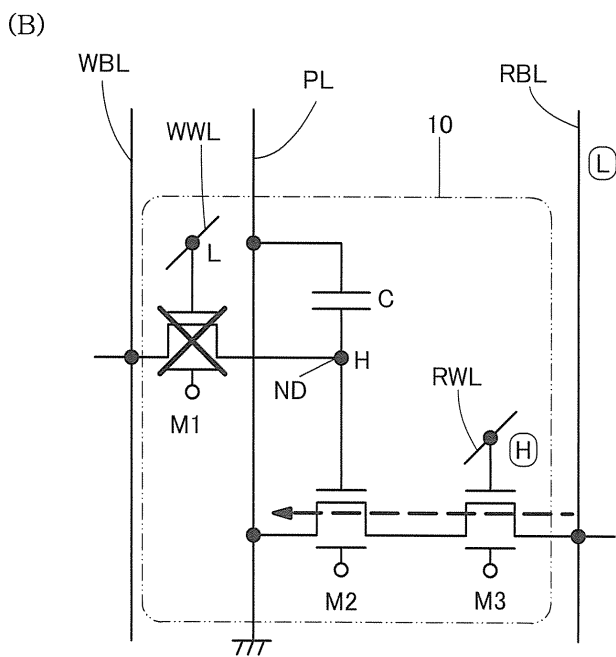
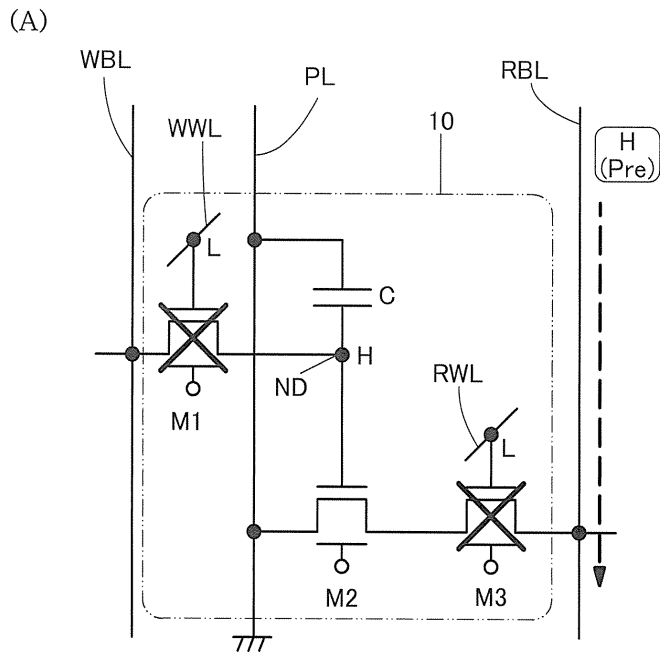
(A)



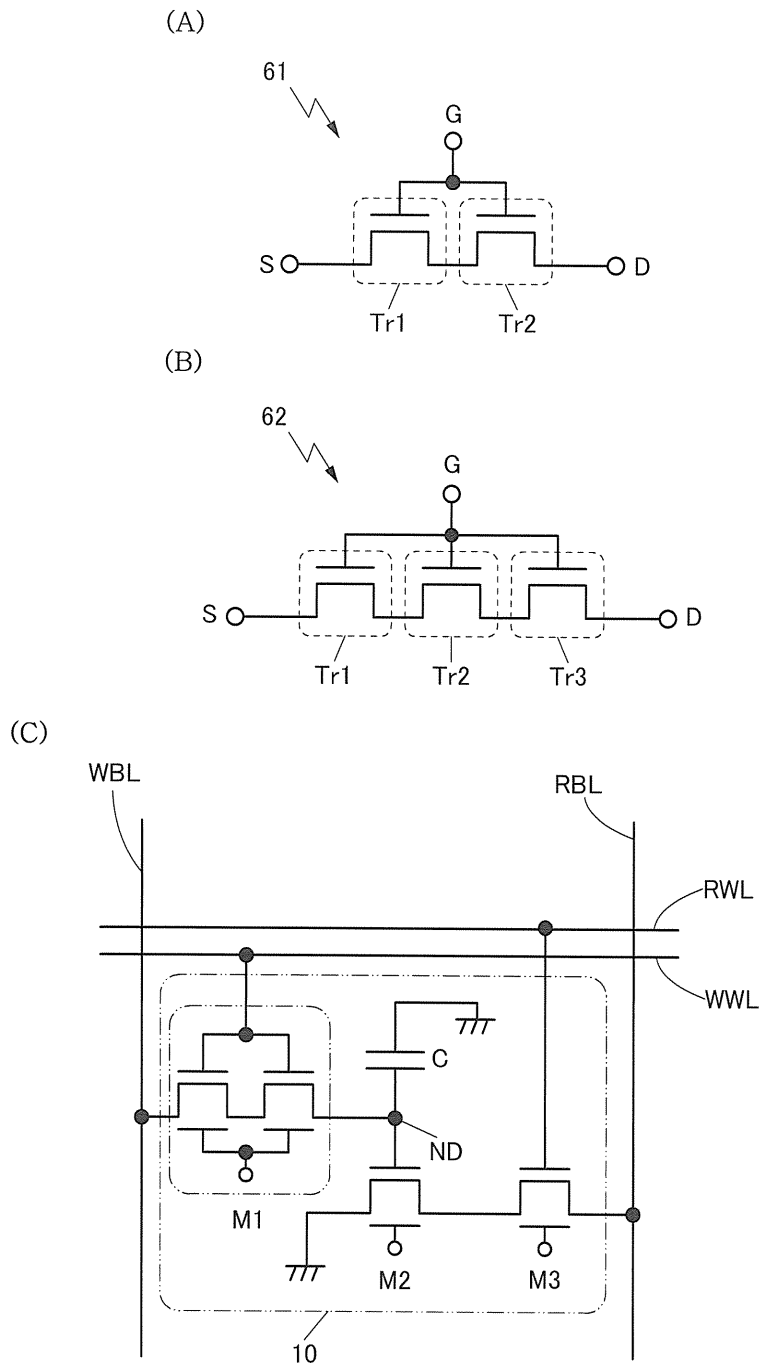
(B)



도면26

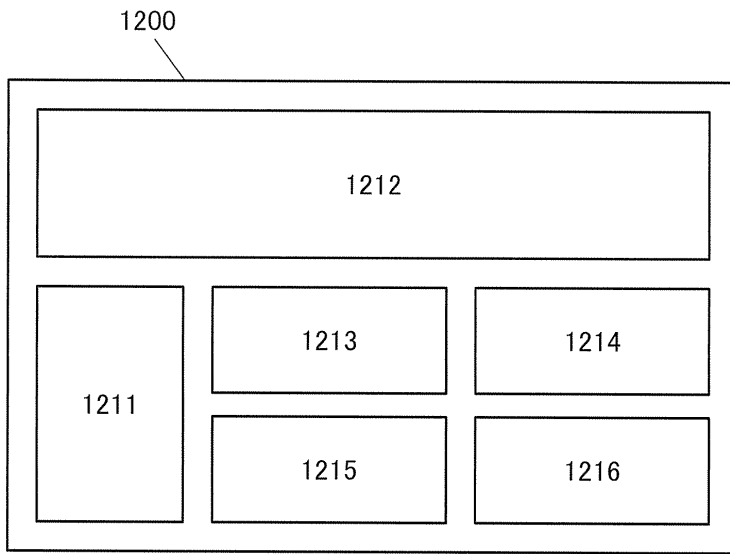


도면28

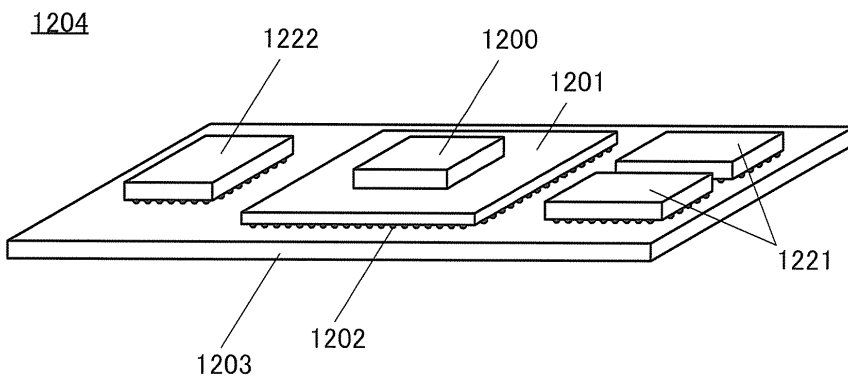


도면29

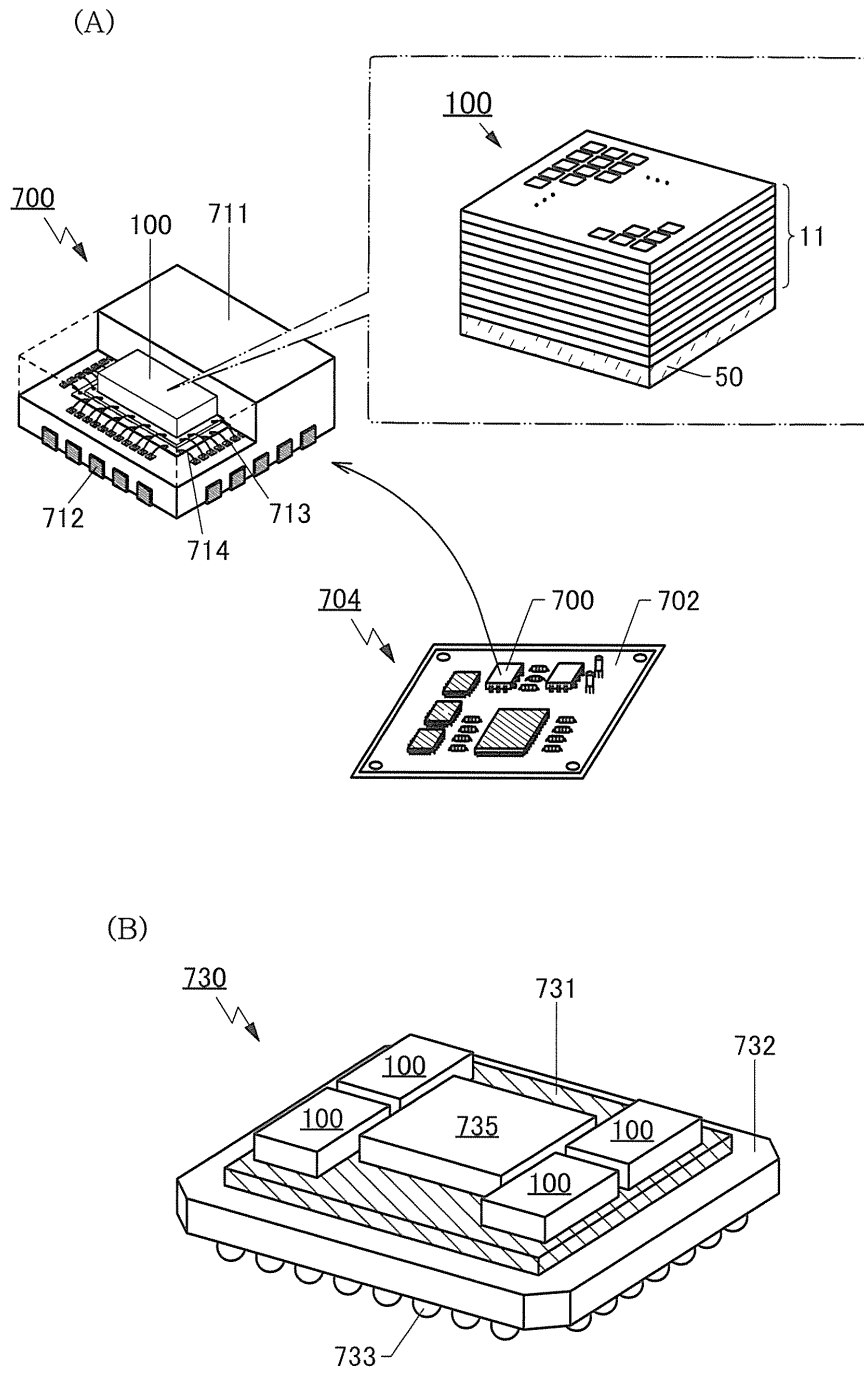
(A)



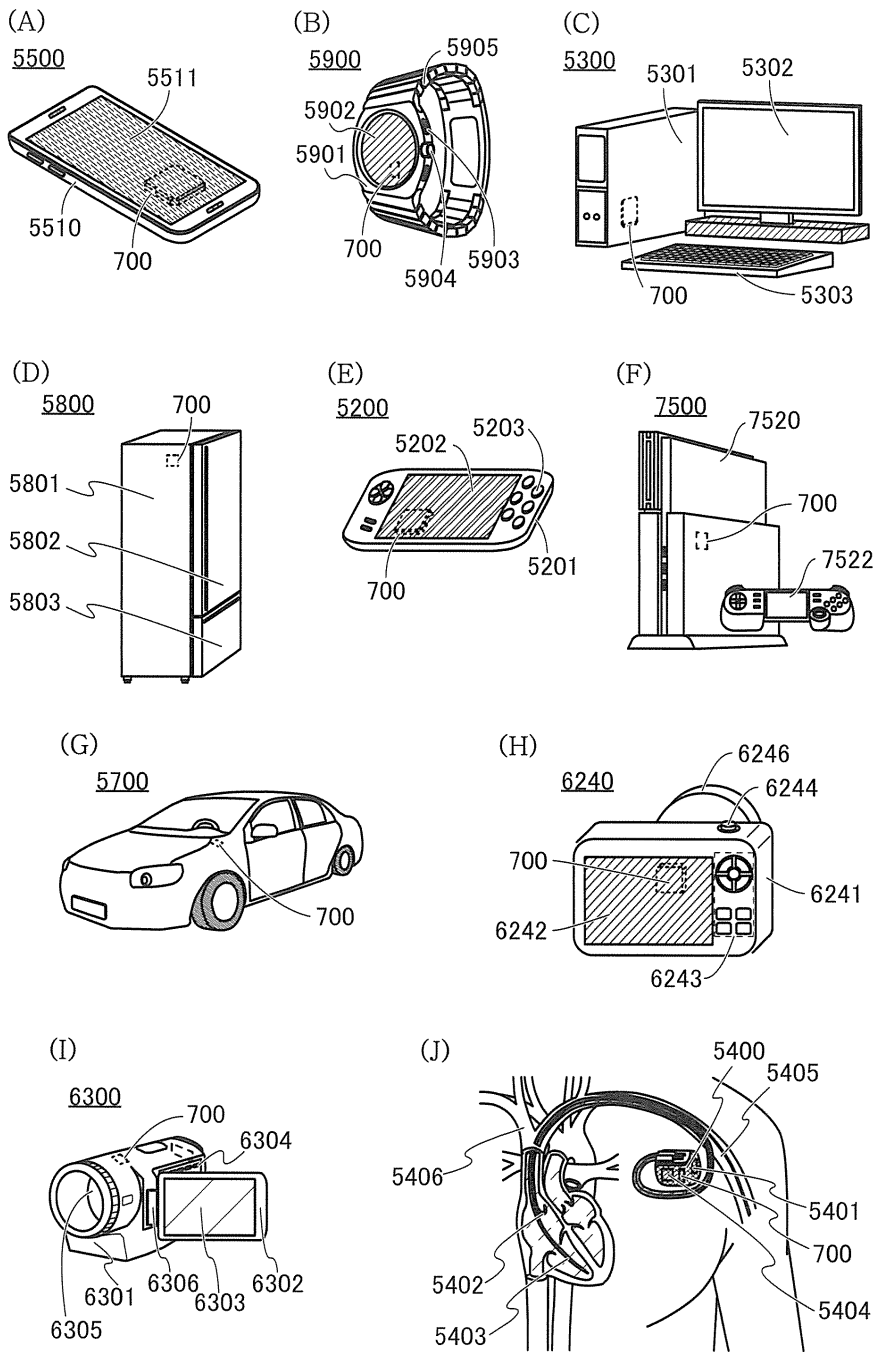
(B)



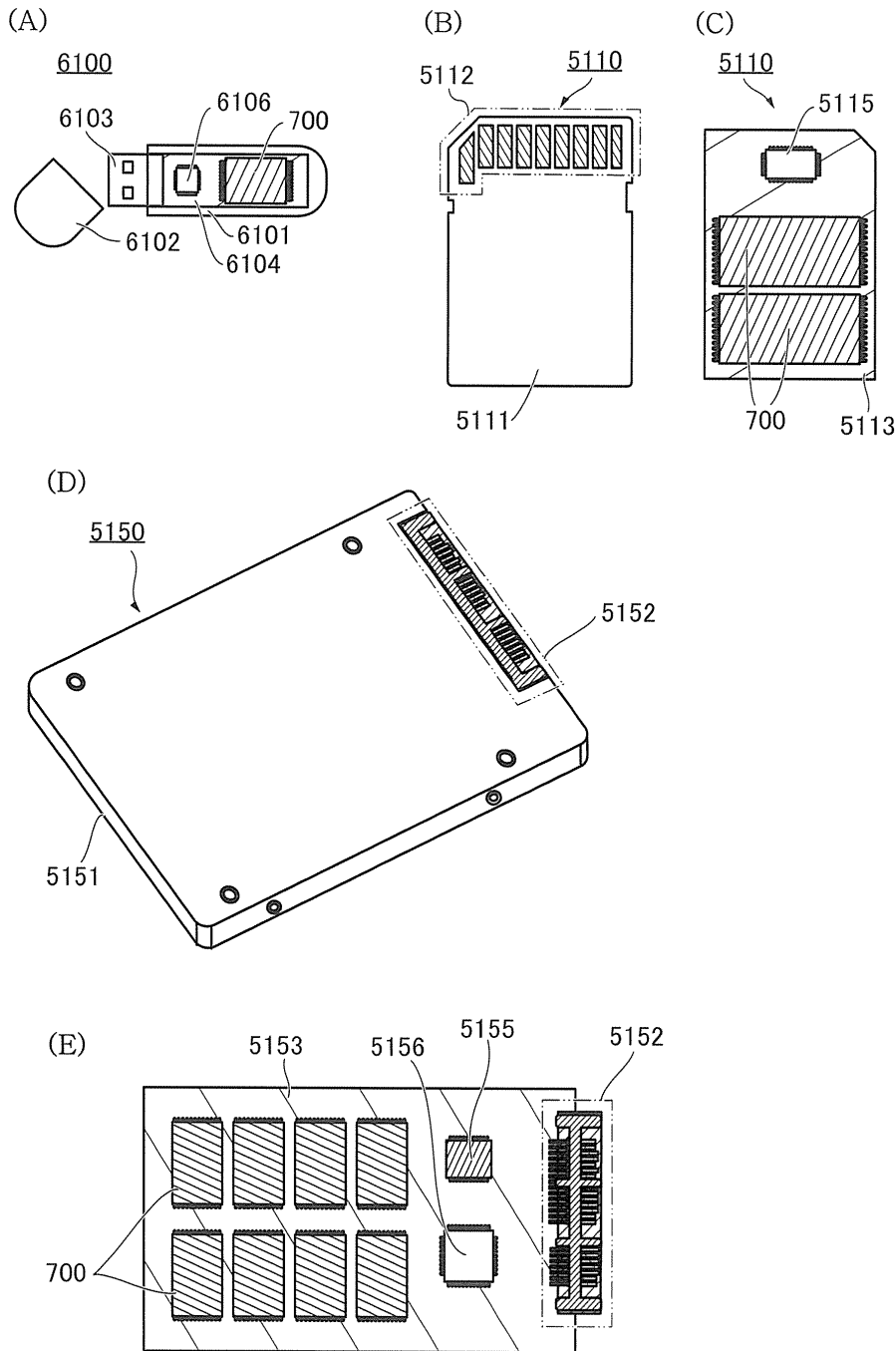
도면30



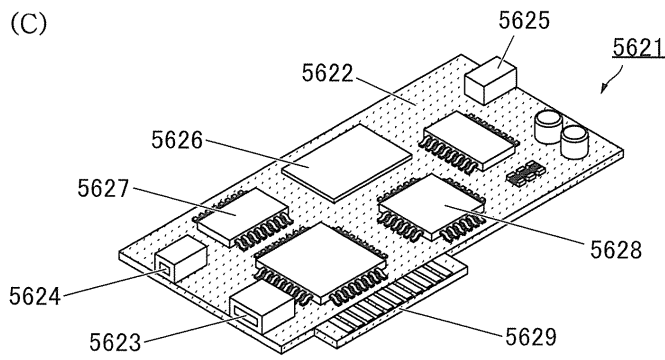
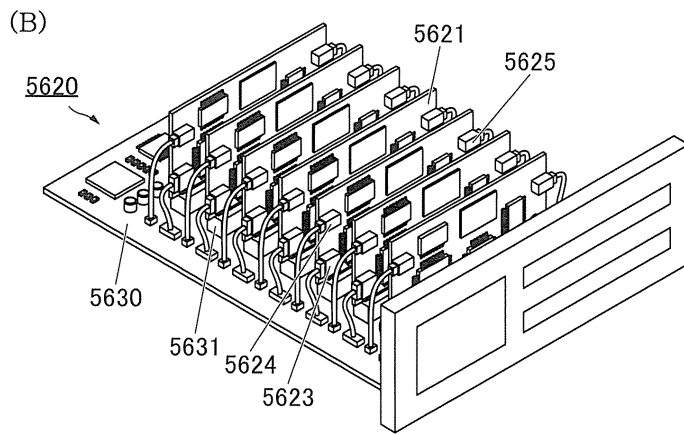
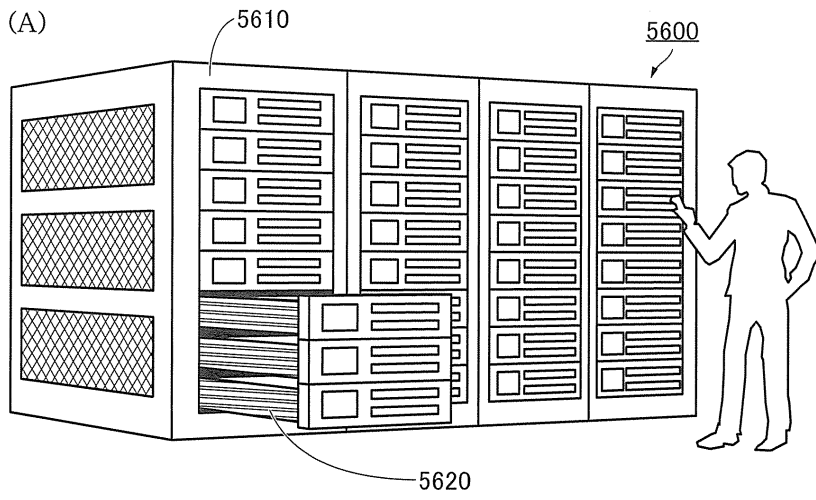
도면31



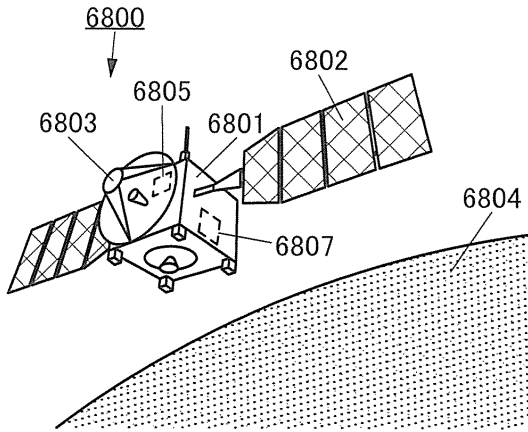
도면32



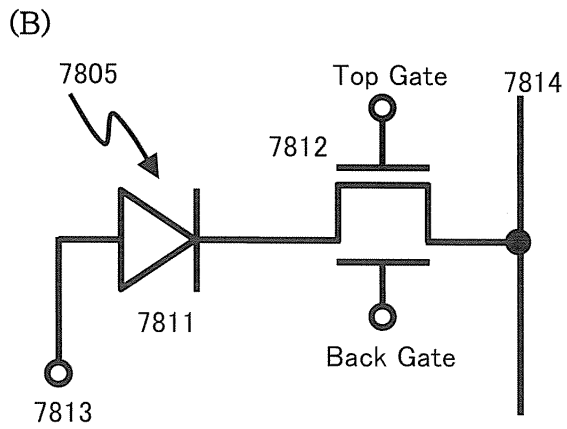
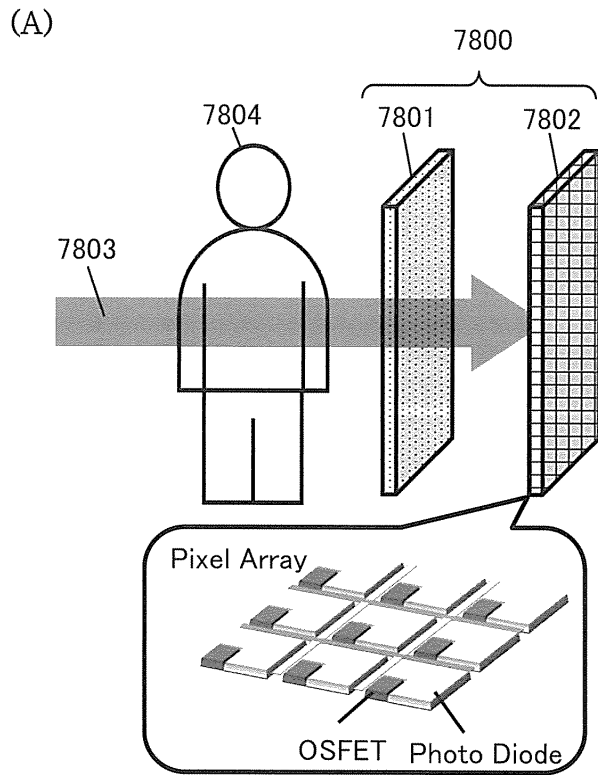
도면33



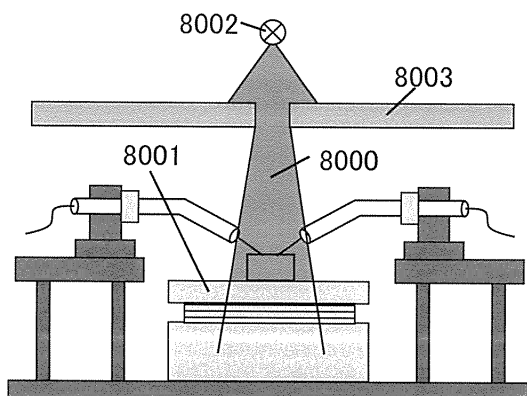
도면34



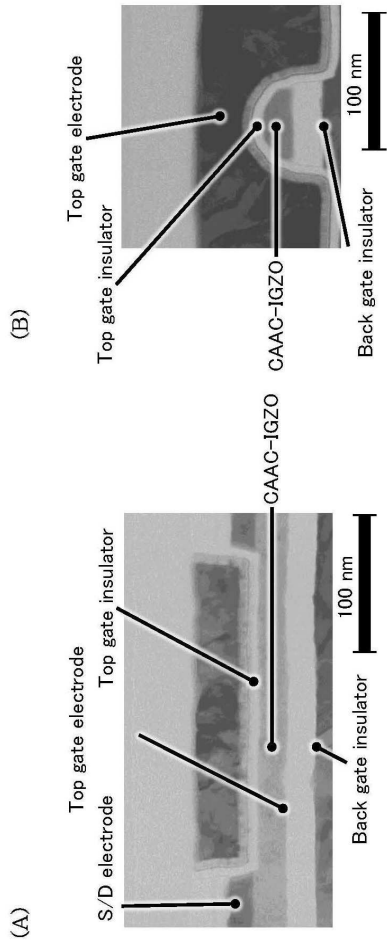
도면35



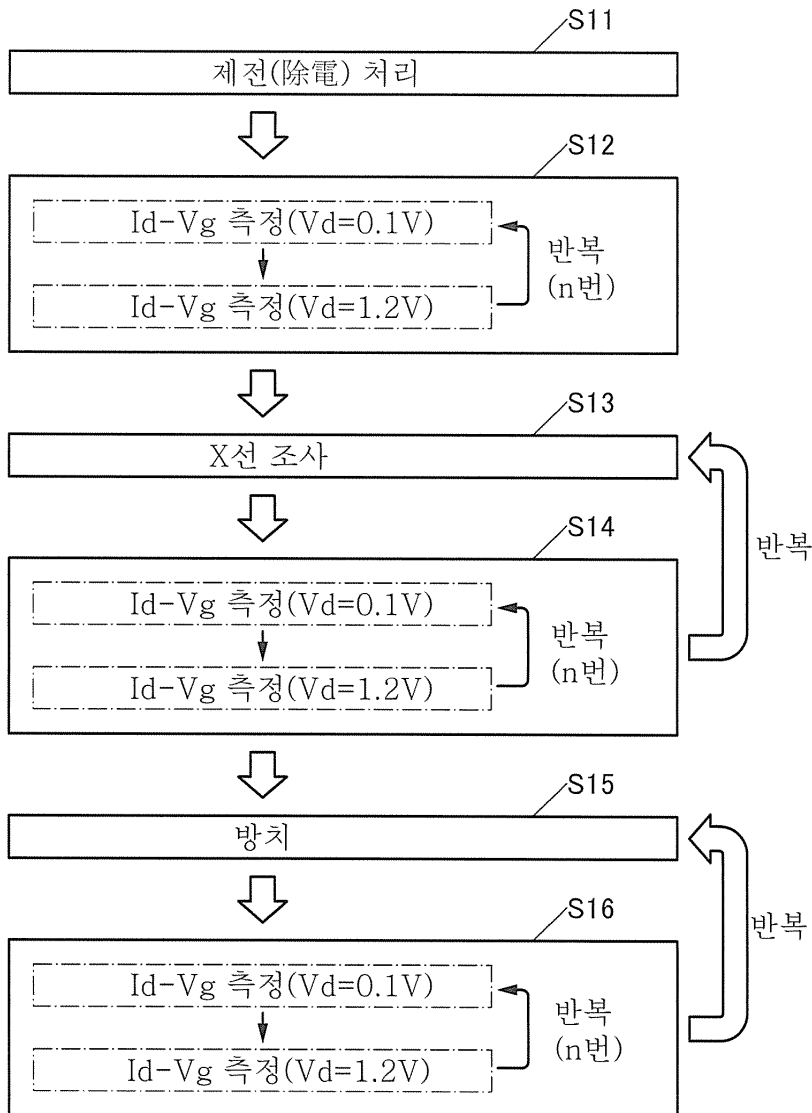
도면36



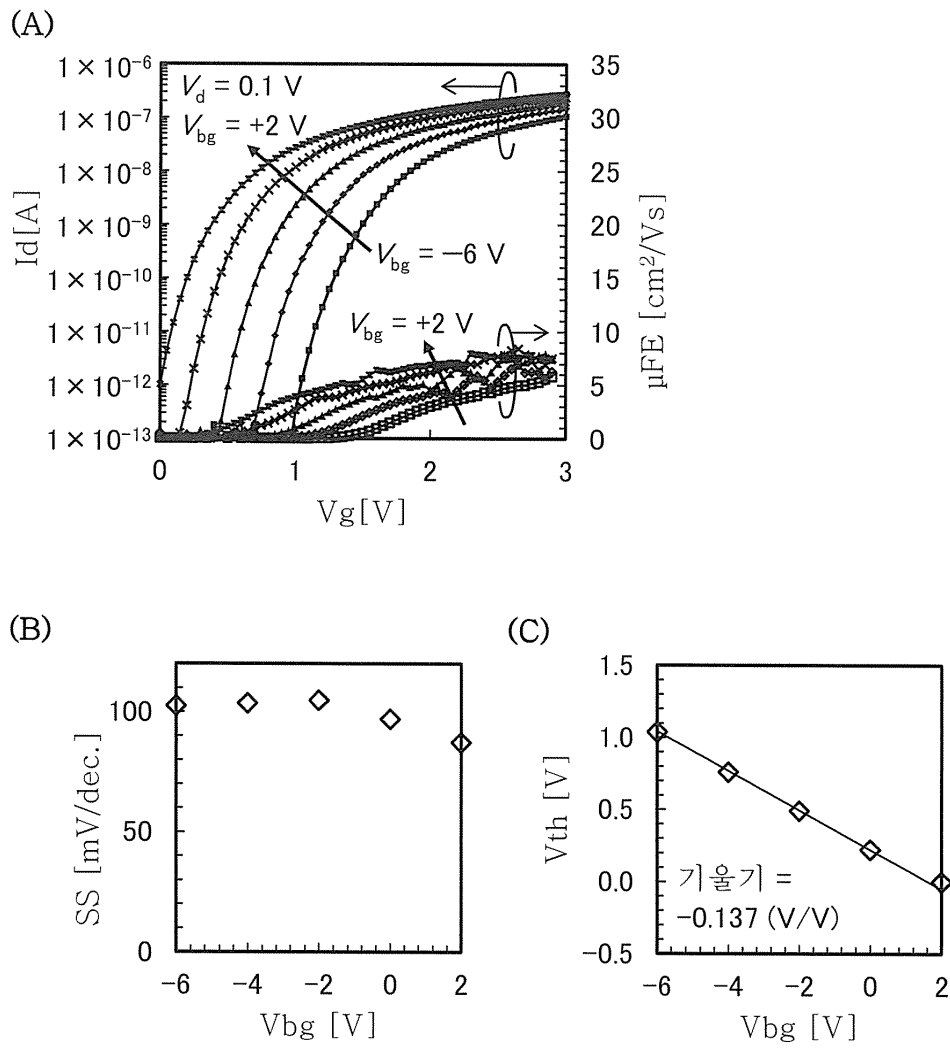
도면37



도면38

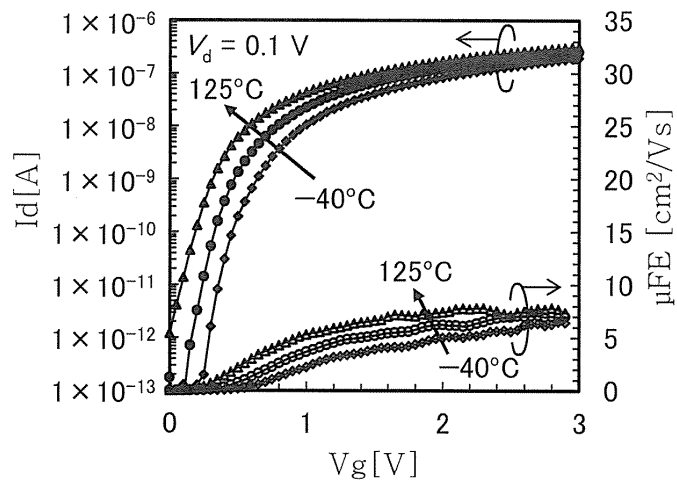


도면39

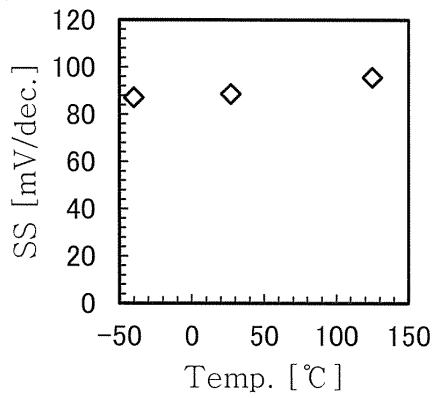


도면40

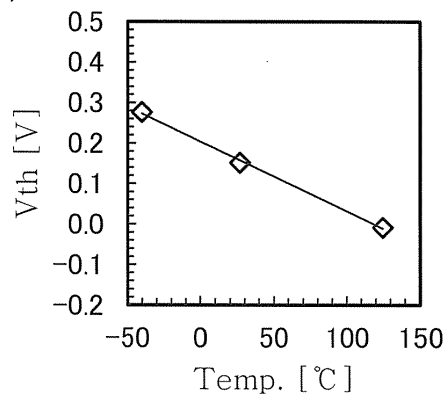
(A)



(B)

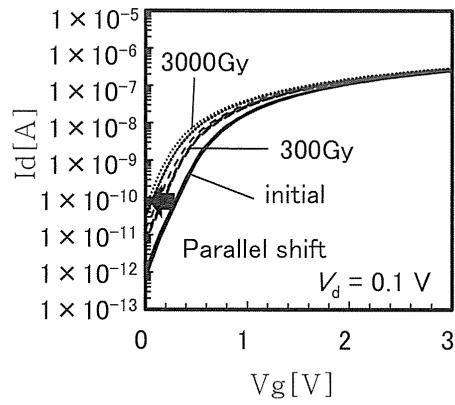


(C)

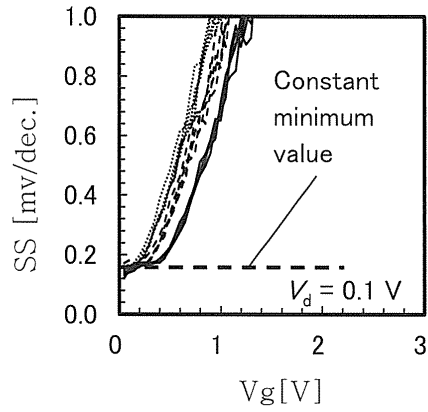


도면41

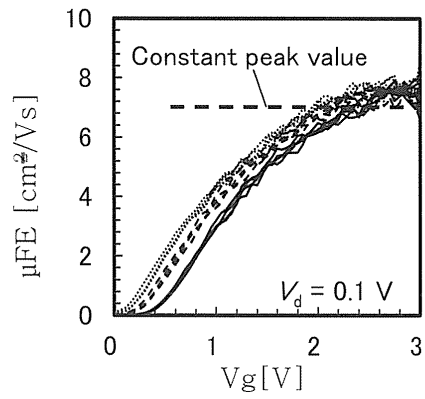
(A)



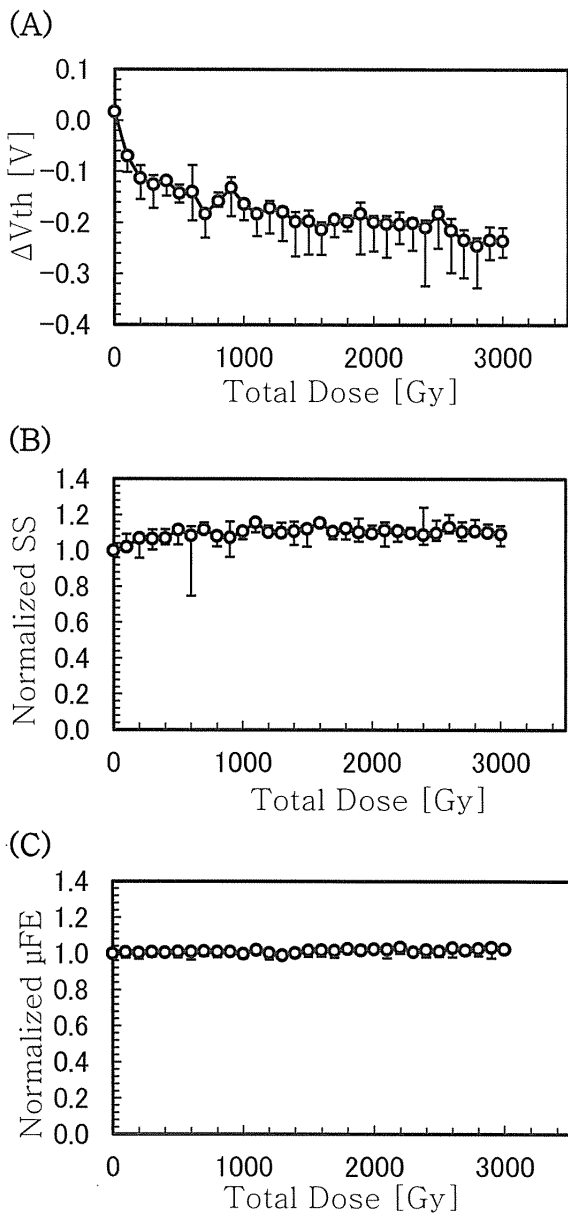
(B)



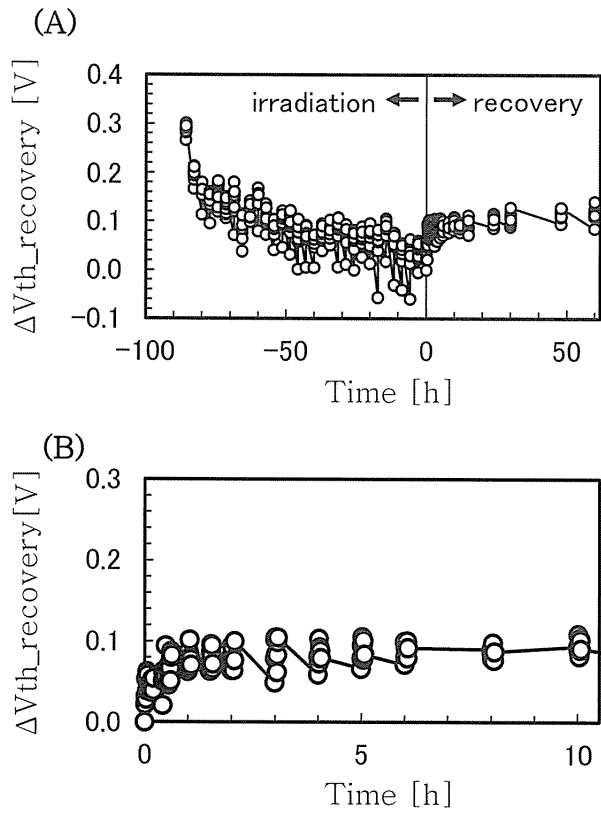
(C)



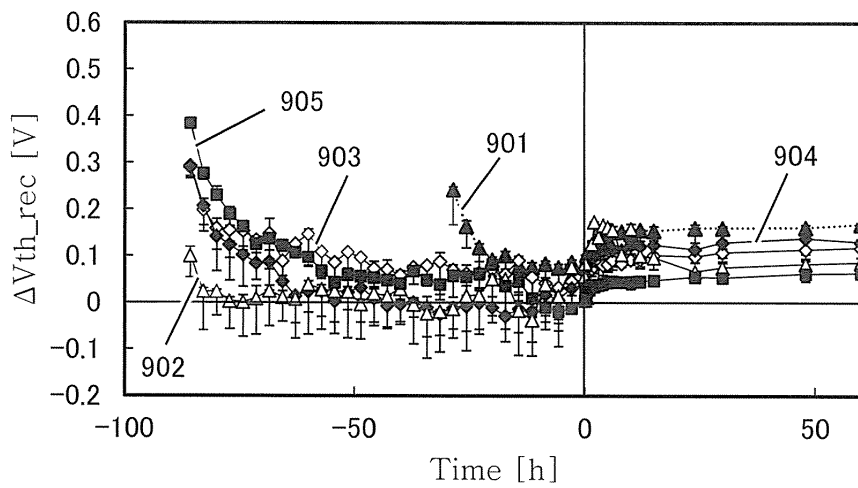
도면42



도면43

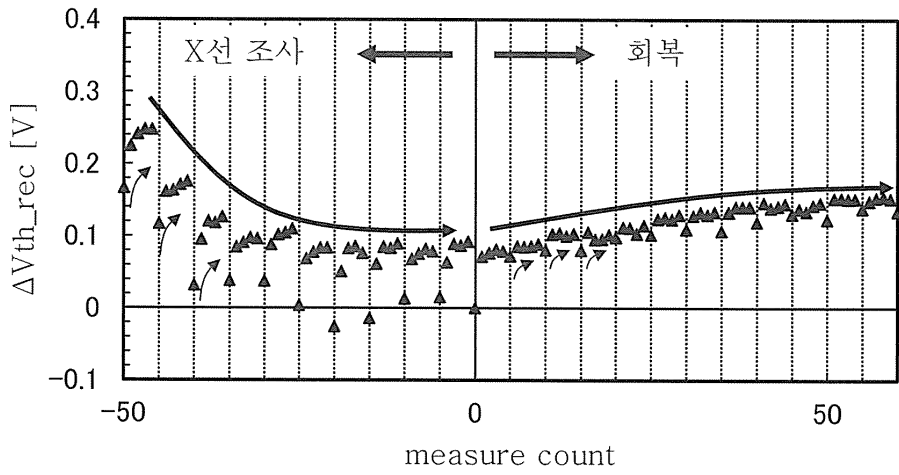


도면44

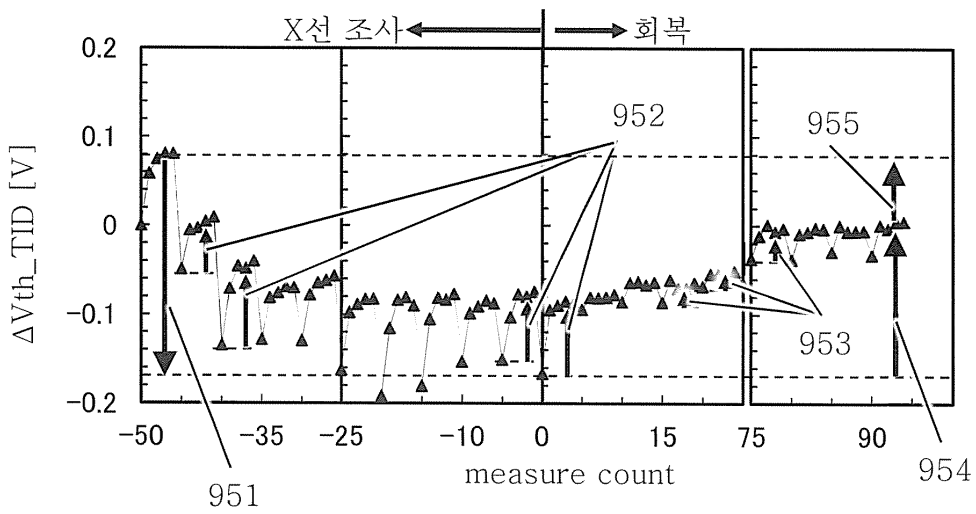


도면45

(A)

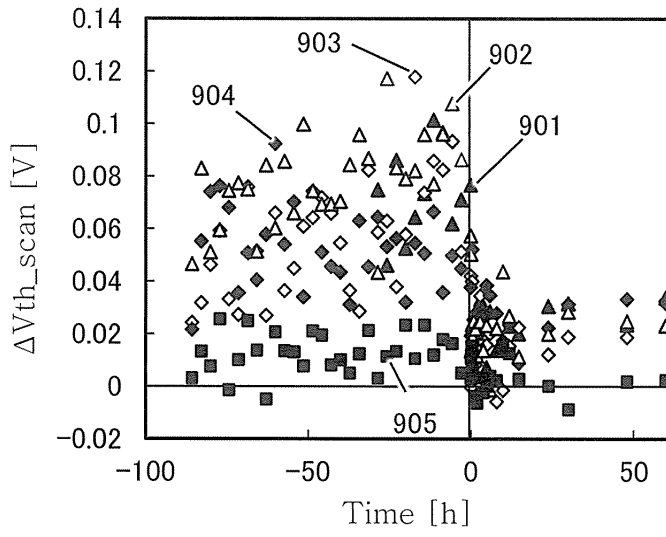


(B)

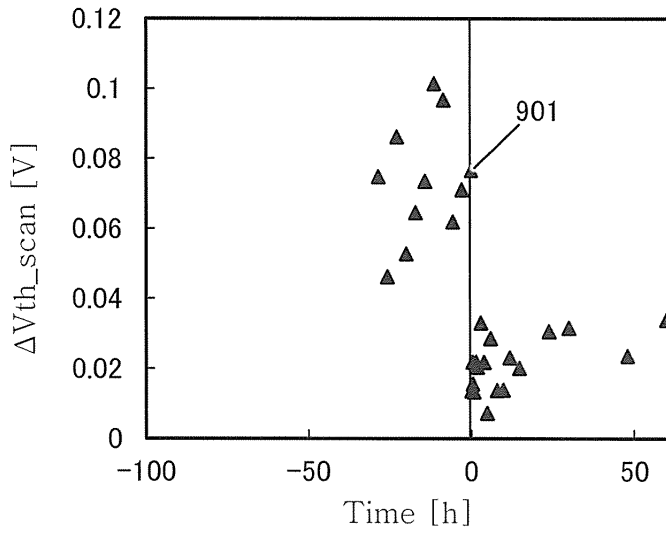


도면46

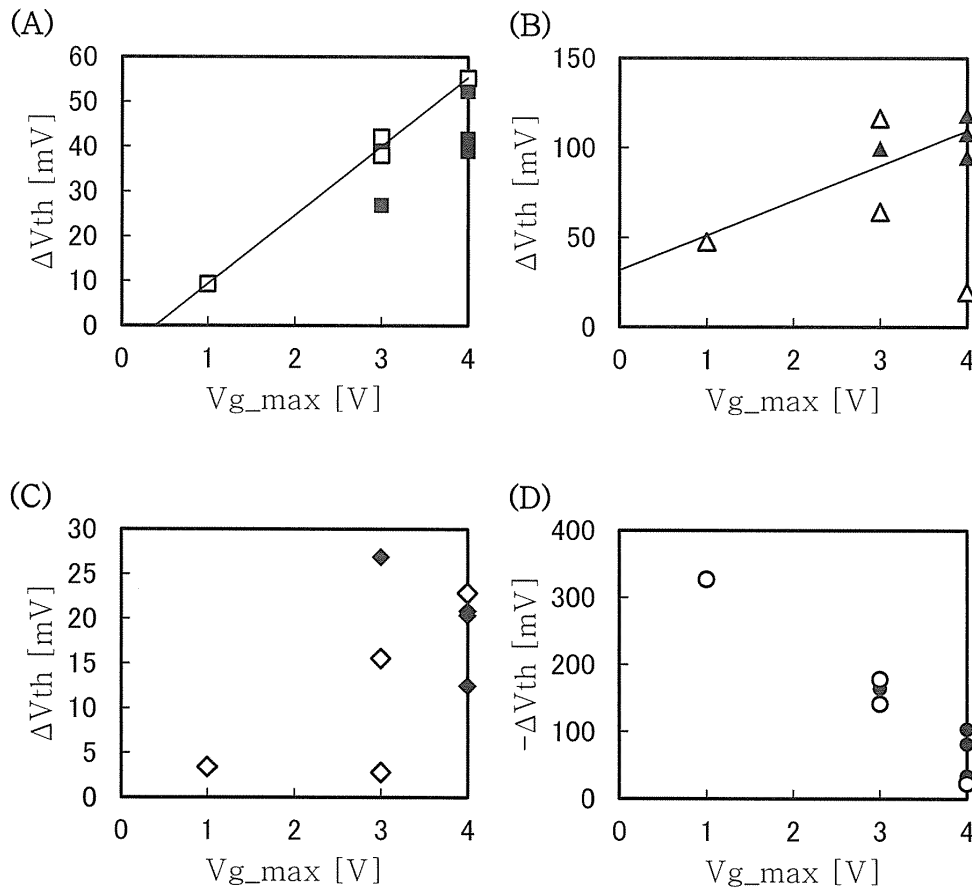
(A)



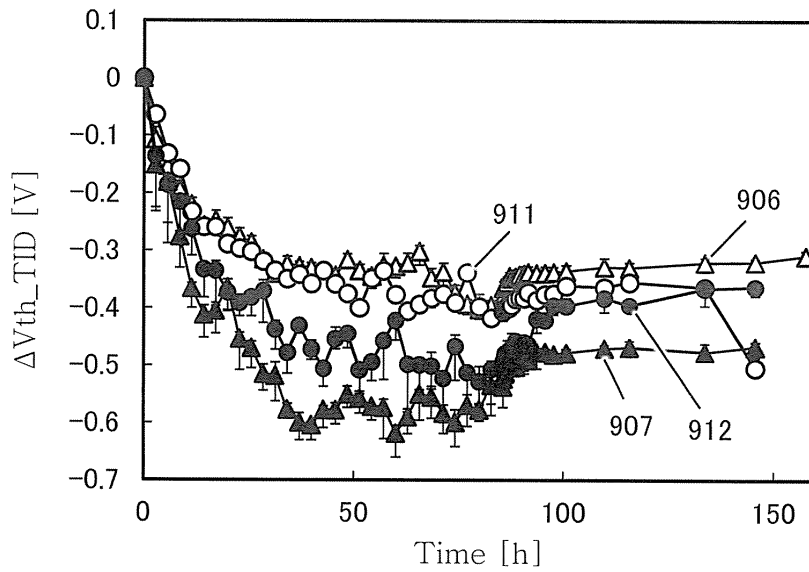
(B)



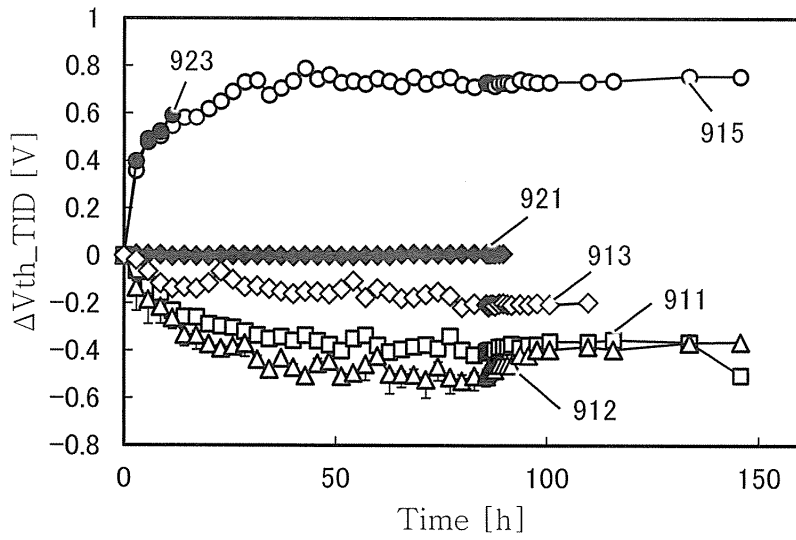
도면47



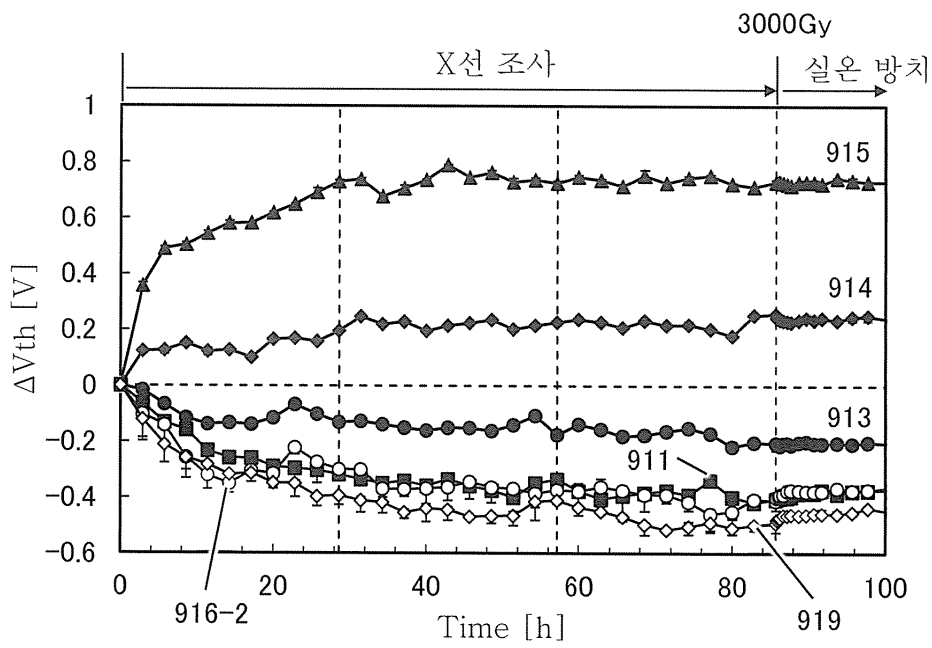
도면48



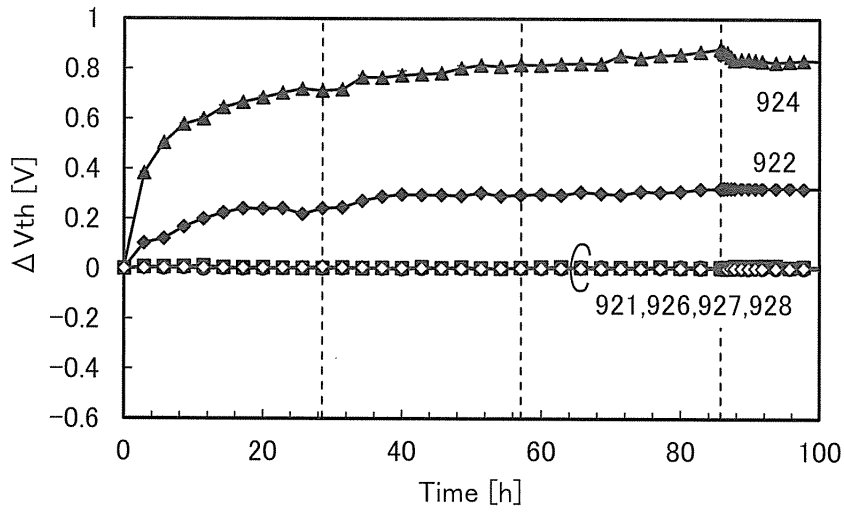
도면49



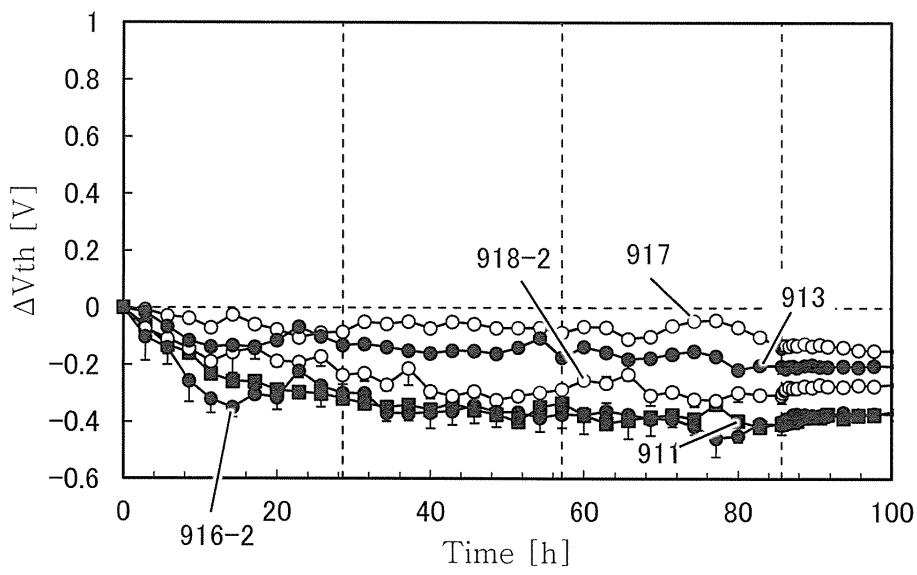
도면50



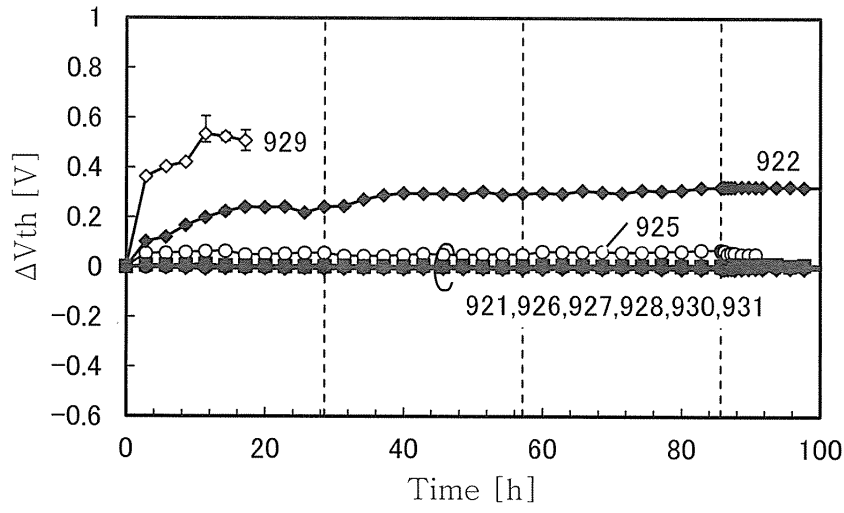
도면51



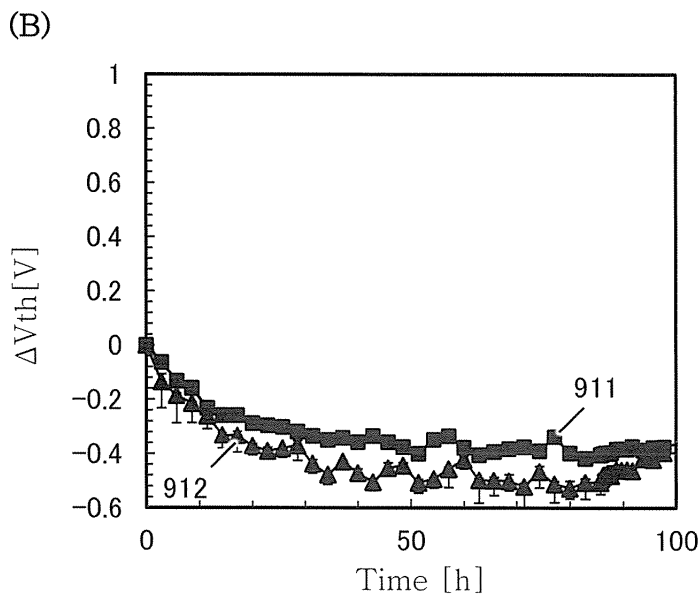
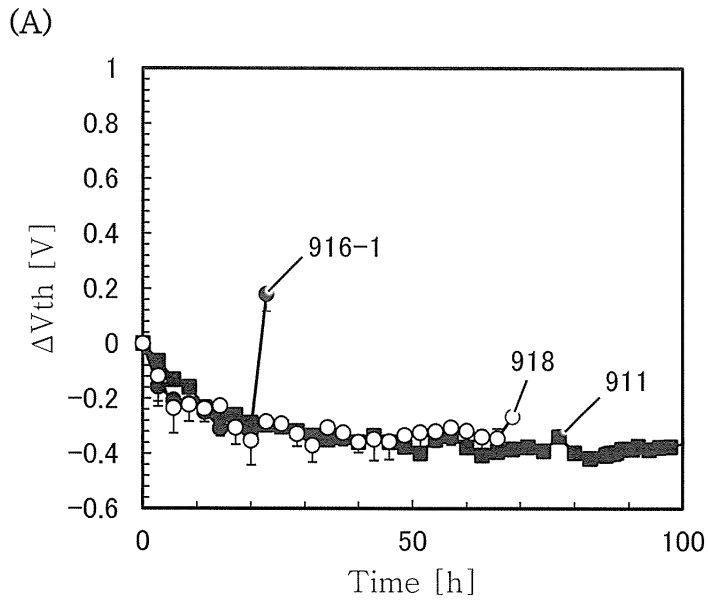
도면52



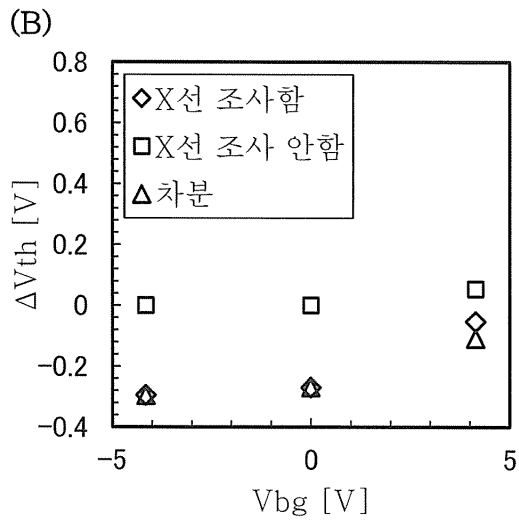
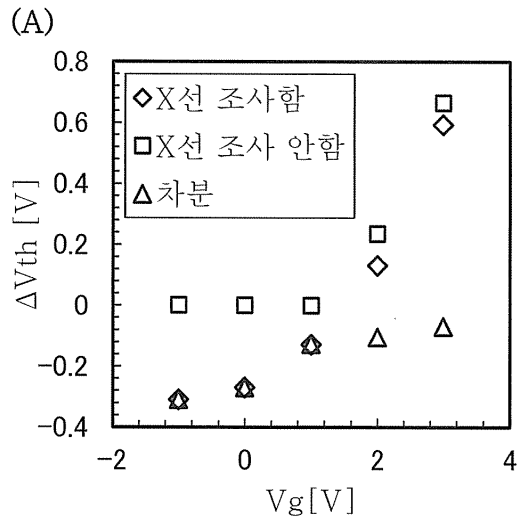
도면53



도면54

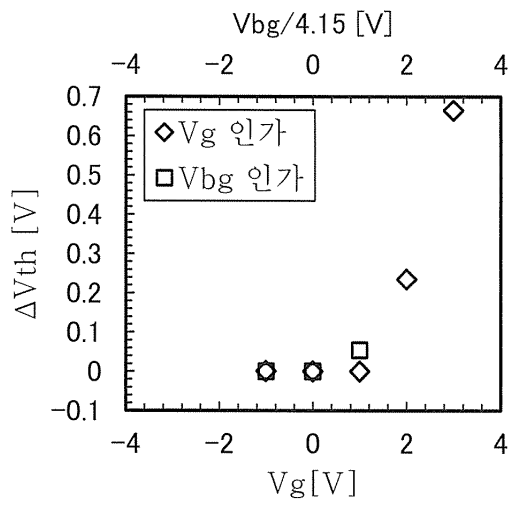


도면55

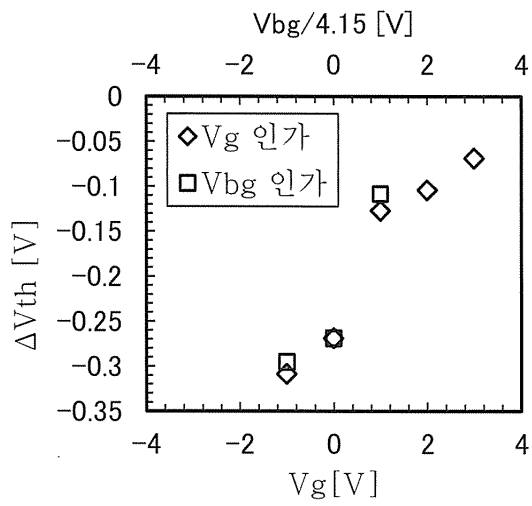


도면56

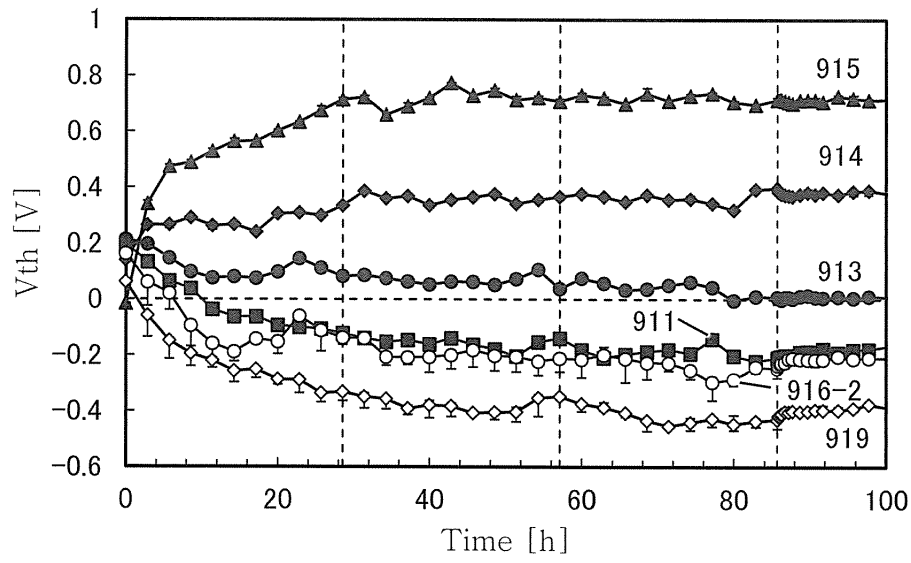
(A)



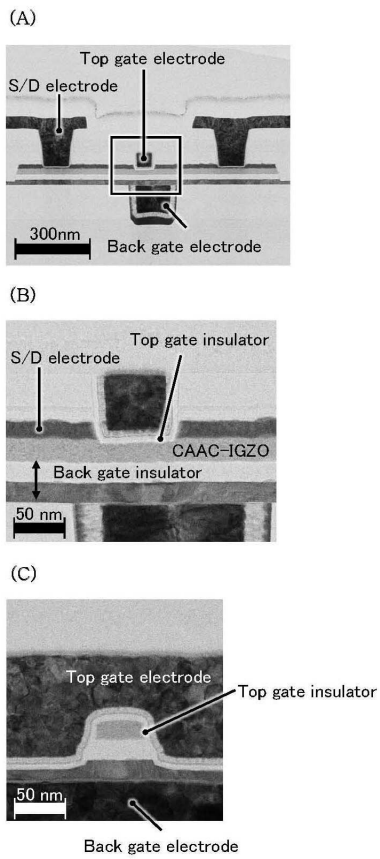
(B)



도면57

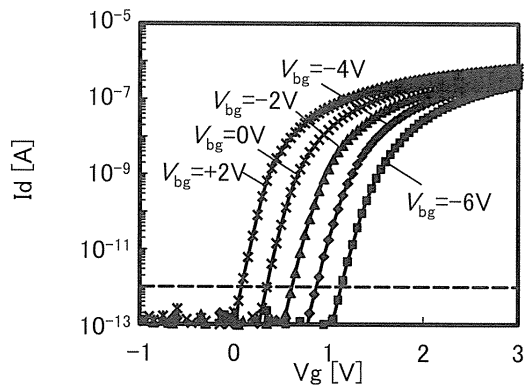


도면58

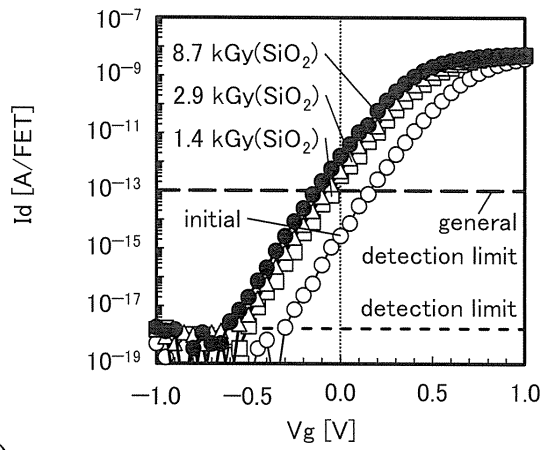


도면59

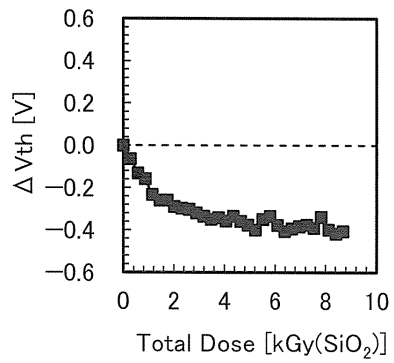
(A)



(B)

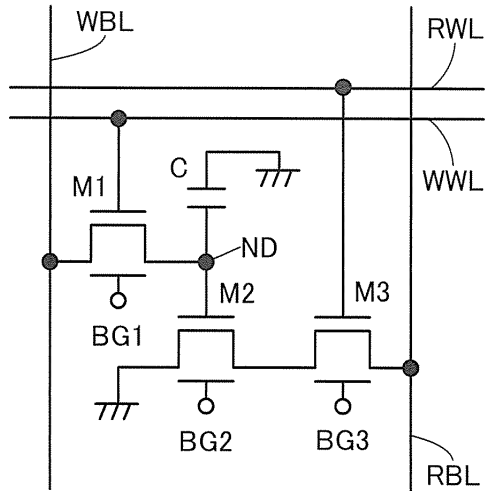


(C)

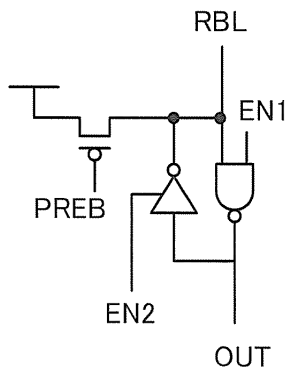


도면60

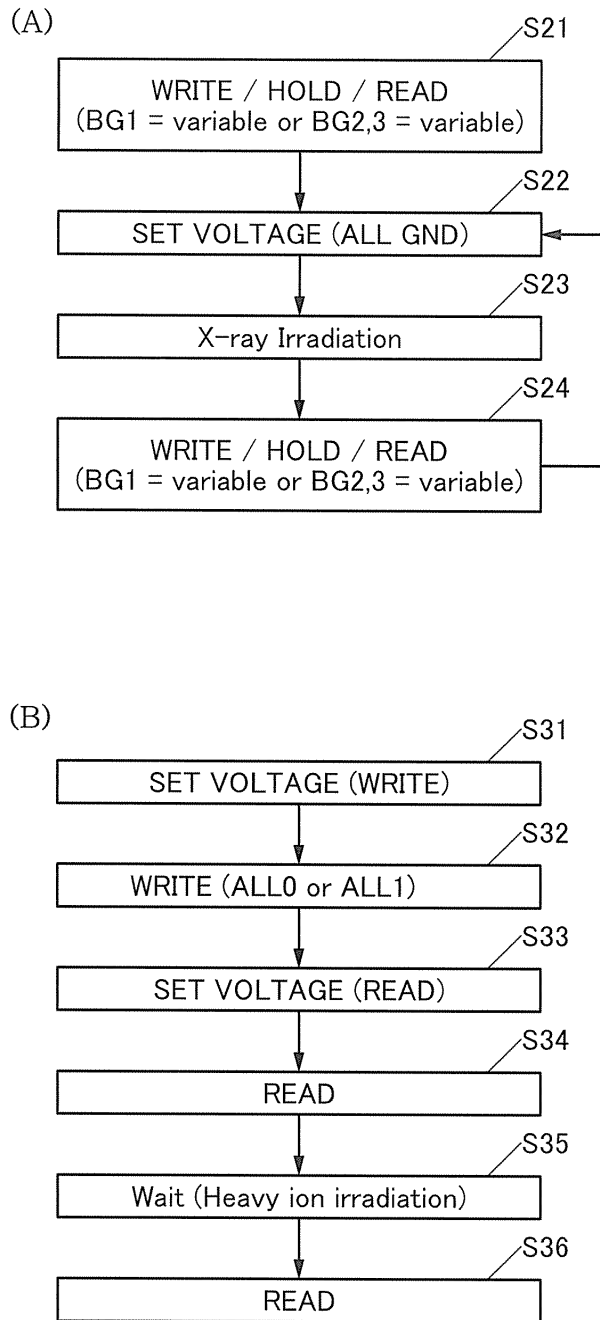
(A)



(B)

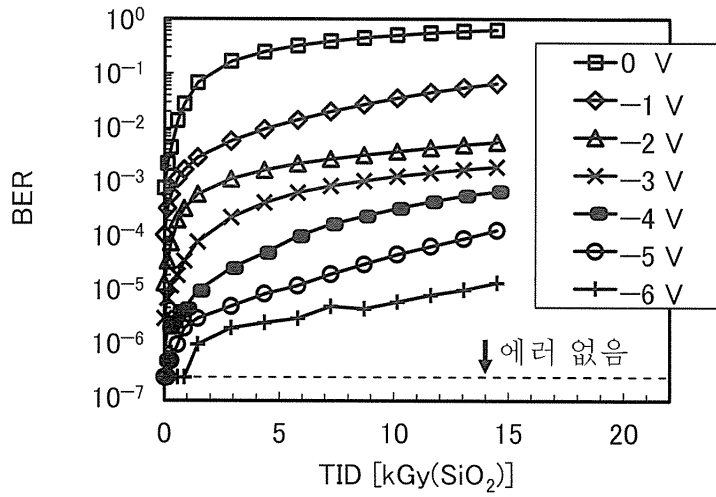


도면61

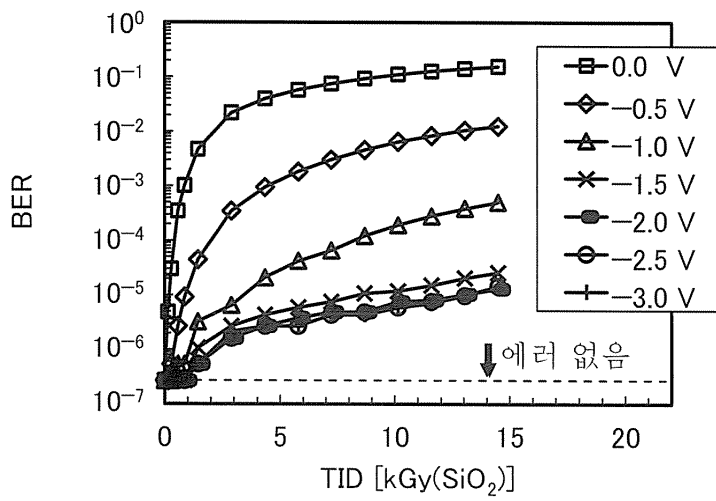


도면62

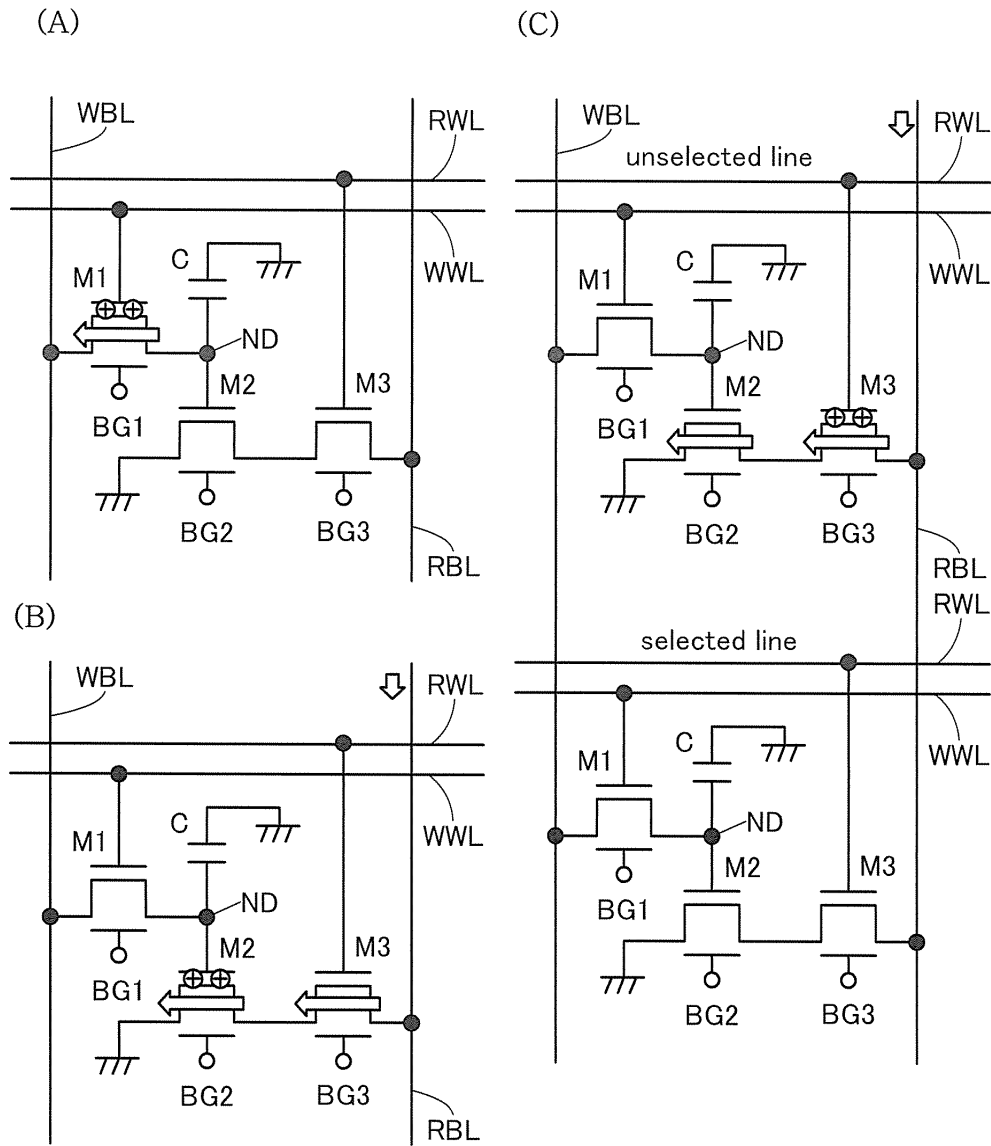
(A)



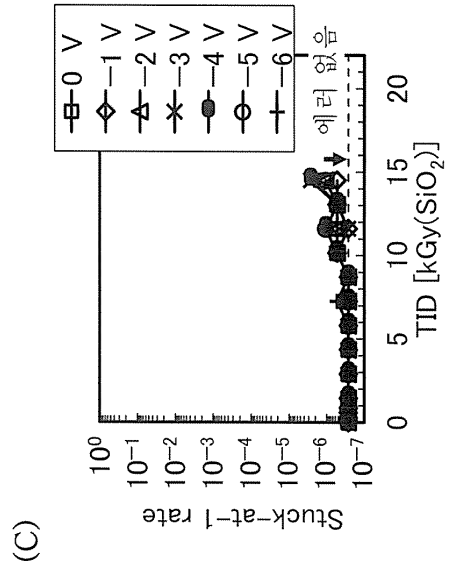
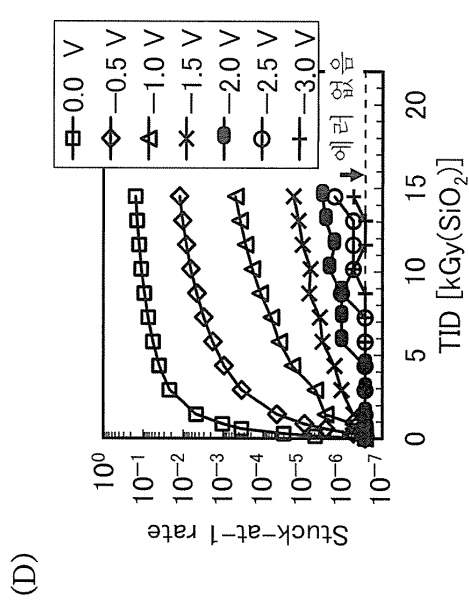
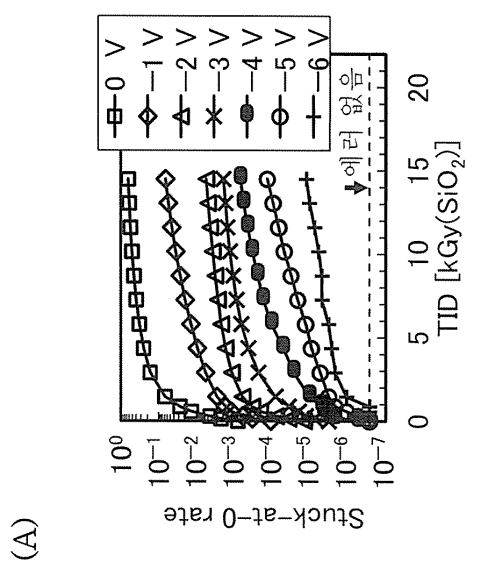
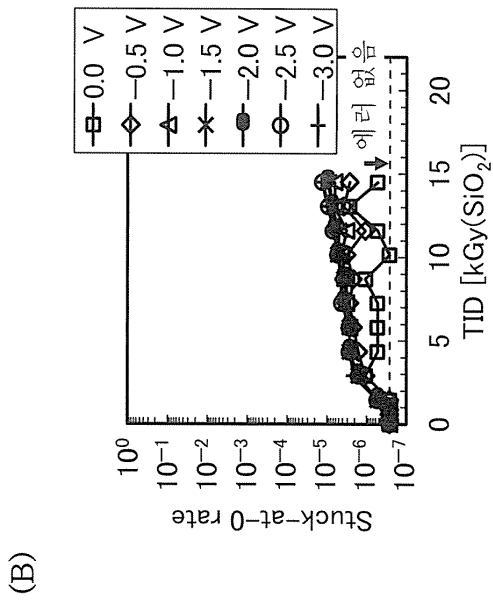
(B)



도면63

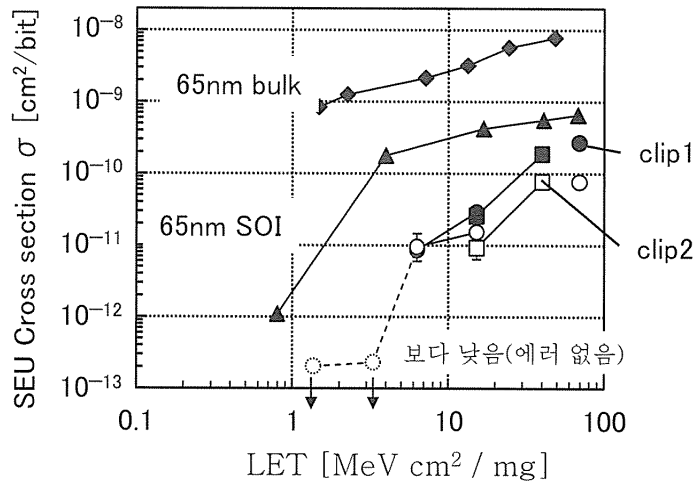


도면64

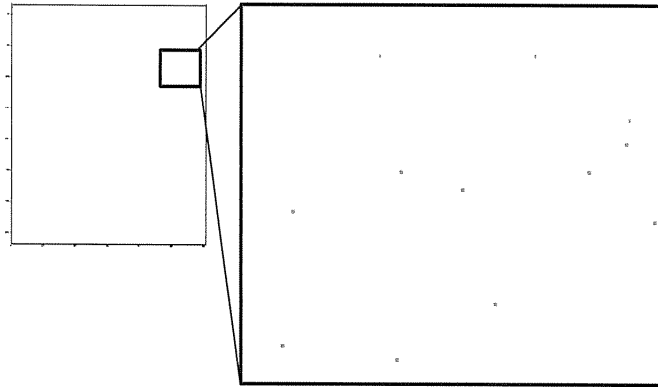


도면65

(A)

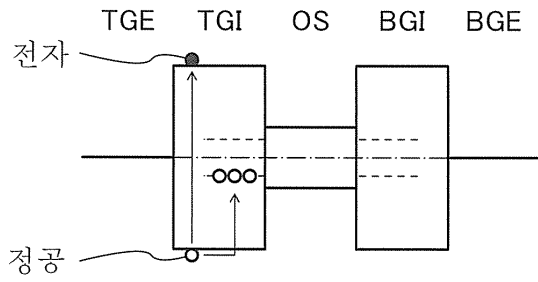


(B)

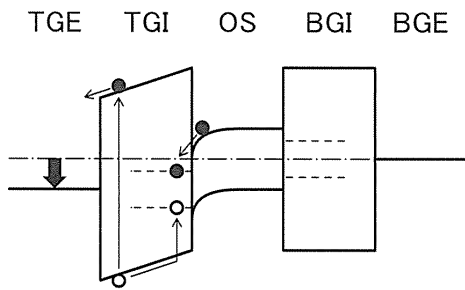


도면66

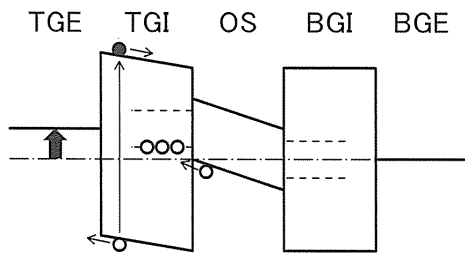
(A)



(B)

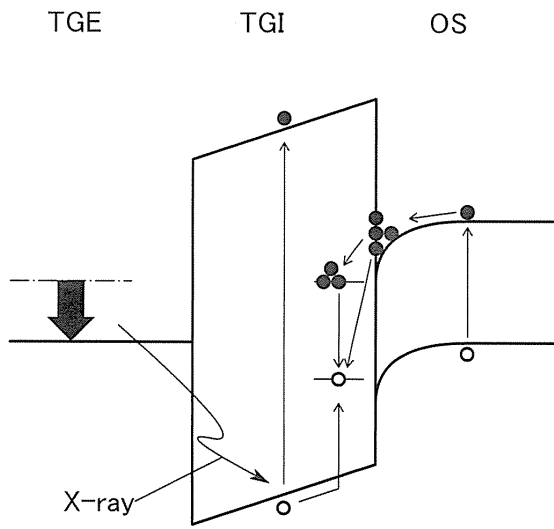


(C)

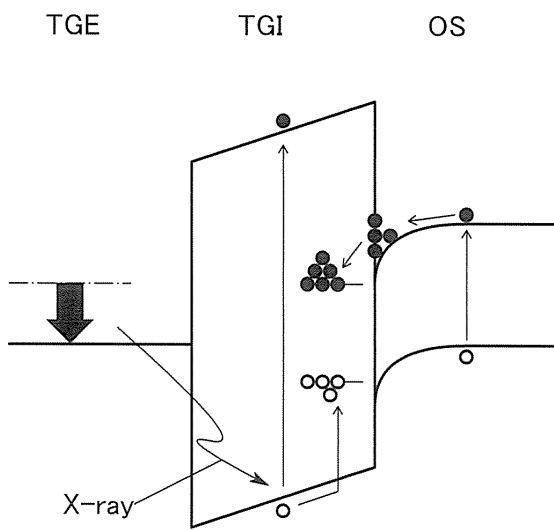


도면67

(A)



(B)



도면68

