



(12) 发明专利申请

(10) 申请公布号 CN 103283148 A

(43) 申请公布日 2013. 09. 04

(21) 申请号 201180063011. 9

(51) Int. Cl.

(22) 申请日 2011. 12. 20

H03K 19/0175(2006. 01)

H04L 25/02(2006. 01)

(30) 优先权数据

12/979, 337 2010. 12. 28 US

(85) PCT申请进入国家阶段日

2013. 06. 27

(86) PCT申请的申请数据

PCT/US2011/066031 2011. 12. 20

(87) PCT申请的公布数据

W02012/092007 EN 2012. 07. 05

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 R·希纳卡兰 S·赛斯

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

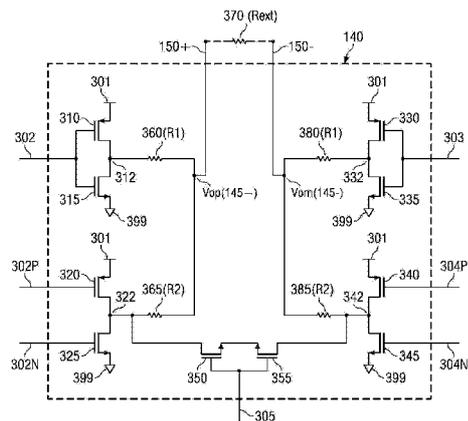
权利要求书3页 说明书7页 附图4页

(54) 发明名称

具有预加重的电压模式驱动器

(57) 摘要

一种支持预加重的电压模式驱动电路,其包括多个电阻器和操作为开关的多个晶体管。操作晶体管的控制信号表示驱动电路的输入信号的逻辑电平。为了产生预加重输出,操作晶体管来将电阻器的并联布置连接在驱动器的输出端子和对应的恒定参考电位之间。为了产生稳态的输出,操作晶体管来将某些电阻器连接在驱动器的输出端子之间,由此减小输出电压。通过合适地选择电阻器的电阻值,可以获得驱动器的期望输出阻抗和预加重的期望水平。驱动器在稳态下的电流消耗小于在预加重模式下的电流消耗。



1. 一种驱动电路,其包含:

多个开关,响应于一组控制信号的第一组值,所述多个开关可操作来执行:

将第一电阻器耦合在所述驱动电路的一对差分输出端子中的第一输出端子和一对恒定参考电位中的第一恒定参考电位之间,

将第四电阻器耦合在该对差分输出端子中的第二输出端子和该对恒定参考电位中的第二恒定参考电位之间,

将第二电阻器与所述第一电阻器并联耦合,以及

将第三电阻器与所述第四电阻器并联耦合;

响应于该组控制信号的第二组值,所述多个开关进一步可操作来执行:

将所述第一电阻器耦合在该对差分输出端子中的所述第一输出端子和该对恒定参考电位中的所述第一恒定参考电位之间,

将所述第四电阻器耦合在该对差分输出端子中的所述第二输出端子和该对恒定参考电位中的所述第二恒定参考电位之间,以及

将所述第二电阻器和所述第三电阻器的串联布置耦合在该对差分输出端子之间。

2. 根据权利要求 1 所述的电路,其中所述第一组值和所述第二组值中的每一组指定响应于所述驱动电路的输入信号而在该对差分输出端子之间要产生的所述驱动电路的输出信号的电压电平和逻辑电平。

3. 根据权利要求 2 所述的电路,其中:

该对差分输出端子耦合到传输线;

对于所述输出信号的同一直逻辑电平,在该对差分输出端子之间的对应于所述第一组值的电压电平大于在该对差分端子之间的对应于所述第二组值的电压;和

所述第一组值对应于所述驱动电路的操作的预加重时间间隔,并且所述第二组值对应于所述驱动电路的操作的稳态时间间隔。

4. 根据权利要求 3 所述的电路,其中:

所述预加重时间间隔是紧接在所述输入信号的逻辑转变之后的一个比特周期的时间间隔;和

当对于至少两比特持续时间不存在所述输入信号的逻辑电平转变时,存在稳态时间间隔,并且所述稳态时间间隔是从所述至少两比特持续时间中的第二个比特开始并且在所述输入信号的下一个逻辑电平转变处结束的时间间隔。

5. 根据权利要求 4 所述的电路,其中所述第一电阻器和所述第二电阻器的并联布置的电阻等于所述驱动电路在所述预加重时间间隔和所述稳态时间间隔中的每一个时间间隔中的输出阻抗。

6. 根据权利要求 5 所述的电路,其中:

该组控制信号由逻辑块产生;

该对恒定参考电位中的所述第一恒定参考电位接收电源;

该对恒定参考电位中的所述第二恒定参考电位是电源返回端子,所述电源是由低压差调节器即 LDO 产生;和

由所述 LDO 产生的电源用于为所述驱动电路和所述逻辑块中的每一个供电。

7. 根据权利要求 2 所述的电路,其中所述驱动电路的功耗与所述输出信号的电压电平

成正比。

8. 根据权利要求 3 所述的电路,进一步包含:

第五电阻器;

第六电阻器;和

第一组开关;

所述第一组开关和所述多个开关在所述预加重时间间隔中可操作来将所述第五电阻器而不是所述第二电阻器与所述第一电阻器并联耦合,并且将所述第六电阻器而不是所述第三电阻器与所述第四电阻器并联耦合;以及

所述第一组开关和所述多个开关在所述稳态时间间隔中进一步可操作来将所述第五电阻器和所述第六电阻器的串联布置而不是所述第二电阻器和所述第三电阻器的串联布置耦合在该对差分输出端子之间。

9. 一种集成电路,其包含:

处理器,其产生二进制值;和

驱动器,其接收一组控制信号,该组控制信号指定在所述集成电路的一对差分输出端子之间要产生的表示所述二进制值的输出信号的电压电平和逻辑电平,所述驱动器包含:

多个开关,响应于该组控制信号的第一组值,所述多个开关可操作来执行:

将第一电阻器耦合在该对差分输出端子中的第一输出端子和一对恒定参考电位中的第一恒定参考电位之间,

将第四电阻器耦合在该对差分输出端子中的第二输出端子和该对恒定参考电位中的第二恒定参考电位之间,

将第二电阻器与所述第一电阻器并联耦合,和

将第三电阻器与所述第四电阻器并联耦合;

响应于该组控制信号的第二组值,所述多个开关进一步可操作来执行:

将所述第一电阻器耦合在该对差分输出端子中的所述第一输出端子和该对恒定参考电位中的所述第一恒定参考电位之间,

将所述第四电阻器耦合在该对差分输出端子中的第二输出端子和该对恒定参考电位中的第二恒定参考电位之间,以及

将所述第二电阻器和所述第三电阻器的串联布置耦合在该对差分输出端子之间。

10. 根据权利要求 9 所述的集成电路,其中:

该对差分输出端子耦合到传输线;

对于所述输出信号的同一逻辑电平,在该对差分输出端子之间的对应于所述第一组值的电压电平大于在该对差分端子之间的对应于所述第二组值的电压;和

所述第一组值对应于所述驱动电路的操作的预加重时间间隔,并且所述第二组值对应于所述驱动电路的操作的稳态时间间隔。

11. 根据权利要求 10 所述的集成电路,其中所述驱动器被包括在所述集成电路的发射器中;并且所述发射器包含用于接收所述二进制值且作为响应产生该组控制信号的逻辑块。

12. 根据权利要求 11 所述的集成电路,进一步包含用于在该对恒定参考电位中的一个恒定参考电位上产生电源的低压差调节器即 LDO,所述电源用于同时为所述逻辑块和所述

驱动器供电。

13. 根据权利要求 9 所述的集成电路,其中所述驱动电路的功耗与所述电压电平成正比。

具有预加重的电压模式驱动器

技术领域

[0001] 本发明整体涉及数据传输,更具体地,涉及具有预加重的电压模式驱动器。

背景技术

[0002] 驱动电路(驱动器)经常用于数据传输电路中。这些驱动电路的输入通常是二进制数据,并且输出是具有合适信号强度的对应的电压或电流信号。输出电压或电流的信号强度可以被设计为具有确保可靠且无错误(或低误码率)传输的值。此外,驱动电路可以被设计为具有受控的输出阻抗,其匹配传输输出的传输路径的阻抗。电压模式驱动器一般是其输出是电压信号的驱动电路,驱动电路被设计为电压源。

[0003] 这种电压模式驱动电路的输出信号通常是方波形状(具有陡沿),含有高频的频率分量,其会被传输路径衰减,最终导致在连接用于接收输出信号的接收器处正确解释信号时出现错误。预加重是通常用于处理以上问题的技术,预加重是指在逻辑电平转变之后立即增加驱动电路的输出信号的幅值。幅值随后可以被降低至期望的稳态电平,直到出现另一个逻辑电平转变。在逻辑电平转变之后增加的幅值(预加重,也被称为前馈均衡或 FFE)减轻了传输路径(通常是有限带宽的)可能对输出信号的高频分量产生的不利影响。具有预加重的电压模式驱动器需要被设计为最小功耗和其他期望的特征。

发明内容

[0004] 公开的驱动电路包括多个开关。响应于一组控制信号的第一组值,多个开关可操作来:将第一电阻器耦合在驱动电路的一对差分输出端子中的第一输出端子和一对恒定参考电位中的第一恒定参考电位之间;将第四电阻器耦合在该对差分输出端子中的第二输出端子和该对恒定参考电位中的第二恒定参考电位之间;将第二电阻器与第一电阻器并联耦合;以及将第四电阻器与第三电阻器并联耦合。响应于该组控制信号的第二组值,多个开关可操作来:将第一电阻器耦合在该对差分输出端子中的第一输出端子和该对恒定参考电位中的第一恒定参考电位之间;将第四电阻器耦合在该对差分输出端子中的第二输出端子和该对恒定参考电位中的第二参考电位之间;以及将第二电阻器和第三电阻器的串联布置耦合在该对差分输出端子之间。

附图说明

[0005] 参考附图描述示例实施例,在附图中:

[0006] 图 1 是示例设备的方框图。

[0007] 图 2 是示出示例驱动器的预加重和稳态期间的电压电平的波形。

[0008] 图 3 是示出示例驱动器的实施细节的电路图。

[0009] 图 4A 是在实施例中当驱动器产生预加重的逻辑 1 时驱动器的等效电路图。

[0010] 图 4B 是当在稳态下驱动器产生逻辑 1 时驱动器的等效电路图。

[0011] 图 5 是设计为提供 AC 耦合的单端输出的示例驱动器的电路图。

[0012] 图 6 是示出其中预加重的电平可以在两个值之间选择的示例驱动器的电路图。

具体实施方式

[0013] 图 1 示出其中可以实施公开的驱动器实施例的示例 USB 设备 100。设备 100 包括处理器 110 和发射器 120。USB 设备 100 可以对应于 USB 主机、USB 集线器、USB 外围设备等。图 1 的细节仅仅是说明性的，现实的实现方式可以含有更多模块 / 部件和 / 或模块 / 部件的不同布置。进一步地，尽管在 USB 设备的背景中提供下面的描述，但是公开的驱动器和电路的实施例也可以用于其他环境，例如 e-SATA（外部串联式先进附连技术）、PCIe（外围部件互连高速）等。可以存在设备 100 的输入路径（附图中未示出）。USB 设备 100 的元件可以被实现在单个集成电路（IC）内，或可以被实现在分开的 IC 中（例如，处理器 110 在一个 IC 中，而发射器 120 在另一个 IC 中）。

[0014] 处理器 110 在路径 112 上提供并行格式的数据给发射器 120。数据可以由处理器 110 产生，或表示从外部部件（未示出）接收的并且由处理器 110 修改的数据。路径 112 上的数据可以与对应的 USB 设备规范和格式相一致。

[0015] 发射器 120 被示为含有逻辑块 130 和驱动器 140。逻辑块 130 从处理器 110 接收在路径 112 上的并行格式的数据，并且将该数据转换成串行比特流。逻辑块 130 中的并串转换可以在一个或多个时钟的控制下执行，如本领域中众所周知的。对应于比特流中的每个比特，逻辑块 130 在路径 134 上产生控制信号，使驱动器 140 产生表示比特的信号并且发射该信号。尽管图 1 中未示出，包含在逻辑块 130 中的预驱动电路可以产生这种控制信号。

[0016] 尽管附图中未示出，USB 设备 100 还可以含有接收器，接收器被设计为从设备 100 外部的部件或设备接收串行格式的数据，并且以并行格式提供该数据给处理器 110。在这种实施例中，接收器和发射器 120 一起构成串行器 / 解串器（SERDES）。USB 设备 100 可以含有若干这种串行解串器块，尽管图 1 中只示出这种模块中的一个的发射器。

[0017] 端子 145 表示驱动器 140 的输出端子，并且当实施为 IC 时，端子 145 可以对应于 USB 设备 100 的焊盘或管脚。路径 150 连接到端子 145，并且可以对应于例如印刷电路板（PCB）迹线、柔性电缆等。

[0018] 电压模式驱动器 140 在端子 145 和路径 150 上产生电压输出，该电压输出表示由发射器 120 在路径 112 上接收到的逻辑高信号和逻辑低信号（例如，二进制信号）。这些二进制信号响应于在路径 134 上接收到的控制信号的对应值而产生。路径 150 可以表示传输线，并且具有有限带宽。在路径 150 上发射的二进制信号（理想地）具有方波（或接近方波）形状，因此具有陡峭的上升沿和下降沿。因此，二进制信号的频率分量会超过路径 150 的带宽。结果，如本领域中众所周知的，二进制信号会在时间上扩展，由此可能导致在连接到路径 150 的接收器中出现码间干扰（ISI）。因此，接收器不能够可靠地解释在路径 150 上发射的信号（信号 150）的值（逻辑 1 / 高或逻辑 0 / 低）。根据使用的数据编码的具体类型，ISI 的程度以及因此在可靠地解释接收到的值时的劣化会不同。作为说明，根据曼彻斯特编码，路径 150 上的比特流中的陡峭转变（比特沿）出现在每个比特间隔处。在 NRZ（非归零码）编码中，只有当比特值从逻辑 1 改变到逻辑 0 或从逻辑 0 改变到逻辑 1 时才出现这种陡峭转变。对于串化解串器标准，一种编码方案被称为 8b-10b 编码，其中每八位数据以每五个比特保证一次逻辑转变的方式映射到十位数据。

[0019] 根据用于解决以上问题的一种技术,路径 150 上的比特流的信号强度(例如,电压电平)在所关注的每个比特沿处增加(预加重)。所关注的比特沿一般取决于使用的具体编码方案。假设使用双极性 NRZ(双极性非归零码),图 2 中示出了在逻辑值边界处应用预加重的比特流。

[0020] 假设图 2 中的比特流表示二进制序列 1100110010。逻辑 1 或逻辑 0 的电压电平被示为在逻辑 0 和逻辑 1 之间的转变之后被预加重持续一个比特时间。为了说明,在 t_{21} 处,出现从逻辑 0 到逻辑 1 的转变。因此,表示接下来的逻辑 1 的电压值被预加重,该电压值具有(理想地)等于 $+V_h$ 的电压电平,持续时间 $t_{21}-t_{22}$,即一个比特周期。时间间隔 $t_{22}-t_{23}$ 表示“稳态”模式,在其中比特流的逻辑值无变化。在 t_{22} 处,用于表示信号 150 的电压电平从高电压电平 $+V_h$ (用于表示预加重的逻辑 1 持续时间)变化到稳态电压电平 $+V_1$ 。表示信号 150 的电压电平被维持在 $+V_1$,直到出现逻辑电平转变,如图 2 中 t_{23} 处所示,当信号 150 从逻辑 1 转变到逻辑 0 时。

[0021] 相似地,信号 150 的电压电平被示为紧接在逻辑 1 到逻辑 0 转变之后进行预加重。为了说明,在 t_{23} 处,出现从逻辑 1 到逻辑 0 的转变。因此,表示接下来的逻辑 0 的电压值被预加重,该电压值具有(理想地)等于 $-V_h$ 的电压电平,持续时间 $t_{23}-t_{24}$ 。时间间隔 $t_{24}-t_{25}$ 表示稳态条件,在其中比特流的逻辑值无变化。表示信号 150 的电压电平被维持在 $-V_1$,直到出现逻辑电平转变,如图 2 中 t_{25} 处所示。在 t_{25} 处,出现到逻辑 1 的逻辑转变,并且对应于在时间间隔 $t_{250}-t_{26}$ 中逻辑 1 比特的电压值被预加重。在 t_{26} 处,出现到逻辑 0 的逻辑转变,并且对应于在时间间隔 $t_{26}-t_{27}$ 中的逻辑 0 比特的电压值被预加重。

[0022] 注意到,替换地,可以将稳态电平($+V_1$ 和 $-V_1$)视为去加重电平,并且可以将预加重电平($+V_h$ 和 $-V_h$)视为“正常”电平。

[0023] 图 3 示出示例驱动器 140 的细节。被示为产生差分输出的电压模式驱动器 140 被示为含有 P 型金属氧化物半导体(PMOS)晶体管 310、320、330、340, N 型金属氧化物半导体(NMOS)晶体管 315、325、335、345,电阻器 360(第一电阻器)、电阻器 365(第二电阻器)、电阻器 380(第三电阻器)、电阻器 385(第四电阻器)以及 NMOS 晶体管 350 和 355。端子 301 和 399 分别表示电源端子(第一参考电位)和地端子(第二参考电位)。 $V_{op}(145+)$ 和 $V_{om}(145-)$ 表示驱动器 140 的差分输出端子,并且对应于图 1 的端子 145。

[0024] 电阻器 370 (R_{ext})表示远端线路终止(通常设置在接收器端),用于阻抗匹配以最小化反射。在实施例中,电阻器 360 和 380 的电阻都等于值 R_1 ,电阻器 365 和 385 的电阻都等于值 R_2 。值 R_1 和 R_2 可以被选择为提供驱动器 140 的输出阻抗的期望值。控制信号(一组控制信号集)301、302P、302N、303、304P、304N 和 305 由图 1 的逻辑块 130(或包含在逻辑块 130 中的预驱动电路)产生,并且假设这些控制信号包含在图 1 的路径 134 中。晶体管 350 和 355 由控制信号 305 控制为开启或关闭。

[0025] 晶体管 310 和 315 以 CMOS 反相器配置的方式连接,并且接收控制信号 301。控制信号 301 的逻辑电平确定是否将节点 312 拉到逻辑高或逻辑低。晶体管 320 和 325 由各自的控制信号 302P 和 302N 控制为开启或关闭。晶体管 330 和 335 以 CMOS 反相器配置的方式连接,并且接收控制信号 303。控制信号 303 的逻辑电平确定是否将节点 332 拉到逻辑高或逻辑低。晶体管 340 和 345 由各自的控制信号 304P 和 304N 控制为开启或关闭。晶体管 310、315、320、325、330、335、340、345 由控制信号 301、302、303、304 中对应的控制信号操作

为开关。在以下描述中,假设晶体管 310、315、320、325、330、335、340、345、350、355 的导通 (ON) 电阻等于零欧姆。

[0026] 在操作中,控制晶体管(开关) 310、315、320、325、330、335、340、345 中对应的晶体管切换到开启或关闭,从而在输出端子 145+ 和 145- 之间产生期望的差分电压值。

[0027] 当要提供预加重时(例如,在预加重模式或第一模式),电阻器 360 和 365 的并联布置连接在端子 145+ 和电源端子 301 或地端子 339 之间,电阻器 385 和 380 的并联布置连接在端子 145- 和电源端子 301 或地端子 399 之间。控制信号 305 处于逻辑低。电阻器的并联布置的一个接头是否连接电源端子 301 或地 399 取决于在端子 145+ 和 145- 之间是否产生(差分)逻辑 1 或逻辑 0,如以下说明的。在实施例中,紧接在每个比特转变之后提供预加重,并且持续一个比特周期的持续时间,如图 2 中所示。然而,在其他实施例中,预加重间隔可以比一个比特周期长或短。在驱动器 140 的预加重操作模式中的一组控制信号(301、302P、302N、303、304P、304N 和 305)的值对应于‘第一组值’,并且指定了要在端子 145+/145- 之间提供的输出的电压电平(即预加重电压电平)和逻辑电平(逻辑高或逻辑低),如以下参考图 4A 说明的。

[0028] 在稳态(稳态模式或第二模式),控制开关 310、315、320、325、330、335、340、345、350、355,使得电阻器 360 连接在端子 145+ 和电源端子 301 或地端子 399 之间,电阻器 380 连接在端子 145- 和电源端子 301 或地端子 399 之间,以及电阻器 365 和 385 以串联布置的方式连接在端子 145+ 和 145- 之间。电阻器 360 和电阻器 380 的端子中的对应端子是否连接到电源端子 301 或地端子 399 取决于是否要在端子 145+ 和 145- 之间产生(差分)逻辑 1 或逻辑 0。控制信号 305 处于逻辑高。在实施例中,‘稳态’对应于在逻辑电平转变之后接着一个比特间隔的持续时间(稳态时间间隔),并且持续到下一个逻辑电平转变,还是如图 2 中所示。然而,在其他实施例中,稳态时间间隔可以比以上所述的长或短。驱动器 140 的稳态操作模式中的一组控制信号(301、302P、302N、303、304P、304N 和 305)的值对应于‘第二组值’,并且指定了要在端子 145+/145- 之间提供的输出的电压电平(即非预加重电平或稳态电平)和逻辑电平(逻辑高或逻辑低),如以下参考图 4B 说明的。

[0029] 图 4A 是当紧接在从逻辑 0 转变之后在端子 145+ 和 145- 之间产生逻辑 1 时的驱动器 140 的等效电路图,即对应于预加重逻辑 1 输出。控制信号 305 处于逻辑低,晶体管 350 和 355 都关闭。控制信号 301 处于逻辑低,晶体管 310 开启,晶体管 315 关闭,并且电阻器 360 连接在端子 301 和 145+ 之间。控制信号 302P 和 302N 都处于逻辑低,晶体管 320 开启,晶体管 325 关闭,并且电阻器 365 连接在端子 301 和 145+ 之间。电阻器 360 和 365 由此以并联布置的方式连接在端子 301 和 145+ 之间。控制信号 303 处于逻辑高,晶体管 335 开启,晶体管 330 关闭,并且电阻器 380 连接在端子 399 和 145- 之间。控制信号 304P 和 304M 都处于逻辑高,晶体管 345 开启,晶体管 340 关闭,并且电阻器 385 连接在端子 399 和 145- 之间。电阻器 380 和 385 由此以并联布置的方式连接在端子 301 和 145- 之间。

[0030] 在实施例中,驱动器 140 的输出阻抗(也称为看入(looking-in)阻抗,从输出端子 145+/145- 观察驱动器 140)被设置为 50 欧姆,对应于 100 欧姆的电阻器 370 (R_{ext})的值。对于 50 欧姆的看入阻抗,电阻器 365 和 360(或 385 和 380)的并联布置的等效电阻等于 50 欧姆,如下面在公式 1 中指定的:

[0031] $(R1 * R2) / (R1 + R2) = 50$ (公式 1)

[0032] 从电源 301 中汲取的电流由下面的公式 2 指定：

$$[0033] \quad I_{pre} = V_{dd} / [R_{ext} + \{(2 * R1 * R2) / (R1 + R2)\}] \quad (\text{公式 2})$$

[0034] 其中 I_{pre} 是从电源 301 汲取的电流, V_{dd} 是电源电压 301, R_{ext} 表示电阻器 370 的电阻, 公式 2 中的其他项如以上定义。在端子 145+ 和 145- 之间的电压由下面的公式 3 指定：

$$[0035] \quad V_{op} - V_{om} = (I_{pre} * R_{ext}) \quad (\text{公式 3})$$

[0036] 在实施例中, 电源电压 301 具有 1 伏特 (V) 的值, 驱动器 140 被设计为提供 6dB 的预加重。对应于上面的值, I_{pre} 等于 5 毫安 (mA), 并且 $V_{op} - V_{om}$ 等于 0.5V, 对应于峰 - 峰值差分摆幅为 1V 的输出 145+/145-。

[0037] 对于预加重逻辑 0 的输出 145+/145-, 控制信号 301 和 302 都处于逻辑高, 而控制信号 303 和 304 都处于逻辑 0。因此, 电阻器 385 和 380 的并联布置连接在端子 145- 和电源端子 301 之间, 而电阻器 365 和 360 的并联布置连接在端子 145+ 和地端子 399 之间。因此, 对于以上所述的部件值, 端子 145+ 和 145- 之间的电压等于 -0.5V。因此, 输出 145+/145- 的差分峰 - 峰值电压摆幅等于 1V, 并且对应于图 2 中箭头 210 所示的摆幅水平。

[0038] 图 4B 是当在端子 145+ 和 145- 之间产生对应于稳态的逻辑 1 时的驱动器 140 的等效电路图。控制信号 305 处于逻辑 1, 晶体管 350 和 355 都开启。控制信号 301 和 303 分别是逻辑 0 和逻辑 1。因此, 电阻器 360 连接在端子 301 和 145+ 之间, 而电阻器 380 连接在端子 399 和 145- 之间。

[0039] 控制信号 302P 和 302N 分别处于逻辑 1 和逻辑 0, 晶体管 320 和 325 都关闭。控制信号 304P 和 304N 分别处于逻辑 1 和逻辑 0, 晶体管 340 和 345 都关闭。控制信号 305 处于逻辑 1。结果, 电阻器 365 和 385 串联连接在端子 145+ 和 145- 之间, 如图 4B 中所示。节点 368 表示 AC 地 (或共模端子)。因此, 从端子 145+/145- 的看入阻抗由电阻器 R1 和 R2 的并联组合确定, 在该实施例中, 其等于 50 欧姆。因为在该实施例中, 驱动器 140 被设计为提供 6dB 的预加重, 所以稳态中的 $V_{op} - V_{om}$ 应当等于 0.25V。 R_{ext} 等于 100 欧姆, V_{dd} 等于 1V, 如上所述。

[0040] 根据图 4B 的电路, 获得下面的公式：

$$[0041] \quad \frac{V_{op} - V_{om}}{V_{dd} - (V_{op} - V_{om})} = \frac{R_{ext} * 2 * R2}{(2 * R1) * (R_{ext} + (2 * R2))} \quad (\text{公式 4})$$

[0042] 基于以上所述的 R_{ext} 、 $(V_{op} - V_{om})$ 和 V_{dd} 的值, 获取下面的公式：

$$[0043] \quad R1 = \frac{150 * R2}{50 + R2} \quad (\text{公式 5})$$

[0044] 根据公式 1 和公式 5, 获取的 R1 和 R2 的值都是 100 欧姆。

[0045] 从电源 301 中汲取的电流由下面的公式 4 指定：

$$[0046] \quad I_{ss} = V_{dd} / [2R1 + \{(R_{ext} * 2 * R2) / (R_{ext} + (2 * R2))\}] \quad (\text{公式 6})$$

[0047] 其中 I_{ss} 是从电源 301 汲取的电流, 公式 4 的其他项如以上定义。对应于以上所述的 R_{ext} 、 V_{dd} 、R1 和 R2 的值, I_{ss} 等于 3.75mA。0.25V 的 $(V_{op} - V_{om})$ 值对应于 0.5V 的峰 - 峰值差分摆幅的输出 145+/145- (图 2 中的箭头 220 所示)。

[0048] 在稳态, 对于端子 145+ 和 145- 之间的逻辑 0 输出, 控制信号 301 和 303 分别是逻辑 1 和逻辑 0。因此, 电阻器 360 连接在端子 399 和 145+ 之间, 而电阻器 380 连接在端子

301 和 145- 之间。控制信号 302P 和 302N 分别处于逻辑 1 和逻辑 0, 而控制信号 304P 和 304N 分别处于逻辑 1 和逻辑 0。控制信号 305 处于逻辑 1。结果, 电阻器 365 和 385 串联连接在端子 145+ 和 145- 之间。

[0049] 根据以上描述可以观察到, 驱动器 140 的稳态操作模式中的电流消耗小于预加重操作模式中的电流消耗。结果, 驱动器 140 在稳态操作模式下的功耗小于电流消耗在稳态模式下大于在预加重模式下的某些其他技术。注意到, 一般来说, 驱动器 140 的输出的稳态电平持续时间会比预加重模式的持续时间长。因此, 期望驱动器 140 在稳态模式下的功耗较低。进一步地, 随着输出 145+/145- 的逻辑电平摆幅减小, 图 3 的电路的电流消耗减小, 即输出逻辑电平摆幅越小, 驱动器 140 的功耗越小。

[0050] 预加重模式和稳态模式下的电流值的差不是很大。由于该电流差(纹波电流)相对较小, 因此在电源 301 和地 399 之间提供的去耦电容的值也会相应地较小。可以通过合适地选择电阻器 360、365、380、385 来改变相对于稳态输出电压摆幅的具体预加重输出电压摆幅(即预加重程度)。在稳态和预加重状态下, 驱动器 140 的功耗均与输出电压(输出 145+ 和 145- 之间的电压)的值成正比。

[0051] 这里注意到, 像 PCIe 的标准指定了要支持多个输出逻辑电平摆幅(例如, 1.0V、0.7V、0.5V、0.3V、0.15V 的差分峰-峰值)。通过将对应的电路部分(与所示部分相似)增加到图 3 的电路可以实现这种多个输出逻辑电平摆幅中的任何一个, 而不仅仅针对预加重。例如通过增加与电阻器 365、晶体管 320 和 325 以及电阻器 385、晶体管 340 和 345 所形成的那些相似的电阻器臂以及对应的控制信号, 可以实现一种提供这种多个输出逻辑电平摆幅的技术。然后, 通过在预加重模式下将对应的电阻器臂切换为与电阻器 360 和 380 并联, 并且在稳态模式下将对应的电阻器臂切换为与电阻器 360 和 380 串联, 可以获得所需的输出电平。在图 6 中示出了含有这种额外的臂的示例实施例。驱动器 600 被示为含有图 3 的电路以及额外的电阻器臂和对应的晶体管。通过激活分别控制晶体管 620 和 625 的开启或关闭状态的控制信号 602P 和 602N 中合适的一个, 电阻器 665 (第五电阻器) 可以与电阻器 360 并联连接。相似地, 通过激活分别控制晶体管 640 和 645 的开启或关闭状态的控制信号 604P 和 604N 中合适的一个, 电阻器 685 (第六电阻器) 可以与电阻器 380 并联。控制信号 605 控制晶体管 650 和 655 中每一个的开启或关闭状态。电阻器 665 和 685 的值分别不同于电阻器 350 和 355 的值, 并且可以被选择为提供期望水平的输出逻辑电平摆幅。电路块 690 的操作与以上关于图 3 所述的电路块 680 的操作相同, 为了简洁, 此处不再重复描述。在操作中, 根据所需的输出电平摆幅的程度, 电路块 680 和 690 中只有一个电路块是工作的。通过关断另一个电路块中的所有晶体管来禁用该电路块。通过增加与模块 690 相似的模块, 可以类似地提供逻辑电平摆幅的更多数目的可选电平。开关 620、625、650、655、640、645 在本文中被称为“第一组开关”。

[0052] 由于图 3 的技术或电路能够功率高效地实现多个输出逻辑电平摆幅, 而不需要在路径 301 上提供不同电源(电源 301 通常实施为片上低压差电压调节器(LDO)), 因此电源 301 可以被提供给逻辑块 130 和驱动器 140 中的每一个, 由此避免了针对驱动器 140 需要单独的 LDO 或电源发生器。

[0053] 图 5 是在一个实施例中设计为提供交流耦合的单端输出的驱动器的电路图。驱动器 500 可以被实现为代替图 1 中的驱动器 140, 并且驱动器 500 被示为含有晶体管 510、

520、530、540、550，电阻器 580、585 和电容器 560。电阻器 570 表示终止电阻器，通常实施在接收器端。端子 506 连接到偏置电压 Vbias。电容器 560 用于将输出 145 交流耦合到输出路径(传输线)150。控制信号 501、502P、502N、505 由逻辑块 130 在路径 134 上产生(图 1)。端子 301 和 399 分别表示电源和地。

[0054] 当要在节点 145 处提供预加重逻辑 1 时，控制信号 505 处于逻辑低，晶体管 505 关闭。控制信号 501 处于逻辑低，晶体管 510 打开，晶体管 520 关闭，电阻器 580 连接在端子 301 和 145 之间。控制信号 502P 和 502N 都处于逻辑低，晶体管 530 打开，晶体管 540 关闭，电阻器连接在端子 301 和 145 之间。因此，电阻器 380 和 385 以并联布置的方式连接在端子 301 和 145 之间。电阻器 380 和 385 的电阻值可以被选择为使得它们并联组合的电阻等于期望的输出阻抗。

[0055] 当要在稳态提供逻辑 1 时，控制信号 501 处于逻辑低，电阻器 580 连接在端子 301 和 145 之间。控制信号 505 处于逻辑高，晶体管 550 开启。控制信号 502P 处于逻辑高，502N 处于逻辑低，晶体管 530 和 540 都关闭。电阻器 585 连接在端子 145 和 506 (Vbias)之间。在端子 145 和 399 之间的输出电压在稳态模式下比在预加重模式下低。通过合适地选择电压 Vbias (例如其值为电压 301 的二分之一)，可以减小稳态模式下的功耗。为了产生具有预加重的逻辑低，控制信号 501、502P、502N 都处于逻辑高，而控制信号 505 处于逻辑低。为了在稳态下产生逻辑低，控制信号 501 处于逻辑高，控制信号 502P 处于逻辑高，控制信号 502N 处于逻辑低，控制信号 505 处于逻辑高。

[0056] 在图 1、图 3 和图 5 中，虽然端子 / 节点被示为直接连接到各种其他端子，但是应当理解，在路径中也可以存在额外的部件(适用于具体环境)，因此连接可以视为电耦合到同一连接的端子。

[0057] 图 3 和图 5 的电路拓扑结构仅仅是示例性的。通过阅读本文中提供的本发明，在不偏离本发明的若干方面的范围和精神的情况下，适用于具体的环境的各种修改对于本领域技术人员将是显而易见的。应当理解，以上所述的具体类型的晶体管(NMOS、PMOS 等) 仅仅是为了示例。然而，通过阅读本文中提供的本发明，使用不同配置和晶体管的替换实施例对于本领域技术人员将是显而易见的。例如，PMOS 晶体管可以用 NMOS 晶体管替换，同时还交换到电源端子和地端子的连接。因此，在实际应用中，电源端子和地端子被称为恒定参考电位，晶体管的源极(发射极)和漏极(集电极)端子(当开启时提供电流路径，当关闭时提供开路路径)被称为电流端子，栅极(基极)端子被称为控制端子。

[0058] 本发明涉及的本领域技术人员将理解，在本发明的范围内，可以对所描述的实施例做出修改，并且可以实现许多其他实施例。

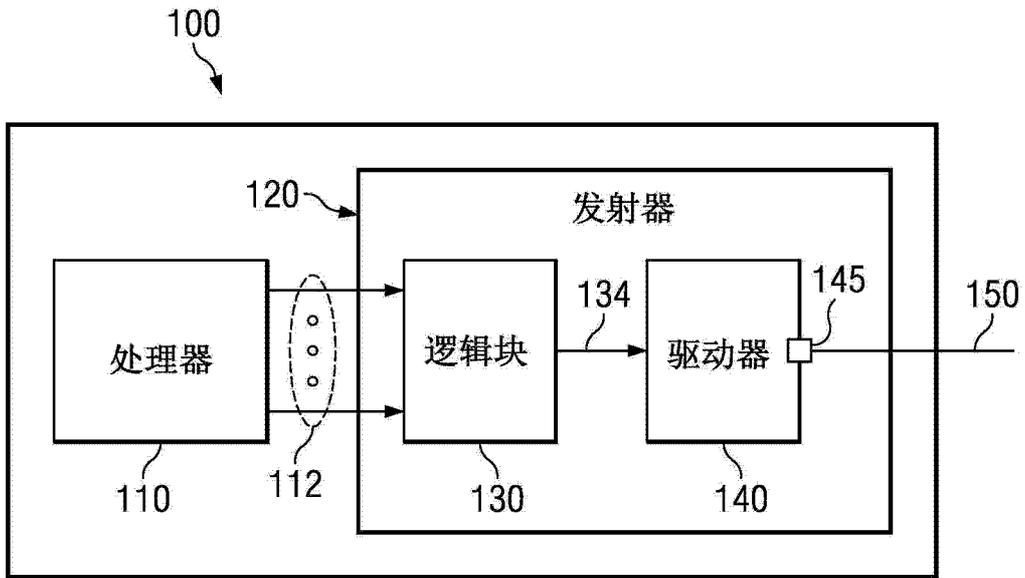


图 1

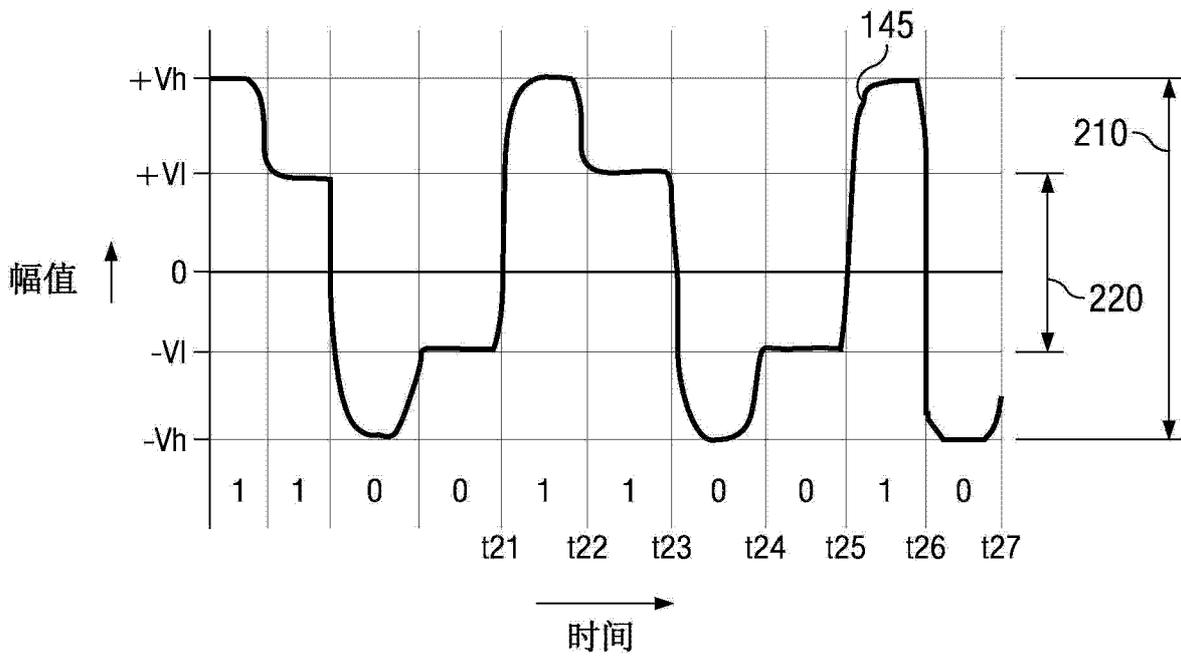


图 2

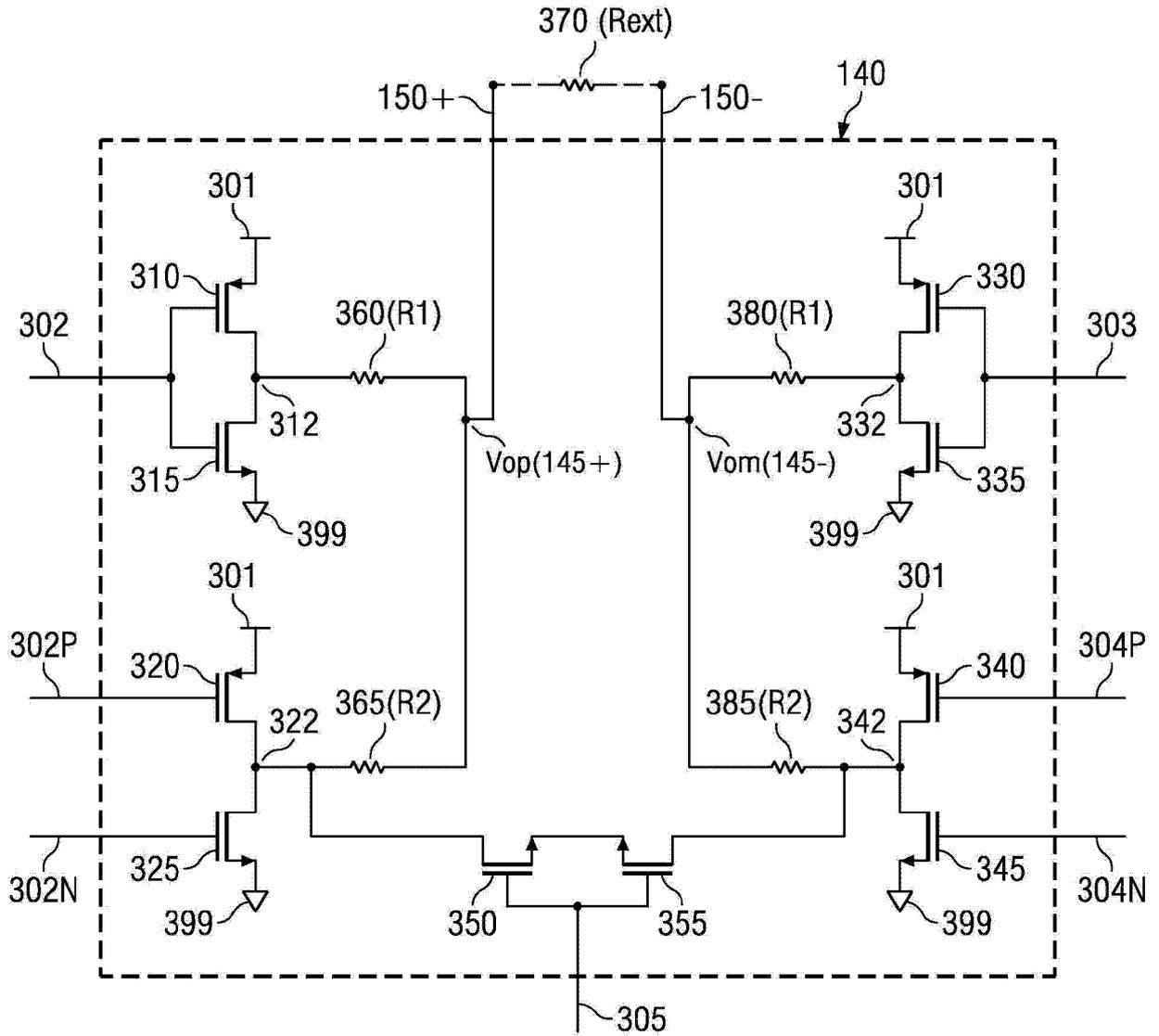


图 3

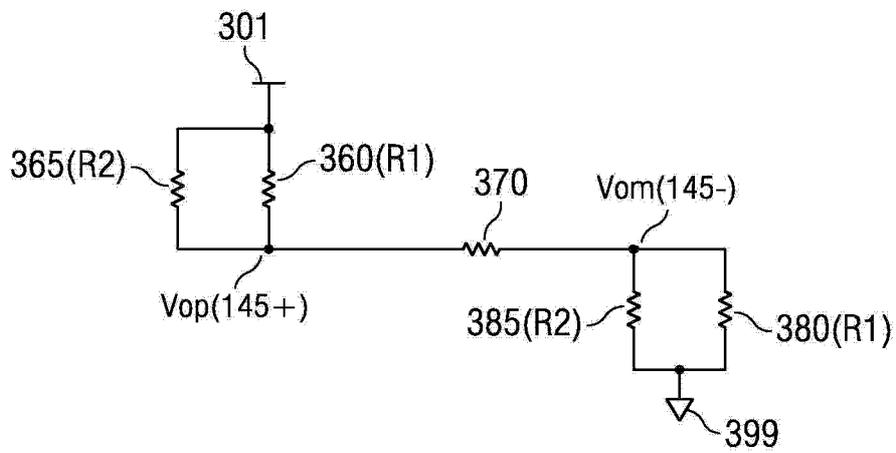


图 4A

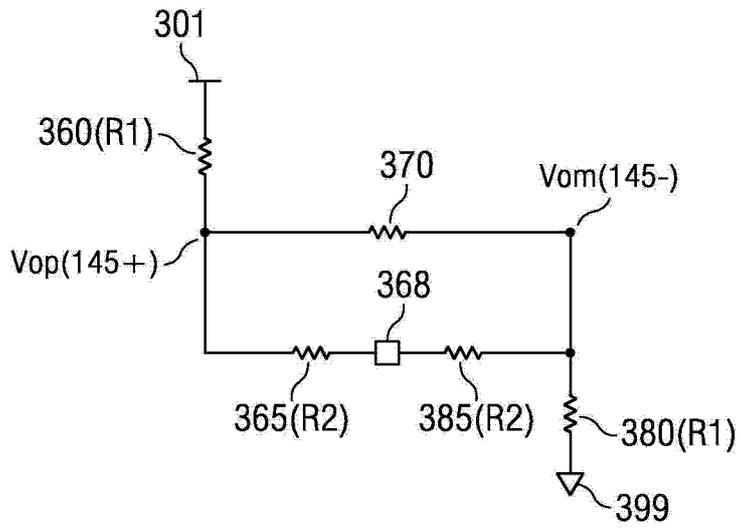


图 4B

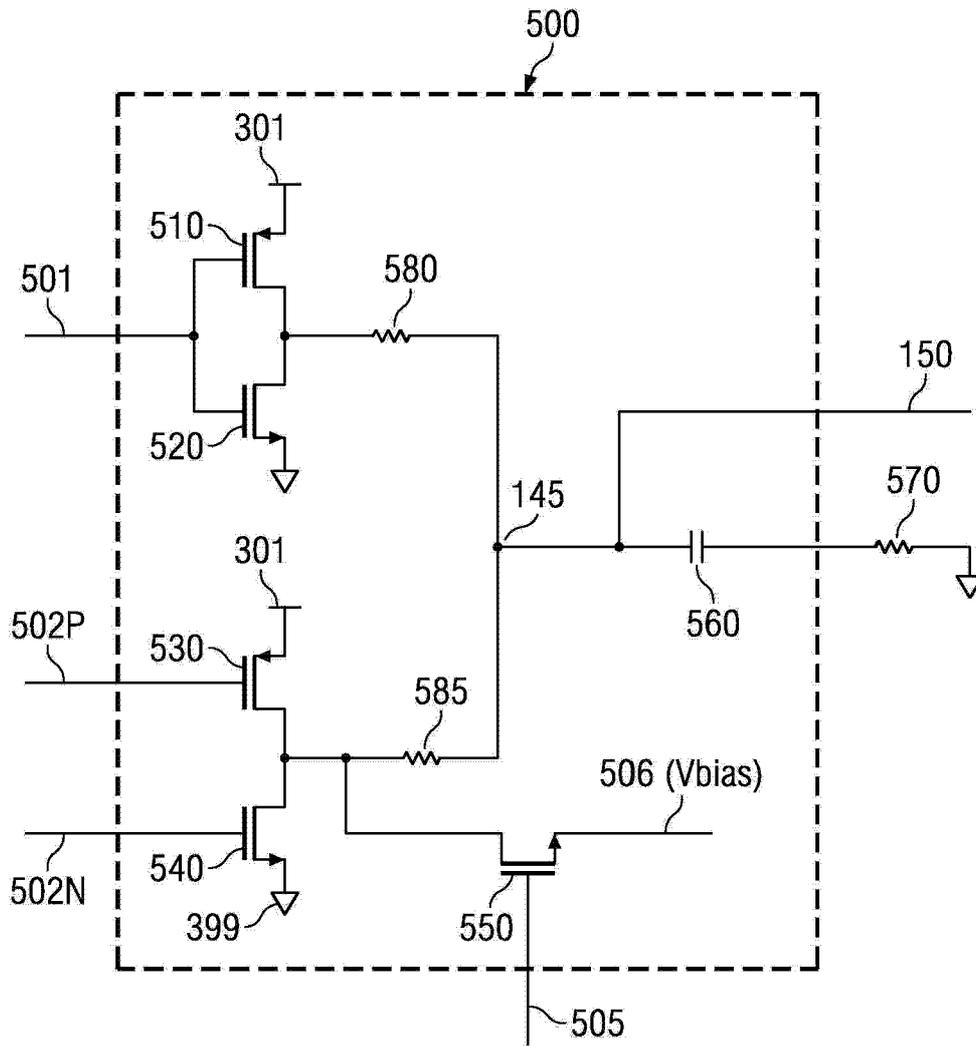


图 5