(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0137946
(43) 공개일자 2023년10월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/3225 (2016.01) *G09F 9/33* (2006.01)
H01L 29/786 (2006.01) *H10B 12/00* (2023.01)
H10B 80/00 (2023.01) *H10K 59/121* (2023.01)
H10K 59/32 (2023.01)
(52) CPC특허분류
G09G 3/3225 (2013.01)
G09F 9/335 (2021.05)
(21) 출원번호 10-2023-7028347
(22) 출원일자(국제) 2022년01월25일
심사청구일자 없음
(85) 번역문제출일자 2023년08월21일
(86) 국제출원번호 PCT/IB2022/050612
(87) 국제공개번호 WO 2022/167893
국제공개일자 2022년08월11일
(30) 우선권주장
JP-P-2021-017187 2021년02월05일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
이케다 다카유키
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
오누키 다츠야
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

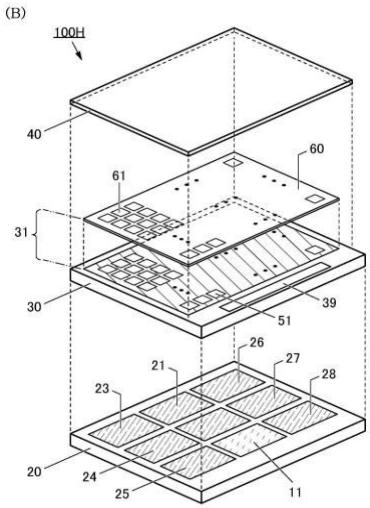
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

신규 반도체 장치를 제공한다. 제 1 층과, 제 1 층 위의 제 2 층과, 제 2 층 위의 제 3 층을 갖는 반도체 장치이고, 제 1 층은 제 1 트랜지스터를 포함하는 기능 회로를 갖고, 제 2 층은 제 2 트랜지스터를 포함하는 복수의 화소 회로를 갖고, 제 3 층은 복수의 발광 소자를 갖고, 복수의 화소 회로 중 하나는 복수의 발광 소자 중 하나와 전기적으로 접속되고, 기능 회로는 화소 회로의 동작을 제어하는 기능을 갖고, 화소 회로는 발광 소자의 발광 휘도를 제어하는 기능을 갖는다.

대 표 도



(52) CPC특허분류
H01L 29/786 (2021.01)
H10B 12/00 (2023.02)
H10B 80/00 (2023.08)
H10K 59/1213 (2023.02)
H10K 59/32 (2023.02)
G09G 2320/0626 (2013.01)

(30) 우선권주장
JP-P-2021-024487 2021년02월18일 일본(JP)
JP-P-2021-025502 2021년02월19일 일본(JP)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 층과, 상기 제 1 층 위의 제 2 층과, 상기 제 2 층 위의 제 3 층을 갖고,

상기 제 1 층은 제 1 트랜지스터를 포함하는 기능 회로를 갖고,

상기 제 2 층은 제 2 트랜지스터를 포함하는 복수의 화소 회로를 갖고,

상기 제 3 층은 복수의 발광 소자를 갖고,

상기 복수의 화소 회로 중 하나는 상기 복수의 발광 소자 중 하나와 전기적으로 접속되고,

상기 기능 회로는 상기 화소 회로의 동작을 제어하는 기능을 갖고,

상기 화소 회로는 상기 발광 소자의 발광 휘도를 제어하는 기능을 갖는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는 Si 트랜지스터이고,

상기 제 2 트랜지스터는 Si 트랜지스터인, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 층과 상기 제 2 층은 Cu-Cu 결합으로 접속되는 영역을 갖는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 트랜지스터는 Si 트랜지스터이고,

상기 제 2 트랜지스터는 OS 트랜지스터인, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 기능 회로는 CPU, GPU, 초해상 회로, 센서 회로, 통신 회로, 및 입출력 회로 중 적어도 하나를 갖는, 반도체 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 발광 소자는 유기 EL 소자인, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 발광 소자는 탠덤 구조를 갖는, 반도체 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 복수의 화소 회로와 상기 복수의 발광 소자를 포함하는 영역은 대각 0.5인치 이상 2.0인치 이하인, 반도체 장치.

청구항 9

반도체 장치로서,

제 1 층과, 상기 제 1 층 위의 제 2 층과, 상기 제 2 층 위의 제 1 부재를 갖고,

상기 제 1 층은 기능 회로를 갖고,

상기 제 2 층은 복수의 화소를 포함하는 표시부와 복수의 기억부를 갖고,

상기 복수의 화소 각각은 화소 회로와 상기 화소 회로 위의 발광 소자를 갖고,

상기 복수의 기억부는 상기 표시부의 외주의 적어도 일부를 따라 배치되고,

상기 표시부와 상기 복수의 기억부는 상기 제 1 부재로 덮여 있는, 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 기억부는 밀봉 영역에 배치되어 있는, 반도체 장치.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 표시부는 대각 0.5인치 이상 2.0인치 이하인, 반도체 장치.

청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 기억부는 DRAM을 포함하는, 반도체 장치.

청구항 13

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 발광 소자는 유기 EL 소자인, 반도체 장치.

청구항 14

제 9 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 발광 소자는 탠덤 구조를 갖는, 반도체 장치.

청구항 15

제 9 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 부재는 투광성을 갖는, 반도체 장치.

청구항 16

반도체 장치로서,

제 1 층과, 상기 제 1 층 위의 제 2 층과, 상기 제 2 층 위의 제 3 층을 갖고,

상기 제 1 층은 복수의 메모리 셀을 포함하는 기억부를 갖고,

상기 제 2 층은 기능 회로를 갖고,

상기 제 3 층은 복수의 화소를 포함하는 표시부를 갖고,

상기 기능 회로는 기억부 구동 회로와 표시부 구동 회로를 갖고,

상기 복수의 화소 각각은 화소 회로와 상기 화소 회로 위의 발광 소자를 갖는, 반도체 장치.

청구항 17

제 16 항에 있어서,

상기 메모리 셀은 제 1 트랜지스터를 갖고,

상기 기능 회로는 제 2 트랜지스터를 갖고,

상기 화소 회로는 제 3 트랜지스터를 갖고,

상기 제 1 트랜지스터가 포함하는 제 1 반도체층의 조성과 상기 제 2 트랜지스터가 포함하는 제 2 반도체층의 조성은 상기 제 3 트랜지스터가 포함하는 제 3 반도체층의 조성과 상이한, 반도체 장치.

청구항 18

제 16 항 또는 제 17 항에 있어서,

상기 기억부는 DRAM을 포함하는, 반도체 장치.

청구항 19

제 16 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 발광 소자는 유기 EL 소자인, 반도체 장치.

청구항 20

제 19 항에 있어서,

상기 발광 소자는 탠덤 구조를 갖는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태가 속하는 기술분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] 근년, 표시 장치의 고정세(高精細)화가 요구되고 있다. 고정세의 표시 장치가 요구되는 기기로서, 예를 들어 가상 현실(VR: Virtual Reality)용, 증강 현실(AR: Augmented Reality)용, 대체 현실(SR: Substitutional Reality)용, 또는 복합 현실(MR: Mixed Reality)용 기기가 있고, 근년 활발하게 개발되고 있다. 이들 기기에 사용되는 표시 장치는 고정세화와 아울러 소형화가 요구되고 있다.

[0004] VR, AR, SR, 및 MR를 xR라고 총칭하기도 한다. xR용 표시 장치로서는 유기 EL(Electro Luminescence) 소자 또는 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자를 갖는 발광 장치, 및 액정 표시 장치 등을 들 수 있다.

[0005] 예를 들어 유기 EL 소자의 기본적인 구성은, 한 쌍의 전극 사이에 발광성 유기 화합물을 포함하는 층을 끼운 것이다. 이 소자에 전압을 인가함으로써 발광성 유기 화합물로부터 발광을 얻을 수 있다. 이러한 유기 EL 소자가 적용된 표시 장치에서는 액정 표시 장치 등에서 필요한 백라이트가 불필요하기 때문에, 얇고, 가볍고, 콘트라스트가 높고, 소비 전력이 낮은 표시 장치를 실현할 수 있다. 예를 들어 유기 EL 소자를 사용한 표시 장치의 일례가 특허문헌 1에 기재되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2002-324673호

발명의 내용

해결하려는 과제

[0007] xR용 표시 장치는 소형화, 저소비 전력화, 및 다기능화 등이 요구되고 있다.

[0008] 본 발명의 일 형태는 소형화된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 높은 색재현성이 실현된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 고정세(高精細)의 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 발광 휘도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

과제의 해결 수단

[0010] (1) 본 발명의 일 형태는 제 1 층과, 제 1 층 위의 제 2 층과, 제 2 층 위의 제 3 층을 갖고, 제 1 층은 제 1 트랜지스터를 포함하는 기능 회로를 갖고, 제 2 층은 제 2 트랜지스터를 포함하는 복수의 화소 회로를 갖고, 제 3 층은 복수의 발광 소자를 갖고, 복수의 화소 회로 중 하나는 복수의 발광 소자 중 하나와 전기적으로 접속되고, 기능 회로는 화소 회로의 동작을 제어하는 기능을 갖고, 화소 회로는 발광 소자의 발광 휘도를 제어하는 기능을 갖는 반도체 장치이다.

[0011] 또한 (1)에 있어서, 제 1 트랜지스터 및 제 2 트랜지스터로서 Si 트랜지스터를 사용하여도 좋다. 제 1 층과 제 2 층은 Cu-Cu 결합으로 접속되는 영역을 가져도 좋다.

[0012] 또한 (1)에 있어서, 제 2 트랜지스터로서 OS 트랜지스터를 사용하여도 좋다.

[0013] (2) 본 발명의 다른 일 형태는 제 1 층과, 제 1 층 위의 제 2 층과, 제 2 층 위의 제 1 부재를 갖고, 제 1 층은 기능 회로를 갖고, 제 2 층은 복수의 화소를 포함하는 표시부와 복수의 기억부를 갖고, 복수의 화소 각각은 화소 회로와 화소 회로 위의 발광 소자를 갖고, 복수의 기억부는 표시부의 외주의 적어도 일부를 따라 배치되고, 표시부와 복수의 기억부는 제 1 부재로 덮여 있는 반도체 장치이다. (2)에 있어서, 기억부는 밀봉 영역에 배치되는 것이 바람직하다. (2)에 있어서, 제 3 층은 투광성을 가져도 좋다.

[0014] (3) 본 발명의 일 형태는 제 1 층과, 제 1 층 위의 제 2 층과, 제 2 층 위의 제 3 층을 갖고, 제 1 층은 복수의 메모리 셀을 포함하는 기억부를 갖고, 제 2 층은 기능 회로를 갖고, 제 3 층은 복수의 화소를 포함하는 표시부를 갖고, 기능 회로는 기억부 구동 회로와 표시부 구동 회로를 갖고, 복수의 화소 각각은 화소 회로와 화소 회로 위의 발광 소자를 갖는 반도체 장치이다.

[0015] 또한 (3)에 있어서, 메모리 셀은 제 1 트랜지스터를 갖고, 기능 회로는 제 2 트랜지스터를 갖고, 화소 회로는 제 3 트랜지스터를 갖는다. 예를 들어 제 1 트랜지스터가 포함하는 제 1 반도체층의 조성과 제 2 트랜지스터가 포함하는 제 2 반도체층의 조성은 제 3 트랜지스터가 포함하는 제 3 반도체층의 조성과 상이하여도 좋다.

[0016] 상기 기억부는 DRAM을 포함하여도 좋다. 상기 발광 소자는 유기 EL 소자이어도 좋다. 발광 소자는 탠덤 구조를 가져도 좋다. 복수의 화소 회로와 복수의 발광 소자를 포함하는 영역은 대각 0.5인치 이상 2.0인치 이하인 것이 바람직하다. 바꿔 말하면, 표시부는 대각 0.5인치 이상 2.0인치 이하인 것이 바람직하다.

[0017] 상기 기능 회로는 CPU, GPU, 초해상 회로, 센서 회로, 통신 회로, 및 입출력 회로 중 적어도 하나를 가져도 좋다. 상기 제 1 부재는 투광성을 가져도 좋다.

발명의 효과

[0018] 본 발명의 일 형태에 의하여 소형화된 표시 장치를 제공할 수 있다. 또는 높은 색 재현성이 실현된 표시 장치를 제공할 수 있다. 또는 고정세(高精細)의 표시 장치를 제공할 수 있다. 또는 발광 휘도가 높은 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 신규 표시 장치를 제공할 수 있다.

[0019] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

도면의 간단한 설명

[0020] 도 1의 (A)는 반도체 장치의 구성예를 설명하는 사시도이다. 도 1의 (B)는 반도체 장치의 블록도이다.

도 2는 반도체 장치의 구성예를 설명하는 사시도이다.

도 3은 표시부 구동 회로의 구성예를 설명하는 블록도이다.

도 4의 (A) 및 (B1) 내지 (B6)은 표시부의 구성예를 설명하는 도면이다.

도 5의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.

도 6의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.

도 7은 반도체 장치의 구성예를 설명하는 사시도이다.

도 8의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 9의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 10의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 11의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 12의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 13의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 14의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 사시도이다.

도 15의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.

도 16의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.

도 17의 (A) 내지 (C)는 반도체 장치의 동작예를 설명하는 도면이다.

도 18은 반도체 장치의 구성예를 도시한 단면도이다.

도 19는 반도체 장치의 구성예를 도시한 단면도이다.

도 20은 반도체 장치의 구성예를 도시한 단면도이다.

도 21은 반도체 장치의 구성예를 도시한 단면도이다.

도 22는 반도체 장치의 구성예를 도시한 단면도이다.

도 23은 반도체 장치의 구성예를 도시한 단면도이다.

도 24는 반도체 장치의 구성예를 도시한 단면도이다.

도 25는 반도체 장치의 구성예를 도시한 단면도이다.

도 26은 반도체 장치의 구성예를 도시한 단면도이다.

도 27은 반도체 장치의 구성예를 도시한 단면도이다.

도 28은 반도체 장치의 구성예를 도시한 단면도이다.

도 29의 (A) 내지 (D)는 발광 소자의 구성예를 설명하는 도면이다.

도 30의 (A) 내지 (D)는 표시 장치의 구성예를 도시한 도면이다.

도 31의 (A) 내지 (D)는 표시 장치의 구성예를 도시한 도면이다.

도 32의 (A)는 트랜지스터의 구성예를 도시한 상면도이다. 도 32의 (B) 및 (C)는 트랜지스터의 구성예를 도시한 단면도이다.

도 33의 (A)는 결정 구조의 분류를 설명하는 도면이다. 도 33의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 33의 (C)는 CAAC-IGZO막의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 34의 (A) 내지 (E)는 전자 기기의 일례를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0022] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 갖는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함한 칩, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치인 경우나, 반도체 장치를 갖는 경우가 있다.

[0023] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0024] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온 상태와 오프 상태가 제어된다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 갖는다.

[0025] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.

[0026] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다.

[0027] 또한 예를 들어 'X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속된다'라고 표현할 수 있다. 또는 '트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다'라고 표현할 수 있다. 또는 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서

에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0028] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0029] 또한 본 명세서 등에서 '용량 소자'란, 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 0F보다 정전 용량의 값이 높은 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 '용량 소자'는 한 쌍의 전극과, 상기 전극 사이 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 '용량 소자', '기생 용량', '게이트 용량' 등이라는 용어는 '용량' 등의 용어로 바꿔 말할 수 있고, 반대로 '용량'이라는 용어는 '용량 소자', '기생 용량', '게이트 용량' 등의 용어로 바꿔 말할 수 있다. 또한 '용량'의 '한 쌍의 전극'이라는 용어는 '한 쌍의 도전체', '한 쌍의 도전 영역', '한 쌍의 영역' 등으로 바꿔 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0030] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 갖는다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 및 드레인이라는 용어는 바꿔 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, '소스 및 드레인 중 한쪽'(또는 제 1 전극 또는 제 1 단자), '소스 및 드레인 중 다른 쪽'(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 갖는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 '게이트'와 '백 게이트'라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 갖는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0031] 또한 본 명세서 등에서 '노드'는 회로 구성, 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 '노드'로 바꿔 말할 수 있다.

[0032] 또한 본 명세서 등에서 '제 1', '제 2', '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것은 아니다. 또한 구성 요소의 순서를 한정하는 것은 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 '제 1'로 언급된 구성 요소가 다른 실시형태 또는 청구범위 등에서 '제 2'로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 '제 1'로 언급된 구성 요소가 다른 실시형태 또는 청구범위 등에서 생략될 수도 있다.

[0033] 또한 본 명세서 등에서, '위에', '아래에', '위쪽에', 또는 '아래쪽에' 등의 배치를 나타내는 어구는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 '도전체의 상면에 위치하는 절연체'라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, '도전체의 하면에 위치하는 절연체'라고 바꿔 말할 수 있다.

[0034] 또한 '위' 및 '아래'의 용어는 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉하는 것을 한정하는 것은 아니다. 예를 들어 '절연층 A 위의 전극 B'라는 표현이면, 절연층 A 위에 전극 B가 직접 접촉하여 형성될 필요는 없고, 절연층 A와 전극 B 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0035] 또한 본 명세서 등에서 '막', '층' 등의 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 '도전층'이라는 용어를 '도전막'이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이

라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 '막', '층' 등의 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 '도전층' 또는 '도전막'이라는 용어를 '도전체'라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 '절연층', '절연막'이라는 용어를 '절연체'라는 용어로 변경할 수 있는 경우가 있다.

[0036] 또한 본 명세서 등에서 '전극', '배선', '단자' 등의 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어 '전극'은 '배선'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '전극' 또는 '배선'이라는 용어는 복수의 '전극' 또는 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 '단자'는 '배선' 또는 '전극'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '단자'라는 용어는 복수의 '전극', '배선', '단자' 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 '전극'은 '배선' 또는 '단자'의 일부가 될 수 있고, 예를 들어 '단자'는 '배선' 또는 '전극'의 일부가 될 수 있다. 또한 '전극', '배선', '단자' 등의 용어는 경우에 따라 '영역' 등의 용어로 치환되는 경우가 있다.

[0037] 또한 본 명세서 등에서 '배선', '신호선', '전원선' 등의 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 '배선'이라는 용어를 '신호선'이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 '배선'이라는 용어를 '전원선' 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호선', '전원선' 등의 용어를 '배선'이라는 용어로 변경할 수 있는 경우가 있다. '전원선' 등의 용어는 '신호선' 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호선' 등의 용어는 '전원선' 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 '전위'라는 용어를 경우 또는 상황에 따라 '신호' 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 '신호' 등의 용어는 '전위'라는 용어로 변경할 수 있는 경우가 있다.

[0038] 본 명세서에서 '평행'이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 '실질적으로 평행' 또는 '대략 평행'이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 '수직'이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 '실질적으로 수직' 또는 '대략 수직'이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0039] 본 명세서에 기재되는 실시형태에 대해서는 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 도면의 이해를 돕기 위하여, 사시도 또는 상면도 등에서는, 일부의 구성 요소의 기재를 생략하는 경우가 있다.

[0040] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 크기 또는 종횡비 등에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0041] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략한다. 또한 같은 기능을 갖는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0042] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있는 경우에는, 부호에 'A', 'b', '_1', '[n]', '[m, n]' 등의 식별용 부호를 붙여서 기재하는 경우가 있다.

[0043] (실시형태 1)

[0044] 본 발명의 일 형태에 따른 반도체 장치에 대하여 설명한다. 또한 본 발명의 일 형태에 따른 반도체 장치는 표시 장치로서 기능할 수 있다.

[0045] <반도체 장치(100A)의 구성예>

[0046] 도 1의 (A) 및 도 2는 본 발명의 일 형태에 따른 반도체 장치(100A)의 사시도이다. 도 1의 (B)는 반도체 장치(100A)의 구성을 설명하는 블록도이다. 반도체 장치(100A)는 층(10) 위의 층(20)과, 층(20) 위의 층(30)과, 층

(30) 위의 밀봉 기판(40)을 갖는다. 또한 층(30)은 복수의 화소 회로(51)를 갖고, 밀봉 기판(40)과 복수의 화소 회로(51) 사이에 층(60)이 제공되어 있다. 도 2에서는 반도체 장치(100A)의 구성을 명확하게 하기 위하여, 층(10), 층(20), 층(30), 층(60), 및 밀봉 기판(40) 등을 분리하여 나타내었다.

[0047] 층(10)은 기억부(11)를 갖는다. 또한 기억부(11)는 복수의 메모리 셀(12)을 갖는다. 메모리 셀(12)은 기억 소자로서 기능한다. 기억부(11)로서 다양한 기억 방식의 기억 장치를 사용할 수 있다. 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 상변화 메모리(PCM: Phase-Change Memory), 저항 변화형 메모리(ReRAM: Resistive Random Access Memory), 자기 저항 메모리(MRAM: Magnetoresistive Random Access Memory), 강유전체 메모리(FeRAM: Ferroelectric Random Access Memory), 반강유전체 메모리(Antiferroelectric Memory) 등을 사용하여도 좋다.

[0048] 또한 기억부(11)로서 플래시 메모리를 사용하여도 좋다. 또한 기억부(11)로서 NOSRAM(Nonvolaite Oxide Semiconductor Random Access Memory) 또는 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)을 사용하여도 좋다. NOSRAM 및 DOSRAM은 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(이하, 'OS 트랜지스터'라고도 함)를 사용한 기억 장치의 종류 중 하나이다.

[0049] 기억부(11)는 복수 종류의 기억 장치를 가져도 좋다. 예를 들어 비휘발성 기억 장치와 휘발성 기억 장치를 가져도 좋다. 기억부(11)는 반도체 장치(100A)에서 사용하는 각종 프로그램 및 반도체 장치(100A)의 동작에 필요한 데이터 등을 유지하는 기능을 갖는다.

[0050] 층(20)은 기능 회로(90)와 단자부(29)를 갖는다. 기능 회로(90)는 CPU(21)(Central Processing Unit), GPU(22)(Graphics Processing Unit), 표시부 구동 회로(23), 기억부 구동 회로(24), 초해상 회로(25), 센서 회로(26), 통신 회로(27), 및 입출력 회로(28)를 갖는다.

[0051] 또한 기능 회로(90)는 이들 구성을 모두 가질 필요는 없고, 이들 이외의 구성을 가져도 좋다. 예를 들어 복수의 상이한 전위를 생성하는 전위 생성 회로 및/또는 반도체 장치(100A)에 포함되는 회로마다 전력의 공급 및 정지를 제어하는 파워 매니지먼트 회로 등을 가져도 좋다. 전력의 공급 및 정지는 CPU(21)를 구성하는 회로마다 수행하여도 좋다. 예를 들어 CPU(21)를 구성하는 회로 중 한동안 사용하지 않는다고 판단된 회로에 대한 전력 공급을 정지하고, 필요할 때에 전력 공급을 재개함으로써 소비 전력을 저감할 수 있다. 전력 공급을 재개할 때에 필요한 데이터는 상기 회로를 정지하기 전에 CPU(21) 내의 기억 회로 또는 기억부(11) 등에 기억해 두면 좋다. 회로를 복귀시키는 데 필요한 데이터를 기억해 둠으로써, 정지한 회로를 고속으로 복귀시킬 수 있다. 또한 클록 신호의 공급을 정지함으로써 회로 동작을 정지시켜도 좋다.

[0052] 또한 기능 회로(90)는 DSP(Digital Signal Processor) 및/또는 FPGA(Field Programmable Gate Array) 등을 가져도 좋다.

[0053] CPU(21)는 GPU(22) 및 층(20)에 제공된 회로의 동작을 기억부(11)에 기억된 프로그램에 따라 제어하는 기능을 갖는다. GPU(22)는 화상 데이터를 형성하기 위한 연산 처리를 수행하는 기능을 갖는다. 또한 GPU(22)는 많은 행렬 연산(적화 연산(product-sum operation))을 병행하여 수행할 수 있기 때문에, 예를 들어 신경망을 사용한 연산 처리를 고속으로 수행할 수 있다. GPU(22)는 예를 들어 기억부(11)에 기억되어 있는 보정 데이터를 사용하여 화상 데이터를 보정하는 기능을 갖는다. 예를 들어 GPU(22)는 밝기, 색조, 및/또는 콘트라스트 등을 보정한 화상 데이터를 생성하는 기능을 갖는다.

[0054] 표시부 구동 회로(23)는 층(30)에 포함되는 복수의 화소 회로(51)와 전기적으로 접속되고, 복수의 화소 회로(51)에 화상 데이터를 공급하는 기능을 갖는다. 표시부 구동 회로(23)에는, 시프트 레지스터, 레벨 시프터, 인버터, 래치, 아날로그 스위치, 또는 논리 회로 등의 다양한 회로를 사용할 수 있다.

[0055] 또는 층(60)은 층(30)과 중첩되어 제공되어 있다. 층(60)은 복수의 발광 소자(61)를 갖는다. 하나의 발광 소자(61)와 하나의 화소 회로(51)가 전기적으로 접속되고, 하나의 화소로서 기능한다. 화소 회로(51)에 의하여 발광 소자(61)의 발광 휘도가 제어된다. 또한 복수의 화소로 표시부(31)가 구성된다. 즉 표시부(31)는 복수의 화소를 갖는다고 할 수도 있다. 또한 층(60)이 층(30)에 포함되어도 좋다. 이 경우 표시부(31)가 층(30)에 포함된다고 할 수 있다. 또한 화소 회로(51) 및 발광 소자(61)에 대해서는 후술한다.

[0056] 초해상 회로(25)는 표시부(31)에 포함되는 임의의 화소의 전위를 상기 화소의 주위에서의 화소의 전위와, 가중치의 적화 연산에 따라 결정하는 기능을 갖는다. 초해상 회로(25)는 해상도가 표시부(31)보다 낮은 화상 데이터를 업컨버트하는 기능을 갖는다. 또한 초해상 회로(25)는 해상도가 표시부(31)보다 높은 화상 데이터를 다운

컨버트하는 기능을 갖는다.

[0057] 또한 화상 데이터의 업컨버트 또는 다운컨버트는 GPU(22)에서 수행할 수도 있지만, 초해상 회로(25)를 가짐으로써 GPU(22)에 대한 부하를 저감할 수 있다. 예를 들어 GPU(22)에서는 2K 해상도(또는 4K 해상도)까지의 처리를 수행하고, 초해상 회로(25)에서 4K 해상도(또는 8K 해상도)로 업컨버트함으로써 GPU(22)에 대한 부하를 저감할 수 있다. 또한 반도체 장치(100A)의 처리 속도를 높일 수 있다.

[0058] 기억부 구동 회로(24)는 층(10)에 포함되는 기억부(11)와 전기적으로 접속되고, 기억부(11)에 데이터를 기록하는 기능과 기억부(11)로부터 데이터를 판독하는 기능을 갖는다.

[0059] 센서 회로(26)는 사람의 시각, 청각, 촉각, 미각, 및 후각 중 어느 하나 또는 복수의 정보를 취득하는 기능을 갖는다. 더 구체적으로는 센서 회로(26)는 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 자기, 온도, 음성, 시간, 전기장, 전류, 전압, 전력, 방사선, 습도, 경사도, 진동, 냄새, 및 적외선을 검지하거나 측정하는 기능 중 적어도 하나를 갖는다. 또한 센서 회로(26)는 이들 이외의 기능을 가져도 좋다.

[0060] 통신 회로(27)는 무선 또는 유선으로 통신하는 기능을 갖는다. 특히 무선으로 통신하는 기능을 가지면, 접속을 위한 케이블 등의 부품 점수를 삭감할 수 있기 때문에 바람직하다.

[0061] 통신 회로(27)가 무선으로 통신하는 기능을 갖는 경우, 통신 회로(27)는 안테나를 통하여 통신을 수행할 수 있다. 또한 통신 프로토콜 또는 통신 기술로서, LTE(Long Term Evolution), GSM(Global System for Mobile Communication: 등록 상표), EDGE(Enhanced Data Rates for GSM Evolution), CDMA2000(Code Division Multiple Access 2000), W-CDMA(등록 상표) 등의 통신 규격, 또는 Wi-Fi(등록 상표), Bluetooth(등록 상표), ZigBee(등록 상표) 등의 IEEE에 의하여 통신 규격화된 사양을 사용할 수 있다.

[0062] 통신 회로(27)는 World Wide Web(WWW)의 기반인 인터넷, 인트라넷, 엑스트라넷, PAN(Personal Area Network), LAN(Local Area Network), CAN(Campus Area Network), MAN(Metropolitan Area Network), WAN(Wide Area Network), GAN(Global Area Network) 등의 컴퓨터 네트워크를 통하여 반도체 장치(100A)를 다른 기기와 접속시켜, 정보의 입출력을 수행할 수 있다.

[0063] 입출력 회로(28)는 단자부(29)를 통하여 반도체 장치(100A)에 공급되는 신호를 CPU(21) 및/또는 GPU(22) 등의 각 회로에 분배하는 기능을 갖는다. 또한 입출력 회로(28)는 통신 회로(27)를 통하여 반도체 장치(100A)에 공급되는 신호를 CPU(21) 및/또는 GPU(22) 등의 각 회로에 분배하는 기능을 갖는다.

[0064] 또한 입출력 회로(28)는 단자부(29)를 통하여 외부에 신호를 출력하는 기능을 갖는다. 또한 입출력 회로(28)는 통신 회로(27)를 통하여 외부에 신호를 출력하는 기능을 갖는다.

[0065] 단자부(29)에는 FPC(Flexible printed circuits) 등이 전기적으로 접속되기 때문에, 단자부(29)와 중첩되는 영역에 층(30) 및 밀봉 기판(40)은 형성되지 않는다.

[0066] 도 3은 표시부 구동 회로(23)의 구성예를 설명하는 블록도이다. 표시부 구동 회로(23)는 제어 회로(71), 타이밍 컨트롤러(72), 직렬 병렬 변환 회로(73), 래치 회로(74), DAC(75), 증폭 회로(76), 제 1 구동 회로(232), 및 제 2 구동 회로(233)를 갖는다. 또한 표시부 구동 회로(23)는 이들 구성을 모두 가질 필요는 없고, 이들 이외의 구성을 가져도 좋다.

[0067] 제어 회로(71)는 타이밍 컨트롤러(72), 직렬 병렬 변환 회로(73), 래치 회로(74), DAC(75), 증폭 회로(76), 제 1 구동 회로(232), 및 제 2 구동 회로(233)와 전기적으로 접속되고, 표시부 구동 회로(23)의 동작을 제어하는 기능을 갖는다. 예를 들어 DAC(75)의 출력 특성을 조정하거나 표시 화상을 갱신하지 않을 때에 증폭 회로(76)를 정지하는 것 등을 제어한다. 또한 제어 회로(71)는 표시부(31)를 복수의 부화면으로 분할하여 구동하는 경우에, 부화면마다 상기 동작을 제어하는 기능을 갖는다. 또한 제어 회로(71)는 GPU(22) 및 초해상 회로(25) 등에서 사용하는 가중치의 설정 조건 등을 부화면마다 제어하는 기능을 가져도 좋다.

[0068] 타이밍 컨트롤러(72)는 프레임 주파수에 따라 표시 화상을 갱신하는 타이밍을 제어하는 기능을 갖는다. 표시부(31)를 복수의 부화면으로 분할하여 구동하는 경우, 타이밍 컨트롤러(72)는 부화면마다 표시 화상을 갱신하는 타이밍을 제어하는 기능을 갖는다.

[0069] 직렬 병렬 변환 회로(73)는 직렬 전송(傳送) 방식으로 입력된 디지털 화상 신호를 신호선(예를 들어 후술하는 배선(237))마다 분배하는 기능을 갖는다. 분배된 디지털 화상 신호는 일시적으로 래치 회로(74)에 유지되고, 그 후 DAC(75)에 의하여 아날로그 화상 신호로 변환된다. 아날로그 화상 신호는 증폭 회로(76)로 증폭되고, 신

호선에 공급된다.

[0070] 도 4의 (A)는 표시부 구동 회로(23)와 표시부(31)의 접속 관계를 설명하는 블록도이다.

[0071] 표시부 구동 회로(23)는 제 1 구동 회로(232) 및 제 2 구동 회로(233)를 갖는다. 제 1 구동 회로(232) 회로는 예를 들어 주사선 구동 회로로서 기능한다. 제 2 구동 회로(233) 회로는 예를 들어 신호선 구동 회로로서 기능한다. 또한 표시부(31)를 끼워 제 1 구동 회로(232)와 대향하는 위치에 어떤 회로를 제공하여도 좋다. 표시부(31)를 끼워 제 2 구동 회로(233)와 대향하는 위치에 어떤 회로를 제공하여도 좋다.

[0072] 또한 표시부 구동 회로(23)를 '주변 구동 회로'라고 하는 경우가 있다. 주변 구동 회로에는, 시프트 레지스터, 레벨 시프터, 인버터, 래치, 아날로그 스위치, 논리 회로 등의 다양한 회로를 사용할 수 있다. 주변 구동 회로에는 트랜지스터 및 용량 소자 등을 사용할 수 있다.

[0073] 또한 표시부(31)는 각각이 실질적으로 평행하게 배치되고, 또한 제 1 구동 회로(232) 회로에 의하여 전위가 제어되는 m개(m은 1 이상의 정수임)의 배선(236)과, 각각이 실질적으로 평행하게 배치되고, 또한 제 2 구동 회로(233) 회로에 의하여 전위가 제어되는 n개(n은 1 이상의 정수임)의 배선(237)을 갖는다. 배선(236)은 제 1 구동 회로(232)와 전기적으로 접속된다. 배선(237)은 제 2 구동 회로(233)와 전기적으로 접속된다.

[0074] 표시부(31)는 매트릭스 형태로 배치된 복수의 화소(230)를 갖는다. 예를 들어 적색광을 제어하는 화소(230), 녹색광을 제어하는 화소(230), 및 청색광을 제어하는 화소(230)를 합쳐 하나의 화소(240)로서 기능시키고, 각각의 화소(230)의 발광량(발광 휘도)을 제어함으로써, 풀 컬러 표시를 실현할 수 있다. 따라서 상기 3개의 화소(230)는 각각이 부화소로서 기능한다. 즉 3개의 부화소는 각각이 적색광, 녹색광, 또는 청색광의 발광량 등을 제어한다(도 4의 (B1) 참조). 또한 3개의 부화소 각각이 제어하는 광의 색은 적색(R), 녹색(G), 청색(B)의 조합에 한정되지 않고, 시안(C), 마젠타(M), 황색(Y)이어도 좋다(도 4의 (B2) 참조). 또한 3개의 부화소 각각의 면적은 같지 않아도 된다. 발광색에 따라 발광 효율 및 신뢰성 등이 상이한 경우, 발광색마다 부화소의 면적을 변경하여도 좋다(도 4의 (B3) 참조). 또한 도 4의 (B3)에 도시된 부화소의 배치의 구성을 'S 스트라이프 배열'이라고 불러도 좋다.

[0075] 또한 4개의 부화소를 합쳐 하나의 화소로서 기능시켜도 좋다. 예를 들어 적색광, 녹색광, 청색광을 각각 제어하는 3개의 부화소에 백색광을 제어하는 부화소를 더하여도 좋다(도 4의 (B4) 참조). 백색광을 제어하는 부화소를 더함으로써, 표시 영역의 휘도를 높일 수 있다. 또한 적색광, 녹색광, 청색광을 각각 제어하는 3개의 부화소에 황색광을 제어하는 부화소를 더하여도 좋다(도 4의 (B5) 참조). 또한 시안색광, 마젠타색광, 황색광을 각각 제어하는 3개의 부화소에 백색광을 제어하는 부화소를 더하여도 좋다(도 4의 (B6) 참조).

[0076] 하나의 화소로서 기능시키는 부화소의 수를 늘리고, 적색, 녹색, 청색, 시안, 마젠타, 및 황색 등의 광을 제어하는 부화소를 적절히 조합하여 사용함으로써, 중간조의 재현성을 높일 수 있다. 따라서 색 재현성을 높일 수 있다.

[0077] 또한 본 발명의 일 형태의 표시 장치는 다양한 규격의 색역을 재현할 수 있다. 예를 들어 텔레비전 방송에 사용되는 PAL(Phase Alternating Line) 규격 및 NTSC(National Television System Committee) 규격, 퍼스널 컴퓨터, 디지털 카메라, 프린터 등의 전자 기기에 사용되는 표시 장치에서 널리 사용되는 sRGB(standard RGB) 규격 및 Adobe RGB 규격, HDTV(High Definition Television, 하이비전이라고도 함)에 사용되는 ITU-R BT.709(International Telecommunication Union Radiocommunication Sector Broadcasting Service(Television) 709) 규격, 디지털 시네마 영사에 사용되는 DCI-P3(Digital Cinema Initiatives P3) 규격, UHDTV(Ultra High Definition Television, 슈퍼 하이비전이라고도 함)에 사용되는 ITU-R BT.2020(REC.2020(Recommendation 2020)) 규격 등의 색역을 재현할 수 있다.

[0078] 또한 화소(240)를 1920×1080의 매트릭스 형태로 배치하면, 소위 풀 하이비전('2K 해상도', '2K1K', 또는 '2K' 등이라고도 불림)의 해상도로 풀 컬러 표시를 할 수 있는 표시부(31)를 실현할 수 있다. 또한 예를 들어 화소(240)를 3840×2160의 매트릭스 형태로 배치하면, 소위 울트라 하이비전('4K 해상도', '4K2K', 또는 '4K' 등이라고도 불림)의 해상도로 풀 컬러 표시를 할 수 있는 표시부(31)를 실현할 수 있다. 또한 예를 들어 화소(240)를 7680×4320의 매트릭스 형태로 배치하면, 소위 슈퍼 하이비전('8K 해상도', '8K4K', 또는 '8K' 등이라고도 불림)의 해상도로 풀 컬러 표시를 할 수 있는 표시부(31)를 실현할 수 있다. 화소(240)를 늘림으로써 16K 또는 32K의 해상도로 풀 컬러 표시를 할 수 있는 표시부(31)를 실현할 수도 있다.

[0079] 또한 표시부(31)의 화소 밀도(정세도)는 1000ppi 이상 10000ppi 이하인 것이 바람직하다. 예를 들어 2000ppi

이상 6000ppi 이하이어도 좋고, 3000ppi 이상 5000ppi 이하이어도 좋다.

[0080] 또한 표시부(31)의 화면 비율(종횡비)은 특별히 한정되지 않는다. 반도체 장치(100A)의 표시부(31)는 예를 들어 1:1(정사각형), 4:3, 16:9, 16:10 등 다양한 화면 비율에 대응할 수 있다.

[0081] 또한 반도체 장치(100A)를 xR용 표시 장치로서 사용하는 경우, 표시부(31)를 대각 0.1인치 이상 5.0인치 이하로, 바람직하게는 0.5인치 이상 2.0인치 이하로, 더 바람직하게는 1인치 이상 1.7인치 이하로 할 수 있다. 예를 들어 표시부(31)를 대각 1.5인치 또는 1.5인치 근방으로 하여도 좋다. 표시부(31)를 대각 2.0인치 이하로, 바람직하게는 1.5인치 근방으로 함으로써 노광 장치(대표적으로는 스캐너 장치)에 의한 한 번의 노광 처리로 처리를 마칠 수 있기 때문에, 제조 공정의 생산성을 향상시킬 수 있다.

[0082] 도 5에 화소(230)의 회로 구성예를 나타내었다. 화소(230)는 화소 회로(51) 및 발광 소자(61)를 갖는다. 도 5의 (A)는 화소(230)에 포함되는 각 소자의 접속을 나타낸 도면이다. 도 5의 (B)는 표시부 구동 회로(23)를 갖는 층(20), 화소 회로(51)를 갖는 층(30), 및 발광 소자(61)를 갖는 층(60)의 상하 관계를 모식적으로 나타낸 도면이다.

[0083] 도 5의 (A) 및 (B)에 일례로서 나타낸 화소 회로(51)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 및 용량 소자(53)를 갖는다. 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C)는 OS 트랜지스터로 할 수 있다. 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C)의 각 OS 트랜지스터는 백 게이트 전극을 갖는 것이 바람직하고, 이 경우에는 백 게이트 전극과 게이트 전극에 같은 신호 또는 다른 신호를 공급할 수 있다.

[0084] 트랜지스터(52B)는 트랜지스터(52A)와 전기적으로 접속되는 게이트 전극과, 발광 소자(61)와 전기적으로 접속되는 제 1 단자와, 배선(ANO)과 전기적으로 접속되는 제 2 단자를 갖는다. 배선(ANO)은 발광 소자(61)에 전류를 공급하기 위한 전위를 공급하는 배선이다.

[0085] 트랜지스터(52A)는 트랜지스터(52B)의 게이트 전극과 전기적으로 접속되는 제 1 단자와, 소스선으로서 기능하는 배선(SL)과 전기적으로 접속되는 제 2 단자를 갖고, 게이트선으로서 기능하는 배선(GL1)의 전위에 기초하여 도통 상태 또는 비도통 상태를 제어하는 기능을 갖는다.

[0086] 트랜지스터(52C)는 배선(V0)과 전기적으로 접속되는 제 1 단자와, 발광 소자(61)와 전기적으로 접속되는 제 2 단자를 갖고, 게이트선으로서 기능하는 배선(GL2)의 전위에 기초하여 도통 상태 또는 비도통 상태를 제어하는 기능을 갖는다. 배선(V0)은 기준 전위를 공급하기 위한 배선 및 화소 회로(51)를 흐르는 전류를 표시부 구동 회로(23)에 출력하기 위한 배선이다.

[0087] 용량 소자(53)는 트랜지스터(52B)의 게이트 전극과 전기적으로 접속되는 도전막과, 트랜지스터(52C)의 제 2 단자와 전기적으로 접속되는 도전막을 갖는다.

[0088] 발광 소자(61)는 트랜지스터(52B)의 제 1 단자와 전기적으로 접속되는 제 1 전극과, 배선(VCOM)과 전기적으로 접속되는 제 2 전극을 갖는다. 배선(VCOM)은 발광 소자(61)에 전류를 공급하기 위한 전위를 공급하는 배선이다.

[0089] 이로써 트랜지스터(52B)의 게이트 전극에 공급되는 화상 신호에 따라 발광 소자(61)로부터 사출되는 광의 강도를 제어할 수 있다. 또한 트랜지스터(52C)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(52B)의 게이트-소스 간 전위의 편차를 억제할 수 있다.

[0090] 또한 화소 파라미터의 설정에 사용할 수 있는 전류값을 배선(V0)으로부터 출력할 수 있다. 더 구체적으로는, 배선(V0)은 트랜지스터(52B)를 흐르는 전류 또는 발광 소자(61)를 흐르는 전류를 외부에 출력하기 위한 모니터 선으로서 기능할 수 있다. 배선(V0)에 출력된 전류는 소스 폴로어 회로 등에 의하여 전압으로 변환하여도 좋다.

[0091] 발광 소자(61)로서는 LED(Light Emitting Diode) 또는 OLED(Organic Light Emitting Diode. '유기 EL 소자' 또는 'OEL'이라고도 함) 등의 자발광형 표시 소자를 사용할 수 있다. 또한 발광 소자(61)로서 마이크로 LED, QLED(Quantum-dot Light Emitting Diode), 반도체 레이저 등의 자발광형 발광 소자를 사용하여도 좋다.

[0092] 또한 도 5의 (B)에 나타낸 구성예에서는, 화소 회로(51)와 표시부 구동 회로(23)를 전기적으로 접속하는 배선을 짧게 할 수 있기 때문에, 상기 배선의 배선 저항을 감소시킬 수 있다. 또한 상기 배선의 기생 용량을 감소시킬 수 있다. 따라서 데이터의 기록을 고속으로 수행할 수 있기 때문에, 표시부(31)를 고속으로 구동시킬 수 있다. 이로써 화소 회로(51)의 개수가 많아도 충분한 프레임 기간을 확보할 수 있기 때문에, 표시부(31)의 화소 밀도

를 높일 수 있다. 또한 표시부(31)의 화소 밀도를 높임으로써, 표시부(31)에 표시되는 화상의 정세도를 높일 수 있다. 예를 들어 표시부(31)의 화소 밀도는 1000ppi 이상, 5000ppi 이상, 또는 7000ppi 이상으로 할 수 있다. 따라서 반도체 장치(100A)를 예를 들어 AR 또는 VR 등의 xR용 표시 장치에 사용할 수 있다. 본 발명의 일 형태에 따른 반도체 장치(100A)는 HMD 등 표시부와 사용자의 거리가 가까운 전자 기기에 적합하게 적용할 수 있다.

[0093] 도 6의 (A)에 도 5의 (A)에 나타낸 화소(230)의 회로 구성의 변형예를 나타내었다. 도 6의 (A)에 나타낸 회로 구성은 도 5의 (A)에 나타낸 회로 구성에서 트랜지스터(52C), 배선(GL2), 및 배선(V0)을 제외한 구성이다.

[0094] 또한 도 6의 (B)에 나타낸 바와 같이, 트랜지스터(52A)에 백 게이트를 갖는 트랜지스터를 사용하여 백 게이트와 게이트를 전기적으로 접속하여도 좋다. 또한 도 6의 (B)에 나타낸 트랜지스터(52B)와 같이, 트랜지스터의 소스 및 드레인 중 한쪽과 백 게이트를 전기적으로 접속하여도 좋다.

[0095] 상술한 바와 같이 본 발명의 일 형태의 반도체 장치(100A)는 표시부(31), 기능 회로(90), 및 기억부(11)를 적층한 구성을 갖는다. 표시부(31), 기능 회로(90), 및 기억부(11)를 적층함으로써 반도체 장치(100A)의 소형화를 실현할 수 있다. 또한 표시부 구동 회로(23)를 표시부(31)와 중첩하여 제공함으로써, 표시부(31) 주위의 베젤의 폭을 매우 좁게 할 수 있기 때문에, 표시부(31)의 면적을 확대할 수 있다. 따라서 표시부(31)의 해상도를 높일 수 있다. 따라서 반도체 장치(100A)의 표시 품위를 높일 수 있다.

[0096] 또한 표시부(31)의 해상도가 일정한 경우, 화소 하나당 점유 면적을 확대할 수 있다. 따라서 표시부(31)의 발광 휘도를 높일 수 있다. 또한 화소의 개구율을 높일 수 있다. 예를 들어 화소의 개구율을 40% 이상 100% 미만으로, 바람직하게는 50% 이상 95% 이하로, 더 바람직하게는 60% 이상 95% 이하로 할 수 있다. 또한 화소 하나당 점유 면적을 확대함으로써, 화소에 공급하는 전류 밀도를 저감할 수 있다. 따라서 화소에 가해지는 부하가 경감되어, 반도체 장치(100A)의 신뢰성을 높일 수 있다.

[0097] 또한 표시부(31), 기능 회로(90), 및 기억부(11)를 적층함으로써 각각을 전기적으로 접속하는 배선을 짧게 할 수 있다. 따라서 배선 저항 및 기생 용량이 저감되어, 반도체 장치(100A)의 동작 속도를 높일 수 있다. 또한 반도체 장치(100A)의 소비 전력이 저감된다.

[0098] 예를 들어 GPU(22)에서 행렬 연산을 수행하는 경우, 연산에 사용하는 다량의 데이터 및 연산 결과 데이터를 일시적으로 저장하는 데 기억부(11)를 사용한다. GPU(22)와 기억부(11)가 가까울수록 지연 시간이 저감되어, 연산 처리를 고속으로 수행할 수 있다.

[0099] 특히 표시부(31)를 갖는 층(30)과 기억부(11)를 갖는 층(10)으로 기능 회로(90)를 갖는 층(20)을 끼우는 구성은 표시부(31)와 표시부 구동 회로(23)를 접속하는 배선 및 기억부(11)와 기억부 구동 회로(24)를 접속하는 배선 양쪽을 짧게 할 수 있기 때문에 적합하다.

[0100] 또한 도시하지 않았지만, 반도체 장치(100A)에서, 층(10)은 열전도율이 높은 재료(예를 들어 구리, 알루미늄 등의 금속 재료)와 접촉하는 것이 바람직하다.

[0101] <변형예>

[0102] 이어서 반도체 장치(100A)의 변형예에 대하여 설명한다. 중복되는 설명을 줄이기 위하여, 반도체 장치(100A)와의 차이점에 대하여 주로 설명한다. 이하에서 기재되지 않는 설명에 대해서는 반도체 장치(100A)에 대한 설명을 참작하면 좋다.

[0103] <변형예 1>

[0104] 도 7에 반도체 장치(100A)의 변형예인 반도체 장치(100B)를 도시하였다. 도 7은 본 발명의 일 형태에 따른 반도체 장치(100B)의 사시도이다. 도 7에서는 반도체 장치(100B)의 구성을 명확하게 하기 위하여, 층(10), 층(20), 층(30), 층(60), 및 밀봉 기판(40) 등을 분리하여 나타내었다.

[0105] 층(10)과 층(20)의 적층 순서가 반도체 장치(100A)와 반도체 장치(100B)의 차이점이다. 구체적으로는 반도체 장치(100B)는 층(20) 위의 층(10)과, 층(10) 위의 층(30)과, 층(30) 위의 밀봉 기판(40)을 갖는다. 또한 층(20) 위의 단자부(29) 대신에 층(10) 위에 단자부(19)를 갖는다. 또한 도시하지 않았지만, 반도체 장치(100B)에서 층(20)은 방열체와 접촉하는 것이 바람직하다. 또한 방열체란 반도체 장치(100B)에서 생긴 열을 반도체 장치(100B)의 외부에 방출하는 기능을 갖는 것을 말한다.

[0106] 본 발명의 일 형태에 따른 반도체 장치는 목적 또는 용도에 따라 각 층의 적층 순서를 변경할 수 있다.

[0107] <변형예 2>

[0108] 도 8에 반도체 장치(100A)의 변형예인 반도체 장치(100C)를 도시하였다. 도 8의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치(100C)의 사시도이다. 도 8의 (B)에서는 반도체 장치(100C)의 구성을 명확하게 하기 위하여, 층(10), 층(20), 및 층(30)을 분리하여 나타내었다.

[0109] 반도체 장치(100C)는 층(20)에 단자부(29)를 갖지 않고, 단자부(29) 대신에 층(30)에 단자부(39)를 갖는다.

[0110] <변형예 3>

[0111] 도 9에 반도체 장치(100A)의 변형예인 반도체 장치(100D)를 도시하였다. 도 9의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치(100D)의 사시도이다. 도 9의 (B)에서는 반도체 장치(100D)의 구성을 명확하게 하기 위하여, 층(20), 층(30), 및 밀봉 기판(40)을 분리하여 나타내었다.

[0112] 반도체 장치(100D)는 층(10)을 갖지 않고, 층(10) 대신에, 층(30) 위의 표시부(31)의 주변에 기억부(11)로서 기능하는 복수의 메모리 칩(32)을 갖는다. 복수의 메모리 칩(32)은 표시부(31)의 외주를 따라 배치되어 있다. 반도체 장치(100D)는 표시부(31)의 3변에 메모리 칩(32)이 배치되고, 복수의 와이어(38)를 사용하여 나머지 1변에서 층(20)과 층(30)을 전기적으로 접속한다. 또한 와이어(38)를 와이어 본딩법으로 형성하면 좋다.

[0113] 메모리 칩(32)으로서는 DRAM, SRAM, 또는 플래시 메모리 등 다양한 기억 장치를 적용할 수 있다. 또한 메모리 칩(32)은 이방성 도전 접착제, 볼 본딩, 또는 와이어 본딩 등의 다양한 재료 및 방법을 사용하여 층(30)에 실장할 수 있다. 또한 Cu-Cu 결합(접합 계면에서 각각 Cu 패드를 노출시켜 양쪽의 패드를 접촉시킴으로써 전기적인 접속을 확보하는 방법) 또는 TSV(Through Silicon Via)와 범프를 사용한 결합에 의하여 층(30)에 실장하여도 좋다.

[0114] 또한 층(30)과 밀봉 기판(40)을 접합하는 실재(712)(밀봉재라고도 함. 실재(712)에 대해서는 후술함)와 중첩되는 위치에 메모리 칩(32)을 배치하는 것이 바람직하다. 층(30), 실재(712), 및 밀봉 기판(40)이 중첩되는 영역을 '밀봉 영역'이라고도 한다. 밀봉 영역에 메모리 칩(32)을 제공함으로써 메모리 칩(32)을 효율적으로 배치할 수 있다.

[0115] 메모리 칩(32)을 밀봉재와 중첩하여 제공하는 경우, 표시부(31)와 메모리 칩(32)은 밀봉 기판(40)으로 덮인다. 밀봉 기판(40)으로 메모리 칩(32)을 덮음으로써, 외부로부터 불순물 등이 메모리 칩(32)으로 확산되는 것을 방지할 수 있다.

[0116] <변형예 4>

[0117] 도 10에 반도체 장치(100D)의 변형예인 반도체 장치(100E)를 도시하였다. 도 10의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치(100E)의 사시도이다. 도 10의 (B)에서는 반도체 장치(100E)의 구성을 명확하게 하기 위하여, 층(20), 층(30), 및 밀봉 기판(40)을 분리하여 나타내었다. 또한 층(60)에 대한 기재를 생략하였다.

[0118] 반도체 장치(100E)는 표시부(31)에 인접한 4변 중 대향하는 2변에 메모리 칩(32)이 배치되고, 나머지 2변에 층(30)과 층(20)을 전기적으로 접속하는 와이어(38)가 제공된다.

[0119] 층(30)과 층(20)을 전기적으로 접속하는 와이어(38)를 늘림으로써, 층(30)과 층(20) 사이의 신호 전달 속도를 높일 수 있다.

[0120] <변형예 5>

[0121] 도 11에 반도체 장치(100D)의 변형예인 반도체 장치(100F)를 도시하였다. 도 11의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치(100F)의 사시도이다. 도 11의 (B)에서는 반도체 장치(100F)의 구성을 명확하게 하기 위하여, 층(20), 층(30), 및 밀봉 기판(40) 등을 분리하여 나타내었다. 또한 층(60)에 대한 기재를 생략하였다.

[0122] 반도체 장치(100F)에 포함되는 밀봉 기판(40)은 복수의 노치부(42)를 갖는다. 노치부(42)는 메모리 칩(32)과 중첩되는 위치에 제공되어 있다.

[0123] 반도체 장치(100F)에서는 메모리 칩(32)이 노치부(42) 내에 들어가도록 밀봉 기판(40)과 층(30)이 접합되어 있다. 반도체 장치(100E)를 반도체 장치(100D)보다 얇게 할 수 있다.

[0124] <변형예 6>

[0125] 도 12에 반도체 장치(100D)의 변형예인 반도체 장치(100G)를 도시하였다. 도 12의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치(100G)의 사시도이다. 도 12의 (B)에서는 반도체 장치(100G)의 구성을 명확하게 하기 위하여, 층(20), 층(30), 및 밀봉 기판(40) 등을 분리하여 나타내었다. 또한 층(60)에 대한 기재를 생략하였다.

[0126] 반도체 장치(100G)는 밀봉 기판(40)을 표시부(31)와 중첩시키고, 메모리 칩(32)과 중첩시키지 않는 점에서 반도체 장치(100D)와 상이하다.

[0127] 밀봉 기판(40)을 메모리 칩(32)과 중첩시키지 않고 표시부(31)와 중첩시킴으로써, 반도체 장치(100G)의 두께를 얇게 할 수 있다. 또한 밀봉 기판(40)이 작아지기 때문에, 반도체 장치(100G)를 가볍게 할 수 있다.

[0128] <변형예 7>

[0129] 도 13에 반도체 장치(100C)의 변형예인 반도체 장치(100H)를 도시하였다. 도 13의 (A) 및 (B)는 반도체 장치(100H)의 사시도이다. 반도체 장치(100H)는 층(10)을 갖지 않는 점에서 반도체 장치(100C)와 상이하다. 도 13의 (B)에서는 반도체 장치(100H)의 구성을 명확하게 하기 위하여, 층(20), 층(30), 및 밀봉 기판(40) 등을 분리하여 나타내었다.

[0130] 또한 반도체 장치(100H)는 층(20)에 기억부(11)를 갖는 점에서 반도체 장치(100C)와 상이하다. 층(10)을 갖지 않도록 함으로써 반도체 장치(100H)의 두께를 얇게 할 수 있다. 또한 층(10)을 갖지 않도록 함으로써 반도체 장치(100H)를 가볍게 할 수 있다.

[0131] <변형예 8>

[0132] 도 14에 반도체 장치(100H)의 변형예인 반도체 장치(100I)를 도시하였다. 도 14의 (A) 및 (B)는 반도체 장치(100I)의 사시도이다. 반도체 장치(100I)는 층(20)을 갖지 않는 점에서 반도체 장치(100H)와 상이하다. 도 14의 (B)에서는 반도체 장치(100I)의 구성을 명확하게 하기 위하여, 층(30) 및 밀봉 기판(40) 등을 분리하여 나타내었다.

[0133] 또한 반도체 장치(100I)는 층(30)에 표시부 구동 회로(23)와 화소 회로(51)를 갖는다. 목적 및/또는 용도에 따라 층(30)에 필요한 기능 회로를 형성하여도 좋다. 또한 목적 및/또는 용도에 따라 불필요한 기능 회로를 제공하지 않도록 함으로써 반도체 장치에서의 소비 전력의 저감 및 제조 비용의 절감이 가능하다. 또한 반도체 장치의 두께를 얇게 할 수 있기 때문에 경량화가 가능하다.

[0134] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0135] (실시형태 2)

[0136] 본 실시형태에서는 층(30)에 포함되는 표시부(31)를 복수의 부화면(35)으로 분할하는 경우의 구성예에 대하여 설명한다.

[0137] 도 15의 (A)는 표시부(31)를 32개의 부화면(35)으로 분할한 경우의 구성예를 도시한 것이다. 도 15의 (A)는 4행 8열의 매트릭스상으로 배치된 부화면(35)을 도시한 것이다. 표시부(31)를 복수의 부화면(35)으로 분할함으로써, 표시 화상의 갱신이 불필요한 영역의 부화면(35)의 동작을 정지할 수 있다. 바꿔 말하면, 표시 화상의 재기록이 필요한 영역의 부화면(35)만을 동작시킬 수 있다. 따라서 반도체 장치의 소비 전력을 저감할 수 있다.

[0138] 또한 화소 회로(51)는 오프 전류가 매우 낮은 OS 트랜지스터로 구성되기 때문에, 화소에 기록된 데이터를 장기간에 걸쳐 유지할 수 있다. 그러므로 표시의 프레임 주파수를 임의로 설정할(가변으로 할) 수 있다. 또한 표시부(31)는 부화면(35)마다 구동할 수 있다. 따라서 프레임 주파수도 부화면(35)마다 설정할 수 있다.

[0139] 또한 표시부(31)를 복수의 부화면(35)으로 분할하는 구성의 경우, 층(20)에 부화면(35) 각각에 대응하는 제 1 구동 회로(232) 및 제 2 구동 회로(233)를 제공한다. 도 15의 (B)는 부화면(35)과 중첩되는 영역에 제 1 구동 회로(232) 및 제 2 구동 회로(233)를 제공하는 예를 도시한 것이다. 또한 도 15의 (B)에서는 부화면(35)의 가장자리부에 대응하는 위치를 파선으로 나타내었다. 또한 도 15의 (B)에서는 부화면(35)마다 제공되는 제 1 구동 회로(232) 및 제 2 구동 회로(233)를 각각의 중앙 또는 중앙 부근에서 교차하도록 배치하는 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다.

[0140] 또한 층(20)과 층(30) 사이에 기억부(11)를 갖는 층(10)을 제공하는 경우, 층(10)에서 제 1 구동 회로(232) 및

제 2 구동 회로(233)와 중첩되는 영역에는 메모리 셀(12)을 배치하지 않는다. 이와 같이 함으로써 층(10)을 관통하여, 제 1 구동 회로(232) 및 제 2 구동 회로(233)와 부화면(35)을 짧은 거리로 전기적으로 접속할 수 있다.

[0141] 도 16의 (A)에 층(10)의 구성예를 도시하였다. 도 16의 (A)에서는 부화면(35)의 가장자리부에 대응하는 위치를 파선으로 나타내었다. 도 16의 (A)에는 부화면(35)과 중첩되는 영역에서 복수의 메모리 셀(12)을 4개의 메모리 셀군(15)으로 나누는 예를 도시하였다. 또한 인접한 메모리 셀군(15) 사이는 층(20)에 포함되는 제 1 구동 회로(232) 및 제 2 구동 회로(233)와 중첩되는 영역이고, 메모리 셀(12)은 제공되지 않는다.

[0142] 도 16의 (B)는 층(10), 층(20), 및 층(30)에서 하나의 부화면(35)과 중첩되는 영역을 설명하는 사시도이다. 층(20)에 포함되는 제 1 구동 회로(232) 및 제 2 구동 회로(233)와 중첩되는 영역에 메모리 셀(12)을 제공하지 않도록 함으로써, 제 1 구동 회로(232) 및 제 2 구동 회로(233)와 부화면(35)을 전기적으로 접속하는 도전체(55)를 층(10), 층(20), 및 층(30)의 적층 방향으로 연장시킬 수 있다. 따라서 제 1 구동 회로(232) 및 제 2 구동 회로(233)와 부화면(35)을 매우 짧은 거리로 접속할 수 있기 때문에, 배선 저항 및 기생 용량이 적어, 고속 동작이 가능하다. 또한 영상 신호의 열화가 적기 때문에, 반도체 장치의 표시 품위가 향상된다. 또한 반도체 장치의 소비 전력을 저감할 수 있다. 또한 도전체(55)는 각 층 내에 제공된 도전체 및 TSV 등으로 구성된다.

[0143] 또한 본 발명의 일 형태에 따른 반도체 장치는 예를 들어 GPU(22)와 기억부(11) 사이의 데이터 통신을 다수의 배선을 사용하여 병렬 처리할 수 있다. 따라서 본 발명의 일 형태에 따른 반도체 장치를 고속으로 동작시킬 수 있다. 또한 본 발명의 일 형태에 따른 반도체 장치는 GPU(22)에 의하여 연산 처리되고 기억부(11)에 저장된 화상 데이터를 HDMI(등록 상표), MIPI(등록 상표), 또는 Display port 등의 통신 규격에 따라 압축할 필요가 없다. 따라서 본 발명의 일 형태에 따른 반도체 장치를 고속으로 동작시킬 수 있어, 소비 전력을 저감할 수 있다.

[0144] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0145] (실시형태 3)

[0146] 본 발명의 일 형태에 따른 반도체 장치는 표시 보정 시스템을 가져도 좋다. 상기 표시 보정 시스템은 발광 소자(61)를 흐르는 전류(I_{EL})를 보정함으로써, 휘점 또는 암점 등 불량 화소에 기인한 표시 불량을 저감할 수 있다.

[0147] 도 17의 (A)의 회로도는, 도 5의 (A)에 나타낸 화소 회로(51)의 일부를 추출하여 나타낸 것이다. 발광 소자(61)를 흐르는 전류(I_{EL})가 휘점의 원인이 되는 불량 화소인 경우, 정상적인 표시를 수행하는 화소보다 매우 많아진다. 또한 전류(I_{EL})는 암점의 원인이 되는 불량 화소의 경우, 정상적인 표시를 수행하는 화소보다 매우 적어진다.

[0148] CPU(21)는 트랜지스터(52C)를 통하여 흐르는 모니터 전류(I_{MONI})의 데이터를 정기적으로 취득한다. 상기 모니터 전류(I_{MONI})의 전류량을 CPU(21)에서 다룰 수 있는 디지털 데이터로 변환하고, 상기 디지털 데이터를 사용하여 CPU(21) 또는 GPU(22)에서 연산 처리를 수행한다. CPU(21) 또는 GPU(22)에서의 연산 처리에 의하여 불량 화소를 추정하고, 불량 화소로 인한 표시 불량을 시인하기 어렵게 하기 위한 보정을 수행한다. 예를 들어 도 17의 (B)에 도시된 화소(230D)가 불량 화소인 경우, 인접한 화소(230N)를 흐르는 전류(I_{EL})를 보정한다.

[0149] 상기 보정은 예를 들어 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 인공 신경망에 기초한 연산을 실행함으로써 추정할 수 있다.

[0150] 상술한 보정에 의하여, 인접한 화소(230N)를 흐르는 전류(I_{EL})를 전류(I_{EL_C})로 보정함으로써, 화소(230N)와 불량 화소인 화소(230D)가 합성된 화소(230C)로서 표시를 수행한다(도 17의 (C) 참조). 화소(230C)로서 표시를 수행함으로써, 휘점 또는 암점 등의 불량 화소에 기인하는 표시 불량을 잘 보이지 않게 하여, 정상적인 표시에 가깝게 할 수 있다.

[0151] 또한 본 발명의 일 형태에 따른 반도체 장치에서는, 상기 연산 처리에 있어서, 연산 도중의 데이터를 기억부(11)에 유지할 수 있다. 본 발명의 일 형태에 따른 반도체 장치에서는 표시부(31), 기능 회로(90), 및 기억부(11)가 근접하여 제공되기 때문에, 인공 신경망에 기초한 연산 등의 방대한 연산량의 연산 처리를 수행하는 경우, 고속 처리를 실현할 수 있기 때문에 특히 유효하다.

[0152] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0153] (실시형태 4)

[0154] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치의 단면 구성예에 대하여 설명한다.

[0155] <<반도체 장치(100A)>>

[0156] 도 18은 반도체 장치(100A)의 구성예를 도시한 단면도이고, 반도체 장치(100A)의 일부를 도시한 것이다. 상술한 바와 같이, 반도체 장치(100A)는 층(10), 층(20), 층(30), 층(60), 및 밀봉 기판(40)으로 구성된다.

[0157] [층(10)]

[0158] 층(10)은 기판(701)을 갖고, 기판(701) 위에 트랜지스터(431)가 제공되어 있다. 트랜지스터(431)는 예를 들어 메모리 셀(12)에 포함되는 트랜지스터이다.

[0159] 기판(701)으로서 예를 들어 단결정 실리콘 기판 등의 단결정 반도체 기판을 사용할 수 있다. 또한 기판(701)으로서 단결정 반도체 기판 이외의 반도체 기판을 사용하여도 좋다.

[0160] 트랜지스터(431)는 게이트 전극으로서의 기능을 갖는 도전체(443)와, 게이트 절연체로서의 기능을 갖는 절연체(445)와, 기판(701)의 일부를 갖는다. 기판(701)의 일부는 트랜지스터(431)의 채널 형성 영역을 포함하는 영역(반도체 영역(447)), 소스 영역(저저항 영역(449a) 및 저저항 영역(449b) 중 한쪽), 및 드레인 영역(저저항 영역(449a) 및 저저항 영역(449b) 중 다른 쪽)으로서 기능한다. 트랜지스터(431)는 p채널형 트랜지스터이어도 좋고, n채널형 트랜지스터이어도 좋다.

[0161] 기판(701)으로서 단결정 실리콘 기판을 사용하는 경우, 트랜지스터(431)는 채널 형성 영역에 실리콘을 포함하는 트랜지스터('Si 트랜지스터'라고도 함)이다.

[0162] 트랜지스터(431)는 소자 분리층(403)에 의하여 다른 트랜지스터와 전기적으로 분리된다. 도 18에는 소자 분리층(403)에 의하여 트랜지스터(431)와 다른 트랜지스터가 전기적으로 분리되는 경우를 도시하였다. 소자 분리층(403)은 LOCOS(LOCal Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법 등을 사용하여 형성할 수 있다.

[0163] 여기서 트랜지스터(431)에서 반도체 영역(447)은 볼록 형상을 갖는다. 또한 도전체(443)는 절연체(445)를 개재(介在)하여 반도체 영역(447)의 측면 및 상면을 덮도록 제공되어 있다. 또한 도 18에는 도전체(443)가 반도체 영역(447)의 측면을 덮는 모습을 도시하지 않았다. 도전체(443)에는 일함수를 조정하는 재료를 사용할 수 있다.

[0164] 트랜지스터(431)와 같이 반도체 영역이 볼록 형상을 갖는 트랜지스터는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고 부를 수 있다. 또한 볼록부의 상부와 접촉하여, 볼록부를 형성하기 위한 마스크로서의 기능을 갖는 절연체를 가져도 좋다. 또한 도 18에는 기판(701)의 일부를 가공하여 볼록부를 형성하는 구성을 도시하였지만, SOI 기판을 가공하여 볼록 형상을 갖는 반도체를 형성하여도 좋다.

[0165] 또한 도 18에 도시된 트랜지스터(431)의 구성은 일례이고, 그 구성에 한정되지 않고, 회로 구성 또는 회로의 동작 방법 등에 따라 적절한 구성으로 하면 좋다. 예를 들어 트랜지스터(431)는 플레이너형 트랜지스터이어도 좋다.

[0166] 기판(701) 위에는 소자 분리층(403) 및 트랜지스터(431) 이외에, 절연체(405), 절연체(407), 절연체(409), 및 절연체(411)가 제공된다. 또한 절연체(405) 내, 절연체(407) 내, 절연체(409) 내, 및 절연체(411) 내에 도전체(451)가 매립되어 있다. 여기서 도전체(451)의 상면의 높이와 절연체(411)의 상면의 높이는 같은 정도로 할 수 있다.

[0167] 도전체(451) 위 및 절연체(411) 위에 절연체(421) 및 절연체(422)가 제공된다. 절연체(421) 내 및 절연체(422) 내에 도전체(453)가 매립되어 있다. 여기서 도전체(453)의 상면의 높이와 절연체(422)의 상면의 높이는 같은 정도로 할 수 있다.

[0168] 도전체(453) 위 및 절연체(422) 위에 절연체(423)가 제공된다. 절연체(423) 내에 도전체(455)가 매립되어 있다. 여기서 도전체(455)의 상면의 높이와 절연체(423)의 상면의 높이는 같은 정도로 할 수 있다.

[0169] 또한 필요에 따라 절연체 및 도전체 등을 적층하여, 층(10)을 다층 배선 구조로 하여도 좋다.

[0170] [층(20)]

[0171] 층(20)은 기판(702)을 갖고, 기판(702) 위에 트랜지스터(441) 및 트랜지스터(442)가 제공되어 있다. 트랜지스터(441)는 예를 들어 표시부 구동 회로(23)에 포함되는 트랜지스터이다. 트랜지스터(442)는 예를 들어 기억부 구동 회로(24)에 포함되는 트랜지스터이다.

[0172] 기판(702)으로서 기판(701)과 마찬가지로, 단결정 실리콘 기판 등의 단결정 반도체 기판을 사용할 수 있다. 또한 기판(702)으로서 단결정 반도체 기판 이외의 반도체 기판을 사용하여도 좋다. 층(20)은 층(10)과 같은 구성으로 할 수 있다. 따라서 층(20)에 대한 자세한 설명은 생략한다.

[0173] 도 18에서는 층(20)에 포함되는 트랜지스터(442)와 층(10)에 포함되는 트랜지스터(431)가 도전체(456)를 통하여 전기적으로 접속되어 있다. 도전체(456)는 TSV로서 기능한다. 또한 층(10)과 층(20)은 범프 등을 통하여 전기적으로 접속되어도 좋다.

[0174] 층(20)은 도전체(760)를 갖는다. 도전체(760)는 단자부(29)에 포함되는 도전체이다. 도 18에는 도전체(760)가 이방성 도전체(780)를 통하여 FPC(716)(Flexible Printed Circuit)와 전기적으로 접속되는 예를 도시하였다. FPC(716)를 통하여 반도체 장치(100A)에 각종 신호 등이 공급된다.

[0175] 또한 도전체(760)는 층(20)에 포함되는 도전체(347)와 도전체(353), 도전체(355), 및 도전체(357)를 통하여 전기적으로 접속된다. 도 18에는 도전체(760)와 도전체(347)를 전기적으로 접속하는 도전체로서 도전체(353), 도전체(355), 및 도전체(357)의 3개를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도전체(760)와 도전체(347)를 전기적으로 접속하는 도전체는 하나이어도 좋고, 2개이어도 좋고, 4개 이상이어도 좋다. 도전체(760)와 도전체(347)를 전기적으로 접속하는 도전체를 복수로 제공함으로써 접촉 저항을 저감할 수 있다.

[0176] [층(30)]

[0177] 층(30)은 층(20) 위에 제공되어 있다. 층(30)은 절연체(214)를 갖고, 절연체(214) 위에 트랜지스터(750)가 제공되어 있다. 트랜지스터(750)는 예를 들어 화소 회로(51)에 포함되는 트랜지스터이다. 트랜지스터(750)로서는 OS 트랜지스터를 적합하게 사용할 수 있다. OS 트랜지스터는 오프 전류가 매우 낮다는 특징을 갖는다. 따라서 화상 데이터 등의 유지 시간을 길게 할 수 있기 때문에, 리프레시 동작의 빈도를 줄일 수 있다. 따라서 반도체 장치(100A)의 소비 전력을 저감할 수 있다.

[0178] 절연체(254) 내, 절연체(280) 내, 절연체(274) 내, 및 절연체(281) 내에 도전체(301)(도전체(301a) 및 도전체(301b))가 매립되어 있다. 도전체(301a)는 트랜지스터(750)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 도전체(301b)는 트랜지스터(750)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 여기서 도전체(301a) 및 도전체(301b)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다.

[0179] 절연체(361) 내에 도전체(311), 도전체(313), 도전체(331), 용량 소자(790), 도전체(333), 및 도전체(335)가 매립되어 있다. 도전체(311) 및 도전체(313)는 트랜지스터(750)와 전기적으로 접속되고, 배선으로서의 기능을 갖는다. 도전체(333) 및 도전체(335)는 용량 소자(790)와 전기적으로 접속된다. 여기서 도전체(331), 도전체(333), 및 도전체(335)의 상면의 높이와 절연체(361)의 상면의 높이는 같은 정도로 할 수 있다.

[0180] 절연체(363) 내에 도전체(341), 도전체(343), 및 도전체(351)가 매립되어 있다. 여기서 도전체(351)의 상면의 높이와 절연체(363)의 상면의 높이는 같은 정도로 할 수 있다.

[0181] 절연체(405), 절연체(407), 절연체(409), 절연체(411), 절연체(421), 절연체(422), 절연체(423), 절연체(214), 절연체(280), 절연체(274), 절연체(281), 절연체(361), 및 절연체(363)는 층간막으로서의 기능을 갖고, 각각의 아래쪽의 요철 형상을 피복하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(363)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0182] 도 18에 도시된 바와 같이, 용량 소자(790)는 하부 전극(321)과 상부 전극(325)을 갖는다. 또한 하부 전극(321)과 상부 전극(325) 사이에는 절연체(323)가 제공된다. 즉 용량 소자(790)는 한 쌍의 전극 사이에 유전체로서 기능하는 절연체(323)가 끼워진 적층형 구조이다. 또한 도 18에는 절연체(281) 위에 용량 소자(790)를 제공하는 예를 도시하였지만, 절연체(281)와 상이한 절연체 위에 용량 소자(790)를 제공하여도 좋다.

[0183] 도 18에, 도전체(301a) 및 도전체(301b)가 동일한 층에 형성되는 예를 도시하였다. 또한 도전체(311), 도전체(313), 및 하부 전극(321)이 동일한 층에 형성되는 예를 도시하였다. 또한 도전체(331), 도전체(333), 및 도전체(335)가 동일한 층에 형성되는 예를 도시하였다. 또한 도전체(341) 및 도전체(343)가 동일한 층에 형성되는 예를 도시하였다. 또한 도전체(353), 도전체(355), 및 도전체(357)가 동일한 층에 형성되는 예를 도시하였다.

복수의 도전체를 동일한 층에 형성함으로써, 반도체 장치(100A)의 제작 공정을 간략하게 할 수 있기 때문에, 반도체 장치(100A)의 제조 비용을 절감할 수 있다. 또한 이들은 각각 상이한 층에 형성되어도 좋고, 상이한 종류의 재료를 가져도 좋다.

[0184] [층(60)]

[0185] 층(60)은 층(30) 위에 제공되어 있다. 층(60)은 발광 소자(61)를 갖는다. 발광 소자(61)는 도전체(772), EL층(786), 및 도전체(788)를 갖는다. EL층(786)은 유기 화합물 또는 퀀텀닷(quantum dot) 등의 무기 화합물을 갖는다.

[0186] 유기 화합물에 사용할 수 있는 재료로서 형광성 재료 또는 인광성 재료 등을 들 수 있다. 또한 퀀텀닷에 사용할 수 있는 재료로서 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어·셸형 퀀텀닷 재료, 코어형 퀀텀닷 재료 등을 들 수 있다.

[0187] 도전체(772)는 도전체(351), 도전체(341), 도전체(331), 도전체(313), 및 도전체(301b)를 통하여 트랜지스터(750)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 도전체(772)는 절연체(363) 위에 형성되고, 화소 전극으로서의 기능을 갖는다.

[0188] 도전체(772)에는 가시광에 대하여 투광성을 갖는 재료 또는 반사성을 갖는 재료를 사용할 수 있다. 투광성 재료로서는 예를 들어 인듐 및 아연을 포함하는 산화물 재료, 인듐, 갈륨, 및 아연을 포함하는 산화물 재료('IGZO'라고도 함), 인듐 및 주석을 포함하는 산화물 재료('ITO'라고도 함), 또는 인듐, 주석, 및 실리콘을 포함하는 산화물 재료('ITSO'라고도 함) 등을 사용하여도 좋다. 또한 반사성 재료로서는 예를 들어 알루미늄, 은 등을 포함하는 재료를 사용하여도 좋다.

[0189] 예를 들어 발광 소자(61)가 발하는 광을 도전체(788) 측으로부터 사출시키는 경우에는, 도전체(772)가 반사성 재료를 포함하는 것이 바람직하다. 도전체(772)는 단층 구조이어도 좋고, 복수 층의 적층 구조이어도 좋다. 예를 들어 도전체(772)를 양극으로서 사용하는 경우, 2층의 ITO 사이에 은을 끼우는 3층 구조로 하여도 좋다.

[0190] 또한 도전체(772)가 접촉하는 피형성면에 질화 실리콘이 포함되는 경우, 도전체(772)를 피형성면 측으로부터 알루미늄, 산화 타이타늄, 및 ITO(또는 ITSO)를 이 순서대로 적층하는 3층 구조로 하여도 좋다. 또한 도전체(772)가 접촉하는 피형성면에 질화 실리콘이 포함되는 경우, 도전체(772)를 피형성면 측으로부터 알루미늄과 IGZO를 이 순서대로 적층하는 2층 구조로 하여도 좋다.

[0191] 또한 도전체(301), 도전체(331), 도전체(351), 도전체(353), 도전체(355), 도전체(357), 도전체(453), 도전체(456), 및 도전체(760) 등은 다른 실시형태에서 설명하는 도전체(245)와 같은 구성으로 하여도 좋다. 예를 들어 발광 소자(61)와 전기적으로 접속되는 도전체(351)를 텅스텐과 질화 타이타늄을 포함하는 도전체로 하여도 좋다. 더 구체적으로는 절연체(363)의 측벽과 텅스텐이 질화 텅스텐을 개재하여 인접한 구조로 하여도 좋다.

[0192] 도 18에는 도시하지 않았지만, 반도체 장치(100A)에는 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 제공할 수 있다.

[0193] 도 18에 도시된 반도체 장치(100A)에서는 도전체(772)에 반사성 재료를 사용하고 도전체(788)에 투광성 재료를 사용하여, 발광 소자(61)를 도전체(788) 측에 광을 사출하는 톱 이미션 구조의 발광 소자로 할 수 있다. 또한 발광 소자(61)는 도전체(772) 측에 광을 사출하는 보텀 이미션 구조 또는 도전체(772) 및 도전체(788)의 양쪽에 광을 사출하는 듀얼 이미션 구조로 하여도 좋다. 또한 구조체(778)가 제공되어 있다.

[0194] [밀봉 기판(40)]

[0195] 밀봉 기판(40)은 표시부(31) 및 층(60)을 덮고, 층(30)의 위쪽에 제공되어 있다. 밀봉 기판(40)은 실재(712)('밀봉재'라고도 함)에 의하여 층(30)과 접합되어 있다. 발광 소자(61)가 톱 이미션 구조 또는 듀얼 이미션 구조의 발광 소자인 경우에는 밀봉 기판(40)에 투광성을 갖는 재료를 사용한다.

[0196] 밀봉 기판(40)을 제공함으로써 층(60)에 대한 불순물의 침입을 방지할 수 있어, 반도체 장치(100A)의 신뢰성을 높일 수 있다.

[0197] 층(60) 측에는 차광층(738)이 제공되어 있다. 차광층(738)은 인접한 영역으로부터 발해지는 광을 차단하는 기능을 갖는다. 또한 차광층(738)은 외광이 트랜지스터(750) 등에 도달하는 것을 방지하는 기능을 갖는다.

[0198] 또한 차광층(738)은 절연체(734)로 덮여 있다. 절연체(734)는 필요에 따라 제공하면 좋다. 또한 본 실시형태

에서는 발광 소자(61)와 절연체(734) 사이에 충전층(732)을 제공하는 고체 밀봉 구조를 나타내었지만, 충전층(732)을 제공하지 않는 중공 밀봉 구조로 하여도 좋다. 반도체 장치(100A)를 중공 밀봉 구조로 하는 경우에는, 충전층(732)에 상당하는 부분에 18족 원소(비활성 기체) 및/또는 질소 등을 포함하는 불활성 기체를 봉입하여도 좋다. 발광 소자(61)가 발하는 광이 밀봉 기판(40) 측에 사출되는 경우에는, 충전층(732)으로서 투광성을 갖는 재료를 사용하는 것이 바람직하다.

[0199] 또한 본 발명의 일 형태에 따른 반도체 장치에 포함되는 트랜지스터로서는 다양한 반도체를 포함하는 트랜지스터를 사용할 수 있다. 예를 들어 채널 형성 영역에 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체를 포함하는 트랜지스터를 사용할 수 있다. 또한 주성분이 단일의 원소로 구성되는 단체의 반도체에 한정되지 않고, 화합물 반도체(예를 들어 SiGe, GaAs 등) 또는 산화물 반도체 등을 사용할 수 있다.

[0200] 또한 본 발명의 일 형태에 따른 반도체 장치에 포함되는 트랜지스터로서는 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들어, 플레이너형, FIN(핀)형, TRI-GATE형(트라이 게이트형), 톱 게이트형, 보텀 게이트형, 더블 게이트형(채널의 상하에 게이트가 배치됨) 등 다양한 구성의 트랜지스터를 사용할 수 있다. 또한 본 발명의 일 형태에 따른 트랜지스터로서 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 사용할 수 있다.

[0201] <변형예 1>

[0202] 도 18에 도시된 반도체 장치(100A)의 변형예를 도 19에 도시하였다. 도 19에 도시된 반도체 장치(100A)는 착색층(736)이 제공되어 있다는 점에서 도 18에 도시된 반도체 장치(100A)와 상이하다. 또한 착색층(736)은 발광 소자(61)와 중첩되는 영역을 갖도록 제공되어 있다. 착색층(736)을 제공함으로써, 발광 소자(61)로부터 추출되는 광의 색 순도를 높일 수 있다. 이로써 반도체 장치(100A)에 고품질의 화상을 표시할 수 있다. 또한 반도체 장치(100A)의 예를 들어 모든 발광 소자(61)를 백색광을 발하는 발광 소자로 할 수 있기 때문에, EL층(786)을 개별 도포 방식으로 형성하지 않아도 되고, 반도체 장치(100A)의 정세도를 높일 수 있다.

[0203] 발광 소자(61)는 미소 광공진기(마이크로캐비티) 구조를 가질 수 있다. 이로써 착색층을 제공하지 않아도 소정의 색의 광(예를 들어 RGB)을 추출할 수 있어, 반도체 장치(100A)는 컬러 표시를 수행할 수 있다. 착색층을 제공하지 않는 구성으로 함으로써, 착색층에 의한 광의 흡수를 억제할 수 있다. 이로써 반도체 장치(100A)는 고휘도의 화상을 표시할 수 있고, 반도체 장치(100A)의 소비 전력을 저감할 수 있다. 또한 EL층(786)을 화소마다 섬 형상 또는 화소 열마다 줄무늬 형상으로 형성하는 방식, 즉 개별 도포 방식에 의하여 형성하는 경우에도, 착색층을 제공하지 않는 구성으로 할 수 있다. 또한 반도체 장치(100A)의 휘도로서는 예를 들어 500cd/m^2 이상 20000cd/m^2 이하로, 바람직하게는 1000cd/m^2 이상 20000cd/m^2 이하로, 더 바람직하게는 5000cd/m^2 이상 20000cd/m^2 이하로 할 수 있다.

[0204] <<반도체 장치(100C)>>

[0205] 반도체 장치(100A)의 변형예인 반도체 장치(100C)의 단면 구성예를 도 20에 도시하였다. 도 20에 도시된 반도체 장치(100C)의 단면 구성예에서는 도전체(347) 대신에, 층(30)에 포함되는 절연체(361) 위에 도전체(348)를 갖는다.

[0206] 도전체(348)는 도전체(353), 도전체(355), 및 도전체(357)를 통하여 도전체(760)와 전기적으로 접속된다. 도전체(348)는 도전체(347)와 마찬가지로 기능한다.

[0207] <변형예 1>

[0208] 층(20)을 개재하여 층(10) 위에 층(30)이 중첩되는 구성의 경우의 단면 구성예를 도 21에 도시하였다. 도 21은 반도체 장치(100C)의 변형예이다. 도 21에서는 층(20)에 포함되는 트랜지스터와 층(10)에 포함되는 트랜지스터가 대향하도록 층(10) 위에 층(20)을 중첩하여 제공한다. 따라서 층(30)은 층(20)에 포함되는 기판(702) 측에 제공되어 있다.

[0209] 층(10)에 포함되는 도전체와 층(20)에 포함되는 도전체는 예를 들어 Cu-Cu 결합에 의하여 전기적으로 접속될 수 있다. 도 21에서, 예를 들어 층(10)에 포함되는 도전체(455)와 층(20)에 포함되는 도전체(465)는 Cu-Cu 결합에 의하여 전기적으로 접속된다. 이 경우, 도전체(455)와 도전체(465)를 Cu(구리)를 포함하는 도전체로 형성한다. 또한 도전체(455)를 매립하도록 제공되어 있는 절연체(423)와, 도전체(465)를 매립하도록 제공되어 있는 절연체(424)는 모두 같은 원소를 포함하는 절연체인 것이 바람직하다. 예를 들어 절연체(423)와 절연체(424) 각각을

산화 실리콘 또는 산화질화 실리콘으로 하면 좋다. 절연체(423)와 절연체(424)를 같은 원소를 포함하는 절연체로 함으로써, 층(10)과 층(20)의 접합 강도가 높아진다. 또는 층(10)과 층(20)을 접합하기 전에 이들의 접합면에 대하여 CMP 처리를 수행하는 것 등에 의하여 이들의 표면의 평탄성을 높이는 것이 바람직하다.

[0210] 또한 도전체(455)와 도전체(465)의 접합 위치는 접합을 수행할 때의 위치 맞춤 정밀도에 따라 완전하게 일치하는 경우와 완전하게는 일치하지 않는 경우가 있다. 도 21에는 완전하게는 일치하지 않는 경우를 도시하였다.

[0211] 또한 도 21에서 층(20)에 포함되는 도전체와 층(30)에 포함되는 도전체는 TSV를 통하여 전기적으로 접속되어도 좋다. 예를 들어 층(20)에 포함되는 도전체(461) 및 도전체(462)는 모두 기판(702)을 관통하는 TSV이다.

[0212] <변형예 2>

[0213] 도 22에 반도체 장치(100C)의 변형예를 도시하였다. 도 22에는 층(30)에 포함되는 트랜지스터를 Si 트랜지스터로 구성하는 경우의 단면 구성예를 도시하였다. 도 22에서, 층(30)은 기판(703)을 갖고, 기판(703) 위에 트랜지스터(750)가 제공되어 있다. 기판(703)은 예를 들어 단결정 실리콘 기판이다. 따라서 도 22에 도시된 트랜지스터(750)는 채널이 형성되는 반도체층에 단결정 실리콘을 포함한다. 또한 기판(703)으로서 기판(701) 및 기판(702)과 같은 기판을 사용할 수 있다. 도 22에 도시된 반도체 장치(100C)에서 층(30)은 층(20)과 같은 구성에 더하여 절연체(361), 절연체(363), 도전체(348), 및 용량 소자(790) 등을 갖는다.

[0214] 반도체 장치(100A), 반도체 장치(100B), 및 반도체 장치(100D) 내지 반도체 장치(100G)에서도 층(30)에 포함되는 트랜지스터에 OS 트랜지스터 이외의 트랜지스터(예를 들어 Si 트랜지스터)를 사용하여도 좋다. 층(10), 층(20), 및 층(30)에 포함되는 트랜지스터에는 목적 또는 용도에 따라 다양한 트랜지스터를 사용할 수 있다.

[0215] <변형예 3>

[0216] 또한 도 23에 도시된 바와 같이, 층(10)과 층(20) 사이에 범프(454)와 접착층(457)을 제공하여도 좋다. 층(10)과 층(20)은 접착층(457)에 의하여 고정되고, 범프(454)에 의하여 전기적으로 접속된다. 도 23에서는 도전체(456)와 도전체(455)가 범프(454)를 통하여 전기적으로 접속되어 있다. 마찬가지로 층(20)과 층(30) 사이에 범프(458)와 접착층(459)을 제공하여도 좋다. 층(20)과 층(30)은 접착층(459)에 의하여 고정되고, 범프(458)에 의하여 전기적으로 접속된다. 또한 층(10)과 층(20)을 전기적으로 접속하는 범프(454)의 개수는 하나에 한정되지 않고, 복수이어도 좋다. 층(20)과 층(30)을 전기적으로 접속하는 범프(458)의 개수는 하나에 한정되지 않고, 복수이어도 좋다.

[0217] <<반도체 장치(100H)>>

[0218] 반도체 장치(100C)의 변형예인 반도체 장치(100H)의 단면 구성예를 도 24에 도시하였다. 도 24는 도 20에 도시된 반도체 장치(100C)의 단면 구성예에서 층(10)을 제거한 단면 구성에 상당한다. 또한 반도체 장치(100H)에는 층(10)이 없기 때문에, 도전체(456) 등의, 층(10)과 층(20)을 전기적으로 접속하기 위한 요소를 제공할 필요는 없다.

[0219] <변형예 1>

[0220] 도 25에 반도체 장치(100H)의 변형예를 도시하였다. 도 25에는 층(30)에 포함되는 트랜지스터를 Si 트랜지스터로 구성하는 경우의 단면 구성예를 도시하였다. 도 25에서의 층(30)을 도 22에 도시된 층(30)과 같은 구성으로 할 수 있다.

[0221] <변형예 2>

[0222] 또한 도 25에 도시된 구성의 경우에는, 도 26에 도시된 바와 같이 층(20)과 층(30) 사이에 범프(458)와 접착층(459)을 제공하여도 좋다. 층(20)과 층(30)은 접착층(459)에 의하여 고정되고, 범프(458)에 의하여 전기적으로 접속된다. 또한 도 23에 도시된 구성예와 마찬가지로, 층(20)과 층(30)을 전기적으로 접속하는 범프(458)의 개수는 하나에 한정되지 않고, 복수이어도 좋다.

[0223] <변형예 3>

[0224] 또한 층(30)에 포함되는 트랜지스터를 Si 트랜지스터로 구성하는 경우에는, 층(30)에 포함되는 트랜지스터와 층(20)에 포함되는 트랜지스터가 대향하도록 층(30)을 층(20) 위에 중첩하여 제공하여도 좋다(도 27 참조). 도 27에 도시된 층(30)에서는 기판(703) 위에 절연체(361) 및 절연체(363)가 제공되어 있다. 또한 절연체(361) 위에 도전체(348)가 제공되어 있다. 또한 절연체(363) 내에 도전체(341) 및 도전체(351)가 매립되어 있다.

[0225] 층(20)에 포함되는 도전체와 층(30)에 포함되는 도전체는 예를 들어 Cu-Cu 결합에 의하여 전기적으로 접속될 수 있다. 도 27에서, 예를 들어 층(20)에 포함되는 도전체(465)와 층(30)에 포함되는 도전체(475)는 Cu-Cu 결합에 의하여 전기적으로 접속된다. 이 경우, 도전체(465)와 도전체(475)를 Cu(구리)를 포함하는 도전체로 형성한다. 또한 도전체(465)를 매립하도록 제공되어 있는 절연체(424)와, 도전체(475)를 매립하도록 제공되어 있는 절연체(425)는 모두 같은 원소를 포함하는 절연체인 것이 바람직하다. 예를 들어 절연체(424)와 절연체(425) 각각을 산화 실리콘 또는 산화질화 실리콘으로 하면 좋다. 절연체(424)와 절연체(425)를 같은 원소를 포함하는 절연체로 함으로써, 층(20)과 층(30)의 접합 강도가 높아진다. 또는 층(20)과 층(30)을 접합하기 전에 이들의 접합면에 대하여 CMP 처리를 수행하는 것 등에 의하여 이들의 표면의 평탄성을 높이는 것이 바람직하다.

[0226] 또한 도전체(465)와 도전체(475)의 접합 위치는 접합을 수행할 때의 위치 맞춤 정밀도에 따라 완전하게 일치하는 경우와 완전하게는 일치하지 않는 경우가 있다. 도 27에는 완전하게는 일치하지 않는 경우를 도시하였다.

[0227] 또한 도 27에서 층(30)에 TSV를 제공하여도 좋다. 도 27에 도시된 도전체(471) 및 도전체(472)는 모두 기판(703)을 관통하는 TSV이다. 도 27에서 도전체(471)는 도전체(341)와 전기적으로 접속된다. 또한 도전체(472)는 도전체(348)와 전기적으로 접속된다.

[0228] <<반도체 장치(100I)>>

[0229] 반도체 장치(100I)의 단면 구성예를 도 28에 도시하였다. 도 28에 도시된 반도체 장치(100I)는 도 25에 도시된 반도체 장치(100H)의 변형예이다. 따라서 도 28은 층(30)에 포함되는 트랜지스터를 Si 트랜지스터로 구성하는 경우의 단면 구성예이다.

[0230] 상술한 바와 같이, 반도체 장치(100I)는 층(30)에 표시부 구동 회로(23)와 화소 회로(51)를 갖는다. 도 28에서의 트랜지스터(750)는 예를 들어 화소 회로(51)에 포함되는 트랜지스터이다. 또한 도 28에서의 트랜지스터(751)는 예를 들어 표시부 구동 회로(23)에 포함되는 트랜지스터이다.

[0231] 목적 및/또는 용도에 따라 층(30)에 필요한 기능 회로를 형성하여도 좋다. 또한 목적 및/또는 용도에 따라 불필요한 기능 회로를 제공하지 않도록 함으로써 반도체 장치에서의 소비 전력의 저감 및 제조 비용의 절감이 가능하다. 또한 반도체 장치의 두께를 얇게 할 수 있기 때문에 경량화가 가능하다.

[0232] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0233] (실시형태 5)

[0234] 본 실시형태에서는 발광 소자(61)('발광 디바이스'라고도 함)에 대하여 설명한다.

[0235] <발광 소자의 구성예>

[0236] 도 29의 (A)에 도시된 바와 같이, 발광 소자(61)는 한 쌍의 전극(도전체(772), 도전체(788)) 사이에 EL층(786)을 갖는다. EL층(786)은 층(4420), 발광층(4411), 층(4430) 등의 복수의 층으로 구성할 수 있다. 층(4420)은 예를 들어 전자 주입성이 높은 물질을 포함하는 층(전자 주입층) 및 전자 수송성이 높은 물질을 포함하는 층(전자 수송층) 등을 가질 수 있다. 발광층(4411)은 예를 들어 발광성 화합물을 갖는다. 층(4430)은 예를 들어 정공 주입성이 높은 물질을 포함하는 층(정공 주입층) 및 정공 수송성이 높은 물질을 포함하는 층(정공 수송층)을 가질 수 있다.

[0237] 한 쌍의 전극 사이에 제공된 층(4420), 발광층(4411), 및 층(4430)을 갖는 구성은 단일의 발광 유닛으로서 기능할 수 있고, 본 명세서 등에서는 도 29의 (A)의 구성을 싱글 구조라고 부른다.

[0238] 또한 도 29의 (B)는 도 29의 (A)에 도시된 발광 소자(61)에 포함되는 EL층(786)의 변형예이다. 구체적으로는 도 29의 (B)에 도시된 발광 소자(61)는 도전체(772) 위의 층(4430-1)과, 층(4430-1) 위의 층(4430-2)과, 층(4430-2) 위의 발광층(4411)과, 발광층(4411) 위의 층(4420-1)과, 층(4420-1) 위의 층(4420-2)과, 층(4420-2) 위의 도전체(788)를 갖는다. 예를 들어 도전체(772)를 양극으로 하고 도전체(788)를 음극으로 한 경우, 층(4430-1)이 정공 주입층으로서 기능하고, 층(4430-2)이 정공 수송층으로서 기능하고, 층(4420-1)이 전자 수송층으로서 기능하고, 층(4420-2)이 전자 주입층으로서 기능한다. 또는 도전체(772)를 음극으로 하고 도전체(788)를 양극으로 한 경우, 층(4430-1)이 전자 주입층으로서 기능하고, 층(4430-2)이 전자 수송층으로서 기능하고, 층(4420-1)이 정공 수송층으로서 기능하고, 층(4420-2)이 정공 주입층으로서 기능한다. 이러한 층 구조로 함으로써, 발광층(4411)에 캐리어를 효율적으로 주입하고, 발광층(4411) 내에서의 캐리어의 재결합의 효율을 높일 수 있다.

[0239] 또한 도 29의 (C)에 도시된 바와 같이 층(4420)과 층(4430) 사이에 복수의 발광층(발광층(4411), 발광층(4412), 발광층(4413))이 제공되는 구성도 싱글 구조의 일례이다.

[0240] 또한 도 29의 (D)에 도시된 바와 같이, 복수의 발광 유닛(EL층(786a), EL층(786b))이 중간층(전하 발생층(4440))을 개재하여 직렬로 접속된 구성을 본 명세서 등에서는 탠덤 구조 또는 스택 구조라고 부른다. 또한 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 소자를 실현할 수 있다.

[0241] 또한 발광 소자(61)를 도 29의 (D)에 도시된 탠덤 구조로 하는 경우, EL층(786a)의 발광색과 EL층(786b)의 발광색을 같게 하여도 좋다. 예를 들어 EL층(786a)의 발광색 및 EL층(786b)의 발광색을 모두 녹색으로 하여도 좋다. 또한 표시부(31)가 R, G, B라는 3개의 부화소를 포함하고, 각각의 부화소가 발광 소자를 갖는 경우, 각각의 부화소에서의 발광 소자를 탠덤 구조로 하여도 좋다. 구체적으로는 R의 부화소의 EL층(786a) 및 EL층(786b)은 각각 적색 발광이 가능한 재료를 갖고, G의 부화소의 EL층(786a) 및 EL층(786b)은 각각 녹색 발광이 가능한 재료를 갖고, B의 부화소의 EL층(786a) 및 EL층(786b)은 각각 청색 발광이 가능한 재료를 갖는다. 바꿔 말하면, 발광층(4411)의 재료와 발광층(4412)의 재료가 같아도 좋다. EL층(786a)의 발광색과 EL층(786b)의 발광색을 같게 함으로써, 단위 발광 휘도당 전류 밀도를 저감할 수 있다. 따라서 발광 소자(61)의 신뢰성을 높일 수 있다.

[0242] 발광 소자의 발광색은 EL층(786)을 구성하는 재료에 의하여 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 소자를 마이크로캐비티 구조로 함으로써 색 순도를 더 높일 수 있다.

[0243] 발광층은 R(적색), G(녹색), B(청색), Y(황색), O(주황색) 등의 발광을 나타내는 발광 물질을 2개 이상 포함하여도 좋다. 백색의 광을 발하는 발광 소자('백색 발광 디바이스'라고도 함)는 발광층에 2종류 이상의 발광 물질을 포함하는 구성으로 하는 것이 바람직하다. 백색 발광을 얻기 위해서는, 2개 이상의 발광 물질의 각 발광이 보색 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 소자 전체로서 백색 발광하는 발광 소자를 얻을 수 있다. 또한 발광층을 3개 이상 갖는 발광 소자의 경우도 마찬가지이다.

[0244] 발광층은 R(적색), G(녹색), B(청색), Y(황색), O(주황색) 등의 발광을 나타내는 발광 물질을 2개 이상 포함하는 것이 바람직하다. 또는 발광 물질을 2개 이상 갖고, 각 발광 물질의 발광은 R, G, B 중 2개 이상의 색의 스펙트럼 성분을 포함하는 것이 바람직하다.

[0245] <발광 소자(61)의 형성 방법>

[0246] 이하에서는 발광 소자(61)의 형성 방법에 대하여 설명한다.

[0247] 도 30의 (A)에 발광 소자(61)의 상면 개략도를 도시하였다. 발광 소자(61)는 적색을 나타내는 발광 소자(61R), 녹색을 나타내는 발광 소자(61G), 및 청색을 나타내는 발광 소자(61B)를 각각 복수로 갖는다. 도 30의 (A)에서는, 각 발광 소자의 구별을 용이하게 하기 위하여, 각 발광 소자의 발광 영역 내에 R, G, B의 부호를 부여하였다. 또한 도 30의 (A)에 도시된 발광 소자(61)의 구성을 SBS(Side By Side) 구조라고 불러도 좋다. 또한 도 30의 (A)에는 적색(R), 녹색(G), 및 청색(B)의 3개의 색을 갖는 구성을 예시하였지만, 이에 한정되지 않는다. 예를 들어 4개 이상의 색을 갖는 구성으로 하여도 좋다.

[0248] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 매트릭스 형태로 배열되어 있다. 도 30의 (A)는 한쪽 방향으로 동일한 색의 발광 소자가 배열되는, 소위 스트라이프 배열을 도시한 것이다. 또한 발광 소자의 배열 방법은 이에 한정되지 않고, 델타 배열, 지그재그 배열 등의 배열 방법을 적용하여도 좋고, 펜타일 배열을 사용할 수도 있다.

[0249] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로서는 OLED(Organic Light Emitting Diode) 또는 QLED(Quantum-dot Light Emitting Diode) 등의 EL 디바이스를 사용하는 것이 바람직하다. EL 소자에 포함되는 발광 물질로서는, 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 무기 화합물(퀀텀닷 재료 등), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료) 등을 들 수 있다.

[0250] 도 30의 (B)는 도 30의 (A) 중의 일점쇄선 A1-A2에 대응하는 단면 개략도이다. 도 30의 (B)에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 단면을 도시하였다. 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 절연층(251) 위에 제공되고, 화소 전극으로서 기능하는 도전체(772) 및 공통 전극으로서 기능하는 도전체(788)를 갖는다. 절연층(251)으로서는 무기 절연막 및 유기 절연막 중 한쪽 또는 양쪽을 사용할 수

있다. 절연층(251)으로서 무기 절연막을 사용하는 것이 바람직하다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물 절연막 및 질화물 절연막이 있다.

[0251] 발광 소자(61R)는 화소 전극으로서 기능하는 도전체(772)와 공통 전극으로서 기능하는 도전체(788) 사이에 EL층(786R)을 갖는다. EL층(786R)은 적어도 적색의 파장 영역에 강도를 갖는 광을 발하는 발광성 유기 화합물을 갖는다. 발광 소자(61G)에 포함되는 EL층(786G)은 적어도 녹색의 파장 영역에 강도를 갖는 광을 발하는 발광성 유기 화합물을 갖는다. 발광 소자(61B)에 포함되는 EL층(786B)은 적어도 청색의 파장 영역에 강도를 갖는 광을 발하는 발광성 유기 화합물을 갖는다.

[0252] EL층(786R), EL층(786G), 및 EL층(786B)은 각각 발광성 유기 화합물을 포함하는 층(발광층) 이외에, 전자 주입층, 전자 수송층, 정공 주입층, 및 정공 수송층 중 하나 이상을 가져도 좋다.

[0253] 화소 전극으로서 기능하는 도전체(772)는 발광 소자마다 제공되어 있다. 또한 공통 전극으로서 기능하는 도전체(788)는 각 발광 소자에 공통되는 연속된 층으로서 제공되어 있다. 화소 전극으로서 기능하는 도전체(772) 및 공통 전극으로서 기능하는 도전체(788) 중 어느 한쪽에 가시광에 대하여 투광성을 갖는 도전막을 사용하고, 다른 쪽에 반사성을 갖는 도전막을 사용한다. 화소 전극으로서 기능하는 도전체(772)에 투광성을 갖는 도전막을 사용하고, 공통 전극으로서 기능하는 도전체(788)에 반사성을 갖는 도전막을 사용함으로써 하면 사출형(보텀 이미션형)의 표시 장치로 할 수 있고, 반대로 화소 전극으로서 기능하는 도전체(772)에 반사성을 갖는 도전막을 사용하고, 공통 전극으로서 기능하는 도전체(788)에 투광성을 갖는 도전막을 사용함으로써 상면 사출형(톱 이미션형)의 표시 장치로 할 수 있다. 또한 화소 전극으로서 기능하는 도전체(772)와 공통 전극으로서 기능하는 도전체(788)의 양쪽에 투광성을 갖는 도전막을 사용함으로써, 양면 사출형(듀얼 이미션형)의 표시 장치로 할 수도 있다.

[0254] 화소 전극으로서 기능하는 도전체(772)의 단부를 덮어 절연층(272)이 제공되어 있다. 절연층(272)의 단부는 테이퍼 형상인 것이 바람직하다. 절연층(272)에는 절연층(251)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.

[0255] EL층(786R), EL층(786G), 및 EL층(786B)은 각각 화소 전극으로서 기능하는 도전체(772)의 상면과 접촉하는 영역과, 절연층(272)의 표면과 접촉하는 영역을 갖는다. 또한 EL층(786R)의 단부, EL층(786G)의 단부, 및 EL층(786B)의 단부는 절연층(272) 위에 위치한다.

[0256] 도 30의 (B)에 도시된 바와 같이, 상이한 색의 발광 소자 간에서, 2개의 EL층 사이에 틈이 제공되어 있다. 이와 같이, EL층(786R), EL층(786G), 및 EL층(786B)이 서로 접촉하지 않도록 제공되어 있는 것이 바람직하다. 이로써 인접한 2개의 EL층을 통하여 전류가 흘러, 의도치 않은 발광이 발생하는 것(크로스토크라고도 함)을 적합하게 방지할 수 있다. 그러므로 콘트라스트를 높일 수 있어, 표시 품위가 높은 표시 장치를 실현할 수 있다.

[0257] EL층(786R), EL층(786G), 및 EL층(786B)은 메탈 마스크 등의 섀도 마스크를 사용한 진공 증착법 등으로 따로따로 형성할 수 있다. 또는 포토리소그래피법으로 이들을 따로따로 형성할 수 있다. 포토리소그래피법을 사용함으로써, 메탈 마스크를 사용한 경우에는 실현하기 어려운, 정세도가 높은 표시 장치를 실현할 수 있다.

[0258] 또한 본 명세서 등에서 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세(高精細)의 메탈 마스크)을 사용하여 제작된 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서 메탈 마스크 또는 FMM을 사용하지 않고 제작된 디바이스를 MML(메탈 마스크 리스) 구조의 디바이스라고 부르는 경우가 있다.

[0259] 또한 공통 전극으로서 기능하는 도전체(788) 위에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 덮어 보호층(271)이 제공되어 있다. 보호층(271)은 위쪽으로부터 각 발광 소자로 물 등의 불순물이 확산되는 것을 방지하는 기능을 갖는다.

[0260] 보호층(271)은 예를 들어 적어도 무기 절연막을 포함하는 단층 구조 또는 적층 구조로 할 수 있다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물막 또는 질화물막이 있다. 또는 보호층(271)으로서 인듐 갈륨 산화물, 인듐 갈륨 아연 산화물(IGZO) 등의 반도체 재료를 사용하여도 좋다. 또한 보호층(271)은 ALD법, CVD법, 및 스퍼터링법을 사용하여 형성하면 좋다. 또한 보호층(271)으로서, 무기 절연막을 포함하는 구성을 예시하였지만 이에 한정되지 않는다. 예를 들어 보호층(271)을 무기 절연막과 유기 절연막의 적층 구조로

하여도 좋다.

[0261] 또한 본 명세서 중에서 질화산화물이란 산소보다 질소의 함유량이 많은 화합물을 말한다. 또한 산화질화물이란 질소보다 산소의 함유량이 많은 화합물을 말한다. 또한 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란법(RBS:Rutherford Backscattering Spectrometry) 등을 사용하여 측정할 수 있다.

[0262] 보호층(271)으로서, 인듐 갈륨 아연 산화물을 사용하는 경우, 웨트 에칭법 또는 드라이 에칭법을 사용하여 가공할 수 있다. 예를 들어 보호층(271)으로서 IGZO를 사용하는 경우, 옥살산, 인산, 또는 혼합 약액(예를 들어 인산, 아세트산, 질산, 및 물의 혼합 약액(혼산 알루미늄 에칭액이라고도 함)) 등의 약액을 사용할 수 있다. 또한 상기 혼산 알루미늄 에칭액은 체적비로 인산:아세트산:질산:물=53.3:6.7:3.3:36.7 근방의 비율로 할 수 있다.

[0263] 도 30의 (C)에는 상기와 상이한 예를 도시하였다. 구체적으로는 도 30의 (C)에서는, 백색의 광을 나타내는 발광 소자(61W)를 갖는다. 발광 소자(61W)는 화소 전극으로서 기능하는 도전체(772)와 공통 전극으로서 기능하는 도전체(788) 사이에 백색의 광을 나타내는 EL층(786W)을 갖는다.

[0264] EL층(786W)을 예를 들어 각각의 발광색이 보색 관계가 되도록 선택된 2개 이상의 발광층을 적층한 구성으로 할 수 있다. 또한 발광층 사이에 전하 발생층이 끼워진 적층형 EL층을 사용하여도 좋다.

[0265] 도 30의 (C)에는 3개의 발광 소자(61W)를 나란히 도시하였다. 왼쪽의 발광 소자(61W)의 상부에는 착색층(264R)이 제공되어 있다. 착색층(264R)은 적색의 광을 투과시키는 밴드 패스 필터로서 기능한다. 마찬가지로 중앙의 발광 소자(61W)의 상부에는 녹색의 광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)의 상부에는 청색의 광을 투과시키는 착색층(264B)이 제공되어 있다. 이로써 표시 장치는 컬러 화상을 표시할 수 있다.

[0266] 여기서 인접한 2개의 발광 소자(61W) 사이에서 EL층(786W)과 공통 전극으로서 기능하는 도전체(788)가 각각 분리되어 있다. 이로써 인접한 2개의 발광 소자(61W)에서 EL층(786W)을 통하여 전류가 흘러, 의도치 않은 발광이 발생하는 것을 방지할 수 있다. 특히 EL층(786W)으로서 2개의 발광층 사이에 전하 발생층이 제공되는 적층형 EL층을 사용한 경우에는, 정세도가 높을수록, 즉 인접 화소 사이의 거리가 짧을수록, 크로스토크의 영향이 현저하게 나타나고, 콘트라스트가 저하된다는 등의 문제가 생긴다. 그러므로 이러한 구성으로 함으로써, 높은 정세도와 높은 콘트라스트를 겸비하는 표시 장치를 실현할 수 있다.

[0267] EL층(786W)과 공통 전극으로서 기능하는 도전체(788)는 포토리소그래피법으로 분리시키는 것이 바람직하다. 이로써 발광 소자 사이의 간격을 좁힐 수 있기 때문에, 예를 들어 메탈 마스크 등의 섀도 마스크를 사용한 경우와 비교하여, 높은 개구율의 표시 장치를 실현할 수 있다.

[0268] 또한 보텀 이미션형 발광 소자의 경우에는 화소 전극으로서 기능하는 도전체(772)와 절연층(251) 사이에 착색층을 제공하면 좋다.

[0269] 도 30의 (D)에는 상기와 상이한 예를 도시하였다. 구체적으로는 도 30의 (D)는 발광 소자(61R)와, 발광 소자(61G)와, 발광 소자(61B) 사이에 절연층(272)이 제공되지 않은 구성이다. 상기 구성으로 함으로써, 개구율이 높은 표시 장치로 할 수 있다. 또한 보호층(271)이 EL층(786R), EL층(786G), 및 EL층(786B)의 측면을 덮는 구성이다. 상기 구성으로 함으로써, EL층(786R), EL층(786G), 및 EL층(786B)의 측면으로부터 들어갈 수 있는 불순물(대표적으로는 물 등)을 억제할 수 있다. 또한 도 30의 (D)에 도시된 구성에서는, 도전체(772), EL층(786R), 및 도전체(788)의 상면 형상이 실질적으로 일치한다. 이러한 구조는 도전체(772), EL층(786R), 및 도전체(788)를 형성한 후, 레지스트 마스크 등을 사용하여 일괄적으로 형성할 수 있다. 이러한 공정은 도전체(788)를 마스크로서 사용하여 EL층(786R) 및 도전체(788)를 가공하기 때문에, 셀프 얼라인 패터닝이라고 부를 수도 있다. 또한 여기서는 EL층(786R)에 대하여 설명하였지만, EL층(786G) 및 EL층(786B)에 대해서도 같은 구성으로 할 수 있다.

[0270] 또한 도 30의 (D)는 보호층(271) 위에 보호층(273)이 더 제공되는 구조이다. 예를 들어 보호층(271)을 피복성이 높은 막을 성막할 수 있는 장치(대표적으로는 ALD 장치 등)를 사용하여 형성하고, 보호층(273)을 보호층(271)보다 피복성이 낮은 막이 성막되는 장치(대표적으로는, 스퍼터링 장치 등)를 사용하여 형성함으로써, 보호층(271)과 보호층(273) 사이에 영역(275)을 제공할 수 있다. 또한 바꿔 말하면, 영역(275)은 EL층(786R)과 EL층(786G) 사이 및 EL층(786G)과 EL층(786B) 사이에 위치한다.

[0271] 또한 영역(275)은 예를 들어 공기, 질소, 산소, 이산화 탄소, 및 18족 원소(대표적으로는, 헬륨, 네온, 아르곤,

제논, 크립톤 등)에서 선택되는 어느 하나 또는 복수를 갖는다. 또한 영역(275)에는 예를 들어 보호층(273)의 성막 시에 사용하는 기체가 포함되는 경우가 있다. 예를 들어 스퍼터링법으로 보호층(273)을 성막하는 경우, 영역(275)에는 상기 18족 원소 중 어느 하나 또는 복수가 포함되는 경우가 있다. 또한 영역(275)에 기체가 포함되는 경우, 가스 크로마토그래피법 등으로 기체의 동정 등을 수행할 수 있다. 또는 스퍼터링법으로 보호층(273)을 성막하는 경우, 보호층(273)의 막 내에도 스퍼터링 시에 사용한 가스가 포함되는 경우가 있다. 이 경우, 보호층(273)을 에너지 분산형 X선 분석(EDX 분석) 등으로 해석하였을 때, 아르곤 등의 원소가 검출되는 경우가 있다.

[0272] 또한 영역(275)의 굴절률이 보호층(271)의 굴절률보다 낮은 경우, EL층(786R), EL층(786G), 또는 EL층(786B)으로부터 발해지는 광이 보호층(271)과 영역(275)의 계면에서 반사된다. 이로써 EL층(786R), EL층(786G), 또는 EL층(786B) 으로부터 발해지는 광이 인접한 화소에 입사하는 것을 억제할 수 있는 경우가 있다. 이로써 근접 화소로부터의 상이한 발광색의 혼입을 억제할 수 있기 때문에, 표시 장치의 표시 품위를 높일 수 있다.

[0273] 또한 도 30의 (D)에 도시된 구성의 경우, 발광 소자(61R)와 발광 소자(61G) 사이의 영역 또는 발광 소자(61G)와 발광 소자(61B) 사이의 영역(이하에서는, 단순히 발광 소자 간의 거리라고 함)을 좁힐 수 있다. 구체적으로는 발광 소자 간의 거리를 1μm 이하, 바람직하게는 500nm 이하로, 더 바람직하게는 200nm 이하로, 100nm 이하로, 90nm 이하로, 70nm 이하로, 50nm 이하로, 30nm 이하로, 20nm 이하로, 15nm 이하로, 또는 10nm 이하로 할 수 있다. 바꿔 말하면, EL층(786R)의 측면과 EL층(786G)의 측면의 간격 또는 EL층(786G)의 측면과 EL층(786B)의 측면의 간격이 1μm 이하인 영역을 갖고, 바람직하게는 0.5μm(500nm) 이하인 영역을 갖고, 더 바람직하게는 100nm 이하인 영역을 갖는다.

[0274] 또한 예를 들어 영역(275)이 기체를 갖는 경우, 발광 소자 사이에서 소자를 분리시하면서, 각 발광 소자로부터의 광의 혼색 또는 크로스토크 등을 억제할 수 있다.

[0275] 또한 영역(275)을 충전재로 매립하여도 좋다. 충전재로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 또한 충전재로서 포토레지스트를 사용하여도 좋다. 충전재로서 사용하는 포토레지스트는 포지티브형 포토레지스트이어도 좋고, 네거티브형 포토레지스트이어도 좋다.

[0276] 또한 상술한 백색 발광 디바이스(싱글 구조 또는 탠덤 구조)와, SBS 구조의 발광 디바이스를 비교한 경우, SBS 구조의 발광 디바이스는 백색 발광 디바이스보다 소비 전력을 낮출 수 있다. 소비 전력을 낮게 하고자 하는 경우에는, SBS 구조의 발광 디바이스를 사용하는 것이 바람직하다. 한편으로 백색 발광 디바이스는 제조 공정이 SBS 구조의 발광 디바이스보다 간단하기 때문에 제조 비용을 낮출 수 있거나 제조 수율을 높일 수 있어 적합하다.

[0277] 도 31의 (A)에는, 상기와 상이한 예를 도시하였다. 구체적으로는 도 31의 (A)에 도시된 구성은 도 30의 (D)에 도시된 구성과 절연층(251)의 구성이 상이하다. 절연층(251)은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 가공할 때에, 상면의 일부가 연삭되어 오목부를 갖는다. 또한 상기 오목부에는 보호층(271)이 형성된다. 바꿔 말하면, 단면에서 보았을 때 도전체(772)의 하면보다 보호층(271)의 하면이 아래에 위치하는 영역을 갖는다. 상기 영역을 가짐으로써, 아래쪽으로부터 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)에 들어갈 수 있는 불순물(대표적으로는 물 등)을 적합하게 억제할 수 있다. 또한 상기 오목부는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 가공할 때에 각 발광 소자의 측면에 부착될 수 있는 불순물(잔류물이라고도 함)을 웨트 에칭 등에 의하여 제거할 때 형성될 수 있다. 상기 잔류물을 제거한 후, 각 발광 소자의 측면을 보호층(271)으로 덮음으로써 신뢰성이 높은 표시 장치로 할 수 있다.

[0278] 또한 도 31의 (B)에는 상기와 상이한 예를 도시하였다. 구체적으로는 도 31의 (B)에 도시된 구성은 도 31의 (A)에 도시된 구성에 더하여 절연층(276)과 마이크로 렌즈 어레이(277)를 갖는다. 절연층(276)은 접착층으로서의 기능을 갖는다. 또한 절연층(276)의 굴절률이 마이크로 렌즈 어레이(277)의 굴절률보다 낮은 경우, 마이크로 렌즈 어레이(277)는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로부터 발해지는 광을 집광할 수 있다. 이로써 표시 장치의 광 추출 효율을 높일 수 있다. 특히 사용자가 표시 장치의 표시면의 정면으로부터 상기 표시면을 보았을 때, 밝은 화상을 시인할 수 있어 적합하다. 또한 절연층(276)으로서는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지

등을 들 수 있다. 특히 에폭시 수지 등의 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.

[0279] 또한 도 31의 (C)에는 상기와 상이한 예를 도시하였다. 구체적으로는 도 31의 (C)에 도시된 구성은 도 31의 (A)에 도시된 구성에서의 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 대신에 3개의 발광 소자(61W)를 갖는다. 또한 3개의 발광 소자(61W)의 위쪽에 절연층(276)을 갖고, 절연층(276)의 위쪽에 착색층(264R), 착색층(264G), 및 착색층(264B)을 갖는다. 구체적으로는 왼쪽의 발광 소자(61W)와 중첩되는 위치에 적색의 광을 투과시키는 착색층(264R)이 제공되고, 중앙의 발광 소자(61W)와 중첩되는 위치에 녹색의 광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)와 중첩되는 위치에 청색의 광을 투과시키는 착색층(264B)이 제공되어 있다. 이로써 반도체 장치는 컬러 화상을 표시할 수 있다. 도 31의 (C)에 도시된 구성은 도 30의 (C)에 도시된 구성의 변형예이기도 하다.

[0280] 또한 도 31의 (D)에는 상기와 상이한 예를 도시하였다. 구체적으로는 도 31의 (D)에 도시된 구성에서는 보호층(271)이 도전체(772) 및 EL층(786)의 측면과 인접하여 제공되어 있다. 또한 도전체(788)는 각 발광 소자에 공통되는 연속된 층으로서 제공되어 있다. 또한 도 31의 (D)에 도시된 구성에서는 영역(275)이 충전재로 메워진 것이 바람직하다.

[0281] 발광 소자(61)에 미소 광공진기(마이크로캐비티) 구조를 부여함으로써 발광색의 색 순도를 높일 수 있다. 발광 소자(61)에 마이크로캐비티 구조를 부여하기 위해서는 도전체(772)와 도전체(788) 사이의 거리 d와 EL층(786)의 굴절률 n의 곱(광학 거리)이 파장 λ의 2분의 1의 m배(m은 1 이상의 정수임)가 되도록 구성하면 좋다. 거리 d는 수학식 1로 산출할 수 있다.

[0282] $d=m\times\lambda/(2\times n)$ · · · 수학식 1.

[0283] 수학식 1에 따르면 마이크로캐비티 구조의 발광 소자(61)는 발광하는 광의 파장(발광색)에 따라 거리 d가 결정된다. 거리 d는 EL층(786)의 두께에 상당한다. 따라서 EL층(786G)은 EL층(786B)보다 두껍게 제공되고, EL층(786R)은 EL층(786G)보다 두껍게 제공되는 경우가 있다.

[0284] 또한 엄밀하게는 거리 d는 반사 전극으로서 기능하는 도전체(772)의 반사 영역에서 반투과·반반사 전극으로서 기능하는 도전체(788)의 반사 영역까지의 거리이다. 예를 들어 도전체(772)가 은과 투명 도전막인 ITO의 적층이고, ITO가 EL층(786) 측에 있는 경우, ITO의 막 두께를 조정함으로써 발광색에 따른 거리 d를 설정할 수 있다. 즉 EL층(786R), EL층(786G), 및 EL층(786B)의 두께가 같아도, 상기 ITO의 두께를 변경함으로써 발광색에 적합한 거리 d를 얻을 수 있다.

[0285] 그러나 도전체(772) 및 도전체(788)에서의 반사 영역의 위치를 엄밀하게 결정하기 어려운 경우가 있다. 이 경우, 도전체(772)와 도전체(788)의 임의의 위치를 반사 영역으로 가정함으로써 마이크로캐비티의 효과를 충분히 얻을 수 있는 것으로 한다.

[0286] 발광 소자(61)는 정공 수송층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등으로 구성된다. 발광 소자(61)의 자세한 구성예에 대해서는 다른 실시형태에서 설명한다. 마이크로캐비티 구조에서 광의 추출 효율을 높이기 위하여 반사 전극으로서 기능하는 도전체(772)에서 발광층까지의 광학 거리를 λ/4의 홀수배로 하는 것이 바람직하다. 상기 광학 거리를 실현하기 위하여 발광 소자(61)를 구성하는 각 층의 두께를 적절히 조정하는 것이 바람직하다.

[0287] 또한 광을 도전체(788) 측으로부터 사출하는 경우에는 도전체(788)의 반사율이 투과율보다 큰 것이 바람직하다. 도전체(788)의 광의 투과율을 바람직하게는 2% 이상 50% 이하로, 더 바람직하게는 2% 이상 30% 이하로, 더 바람직하게는 2% 이상 10% 이하로 하면 좋다. 도전체(788)의 투과율을 작게 (반사율을 크게) 함으로써 마이크로캐비티의 효과를 높일 수 있다.

[0288] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0289] (실시형태 6)

[0290] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터에 대하여 설명한다.

[0291] <트랜지스터의 구성예>

[0292] 도 32의 (A), (B), 및 (C)는 본 발명의 일 형태에 따른 반도체 장치에 사용할 수 있는 트랜지스터(200) 및 트랜지스터(200) 주변의 상면도 및 단면도이다. 본 발명의 일 형태에 따른 반도체 장치에 트랜지스터(200)를 적용

할 수 있다. 예를 들어 층(30)에 포함되는 트랜지스터에 사용할 수 있다.

[0293] 도 32의 (A)는 트랜지스터(200)의 상면도이다. 또한 도 32의 (B) 및 (C)는 트랜지스터(200)의 단면도이다. 여기서 도 32의 (B)는 도 32의 (A)에 A1-A2의 일점쇄선으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 32의 (C)는 도 32의 (A)에 A3-A4의 일점쇄선으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 32의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0294] 도 32에 도시된 바와 같이, 트랜지스터(200)는 기판(도시하지 않았음) 위에 배치된 금속 산화물(231a), 금속 산화물(231a) 위에 배치된 금속 산화물(231b), 금속 산화물(231b) 위에 서로 이격되어 배치된 도전체(242a) 및 도전체(242b), 도전체(242a) 및 도전체(242b) 위에 배치되고 도전체(242a)와 도전체(242b) 사이에 개구가 형성된 절연체(280), 개구 내에 배치된 도전체(260), 금속 산화물(231b), 도전체(242a), 도전체(242b), 및 절연체(280)와 도전체(260) 사이에 배치된 절연체(250), 그리고 금속 산화물(231b), 도전체(242a), 도전체(242b), 및 절연체(280)와 절연체(250) 사이에 배치된 금속 산화물(231c)을 갖는다. 여기서 도 32의 (B) 및 (C)에 도시된 바와 같이, 도전체(260)의 상면은 절연체(250), 절연체(254), 금속 산화물(231c), 및 절연체(280)의 상면과 실질적으로 일치하는 것이 바람직하다. 또한 이하에서는 금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c)을 통틀어 금속 산화물(231)이라고 하는 경우가 있다. 또한 도전체(242a) 및 도전체(242b)를 통틀어 도전체(242)라고 하는 경우가 있다.

[0295] 도 32에 도시된 트랜지스터(200)에서는, 도전체(242a) 및 도전체(242b)의 도전체(260) 측의 측면이 실질적으로 수직인 형상을 갖는다. 또한 도 32에 도시된 트랜지스터(200)는 이에 한정되지 않고, 도전체(242a) 및 도전체(242b)의 측면과 바닥면이 이루는 각이 10° 이상 80° 이하로, 바람직하게는 30° 이상 60° 이하로 하여도 좋다. 또한 도전체(242a) 및 도전체(242b)의 대향하는 측면이 복수의 면을 가져도 좋다.

[0296] 도 32에 도시된 바와 같이, 절연체(224), 금속 산화물(231a), 금속 산화물(231b), 도전체(242a), 도전체(242b), 및 금속 산화물(231c)과 절연체(280) 사이에 절연체(254)가 배치되는 것이 바람직하다. 여기서 절연체(254)는 도 32의 (B) 및 (C)에 도시된 바와 같이, 금속 산화물(231c)의 측면, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 금속 산화물(231a) 및 금속 산화물(231b)의 측면, 그리고 절연체(224)의 상면과 접촉하는 것이 바람직하다.

[0297] 또한 트랜지스터(200)에서는 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)과 그 근방에 있어서, 금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c)의 3층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 금속 산화물(231b)과 금속 산화물(231c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(200)에서는 도전체(260)를 2층의 적층 구조로 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(260)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c) 각각이 2층 이상의 적층 구조를 가져도 좋다.

[0298] 예를 들어 금속 산화물(231c)이 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 2 금속 산화물로 이루어지는 적층 구조를 갖는 경우, 제 1 금속 산화물은 금속 산화물(231b)과 같은 조성을 갖고, 제 2 금속 산화물은 금속 산화물(231a)과 같은 조성을 갖는 것이 바람직하다.

[0299] 여기서 도전체(260)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(242a) 및 도전체(242b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(260)는 절연체(280)의 개구 및 도전체(242a)와 도전체(242b)에 끼워진 영역에 매립되도록 형성된다. 여기서 도전체(260), 도전체(242a), 및 도전체(242b)의 배치는 절연체(280)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉, 트랜지스터(200)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치시킬 수 있다. 따라서 도전체(260)를 위치를 맞추기 위한 마진을 제공하지 않고 형성할 수 있기 때문에, 트랜지스터(200)의 점유 면적의 축소를 도모할 수 있다. 이로써 표시 장치의 정세도를 높일 수 있다. 또한 표시 장치를 슬림 베젤로 할 수 있다.

[0300] 도 32에 도시된 바와 같이, 도전체(260)는 절연체(250)의 내측에 제공된 도전체(260a)와, 도전체(260a)의 내측에 매립되도록 제공된 도전체(260b)를 갖는 것이 바람직하다.

[0301] 트랜지스터(200)는 기판(도시하지 않았음) 위에 배치된 절연체(214)와, 절연체(214) 위에 배치된 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216)와 도전체(205) 위에 배치된 절연

체(222)와, 절연체(222) 위에 배치된 절연체(224)를 갖는 것이 바람직하다. 절연체(224) 위에 금속 산화물(231a)이 배치되는 것이 바람직하다.

[0302] 트랜지스터(200) 위에 층간막으로서 기능하는 절연체(274) 및 절연체(281)가 배치되는 것이 바람직하다. 여기서 절연체(274)는 도전체(260)의 상면, 절연체(250)의 상면, 절연체(254)의 상면, 금속 산화물(231c)의 상면, 및 절연체(280)의 상면과 접촉하여 배치하는 것이 바람직하다.

[0303] 절연체(222), 절연체(254), 및 절연체(274)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 것이 바람직하다. 예를 들어 절연체(222), 절연체(254), 및 절연체(274)는 절연체(224), 절연체(250), 및 절연체(280)보다 수소 투과성이 낮은 것이 바람직하다. 또한 절연체(222) 및 절연체(254)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 것이 바람직하다. 예를 들어 절연체(222) 및 절연체(254)는 절연체(224), 절연체(250), 및 절연체(280)보다 산소 투과성이 낮은 것이 바람직하다.

[0304] 여기서 절연체(224), 금속 산화물(231), 및 절연체(250)는 절연체(254) 및 절연체(274)에 의하여 절연체(280) 및 절연체(281)와 이격되어 있다. 그러므로 절연체(280) 및 절연체(281) 수소 등의 불순물 및 과잉한 산소가 절연체(224), 금속 산화물(231), 및 절연체(250)에 혼입되는 것을 억제할 수 있다.

[0305] 트랜지스터(200)와 전기적으로 접속되고, 플러그로서 기능하는 도전체(245)(도전체(245a) 및 도전체(245b))가 제공되는 것이 바람직하다. 또한 플러그로서 기능하는 도전체(245)의 측면과 접촉하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공된다. 즉 절연체(254)의 개구의 내벽, 절연체(280)의 개구의 내벽, 절연체(274)의 개구의 내벽, 및 절연체(281)의 개구의 내벽과 접촉하여 절연체(241)가 제공된다. 또한 절연체(241)의 측면과 접촉하여 도전체(245)의 제 1 도전체가 제공되고, 더 내측에 도전체(245)의 제 2 도전체가 제공되는 구성으로 하여도 좋다. 여기서 도전체(245)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(200)에서는 도전체(245)의 제 1 도전체 및 도전체(245)의 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(245)를 단층 또는 3층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 갖는 경우, 형성 순서대로 서수를 붙여 구별하는 경우가 있다.

[0306] 트랜지스터(200)는 채널 형성 영역을 포함하는 금속 산화물(231)(금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어 금속 산화물(231)의 채널 형성 영역이 되는 금속 산화물로서, 밴드 갭이 2eV 이상이고, 바람직하게는 2.5eV 이상인 금속 산화물을 사용하는 것이 바람직하다.

[0307] 상기 금속 산화물로서, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 인듐(In) 및 아연(Zn)을 포함하는 것이 바람직하다. 또한 이들에 더하여 원소 M이 포함되는 것이 바람직하다. 원소 M으로서, 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 주석(Sn), 붕소(B), 타이타늄(Ti), 철(Fe), 니켈(Ni), 저마늄(Ge), 지르코늄(Zr), 몰리브데넘(Mo), 란타넘(La), 세륨(Ce), 네오디뮴(Nd), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 마그네슘(Mg), 및 코발트(Co) 중 하나 이상을 사용할 수 있다. 특히 원소 M은 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 및 주석(Sn) 중 하나 이상으로 하는 것이 바람직하다. 또한 원소 M은 갈륨(Ga) 및 주석(Sn) 중 어느 한쪽 또는 양쪽을 갖는 것이 더 바람직하다.

[0308] 또한 도 32의 (B)에 도시된 바와 같이, 금속 산화물(231b)은 도전체(242)와 중첩되지 않는 영역의 막 두께가 도전체(242)와 중첩되는 영역의 막 두께보다 얇아지는 경우가 있다. 이는 도전체(242a) 및 도전체(242b)를 형성할 때, 금속 산화물(231b)의 상면의 일부를 제거함으로써 형성된다. 금속 산화물(231b)의 상면에서는, 도전체(242)가 되는 도전막을 성막하였을 때 상기 도전막과의 계면 근방에 저항이 낮은 영역이 형성되는 경우가 있다. 이와 같이 금속 산화물(231b)의 상면의 도전체(242a)와 도전체(242b) 사이에 위치하는 저항이 낮은 영역을 제거함으로써, 상기 영역에 채널이 형성되는 것을 방지할 수 있다.

[0309] 본 발명의 일 형태에 의하여 크기가 작은 트랜지스터를 갖고, 정세도가 높은 표시 장치를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터를 갖고, 휘도가 높은 표시 장치를 제공할 수 있다. 또는 동작이 빠른 트랜지스터를 갖고, 동작이 빠른 표시 장치를 제공할 수 있다. 또는 전기 특성이 안정적인 트랜지스터를 갖고, 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 오프 전류가 낮은 트랜지스터를 갖고, 소비 전력이 낮은 표시 장치를 제공할 수 있다.

[0310] 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(200)의 자세한 구성에 대하여 설명한다.

[0311] 도전체(205)는 금속 산화물(231) 및 도전체(260)와 중첩되는 영역을 갖도록 배치된다. 또한 도전체(205)는 절연체(216)에 매립되어 제공되는 것이 바람직하다.

[0312] 도전체(205)는 도전체(205a), 도전체(205b), 및 도전체(205c)를 갖는다. 도전체(205a)는 절연체(216)에 제공된 개구의 저면 및 측벽과 접촉하여 제공된다. 도전체(205b)는 도전체(205a)에 형성된 오목부에 매립되도록 제공된다. 여기서 도전체(205b)의 상면은 도전체(205a)의 상면 및 절연체(216)의 상면보다 낮아진다. 도전체(205c)는 도전체(205b)의 상면 및 도전체(205a)의 측면과 접촉하여 제공된다. 여기서 도전체(205c)의 상면의 높이는 도전체(205a)의 상면의 높이 및 절연체(216)의 상면의 높이와 실질적으로 일치한다. 즉 도전체(205b)는 도전체(205a) 및 도전체(205c)로 감싸이는 구성이다.

[0313] 도전체(205a) 및 도전체(205c)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다.

[0314] 도전체(205a) 및 도전체(205c)에 수소의 확산을 저감하는 기능을 갖는 도전성 재료를 사용함으로써, 도전체(205b) 수소 등의 불순물이 절연체(224) 등을 통하여 금속 산화물(231)로 확산되는 것을 억제할 수 있다. 또한 도전체(205a) 및 도전체(205c)에 산소의 확산을 억제하는 기능을 갖는 도전성 재료를 사용함으로써, 도전체(205b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 갖는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다. 따라서 도전체(205a)로서는 상기 도전성 재료를 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(205a)에는 질화 타이타늄을 사용하면 좋다.

[0315] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)에는 텅스텐을 사용하면 좋다.

[0316] 여기서 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(205)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고, 독립적으로 변화시킴으로써, 트랜지스터(200)의 V_{th}를 제어할 수 있다. 특히 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의 V_{th}를 0V보다 크게 하고, 오프 전류를 낮게 할 수 있게 된다. 따라서 도전체(205)에 음의 전위를 인가하는 것이, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 낮게 할 수 있다.

[0317] 도전체(205)는 금속 산화물(231)에서의 채널 형성 영역보다 크게 제공하는 것이 좋다. 특히 도 32의 (C)에 도시된 바와 같이, 도전체(205)는 금속 산화물(231)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉 금속 산화물(231)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)가 절연체를 개재하여 중첩되어 있는 것이 바람직하다.

[0318] 상기 구성을 가짐으로써, 제 1 게이트 전극으로서의 기능을 갖는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 갖는 도전체(205)의 전계에 의하여 금속 산화물(231)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.

[0319] 도 32의 (C)에 도시된 바와 같이, 도전체(205)는 연장되어 배선으로서도 기능한다. 다만, 이에 한정되지 않고, 도전체(205) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다.

[0320] 절연체(214)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(214)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0321] 예를 들어 절연체(214)로서 산화 알루미늄 또는 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써 물 또는 수소 등의 불순물이 절연체(214)보다 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(224) 등 산소가 절연체(214)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[0322] 층간막으로서 기능하는 절연체(216), 절연체(280), 및 절연체(281)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(216), 절연체(280), 및 절연체(281)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 갖는 산화 실리콘 등을 적절히 사용하면 좋다.

[0323] 절연체(222) 및 절연체(224)는 게이트 절연체로서의 기능을 갖는다.

[0324] 여기서 금속 산화물(231)과 접촉하는 절연체(224)는 가열에 의하여 산소를 이탈시키는 것이 바람직하다. 본 명세서에서는 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어 절연체(224)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 금속 산화물(231)과 접촉하여 제공함으로써, 금속 산화물(231) 내의 산소 결손을 저감하여, 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.

[0325] 절연체(224)로서 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm^3 이상, 바람직하게는 1.0×10^{19} atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19} atoms/cm^3 이상 또는 3.0×10^{20} atoms/cm^3 이상인 산화물막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0326] 도 32의 (C)에 도시된 바와 같이, 절연체(224)는 절연체(254)와 중첩되지 않고, 또한 금속 산화물(231b)과 중첩되지 않는 영역의 막 두께는 이 이외의 영역의 막 두께보다 얇아지는 경우가 있다. 절연체(224)에서 절연체(254)와 중첩되지 않고, 또한 금속 산화물(231b)과 중첩되지 않는 영역의 막 두께는 상기 산소를 충분히 확산시킬 수 있는 막 두께인 것이 바람직하다.

[0327] 절연체(222)는 절연체(214) 등과 마찬가지로 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(222), 절연체(254), 및 절연체(274)에 의하여 절연체(224), 금속 산화물(231), 및 절연체(250) 등을 둘러쌈으로써, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(200)로 침입하는 것을 억제할 수 있다.

[0328] 또한 절연체(222)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(222)가 산소 및 불순물의 확산을 억제하는 기능을 가짐으로써, 금속 산화물(231)에 포함되는 산소가 기판 측으로 확산되는 것을 저감할 수 있어 바람직하다. 또한 도전체(205)가 절연체(224) 및 금속 산화물(231)에 포함되는 산소와 반응하는 것을 억제할 수 있다.

[0329] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 이러한 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 금속 산화물(231)로부터의 산소의 방출 및 트랜지스터(200)의 주변부로부터 금속 산화물(231)에 대한 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0330] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.

[0331] 절연체(222)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위의 저감이 가능하다.

[0332] 또한 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는

적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 예를 들어 절연체(222) 아래에 절연체(224)와 같은 절연체를 제공하는 구성으로 하여도 좋다.

[0333] 금속 산화물(231)은 금속 산화물(231a)과, 금속 산화물(231a) 위의 금속 산화물(231b)과, 금속 산화물(231b) 위의 금속 산화물(231c)을 갖는다. 금속 산화물(231b) 아래에 금속 산화물(231a)을 가짐으로써, 금속 산화물(231a)보다 아래쪽에 형성된 구조물로부터 금속 산화물(231b)에 대한 불순물의 확산을 억제할 수 있다. 또한 금속 산화물(231b) 위에 금속 산화물(231c)을 가짐으로써, 금속 산화물(231c)보다 위쪽에 형성된 구조물로부터 금속 산화물(231b)에 대한 불순물의 확산을 억제할 수 있다.

[0334] 또한 금속 산화물(231)은 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 갖는 것이 바람직하다. 예를 들어 금속 산화물(231)이 적어도 인듐(In)과 원소 M을 포함하는 경우, 금속 산화물(231a)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(231a) 원소 M의 원자수의 비율은 금속 산화물(231b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(231b) 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(231a) 원소 M의 In에 대한 원자수비는 금속 산화물(231b) 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다. 여기서 금속 산화물(231c)로서는 금속 산화물(231a) 또는 금속 산화물(231b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0335] 금속 산화물(231a) 및 금속 산화물(231c)의 전도대 하단의 에너지가 금속 산화물(231b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한 바꿔 말하면, 금속 산화물(231a) 및 금속 산화물(231c)의 전자 친화력이 금속 산화물(231b)의 전자 친화력보다 작은 것이 바람직하다. 이 경우, 금속 산화물(231c)로서는 금속 산화물(231a)에 사용할 수 있는 금속 산화물을 사용하는 것이 바람직하다. 구체적으로는 금속 산화물(231c)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(231c) 원소 M의 원자수의 비율은 금속 산화물(231b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(231b) 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(231c) 원소 M의 In에 대한 원자수비는 금속 산화물(231b) 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다.

[0336] 여기서 금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면, 금속 산화물(231a), 금속 산화물(231b), 및 금속 산화물(231c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 금속 산화물(231a)과 금속 산화물(231b)의 계면 및 금속 산화물(231b)과 금속 산화물(231c)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추면 좋다.

[0337] 구체적으로는 금속 산화물(231a)과 금속 산화물(231b), 금속 산화물(231b)과 금속 산화물(231c)이 산소 이외에 공통되는 원소를 가짐으로써(주성분으로 함으로써), 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 금속 산화물(231b)이 In-Ga-Zn 산화물인 경우, 금속 산화물(231a) 및 금속 산화물(231c)로서, In-Ga-Zn 산화물, Ga-Zn 산화물, 및 산화 갈륨 등을 사용하여도 좋다. 또한 금속 산화물(231c)을 적층 구조로 하여도 좋다. 예를 들어 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 Ga-Zn 산화물의 적층 구조, 또는 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 산화 갈륨의 적층 구조를 사용할 수 있다. 바꿔 말하면, In-Ga-Zn 산화물과 In을 포함하지 않는 산화물의 적층 구조를 금속 산화물(231c)로서 사용하여도 좋다.

[0338] 구체적으로는 금속 산화물(231a)로서, In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(231b)로서, In:Ga:Zn=4:2:3[원자수비] 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(231c)로서, In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=4:2:3[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(231c)을 적층 구조로 하는 경우의 구체적인 예로서, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:1[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:5[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 산화 갈륨의 적층 구조 등을 들 수 있다.

[0339] 이때, 캐리어의 주된 경로는 금속 산화물(231b)이다. 금속 산화물(231a), 금속 산화물(231c)을 상술한 구성으로 함으로써, 금속 산화물(231a)과 금속 산화물(231b)의 계면 및 금속 산화물(231b)과 금속 산화물(231c)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다. 또한 금속 산화물(231c)을 적층 구조로 한 경우, 상술한 금속 산화물(231b)과 금속 산화물(231c)의 계면에서의 결함 준위 밀도를 낮추는 효과에 더하여, 금속 산화물(231c)에 포함되는 구성 원소가 절연체(250) 측으로 확산되는 것을 억제하는 것이 기대된다. 더 구체적으로는 금속 산화물(231c)을 적층 구조로 하고, 적층 구조의 위쪽에 In을 포함하지 않는

산화물을 위치하게 하기 때문에 절연체(250) 측으로 확산될 수 있는 In을 억제할 수 있다. 절연체(250)는 게이트 절연체로서 기능하기 때문에, In이 확산된 경우, 트랜지스터의 특성 불량이 된다. 따라서 금속 산화물(231c)을 적층 구조로 함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있게 된다.

[0340] 금속 산화물(231b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0341] 금속 산화물(231)과 접촉하도록 상기 도전체(242)를 제공함으로써, 금속 산화물(231)의 도전체(242) 근방에서 산소 농도가 저감되는 경우가 있다. 또한 금속 산화물(231)의 도전체(242) 근방에서 도전체(242) 금속과 금속 산화물(231)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이러한 경우, 금속 산화물(231)의 도전체(242) 근방의 영역에서 캐리어 농도가 증가되어 상기 영역은 저저항 영역이 된다.

[0342] 여기서 도전체(242a)와 도전체(242b) 사이의 영역은 절연체(280)의 개구에 중첩되어 형성된다. 이로써 도전체(242a)와 도전체(242b) 사이에 도전체(260)를 자기 정합적으로 배치할 수 있다.

[0343] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 금속 산화물(231c)의 상면과 접촉하여 배치하는 것이 바람직하다. 절연체(250)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 갖는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[0344] 절연체(250)는 절연체(224)와 마찬가지로 절연체(250) 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0345] 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)에 대한 산소 확산을 억제하는 것이 바람직하다. 이로써 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.

[0346] 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 갖는 경우가 있다. 따라서 절연체(250)에 산화 실리콘 또는 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이고, 또한 비유전율이 높은 적층 구조로 할 수 있다. 따라서 게이트 절연체의 물리 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하다.

[0347] 구체적으로는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다.

[0348] 도전체(260)는 도 32에서는 2층 구조로 도시하였지만, 단층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.

[0349] 도전체(260a)는 상술한 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 및 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는 도전체를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다.

[0350] 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250) 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 갖는 도전성 재료로서, 예를 들어

탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다.

[0351] 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(260)는 배선으로서도 기능하기 때문에 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0352] 도 32의 (A) 및 (C)에 도시된 바와 같이, 금속 산화물(231b)에서 도전체(242)와 중첩되지 않는 영역, 바꿔 말하면 금속 산화물(231)의 채널 형성 영역에서, 금속 산화물(231)의 측면이 도전체(260)로 덮이도록 배치되어 있다. 이로써 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계를 금속 산화물(231)의 측면에 작용시키기 쉬워진다. 따라서 트랜지스터(200)의 온 전류를 증대시켜, 주파수 특성을 향상시킬 수 있다.

[0353] 절연체(254)는 절연체(214) 등과 마찬가지로 물 또는 수소 등의 불순물이 절연체(280) 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어 절연체(254)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 또한 도 32의 (B) 및 (C)에 도시된 바와 같이, 절연체(254)는 금속 산화물(231c)의 측면, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 금속 산화물(231a) 및 금속 산화물(231b)의 측면, 그리고 절연체(224)의 상면과 접촉하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(280) 수소가 도전체(242a), 도전체(242b), 금속 산화물(231a), 금속 산화물(231b), 및 절연체(224)의 상면 또는 측면으로부터 금속 산화물(231)로 침입하는 것을 억제할 수 있다.

[0354] 또한 절연체(254)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(254)는 절연체(280) 또는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다.

[0355] 절연체(254)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 절연체(254)를 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 성막함으로써, 절연체(224)에서 절연체(254)와 접촉하는 영역 근방에 산소를 첨가할 수 있다. 이로써 상기 영역으로부터 절연체(224)를 통하여 금속 산화물(231) 내에 산소를 공급할 수 있다. 여기서 절연체(254)가 위쪽으로의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(231)로부터 절연체(280)로 확산되는 것을 방지할 수 있다. 또한 절연체(222)가 아래쪽으로의 산소 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(231)로부터 기판 측으로 확산되는 것을 방지할 수 있다. 이와 같이 하여 금속 산화물(231)의 채널 형성 영역에 산소가 공급된다. 이로써 금속 산화물(231)의 산소 결손을 저감하여 트랜지스터의 노멀리 온화를 억제할 수 있다.

[0356] 절연체(254)로서, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다.

[0357] 수소에 대하여 배리어성을 갖는 절연체(254)로 절연체(224), 절연체(250), 및 금속 산화물(231)을 덮음으로써, 절연체(280)는 절연체(254)에 의하여 절연체(224), 금속 산화물(231), 및 절연체(250)와 이격되어 있다. 이로써 트랜지스터(200)의 외부로부터 수소 등의 불순물이 침입하는 것을 억제할 수 있기 때문에, 트랜지스터(200)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.

[0358] 절연체(280)는 절연체(254)를 개재하여 절연체(224), 금속 산화물(231), 및 도전체(242) 위에 제공된다. 예를 들어 절연체(280)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 갖는 산화 실리콘 등을 갖는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 갖는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0359] 절연체(280) 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.

[0360] 절연체(274)는 절연체(214) 등과 마찬가지로 물 또는 수소 등의 불순물이 위쪽으로부터 절연체(280)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(274)로서, 예를 들어 절연체(214), 절연체(254) 등에 사용할 수 있는 절연체를 사용하면 좋다.

[0361] 절연체(274) 위에 층간막으로서 기능하는 절연체(281)를 제공하는 것이 바람직하다. 절연체(281)는 절연체(224) 등과 마찬가지로 막 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0362] 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)에 형성된 개구에 도전체(245a) 및 도전체(245b)를 배치한다. 도전체(245a) 및 도전체(245b)는 도전체(260)를 개재하여 대향하여 제공된다. 또한 도전체(245a) 및 도전체(245b)의 상면의 높이는 절연체(281)의 상면과 동일 평면상으로 하여도 좋다.

[0363] 또한 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)의 개구의 내벽과 접촉하여 절연체(241a)가 제공되고, 그 측면과 접촉하여 도전체(245a)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242a)가 위치하고, 도전체(245a)가 도전체(242a)와 접촉한다. 마찬가지로 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)의 개구의 내벽과 접촉하여 절연체(241b)가 제공되고, 그 측면과 접촉하여 도전체(245b)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242b)가 위치하고, 도전체(245b)가 도전체(242b)와 접촉한다.

[0364] 도전체(245a) 및 도전체(245b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(245a) 및 도전체(245b)는 적층 구조로 하여도 좋다.

[0365] 도전체(245)를 적층 구조로 하는 경우, 금속 산화물(231a), 금속 산화물(231b), 도전체(242), 절연체(254), 절연체(280), 절연체(274), 절연체(281)와 접촉하는 도전체에는 상술한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 갖는 도전체를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 갖는 도전성 재료는 단층으로 또는 적층하여 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280)에 첨가된 산소가 도전체(245a) 및 도전체(245b)에 흡수되는 것을 억제할 수 있다. 또한 절연체(281)보다 위층으로부터 물 또는 수소 등의 불순물이 도전체(245a) 및 도전체(245b)를 통하여 금속 산화물(231)에 혼입되는 것을 억제할 수 있다.

[0366] 절연체(241a) 및 절연체(241b)로서, 예를 들어 절연체(254) 등에 사용할 수 있는 절연체를 사용하면 좋다. 절연체(241a) 및 절연체(241b)는 절연체(254)와 접촉하여 제공되기 때문에, 절연체(280) 등으로부터 물 또는 수소 등의 불순물이 도전체(245a) 및 도전체(245b)를 통하여 금속 산화물(231)에 혼입되는 것을 억제할 수 있다. 또한 절연체(280) 산소가 도전체(245a) 및 도전체(245b)에 흡수되는 것을 억제할 수 있다.

[0367] 도시하지 않았지만, 도전체(245a)의 상면 및 도전체(245b)의 상면과 접촉하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0368] <트랜지스터의 구성 재료>

[0369] 트랜지스터에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0370] [기판]

[0371] 트랜지스터(200)를 형성하는 기판으로서, 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서, 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 갖는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 갖는 기판, 금속의 산화물을 갖는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0372] [절연체]

[0373] 절연체로서, 절연성을 갖는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질

화산화물 등이 있다.

[0374] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 발생되는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있게 된다. 한편으로 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0375] 비유전율이 높은 절연체로서, 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 갖는 산화물, 알루미늄 및 하프늄을 갖는 산화질화물, 실리콘 및 하프늄을 갖는 산화물, 실리콘 및 하프늄을 갖는 산화질화물, 또는 실리콘 및 하프늄을 갖는 질화물 등이 있다.

[0376] 비유전율이 낮은 절연체로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 갖는 산화 실리콘, 또는 수지 등이 있다.

[0377] 산화물 반도체를 사용한 트랜지스터는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체(절연체(214), 절연체(222), 절연체(254), 및 절연체(274) 등)로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체로서, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층하여 사용하면 좋다. 구체적으로는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 갖는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 또는 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0378] 게이트 절연체로서 기능하는 절연체는 가열에 의하여 이탈되는 산소를 포함하는 영역을 갖는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함하는 영역을 갖는 산화 실리콘 또는 산화질화 실리콘을 금속 산화물(231)과 접촉하는 구조로 함으로써, 금속 산화물(231)에 포함되는 산소 결손을 보상할 수 있다.

[0379] [도전체]

[0380] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체인, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0381] 상기 재료로 형성되는 도전체를 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0382] 또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우에, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0383] 특히 게이트 전극으로서 기능하는 도전체로서 채널이 형성되는 금속 산화물 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인

듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이러한 재료를 사용함으로써, 채널이 형성되는 금속 산화물 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0384] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0385] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0386] (실시형태 7)

[0387] 본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.

[0388] <결정 구조의 분류>

[0389] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 33의 (A)를 사용하여 설명한다. 도 33의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga과, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

[0390] 도 33의 (A)에 나타낸 바와 같이, 산화물 반도체는 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'로 크게 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다(excluding single crystal and poly crystal). 또한 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.

[0391] 또한 도 33의 (A)에 나타낸 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)' 사이의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 'Crystal(결정)' 또는 에너지적으로 불안정한 'Amorphous(무정형)'와는 전혀 다른 구조라고 바꿔 말할 수 있다.

[0392] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서 'Crystalline'으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정으로 얻어지는 XRD 스펙트럼을 도 33의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 33의 (B)에 나타낸 GIXD 측정으로 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 33의 (B)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 33의 (B)에 나타낸 CAAC-IGZO막의 두께는 500nm이다.

[0393] 도 33의 (B)에 나타낸 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는 CAAC-IGZO막의 XRD 스펙트럼에서는 2θ=31° 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 33의 (B)에 나타낸 바와 같이, 2θ=31° 근방의 피크는 피크 강도가 검출된 각도를 축으로 하여 좌우 비대칭이다.

[0394] 막 또는 기판의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 33의 (C)에 나타내었다. 도 33의 (C)는 기판에 대하여 평행하게 전자선을 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 33의 (C)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0395] 도 33의 (C)에 나타낸 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0396] [산화물 반도체의 구조]

[0397] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 33의 (A)와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 이 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0398] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS의 자세한 사항에 대하여 설명한다.

[0399] [CAAC-OS]

[0400] CAAC-OS는 복수의 결정 영역을 갖고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향이다. 또한 결정 영역이란 원자 배열에 주기성을 갖는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 갖고, 상기 영역은 변형을 갖는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 갖고, a-b면 방향으로는 명확한 배향을 갖지 않는 산화물 반도체이다.

[0401] 또한 상기 복수의 결정 영역은 각각, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0402] In-M-Zn 산화물에서, CAAC-OS는 인듐(In) 및 산소를 갖는 층(이하, In층)과, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등에서 선택된 1종류 또는 복수 종류), 아연(Zn), 및 산소를 갖는 층(이하 (M, Zn)층)이 적층된 층상 결정 구조(층상 구조라고도 함)를 갖는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M, Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.

[0403] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행하면, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0404] 예를 들어 CAAC-OS막의 전자선 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0405] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 갖는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않은 것, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.

[0406] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이라고 불린다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류 저하, 전계 효과 이동도 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 갖는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는 Zn을 갖는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0407] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물 혼입 및/또는 결함 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 갖는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 갖는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 높일 수 있게 된다.

[0408] [nc-OS]

[0409] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에

주기성을 갖는다. 바꿔 말하면, nc-OS는 미소한 결정을 갖는다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 및 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행하면, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편으로, 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0410] [a-like OS]

[0411] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 갖는다. 즉 a-like OS는 nc-OS 및 CAAC-OS와 비교하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS와 비교하여 막 내의 수소 농도가 높다.

[0412] [산화물 반도체의 구성]

[0413] 다음으로, 상술한 CAC-OS의 자세한 사항에 대하여 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0414] [CAC-OS]

[0415] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는, 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 갖는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0416] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하, 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 갖는 복합 금속 산화물이다.

[0417] 여기서 In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]이 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]이 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]이 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0418] 구체적으로는 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga을 주성분으로 하는 영역이라고 바꿔 말할 수 있다.

[0419] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

[0420] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과 Ga을 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 갖는 것을 확인할 수 있다.

[0421] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 갖고, 재료의 일부에서는 절연성 기능을 갖고, 재료의 전체에서는 반도체로서의 기능을 갖는다. 도전성 기능과 절연성 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0422] 산화물 반도체는 다양한 구조를 갖고, 각각이 다른 특성을 갖는다. 본 발명의 일 형태에 따른 산화물 반도체는

비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0423] <산화물 반도체를 갖는 트랜지스터>

[0424] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0425] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0426] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1\times10^{17}cm^{-3}$ 이하이고, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하이고, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 이하이고, 더 바람직하게는 $1\times10^{11}cm^{-3}$ 이하이고, 더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.

[0427] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.

[0428] 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0429] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0430] <불순물>

[0431] 여기서 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0432] 산화물 반도체에 14족 원소 중 하나인 실리콘 및/또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘 및 탄소의 농도와, 산화물 반도체와의 계면 근방의 실리콘 및 탄소의 농도(SIMS에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하로, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0433] 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1\times10^{18}atoms/cm^3$ 이하로, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0434] 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체로서 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 $5\times10^{19}atoms/cm^3$ 미만으로, 바람직하게는 $5\times10^{18}atoms/cm^3$ 이하로, 더 바람직하게는 $1\times10^{18}atoms/cm^3$ 이하로, 더욱 바람직하게는 $5\times10^{17}atoms/cm^3$ 이하로 한다.

[0435] 산화물 반도체 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1\times10^{20}atoms/cm^3$ 미만으로, 더 바람직하게는 $1\times10^{19}atoms/cm^3$ 미만으로, 더 바람직하게는 $5\times10^{18}atoms/cm^3$ 미만으

로, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[0436] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0437] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0438] (실시형태 8)

[0439] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있는 전자 기기에 대하여 설명한다.

[0440] 본 발명의 일 형태에 따른 반도체 장치를 전자 기기의 표시부에 적용할 수 있다. 따라서 표시 품위가 높은 전자 기기를 실현할 수 있다. 또는 정세도가 매우 높은 전자 기기를 실현할 수 있다. 또는 신뢰성이 높은 전자 기기를 실현할 수 있다.

[0441] 본 발명의 일 형태에 따른 반도체 장치 등을 사용한 전자 기기로서, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 정지 화상 또는 동영상을 재생하는 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프 리코더, 헤드폰 스테레오, 스테레오, 탁상 시계, 벽걸이 시계, 무선 전화기, 트랜스시버, 자동차 전화, 휴대 전화, 휴대 정보 단말기, 태블릿형 단말기, 휴대용 게임기, 파칭코기 등의 고정식 게임기, 전자식 탁상 계산기, 전자 수첩, 전자책 단말기, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 온수기, 선풍기, 모발 건조기, 에어컨디셔너, 가습기, 제습기 등의 공조 설비, 식기세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 저장용 냉동고, 회중전등, 체인 톱 등의 공구, 연기 감지기, 투석 장치 등의 의료 기기 등을 들 수 있다. 또한 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템, 전력의 평준화와 스마트 그리드를 위한 축전 장치 등의 산업 기기를 들 수 있다. 또한 연료를 사용한 엔진 또는 축전체로부터의 전력을 사용한 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주 경우가 있다. 상기 이동체로서는, 예를 들어 전기 자동차(EV), 내연 기관과 전동기의 양쪽을 포함하는 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들의 바퀴 차륜을 무한궤도로 변경한 궤도 차량, 전동 어시스트 자전거를 포함하는 원동기 장치 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공위성, 우주 탐사기, 혹성 탐사기, 우주선 등이 있다.

[0442] 본 발명의 일 형태에 따른 전자 기기는 이차 전지(배터리)를 가져도 좋고, 비접촉 전력 전송(傳送)을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.

[0443] 이차 전지로서는, 예를 들어, 리튬 이온 이차 전지, 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납축전지, 공기 이차 전지, 니켈 아연 전지, 은 아연 전지 등이 있다.

[0444] 본 발명의 일 형태에 따른 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상 및 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 갖는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.

[0445] 본 발명의 일 형태에 따른 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것)를 가져도 좋다.

[0446] 본 발명의 일 형태에 따른 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다.

[0447] 또한 복수의 표시부를 갖는 전자 기기에서는, 표시부의 일부에 화상 정보를 주로 표시하고, 다른 일부에 문자 정보를 주로 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써, 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한 수상부(受像部)를 갖는 전자 기기에서는, 정지 화상 또는 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 전자 기기에 내장됨)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한 본 발명의 일 형태의 전자 기기에 포함되는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0448] 본 발명의 일 형태에 따른 반도체 장치는 고정세의 화상을 표시할 수 있다. 그러므로 특히 휴대형 전자 기기, 장착형 전자 기기(웨어러블 기기), 및 전자책 단말기 등에 적합하게 사용할 수 있다. 예를 들어 VR 기기 또는 AR 기기 등의 xR 기기에 적합하게 사용할 수 있다.

[0449] 도 34의 (A)에는 헤드 마운트 디스플레이(810)의 외관을 도시하였다. 헤드 마운트 디스플레이(810)는 장착부(811), 렌즈(812), 본체(813), 표시부(814), 케이블(815) 등을 갖는다. 또한 장착부(811)에는 배터리(816)가 내장되어 있다. 표시부(814)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다.

[0450] 케이블(815)은 배터리(816)로부터 본체(813)에 전력을 공급한다. 본체(813)는 무선 수신기 등을 갖고, 수신한 화상 데이터 등의 영상 정보를 표시부(814)에 표시할 수 있다. 또한 본체(813)에 제공된 카메라로 사용자의 안구 및/또는 눈꺼풀의 움직임을 파악하고, 그 정보를 바탕으로 사용자의 시선을 산출함으로써 사용자의 시선을 입력 수단으로서 사용할 수 있다.

[0451] 또한 장착부(811)에는 사용자와 접촉하는 위치에 복수의 전극이 제공되어 있어도 좋다. 본체(813)는 사용자의 안구의 움직임에 따라 전극에 흐르는 전류를 검지함으로써 사용자의 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극에 흐르는 전류를 검지함으로써, 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(811)는 온도 센서, 압력 센서, 가속도 센서 등의 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(814)에 표시하는 기능을 가져도 좋다. 또한 사용자의 머리의 움직임 등을 검출하여, 표시부(814)에 표시하는 영상을 그 움직임에 따라 변화시켜도 좋다.

[0452] 도 34의 (B)에는 헤드 마운트 디스플레이(820)의 외관을 도시하였다. 헤드 마운트 디스플레이(820)는 고글형 정보 처리 장치이다.

[0453] 헤드 마운트 디스플레이(820)는 하우징(821), 조작 버튼(823), 밴드 형태의 고정구(824), 및 2개의 표시부(822)를 갖는다. 2개의 표시부(822)를 가짐으로써, 사용자는 한쪽 눈당 하나의 표시부를 볼 수 있다. 따라서 시차를 사용한 3차원 표시 등을 수행하는 경우에도, 고해상도 영상을 표시할 수 있다. 또한 고정구(824)에는 배터리(825)가 제공되어 있다. 배터리(825)를 하우징(821)에 제공하는 구성으로 하여도 좋지만, 고정구(824)에 제공하는 구성으로 함으로써 헤드 마운트 디스플레이(820)의 중심(重心)을 뒤쪽으로 위치시킬 수 있어, 사용자가 느끼는 장착감이 향상되기 때문에 적합하다. 또한 배터리(825) 이외에도 헤드 마운트 디스플레이(820)의 중심을 조정하기 위하여, 표시부(822)를 동작시키는 구동 회로 등을 고정구(824)에 제공하여도 좋다.

[0454] 조작 버튼(823)은 전원 버튼 등의 기능을 갖는다. 또한 조작 버튼(823) 이외의 버튼을 가져도 좋다.

[0455] 표시부(822)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다. 본 발명의 일 형태에 따른 반도체 장치는 정세도가 매우 높기 때문에, 사용자가 화소를 시인하기 어렵고, 현실감이 더 높은 영상을 표시할 수 있다.

[0456] 도 34의 (C)에 파인더(840)를 갖는 카메라(830)의 외관을 도시하였다.

[0457] 카메라(830)는 하우징(831), 표시부(832), 조작 버튼(833), 셔터 버튼(834) 등을 갖는다. 또한 카메라(830)에는 탈착 가능한 렌즈(836)가 장착되어 있다.

[0458] 여기서는 카메라(830)로서 렌즈(836)를 하우징(831)으로부터 떼서 교환할 수 있는 구성으로 하였지만, 렌즈(836)와 하우징이 일체화되어 있어도 좋다.

[0459] 카메라(830)는 셔터 버튼(834)을 누름으로써 촬상할 수 있다. 또한 표시부(832)는 터치 패널로서의 기능을 갖고, 표시부(832)를 터치함으로써 촬상할 수도 있다.

[0460] 카메라(830)의 하우징(831)은 전극을 갖는 마운트를 갖고, 파인더(840) 이외에 스트로보 장치 등을 접속할 수 있다.

[0461] 파인더(840)는 하우징(841), 표시부(842), 버튼(843) 등을 갖는다.

[0462] 하우징(841)은 카메라(830)의 마운트와 결합되는 마운트를 갖고, 파인더(840)를 카메라(830)에 장착할 수 있다. 또한 상기 마운트는 전극을 갖고, 상기 전극을 통하여 카메라(830)로부터 수신한 영상 등을 표시부(842)에 표시시킬 수 있다.

[0463] 버튼(843)은 전원 버튼으로서의 기능을 갖는다. 버튼(843)에 의하여 표시부(842)의 표시의 온/오프를 전환할 수 있다.

[0464] 카메라(830)의 표시부(832) 및 파인더(840)의 표시부(842)에 본 발명의 일 형태에 따른 반도체 장치를 적용할

수 있다.

[0465] 또한 도 34의 (C)에서는, 카메라(830)와 파인더(840)를 별도의 전자 기기로 하고, 이들을 탈착 가능한 구성으로 하였지만, 카메라(830)의 하우징(831)에, 본 발명의 일 형태에 따른 반도체 장치를 갖는 파인더가 내장되어도 좋다.

[0466] 도 34의 (D)에 도시된 정보 단말기(850)는 하우징(851), 표시부(852), 마이크로폰(857), 스피커부(854), 카메라(853), 및 조작 스위치(855) 등을 갖는다. 표시부(852)에 본 발명의 일 형태에 따른 반도체 장치를 적용할 수 있다. 또한 표시부(852)는 터치 패널로서의 기능을 갖는다. 또한 정보 단말기(850)는 하우징(851)의 내측에 안테나, 배터리 등을 갖는다. 정보 단말기(850)는 예를 들어 스마트폰, 휴대 전화기, 태블릿형 정보 단말기, 태블릿형 퍼스널 컴퓨터, 전자책 단말기 등으로서 사용할 수 있다.

[0467] 도 34의 (E)에는 손목시계형 정보 단말기의 일례를 도시하였다. 정보 단말기(860)는 하우징(861), 표시부(862), 밴드(863), 버클(864), 조작 스위치(865), 입출력 단자(866) 등을 갖는다. 또한 정보 단말기(860)는 하우징(861)의 내측에 안테나 및 배터리 등을 갖는다. 정보 단말기(860)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등, 다양한 애플리케이션을 실행할 수 있다.

[0468] 또한 표시부(862)는 터치 센서를 갖고, 손가락 또는 스타일러스 등으로 화면을 터치함으로써 조작할 수 있다. 예를 들어 표시부(862)에 표시된 아이콘(867)을 터치함으로써 애플리케이션을 기동할 수 있다. 조작 스위치(865)는 시각 설정 이외에, 전원의 온, 오프 동작, 무선 통신의 온, 오프 동작, 매너 모드의 실행 및 해제, 전력 절약 모드의 실행 및 해제 등, 다양한 기능을 가질 수 있다. 예를 들어 정보 단말기(860)에 제공된 운영 체계에 의하여, 조작 스위치(865)의 기능을 자유로이 설정할 수도 있다.

[0469] 또한 정보 단말기(860)는 통신 규격화된 근거리 무선 통신을 실행할 수 있다. 예를 들어 무선 통신할 수 있는 헤드셋과 상호 통신함으로써, 핸즈프리로 통화할 수도 있다. 또한 정보 단말기(860)는 입출력 단자(866)를 갖고, 입출력 단자(866)를 통하여 다른 정보 단말기와 데이터를 송수신할 수 있다. 또한 입출력 단자(866)를 통하여 충전을 수행할 수도 있다. 또한 충전 동작은 입출력 단자(866)를 통하지 않고 무선 급전에 의하여 수행하여도 좋다.

[0470] 본 실시형태에 기재된 구성은 다른 실시형태 등에 기재된 구성과 적절히 조합하여 사용할 수 있다.

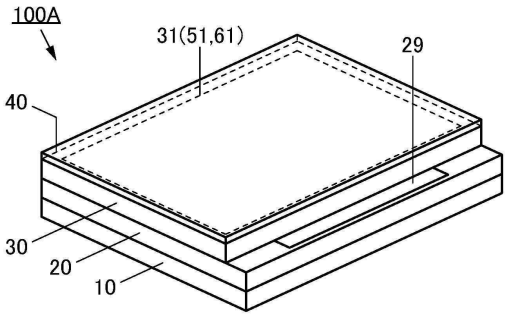
부호의 설명

[0471] 10: 층, 11: 기억부, 12: 메모리 셀, 15: 메모리 셀군, 19: 단자부, 20: 층, 21: CPU, 22: GPU, 23: 표시부 구동 회로, 24: 기억부 구동 회로, 25: 초해상 회로, 26: 센서 회로, 27: 통신 회로, 28: 입출력 회로, 29: 단자부, 30: 층, 31: 표시부, 32: 메모리 칩, 35: 부화면, 38: 와이어, 39: 단자부, 40: 밀봉 기판, 42: 노치부, 51: 화소 회로, 53: 용량 소자, 55: 도전체, 60: 층, 61: 발광 소자, 71: 제어 회로, 72: 타이밍 컨트롤러, 73: 직렬 병렬 변환 회로, 74: 래치 회로, 75: DAC, 76: 증폭 회로, 90: 기능 회로

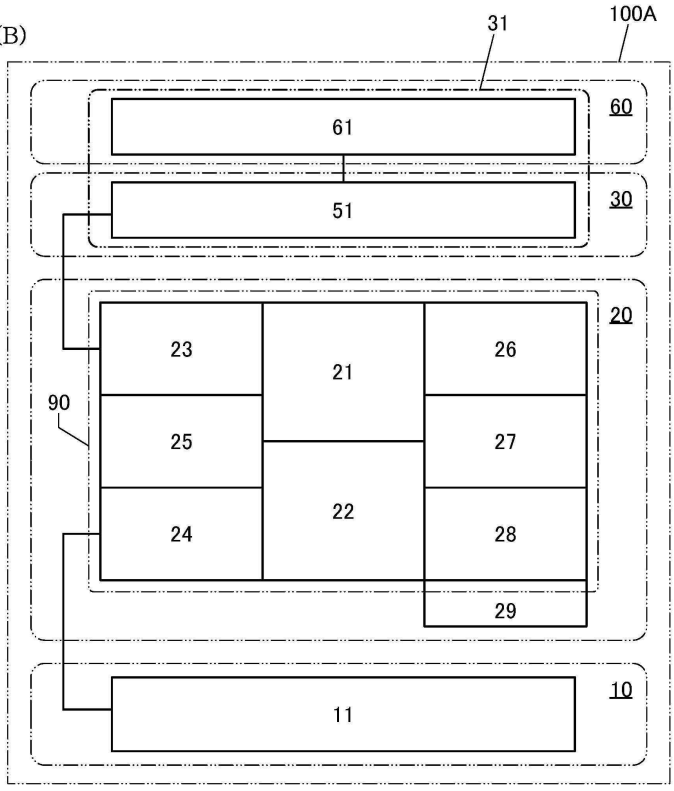
도면

도면1

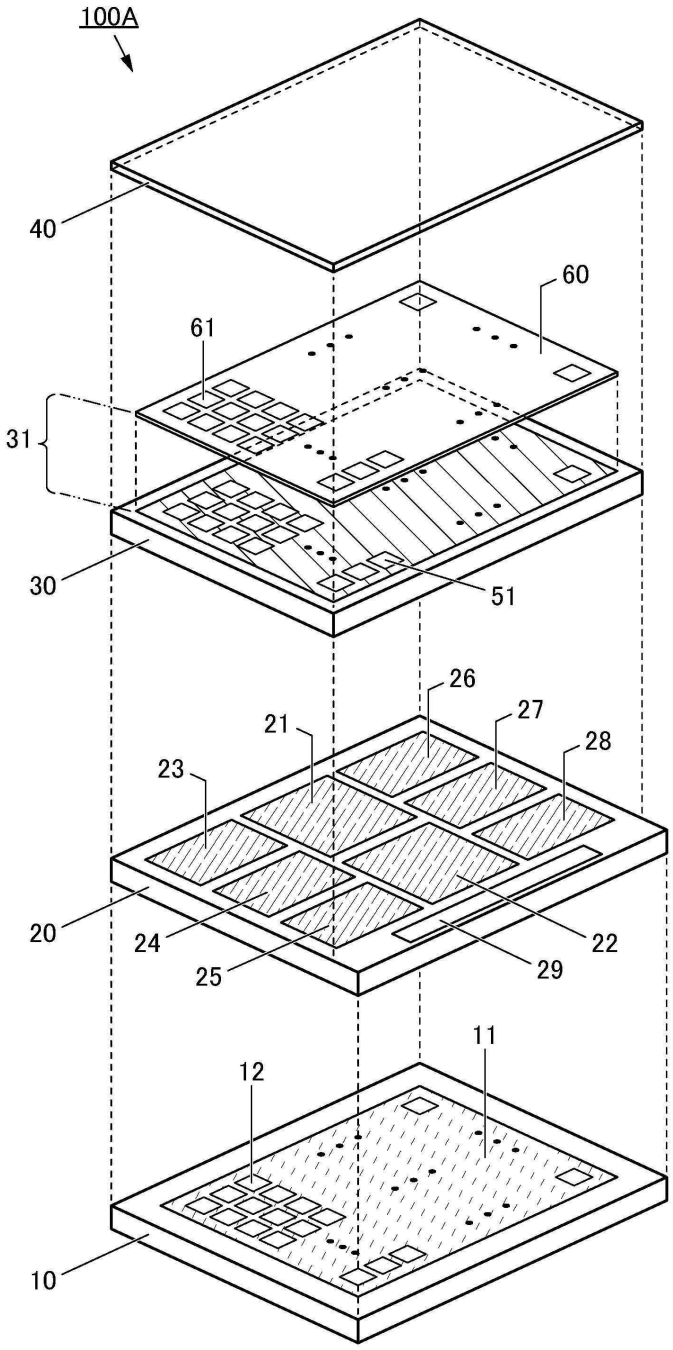
(A)


100A
31(51,61)
29
40
30
20
10

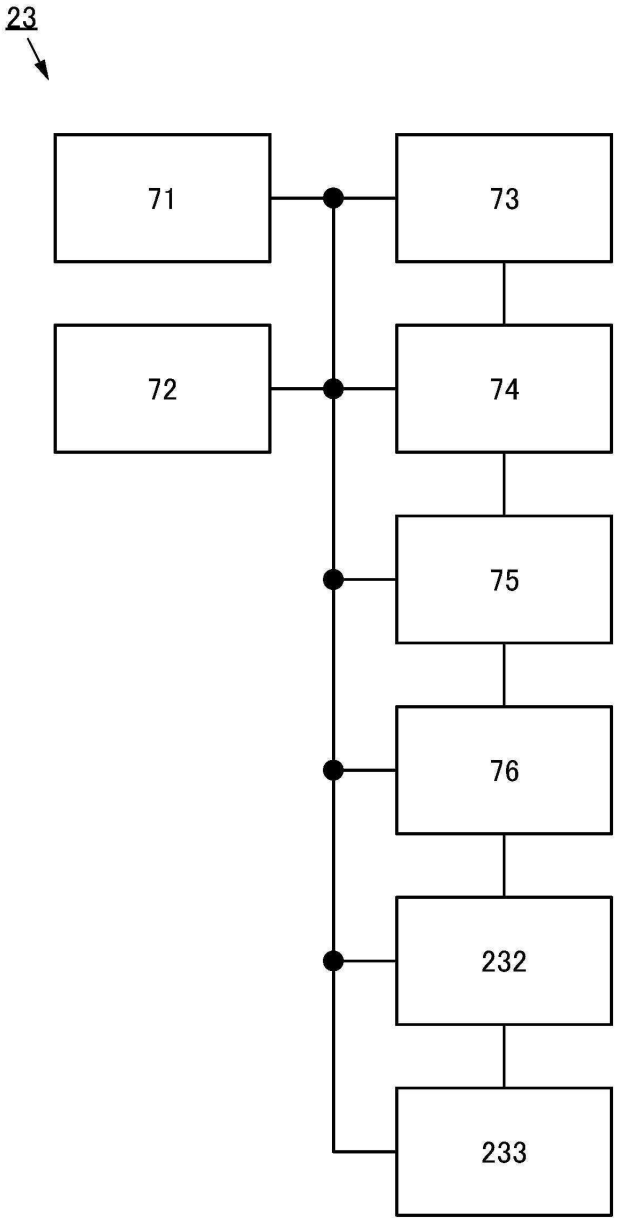
(B)


31
100A
60
61
30
51
20
23
21
26
90
25
27
22
24
28
29
10
11

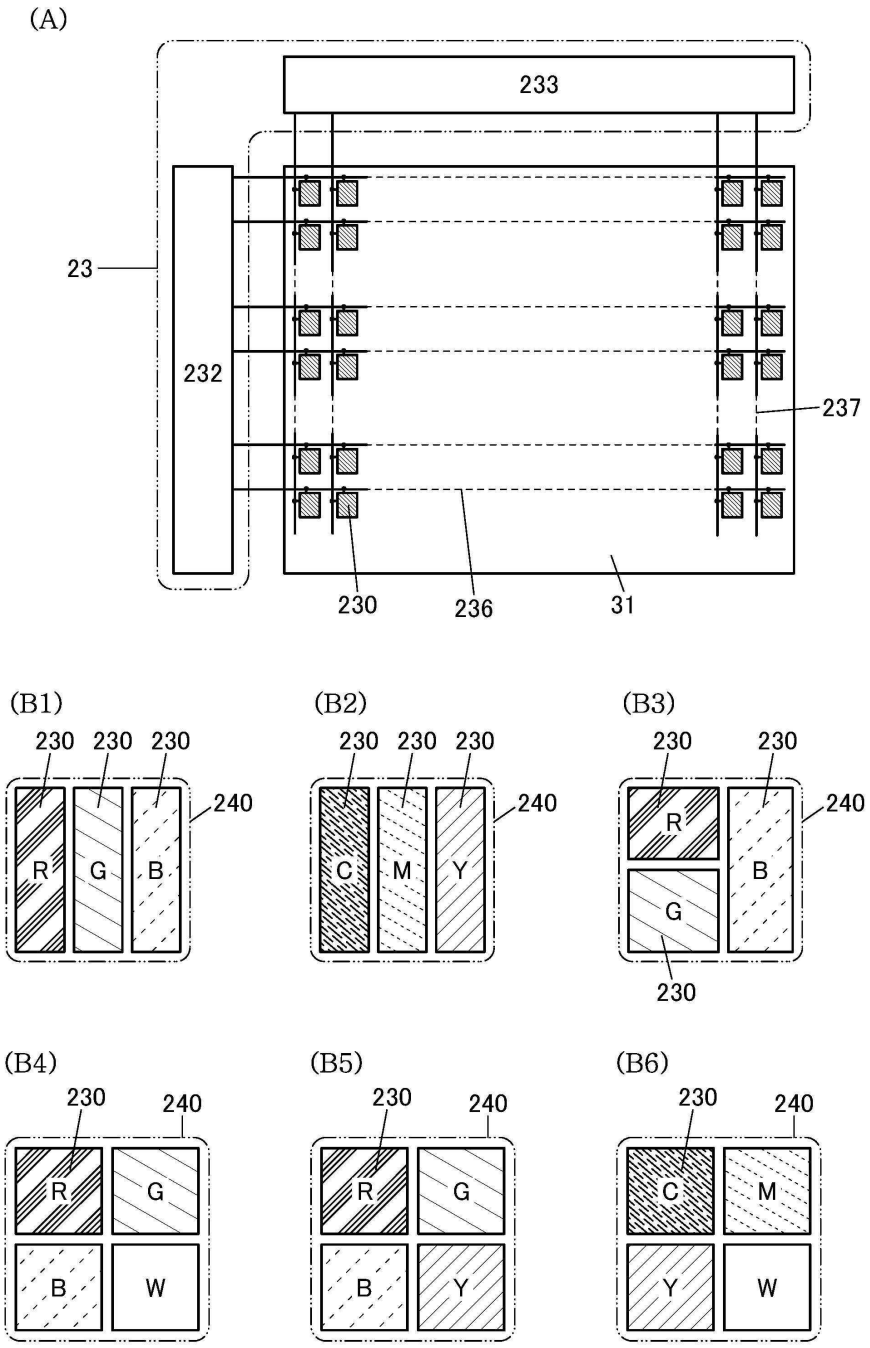
도면2



도면3

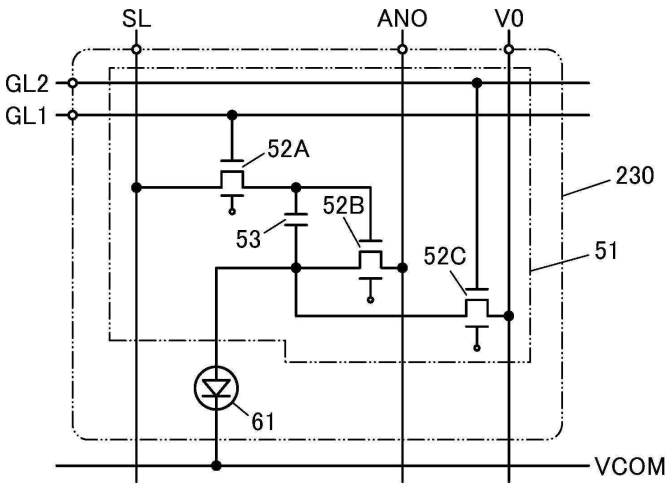


도면4

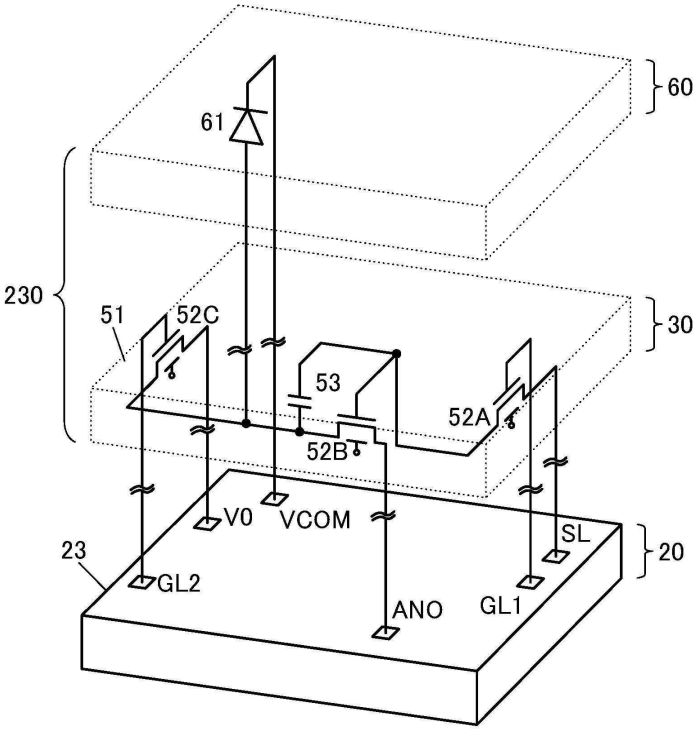

(A)
233
23
232
237
230
236
31
(B1)
230
230
230
240
R
G
B
(B2)
230
230
230
240
C
M
Y
(B3)
230
230
240
R
B
G
230
(B4)
230
240
R
G
B
W
(B5)
230
240
R
G
B
Y
(B6)
230
240
C
M
Y
W

도면5

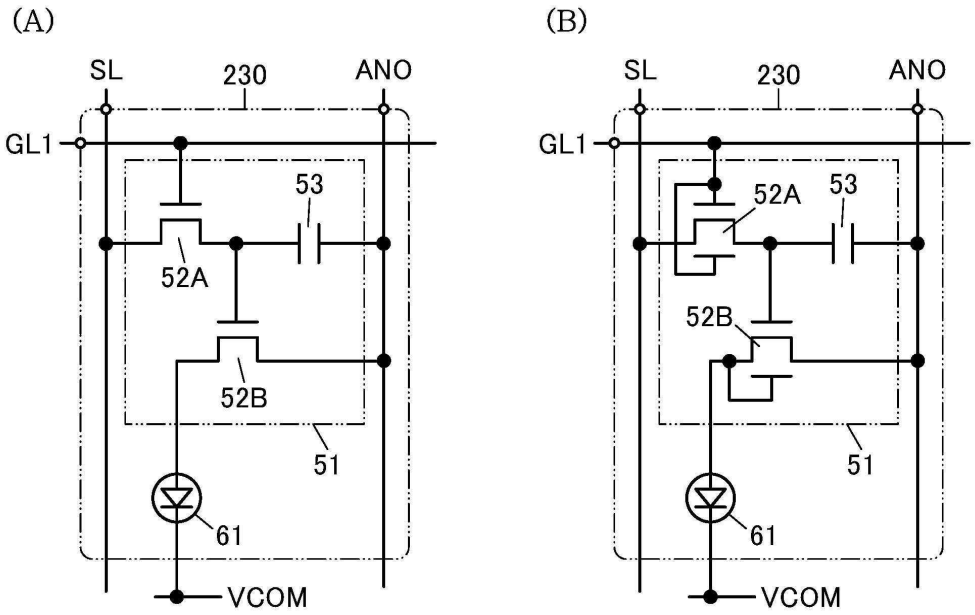
(A)


SL
ANO
V0
GL2
GL1
52A
230
52B
53
52C
51
61
VCOM

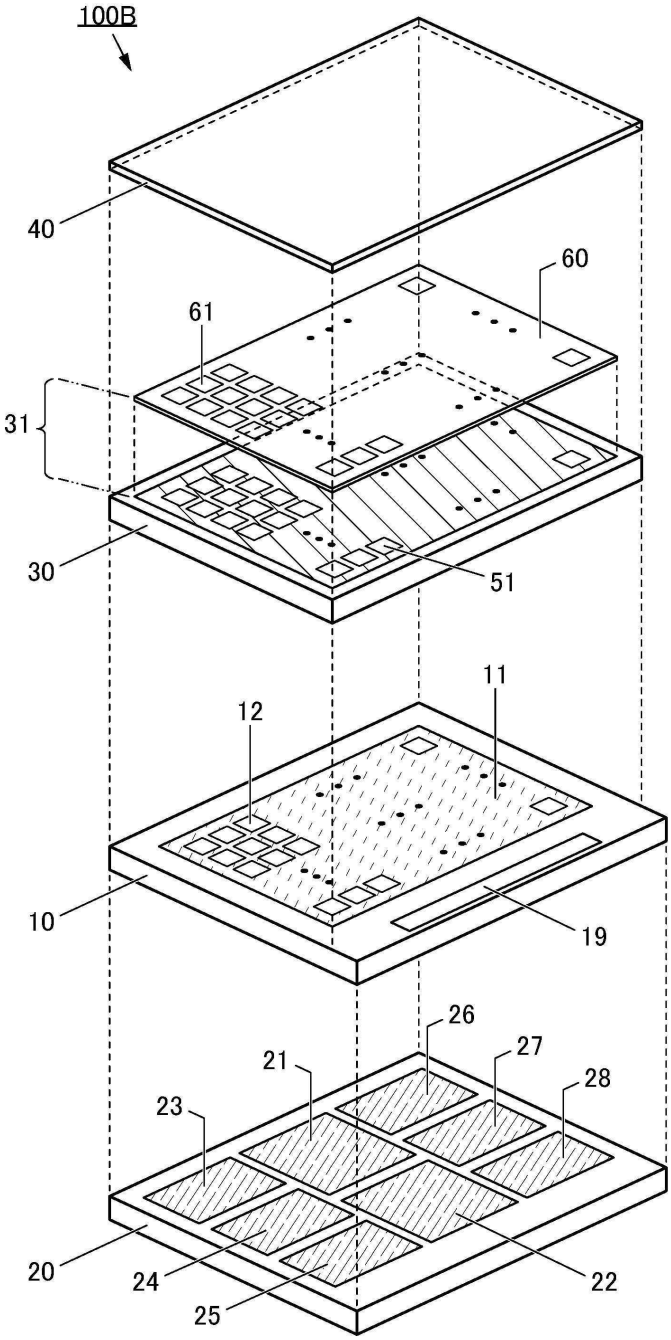
(B)


60
61
230
51
52C
30
53
52A
52B
V0
VCOM
SL
23
20
GL2
ANO
GL1

도면6

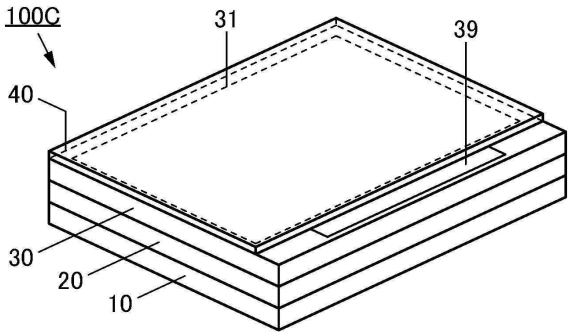

(A)
SL
230
ANO
GL1
53
52A
52B
51
61
VCOM
(B)
SL
230
ANO
GL1
52A
53
52B
51
61
VCOM

도면7

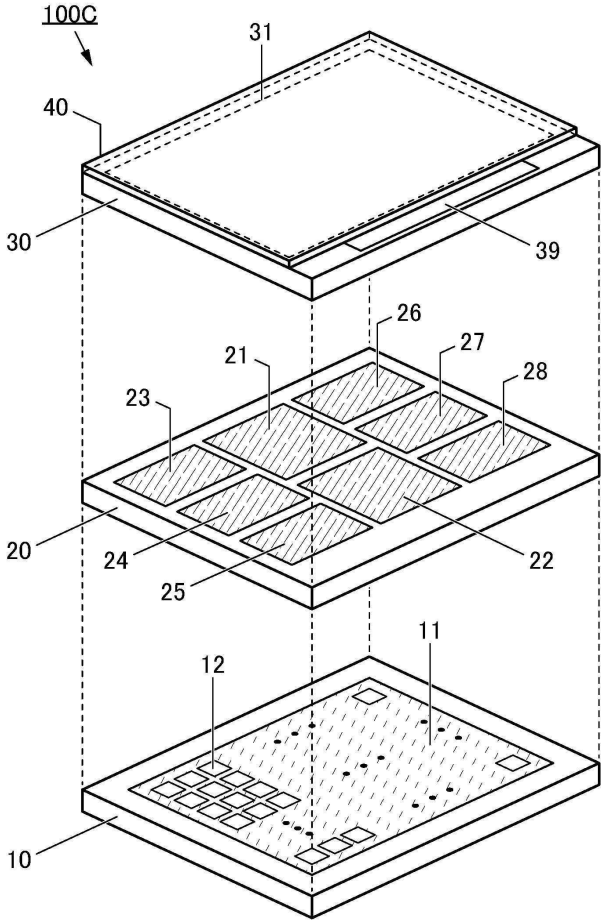


도면8

(A)

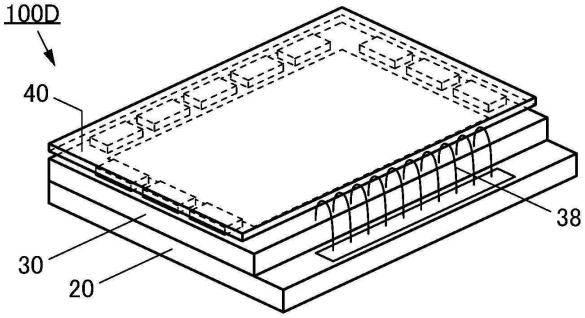

100C
31
39
40
30
20
10

(B)

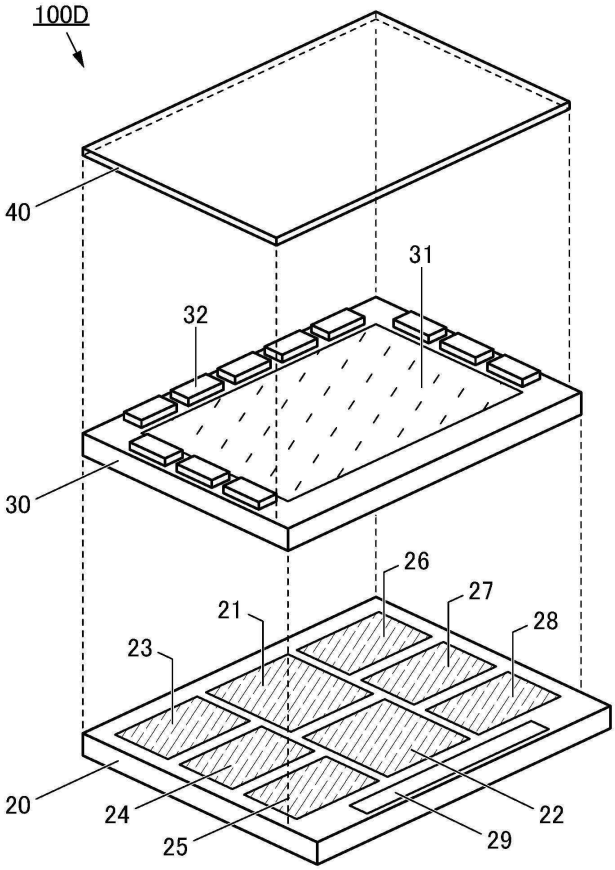

100C
31
40
30
39
26
27
21
28
23
20
24
22
25
11
12
10

도면9

(A)

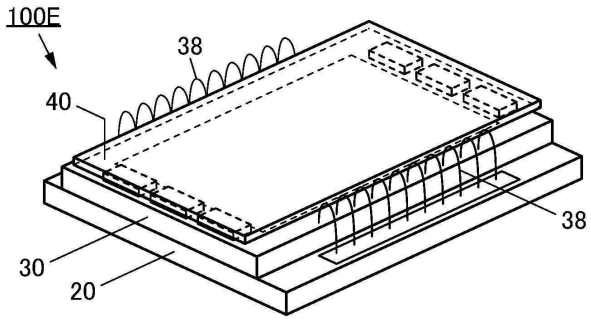


(B)

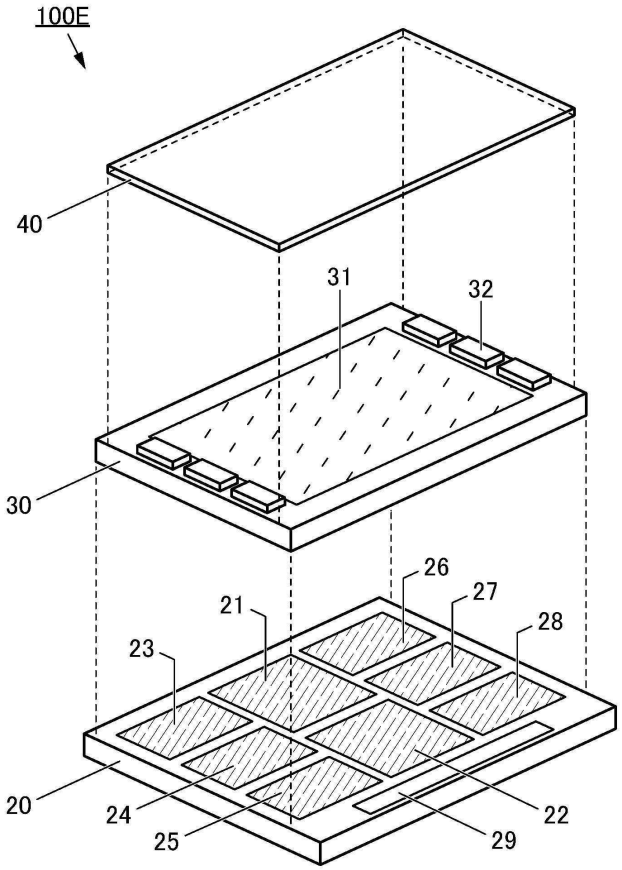


도면10

(A)

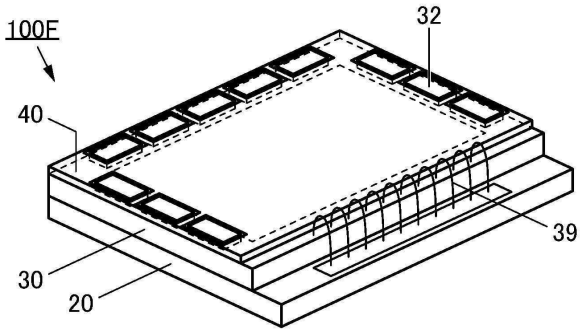


(B)

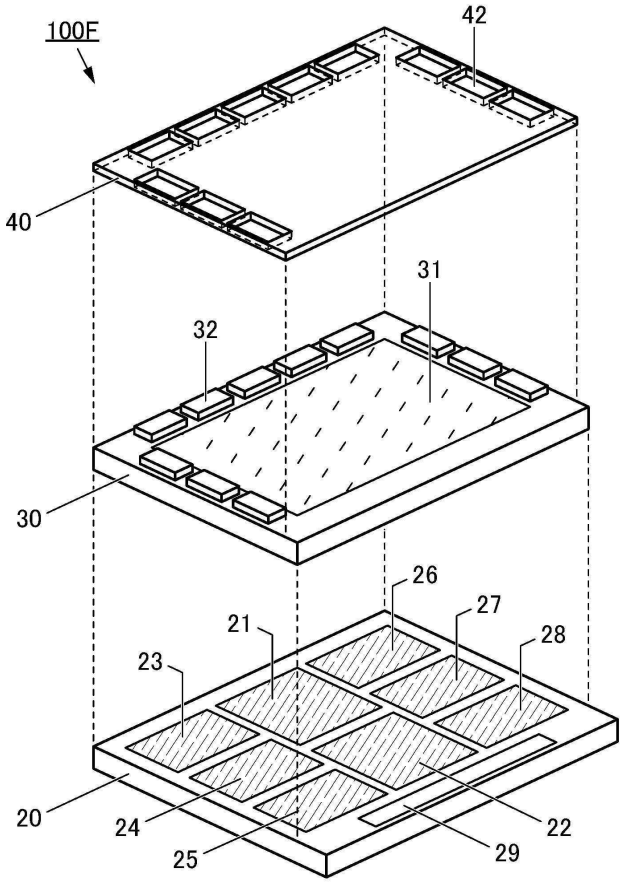


도면11

(A)

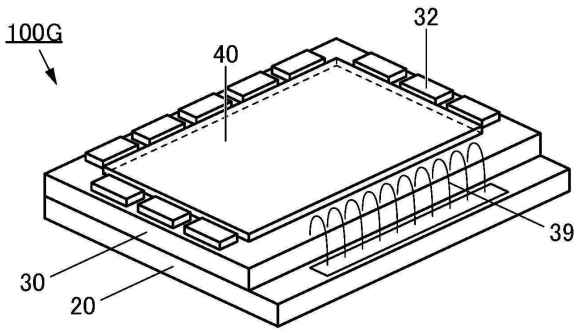


(B)

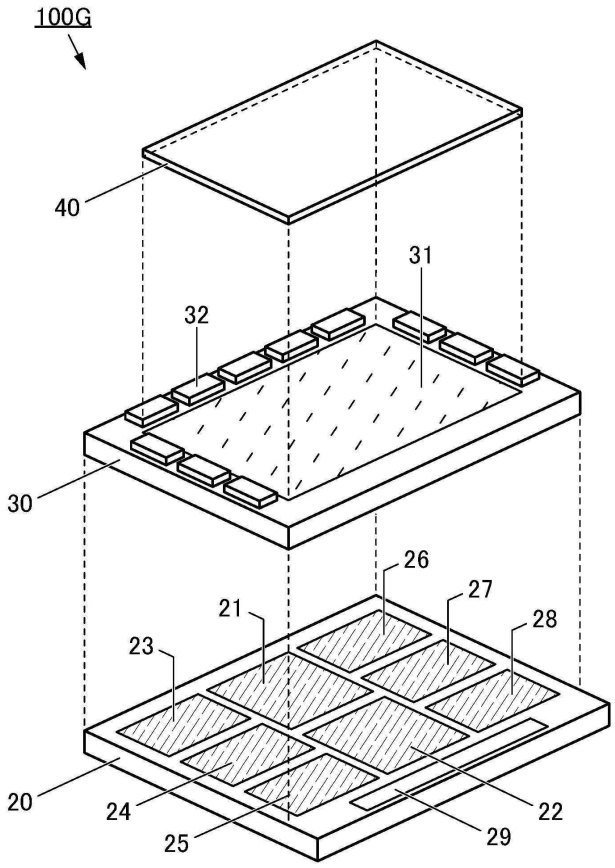


도면12

(A)

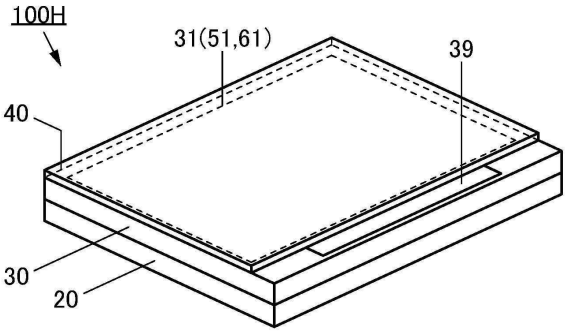


(B)

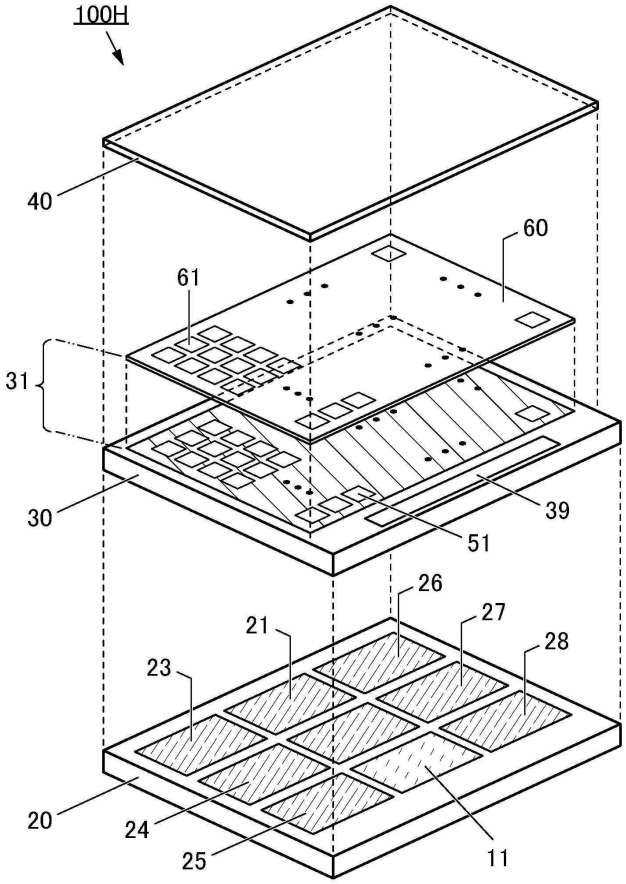


도면13

(A)

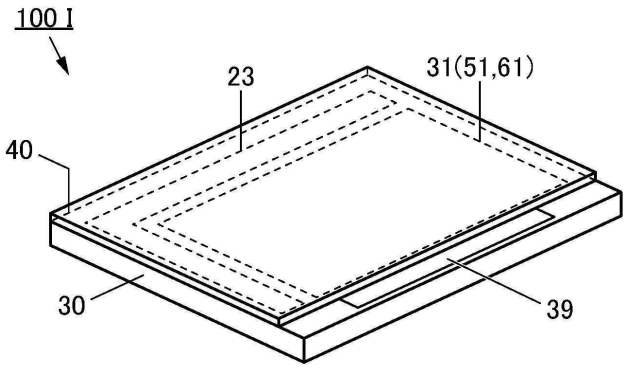

100H
31(51,61)
39
40
30
20

(B)

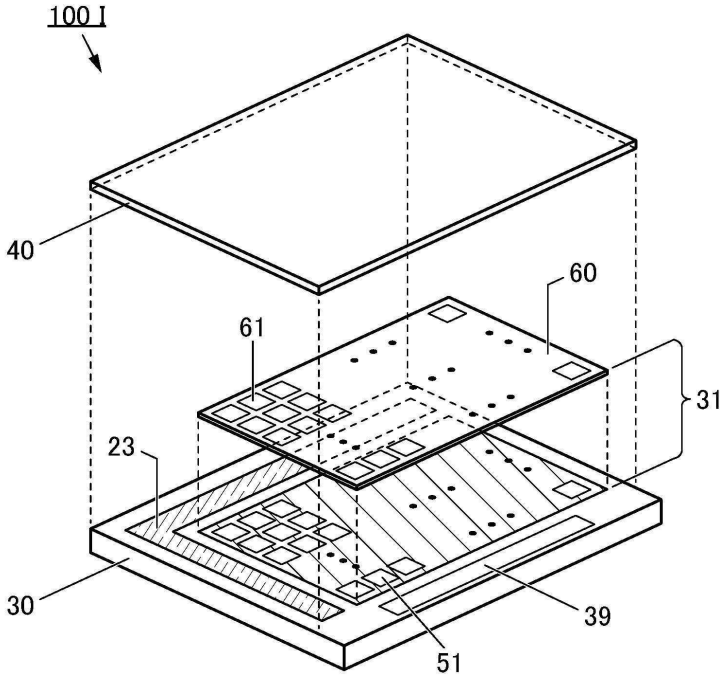

100H
40
60
61
31
30
39
51
26
27
21
28
23
20
24
25
11

도면14

(A)

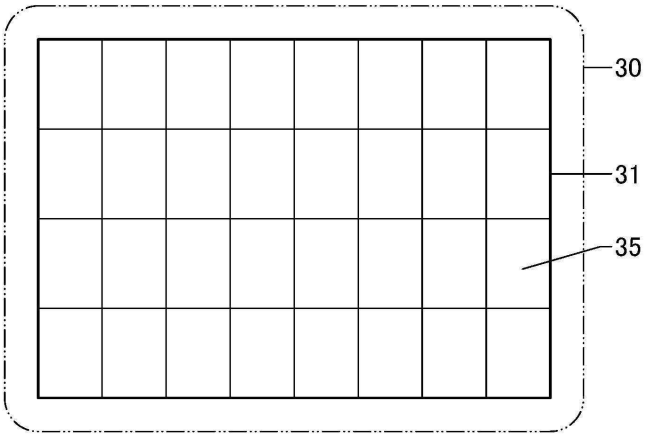


(B)

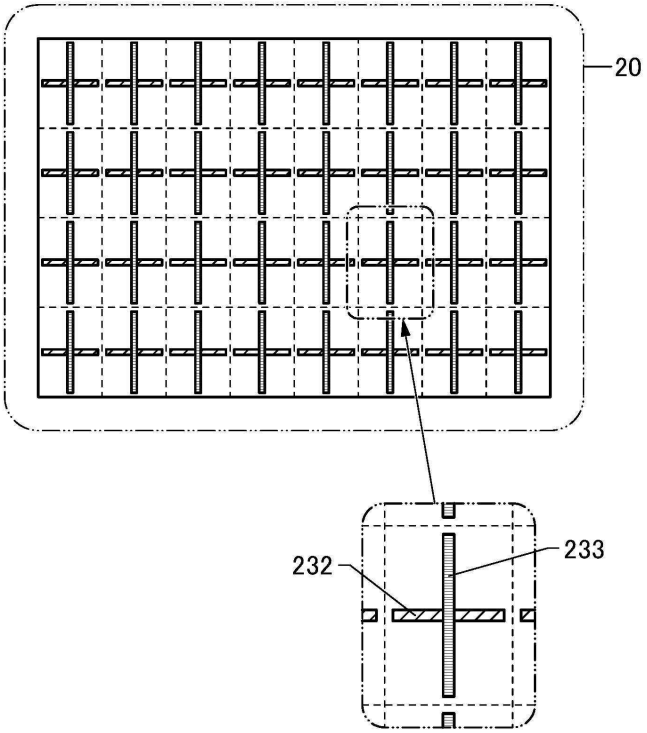


도면15

(A)

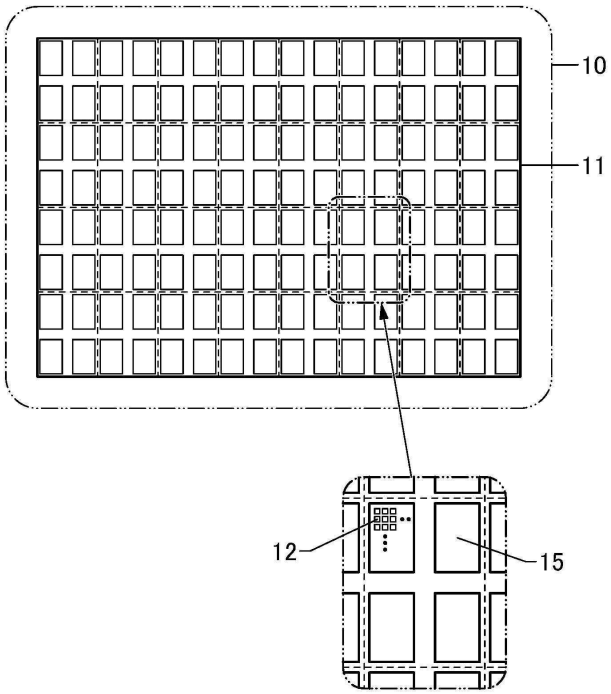


(B)

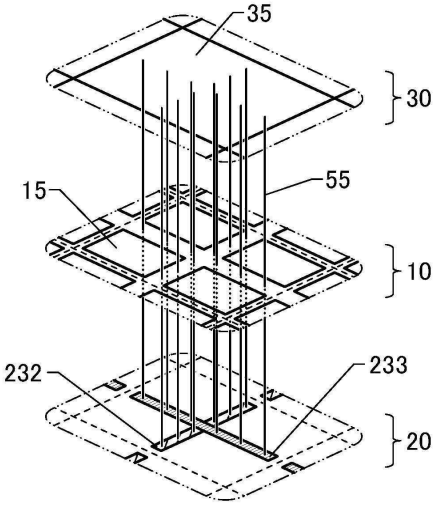


도면16

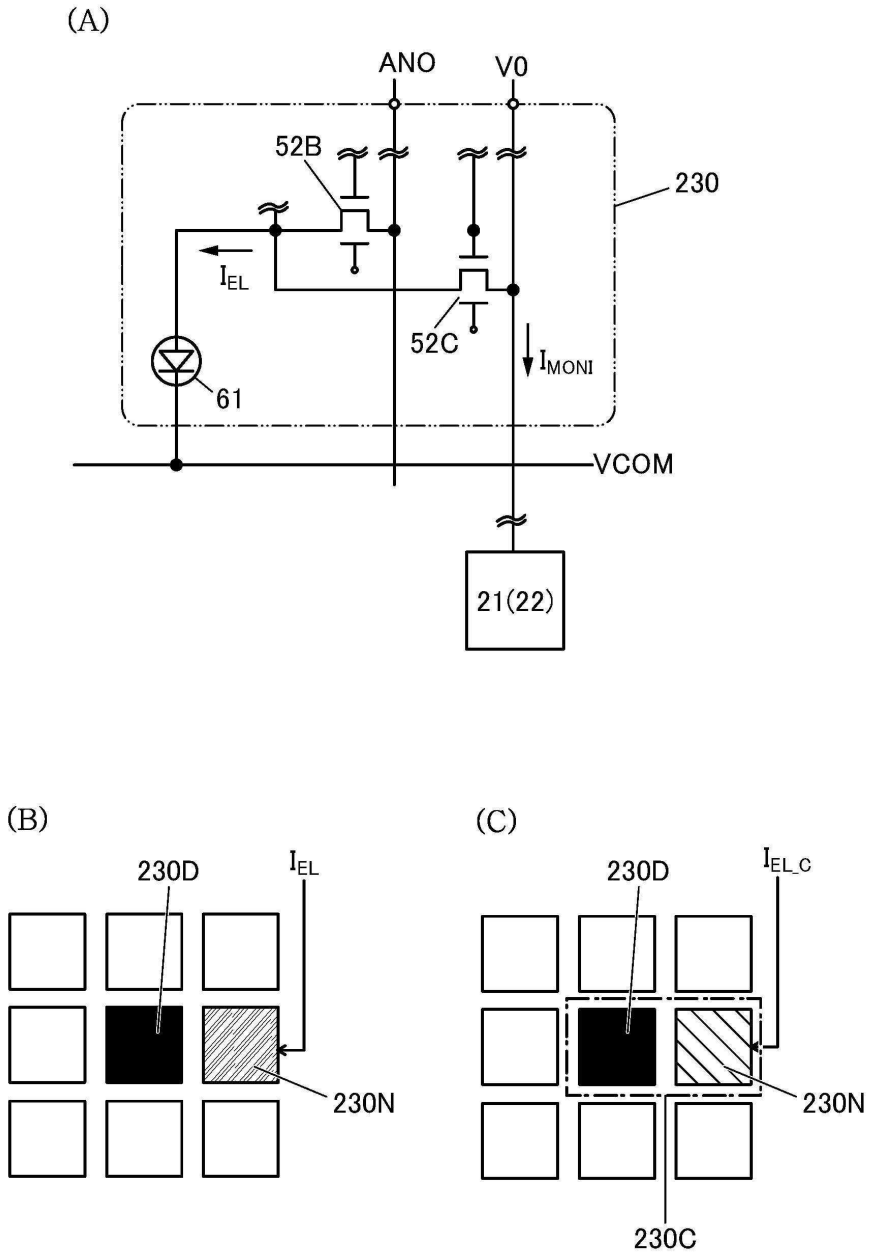
(A)



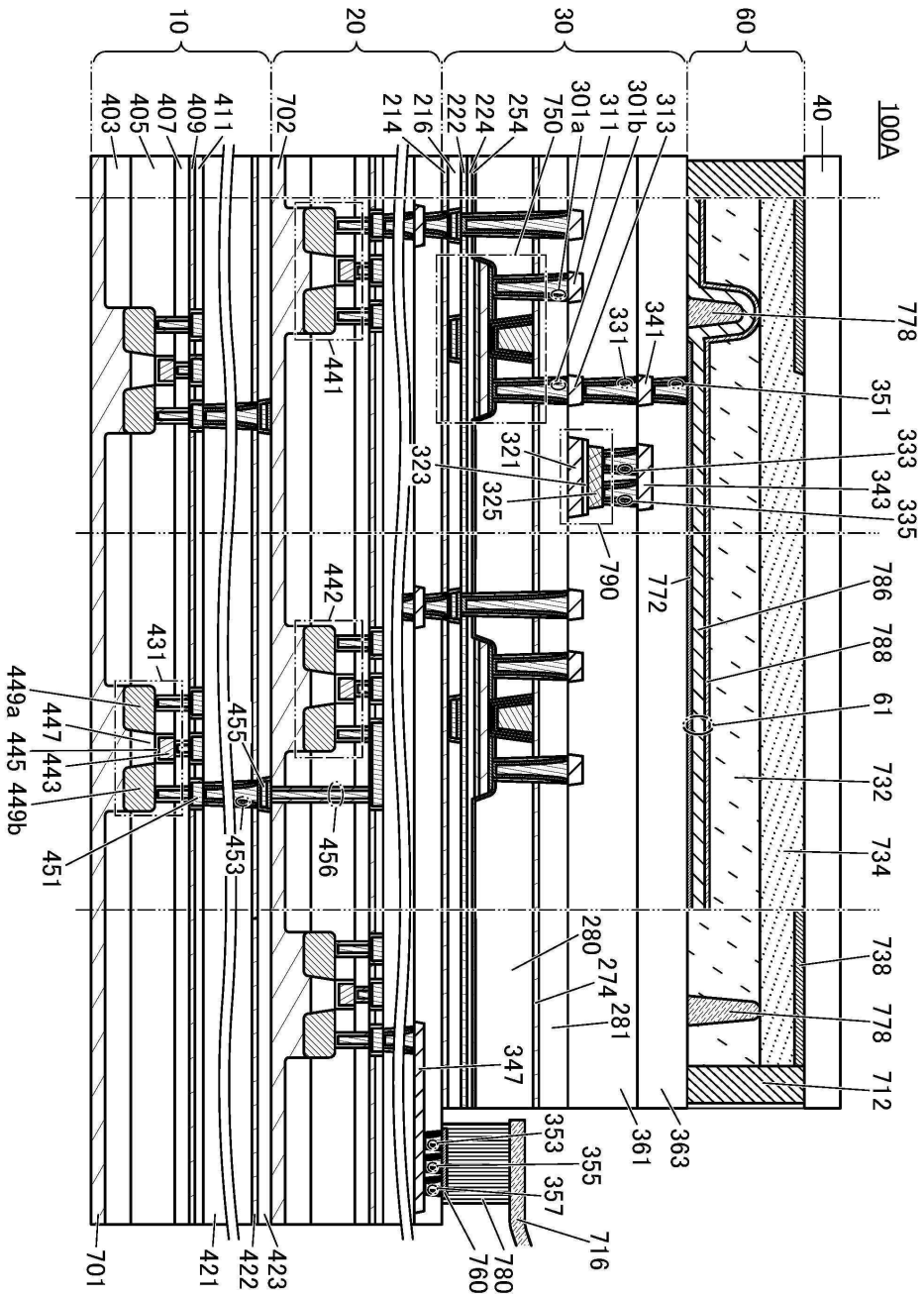
(B)



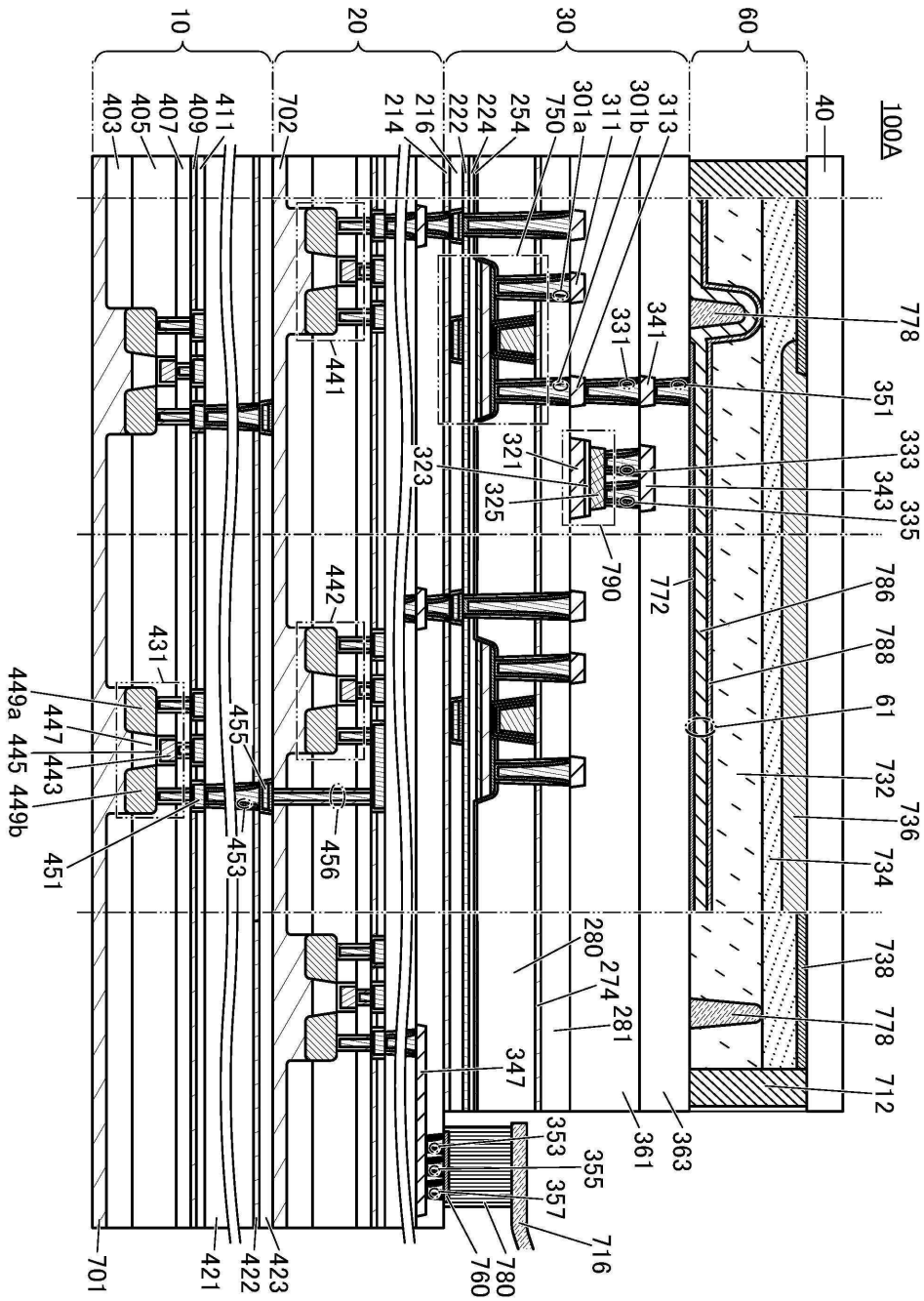
도면17


(A)
ANO
V0
52B
230
I_{EL}
52C
I_{MONI}
61
VCOM
21(22)
(B)
230D
I_{EL}
230N
(C)
230D
I_{EL_C}
230N
230C

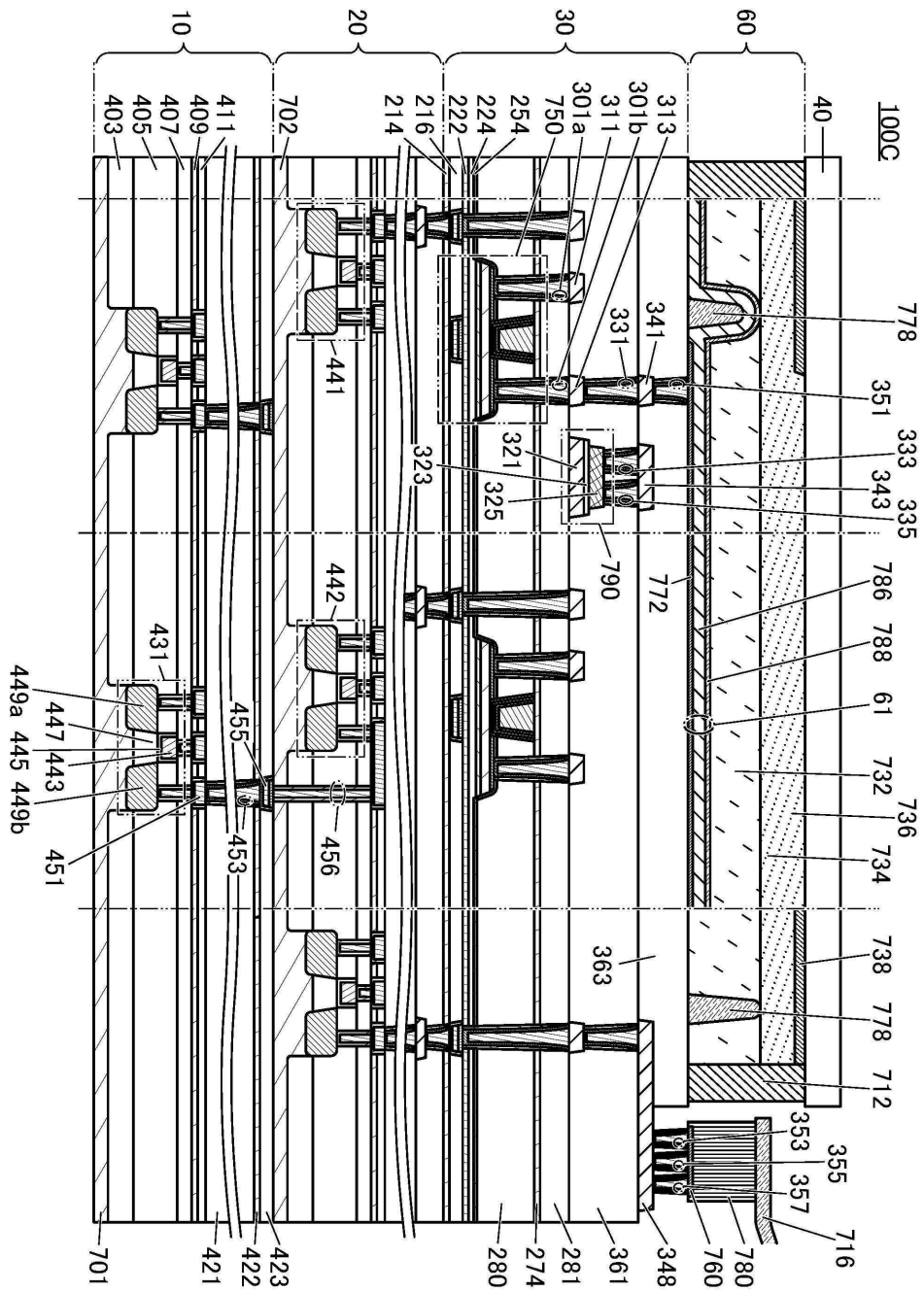
도면18


100A
10
20
30
60
40
403
405
407
409
411
702
214
216
222
224
254
750
301a
311
301b
313
331
341
778
351
333
343
335
441
321
323
325
790
772
786
788
61
732
734
738
778
712
442
431
449a
445
449b
447
443
451
455
453
456
280
274
281
347
353
355
357
716
780
760
363
361
701
421
422
423

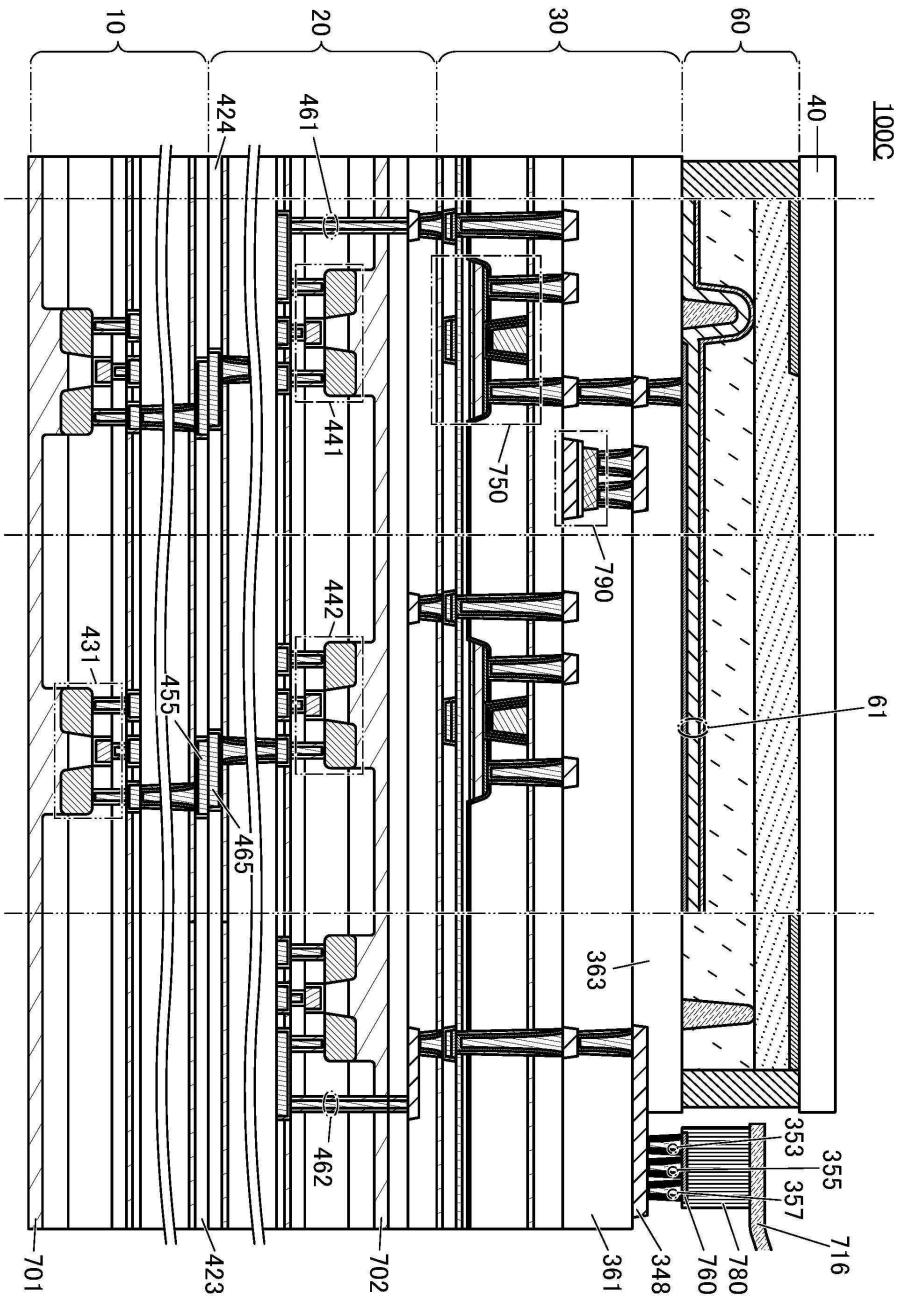
도면19


100A
10
20
30
60
40
403
405
407
409
411
702
214
216
222
224
254
750
301a
311
301b
313
331
341
778
351
333
343
335
321
323
325
790
772
786
788
61
732
736
734
738
778
712
280
274
281
347
353
355
357
716
361
363
760
780
701
421
422
423
441
442
431
449a
447
445
443
449b
451
455
453
456

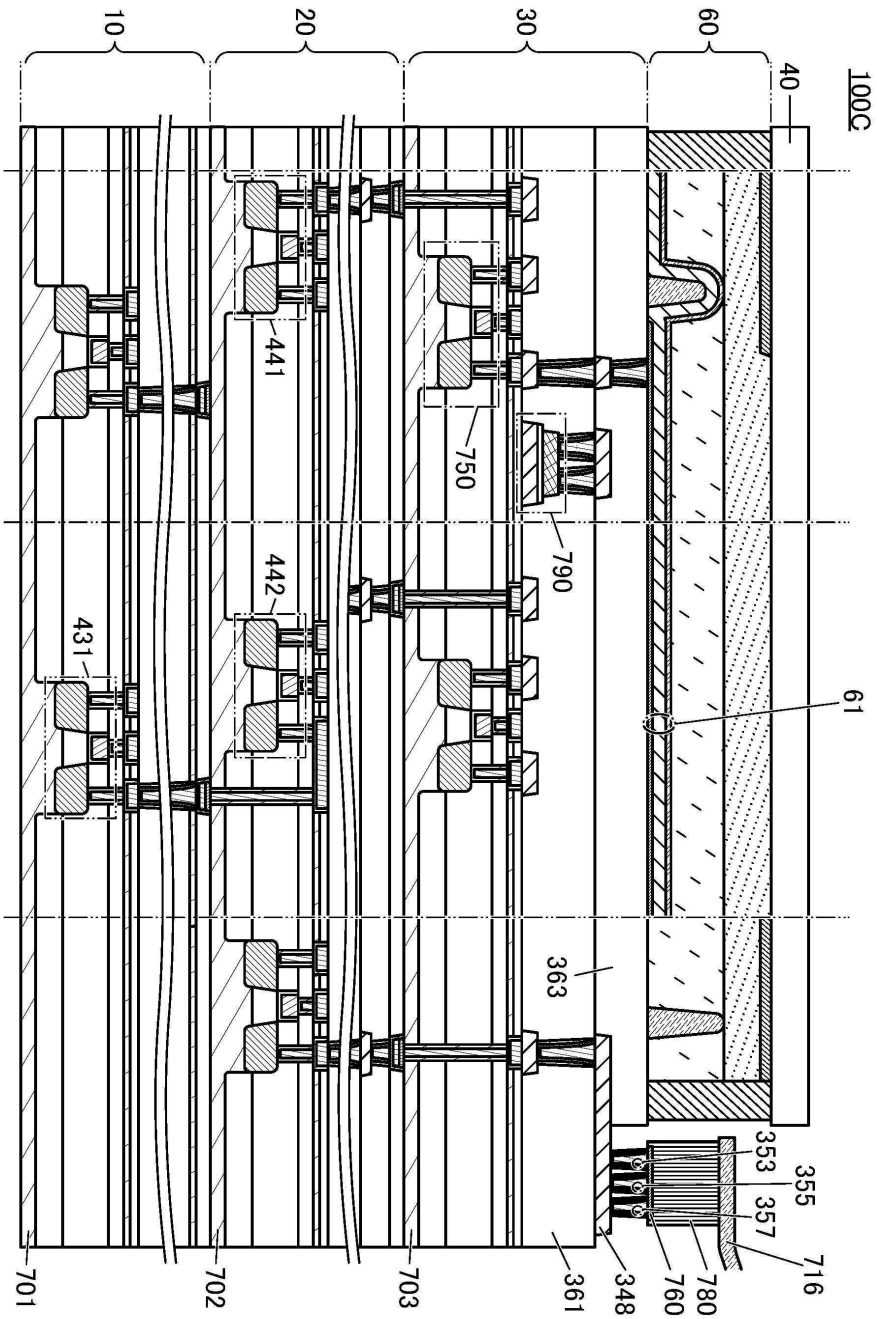
도면20


10
20
30
60
100C
40
403
405
407
409
411
702
214
216
222
224
254
750
301a
311
301b
313
778
341
331
351
333
343
335
321
323
325
790
772
786
788
61
732
736
734
738
778
712
353
355
357
716
760
780
348
361
281
274
280
363
701
421
422
423
441
442
431
449a
447
445
443
449b
451
455
453
456

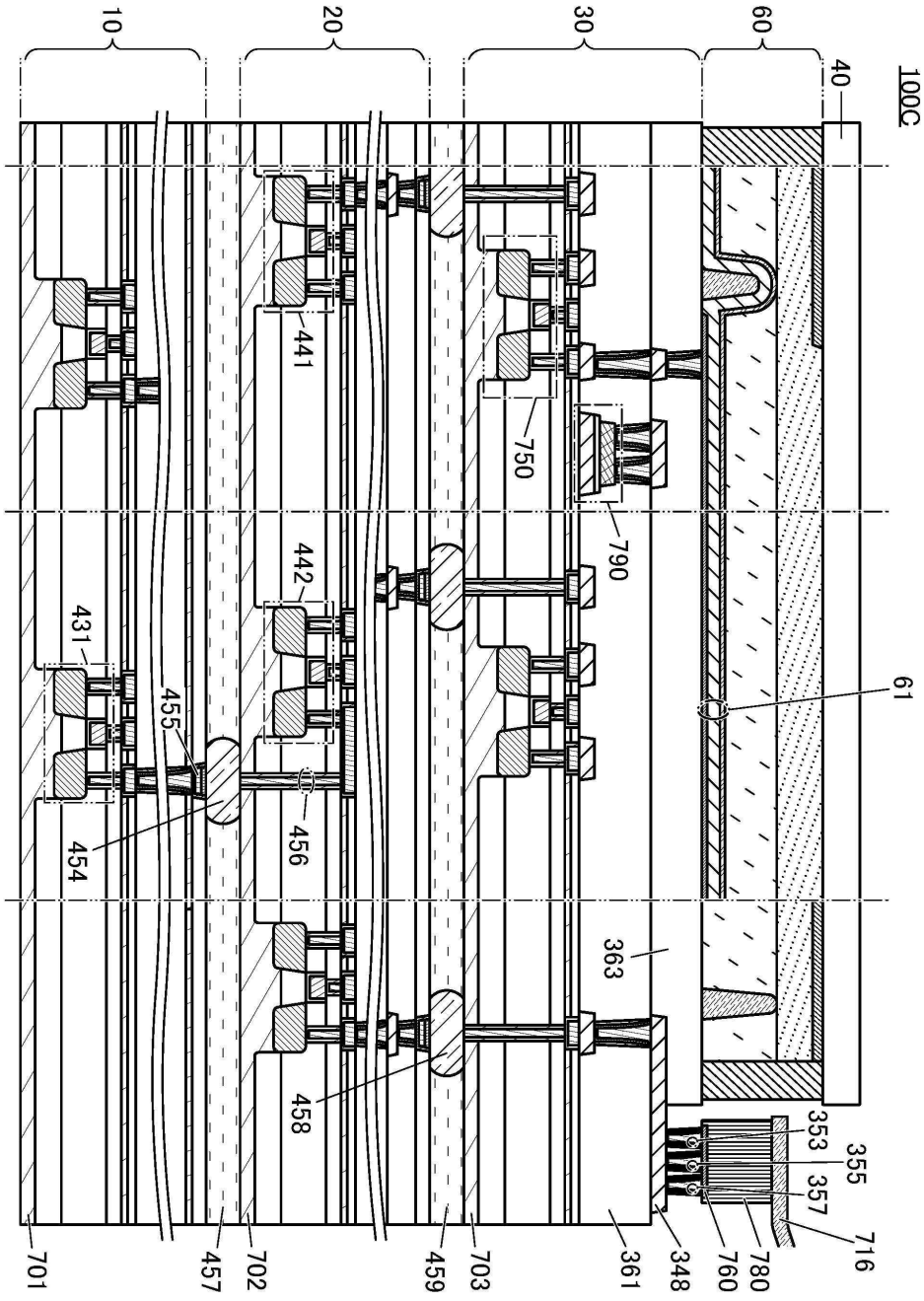
도면21


10
20
30
60
100C
40
424
461
441
750
790
442
431
455
465
61
363
462
353
355
357
716
701
423
702
361
348
760
780

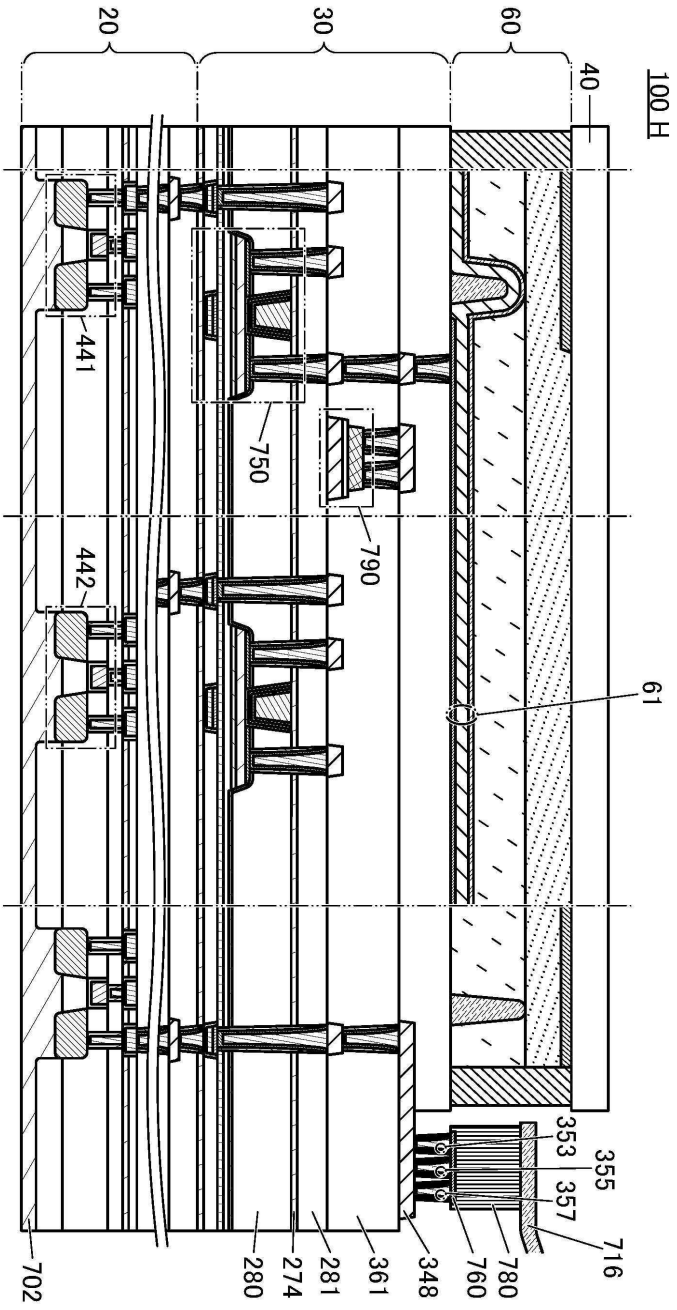
도면22


10
20
30
60
40
100C
441
442
431
750
790
61
363
353
355
357
716
701
702
703
361
348
760
780

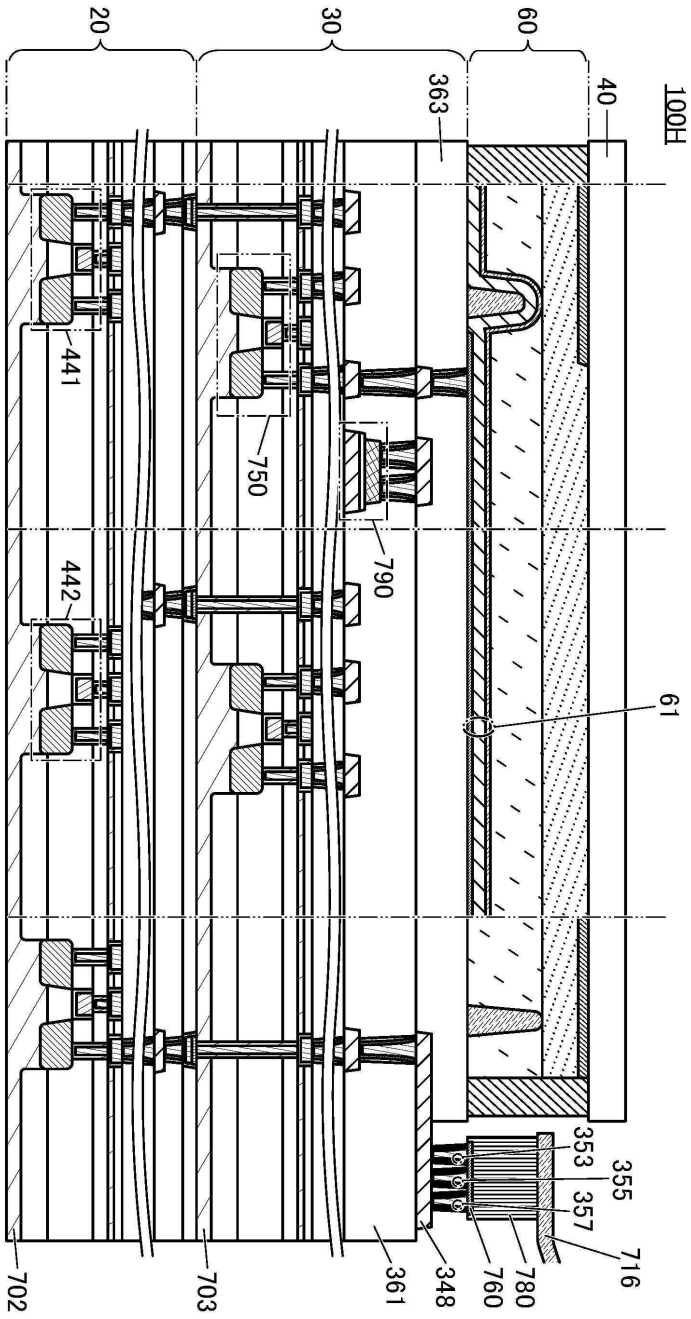
도면23


10
20
30
60
40
100C
441
442
431
455
454
456
458
750
790
61
363
353
355
357
716
701
457
702
459
703
361
348
760
780

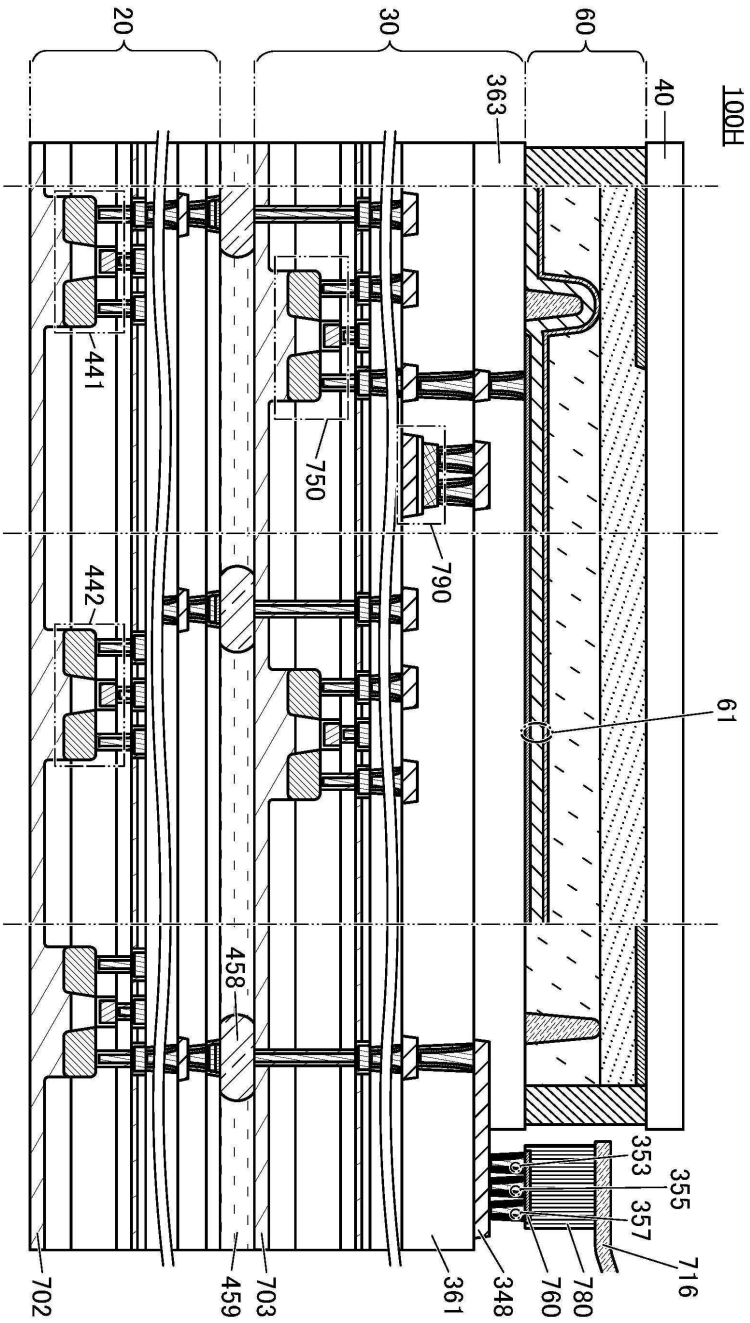
도면24


20
30
60
40
100H
441
442
750
790
61
353
355
357
716
702
280
274
281
361
348
760
780

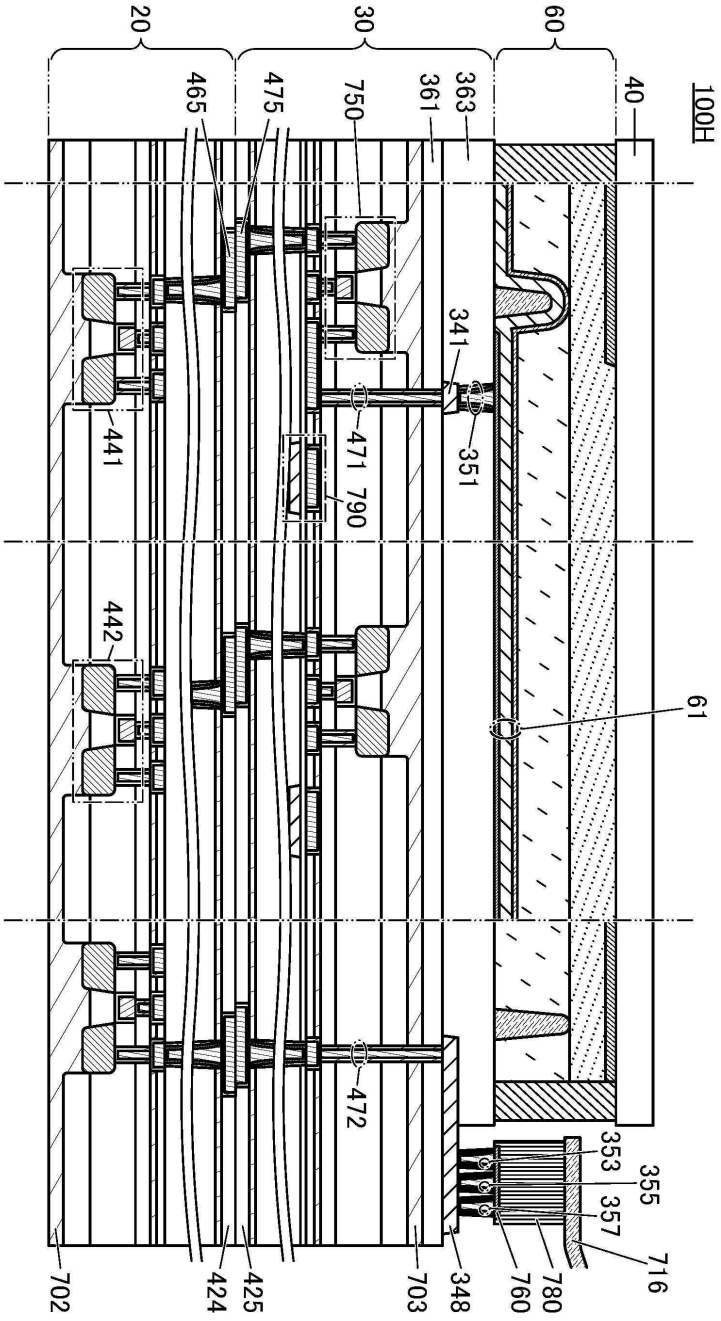
도면25


20
30
60
363
40
100H
441
750
790
442
61
353
355
357
716
702
703
361
348
760
780

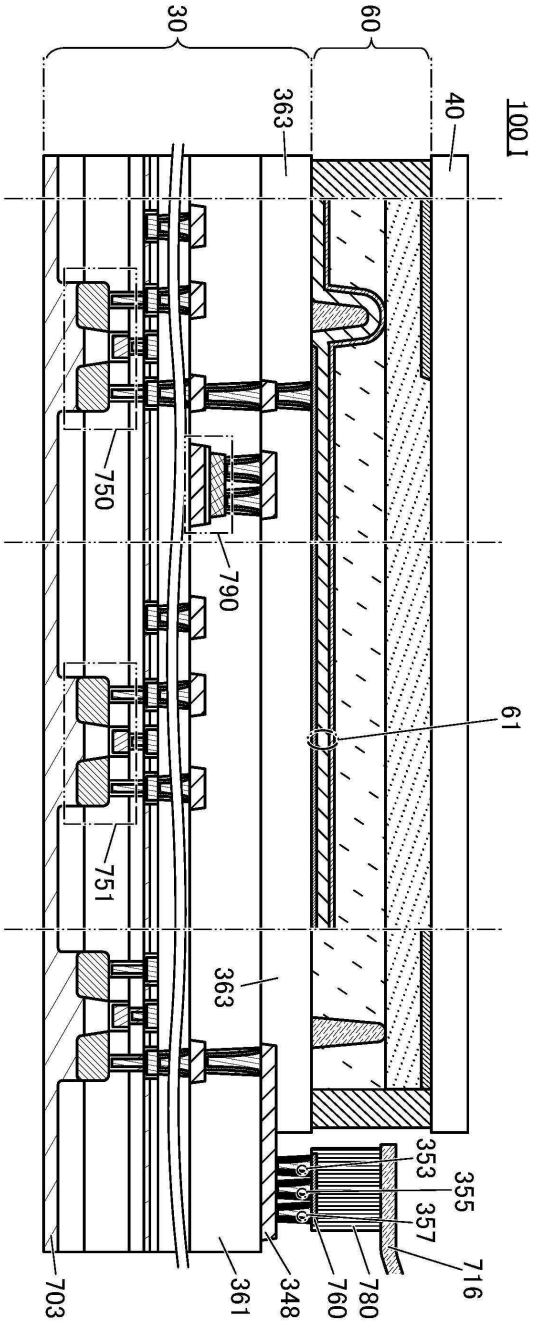
도면26


20
30
60
363
40
100H
441
750
790
442
61
458
353
355
357
716
702
459
703
361
348
760
780

도면27

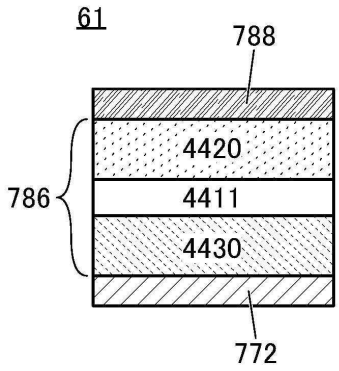

20
30
60
100H
40
465
475
750
361
363
341
351
441
471
790
442
61
472
353
355
357
716
702
424
425
703
348
760
780

도면28

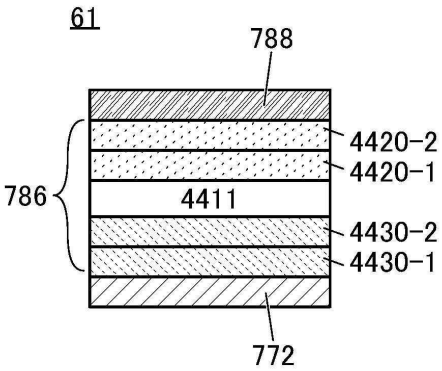

30
60
363
40
100I
750
790
61
751
363
353
355
357
716
703
361
348
760
780

도면29

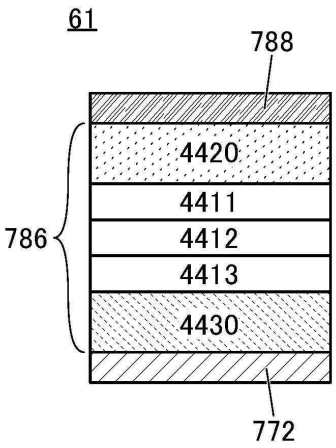
(A)


61
788
4420
786
4411
4430
772

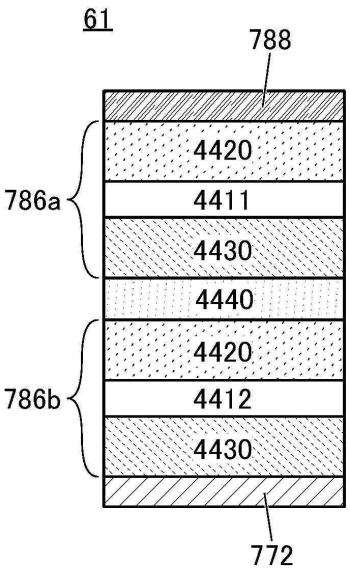
(B)


61
788
4420-2
4420-1
786
4411
4430-2
4430-1
772

(C)

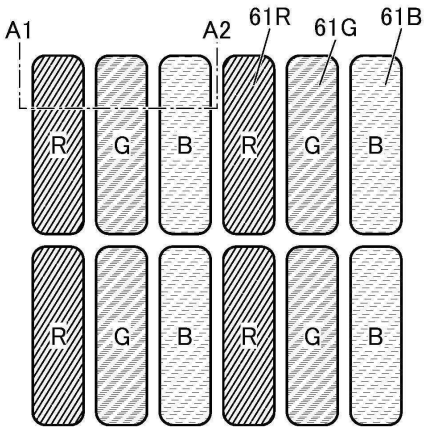

61
788
4420
4411
786
4412
4413
4430
772

(D)

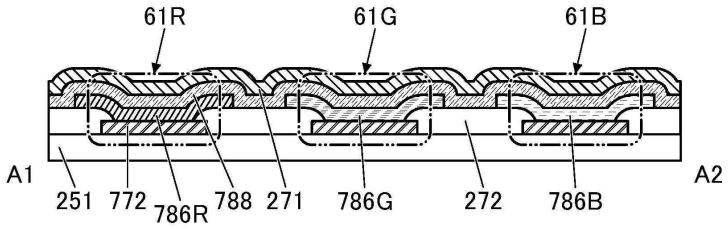

61
788
4420
786a
4411
4430
4440
4420
786b
4412
4430
772

도면30

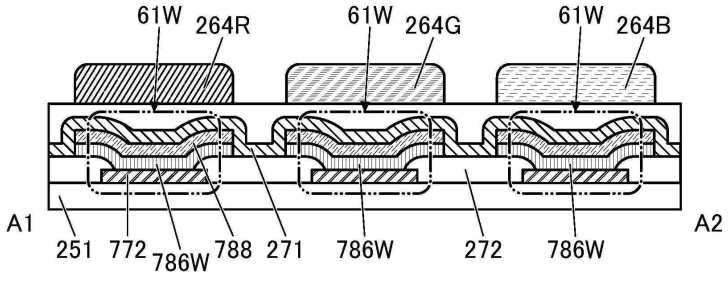
(A)


A1
A2
61R
61G
61B
R
G
B
R
G
B
R
G
B
R
G
B

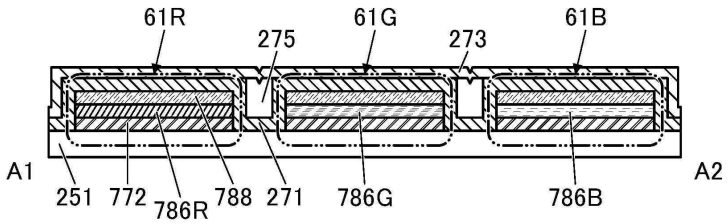
(B)


61R
61G
61B
A1
A2
251
772
786R
788
271
786G
272
786B

(C)

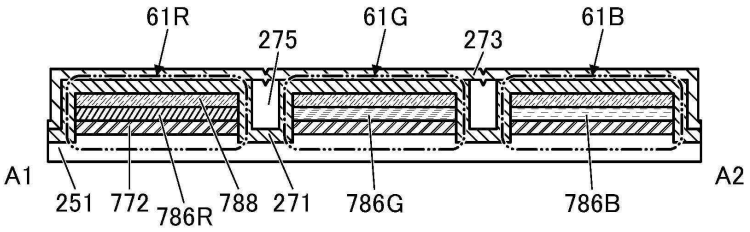

61W
264R
61W
264G
61W
264B
A1
A2
251
772
786W
788
271
786W
272
786W

(D)

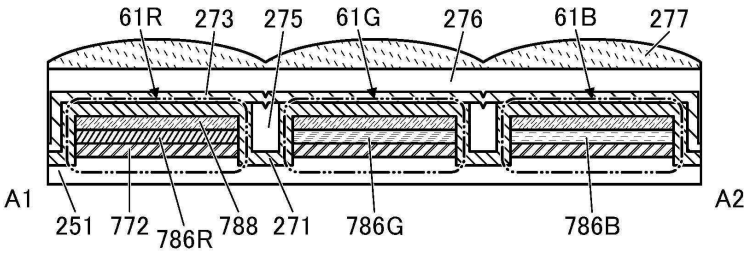

61R
275
61G
273
61B
A1
A2
251
772
786R
788
271
786G
786B

도면31

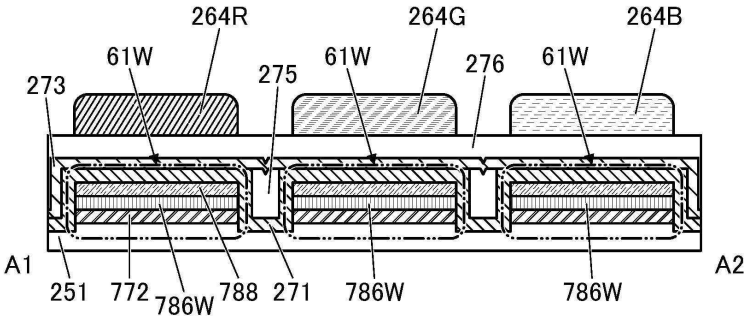
(A)


61R
275
61G
273
61B
A1
251
772
786R
788
271
786G
786B
A2

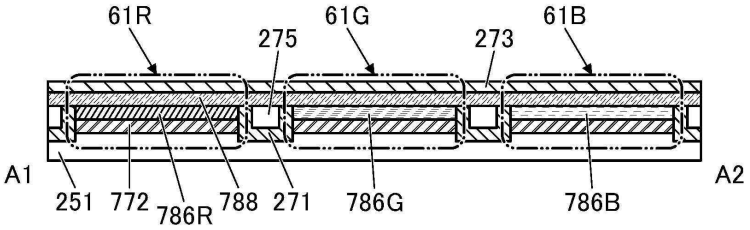
(B)


61R
273
275
61G
276
61B
277
A1
251
772
786R
788
271
786G
786B
A2

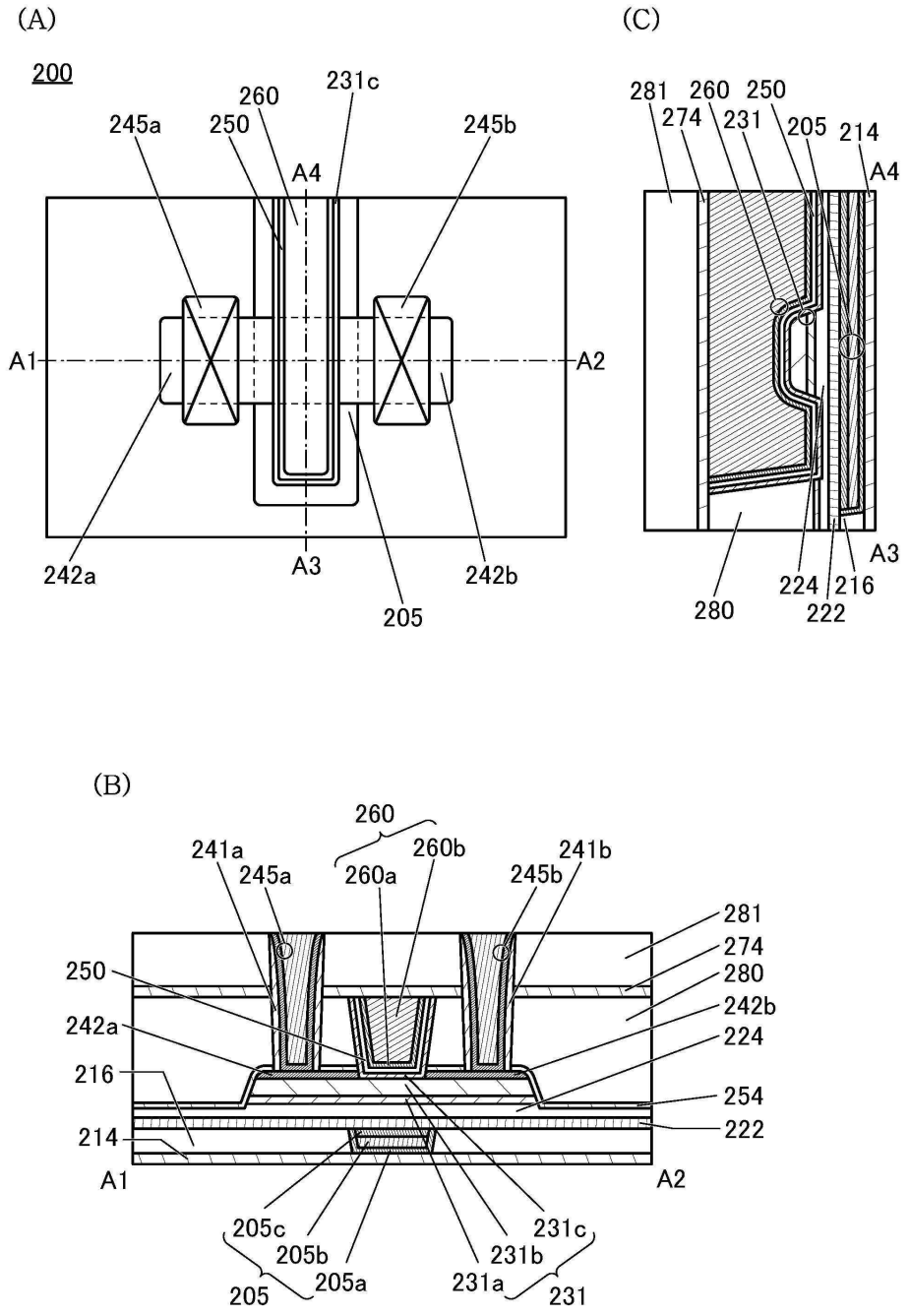
(C)


264R
264G
264B
61W
61W
61W
273
275
276
A1
251
772
786W
788
271
786W
786W
A2

(D)


61R
275
61G
273
61B
A1
251
772
786R
788
271
786G
786B
A2

도면32


(A)
200
245a
250
260
231c
245b
A4
A1
A2
A3
242a
242b
205
(C)
281
260
250
274
231
205
214
A4
A3
280
224
216
222
(B)
260
241a
245a
260a
260b
245b
241b
281
274
280
242b
224
254
222
250
242a
216
214
A1
A2
205c
205b
205a
205
231c
231b
231a
231

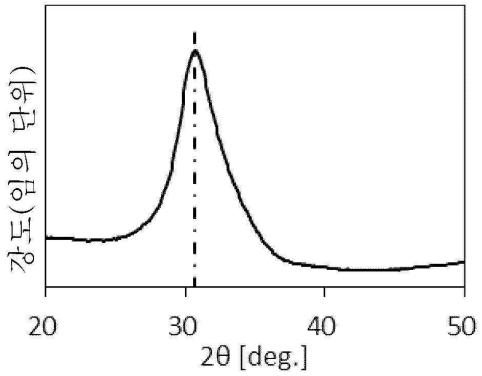
도면33

(A)

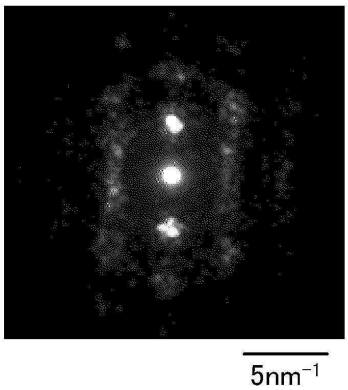
중간 상태
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
·completely amorphous	·CAAC ·nc ·CAC excluding single crystal and poly crystal	·single crystal ·poly crystal

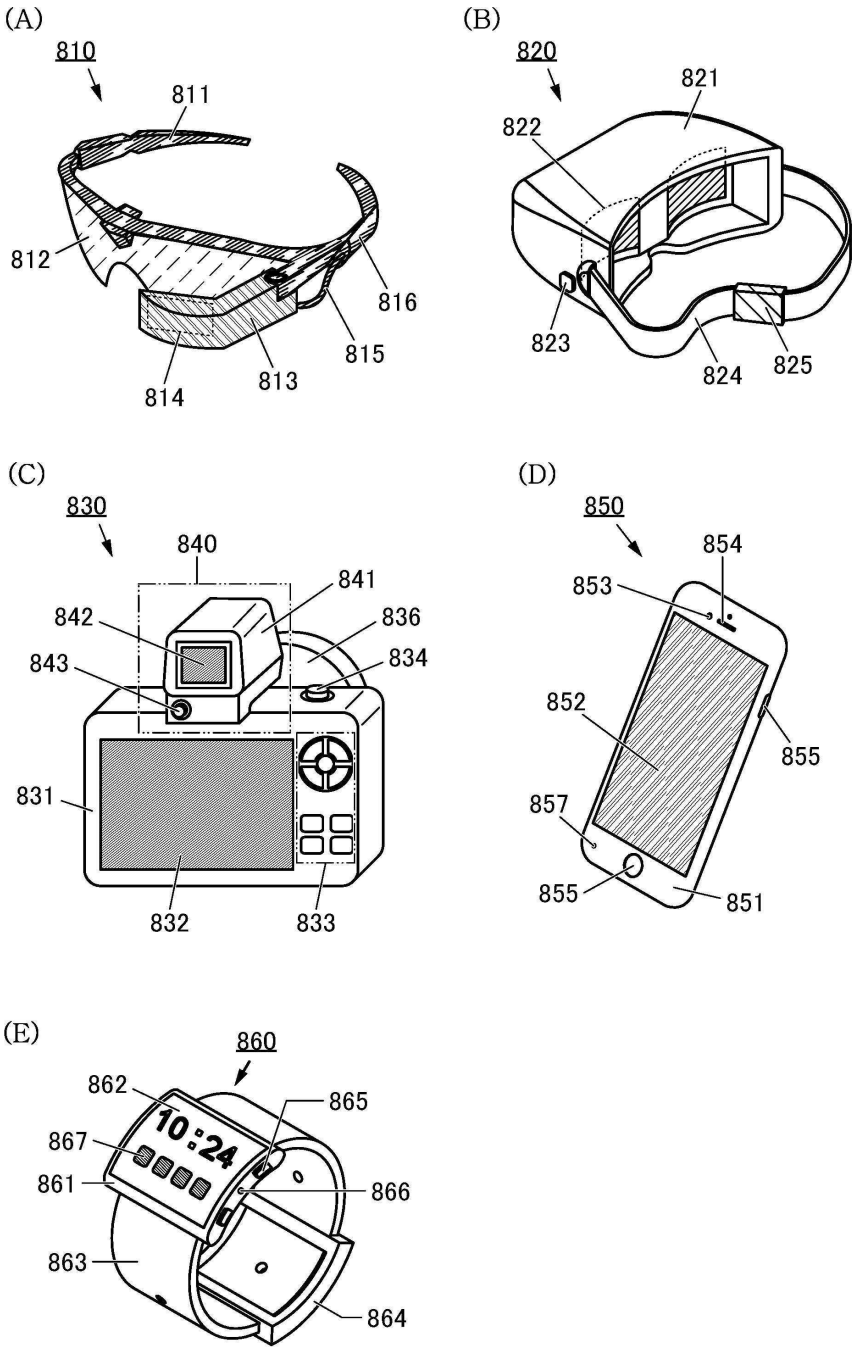
(B)



(C)



도면34


(A)
810
811
812
813
814
815
816
(B)
820
821
822
823
824
825
(C)
830
840
841
842
843
836
834
831
832
833
(D)
850
854
853
852
855
857
855
851
(E)
860
862
865
867
10:24
861
866
863
864