

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4005846号
(P4005846)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年8月31日(2007.8.31)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 F
HO 1 L 21/8232 (2006.01)	HO 1 L 27/04 E
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 B
HO 3 K 17/08 (2006.01)	HO 3 K 17/08 C
請求項の数 5 (全 16 頁) 最終頁に続く	

(21) 出願番号	特願2002-151219 (P2002-151219)	(73) 特許権者	000003078
(22) 出願日	平成14年5月24日(2002.5.24)		株式会社東芝
(65) 公開番号	特開2003-100893 (P2003-100893A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年4月4日(2003.4.4)	(74) 代理人	100058479
審査請求日	平成17年2月7日(2005.2.7)		弁理士 鈴江 武彦
(31) 優先権主張番号	特願2001-157487 (P2001-157487)	(74) 代理人	100084618
(32) 優先日	平成13年5月25日(2001.5.25)		弁理士 村松 貞男
(33) 優先権主張国	日本国(JP)	(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次
		最終頁に続く	

(54) 【発明の名称】 高周波スイッチ装置

(57) 【特許請求の範囲】

【請求項 1】

制御端子と、
電源端子と、
R F 端子と、

同一列に整列配置された抵抗素子に接続されたゲートを有する複数の F E T、並びに前記抵抗素子が同一列に整列配置された領域上を通過し且つ前記 R F 信号が伝搬される R F 信号用配線を含み、前記 R F 端子から入力される R F 信号の入出力経路を切り替えるスイッチ部と、

前記制御端子及び前記電源端子に接続され、前記スイッチ部を制御する制御部と
を具備することを特徴とする高周波スイッチ装置。

10

【請求項 2】

前記スイッチ部を制御する信号が出力される前記制御部の出力端子に接続される配線は、いかなる R F 信号用配線とも交差しないことを特徴とする請求項 1 記載の高周波スイッチ装置。

【請求項 3】

前記制御端子と前記 R F 端子との間、前記制御端子と G N D 端子との間、及び前記電源端子と G N D 端子との間にそれぞれ設けられた保護ダイオードを更に備えることを特徴とする請求項 1 記載の高周波スイッチ装置。

【請求項 4】

20

前記制御端子に接続された、前記制御部の第1端子と、
前記電源端子に接続された、前記制御部の第2端子と、
GND端子に接続された、前記制御部の第3端子と、
前記第1端子と前記制御端子との間、前記第2端子と前記電源端子との間、及び前記第3端子と前記GND端子との間に、それぞれ設けられた抵抗素子と
を更に備えることを特徴とする請求項1記載の高周波スイッチ装置。

【請求項5】

前記制御部は、FETを含むインバータ回路と、
前記インバータ回路に含まれる前記FETのゲートに印加されるゲート電圧の最大値が、
ショットキー電圧を超えないように前記ゲート電圧をレベルシフトする、FETを含む
ソースフォロワ回路と、
前記ソースフォロワ回路の出力端子と、前記インバータ回路に含まれる前記FETのゲート端子との間に設けられた抵抗素子と
を備えることを特徴とする請求項1記載の高周波スイッチ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、RF信号の入出力経路を切り替える高周波スイッチ装置に関するものである。

【0002】

【従来の技術】

携帯電話 / PHS (Personal Handy Phone System) 等においては、高周波スイッチ装置が用いられている。従来、これらのシステムにおいては、PINダイオードによるオン / オフを利用した回路構成を有する高周波スイッチが主流であった。しかし、上記構成を有するスイッチは、近年のデバイスの要求である小形化には不向きである。従って、FETを用いて構成されるスイッチが主流となってきている。さらには、制御回路内蔵型のスイッチが注目されている。制御回路内蔵型のスイッチは制御端子を唯1つのみ有しているため、システム設計の負担が軽減される。

【0003】

図10は、インバータ回路を内蔵したSPDT (Single Port Double Throw) スwitchの回路例を示している。

【0004】

図10に示すように、SPDTスイッチは、正電源電圧を単一電源として用いて動作する。SPDTスイッチは2つの伝送経路を有する。そのため、互いに反転した2つの制御信号が必要である。よって、インバータ回路を内蔵することにより、制御信号の入力端子が単一であるSPDTスイッチが実現されている。SPDTスイッチは、スイッチ部210と制御部（以下インバータ部）230とを有している。SPDTスイッチに含まれるFETとしては、マイクロ波帯ではGaAs FETが用いられることが多い。そしてSPDTスイッチは、各半導体素子を単一のGaAsチップ内に作製したMMIC (Monolithic Microwave IC) として実現することが望ましい。MMICであると、複数の端子を1つの端子に纏めることが出来るため、外付け部品を削減出来る。また、ピン数の少ない小型パッケージとして、SPDTスイッチを実装出来る。図10は、6ピンのパッケージに実装することを前提とした回路構成を示している。

【0005】

RF端子201は、FET211の電流経路を介してRF端子202と接続される。RF端子202は、FET213の電流経路を介して電源端子204に接続される。また、RF端子201は、FET212の電流経路を介してRF端子203と接続される。RF端子203は、FET214の電流経路を介して電源端子204に接続される。以下ではFET211、212をスルーFET、FET213、214をシャントFETと呼ぶ。電源端子204は容量素子220を介して接地され、抵抗素子を介して電源が供給される。

【0006】

10

20

30

40

50

制御端子 205 は、インバータ部 230 の入力端子 231 に接続される。そして、抵抗素子 224 を介してシャント FET 214 のゲートと接続され、また抵抗素子 221 を介してスルー FET 211 のゲートと接続される。インバータ部 230 の出力端子 232 は抵抗素子 223 を介してシャント FET 213 のゲートと接続され、抵抗素子 222 を介してスルー FET 212 のゲートと接続される。抵抗素子 221 ~ 224、及びスルー FET 211、212 のバイアス抵抗 225 は高抵抗であり、例えば数 k の抵抗値を有する。

【0007】

電源電圧 3 V の単電源を用いて動作する SPDT スイッチにおいて、例えば制御信号電圧が 0 V の場合、FET 211 は OFF 状態になり、FET 212 は ON 状態になる。従って、RF 端子 201 と RF 端子 203 との間で、RF 信号が伝搬する。逆に制御信号電圧が 3 V の場合、FET 211 は ON 状態になり、FET 212 は OFF 状態になる。従って、RF 端子 201 と RF 端子 202 との間で、RF 信号が伝搬する。以上のように、インバータ回路を内蔵したスイッチは、1 つの端子で制御が可能である。

10

【0008】

インバータ部 230 は、ドライバ FET 252 と負荷 FET 251 とで構成された E/D 型のインバータ回路 250 と、インバータ回路 250 の前段に設けられたソースフォロワ回路 240 とを有する。ソースフォロワ回路 240 はドライバ FET 252 のゲートに入力される電圧の最大値が、ショットキー電圧を越えないようにレベルシフトすることを目的としている。従って、この例では FET 242、243 の 2 個の FET で電圧のシフト量を決めているが、FET の個数は電源電圧によって変わる。なお、以上の回路において FET 211 ~ 214、241 ~ 244、251 はデプレッション型 FET、FET 252 はエンハンスメント型 FET である。

20

【0009】

ソースフォロワ回路 240 の必要性は、インバータ回路が出力するローレベルの電位を十分に低くしておくことにより、大信号入力時の歪みを低減することにある。ここでの“ハイレベル”“ローレベル”とは、入力信号が“0”の場合のインバータ回路 250 の出力電圧、及び入力信号が“1”の場合のインバータ回路 250 の出力電圧のことである。

【0010】

ソースフォロワ回路 240 が無い場合、入力電圧がショットキー電圧（およそ 0.7 V）よりも大きくなるとショットキー電流が流れる。そして、FET 252 のソース抵抗における電圧降下により、ローレベルの電位が上昇する。例えば、入力電圧が 3 V のときの出力端子 232 の電圧は 0.8 V である。しかし、ローレベルの電位が上昇すると、大信号が入力した際には線形出力が得られず、歪みが発生するという事情がある。この事情を説明するために、スイッチ部 210 の RF 端子 201 から信号が入力し、オン状態のスルー FET 211 を介して RF 端子 202 に出力される場合を考える。

30

【0011】

図 11 に、オフ状態にあるスルー FET 212 のゲート・ソース間電圧 (V_{gs}) と電流の関係を示す。電源電圧に 3 V、FET 211 のゲート端子に 3 V、FET 212 のゲート端子に 0 V が与えられた場合、FET 212 のゲート・ソース間電圧 V_{gs} は -3 V である。端子 201 から RF 信号が入力すると、 V_{gs} は入力電力に応じた振幅を持つようになる。そして、大信号が入力すると、 V_{gs} が FET 212 におけるしきい値電圧 (V_{th}) を上回る。従って、OFF 状態にあったスルー FET 212 が、ある時間帯では ON 状態になる。スルー FET 212 が ON 状態になると、電流が端子 203 へ流れ始め、RF 信号の波形がくずれる。そして、例えば基本波以外の第 2 高調波スプリアスおよび第 3 高調波スプリアスなどの雑音電波が発生する。その結果、システムに障害が発生する可能性がある。ローレベルの電位の上昇は、OFF 状態にあるスルー FET 212 の V_{gs} を、その上昇電圧分だけ + 側へシフトさせる。その結果、スルー FET 212 は、より小さい入力電圧で ON 状態になってしまう。以上のように、インバータ回路 250 のハイレベルとローレベルの電位は大信号入力時の歪みに大きく影響を及ぼす。従って、これらの

40

50

電位は、インバータ回路の設計時には十分に配慮されなければならない。

【0012】

なお、ソースフォロワ回路240を持つ高周波スイッチ装置は、例えば特開平11-261396号公報に記載されている。

【0013】

【発明が解決しようとする課題】

上記のように、インバータ回路を内蔵することにより制御信号の入力端子を単一にした制御スイッチは、携帯電話等のモバイル機器に使用されることが多い。そして、モバイル機器は電池駆動のため低消費電力化の要求が強い。そのため、インバータ回路の消費電流はできるだけ小さいことが望ましく、具体的には通常1mA以下が要求される。

10

【0014】

上記要求を満たすためには、FETのゲート幅を小さくすることで対応できる。しかし、ゲート幅を小さくすると、同時にサージに弱くなる、という事情があった。スイッチ回路を構成するFETは、オン抵抗を小さくするために、比較的ゲート幅の広い、例えば1mm程度のゲート幅のものが使用できる。従って、スイッチ回路のみで構成されるSPDTスイッチでは、サージはさほど問題にはならなかった。しかし、インバータ回路においては、ゲート幅が10μm以下のものが用いられる。従って、インバータ回路を内蔵するSPDTスイッチでは、サージでインバータ回路部が破壊されることにより、SPDTスイッチが動作しない、という事情が発生している。

【0015】

20

また、単一のチップ内にスイッチ部とインバータ部を搭載したMMICによりスイッチを実現する場合は、大信号入力時にスイッチ部からインバータ部へ信号が漏れる場合がある。すると、駆動電流が小さいインバータ回路の動作が不安定になりやすい。例えば、RF信号が伝搬する配線と、インバータ回路の出力端子に接続された配線とがクロスオーバーすることにより、RF信号が前記配線に漏れる場合がある。この場合には、インバータ回路の出力端子の電位の揺らぎが問題となる。この問題を説明するために、図10において、電源電圧が3V、制御端子205が0Vとなることによりインバータ回路250の出力端子232は3Vとなり、その結果、RF端子201からRF端子203に信号が通過する場合を考える。

【0016】

30

図12は、スイッチ部の入力信号が、インバータ回路の出力端子の電位に及ぼす影響を示している。より具体的には、RF端子201と出力端子232間にクロスオーバー容量100fFが存在し、RF端子201に0dBmの信号と20dBmの信号が入力した場合の、インバータ回路の出力端子232の電位の時間変化を示している。入力電力が0dBmの場合、出力端子232の電位変化はほとんどない。しかし、入力電力が20dBmの場合には、出力端子232の電位は1Vから4Vの範囲内で変化する。例えば出力端子232の電位が1Vの場合、電源電圧が3VであるのでスルーFET212のゲート・ソース間電圧 V_{gs} は-2Vとなる。すなわち、FETの閾値電圧 V_{th} が-1.5Vの場合には、FET212のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} よりも小さくなる。従って、FET212はON状態にならず、一時的にFET212を信号が通過しない時間が存在することになる。これはRF端子201からRF端子203に信号が通過する際の歪みとなって現れ、入出力電力特性の劣化を引き起こす。以上のようなRF信号の漏れは、歪み特性に大きな影響を及ぼす。そして、クロスオーバー容量に起因するRF信号の漏れが大きいほど、より小さな入力電力においても歪みが発生することになる。勿論、出力端子に限らず、インバータ回路の入力端子、電源端子、GND端子もスイッチ部から信号が漏れ何らかの影響を受ける。しかし、これらの端子はパッケージの端子として外部に出ているため、基板上でデカップリング容量を設ける等の対策ができる。ところが、出力端子はチップ内部にある。すると、チップサイズの制限から有効なデカップリング容量をチップ内部に設けるのは難しい。

40

【0017】

50

さらに、MMICとして6ピンのパッケージに実装する場合、例えば図13に示すように、RF端子201は他のRF端子202、203と対面するように配置される必要がある。また、RF端子201に接続される配線が、スイッチ部のDC端子やインバータ回路の配線と交差することを避けることが望ましい。従来の回路構成において配線の交差を避けるためには、配線を迂回させる必要がある。その結果、チップサイズが大きくなるという事情があった。

【0018】

この発明は、上記事情に鑑みてなされたもので、上記事情に鑑みなされたもので、その第1の目的は、低損失、高アイソレーション、及び低歪みの特性を損なうことなく、サージに対する耐性を向上できる、制御部内蔵型の高周波スイッチ装置を提供することにある。

10

【0019】

また、その第2の目的は、チップサイズの増大を抑制しつつ、大電力入力時の歪み対策と、制御部の安定動作とを実現できる、制御部内蔵型の高周波スイッチ装置を提供することにある。

【0020】

【課題を解決するための手段】

上記第1の目的を達成するために、この発明に係る第1の高周波スイッチ装置は、制御端子と、電源端子と、GND端子と、RF端子と、前記RF端子から入力されるRF信号の入出力経路を切り替えるスイッチ部と、前記制御端子及び前記電源端子に接続され、前記スイッチ部を制御する制御部と、前記制御端子と前記RF端子との間、前記制御端子と前記GND端子との間、及び前記電源端子と前記GND端子との間にそれぞれ設けられた保護ダイオードとを具備することを特徴としている。

20

【0021】

上記構成を有する高周波スイッチ装置によれば、制御端子とRF端子との間、制御端子とGND端子との間、及び電源端子とGND端子との間にそれぞれにダイオードが挿入されている。すると、ESDによって流れる大電流をこれらダイオードに逃がすことができる。従って、制御部及びスイッチ部をESD破壊から保護することができる。

【0022】

また上記第2の目的を達成するために、この発明に係る第2の高周波スイッチ装置は、制御端子と、電源端子と、RF端子と、同一列に整列配置された抵抗素子に接続されたゲートを有する複数のFET、並びに前記抵抗素子が同一列に整列配置された領域上を通過し且つ前記RF信号が伝搬されるRF信号用配線を含み、前記RF端子から入力されるRF信号の入出力経路を切り替えるスイッチ部と、前記制御端子及び前記電源端子に接続され、前記スイッチ部を制御する制御部とを具備することを特徴としている。

30

【0023】

上記構成を有する高周波スイッチ装置によれば、RF信号用配線は、抵抗素子が一列に整列配置された領域上を通過する。すなわち、RF信号用配線は、制御部の出力端子からスイッチ部を構成するFETのゲートに向かう配線とは交差せず、前記配線とFETとの間に接続される抵抗上で交差する。従って、スイッチ部から漏れ出す大電力の入力信号が、制御部に伝わり難くすることができる。しかも、このような構成を、RF信号用配線を迂回させずに得られるので、チップサイズの増大を抑制しつつ、得ることができる。

40

【0024】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0025】

この発明の第1の実施形態に係る高周波スイッチ装置について、制御回路内蔵型のスイッチを例に挙げ、図1を用いて説明する。図1は、特に6ピンのパッケージに実装されるMMIC (Monolithic Microwave IC) として形成された高周波SPDTスイッチの回路図である。

50

【 0 0 2 6 】

図 1 に示すように、高周波 S P D T スイッチ M M I C 1 0 0 (以下 M M I C と略す) は、6 つの端子 1 0 1 ~ 1 0 6、スイッチ部 1 1 0、制御部 (以下インバータ部) 1 3 0、容量素子 1 5 3、抵抗素子 1 6 1 ~ 1 6 4、及び保護回路 1 6 5 ~ 1 6 7 を備えている。

【 0 0 2 7 】

R F 端子 1 0 1 と R F 端子 1 0 2 との間、及び R F 端子 1 0 1 と R F 端子 1 0 3 との間を、高周波信号 (R F 信号) が伝搬する。電源端子 1 0 4 は、抵抗素子 1 0 7 を介して電源電位が与えられ、容量素子 1 0 8 を介して接地されている。制御端子 1 0 5 には制御信号 V c o n が入力され、また容量素子 1 0 9 を介して接地されている。G N D 端子 1 0 6 には接地電位が与えられる。

10

【 0 0 2 8 】

スイッチ部 1 1 0 は、F E T 1 1 1 ~ 1 1 4、及び抵抗素子 1 2 1 ~ 1 2 5 を有している。R F 端子 1 0 1 は、F E T 1 1 1 の電流経路 (ソース・ドレイン間) を介して R F 端子 1 0 2 と接続される。R F 端子 1 0 2 は、F E T 1 1 3 の電流経路を介して電源端子 1 0 4 に接続される。また、R F 端子 1 0 1 は、F E T 1 1 2 の電流経路を介して R F 端子 1 0 3 と接続される。R F 端子 1 0 3 は、F E T 1 1 4 の電流経路を介して電源端子 1 0 4 に接続される。抵抗素子 1 2 1 は、F E T 1 1 1 のゲートと制御端子 1 0 5 との間に設けられている。抵抗素子 1 2 2 は、F E T 1 1 2 のゲートと、後述するインバータ部 1 3 0 の出力端子 1 3 2 との間に設けられている。抵抗素子 1 2 3 は、F E T 1 1 3 のゲートとインバータ部 1 3 0 の出力端子 1 3 2 との間に設けられている。抵抗素子 1 2 4 は、F E T 1 1 4 のゲートと制御端子 1 0 5 との間に設けられている。そして抵抗素子 1 2 5 は、R F 端子 1 0 1 と電源端子 1 0 4 との間に設けられている。なお、抵抗素子 1 2 5 は、F E T 1 1 1、1 1 2 のバイアス抵抗として機能する。

20

【 0 0 2 9 】

インバータ部 1 3 0 は、第 1 ~ 第 3 端子 1 7 1、1 7 2、1 7 3、F E T を複数有してなるソースフォロワ回路 1 4 0、及び F E T を複数有してなるインバータ回路 1 5 0 を含む。第 1 ~ 第 3 端子 1 7 1、1 7 2、1 7 3 は、それぞれ制御端子 1 0 5、電源端子 1 0 4、G N D 端子 1 0 6 に接続されている。ソースフォロワ回路 1 4 0 は、インバータ回路 1 5 0 を構成する F E T のゲート、特にスイッチング用のエンハンスメント型 F E T 1 5 2 に印加されるゲート電圧の最大値が、ショットキー電圧を超えないように、そのゲート電圧をレベルシフトするものである。

30

【 0 0 3 0 】

ソースフォロワ回路 1 4 0 は、具体的には、互いに直列接続されたデプレッション型 F E T、例えばデプレッション型 G a A s M E S F E T (以下 D - F E T と記す) 1 4 1 ~ 1 4 4 を有している。D - F E T 1 4 1 は、ドレインが第 2 端子 1 7 2 を介してインバータ部 1 3 0 の電源端子 1 0 4 に電氣的に接続され、ゲートが第 1 端子 1 7 1 を介してインバータ部 1 3 0 の制御端子 1 0 5 に電氣的に接続され、ソースが D - F E T 1 4 2 のドレイン及びゲートに接続されている。D - F E T 1 4 2 のソースは、D - F E T 1 4 3 のドレイン及びゲートに接続され、D - F E T 1 4 3 のソースは、D - F E T 1 4 4 のドレインに接続される。そして、D - F E T 1 4 4 のゲート及びソースは、第 3 端子 1 7 3 を介してインバータ部 1 3 0 の G N D 端子 1 0 6 に接続される。

40

【 0 0 3 1 】

また、インバータ回路 1 5 0 は、具体的には、互いに直列接続されたデプレッション型 F E T、例えばデプレッション型 G a A s M E S F E T (以下 D - F E T と記す) 1 5 1、及びエンハンスメント型 F E T、例えばエンハンスメント型 G a A s M E S F E T (以下 E - F E T と記す) 1 5 2 を有している。D - F E T 1 5 1 は、ドレインが第 2 端子 1 7 2 を介して電源端子 1 0 4 に電氣的に接続され、そのゲート及びソースは、E - F E T 1 5 2 のドレインに接続されている。E - F E T 1 5 2 のゲートは、ソースフォロワ回路 1 4 0 の D - F E T 1 4 3 と D - F E T 1 4 4 との相互接続ノードに電氣的に接続され、そのソースは、第 3 端子 1 7 3 を介して G N D 端子 1 0 6 に接続される。D - F E T 1

50

51とE-FET152との相互接続ノードは、インバータ回路150の出力端子、即ちインバータ部130の出力端子132に接続される。

【0032】

容量素子153は、インバータ部130の出力端子132と、第3端子173との間に設けられている。

【0033】

抵抗素子161は、第2端子172、すなわちインバータ部130内に含まれるD-FET141、151のドレインと、電源端子104との間に設けられている。抵抗素子162は、第1端子171、すなわちD-FET141のゲートと、制御端子105との間に設けられている。抵抗素子163は、第3端子173、すなわちE-FET152のソース並びにD-FET144のゲート及びソースと、GND端子106との間に設けられている。抵抗素子164は、D-FET143のソースとD-FET144のドレインとの接続ノードと、E-FET152のゲートとの間に設けられている。

10

【0034】

保護回路165は、RF端子101に接続された一端と、制御端子105に接続された他端とを有している。保護回路166は、制御端子105に接続された一端と、第3端子173に接続された他端とを有している。保護回路167は、電源端子104に接続された一端と、GND端子106に接続された他端とを有している。保護回路165～167は、例えば双方向ダイオードによって構成される。以下では、保護回路165～167を、保護ダイオード165～167と呼ぶことにする。

20

【0035】

上記構成のSPDTスイッチにおいて、制御端子105に制御信号Vcon=3Vが入力されると、FET111がオン状態となり、FET112がオフ状態となる。従って、RF端子101とRF端子102との間をRF信号が伝搬する。そして、RF信号は、RF端子101とRF端子103との間の伝搬を禁止される。制御信号Vcon=0Vが入力されると、逆に、FET112がオン状態となり、FET111がオフ状態となる。従って、RF端子101とRF端子103との間をRF信号が伝搬する。そして、RF信号は、RF端子101とRF端子102との間の伝搬を禁止される。このようにして、SPDTスイッチは、2つの伝送経路、すなわち、RF端子101～RF端子102、及びRF端子101～RF端子103をスイッチング出来る。

30

【0036】

SPDTスイッチは、例えばPHSや携帯電話における切り替えスイッチとして使用される。この場合、RF端子101はアンテナに接続され、RF端子102は受信部に接続され、RF端子103は送信部に接続される。そして、基地局からの無線搬送波信号がアンテナで受信されると、FET111がオン状態とされ、無線搬送波信号は受信部で受信される。受信部において、無線搬送波信号は、中間周波信号にダウンコンバートされ、復調部にて復調される。他方、PHSや携帯電話の通話ユニットから入力されたユーザの音声信号は、圧縮符号化された後、変調部にてデジタル変調されて中間周波信号となる。更に中間周波信号は、送信部で無線搬送波信号にアップコンバートされる。そして、FET112がオン状態とされることで、送信部から無線搬送波信号がアンテナに送られ、アンテナから基地局へ向けて送信される。

40

【0037】

上記構成のSPDTスイッチであると、電源端子104、制御端子105、GND端子106、及び出力端子132に繋がるノード(133、131、134、132)に、抵抗素子161～163、及び容量素子153をそれぞれ設けている。すると、これらの半導体素子によって静電気の放電が行われるため、SPDTスイッチのESD(Electro Static Discharge)破壊に対する耐性が向上される。

【0038】

また、ソースフォロア回路140の出力ノードとインバータ回路150の入力ノードとの間に抵抗素子164を設けている。インバータ回路150の入力ノード、すなわち、E-

50

F E T 1 5 2 のゲートには、オフ状態であっても、比較的高い電圧が印加される。従って、E - F E T 1 5 2 は特に静電破壊が生じやすい箇所とすることが出来る。しかし、E - F E T 1 5 2 のゲートに抵抗素子 1 6 4 を設けることにより、E - F E T 1 5 2 の静電破壊を防止出来、S P D T スwitch の E S D 破壊に対する耐性を向上できる。

【 0 0 3 9 】

また抵抗素子 1 6 2 には、数 1 0 k の抵抗値を持つものを使用することが望ましい。このような高抵抗値の抵抗素子 1 6 2 をインバータ部 1 3 0 の入力ノードに設けることで、E S D に対する耐性を強化する効果だけでなく、ショットキー電流を低減する効果を併せて得られる。これにより、インバータ部 1 3 0 の低消費電力化を可能とする。

【 0 0 4 0 】

容量素子 1 5 3 を設けることにより、上記のように E S D 耐性を強化する効果が得られる。しかし、上記効果のみならず、大電力信号が入力された際に、スイッチ部 1 1 0 から漏れた R F 信号の影響によって出力端子 1 3 2 の電圧が揺らぐのを抑制する効果を併せて得られる。その結果、F E T 1 1 1、1 1 2 を通過する際に R F 信号に生ずる歪みを抑制する効果が得られる。

【 0 0 4 1 】

更に本実施形態に係る回路構成であると、保護ダイオード 1 6 5 ~ 1 6 7 が設けられている。これらの保護ダイオードは、E S D によって発生した大電流を逃がす役割を有している。すなわち、E S D の発生時に、抵抗素子や容量素子における電荷の放電が不十分な場合であっても、E S D による大電流をこれらの保護ダイオード 1 6 5 ~ 1 6 7 に流すことが出来る為、スイッチ部 1 1 0 及びインバータ部 1 3 0 を保護出来る。インバータ部 1 3 0 は、保護ダイオード 1 6 6、1 6 7 によって、E S D 破壊から保護されている。また、スイッチ部 1 1 0 もインバータ部 1 3 0 と接続されている。従って、スイッチ部 1 1 0 についても E S D 破壊に対する保護が必要である。このスイッチ部 1 1 0 の保護は、保護ダイオード 1 6 5 を、制御端子 1 0 5 と R F 端子 1 0 1 との間に挿入することにより達成される。

【 0 0 4 2 】

より具体的には、E S D 破壊に対する耐量が、従来の保護ダイオードを全く含まない構成において 5 0 V であったのに対して、本実施形態に係る、保護ダイオード 1 6 5 ~ 1 6 7 を挿入した構成では、1 1 0 V まで向上した。

【 0 0 4 3 】

なお、本第 1 の実施形態では、保護ダイオード 1 6 5 を、制御端子 1 0 5 と R F 端子 1 0 1 との間に挿入したが、他の R F 端子と D C 端子との間に挿入するようにしても、同様の効果がある。

【 0 0 4 4 】

また、上記保護ダイオード 1 6 5 ~ 1 6 7 は、R F 端子に接続されるため、使用電源電圧以上の耐圧を必要とする。これにより、R F 特性を損なうことなく、E S D 対策が可能となる。

【 0 0 4 5 】

上記のように、本実施形態に係るスイッチ装置によれば、E S D 対策用、低消費電力用、低歪み用に、抵抗素子、容量素子、及び保護ダイオードを設けている。その結果、低損失、高アイソレーション、及び低歪みの特性を損なうことなく、サージ耐性を向上できる、制御部内蔵の高周波 S P D T スwitch M M I C を提供できる。

【 0 0 4 6 】

次に、この発明の第 2 の実施形態に係る高周波スイッチ装置について、制御回路内蔵型のスイッチを例に挙げ、図 2 を用いて説明する。図 2 は、特に 6 ピンのパッケージに実装される M M I C として形成された高周波 S P D T スwitch の回路図である。

【 0 0 4 7 】

図 2 に示すように、本実施形態に係る M M I C 1 0 0 は、上記第 1 の実施形態に係る構成において、抵抗素子 1 6 1 ~ 1 6 4 及び保護ダイオード 1 6 5 ~ 1 6 7 を廃した構成を有

10

20

30

40

50

する。そして、スイッチ部 110 内において、FET 111 ~ 114 のゲートに接続される抵抗素子 121 ~ 124 と、バイアス抵抗素子 125 とが並行に一行に配置されている（領域 AA1 参照）。さらに、抵抗素子 121 ~ 125 が並ぶ領域 AA1 上に、RF 信号が伝播される RF 信号用のメタル配線を通してあるものである。

【0048】

抵抗素子 121 ~ 125 の一例は、例えば GaAs 基板内に形成された不純物拡散層によって形成されたものであり、数 k の抵抗値を有する。抵抗素子 122、124、125 のいずれかの断面構造を図 3 に示す。図示するように、GaAs 基板 10 内に、抵抗素子 122、124、125 のいずれかとして機能する不純物拡散層 11 が形成されている。GaAs 基板 10 上には層間絶縁膜 12 が設けられ、層間絶縁膜 12 上にはメタル配線層 13 が設けられている。メタル配線層 13 は、不純物拡散層 11 にプラグ 14 によって接続されている。更に層間絶縁膜 12 上に層間絶縁膜 15 が設けられ、層間絶縁膜 15 上に 2 本のメタル配線層 16、16 が設けられている。メタル配線層 16、16 は、それぞれ RF 端子 101 に接続された RF 信号配線、及び電源端子 104 に接続された電源配線である。そして、メタル配線層 16、16 は、GaAs 基板 10 に垂直な方向で、不純物拡散層 11 とオーバーラップし、且つメタル配線層 13 とはオーバーラップしないように配置されている。

10

【0049】

図 4 は、図 2 に示す SPDT スイッチが形成された半導体チップの平面パターン図であり、特にパッド配置に着目して示している。図示するように、半導体チップ 20 内には、スイッチ回路 21 が形成されている。スイッチ回路 21 は、図 2 に示す SPDT スイッチである。更に 6 つのボンディングパッド 22 - 1 ~ 22 - 6 が設けられ、ボンディングパッド 22 - 1 ~ 22 - 6 はチップ内配線 23 によってスイッチ回路 21 に接続されている。ボンディングパッド 22 - 1 ~ 22 - 6 は、それぞれスイッチ回路 21 内の RF 端子 102、GND 端子 106、RF 端子 103、制御端子 105、RF 端子 101、及び電源端子 104 に接続されている。特に、RF 端子 101 に接続されるボンディングパッド 22 - 5 は、RF 端子 102、103 に接続されるボンディングパッド 22 - 1、22 - 3 と対向するようにして配置されている。また、ボンディングパッド 22 - 5 からボンディングパッド 22 - 1 への配線距離が、ボンディングパッド 22 - 5 からボンディングパッド 22 - 3 への配線距離と実質的に等しくなり、且つボンディングパッド 22 - 5 に対するボンディングパッド 22 - 1 の位置関係が、ボンディングパッド 22 - 5 に対するボンディングパッド 22 - 3 の位置関係と実質的に等しくなるように、各ボンディングパッド 22 - 1 ~ 22 - 6 は配置されている。

20

30

【0050】

図 5 は、図 4 に示す半導体チップが実装された様子を示している。図示するように、半導体チップ 20 はリードフレームのダイパッド 30 上に搭載される。そして、各ボンディングパッド 22 - 1 ~ 22 - 6 は、インナーリード 31 - 1 ~ 31 - 6 にボンディングワイヤ 32 によって接続されている。この際、ボンディングパッド 22 - 5 にワイヤボンディングされるインナーリード 31 - 5 は、ボンディングパッド 22 - 1、22 - 3 にワイヤボンディングされるインナーリード 31 - 1、31 - 3 と対向するように配置されている。更に、インナーリード 31 - 1 ~ 31 - 6 は、図示せぬアウターリードに電氣的に接続される。

40

【0051】

図 6 は、半導体チップ 20 のパッケージング後の外観を示している。図示するように、図 5 における半導体チップ 20 及びリードフレームは樹脂 40 によって封止されて、半導体装置が完成する。封止樹脂 40 の外部には、6 本のアウターリードが露出されており、1 ~ 6 番ピンはそれぞれ、RF 端子 102、GND 端子 106、RF 端子 103、制御端子 105、RF 端子 101、及び電源端子 104 に接続されている。

【0052】

なお、本実施形態に係る SPDT スイッチの動作は、上記第 1 の実施形態に係る構成と同

50

様であるので、説明は省略する。

【0053】

上記のように、本実施形態に係るSPDTスイッチによれば、高抵抗値を有する抵抗素子121～124を、FET111～114のゲートに接続している。これらの抵抗素子121～124は、伝搬するRF信号がFET111～114のゲートへ漏れだし、更に制御端子105やインバータ部130の出力端子132、及び電源端子104へ流れ込むことを阻止する役割を果たすことが出来る。従って、RF端子101とRF端子102、103との間において、RF信号を効率的に伝搬することが出来、FET111～114で発生する損失を低減できる。

【0054】

また、抵抗素子121～125を一行に配列し、抵抗素子121～125が配列された領域上に、RF信号用のメタル配線を設けている。このように、半導体素子と配線とをオーバーラップさせることにより、空き領域を有効活用でき、その結果、チップサイズの小型化を図ることが出来る。なお、抵抗素子121～125は、上記のようにRF信号の漏れ出しを防止するためのものである。すると、抵抗素子121～125を不純物拡散層で形成しようとする、その形状は横に長くなる。従って、不純物拡散層上に複数本のメタル配線を設けることが可能である。本実施形態では、RF端子101に接続されるRF配線と、電源端子104に接続される電源配線の2本の配線を設けている。勿論、これらの2本の配線だけでなく、それ以上の配線を設けても構わない。更に、図3に示すように、不純物拡散層11上には層間絶縁膜12、15が存在し、その膜厚は十分大きい。従って、不純物拡散層11、メタル配線16、及び層間絶縁膜12、15で形成される寄生容量は小さく、クロスオーバーするその他の配線間で生ずる寄生容量よりも十分小さいため、問題になることはない。なお、抵抗素子121～125は必ずしも不純物拡散層で形成されなければならないものではなく、例えばGaAs基板10上に形成したシリコン層やGaAs層等で形成しても良い。

【0055】

更に、図4、図5に示すように、半導体チップ20はMMICとして6ピンのパッケージに実装されている。そして、RF端子101に接続されるパッドは、RF端子102、103に接続されるパッドと対向するように配置されている。その結果、RF端子101からRF端子102への信号伝搬特性、及びRF端子101からRF端子103への信号伝搬特性が等しくなり、RF信号の伝搬特性の対称性を実現できる。

【0056】

ところで、従来の回路構成においてパッドの対称配置を行おうとすると、配線が交差することを免れない。しかし、配線の交差は、寄生容量発生の原因となる。更に、RF配線と交差する相手方の配線は、漏れだしたRF信号による悪影響を受ける。そのため、配線を交差させることは避けるべきである。従って、配線を迂回させることにより、配線の交差を防止しつつパッドの対称配置を行うこととなる。すると、迂回路用の配線領域を別途用意する必要があったため、パッドの対称配置を行うにはチップサイズが増加する場合がある。すなわち、パッドの対称配置を考えた場合、配線を交差させないようにすることを優先させれば、配線を迂回させねばならず、チップサイズが大きくなる。逆に、チップサイズの縮小化を優先させれば、配線を交差させねばならず、寄生容量やRF信号の漏れによって、スイッチの動作信頼性が悪化する。

【0057】

しかし、本実施形態に係る回路構成であると、抵抗素子121～125を整列配置し、その上の領域にRF配線を設けている。この領域では、確かに抵抗素子121～125とRF配線とが交差しているが、前述のように、寄生容量は極端に小さいため、両者の交差はSPDTスイッチの動作に悪影響を及ぼし難い。このように、RF配線を抵抗素子121～125と交差して配置させることで、RF配線を迂回させる必要が無くなるため、チップサイズの増加を招くことなくパッドの対称配置を実現できる。更に、RF配線はあくまで抵抗素子とのみ交差するのであって、他の配線とは交差しない。RF配線より漏れ出す

10

20

30

40

50

R F 信号による影響は、特に配線部分においては顕著であるが、抵抗素子においては殆ど影響を受けない。従って、抵抗素子 1 2 2、1 2 4、1 2 5 は、R F 配線と交差しているが、F E T 1 1 2、1 1 4 のゲート電位、及び F E T 1 1、1 1 2 のバイアス電位は、R F 配線から漏れ出す R F 信号によって影響を殆ど受けなくて済む。その結果、R F 端子間を伝搬する R F 信号に歪みが生ずることを抑制でき、更に F E T 1 1 1、1 1 2 で発生する損失を低減できる。このように、従来では両立困難であった、チップサイズの縮小化と、スイッチの動作信頼性とを両立出来る。

【 0 0 5 8 】

図 7 は、本実施形態に係る S P D T スイッチ、及び従来構成の S P D T スイッチの入力電力 - 損失特性である。なお、従来の高周波 S P D T スイッチでは、図 1 3 に示すように、インバータ部 2 3 0 の出力端子 2 3 2 (V c o n ') に接続される配線が、R F 配線と交差するものとする。

10

【 0 0 5 9 】

図示するように、従来の S P D T スイッチであると、入力電力 P i n が 1 5 d B m まで大きくなると、1 d B の損失が発生する。本実施形態に係る S P D T スイッチであると、入力電力 P i n が 2 3 d B m まで大きくなると、1 d B の損失が発生する。すなわち、本実施形態に係る構成であると、従来に比べて 8 d B ほど特性が改善されている。

【 0 0 6 0 】

なお、本実施形態においても、容量素子 1 5 3 が、インバータ部 1 3 0 の出力端子 1 3 2 と G N D 端子 1 0 6 との間に設けられている。従って、パッケージ外部にデカップリング容量を設けるのと同じ効果が得られ、大信号入力時の安定動作が得られる。

20

【 0 0 6 1 】

上記第 2 実施形態に係る S P D T スイッチによれば、チップサイズの増大を抑制しつつ、大入力電力時の歪み対策と、制御部の安定動作とを実現できる。なお、図 4 に示したパッド 2 2 - 1 ~ 2 2 - 6 は、図示される配置に限定されるものではない。勿論、パッド 2 2 - 5 とパッド 2 2 - 1、2 2 - 3 とが完全に対称となる図 4 の配置が理想的である。しかし、例えば図 8 に示すような配置であっても構わない。すなわち、パッド 2 2 - 5 とパッド 2 2 - 1、2 2 - 3 とが完全に対称で無かったとしても、それによる特性変化が実使用上において問題にならない程度であれば構わない。特に図 8 の配置方法であると、図 4 の配置方法に比べてチップ面積を小さくできる。

30

【 0 0 6 2 】

上記のように、この発明の第 1、第 2 の実施形態によれば、低損失、高アイソレーション、低歪みの特性を損なうことなくサージ耐性を向上できる、制御部内蔵型の高周波スイッチ装置を提供出来る。更に、チップサイズの増大を抑制しつつ、大電力入力時の歪み対策と、制御部の安定動作とを実現できる、制御部内蔵型の高周波スイッチ装置を提供出来る。

【 0 0 6 3 】

なお、上記第 1、第 2 実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせ実施することも、もちろん可能である。図 9 は、第 1、第 2 の実施形態の変形例に係る S P D T スイッチの回路図である。図示するように、本変形例に係る S P D T スイッチは、第 2 の実施形態に係る回路構成において、第 1 の実施形態で説明した抵抗素子 1 6 1 ~ 1 6 4、及び保護ダイオード 1 6 5 ~ 1 6 7 を更に設けたものである。この構成によれば、第 1、第 2 の実施形態で説明した各々の効果を併せて得ることが出来る。また、上記実施形態では M E S F E T を用いた回路構成について説明したが、勿論、M O S F E T を用いても良い。更にスイッチ装置の回路構成は、図 1、図 2、及び図 9 に限られず、また S P D T スイッチのみに限定されるものではない。

40

【 0 0 6 4 】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発

50

明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 0 0 6 5 】

【発明の効果】

以上説明したように、この発明によれば、低損失、高アイソレーション、及び低歪みの特性を損なうことなく、サージに対する耐性を向上できる、制御部内蔵型の高周波スイッチ装置を提供出来る。また、チップサイズの増大を抑制しつつ、大電力入力時の歪み対策と、制御部の安定動作とを実現できる、制御部内蔵型の高周波スイッチ装置を提供出来る。

10

【図面の簡単な説明】

【図 1】この発明の第 1 実施形態に係る S P D T スイッチの回路図。

【図 2】この発明の第 2 実施形態に係る S P D T スイッチの回路図。

【図 3】この発明の第 2 の実施形態に係る S P D T スイッチの一部領域の断面図。

【図 4】この発明の第 2 の実施形態に係る S P D T スイッチの平面パターン図。

【図 5】この発明の第 2 の実施形態に係る S P D T スイッチが搭載されるリードフレームの平面パターン図。

【図 6】この発明の第 2 の実施形態に係る S P D T スイッチのパッケージの外観図。

【図 7】この発明の第 2 実施形態に係る S P D T スイッチ、及び従来の S P D T スイッチの入力電圧 - 損失特性を示す特性図。

20

【図 8】この発明の第 2 の実施形態の変形例に係る S P D T スイッチの平面パターン図。

【図 9】この発明の第 1、第 2 の実施形態の変形例に係る S P D T スイッチの回路図。

【図 10】従来の S P D T スイッチの回路図。

【図 11】オフ状態にある F E T のゲート・ソ - ス間電圧と電流の関係図。

【図 12】インバータ回路の出力電圧の変化を示す特性図。

【図 13】従来のスイッチ部の回路図。

【符号の説明】

1 0 ... G a A s 基板

1 1 ... 不純物拡散層

1 2、1 5、1 6 ... 層間絶縁膜

30

1 3 ... メタル配線層

1 4 ... プラグ

2 0 ... 半導体チップ

2 1 ... S P D T スイッチ

2 2 - 1 ~ 2 2 - 6 ... ボンディングパッド

3 0 ... ダイパッド

3 1 - 1 ~ 3 1 - 6 ... リードフレーム

3 2 ... ボンディングワイヤ

4 0 ... 封止樹脂

1 0 0、2 0 0 ... 高周波 S P D T スイッチ M M I C

40

1 0 1 ~ 1 0 3、2 0 1 ~ 2 0 3 ... R F 端子

1 0 4、2 0 4 ... 電源端子

1 0 5、2 0 5 ... 制御端子

1 0 6、2 0 6 ... G N D 端子

1 0 7、1 2 1 ~ 1 2 5、1 6 1 ~ 1 6 4、2 2 0 ~ 2 2 5 ... 抵抗素子

1 0 8、1 0 9、1 5 3、2 5 3 ... 容量素子

1 1 0、2 1 0 ... スイッチ部

1 1 1 ~ 1 1 4、1 4 1 ~ 1 4 4、1 5 1、1 5 2、2 1 1 ~ 2 1 4、2 4 1 ~ 2 4 4、

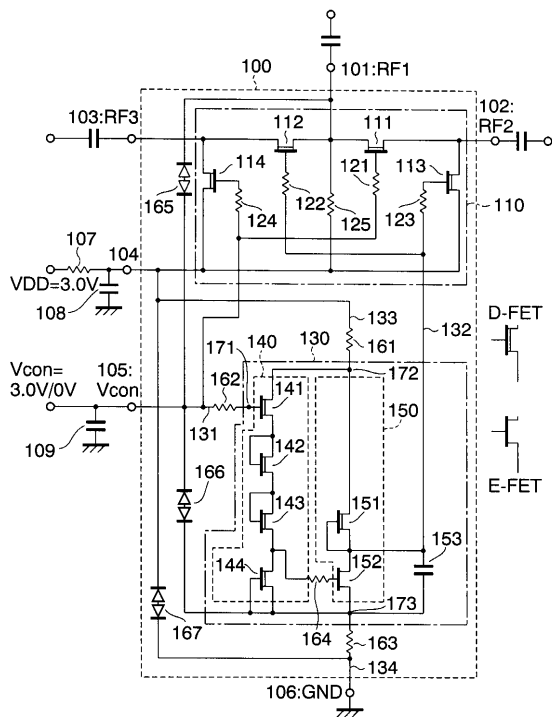
2 5 1、2 5 2 ... F E T

1 3 0、2 3 0 ... 制御部

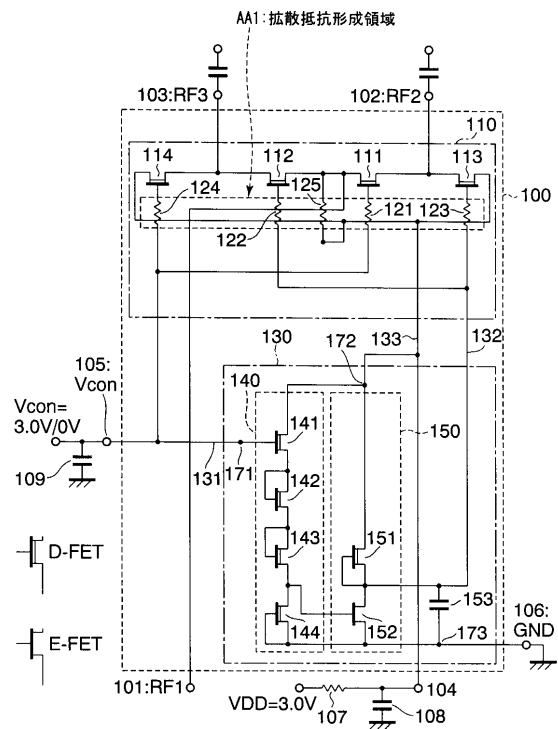
50

1 3 1 ~ 1 3 4、2 3 1 ~ 2 3 4 ... ノード
 1 4 0、2 4 0 ... ソースフォロア回路
 1 5 0、2 5 0 ... インバータ回路
 1 6 5 ~ 1 6 7 ... 保護回路
 1 7 1 ~ 1 7 3 ... 第 1 ~ 第 3 端子

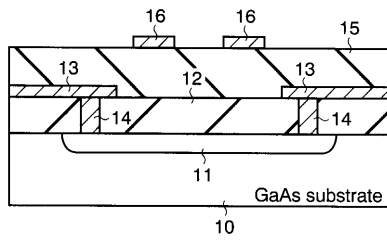
【 図 1 】



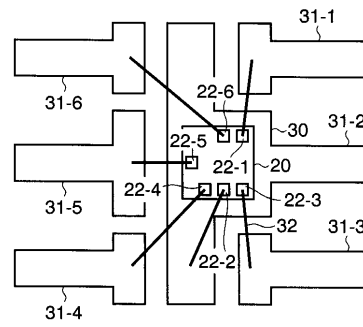
【 図 2 】



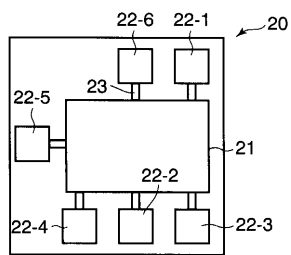
【図 3】



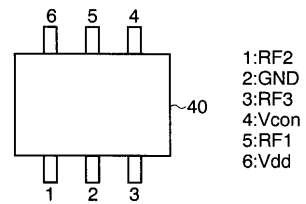
【図 5】



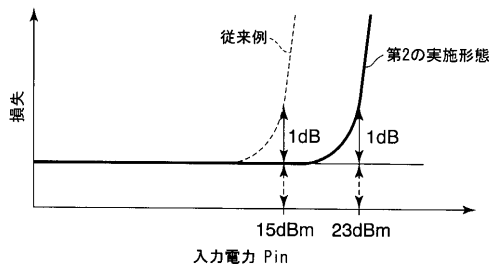
【図 4】



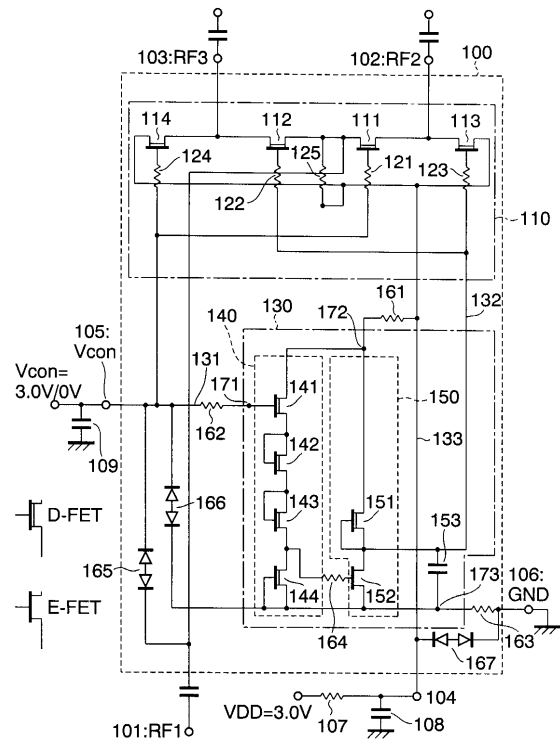
【図 6】



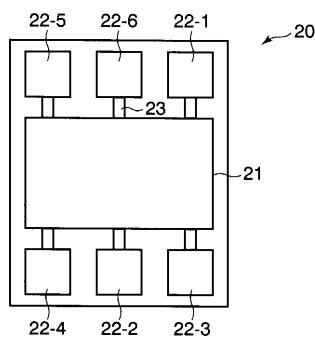
【図 7】



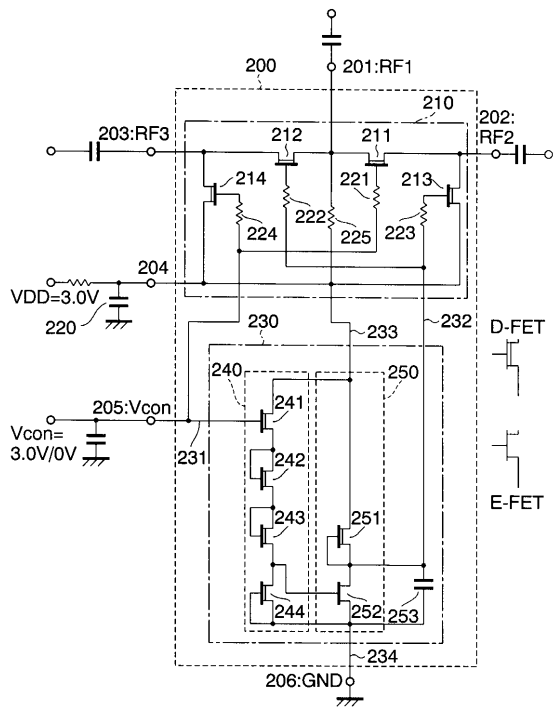
【図 9】



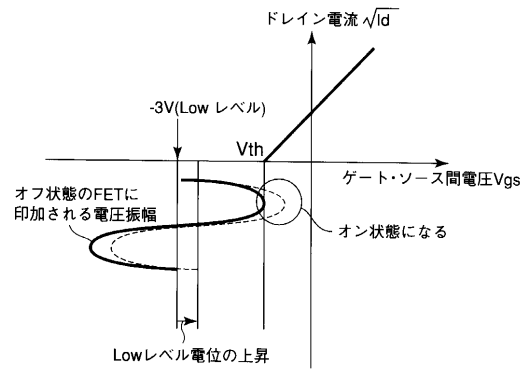
【図 8】



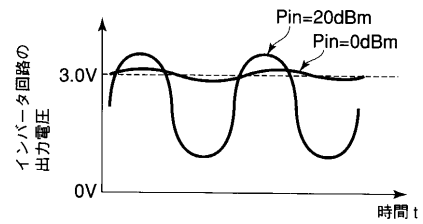
【図 10】



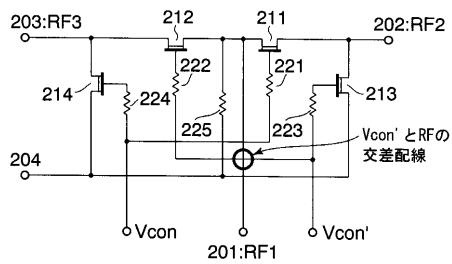
【図 11】



【図 12】



【図 13】



フロントページの続き

(51) Int.Cl. F I
H 0 4 B 1/44 (2006.01) H 0 4 B 1/44

(72)発明者 川久 克江
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 兼田 直孝
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 大嶋 洋一

(56)参考文献 特開平11-261396(JP,A)
特開平02-267961(JP,A)
特開平02-214151(JP,A)
特開2001-077306(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/8232
H01L 27/04
H01L 27/06
H03K 17/08
H04B 1/44