



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0085844  
(43) 공개일자 2021년07월08일

(51) 국제특허분류(Int. Cl.)  
H01L 21/28 (2006.01) H01L 21/8234 (2006.01)  
(52) CPC특허분류  
H01L 21/28008 (2013.01)  
H01L 21/823425 (2013.01)  
(21) 출원번호 10-2019-0179334  
(22) 출원일자 2019년12월31일  
심사청구일자 2019년12월31일

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암  
동5가)  
(72) 발명자  
유현용  
서울특별시 서초구 신반포로 270, 130동 2403호  
김승환  
서울특별시 성북구 고려대로17길 27, 204호  
박의진  
서울특별시 강남구 도곡로43길 21, 208동 501호  
(74) 대리인  
김홍석

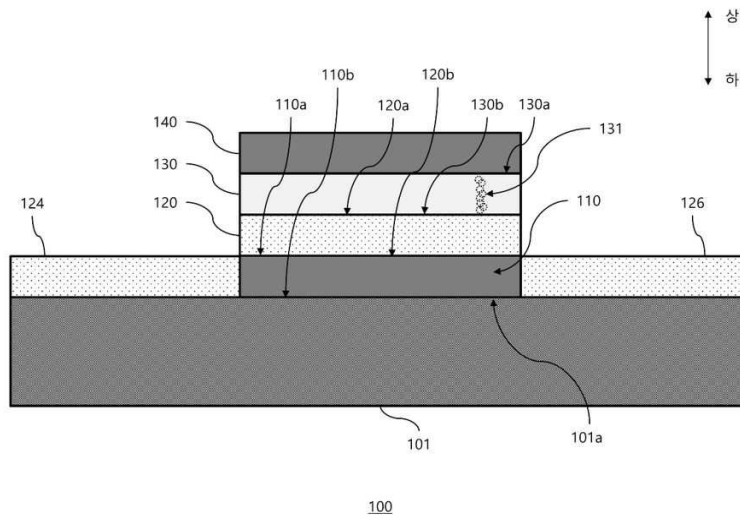
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 반도체 소자 및 트랜지스터

(57) 요약

반도체 소자 및 트랜지스터에 관한 것으로, 반도체 소자는 유전체 층, 상기 유전체 층의 일 면에 형성된 하부 금속층, 상기 유전체 층에 대향하여 상기 하부 금속층의 일 면에 형성된 반도체 물질층, 상기 하부 금속층에 대향하여 상기 반도체 물질층의 일 면에 형성된 전도성 필라멘트 층 및 상기 반도체 물질층에 대향하여 상기 전도성 필라멘트 층에 형성된 상부 금속층을 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

|             |                                |
|-------------|--------------------------------|
| 과제고유번호      | 17111094400                    |
| 부처명         | 과학기술정보통신부                      |
| 과제관리(전문)기관명 | 한국산업기술평가관리원                    |
| 연구사업명       | 산업핵심기술개발사업                     |
| 연구과제명       | 시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발 |
| 기 여 율       | 1/1                            |
| 과제수행기관명     | 인하대학교 산학협력단                    |
| 연구기간        | 2015.06.01 ~ 2020.05.31        |

---

## 명세서

### 청구범위

#### 청구항 1

유전체 층;

상기 유전체 층의 일 면에 형성된 하부 금속층;

상기 유전체 층에 대향하여 상기 하부 금속층의 일 면에 형성된 반도체 물질층;

상기 하부 금속층에 대향하여 상기 반도체 물질층의 일 면에 형성된 전도성 필라멘트 층; 및

상기 반도체 물질층에 대향하여 상기 전도성 필라멘트 층에 형성된 상부 금속층;을 포함하는 반도체 소자.

#### 청구항 2

제1항에 있어서,

상기 하부 금속층 및 상기 상부 금속층에 대한 전압의 인가에 따라서 상기 전도성 필라멘트 층 내에 전도성 필라멘트가 생성되는 반도체 소자.

#### 청구항 3

제1항에 있어서,

상기 반도체 물질층은, 그래핀(graphene), 2차원 전이금속 칼코겐 화합물(2D TMD: 2 dimensional Transition Metal Dichalcogenide), 육방정계 질화붕소(h-BN) 및 흑린(black phosphorus) 중 적어도 하나로 형성된 것인 반도체 소자.

#### 청구항 4

제1항에 있어서,

상기 전도성 필라멘트 층은, 산화하프늄(HfO<sub>2</sub>), 이산화규소(SiO<sub>2</sub>), 질화규소(SiN), 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화티타늄(TiO<sub>2</sub>), 이산화지르코늄(ZrO<sub>2</sub>) 및 산화아연(ZnO) 중 적어도 하나로 형성된 것인 반도체 소자.

#### 청구항 5

제1항에 있어서,

상기 하부 금속층은,

상기 유전체 층에 형성된 제1 하부 금속층; 및

상기 유전체 층에 대향하여 상기 제1 하부 금속층에 형성된 제2 하부 금속층;을 포함하거나, 또는

상기 상부 금속층은,

상기 전도성 필라멘트 층에 형성된 제1 상부 금속층; 및

상기 전도성 필라멘트 층에 대향하여 상기 제1 상부 금속층에 형성된 제2 하부 금속층;을 포함하는 반도체 소자.

## 청구항 6

제1항에 있어서,

상기 하부 금속층 및 상기 상부 금속층 중 적어도 하나는, 금(Au), 구리(Cu), 니켈(Ni) 및 티타늄(Ti) 중 적어도 하나를 이용하여 형성된 반도체 소자.

## 청구항 7

제1항에 있어서,

상기 유전체 층의 일 면에 형성되되, 상기 하부 금속층의 측방에 배치되는 제2 반도체 물질층;을 더 포함하는 반도체 소자.

## 청구항 8

유전체;

상기 유전체에 형성된 제1 단자;

상기 제1 단자와 이격되어 상기 유전체에 형성된 제2 단자;를 포함하되,

상기 제1 단자는,

상기 유전체 층의 일 면에 형성된 하부 금속층;

상기 유전체 층에 대하여 상기 하부 금속층의 일 면에 형성된 반도체 물질층;

상기 하부 금속층에 대하여 상기 반도체 물질층의 일 면에 형성된 전도성 필라멘트 층; 및

상기 반도체 물질층에 대하여 상기 전도성 필라멘트 층에 형성된 상부 금속층;을 포함하는 트랜지스터.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 반도체 소자 및 트랜지스터에 관한 것이다.

## 배경 기술

[0003] 트랜지스터는 스위칭이나 증폭 등을 수행하기 위해 이용되는 반도체 소자를 의미한다. 트랜지스터의 발달은 컴퓨터 장치 등의 연산 처리 능력이나 데이터 저장 용량 등을 급격히 증가시켜 왔으며, 또한 트랜지스터의 소형화는 전자 장치의 소형화를 유도하였다. 종래의 트랜지스터는 대체적으로 소스 및 드레인의 컨택 영역을 합금 처리함으로써 매우 낮은 저항성의 컨택(contact) 구조(합금형 컨택 구조)를 형성하였었다. 그러나, 이와 같은 합금형 컨택 구조는 상대적으로 큰 소스 및 드레인의 컨택 영역을 요구하기 때문에 트랜지스터의 소형화에 상당한 장애가 되고 있었다. 뿐만 아니라 이와 같은 합금형 컨택 구조는, 반도체 소자의 제조 과정에서 금속과 반도체의 상호 확산 및 결합을 위한 고온의 열처리 과정을 필요로 하기 때문에, 3차원 적층 기술과 같은 고집적화 기술에는 부적합하다는 문제점도 있었다. 이에 따라 이러한 단점을 개선하기 위한 다양한 반도체 구조에 대한 연구가 진행되고 있었다.

## 선행기술문헌

## 특허문헌

[0005] (특허문헌 0001) 대한민국 공개특허 제2002-0006045호 (2002.01.18. 공개)

(특허문헌 0002) 미합중국 등록특허 US8,018,004B (2011.09.13. 등록)

(특허문헌 0003) 미합중국 등록특허 US8,841,674B (2014.09.23. 등록)

## 발명의 내용

### 해결하려는 과제

[0006] 금속층 및 반도체 층 사이의 중간층 내부에 전도성 필라멘트를 적절하게 형성시킬 수 있는 반도체 소자 및 트랜지스터를 제공하는 것을 해결하고자 하는 과제로 한다.

### 과제의 해결 수단

[0008] 상술한 과제를 해결하기 위하여 반도체 소자 및 트랜지스터가 제공된다.

[0009] 반도체 소자는 유전체 층, 상기 유전체 층의 일 면에 형성된 하부 금속층, 상기 유전체 층에 대향하여 상기 하부 금속층의 일 면에 형성된 반도체 물질 층, 상기 하부 금속층에 대향하여 상기 반도체 물질층의 일 면에 형성된 전도성 필라멘트 층 및 상기 반도체 물질층에 대향하여 상기 전도성 필라멘트 층에 형성된 상부 금속층을 포함할 수 있다.

[0010] 트랜지스터는 유전체, 상기 유전체에 형성된 제1 단자, 상기 제1 단자와 이격되어 상기 유전체에 형성된 제2 단자를 포함하되, 상기 제1 단자는, 상기 유전체 층의 일 면에 형성된 하부 금속층, 상기 유전체 층에 대향하여 상기 하부 금속층의 일 면에 형성된 반도체 물질층, 상기 하부 금속층에 대향하여 상기 반도체 물질층의 일 면에 형성된 전도성 필라멘트 층 및 상기 반도체 물질층에 대향하여 상기 전도성 필라멘트 층에 형성된 상부 금속층을 포함할 수 있다.

### 발명의 효과

[0012] 상술한 반도체 소자 및 트랜지스터에 의하면, 반도체 소자 또는 트랜지스터에 형성된 금속층 및 반도체 층 사이의 중간층 내부에 전도성 필라멘트를 적절하게 형성시킬 수 있게 되고, 이에 따라 반도체 소자 또는 트랜지스터의 성능을 개선할 수 있게 된다.

[0013] 상술한 반도체 소자 및 트랜지스터에 의하면, 컨택 저항을 낮춰 전기적 특성을 개선할 수 있게 되면서도, 전류 전도성을 보다 높일 수 있게 되고, 이에 따라 보다 우수한 성능의 반도체 소자 또는 트랜지스터를 구현할 수 있게 된다.

[0014] 상술한 반도체 소자 및 트랜지스터에 의하면, 기존의 공정의 큰 변화 없이 보다 우수한 성능의 반도체 소자 및 트랜지스터의 구현이 가능하게 되고, 이에 따라 비용 절감 등의 경제적 효과도 얻을 수 있게 된다.

### 도면의 간단한 설명

[0016] 도 1은 반도체 소자의 일 실시예에 대한 측단면도이다.

도 2는 전도성 필라멘트의 동작의 일례를 설명하기 위한 제1 도이다.

도 3은 전도성 필라멘트의 동작의 일례를 설명하기 위한 제2 도이다.

도 4는 반도체 소자의 다른 실시예에 대한 측단면도이다.

도 5는 트랜지스터의 일 실시예에 대한 측단면도이다.

도 6은 반도체 소자의 전기적 특성을 설명하기 위한 그래프 도면이다.

도 7은 반도체 소자의 전기적 특성을 설명하기 위한 다른 그래프 도면이다.

## 발명을 실시하기 위한 구체적인 내용

- [0017] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 하나의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 복수의 '부'가 하나의 물리적 또는 논리적 부품으로 구현되거나, 하나의 '부'가 복수의 물리적 또는 논리적 부품들로 구현되는 것도 가능하다.
- [0018] 명세서 전체에서 어떤 부분이 다른 부분과 '연결되어 있다'고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 '포함한다'고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.
- [0019] '제1' 이나 '제2' 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 또한 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.
- [0021] 이하, 도 1 내지 도 7을 참조하여 반도체 소자의 일 실시예에 대해 설명한다.
- [0022] 도 1은 반도체 소자의 일 실시예에 대한 측면도이다. 이하 반도체 소자(100)를 설명함에 있어서 반도체 소자(100)의 상 방향 및 하 방향을 도면의 상 방향 및 하 방향과 동일하게 정의하도록 한다. 그러나, 이는 단지 설명의 편의를 위한 것으로 설계자의 임의적 선택에 따라서 이들 방향은 상이하게 정의되는 것도 가능하다.
- [0023] 도 1에 도시된 바를 참조하면, 반도체 소자(100)는, 일 실시예에 있어서, 유전체층(101)과, 유전체층(101)의 상 방향의 일 면(101a)에 형성되는 하부 금속층(110)과, 하부 금속층(110)에 접하거나 근접하여 장착되는 제1 반도체 물질층(120)과, 제1 반도체 물질층(120)에 접하거나 또는 근접하여 마련되는 전도성 필라멘트 층(130, 중간층으로 지칭 가능함)과, 전도성 필라멘트 층(130)과 접하거나 또는 근접하여 마련되는 상부 금속층(140)을 포함할 수 있다. 여기서, 하부 금속층(110)은 일 면(110a)은 제1 반도체 물질층(120)의 타 면(120b)에 접하거나 근접하여 형성되고 타 면(110b)은 유전체층(101)의 일 면(101a)에 접하거나 근접하여 형성된 것일 수 있다. 또한, 전도성 필라멘트 층(130)은 그 타 면(130b)이 제1 반도체 물질층(120)의 타 면(120b)에 대향하는 일 면(120a)에 접하거나 근접하여 형성되고, 상부 금속층(140)은 그 타 면(140b)이 전도성 필라멘트 층(130)의 타 면(130b)에 대향하는 일 면(130a)에 접하거나 근접하여 형성된 것일 수 있다. 따라서, 반도체 소자(100)는, 유전체층(101), 하부 금속층(110), 제1 반도체 물질층(120), 전도성 필라멘트 층(130) 및 상부 금속층(140)이 순차적으로 적층되어 형성된 것일 수 있다. 또한, 반도체 소자(100)에는 하부 금속층(110)에 접하거나 근접하여 유전체층(101)의 상 방향의 일 면(101a)에 형성되는 제2 반도체 물질층(124, 126)을 더 포함할 수도 있다.
- [0024] 유전체층(101)은 외부의 다른 전압 인가 대상(미도시, 예를 들어, 게이트 등)에 인가되는 전류가 직접적으로 하부 금속층(110) 등으로 이동하는 것을 방지하고, 반도체 소자(100) 내에 편극이 발생하도록 할 수 있다. 유전체층(101)은, 예를 들어, 이산화규소(SiO<sub>2</sub>) 등과 같은 절연체를 이용하여 구현 가능하다.
- [0025] 하부 금속층(110)은 전도성 물질로 형성되고, 외부의 전원에서 인가되는 전압/전류에 따라서 상부 금속층(140)과 함께 전도성 필라멘트 층(130)에 전압을 인가할 수 있도록 한다. 이에 따라 전도성 필라멘트 층(130) 내부에는 일렉트로포밍(electroforming) 현상(또는 소프트 브레이크 다운(soft breakdown) 현상 등)이 발생하게 되어 전도성 필라멘트(131, CF: Conducting Filament)가 생성되거나 또는 소멸되도록 할 수 있다. 하부 금속층(110)은 상부 금속층(140)에 대응하는 형태로 형성될 수 있다. 예를 들어, 하부 금속층(110)은 상부 금속층(140)과 동일한 형상을 가지며, 및/또는 동일한 넓이 또는 동일한 굵기(높이)로 형성될 수 있다. 하부 금속층(110)은 예를 들어, 금(Au), 구리(Cu), 니켈(Ni), 티타늄(Ti), 이들 각각의 산화물 및/또는 이들과 다른 원소 사이의 화합물 등을 이용하여 구현 가능하다.
- [0026] 제1 반도체 물질층(120)은, 반도체 물질을 이용하여 구현될 수 있으며, 보다 구체적으로는 2차원 반도체 물질을 이용하여 형성된 것일 수 있다. 여기서, 2차원 반도체 물질은, 예를 들어, 그래핀(graphene), 2차원 전이금속 칼코겐 화합물(2D TMD: 2 dimensional Transition Metal Dichalcogenide), 육방정계 질화붕소(h-BN) 및/또는 흑린(black phosphorus) 등을 포함할 수 있다. 또한, 2차원 전이금속 칼코겐 화합물은, 예를 들어, 이황화 텅스텐(WS<sub>2</sub>), 이황화 몰리브덴(MoS<sub>2</sub>), 이황화 레늄(ReS<sub>2</sub>), 텅스텐 디셀레나이드(WSe<sub>2</sub>), 몰리브덴 디셀레나이드(MoSe<sub>2</sub>) 및 레늄 디셀레나이드(ReS<sub>2</sub>) 중 적어도 하나를 포함할 수 있다.

- [0027] 제1 반도체 물질층(120)은, 일 실시예에 의하면, 먼저 사용자가 원하는 적절한 형태로 제조된 후 적절한 위치 조정을 통해 하부 금속층(110)의 일 면(110a)에 부착됨으로써 반도체 소자(100)에 장착될 수 있다. 보다 구체적으로 예를 들어, 제1 반도체 물질층(120)은, 2차원 반도체 물질(2차원 전이금속 칼코겐 화합물 등)에서 트랜스퍼(transfer) 과정을 통해 2차원 반도체 물질 플레이크(flake)를 획득하고, 별도의 조정 장치(aligner) 등을 이용하여 획득한 플레이크 내에 하부 금속층(110)이 배치되도록 하여 장착 위치를 결정한 후, 소정의 접착제 등을 이용하여 부착시켜 반도체 소자(100)에 형성될 수 있다.
- [0029] 도 2는 전도성 필라멘트의 동작의 일례를 설명하기 위한 제1 도이고, 도 3은 전도성 필라멘트의 동작의 일례를 설명하기 위한 제2 도이다.
- [0030] 전도성 필라멘트 층(130)은, 도 2 및 도 3에 도시된 바와 같이 전압의 인가에 대응하여 전도성 필라멘트(131)가 내부 공간(139)에 생성될 수 있도록 마련된다. 전도성 필라멘트(131)의 생성은 산소 공공(131-1, Oxygen vacancy)의 이동 또는 금속 이온의 이동에 의해 수행될 수 있다. 구체적으로 예를 들어, 전도성 필라멘트 층(130)의 내부 공간(139)에는 산소 공공(131-1)이 존재할 수 있다. 산소 공공(131-1)은 원래 산소 원자가 있어야 할 위치에 산소 원자가 제거되거나 또는 부재하여 발생한 공공을 의미한다. 산소 공공(131-1)은 통상 극성을 가지고 있다. 전압이 인가되지 않으면, 산소 공공(131-1)은 불규칙적으로 공간(139) 내에 배치된다. 만약 도 2에 도시된 바와 같이 일정 수준의 전압이 상부 금속층(140) 및 하부 금속층(110)에 인가되면, 산소 공공(131-1)은 인가된 전압에 따라서 이동하게 된다. 산소 공공(131-1)은 지속적으로 적어도 하나의 계면(130a, 130b)으로 이동하고, 결과적으로 적어도 하나의 계면(130a, 130b)에 누적되어 성장하게 된다. 이와 같이 산소 공공(131-1)의 집단이 계속해서 성장하게 되면, 도 3에 도시된 바와 같이 양측 계면(130a, 130b)으로 연장되어 전도성 필라멘트(131)를 형성시킨다. 다른 예를 들어, 만약 전압이 인가되지 않은 상태라면, 전도성 필라멘트 층(130)의 내부 공간(139)에는 금속 이온(미도시)이 부재하거나 상대적으로 덜 존재한다. 만약 일정 수준의 전압이 상부 금속층(140) 및 하부 금속층(110)에 인가되면, 금속 이온(131-1)은 전압의 인가에 따라 생성된 전기장에 의해 전도성 필라멘트 층(130)의 내부 공간(139)으로 지속적으로 이동/유입되고, 유입된 금속 이온(131-1)은 전도성 필라멘트 층(130)의 양 계면(130a, 130b) 각각에 누적되어 양 계면(130a, 130b) 각각에 금속 이온의 덩어리를 형성시킨다. 금속 이온 덩어리는 계속 해서 성장하여 산소 공공(131-1)의 경우와 동일하게 양측 계면(130a, 130b)을 전기적으로 연결하는 전도성 필라멘트(131)를 형성시킨다. 금속 이온 덩어리는 산소 공공(131-1)의 존재에 따라 더욱 용이하게 성장할 수도 있다. 형성된 전도성 필라멘트(131)는 전도성 필라멘트 층(130)의 양 계면(130a, 130b)을 전기적으로 연결하여 양 계면(130a, 130b) 사이에 전류의 이동이 가능한 전기적 통로를 생성시킨다. 이에 따라 양 계면(130a, 130b) 사이로 전하가 보다 용이하게 이동할 수 있게 된다.
- [0031] 한편, 기 인가된 전압과 상이한 극성의 전압(역전압)이 인가되면, 전도성 필라멘트(131)는 소멸되고, 양 계면(130a, 130b)을 연결하는 전기적 통로는 절단된다. 따라서, 양 계면(130a, 130b) 사이에는 전류가 전혀 흐르지 않거나 또는 거의 흐르지 않게 된다.
- [0032] 상술한 하부 금속층(110)이 부재하다면, 이와 같은 전도성 필라멘트(131)는 생성되지 않거나 또는 상당히 약하게 또는 느리게 생성되게 된다. 구체적으로 예를 들어, 만약 유전체 층(101)의 타 면(일면(101a)에 대향하는 일면)에 전극(일례로 게이트 전극 등)이 형성되고, 이 전극에 전압이 인가된 경우라면, 유전체 층(101)에 대부분의 전압이 분배되어 제1 반도체 물질층(120)에는 충분한 전압이 인가되지 않게 된다. 따라서, 인가된 전압의 부족에 따라 산소 공공(131-1) 또는 금속 이온은 상대적으로 덜 이동하거나 거의 이동하지 않게 되고 그 결과 전도성 필라멘트(131) 역시 생성되지 않거나 또는 덜 생성되게 된다. 결과적으로 전도성 필라멘트 층(130)은 상대적으로 열등한 동작 특성을 보이게 된다. 하부 금속층(110)은 이와 같은 전도성 필라멘트(131)의 생성이 저하되는 것을 방지할 수 있게 된다. 즉, 하부 금속층(110)에 직접 전압이 인가되면, 유전체 층(101)의 존재에 기인한 전압의 약화가 발생하지 않으므로, 전도성 필라멘트 층(130) 내부에는 동일한 전압 또는 상대적으로 더 낮은 전압의 인가에도 충분하게 전도성 필라멘트(131)가 생성될 수 있게 된다.
- [0033] 전도성 필라멘트 층(130)은, 일 실시예에 있어서, 산화하프늄(HfO<sub>2</sub>), 이산화규소(SiO<sub>2</sub>), 질화규소(SiN), 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화티타늄(TiO<sub>2</sub>), 이산화지르코늄(ZrO<sub>2</sub>) 및 산화아연(ZnO) 중 적어도 하나를 이용하여 형성 가능하다, 이에 한정되는 것은 아니다.
- [0034] 금속층(140)은 다른 부품이나 전원 등과 전기적으로 연결되고, 다른 부품이나 전원 등에서 공급된 전류에 따라서 제1 반도체 물질층(120) 및/또는 전도성 필라멘트 층(130)에 소정의 전압을 인가할 수 있다. 금속층(140)은 외부에 노출되어 형성될 수도 있다. 금속층(140)은 예를 들어, 금(Au), 구리(Cu), 니켈(Ni), 티타늄(Ti), 이들

각각의 산화물 및/또는 이들과 다른 원소 사이의 화합물 등으로 형성된 것일 수 있다.

[0035] 일 실시예에 의하면, 전도성 필라멘트 층(130) 및 금속층(140)은 증착 과정을 통해 반도체 소자(100)에 장착될 수 있다. 예를 들어, 전도성 필라멘트 층(130)은 통상적인 2차원 반도체 트랜지스터의 공정 방식과 동일하게 또는 일부 변형하여 제1 반도체 물질층(120)에 증착 되어 형성되고, 금속층(140)은 형성된 전도성 필라멘트 층(130)에 증착 되어 형성될 수 있다. 따라서, 상술한 반도체 소자(100)는, 종래의 공정에서 제1 반도체 물질층(120)의 형성 과정을 추가하는 것만으로도 제조될 수 있다. 즉 종래의 마스크(mask) 공정에서 소스 및 드레인의 형성과 실질적으로 동일한 공정 하나만 더 추가하는 것만으로도 상대적으로 성능이 개선된 반도체 소자(100) 또는 이를 이용한 트랜지스터(도 5의 200)를 제조할 수 있게 된다. 따라서, 제조 공정의 큰 변화 없이도 용이하게 제조할 수 있게 되는 경제적 장점도 갖게 된다.

[0036] 상술한 바와 같이 반도체 물질 층(120), 전도성 필라멘트 층(130) 및 금속층(140)이 순차적으로 배치됨에 따라서, 금속-유전체-반도체(M-I-S, Metal-Insulator-Semiconductor) 구조가 반도체 소자(100)에 형성될 수 있다. 이와 같은 금속-유전체-반도체 구조는, 소스나 드레인 등으로 이용되는 경우, 쇼트키 배리어 높이를 낮춰 컨택 저항을 감소시킬 수 있는 장점이 있다.

[0037] 제2 반도체 물질층(124, 126)은 하부 금속층(110)의 측면의 전부 또는 일부에 배치될 수 있으며, 실시예에 따라 하부 금속층(110)을 외측 방향에서 전체적으로 또는 부분적으로 둘러싼 형태로 마련될 수도 있다. 제2 반도체 물질층(124, 126)은 예를 들어 채널 등으로 이용 가능하다. 제2 반도체 물질층(124, 126)은 실시예에 따라 생략될 수도 있다.

[0039] 도 4는 반도체 소자의 다른 실시예에 대한 측면면도이다.

[0040] 도 4에 도시된 바에 의하면, 다른 실시예에 따른 반도체 소자(150)는 상술한 바와 동일하게 유전체 층(101), 하부 금속층(110), 2차원 반도체 물질 층(120), 전도성 필라멘트 층(130) 및 상부 금속층(140)을 포함하고, 제2 반도체 물질층(124, 126)을 필요에 따라 더 포함하되, 하부 금속층(110) 및 상부 금속층(140) 중 적어도 하나는 복수의 금속층(111, 112 또는 141, 142)을 포함하여 마련된 것일 수도 있다. 구체적으로 하부 금속층(110)은 도 4에 도시된 바와 같이 유전체 층(101)에 접하는 제1 하부 금속층(111)과, 제1 하부 금속층(111)의 상측 방향에 형성되는 제2 하부 금속층(112)을 포함할 수 있고, 및/또는 상부 금속층(140)은 전도성 필라멘트 층(130)에 접하는 제1 상부 금속층(141)과 제1 상부 금속층(141)의 상단에 장착되고 상황에 따라 외부에 노출되는 제2 상부 금속층(142)을 포함할 수 있다. 실시예에 따라서, 제1 하부 금속층(111) 및 제2 하부 금속층(112)은 동일한 금속 소재로 이루어질 수도 있고 서로 상이한 금속 소재로 이루어질 수도 있다. 또한, 마찬가지로 제1 상부 금속층(141) 및 제2 상부 금속층(142)도 동일한 금속 소재로 이루어진 것일 수도 있고 서로 상이한 금속 소재로 이루어진 것일 수도 있다. 예를 들어, 제1 상부 금속층(141)은 티타늄(Ti)을 이용하여 형성되고, 제2 상부 금속층(142)은 금(Au)을 이용하여 형성된 것일 수 있다.

[0042] 이하, 상술한 반도체 소자(100)가 적용된 트랜지스터의 일 실시예를 설명하도록 한다.

[0043] 도 5는 트랜지스터의 일 실시예에 대한 측면면도이다.

[0044] 도 5에 도시된 바에 의하면, 트랜지스터(200)는 기판(202)과, 기판(202)에 설치된 유전체 층(201)과, 유전체 층(201)의 적어도 일 면에 형성된 제1 단자(210, 일례로 소스) 및 제2 단자(220, 일례로 드레인)를 포함할 수 있다. 여기서 제1 단자(210), 일례로 소스는 하부 금속층(211)과, 반도체 물질층(212)과, 전도성 필라멘트 층(213)과, 상부 금속층(214)을 포함할 수 있다. 실시예에 따라서, 제1 단자(210)는 이들 외에도 다른 층을 더 포함할 수도 있으며, 이들 중 적어도 하나의 층을 불포함할 수도 있다. 제2 단자(220), 일례로 드레인은, 일 실시예에 의하면, 제1 단자(210)와 동일하게 하부 금속층(221)과, 반도체 물질층(222)과, 전도성 필라멘트 층(223)과, 상부 금속층(224)을 포함할 수 있다. 실시예에 따라서 제2 단자(220)는 제1 단자(210)와 상이한 구조를 갖는 것도 가능하다. 예를 들어, 제2 단자(220)는 이들 외에 다른 층을 더 포함할 수도 있고, 또는 이들 중 어느 하나의 층을 불포함할 수도 있다. 하부 금속층(211, 221), 반도체 물질층(212, 222), 전도성 필라멘트 층(213, 223) 및 상부 금속층(214, 224)의 구조, 동작 및 기능에 대해선 기 설명한 바 있으므로, 이하 자세한 설명은 생략하도록 한다. 실시예에 따라서, 유전체 층(201)의 일 면에는 반도체 물질층(230)이 더 형성될 수도 있다. 유전체 층(201)의 일 면에 형성된 반도체 물질층(230)은, 예를 들어, 제1 단자(210) 및 제2 단자(220) 사이의 전

하의 이동을 위한 채널을 제공할 수도 있다.

[0045] 이하 도 5의 트랜지스터(200)의 제1 단자(210)의 하부 금속층(211) 및 상부 금속층(214) 각각에 전원(241, 242)을 연결하여 측정된 결과를 그래프 도면을 들어 설명한다.

[0047] 도 6은 반도체 소자의 전기적 특성을 설명하기 위한 그래프 도면으로, x축은 인가된 전압의 세기를, y축은 전류의 세기를 의미한다. 회색선은 종래의 금속-유전체-반도체 구조 하에서의 전압과 전류 사이의 관계를, 적색선은 상술한 트랜지스터(200)에서의 전압과 전류 사이의 관계를 의미한다.

[0048] 도 6에 도시된 바를 참조하면, 상술한 트랜지스터(200)의 경우에는, 각 컨택 영역에서 보이던 쇼트키 접합과 같은 전기적 특성은 오히려 전기적 특성으로 변화하였음을 알 수 있다. 또한, 동일한 전압 하에서 전류의 세기 역시 상대적으로 크게 증가하였다.

[0050] 도 7은 반도체 소자의 전기적 특성을 설명하기 위한 다른 그래프 도면으로, 상술한 실시예를 기반으로 구성된 모스펫(MOSFET, 적색 선)과, 종래의 모스펫(회색 선) 각각에 대해 전압 및 전류의 관계를 도시한 것이다. 도 7에서 x축은 게이트에 인가된 전압(이하 게이트 전압)의 세기를, y축은 드레인에서 측정되는 전류(이하 드레인 전류)의 세기를 의미한다.

[0051] 도 7에 도시된 바를 참조하면, 게이트 전압이 -20V 이하인 경우에는 상술한 실시예를 기반으로 구성된 모스펫과 종래의 모스펫 모두 게이트 전압에 대응하는 드레인 전류의 변화가 대체적으로 유사하나, 게이트 전압의 크기가 증가하면 증가할수록 상술한 실시예를 기반으로 구성된 모스펫에서 측정된 드레인 전류가 종류의 모스펫에서 측정된 드레인 전류보다 더 큼을 알 수 있다. 특히 양 드레인 전류의 차이는 게이트 전압이 커지면 커질수록 더욱 증가하는 경향을 보인다. 다시 말해서, 전도성 필라멘트(131)가 형성된 경우, 흐르는 전류의 세기가 더욱 더 상승한다.

[0052] 도 6 및 도 7에 나타난 결과에서 알 수 있듯이 유전체 층(101) 및 반도체 물질층(120) 사이에 하부 금속층(110)이 형성된 경우, 전도성 필라멘트의 형성이 용이해지고 이에 따라 컨택 저항이 낮아지고 반도체의 성능 또는 이를 이용한 다른 부품(일례로 트랜지스터)의 성능 역시 향상될 수 있게 된다.

[0053] 상술한 반도체 소자(100, 150, 200)는, 반도체 소자를 필요로 하는 다양한 장치에 이용될 수 있다. 예를 들어, 상술한 반도체 소자(100, 150, 200)는 트랜지스터를 구현하는데 이용될 수 있다. 여기서, 트랜지스터는, 예를 들어 전계 효과 트랜지스터(FET, Field Effect Transistor)를 포함할 수 있으며, 보다 구체적으로는 금속 산화막 반도체 전계 효과 트랜지스터(모스펫, MOSFET, Metal-Oxide-Semiconductor Field Effect Transistor), 핀펫(FinFET, Fin Field Effect Transistor), 고 전자 이동성 트랜지스터(HEMT, High Electron Mobility Transistor) 및/또는 구조 접합 전계 효과 트랜지스터(JFET, Junction Field Effect Transistor) 등을 포함할 수 있다. 그러나, 상술한 트랜지스터는 이에 한정되는 것은 아니다. 후술하는 바와 같이 소스(210)나 드레인(220) 등을 요청하는 여타의 반도체 장치나 부품(들)에도 상술한 반도체 소자(100, 150, 200)는 적용될 수 있다.

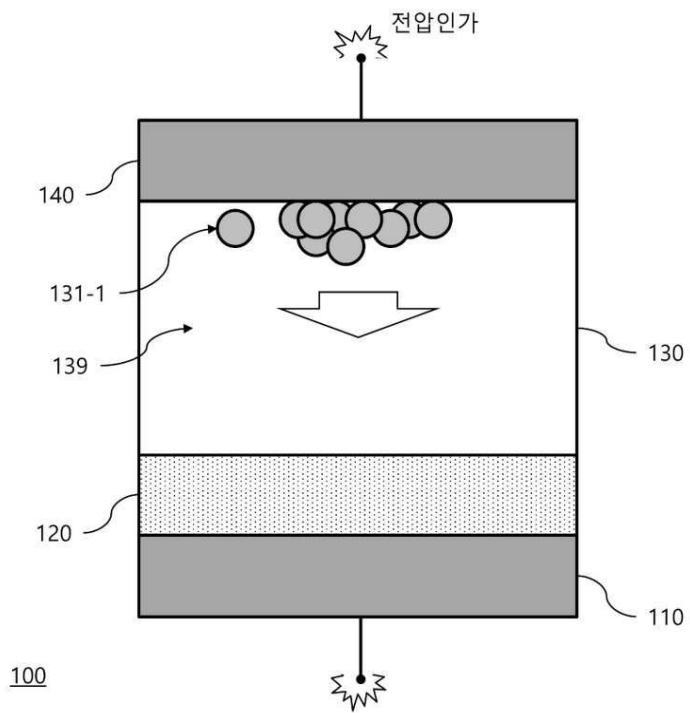
[0054] 이상 반도체 소자 및 트랜지스터의 일 실시예에 대해 설명하였으나, 반도체 소자 및 트랜지스터는 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 다양한 반도체 소자 및 트랜지스터 역시 상술한 반도체 소자 및 트랜지스터의 일 실시예가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소 또는 균등물에 의하여 대치되거나 또는 치환되더라도 상술한 반도체 소자 및 트랜지스터의 일 실시예가 될 수도 있다.

## 부호의 설명

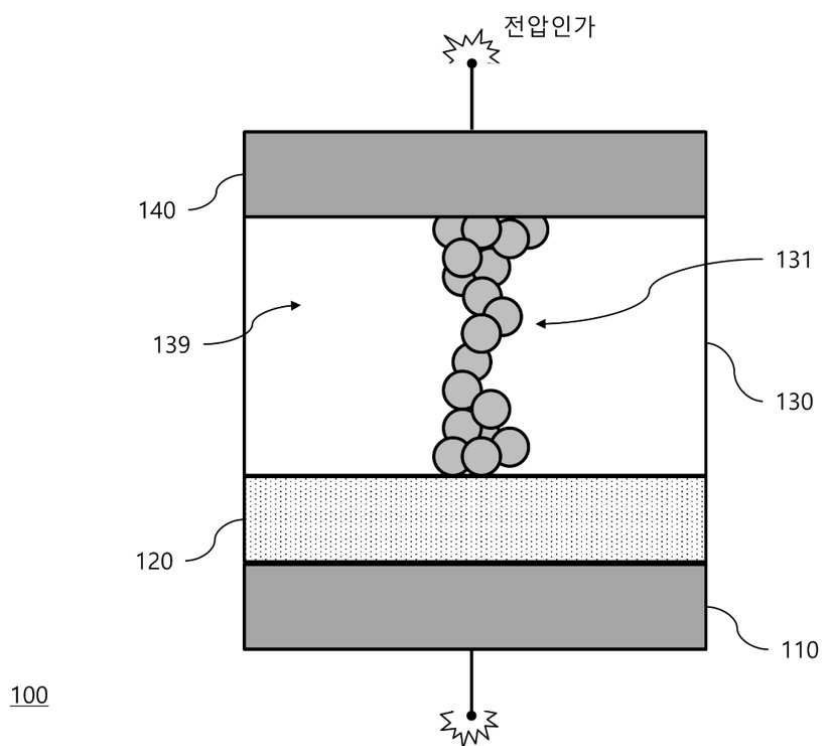
[0056] 100: 반도체 소자 101: 유전체층  
110: 하부 금속층 111: 제1 하부 금속층



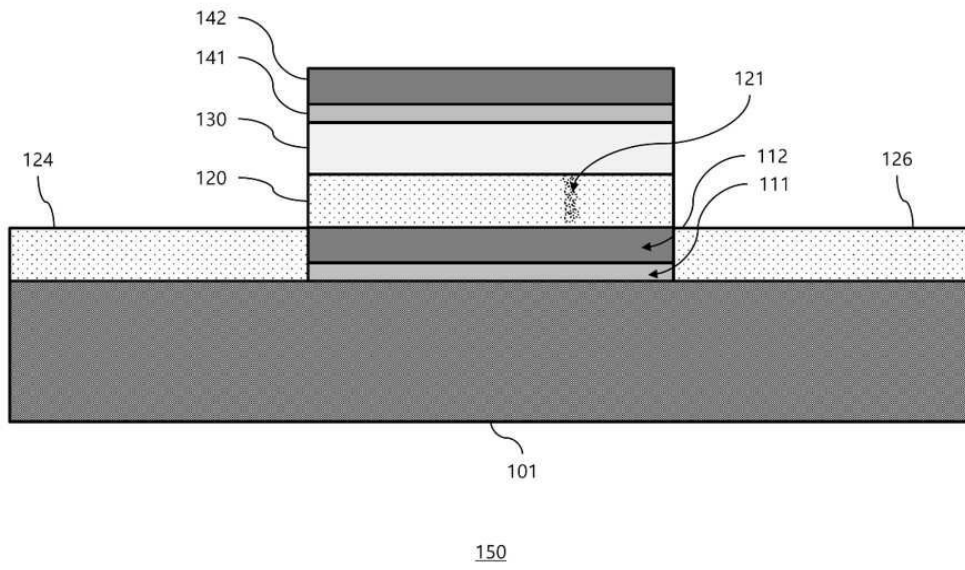
도면2



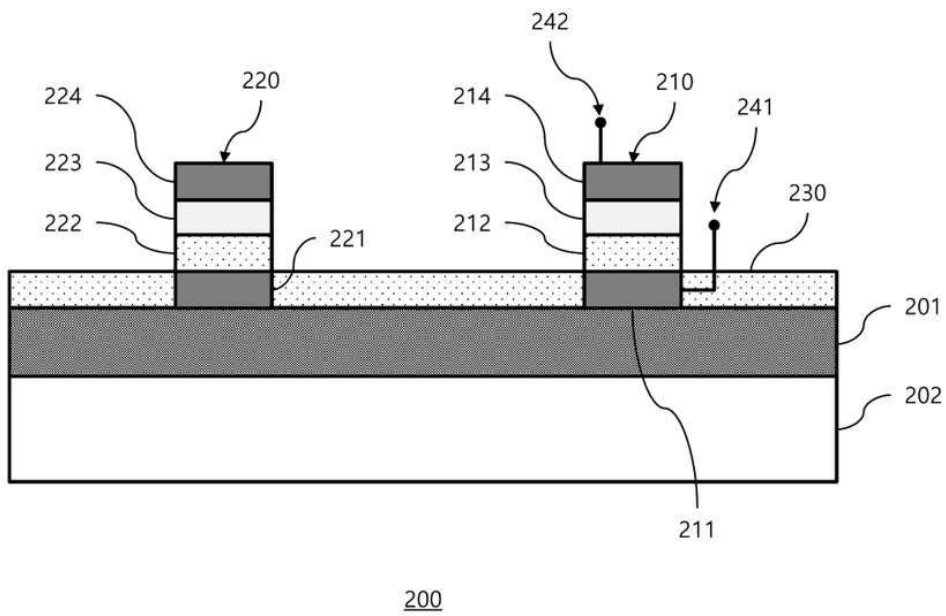
도면3



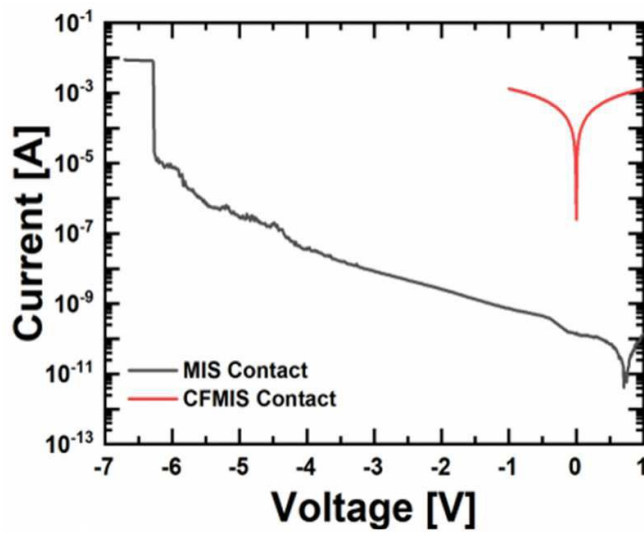
도면4



도면5



도면6



도면7

