

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5336102号
(P5336102)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

| | |
|------------------------------|---------------|
| (51) Int. Cl. | F I |
| GO2F 1/1368 (2006.01) | GO2F 1/1368 |
| GO2F 1/1345 (2006.01) | GO2F 1/1345 |
| GO2F 1/1343 (2006.01) | GO2F 1/1343 |
| GO9F 9/00 (2006.01) | GO9F 9/00 338 |
| GO9F 9/30 (2006.01) | GO9F 9/30 338 |

請求項の数 5 (全 36 頁) 最終頁に続く

| | | | |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2008-97251 (P2008-97251) | (73) 特許権者 | 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 |
| (22) 出願日 | 平成20年4月3日(2008.4.3) | (74) 代理人 | 100103894 弁理士 冢入 健 |
| (65) 公開番号 | 特開2009-251174 (P2009-251174A) | (72) 発明者 | 林 正美 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 |
| (43) 公開日 | 平成21年10月29日(2009.10.29) | 審査官 | 鈴木 俊光 |
| 審査請求日 | 平成22年12月13日(2010.12.13) | | |

最終頁に続く

(54) 【発明の名称】 TFT基板

(57) 【特許請求の範囲】

【請求項1】

外部から接続可能な端子及び前記端子から延在する第1配線を構成する透明導電膜パターンと、

前記端子上では除去され、前記透明導電膜パターン上において前記透明導電膜パターンの内側に形成された金属膜と、

前記金属膜を覆う絶縁膜と、

複数の画素と、

前記透明導電膜パターンによって、前記複数の画素に亘って形成された共通配線とを備え、

前記端子は、外部との接続端子であり、

前記共通配線は、前記透明導電膜パターンと当該透明導電膜パターンの内側に形成された前記金属膜の積層構造により構成する第1領域と、前記透明導電膜パターンにより構成する第2領域とを含み、

前記第1領域は、隣接する前記画素間、又は隣接する前記画素間と当該画素間から延在される前記画素内の端部近傍であり、

前記第2領域は、前記画素内の前記第1領域を除く領域であり、

前記第2領域は幅広とし、前記第1領域は前記第2領域に比して幅狭とするTFT基板

。 【請求項2】

反射領域と透過領域とを有する T F T 基板であって、
 前記絶縁膜上に形成され、反射領域及び透過領域を有する画素電極をさらに備え、
 前記画素電極は、前記反射領域及び前記透過領域に形成された透過電極と、前記透過領域より外側において、前記反射領域の前記透過電極上に形成された反射電極とを備える請求項 1 に記載の T F T 基板。

【請求項 3】

前記端子から基板端まで形成され、前記透明導電膜パターンと、前記基板端より内側において前記透明導電膜パターンの上層に形成された金属膜とを有する第 2 配線をさらに備える請求項 1 又は 2 に記載の T F T 基板。

【請求項 4】

前記金属膜は、A 1 合金よりなる膜を含む請求項 1 乃至 3 のいずれか 1 項に記載の T F T 基板。

【請求項 5】

前記第 1 配線上において、前記絶縁膜に形成されたコンタクトホールと、
 前記絶縁膜上に形成された第 3 配線と、
 前記コンタクトホールに充填され、前記第 1 配線と前記第 3 配線とを電氣的に接続する接続電極とをさらに備え、
 前記第 1 配線の前記金属膜は、前記コンタクトホールでは除去されている請求項 1 乃至 4 のいずれか 1 項に記載の T F T 基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、T F T 基板及びそれを用いた液晶表示装置並びにそれらの製造方法に関する。

【背景技術】

【0002】

薄膜トランジスタ (T F T) をスイッチング素子として用いた T F T アレイ基板は、表示装置等に多く用いられる。この T F T アレイ基板のゲート配線を 2 層構造とする技術が開示されている。特許文献 1 では、ゲート配線は、透明導電膜、金属膜が順次積層された 2 層構造としている。また、この透明導電膜は、画素電極を形成する透明導電膜と同一である。ゲート配線端子は、ゲート配線と同一構成を有するため、ゲート配線端子も透明導電膜、金属膜が積層された構成を有する。また、特許文献 1 では、さらに、ゲート配線端子に金属膜を積層している。

【特許文献 1】特開 2002 - 107762 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記のように、ゲート配線を 2 層構造とすると、ゲート配線端子の最上層は、金属膜となる。これは、ゲート配線端子をゲート配線と同一の 2 層構造としても、特許文献 1 のようにゲート配線端子のみを 3 層構造としても同様である。また、ゲート配線端子は、外部から接続することができるように、外部に露出している。このため、金属膜として A 1 系の金属膜を用いた場合、塩素等の存在する雰囲気では、ゲート配線端子に部分腐食が発生する。

【0004】

また、T F T アレイ基板には、ショートリング配線が形成される場合がある。ショートリング配線は、T F T アレイ基板形成時の帯電による素子異常を防ぐために形成される。ショートリング配線は、T F T アレイ基板を切断することにより最終的に除去される。また、ショートリング配線はこの切断ラインを跨ぐように形成されるため、基板切断面には、ショートリング配線が露出する。ショートリング配線は、ゲート配線端子等の端子から延在するため、ゲート配線端子と同一の構成を有することが多い。すなわち、ショトリ

10

20

30

40

50

ング配線も金属膜を有し、切断面にはショートリング配線の金属膜が露出する。これにより、塩素等の存在する雰囲気での部分腐食が発生する。

【0005】

また、半透過型液晶表示装置に用いられるTFTアレイ基板の場合、画素電極として反射電極及び透過電極が用いられる。また、反射電極及び透過電極の形成工程では、まず透明導電膜、反射膜を順次成膜する。そして、2段階の膜厚を有するレジストを用いて、これらをパターン形成する場合がある。これにより、写真製版工程を少なくすることができる。しかし、2段階の膜厚を有するレジストを用いたパターンニングでは、透過電極で形成される端子領域で段差の影響により、反射電極の膜残りが発生する場合がある。このため、上記と同様、部分腐食が発生する。このように、部分腐食が発生すると、TFT基板の信頼性が低下してしまう。

10

【0006】

本発明は、上記の問題を鑑みるためになされたものであり、信頼性が向上するTFT基板及びそれを用いた液晶表示装置並びにそれらの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明にかかるTFT基板は、外部から接続可能な端子及び前記端子から延在する第1配線を構成する透明導電膜パターンと、前記端子上では除去され、前記透明導電膜パターン上において前記透明導電膜パターンの内側に形成された金属膜と、前記金属膜を覆う絶縁膜とを備えるものである。

20

【0008】

本発明にかかるTFT基板の製造方法は、端子と、前記端子から延在する第1配線とを形成する工程であって、前記第1配線の形成領域には透明導電膜、金属膜が順次設けられ、前記端子の形成領域には前記透明導電膜上の前記金属膜が除去されることにより、前記端子及び前記第1配線を形成する工程と、前記金属膜を覆うように、絶縁膜を形成する工程とを有する方法である。

【発明の効果】

【0009】

本発明によれば、信頼性が向上するTFT基板及びそれを用いた液晶表示装置並びにそれらの製造方法を提供することができる。

30

【発明を実施するための最良の形態】

【0010】

実施の形態1.

まず、TFT基板が用いられる表示装置について説明する。表示装置としては、液晶表示装置やEL表示装置（電界発光型表示装置）等の平面型表示装置（フラットパネルディスプレイ）が挙げられる。また、EL表示装置には、例えば有機EL表示装置、無機EL表示装置がある。ここでは、表示装置の一例として、液晶表示装置について説明する。

【0011】

液晶表示装置は、液晶パネル、制御回路、及びバックライトユニットを有する。液晶パネルは、TFT基板と、TFT基板に対向して配置される対向基板を有する。TFT基板と対向基板とは、表示領域周辺にてシール材を用いて貼り合わせられている。そして、両基板とシール材の間には、液晶層が形成されている。また、TFT基板と対向基板の外側には、機能性フィルム、例えば偏光板フィルム等が貼付されている。液晶パネルの反視認側には、バックライトユニットが配設される。バックライトユニットによって、液晶パネルの背面側から光を照射する。

40

【0012】

制御回路は、液晶パネルの表示に必要な信号を供給する。制御回路は、フレキシブル基板上に搭載されている。なお、制御回路は、液晶パネル上、フレキシブル基板上及びFPC（Flexible Printed Circuit）上に分割されて搭載されてもよい。さらには、回路の一部がTFT基板上に形成されてもよい。

50

【 0 0 1 3 】

次に、図 1 を参照して、上記の T F T 基板について説明する。T F T 基板とは、例えばスイッチング素子として用いられた薄膜トランジスタ (T F T) がアレイ状に配列された T F T アレイ基板である。図 1 は、T F T アレイ基板の構成を示す平面図である。なお、T F T アレイ基板 1 は、パネル切断ライン 3 4 において最終的に切断されるが、ここでは、切断前の T F T アレイ基板 1 について説明する。

【 0 0 1 4 】

T F T アレイ基板 1 には、最終的に液晶パネルの T F T アレイ基板 1 として使用されるパネル領域 2 と、製造工程中に切断して除去される除去領域 5 1 とを有する。すなわち、パネル領域 2 外周端がパネル切断ライン 3 4 となる。パネル領域 2 には、表示領域 5 2 と表示領域 5 2 を囲むように設けられた額縁領域 5 3 とが設けられている。この表示領域 5 2 には、複数のゲート配線 (走査信号線) 6、複数のソース配線 (表示信号線) 5、及び複数の共通配線 (不図示) が形成されている。複数のゲート配線 6 と共通配線は平行に設けられている。同様に、複数のソース配線 5 は平行に設けられている。なお、共通配線は、隣接するゲート配線 6 間にそれぞれ設けられている。すなわち、ゲート配線 6 と共通配線とは、交互に配置されている。

10

【 0 0 1 5 】

そして、ゲート配線 6 とソース配線 5 は、互いに交差するように形成されている。同様に、共通配線とソース配線 5 は、互いに交差するように形成されている。また、ゲート配線 6 とソース配線 5 は直交している。同様に、共通配線とソース配線 5 は直交している。隣接するゲート配線 6 と、隣接するソース配線 5 とで囲まれた領域が画素 5 4 となる。従って、表示領域 5 2 では、画素 5 4 がマトリクス状に配列される。

20

【 0 0 1 6 】

ゲート配線 6 は、表示領域 5 2 から額縁領域 5 3 まで延設されている。そして、ゲート配線 6 は、端部にそれぞれゲート配線端子 2 8 を有する。ソース配線 5 も同様に表示領域 5 2 から額縁領域 5 3 まで延設されている。そして、ソース配線 5 は、端部にそれぞれソース配線端子 2 9 を有する。

【 0 0 1 7 】

ゲート配線端子 2 8 及びソース配線端子 2 9 を介して、制御回路からの各種信号が液晶パネルに供給される。具体的には、ゲート配線端子 2 8 を介して、ゲート信号 (走査信号) がゲート配線 6 に供給される。このゲート信号によって、ゲート配線 6 が順次選択されていく。そして、ソース配線端子 2 9 を介して、表示信号 (表示電圧) がソース配線 5 に供給される。これにより、表示データに応じた表示電圧を各画素 5 4 に供給することができる。

30

【 0 0 1 8 】

また、パネル領域 2 外縁部には、ショートリング配線 2 7 が形成される。ショートリング配線 2 7 は、それぞれのゲート配線端子 2 8 及びソース配線端子 2 9 から延在する。ショートリング配線 2 7 は、パネル領域 2 から除去領域 5 1 に向けて延在する。すなわち、ショートリング配線 2 7 は、パネル切断ライン 3 4 を跨ぐように形成される。また、ショートリング配線 2 7 は、除去領域 5 1 において、パネル領域 2 の外形に沿った L 字型に形成される。ショートリング配線 2 7 は、T F T アレイ基板 1 の製造工程中に発生する T F T 等の素子の破壊を抑制することができる。

40

【 0 0 1 9 】

次に、図 2、図 1 6 (a) を参照して、画素 5 4 の構成について説明する。図 2 は、画素 5 4 の構成を示す平面図である。図 1 6 (a) は、図 2 の A - A 断面図である。

【 0 0 2 0 】

ガラス等からなる透明な絶縁性基板 2 5 上には、ゲート配線 6、ゲート電極 7、及び共通配線 1 2 が形成される。ゲート配線 6、ゲート電極 7、及び共通配線 1 2 は、透明導電膜、金属膜が順次積層された 2 層構造を有する。ゲート電極 7 は、ゲート配線 6 から延在する。ゲート配線 6 及びゲート電極 7 において、上層の金属膜は、下層の透明導電膜パタ

50

ーンより若干小さく形成される。すなわち、金属膜は、透明導電膜パターンの内側に形成される。換言すると、金属膜は、透明導電膜パターンからはみ出さないように形成される。ゲート配線6は、複数の画素54に亘って延在し、それぞれの画素54のゲート電極7にゲート信号を供給する。

【0021】

共通配線12は、複数の画素54に亘って延在し、それぞれの画素54に共通信号を供給する。共通配線12は、画素54内において幅広に形成される。画素54内の共通配線12には、金属膜が存在しない。すなわち、画素54内の共通配線12は、透明導電膜のみによって形成される。これにより、開口率を向上させることができる。また、隣接する画素54間、すなわちソース配線5と重なる部分において、共通配線12の幅が狭くなっている。また、この部分では、共通配線12は、上層の金属膜及び下層の透明導電膜によって形成される。

10

【0022】

ゲート配線6、ゲート電極7、及び共通配線12を覆うように、ゲート絶縁膜15が形成される。そして、ゲート絶縁膜15上には、半導体層14が形成される。半導体層14は、ゲート絶縁膜15を介して、ゲート電極7と対向配置される。半導体層14上には、オーミックコンタクト層16が形成される。オーミックコンタクト層16は、不純物元素を含む半導体層であり、導電性を有する。オーミックコンタクト層16は、半導体層14の両端に形成される。すなわち、ゲート電極7上において、半導体層14の中央部には、オーミックコンタクト層16が存在しない。このオーミックコンタクト層16が存在しない部分がチャンネル4である。このチャンネル4の外側にソース・ドレイン領域が形成される。

20

【0023】

オーミックコンタクト層16上には、ソース電極8及びドレイン電極9が形成される。オーミックコンタクト層16は、ソース電極8及びドレイン電極9と接触している。上記のように、オーミックコンタクト層16は、半導体層14の両端に形成される。すなわち、チャンネル4を挟んで、ソース電極8、ドレイン電極9が形成される。具体的には、ソース領域上にソース電極8が形成される。そして、ドレイン領域上にドレイン電極9が形成される。ソース電極8は、ソース配線5から延在する。ソース配線5は、複数の画素54に亘って延在し、それぞれの画素54のソース電極8にソース信号を供給する。また、ソース電極8及びドレイン電極9は、その下に形成されたオーミックコンタクト層16からはみ出すように形成される。

30

【0024】

これらを覆うように、パッシベーション膜17が形成される。ドレイン電極9上のパッシベーション膜17には、コンタクトホール13が形成される。すなわち、ドレイン電極9上の一部では、パッシベーション膜17が存在しない。そして、画素電極としての透過電極11は、画素54の略全体に形成される。すなわち、透過電極11は、隣接するゲート配線6及び隣接するソース配線5に取り囲まれる領域に形成される。そして、透過電極11は、ドレイン電極9及び共通配線12と重なる。つまり、透過電極11は、ゲート絶縁膜15、パッシベーション膜17を介して下層の共通配線12とオーバーラップしている。これにより、共通配線12と透過電極11との間に電荷が蓄えられる。そして、共通配線12は、透過電極11に印加される電圧を一定時間保持するための補助容量を構成する。透過電極11は、コンタクトホール13に埋設される。そして、コンタクトホール13を介して、透過電極11とドレイン電極9が接続される。

40

【0025】

上記のゲート電極7、ゲート絶縁膜15、半導体層14、オーミックコンタクト層16、ソース電極8、ドレイン電極9等によってTF Tが構成される。TF Tは、画素54内に少なくとも1つ形成される。TF Tは、ゲート配線6とソース配線5の交差点近傍に配置される。そして、画素54内において、TF Tと補助容量は直列に接続されている。例えば、このTF Tが透過電極11に表示電圧を供給する。スイッチング素子であるTF T

50

のゲート電極 7 はゲート配線 6 に接続され、ゲート配線端子 28 から入力される信号によって T F T の O N と O F F を制御している。T F T のソース電極 8 はソース配線 5 に接続されている。ゲート電極 7 に電圧を印加するとソース配線 5 から電流が流れるようになる。これにより、ソース配線 5 から、T F T のドレイン電極 9 に接続された透過電極 11 に表示電圧が印加される。そして、透過電極 11 と、対向電極との間に、表示電圧に応じた電界が生じる。

【 0 0 2 6 】

次に、図 3 及び図 16 (b) を参照して、ゲート配線端子 28 及びその周辺領域について説明する。図 3 は、ゲート配線端子 28 及びその周辺領域の構成を示す平面図である。図 16 (b) は、図 3 の B - B 断面図である。

10

【 0 0 2 7 】

絶縁性基板 25 上には、ゲート配線 6、ゲート配線端子 28、及びショートリング配線 27 が形成される。ゲート配線 6、ゲート配線端子 28、及びショートリング配線 27 は、電氣的に接続されている。ゲート配線端子 28 は、矩形状に形成される。ゲート配線端子 28 の両側から配線が延在している。この配線のうち一方は、ショートリング配線 27 である。そして、他方は、ゲート配線 6 である。そして、ゲート配線 6 は、表示領域 52 内の T F T に電氣的に接続される。図 3 において、T F T アレイ基板 1 は、パネル切断ライン 34 の左側に除去領域 51、右側に表示領域 52 を有する。すなわち、ゲート配線端子 28 の左側の配線が、ショートリング配線 27 である。そして、ゲート配線端子 28 の右側の配線が、ゲート配線 6 である。

20

【 0 0 2 8 】

ゲート配線 6 及びショートリング配線 27 は、透明導電膜、金属膜が順次積層された 2 層構造を有する。ゲート配線端子 28 及びパネル切断ライン 34 周辺は、金属膜が存在せず、透明導電膜単層にて形成される。具体的には、透明導電膜パターンは、ゲート配線 6、ゲート配線端子 28、及びショートリング配線 27 の形成領域に一体的に形成される。すなわち、透明導電膜パターンは、ゲート配線 6、ゲート配線端子 28、及びショートリング配線 27 を構成する。なお、透明導電膜パターンは、ゲート配線端子 28 の形成領域のみ幅広に形成される。そして、金属膜は、ゲート配線 6 及びショートリング配線 27 の形成領域のみに形成される。なお、ショートリング配線 27 の形成領域において、金属膜は、L 字型に形成される。すなわち、図 1 に示されるように、除去領域 51 において、L 字型に形成されたショートリング配線 27 の部分には、金属膜が形成される。このように、金属膜は、パネル切断ライン 34 周辺より外側、及びゲート配線端子 28 の外側に形成される。すなわち、金属膜は、パネル切断ライン 34 近傍、及びゲート配線端子 28 では除去されている。また、ゲート配線 6 及びショートリング配線 27 の形成領域に形成される金属膜は、下層の透明導電膜パターンより小さく形成される。すなわち、金属膜は、下層の透明導電膜パターンの内側に形成される。

30

【 0 0 2 9 】

そして、ゲート配線 6 及びショートリング配線 27 の上に、ゲート絶縁膜 15、パッシベーション膜 17 が順次形成される。また、ゲート配線端子 28 上には、ゲート絶縁膜 15 及びパッシベーション膜 17 は存在しない。換言すると、ゲート配線端子 28 の外側では、略全体にゲート絶縁膜 15 及びパッシベーション膜 17 が形成される。これにより、ゲート配線 6 及びショートリング配線 27 が有する金属膜は、これらの絶縁膜によって覆われる。また、ゲート配線端子 28 近傍では、透明導電膜パターン外周のみ、ゲート絶縁膜 15 及びパッシベーション膜 17 によって覆われる。すなわち、図 3 に示されるように、ゲート配線端子 28 近傍の透明導電膜単層で形成された部分の内側に、ゲート絶縁膜 15 及びパッシベーション膜 17 の開口が形成される。

40

【 0 0 3 0 】

次に、図 4 及び図 16 (c) を参照して、ソース配線端子 29 及びその周辺領域について説明する。図 4 は、ソース配線端子 29 及びその周辺領域の構成を示す平面図である。図 16 (c) は、図 4 の C - C 断面図である。

50

【0031】

絶縁性基板25上には、ソース配線端子29及びショートリング配線27が形成される。また、絶縁性基板25上には、ソース配線端子29から表示領域52側に引き出された引出し配線も形成される。ソース配線端子29、ショートリング配線27、及び引出し配線は、電氣的に接続されている。ソース配線端子29は、矩形状に形成される。ソース配線端子29の両側から配線が延在している。この配線のうち一方は、ショートリング配線27である。そして、他方は、引出し配線である。そして、引出し配線は、ソース配線5等を介して、表示領域52内のTFTに電氣的に接続される。図4において、TFTアレイ基板1は、パネル切断ライン34の下側に除去領域51、上側に表示領域52を有する。すなわち、ソース配線端子29の下側の配線が、ショートリング配線27である。そして、ソース配線端子29の上側の配線が、引出し配線である。

10

【0032】

ショートリング配線27は、透明導電膜、金属膜が順次積層された2層構造を有する。また、ソース配線端子29からパネル面内に引出された引出し配線も、透明導電膜、金属膜が順次積層された2層構造を有する。また、ソース配線端子29及びパネル切断ライン34周辺は、金属膜が存在せず、透明導電膜単層にて形成される。

【0033】

具体的には、透明導電膜パターンは、ソース配線端子29、引出し配線、及びショートリング配線27の形成領域に一体的に形成される。すなわち、透明導電膜パターンは、ソース配線端子29、引出し配線、及びショートリング配線27を構成する。なお、透明導電膜パターンは、ソース配線端子29の形成領域のみ幅広に形成される。そして、金属膜は、ショートリング配線27及び引出し配線の形成領域のみに形成される。すなわち、金属膜は、パネル切断ライン34周辺より外側、及びソース配線端子29より外側に形成される。つまり、金属膜は、パネル切断ライン34近傍及びソース配線端子29では除去されている。また、ショートリング配線27及び引出し配線の形成領域に形成される金属膜は、下層の透明導電膜パターンより小さく形成される。すなわち、金属膜は、下層の透明導電膜パターンの内側に形成される。また、引出し配線は、透明導電膜単層によって形成された上層金属除去部31を一部に有する。すなわち、引出し配線には、上層金属除去部31の外側に金属膜が形成される。上層金属除去部31は、引出し配線のソース配線端子29とは反対側端部に形成される。

20

30

【0034】

そして、ショートリング配線27及び引出し配線の上に、ゲート絶縁膜15及びパッシベーション膜17が順次形成される。また、ゲート絶縁膜15上には、ソース配線5が形成される。ソース配線5は、それぞれのソース配線端子29に対応して形成される。そして、ソース配線5上に、パッシベーション膜17が形成される。また、ソース配線端子29上には、ゲート絶縁膜15、パッシベーション膜17は存在しない。換言すると、ソース配線端子29の外側では、略全体にゲート絶縁膜15及びパッシベーション膜17が形成される。これにより、引出し配線及びショートリング配線27が有する金属膜は、これらの絶縁膜によって覆われる。また、ソース配線端子29近傍では、透明導電膜パターン外周のみ、ゲート絶縁膜15及びパッシベーション膜17によって覆われる。すなわち、図4に示されるように、ソース配線端子29近傍の透明導電膜単層で形成された部分の内側に、ゲート絶縁膜15及びパッシベーション膜17の開口が形成される。

40

【0035】

上層金属除去部31の内側には、配線コンタクトホール32aが形成される。すなわち、上層金属除去部31の内側では、ゲート絶縁膜15及びパッシベーション膜17が存在しない。換言すると、上層金属除去部31の大きさは、配線コンタクトホール32aより大きく形成される。すなわち、金属膜は、配線コンタクトホール32aの外側に形成される。つまり、金属膜は、配線コンタクトホール32aでは除去されている。配線コンタクトホール32a周辺における金属膜の端部は、ゲート絶縁膜15及びパッシベーション膜17によって覆われる。

50

【0036】

そして、ソース配線5のソース配線端子29側の端部には、配線コンタクトホール32bが形成される。すなわちソース配線5上の一部では、パッシベーション膜17が存在しない。そして、配線コンタクトホール32aから配線コンタクトホール32bに亘って、パッシベーション膜17上に接続電極33が形成される。すなわち、接続電極33は、配線コンタクトホール32a、32bに埋設される。これにより、ソース配線5と引出し配線が電氣的に接続される。すなわち、ソース配線5とソース配線端子29が電氣的に接続される。接続電極33は、透過電極11と同一レイヤー、同一材料で形成される。

【0037】

本実施の形態にかかるTFTアレ基板1において、ゲート配線端子28、ソース配線端子29等の外部出力端子は金属膜を有さない。このため、劣悪環境下においても、外部出力端子の腐食等が生じにくい。また、ゲート配線6等には、金属膜を用いているので信号遅延も生じにくい。パネル切断ライン34周辺には、ショートリング配線27が形成される。本実施の形態では、パネル切断ライン34周辺のショートリング配線27は金属膜を有さない。すなわち、パネル切断ライン34周辺では、金属膜が存在しないようにしている。このため、パネル切断ライン34で切断したとしても、外部に金属膜が露出しない。換言すると、切断後のTFTアレ基板1には、ショートリング配線27が端子から基板端まで形成される。そして、透明導電膜上層の金属膜は、基板端より内側に形成されている。もちろん、この金属膜も、ゲート絶縁膜15及びパッシベーション膜17によって覆われる。従って、劣悪環境下においても、切断断面における配線断面からの腐食等が生じにくい。上記のように、これらの金属膜は絶縁膜によって覆われるため、金属膜として用いる材料の幅が広がる。例えば、金属膜として、塩素等の存在する環境下で腐食しやすい材料を用いることも可能である。また、この場合であっても、端子等に環境腐食が発生しにくいいため、本実施の形態にかかるTFT基板1は、長期使用が可能となる。

【0038】

また、上層金属除去部31内に配線コンタクトホール32aを形成している。換言すると、配線コンタクトホール32内では、引出し配線は、透明導電膜単層により形成されている。また、接続電極33も、透明導電膜によって形成される。そして、配線コンタクトホール32aに充填される接続電極33は、透明導電膜単層により形成された引き出し配線に接続される。すなわち、透明導電膜同士が接触し、透明導電膜-透明導電膜コンタクトを実現することができる。これにより、コンタクト抵抗の増大を抑制できる。このため、信号遅延等も生じにくく、消費電力を抑えることができる。以上のことから、本実施の形態にかかるTFTアレ基板1によれば、信頼性を向上させることができる。

【0039】

以上説明のように、本実施の形態のTFTアレ基板は、外部から接続可能な端子及び前記端子から延在する第1配線を構成する透明導電膜パターンを備える。なお、この端子とは、ゲート配線端子28、ソース配線端子29、共通配線端子、IC入出力端子等の外部との接続端子のことである。例えば、ゲート配線端子28、ゲート配線端子28から延在するゲート配線6及びゲート電極7などを構成する透明導電膜パターンを備える。そして、TFTアレ基板は、端子上では除去され、透明導電膜パターン上において透明導電膜パターンの内側に形成された金属膜を備える。さらに、TFTアレ基板は、金属膜を覆う絶縁膜を備える。このような構成により、信頼性を向上させることができる。

【0040】

なお、ゲート配線端子28及びソース配線端子29は、ゲート配線6の透明導電膜と同一レイヤーの透明導電膜のみによって形成したがこれに限らない。例えば、これらの端子を、ゲート配線6の透明導電膜と同一レイヤーの透明導電膜と、透過電極11と同一レイヤーの透明導電膜49との積層膜としてもよい。この場合、ゲート配線端子28上には、図5に示されるように、透明導電膜49が形成される。図5は、ゲート配線端子28及びその周辺領域の他の構成を示す断面図である。

【0041】

10

20

30

40

50

また、ここでは、画素 5 4 内の共通配線 1 2 は、ソース配線 5 との交差部のみを金属膜と透明導電膜との積層膜としたがこれに限らない。配向不良領域の遮光や共通配線 1 2 の配線抵抗低減のため、画素 5 4 下の一部を金属膜と透明導電膜との積層膜としてもよい。

【 0 0 4 2 】

なお、ここでは、チャネルエッチ型の T F T の構成を述べたが、スイッチング素子としてエッチストップ型の T F T やポリシリコンを用いたトップゲート型の T F T でも構わない。

【 0 0 4 3 】

次に、図 6 ~ 1 6 を参照して、T F T アレイ基板 1 の製造工程について説明する。図 6 ~ 1 6 は、T F T アレイ基板 1 の製造工程を示す断面図である。なお、図 6 ~ 1 6 において、(a) は図 2 の A - A 断面、(b) は図 3 の B - B 断面、(c) は図 4 の C - C 断面における製造工程を示す。

10

【 0 0 4 4 】

まず、スパッタ法を用いて、絶縁性基板 2 5 上に、透明導電膜 3 a、金属膜 3 b を順次成膜する。透明導電膜 3 a としては、I T O、I T Z O、I Z O、I T S O 等の導電膜を用いることができる。金属膜 3 b としては、A l 合金、C u 合金、M o 合金、A g 合金、C r 合金等の金属膜を用いることができる。さらに、金属膜 3 b としては、透明導電膜 3 a とのコンタクトが良好な導電膜を下層とし、低抵抗な金属膜を上層とした積層膜を用いることもできる。本実施の形態では、絶縁性基板 2 5 としてガラス基板、透明導電膜 3 a としてアモルファス I T O 膜、金属膜 3 b として A l 合金膜を用いる。

20

【 0 0 4 5 】

次に、第 1 の写真製版工程にて、金属膜 3 b 上に、2 段階の膜厚を有するレジスト 3 0 を形成する。具体的には、ゲート配線 6、ゲート電極 7、引出し配線、共通配線 1 2、及びショートリング配線 2 7 の形成領域上に、厚膜レジストパターンを形成する。なお、引出し配線の形成領域上では、上層金属除去部 3 1 の外側に厚膜レジストパターンを形成する。共通配線 1 2 の形成領域上では、ソース配線 5 との交差部のみに厚膜レジストパターンを形成する。ショートリング配線 2 7 の形成領域上では、パネル切断ライン 3 4 近傍を除いて、除去領域 5 1 のみに厚膜レジストパターンを形成する。すなわち、図 1 に示されるショートリング配線 2 7 の L 字型の部分に厚膜レジストパターンを形成する。

【 0 0 4 6 】

30

そして、共通配線 1 2、ショートリング配線 2 7、ゲート配線端子 2 8、及びソース配線端子 2 9 の形成領域上に薄膜レジストパターンを形成する。さらに、上層金属除去部 3 1 にも薄膜レジストパターンを形成する。なお、共通配線 1 2 及びショートリング配線 2 7 の形成領域上では、厚膜レジストパターンが形成される部分以外の部分に薄膜レジストパターンを形成する。

【 0 0 4 7 】

ここで、2 段階の膜厚を有するレジスト 3 0 の形成方法について説明する。まず、感光性樹脂であるレジスト 3 0 を成膜する。そして、フォトマスク上からレジスト 3 0 を露光する。レジスト 3 0 としてポジ型レジストを用いた場合、厚膜レジストパターンの形成領域のレジスト 3 0 は露光しない。そして、薄膜レジストパターンの形成領域のレジスト 3 0 は中間露光する。そして、それ以外の領域のレジスト 3 0 は完全に露光する。

40

【 0 0 4 8 】

また、多階調マスク上からレジスト 3 0 を露光する場合、1 回の露光によりレジスト 3 0 の各領域に対する露光量を調整することができる。多階調マスクとは、露光領域、中間露光領域、未露光領域の 3 段階の露光レベルを実現できるフォトマスクであり、ハーフトーンマスク及びグレイトーンマスクがある。もちろん、通常のフォトマスクを用いて、強い光量で照射を行う露光工程と、弱い光量で照射を行う露光工程とに分けて行ってもよい。その後、現像することにより、2 段階の膜厚を有するレジスト 3 0 が形成される。以上の工程により、図 6 に示す構成となる。

【 0 0 4 9 】

50

次に、薄膜レジストパターン及び厚膜レジストパターンを有するレジスト30をマスクとして、金属膜3bをエッチングする。これにより、レジスト30が形成されていない領域の金属膜3bが除去される。また、金属膜3bは、レジスト30のパターンより小さくパターン形成される。すなわち、金属膜3bのパターンの外側までレジスト30が形成される。本実施の形態では、燐酸・硝酸・酢酸の混液を用いたウェットエッチング法にて、金属膜3bとしてのAl合金膜をエッチングする。なお、エッチング法としては、これに限らず、その他のエッチング液を用いたウェットエッチング法でもよく、さらにはドライエッチング法でもよい。また、金属膜3bとして他の合金を用いた場合は、それぞれの合金膜に適したエッチング液で処理するのが望ましい。以上の工程により、図7に示す構成となる。

10

【0050】

次に、レジスト30を変形させて、エッチングされた金属膜3bのエッジを覆う形状とする。具体的には、レジスト30を軟化させて、エッチングされた金属膜3bのエッジを覆う形状とする。これにより、後にエッチングされる透明導電膜3aの仕上がり寸法は、金属膜3bのエッチングばらつきの影響を受けない。以上の工程により、図8に示す構成となる。

【0051】

次に、変形させたレジスト30をマスクとして、透明導電膜3aをエッチングする。これにより、レジスト30のパターンと略同一形状の透明導電膜3aがパターン形成される。透明導電膜3aは、上層の金属膜3bのパターンより若干大きくパターン形成される。すなわち、金属膜3bは、下層の透明導電膜3aのパターンからはみ出さないように形成されている。本実施の形態では、シュウ酸を用いたウェットエッチング法にて、透明導電膜3aとしてのITO膜をエッチングする。なお、エッチング法としては、これに限らず、上層の金属膜3bとの選択性のあるエッチング液を用いたウェットエッチング法であればよい。以上の工程により、図9に示す構成となる。

20

【0052】

次に、プラズマアッシング法を用いて、レジスト30の薄膜レジストパターンを除去する。すなわち、厚膜レジストパターンのみを残す。これにより、共通配線12の一部、ショートリング配線27の一部、ゲート配線端子28、及びソース配線端子29の形成領域では、金属膜3bが露出する。また、上層金属除去部31でも金属膜3bが露出する。以上の工程により、図10に示す構成となる。

30

【0053】

次に、残ったレジスト30、すなわち厚膜レジストパターンをマスクとして、露出した金属膜3bをエッチングする。これにより、共通配線12の一部、ショートリング配線27の一部、ゲート配線端子28、及びソース配線端子29の形成領域では、透明導電膜3aが露出する。そして、上層金属除去部31でも、透明導電膜3aが露出する。換言すると、ゲート配線端子28、ソース配線端子29、上層金属除去部31等の外側に金属膜3bが形成される。また、パネル切断ライン34周辺より外側に金属膜3bが形成される。以上の工程により、図11に示す構成となる。

40

【0054】

次に、レジスト30を除去して、ゲート配線6、ゲート電極7、共通配線12、ゲート配線端子28、ソース配線端子29、引出し配線、及びショートリング配線27を形成する。以上の工程により、図12に示す構成となる。

【0055】

なお、続いて実施されるゲート絶縁膜15の成膜工程において、透明導電膜3aとしてのアモルファスITOが結晶化する基板温度に達しない場合、ITO膜を結晶化させるためにアニールを行う。具体的には、レジスト30除去後に、アニールを行う。もちろん、ゲート絶縁膜15の成膜工程において、アモルファスITOが結晶化する基板温度に達すれば、別途アニールする必要はない。

【0056】

50

次に、プラズマCVD法にて、ゲート絶縁膜15、半導体層14、及びオーミックコンタクト層16を順次成膜する。これらは、透明導電膜3a及び金属膜3bを覆うように成膜される。本実施の形態では、ゲート絶縁膜15としてSiN膜を用いる。第2の写真製版工程により、ゲート電極7上に、島状のレジストを形成する。そして、レジストをマスクとして、ドライエッチング法にて、半導体層14及びオーミックコンタクト層16をエッチングする。その後、レジストを除去して、半導体層14及びオーミックコンタクト層16を島状に形成する。なお、ゲート配線端子28及びソース配線端子29の周辺領域では、半導体層14及びオーミックコンタクト層16は全て除去される。以上の工程により、図13に示す構成となる。

【0057】

次に、スパッタ法を用いて、第1の導電膜を成膜する。第1の導電膜としては、Cr、Mo合金、Al合金、Ag合金等の低抵抗金属膜を用いることができる。さらに、第1の導電膜としては、オーミックコンタクト層16と良好なコンタクト特性を示す導電膜を下層に、透過電極11と良好なコンタクト特性を示す導電膜等を上層に形成した積層膜を用いることもできる。本実施の形態では、第1の導電膜としてCr膜を用いる。そして、第3の写真製版工程により、ソース配線5、ソース電極8、及びドレイン電極9を形成するためのレジストを第1の導電膜上に形成する。次に、ウェットエッチングにて、第1の導電膜をエッチングする。そして、ドライエッチングにて、チャンネル4のオーミックコンタクト層16をエッチングする。その後、レジストを除去することにより、ソース配線5、ソース電極8、及びドレイン電極9が形成される。なお、ゲート配線端子28の周辺領域では、第1の導電膜は全て除去される。以上の工程により、図14に示す構成となる。

【0058】

そして、特性改善のため、H₂、Heなどのプラズマ処理を行う。次に、プラズマCVD法にて、これらを覆うように、パッシベーション膜17を成膜する。本実施の形態では、パッシベーション膜17としてSiN膜を用いる。そして、第4の写真製版工程により、コンタクトホール13、32a、32b、ゲート配線端子28の開口、及びソース配線端子29の開口を形成するためのレジストをパッシベーション膜17上に形成する。次に、レジストをマスクとして、ドライエッチング法にて、ゲート絶縁膜15及びパッシベーション膜17をエッチングする。そして、レジストを除去して、コンタクトホール13、32a、32b、ゲート配線端子28の開口、及びソース配線端子29の開口を形成する。

【0059】

具体的には、ドレイン電極9上のパッシベーション膜17が除去されて、コンタクトホール13が形成される。すなわち、コンタクトホール13では、ドレイン電極9が露出する。そして、ゲート配線端子28及びソース配線端子29上では、ゲート絶縁膜15及びパッシベーション膜17が除去される。これにより、ゲート配線端子28及びソース配線端子29が露出し、外部から接続可能となる。

【0060】

そして、上層金属除去部31より内側の引出し配線上では、ゲート絶縁膜15及びパッシベーション膜17が除去されて、配線コンタクトホール32aが形成される。これにより、配線コンタクトホール32aでは、透明導電膜3aが露出する。また、ソース配線5の端部上では、パッシベーション膜17が除去されて、配線コンタクトホール32bが形成される。これにより、配線コンタクトホール32bでは、ソース配線5が露出する。なお、上記のように、部分的に、ゲート絶縁膜15及びパッシベーション膜17が除去されても、これらの絶縁膜は、少なくとも金属膜3bを覆うように形成される。以上の工程により、図15に示す構成となる。

【0061】

次に、スパッタ法を用いて、パッシベーション膜17上に透明導電膜を成膜する。また、コンタクトホール13、32a、32bでは、透明導電膜が埋設される。そして、第5の写真製版工程にて、透過電極11及び接続電極33を形成するためのレジストを形成す

10

20

30

40

50

る。本実施の形態では、透明導電膜としてアモルファスITOを用いる。そして、レジストをマスクとして、透明導電膜をエッチングする。その後、レジストを除去し、透過電極11及び接続電極33を形成する。

【0062】

具体的には、コンタクトホール13には透過電極11が形成され、コンタクトホール13を介して透過電極11とドレイン電極9が電氣的に接続される。そして、配線コンタクトホール32a、32bには接続電極33が形成され、配線コンタクトホール32a、32bを介して引出し配線とソース配線5が電氣的に接続される。次に、透過電極11及び接続電極33のアモルファスITOを結晶化するために、アニールを行う。以上の工程により、図16に示す構成となる。

【0063】

そして、パネル切断ライン34で切断することにより、TFTアレイ基板1が完成する。また、ショートリング配線27は、切断後の基板端より内側に金属膜3bを有する。すなわち、基板の切断面には、金属膜3bが存在しない。そして、ゲート配線端子28及びソース配線端子29にも、金属膜3bが存在しない。すなわち、完成したTFTアレイ基板1には、表面に金属膜3bが露出しない。これにより、TFTアレイ基板1の信頼性が向上する。また、透明導電膜3a及び金属膜3bの積層膜のパターニング時には、2段階の膜厚を有するレジスト30を用いる。これにより、写真製版工程を1回にすることができ、製造工程を簡略化することができる。そして、生産性を向上させることができる。

【0064】

なお、図8の説明では、レジスト30を変形させたが、エッチングの加工精度が良い場合は、この工程を省略できる。この場合、図7のように、金属膜3bをエッチングした後、続けて透明導電膜をエッチングする。このとき、金属膜3bのエッジが透明導電膜3aのエッジの外側に配置する形状となる。これにより、画素54は、図17(a)に示す構成となる。次に、プラズマアッシング法により、レジスト30の薄膜領域、すなわち薄膜レジストパターンを除去する。すなわち、厚膜レジストパターンのみを残す。このとき、厚膜レジストパターンのエッジは、金属膜3bのエッジの内側に配置する形状となる。これにより、図17(b)に示す構成となる。次に、残ったレジスト30、すなわち厚膜レジストパターンをマスクとして、金属膜3bをエッチングする。金属膜3bのエッジは、透明導電膜3aのエッジの内側に配置する形状となる。すなわち、金属膜3bは、透明導電膜3aのパターンからはみ出さないように形成される。これにより、図17(c)に示す構成となる。その後は、図12～図16と同様の工程により、TFTアレイ基板1を製造する。このように、上記の工程を変更することも可能である。

【0065】

なお、図13、14の説明では、2回の写真製版工程によって、半導体層14及びオーミックコンタクト層16を島状に形成し、ソース電極8及びドレイン電極9を形成したがこれに限らない。例えば、多階調マスクを用いて、1回の写真製版工程によってこれらを形成してもよい。具体的には、多階調マスクを用いて、ソース電極8及びドレイン電極9の形成領域に厚膜レジストパターンを形成し、チャンネル4の形成領域に薄膜レジストパターンを形成する。この2段階の膜厚を有するレジストパターンをマスクとして、エッチングすることにより、半導体層14、オーミックコンタクト層16、ソース電極8、及びドレイン電極9を形成してもよい。

【0066】

また、裏面光による光リークの影響の少ないデバイスでは、ゲート電極7を金属膜3bと透明導電膜3aの積層膜で形成したが、透明導電膜3aの単層膜で形成してもよい。具体的には、図6(a)では厚膜レジストパターンが形成されたゲート電極7の形成領域において、薄膜レジストパターンを形成する。これにより、画素54は、図18(a)に示す構成となる。その後、図18(b)～(d)に示されるように、アッシング、エッチング等を行うことにより、ゲート電極7も透明導電膜3a単層で形成される。また、図18(b)～(d)は、図17(b)～(d)と同様、レジスト30を変形させない方法でこ

10

20

30

40

50

れらを形成したが、レジスト30を变形させてもよい。

【0067】

実施の形態2.

本実施の形態は、フリンジフィールド(FFS)駆動の液晶表示装置に用いられるTF Tアレイ基板1について説明する。具体的には、共通配線12及び透過電極11の形状が実施の形態1と異なる。本実施の形態の下部画素電極35は、実施の形態1の共通配線12に相当する。なお、ゲート配線端子28、ソース配線端子29、及びショートリング配線27等、それ以外の構成、製造工程等は、実施の形態1と同様である。すなわち、本実施の形態でも、図1、図3、及び4に示される構成と同様の構成を有する。そして、本実施の形態でも、図6～図16の(b)、(c)に示される製造工程によりTF Tアレイ基板1が製造される。このため、実施の形態1と共通する説明は省略又は簡略化する。

10

【0068】

まず、図19、23(a)を参照して、本実施の形態にかかるTF Tアレイ基板1の構成について説明する。図19は、TF Tアレイ基板1の画素54の構成を示す平面図である。図23(a)は、図19のA-A断面図である。

【0069】

本実施の形態にかかるTF Tアレイ基板1は、下部画素電極35が画素の略全体に形成される。すなわち、隣接するゲート配線6と、隣接するソース配線5に囲まれた領域の略全体に、下部画素電極35が形成される。ここでは、下部画素電極35が対向電極として機能する。すなわち、対向基板には、対向電極が形成されない。

20

【0070】

また、ゲート配線6の延在方向で隣接する画素の下部画素電極35は、画素の略中央部で接続されている。すなわち、下部画素電極35の一部は、ソース配線5と交差する。ソース配線5との交差部において、下部画素電極35は、透明導電膜、金属膜が順次積層された2層構造を有する。また、透過電極11と重なる部分では、下部画素電極35は、透明導電膜単層で構成される。また、実施の形態1と同様、ゲート配線6及びゲート電極7は、透明導電膜、金属膜が順次積層された2層構造を有する。

【0071】

透過電極11は、櫛歯形状に形成される。具体的には、透過電極11は、ソース配線5に沿って形成された6本の櫛歯電極を有する。また、6本の櫛歯電極は、互いに平行に形成される。また、透過電極11と下部画素電極35とは、ゲート絶縁膜15及びパッシベーション膜17を介して重なっている。ここでは、下部画素電極35の上方に透過電極11が形成されている。また、各櫛歯電極の間の領域には、下部画素電極35が存在する。そして、透過電極11のそれぞれの櫛歯電極の端部と下部画素電極35との間に、表示電圧に応じた電界が生じる。透過電極11と、各櫛歯電極の両側で、透過電極11から下方の下部画素電極35に向かって電界が発生する。具体的には、基板面に対して斜め方向のフリンジ電界が生じる。このフリンジ電界を利用して液晶分子を駆動して、表示を行なっている。本実施の形態におけるTF Tアレイ基板1によっても、実施の形態1と同様の効果を奏することができる。

30

【0072】

次に、図20～23を参照して、本実施の形態にかかるTF Tアレイ基板1の製造工程について説明する。図20～23は、TF Tアレイ基板1の製造工程を示す図である。なお、図20～23において、(a)は、図19のA-A断面におけるTF Tアレイ基板1の製造工程を示す断面図である。(b)は、画素におけるTF Tアレイ基板1の製造工程を示す平面図である。

40

【0073】

まず、実施の形態1と同様に、絶縁性基板25上に、透明導電膜3a、金属膜3bを順次成膜する。そして、第1の写真製版工程にて、2段階の膜厚を有するレジスト30を形成する。具体的には、ゲート配線6、ゲート電極7、及び下部画素電極35の形成領域上に、厚膜レジストパターンを形成する。なお、下部画素電極35の形成領域上では、ソー

50

ス配線 5 との交差部のみに厚膜レジストパターンを形成する。そして、下部画素電極 3 5 の形成領域上において、厚膜レジストパターンが形成される部分以外の部分に薄膜レジストパターンを形成する。以上の工程により、図 2 0 に示す構成となる。

【 0 0 7 4 】

次に、レジスト 3 0 をマスクとして、金属膜 3 b をエッチングする。これにより、レジスト 3 0 が形成されていない領域の金属膜 3 b が除去される。そして、レジスト 3 0 を変形、すなわち軟化させて、エッチングされた金属膜 3 b のエッジを覆う形状とする。次に、レジスト 3 0 をマスクとして、透明導電膜 3 a をエッチングする。その後、プラズマアッシング法を用いて、レジスト 3 0 の薄膜レジストパターンを除去する。すなわち、厚膜レジストパターンのみを残す。これにより、下部画素電極 3 5 の形成領域の一部では、金属膜 3 b が露出する。次に、残ったレジスト 3 0、すなわち厚膜レジストパターンをマスクとして、露出した金属膜 3 b をエッチングする。これにより、下部画素電極 3 5 の形成領域の一部では、透明導電膜 3 a が露出する。すなわち、画素内の下部画素電極 3 5 の形成領域では、透明導電膜 3 a が露出する。以上の工程により、図 2 1 に示す構成となる。

【 0 0 7 5 】

次に、レジスト 3 0 を除去して、ゲート配線 6、ゲート電極 7、及び下部画素電極 3 5 を形成する。その後、実施の形態 1 と同様の方法により、ゲート絶縁膜 1 5、半導体層 1 4、オーミックコンタクト層 1 6、ソース電極 8、ドレイン電極 9、及びソース配線 5 を形成する。そして、プラズマ C V D 法にてパッシベーション膜 1 7 を成膜する。そして、第 4 の写真製版工程により、コンタクトホール 1 3 の開口を形成するためのレジストを形成する。次に、レジストをマスクとして、ドライエッチング法にて、パッシベーション膜 1 7 をエッチングする。そして、レジストを除去し、コンタクトホール 1 3 を形成する。具体的には、ドレイン電極 9 上のパッシベーション膜 1 7 が除去されて、コンタクトホール 1 3 が形成される。すなわち、コンタクトホール 1 3 では、ドレイン電極 9 が露出する。以上の工程により、図 2 2 に示す構成となる。

【 0 0 7 6 】

次に、スパッタ法を用いて、透明導電膜を成膜する。そして、第 5 の写真製版工程にて、透過電極 1 1 を形成するためのレジストを形成する。本実施の形態では、透明導電膜としてアモルファス I T O を用いる。そして、レジストをマスクとして、透明導電膜をエッチングする。その後、レジストを除去し、透過電極 1 1 を形成する。なお、ここでは、レジストのパターンを実施の形態 1 のパターンから変更することにより、透過電極 1 1 を櫛歯状に形成する。次に、透過電極 1 1 のアモルファス I T O を結晶化するために、アニールを行う。以上の工程により、図 2 3 に示す構成となる。

【 0 0 7 7 】

以上のように、構成することにより、下部画素電極 3 5 形成のために、新たな工程を付加することなく T F T アレイ基板 1 を作成することができる。このため、簡便であり、生産性を向上させることができる。

【 0 0 7 8 】

実施の形態 3 .

本実施の形態は、半透過型の液晶表示装置に用いられる T F T アレイ基板 1 について説明する。具体的には、共通配線 1 2 及び画素電極の構成が実施の形態 1 と異なる。なお、それ以外の基本的な構成、製造工程等は、実施の形態 1 と同様である。また、本実施の形態でも、T F T アレイ基板 1 は、図 1 に示される構成と同様の構成を有する。このため、実施の形態 1 と共通する説明は省略又は簡略化する。

【 0 0 7 9 】

まず、図 2 4、2 5 を参照して、本実施の形態にかかる T F T アレイ基板 1 の画素の構成を説明する。図 2 4 は、T F T アレイ基板 1 の画素の構成を示す平面図である。図 2 5 は、図 2 4 の A - A 断面図である。なお、図 2 5 においては、T F T アレイ基板 1 と対向配置される対向基板、及び両基板の間に形成される液晶 2 0 も合わせて図示する。なお、ここでは、対向基板として、カラーフィルタ基板 3 6 を用いる。

【 0 0 8 0 】

画素は、透過領域と反射領域とを有する。透過領域は、T F Tとは反対側の画素の略半分形成される。反射領域は、T F T側の画素の略半分形成される。反射領域には、共通配線12、T F T等が形成される。共通配線12は、実施の形態1と同様の形状を有するが、実施の形態1と異なり、共通配線12の略全体に、透明導電膜3a、金属膜3bが順次積層された2層構造を有する。共通配線12は、後述するドレイン電極9及び反射電極10により液晶20を保持する容量を構成する。図24に示されるように、ドレイン電極9は、ゲート電極7上からソース配線5に沿って画素の略中央部まで延在する。ドレイン電極9は、共通配線12を跨ぐように形成される。

【 0 0 8 1 】

T F Tを覆うように、パッシベーション膜17が形成される。パッシベーション膜17上には、平坦化膜18が形成される。反射領域において、平坦化膜18は、上層の透過電極11との界面に凹凸形状を有する。すなわち、共通配線12及びT F Tの上では、平坦化膜18は凹凸形状を有する。これにより、反射領域での反射光を適切な散乱分布とすることができる。また、画素電極の形成領域では、平坦化膜18の膜厚は、厚くなっており、その他の領域では、平坦化膜18の膜厚は、薄くなっている。すなわち、平坦化膜18の厚さは、ゲート配線6及びソース配線5の形成領域において薄くなっている。ドレイン電極9上のパッシベーション膜17及び平坦化膜18には、コンタクトホール13が形成される。また、コンタクトホール13は、ゲート電極7とは反対側のドレイン電極9端部に形成される。コンタクトホール13は、反射領域の端部に形成される。

【 0 0 8 2 】

平坦化膜18上には、画素電極が形成される。画素電極は、透過領域及び反射領域を有し、透過電極11及び反射電極10によって構成される。透過電極11は、画素の略全体に形成される。すなわち、透過電極11は、透過領域及び反射領域に形成される。透過電極11は、コンタクトホール13に埋設される。そして、コンタクトホール13によって、透過電極11及びドレイン電極9が電氣的に接続される。反射電極10は、透過領域の外側において、反射領域の透過電極11上に形成される。反射電極10は、平坦化膜18の凹凸上に形成される。このように、透過領域では、画素電極は、透過電極11単層で構成される。そして、反射領域では、画素電極は、透過電極11及び反射電極10の積層構造を有する。また、これらを覆うように、基板全体に配向膜19が形成される。T F Tアレイ基板1は、以上のように構成される。

【 0 0 8 3 】

上記のT F Tアレイ基板1には、カラーフィルタ基板36が対向配置される。カラーフィルタ基板36は、ブラックマトリクス(B M)24、色材23、オーバーコート22、対向電極21、及び配向膜19を有する。絶縁性基板25下には、B M24及び色材23が形成される。B M24は、ゲート配線6及びソース配線5の上に形成される。すなわち、B M24は、格子状に形成される。色材23は、例えばR(赤)B(青)G(緑)の色材であり、画素ごとに形成される。すなわち、B M24が形成されない部分に、色材23が形成される。

【 0 0 8 4 】

B M24及び色材23を覆うように、オーバーコート22が形成される。透過領域では、オーバーコート22の膜厚は、薄くなっている。反射領域では、オーバーコート22の膜厚は、厚くなっている。すなわち、反射電極10上では、オーバーコート22の膜厚は、厚くなっている。従って、反射領域における両基板の間隔は、透過領域における両基板の間隔より狭くなっている。オーバーコート22を覆うように、対向電極21、配向膜19が順次形成されている。カラーフィルタ基板36は、以上のように構成される。また、両基板間には、液晶20が充填されている。

【 0 0 8 5 】

次に、図30(b)を参照して、ゲート配線端子28及びその周辺領域について説明する。図30(b)は、ゲート配線端子28及びその周辺領域の構成を示す断面図である。

【 0 0 8 6 】

ゲート配線端子 2 8 及びその周辺領域は、実施の形態 1 で示した構成と同様の構成を有する。さらに、本実施の形態では、パッシベーション膜 1 7 上に平坦化膜 1 8 が形成される。平坦化膜 1 8 は、下層のパッシベーション膜 1 7 及びゲート絶縁膜 1 5 と共通する部分に形成される。つまり、ゲート配線端子 2 8 上では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び平坦化膜 1 8 は存在せず、ゲート配線端子 2 8 が露出している。また、ゲート配線端子 2 8 近傍の透明導電膜パターン外周は、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び平坦化膜 1 8 によって覆われる。また、ゲート配線端子 2 8 及びその周辺領域では、平坦化膜 1 8 の膜厚は、薄くなっている。なお、図 3 0 (b) を含め、以降参照する図面では、膜厚の薄い平坦化膜を 1 8 b で示す。

10

【 0 0 8 7 】

次に、図 3 0 (c) を参照して、ソース配線端子 2 9 及びその周辺領域について説明する。図 3 0 (c) は、ソース配線端子 2 9 及びその周辺領域の構成を示す断面図である。

【 0 0 8 8 】

絶縁性基板 2 5 上には、ソース配線端子 2 9、ショートリング配線 2 7、ソース配線 5、ゲート絶縁膜 1 5、及びパッシベーション膜 1 7 が形成される。これらは、実施の形態 1 と同様の構成を有する。そして、パッシベーション膜 1 7 上に、平坦化膜 1 8 が形成される。平坦化膜 1 8 は、下層のパッシベーション膜 1 7 と共通する部分に形成される。つまり、ソース配線端子 2 9 上では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び平坦化膜 1 8 は存在せず、ソース配線端子 2 9 が露出している。また、ソース配線端子 2 9 近傍の透明導電膜パターン外周では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び平坦化膜 1 8 によって覆われる。

20

【 0 0 8 9 】

そして、上層金属除去部 3 1 の内側にある配線コンタクトホール 3 2 a では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び平坦化膜 1 8 が存在しない。配線コンタクトホール 3 2 b では、パッシベーション膜 1 7 及び平坦化膜 1 8 が存在しない。接続電極は、透過電極 1 1、反射電極 1 0 が順次積層された 2 層構造を有する。接続電極が配線コンタクトホール 3 2 a、3 2 b に埋設されることにより、引出し配線とソース配線 5 とが電気的に接続する。接続電極の下層の平坦化膜 1 8 は、膜厚が厚くなっている。また、それ以外の平坦化膜 1 8 は、膜厚が薄くなっている。

30

【 0 0 9 0 】

本実施の形態にかかる T F T アレイ基板 1 によっても、実施の形態 1 と同様の効果を奏することができる。また、上記のように、T F T アレイ基板 1 を半透過型液晶表示装置に用いる場合、共通配線 1 2 は、反射領域に形成される。このため、画素内においても、共通配線 1 2 は、透明導電膜、金属膜が順次積層された 2 層構造を有する。すなわち、画素内においても、共通配線 1 2 は、金属膜を有する。このため、共通信号の遅延等が生じにくくなる。

【 0 0 9 1 】

なお、平坦化膜 1 8 を下層のゲート絶縁膜 1 5 やパッシベーション膜 1 7 と略共通する部分に形成したがこれに限らない。端子の端部と端子周辺及びパネル切断ライン周辺の平坦化膜 1 8 は、平坦化膜 1 8 の形成時もしくは画素電極形成時に除去されてもよい。

40

【 0 0 9 2 】

次に、図 2 6 ~ 3 0 を参照して、本実施の形態にかかる T F T アレイ基板 1 の製造工程について説明する。図 2 6 ~ 3 0 は、T F T アレイ基板 1 の製造工程を示す断面図である。なお、図 2 6 ~ 3 0 において、(a) は図 2 4 の A - A 断面図における製造工程を示す。(b) は、ゲート配線端子 2 8 及びその周辺領域の製造工程を示す。(c) は、ソース配線端子 2 9 及びその周辺領域の製造工程を示す。

【 0 0 9 3 】

まず、ソース電極 8、ドレイン電極 9、ソース配線 5 の形成工程まで実施の形態 1 と同様に行う。なお、上記のように、本実施の形態における共通配線 1 2 は、略全体的に透明

50

導電膜と金属膜との2層構造を有する。このため、共通配線12の金属膜を除去しないレジスト形状とする。次に、これらを覆うように、パッシベーション膜17、平坦化膜18を順次成膜する。そして、第4の写真製版工程にて、平坦化膜18をパターニングする。

【0094】

具体的には、反射領域の平坦化膜18は、部分的に露光して現像される。これにより、反射領域の平坦化膜18には、凹凸が形成される。また、同工程にて、コンタクトホール13、32a、32b、ゲート配線端子28、及びソース配線端子29の形成領域では、平坦化膜18に開口が形成される。すなわち、これらの形成領域では、平坦化膜18が除去される。次に、パターニングされた平坦化膜18をマスクとして、ドライエッチング法によりパッシベーション膜17及びゲート絶縁膜15をエッチングする。これにより、実施の形態1と同様、コンタクトホール13、32a、32b、ゲート配線端子28の開口、及びソース配線端子29の開口が形成される。以上の工程により、図26に示す構成となる。

【0095】

次に、スパッタ法を用いて、平坦化膜18上に、透過電極用の透明導電膜49、反射膜50を順次成膜する。また、コンタクトホール13、32a、32bでは、透明導電膜49及び反射膜50が埋設される。透明導電膜49としては、ITO、ITSO、IZO等の透明導電膜を用いることができる。反射膜50としては、Al合金や、Ag合金等の高反射金属を用いることができる。また、反射膜50としては、下層にコンタクトメタルを有する積層膜を用いることができる。さらには、焼きつき防止のために、反射膜50の最上層に透明導電膜の薄膜を積層してもよい。本実施の形態では、透明導電膜49としてアモルファスITO、反射膜50としてAl合金を用いる。そして、第5の写真製版工程にて、画素電極及び接続電極の形成領域上に2段階の膜厚を有するレジスト30を形成する。また、ゲート配線端子28及びソース配線端子29を含め、それ以外の領域上には、レジスト30を形成しない。

【0096】

具体的には、反射電極10及び接続電極の形成領域上に、厚膜レジストパターンを形成する。すなわち、反射領域の画素電極及び接続電極の形成領域上に、厚膜レジストパターンを形成する。なお、図27(a)において、厚膜レジストパターンの膜厚はd3で示す。そして、透過電極11単層で構成される画素電極の形成領域上に、薄膜レジストパターンを形成する。すなわち、透過領域の画素電極の形成領域上に、薄膜レジストパターンを形成する。なお、図27(a)において、薄膜レジストパターンの膜厚はd4で示す。もちろん、膜厚d3より膜厚d4が薄くなるようにレジスト30は形成される。以上の工程により、図27に示す構成となる。

【0097】

次に、2段階の膜厚を有するレジスト30をマスクとして、反射膜50、透明導電膜49の順でエッチングを行う。これにより、レジスト30が形成されていない領域の反射膜50及び透明導電膜49が除去される。すなわち、ゲート配線端子28及びその周辺領域では、反射膜50、透明導電膜49が全て除去される。以上の工程により、図28に示す構成となる。

【0098】

次に、プラズマアッシング法を用いて、レジスト30の薄膜レジストパターンを除去する。すなわち、厚膜レジストパターンのみを残し、透過電極11を形成するためのレジストパターンとする。これにより、透過電極11単層で構成される画素電極の形成領域では、反射膜50が露出する。すなわち、透過領域の画素電極の形成領域では、反射膜50が露出する。また、薄膜レジストパターンを除去すると同時に、透明導電膜49に覆われていない平坦化膜18をエッチングする。これにより、画素電極及び接続電極の形成領域以外に対応する平坦化膜18が減厚される。すなわち、ゲート配線6、ソース配線5、及びショートリング配線27上では、平坦化膜18が減厚される。なお、図29(a)において、減厚される平坦化膜18の膜厚をd2で示す。以上の工程により、図29に示す構成

10

20

30

40

50

となる。

【 0 0 9 9 】

次に、残った厚膜レジストパターンをマスクとして、露出した反射膜 5 0 をエッチングする。これにより、反射電極 1 0 がパターン形成される。すなわち、透過領域では、反射膜 5 0 が除去され、透明導電膜 4 9 が露出する。その後、レジスト 3 0 を除去し、画素電極及び接続電極を構成する透過電極 1 1 及び反射電極 1 0 が形成される。具体的には、コンタクトホール 1 3 には透過電極 1 1 及び反射電極 1 0 が形成され、コンタクトホール 1 3 を介して画素電極とドレイン電極 9 が電氣的に接続される。そして、配線コンタクトホール 3 2 a、3 2 b には透過電極 1 1 及び反射電極 1 0 が形成され、配線コンタクトホール 3 2 a、3 2 b を介して引出し配線とソース配線 5 が電氣的に接続される。次に、透過電極 1 1 のアモルファス I T O を結晶化するために、アニールを行う。これにより、図 3 0 に示す構成となる。

10

【 0 1 0 0 】

従来の透過電極 1 1 及び反射電極 1 0 の形成工程において、2 段階の膜厚を有するレジストを用いてパターン形成する場合、プロセスの揺らぎにより、端子上に反射膜が残る場合がある。具体的には、薄膜レジストパターンが段差の影響で、本来の設定膜厚より厚くなってしまう。そして、この厚くなった薄膜レジストパターンは、アッシングによって完全に除去することができず、反射膜のエッチング残が発生する。このため、端子の信頼性が確保することができない。しかし、本実施の形態によれば、図 2 7 に示されるように、端子上にマスクとして用いるレジストパターンが存在しないため、端子上に反射膜が残りにくくなる。このため、十分に端子の信頼性を確保することができる。

20

【 0 1 0 1 】

実施の形態 4 .

上記の実施の形態では、表示装置に用いる T F T アレイ基板 1 について説明したが、本実施の形態では、センシング装置に用いる T F T アレイ基板 1 について説明する。また、本実施の形態でも、T F T アレイ基板 1 は、図 1 に示される構成と略同様の構成を有する。このため、上記の実施の形態と共通する説明は省略又は簡略化する。まず、図 3 1、3 2 を参照して、本実施の形態にかかる T F T アレイ基板 1 の画素の構成について説明する。図 3 1 は、T F T アレイ基板 1 の画素の構成を示す平面図である。図 3 2 は、図 3 1 の A - A 断面図である。

30

【 0 1 0 2 】

T F T アレイ基板 1 の検出領域には、複数のゲート配線 6、複数のデータ配線 3 7、及び複数のバイアス配線 3 8 が形成されている。複数のゲート配線 6 は平行に設けられている。同様に、複数のデータ配線 3 7 と複数のバイアス配線 3 8 は平行に設けられている。なお、バイアス配線 3 8 は、隣接するデータ配線 3 7 間にそれぞれ設けられている。すなわち、データ配線 3 7 とバイアス配線 3 8 とは、交互に配置されている。

【 0 1 0 3 】

そして、ゲート配線 6 とデータ配線 3 7 とは、互いに交差するように形成されている。同様に、ゲート配線 6 とバイアス配線 3 8 とは、互いに交差するように形成されている。ゲート配線 6 とデータ配線 3 7 とは直交している。同様に、ゲート配線 6 とバイアス配線 3 8 とは直交している。隣接するゲート配線 6 と、隣接するデータ配線 3 7 とで囲まれた領域が画素となる。従って、検出領域では、画素がマトリクス状に配列される。

40

【 0 1 0 4 】

図 3 2 に示されるように、ガラス等からなる透明な絶縁性基板 2 5 上には、ゲート電極 7 が形成される。ゲート電極 7 は、ゲート配線 6 から延在する。なお、ゲート電極 7 及びゲート配線 6 は、実施の形態 1 と同様の構成を有する。ゲート電極 7 は、透明導電膜、金属膜が順次積層された 2 層構造を有する。ゲート電極 7 において、上層の金属膜は、下層の透明導電膜パターンより若干小さく形成される。ゲート電極 7 を覆うように、ゲート絶縁膜 1 5 が形成される。

【 0 1 0 5 】

50

そして、ゲート絶縁膜 15 上には、半導体層 14 が形成される。半導体層 14 は、ゲート絶縁膜 15 を介して、ゲート電極 7 と対向配置される。半導体層 14 上には、オーミックコンタクト層 16 が形成される。オーミックコンタクト層 16 は、不純物元素を含む半導体層であり、導電性を有する。オーミックコンタクト層 16 は、半導体層 14 の両端に形成される。すなわち、ゲート電極 7 上において、半導体層 14 の中央部には、オーミックコンタクト層 16 が存在しない。このオーミックコンタクト層 16 が形成されていない部分がチャンネル 4 である。そして、チャンネル 4 の外側に、ソース・ドレイン領域が形成される。

【0106】

オーミックコンタクト層 16 上には、ソース電極 8 及びドレイン電極 9 が形成される。ソース電極 8 は、ソース領域上に形成される。ドレイン電極 9 は、ドレイン領域上に形成される。上記のように、オーミックコンタクト層 16 は、半導体層 14 の両端に形成される。すなわち、チャンネル 4 を挟んで、ソース電極 8、ドレイン電極 9 が形成される。図 31 に示されるように、ソース電極 8 は、半導体層 14 からデータ配線 37 まで延在して形成される。ドレイン電極 9 は、半導体層 14 からフォトダイオード下部電極 47 まで延在して形成される。

【0107】

ソース電極 8 及びドレイン電極 9 を覆うように、パッシベーション膜 17 が形成される。ドレイン電極 9 上のパッシベーション膜 17 には、コンタクトホール CH1 が形成される。すなわち、ドレイン電極 9 上の一部では、パッシベーション膜 17 が存在しない。そして、フォトダイオード下部電極 47 は、画素の略全体に形成される。すなわち、フォトダイオード下部電極 47 は、隣接するゲート配線 6 及び隣接するデータ配線 37 に取り囲まれる領域に形成される。フォトダイオード下部電極 47 は、コンタクトホール CH1 に埋設される。そして、コンタクトホール CH1 を介して、フォトダイオード下部電極 47 とドレイン電極 9 が電氣的に接続される。

【0108】

フォトダイオード下部電極 47 上の略全体には、フォトダイオード 100 が形成される。本実施の形態では、フォトダイオード 100 として、pin 構造のフォトダイオードを用いている。すなわち、フォトダイオード 100 は、pn 接合の中間にキャリアが少なく抵抗の大きい真性半導体の層（イントリンシック層）を設ける構造を有する。具体的には、フォトダイオード下部電極 47 側から、P をドーブしたアモルファスシリコン (n^+a-Si) 膜 39、イントリンシックなアモルファスシリコン ($i-Si$) 膜 40、B をドーブしたアモルファスシリコン (p^+a-Si) 膜 41 を順次積層した構成を有する。そして、フォトダイオード 100 上には、透明電極 42 が形成される。すなわち、対向する電極間にフォトダイオード 100 を挟む構成を有する。このような構成により、フォトダイオード 100 は、入射光量に応じて出力電流が変化する光センサとして機能する。

【0109】

これらを覆うように、透明電極 42 上に、第 2 パッシベーション膜 43 が形成される。ソース電極 8 上のパッシベーション膜 17 及び第 2 パッシベーション膜 43 には、コンタクトホール CH2 が形成される。すなわち、ソース電極 8 上の一部では、パッシベーション膜 17 及び第 2 パッシベーション膜 43 が存在しない。また、透明電極 42 上の第 2 パッシベーション膜 43 には、コンタクトホール CH3 が形成される。すなわち、透明電極 42 上の一部では、第 2 パッシベーション膜 43 が存在しない。

【0110】

第 2 パッシベーション膜 43 上には、データ配線 37、バイアス配線 38、及び遮光層 44 が形成される。図 31 に示されるように、データ配線 37 は、コンタクトホール CH2 を通るように直線状に延在する。また、データ配線 37 は、コンタクトホール CH2 に埋設される。そして、コンタクトホール CH2 を介して、ソース電極 8 とデータ配線 37 が電氣的に接続される。データ配線 37 は、複数の画素 54 に亘って延在し、それぞれの画素 54 のソース電極 8 からフォトダイオード 100 によって変換された電荷を読み出す

10

20

30

40

50

【 0 1 1 1 】

図 3 1 に示されるように、バイアス配線 3 8 は、コンタクトホール C H 3 を通るように直線状に延在する。また、バイアス配線 3 8 は、コンタクトホール C H 3 に埋設される。そして、コンタクトホール C H 3 を介して、透明電極 4 2 とバイアス配線 3 8 が電氣的に接続される。バイアス配線 3 8 は、複数の画素 5 4 に亘って延在し、それぞれの画素 5 4 の透明電極 4 2 に負バイアスを供給する。これにより、フォトダイオード 1 0 0 をオフ状態にする。遮光層 4 4 は、T F T 上に形成される。遮光層 4 4 は、矩形状に形成される。バイアス配線 3 8 及び遮光層 4 4 は、一体的に形成される。もちろん、これに限らず、バイアス配線 3 8 及び遮光層 4 4 を、個々に形成してもよい。また、バイアス配線 3 8 の幅より、遮光層 4 4 の幅が大きくなっている。そして、これらを覆うように、第 3 パッシベーション膜 4 5、第 4 パッシベーション膜 4 6 が順次形成される。第 4 パッシベーション膜 4 6 は、表面が平坦になっている。第 4 パッシベーション膜 4 6 は、例えば有機樹脂などから形成される。

10

【 0 1 1 2 】

次に、図 3 3 を参照して、ゲート配線端子 2 8 及びその周辺領域について説明する。図 3 3 は、ゲート配線端子 2 8 及びその周辺領域の構成を示す断面図である。

【 0 1 1 3 】

絶縁性基板 2 5 上には、ゲート配線端子 2 8、ショートリング配線 2 7、ゲート配線 6、ゲート絶縁膜 1 5、及びパッシベーション膜 1 7 が形成される。これらは、実施の形態 1 と同様の構成を有する。そして、パッシベーション膜 1 7 上に、第 2 パッシベーション膜 4 3、第 3 パッシベーション膜 4 5、第 4 パッシベーション膜 4 6 が順次形成される。第 2 パッシベーション膜 4 3、第 3 パッシベーション膜 4 5、及び第 4 パッシベーション膜 4 6 は、下層のパッシベーション膜 1 7 と共通する部分に形成される。すなわち、ゲート配線端子 2 8 上では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、第 2 パッシベーション膜 4 3、第 3 パッシベーション膜 4 5、及び第 4 パッシベーション膜 4 6 に開口が形成される。また、ゲート配線端子 2 8 及びパネル切断ライン 3 4 周辺では、ゲート配線 6 の金属膜と同一レイヤーの金属膜が存在しない。すなわち、ゲート配線端子 2 8 では、ゲート配線 6 の透明導電膜から延在する透明導電膜が露出している。

20

【 0 1 1 4 】

次に、図 3 4 を参照して、データ配線端子 4 8 及びその周辺領域について説明する。図 3 4 は、データ配線端子 4 8 及びその周辺領域の構成を示す断面図である。

30

【 0 1 1 5 】

絶縁性基板 2 5 上には、データ配線端子 4 8 及びショートリング配線 2 7 が形成される。データ配線端子 4 8 及び引出し配線は、実施の形態 1 で参照した図 1 6 (c) におけるソース配線端子 2 9 及び引出し配線と同様の構成を有する。また、ショートリング配線 2 7 も、実施の形態 1 と同様の構成を有する。これらを覆うように、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び第 2 パッシベーション膜 4 3 が順次形成される。これにより、引出し配線及びショートリング配線 2 7 が有する金属膜は、これらの絶縁膜によって覆われる。引出し配線上において、ゲート絶縁膜 1 5、パッシベーション膜 1 7、及び第 2 パッシベーション膜 4 3 には、配線コンタクトホール 3 2 が形成される。配線コンタクトホール 3 2 は、上層金属除去部 3 1 の内側に形成される。

40

【 0 1 1 6 】

データ配線 3 7 は、配線コンタクトホール 3 2 に埋設される。そして、コンタクトホール 3 2 を介して、引出し配線とデータ配線 3 7 が電氣的に接続される。これにより、データ配線端子 4 8 とデータ配線 3 7 とが電氣的に接続される。データ配線 3 7 を覆うように、第 3 パッシベーション膜 4 5、第 4 パッシベーション膜 4 6 が順次形成される。そして、実施の形態 1 と同様、データ配線端子 4 8 上では、ゲート絶縁膜 1 5、パッシベーション膜 1 7、第 2 パッシベーション膜 4 3、第 3 パッシベーション膜 4 5、及び第 4 パッシベーション膜 4 6 に開口が形成される。また、これらのデータ配線端子 4 8 及びパネル切

50

断ライン 3 4 周辺では、引出し配線の金属膜と同一レイヤーの金属膜が存在しない。すなわち、データ配線端子 4 8 では、引出し配線の透明導電膜から延在する透明導電膜が露出している。

【 0 1 1 7 】

本実施の形態にかかる T F T アレイ基板 1 は以上のように構成される。本実施の形態にかかる T F T アレイ基板 1 によっても、実施の形態 1 と同様の効果を奏することができる。

【 0 1 1 8 】

また、上記の説明では、ゲート配線端子 2 8、データ配線端子 4 8、及びパネル切断ライン 3 4 の周辺にも、第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 を形成したがこれに限らない。例えば、図 3 5 に示すように、パネル切断ライン 3 4 周辺の第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 を除去してもよい。すなわち、ショートリング配線 2 7 の金属膜上において、第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 を除去してもよい。

【 0 1 1 9 】

さらに、図 3 6 に示すように、ゲート配線端子 2 8 及びパネル切断ライン 3 4 周辺の第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 を除去してもよい。すなわち、ゲート配線端子 2 8 周辺からショートリング配線 2 7 上に亘って、第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 を除去してもよい。この構成により、基板切断不良を抑制すると共に、外部からの入力端子の圧着不良を低減できる。なお、ここでは、図 3 5、3 6 を参照して、ゲート配線端子 2 8 及びその周辺領域の他の例を示したが、データ配線端子 4 8 及びその周辺領域でも同様の構成とすることが可能である。

【 0 1 2 0 】

次に、図 3 7 ~ 4 0 を参照して、本実施の形態にかかる T F T アレイ基板 1 の製造工程について説明する。図 3 7 ~ 4 0 は、T F T アレイ基板 1 の製造工程を示す断面図である。なお、図 3 7 ~ 4 0 において、(a) は図 3 1 の A - A 断面における製造工程を示す。(b) は、ゲート配線端子 2 8 及びその周辺領域の製造工程を示す。(c) は、データ配線端子 4 8 及びその周辺領域の製造工程を示す。

【 0 1 2 1 】

ソース電極 8 及びドレイン電極 9 の形成工程まで実施の形態 1 と同様に行う。なお、データ配線端子 4 8 及びその周辺領域は、実施の形態 1 のソース配線端子 2 9 及びその周辺領域と同様に形成する。また、本実施の形態では、共通配線 1 2 を形成しない。このため、実施の形態 1 とレジスト 3 0 の形状を変更し、共通配線 1 2 が形成された領域の透明導電膜及び金属膜を除去する。そして、特性改善のため、 H_2 、 He などのプラズマ処理を行う。そして、これらを覆うように、プラズマ C V D 等の方法を用いて、パッシベーション膜 1 7 を成膜する。本実施の形態では、パッシベーション膜 1 7 として、誘電率の低い酸化珪素 (SiO_2) 膜を用いる。そして、 SiO_2 膜を 200 ~ 400 nm の膜厚に成膜する。次に、第 4 の写真製版工程により、コンタクトホール C H 1 を形成するためのレジストを形成する。次に、レジストをマスクとして、ドライエッチング法にて、パッシベーション膜 1 7 をエッチングする。そして、レジストを除去することにより、コンタクトホール C H 1 が形成される。具体的には、ドレイン電極 9 上のパッシベーション膜 1 7 が除去されて、コンタクトホール C H 1 が形成される。すなわち、コンタクトホール C H 1 では、ドレイン電極 9 が露出する。以上の工程により、図 3 7 に示す構成となる。

【 0 1 2 2 】

次に、スパッタ法を用いて、フォトダイオード下部電極 4 7 となる導電膜を成膜する。また、コンタクトホール C H 1 には、導電膜が埋設される。導電膜としては、Cr 膜等のオーミックコンタクトが取れる金属を用いる。引き続き、プラズマ C V D 法を用いて、 $n^+ a - Si$ 膜 3 9、 $i - Si$ 膜 4 0、 $p^+ a - Si$ 膜 4 1 を順次成膜する。これらは、フォトダイオード 1 0 0 構成する。また、これらは、1 度も真空を破らずに同一成膜室で順番に成膜される。また、 $n^+ a - Si$ 膜 3 9 は膜厚 20 ~ 100 nm、 $i - Si$ 膜 4 0

は膜厚 $0.5 \sim 2.0 \mu\text{m}$ 、 $p^+a\text{-Si}$ 膜 41 は膜厚 $10 \sim 50 \text{nm}$ にする。そして、 $p^+a\text{-Si}$ 膜 41 上に透明導電膜を成膜する。ここでは、例えばアモルファス ITO、IZO、ITZO、ITSO のいずれかのターゲットを用いたスパッタ法により非晶質透明導電膜を成膜する。

【0123】

そして、第5の写真製版工程にて、透明電極42を形成するためのレジストを透明導電膜上に形成する。そして、レジストをマスクとして、透明導電膜をエッチングする。ここでは、例えばシュウ酸を用いたウェットエッチング法を行う。その後、レジストを除去し、透明電極42を形成する。本実施の形態では、上記のように、透明導電膜として、アモルファス ITO、IZO、ITZO、ITSO のいずれかを含む膜を用いる。このため、
10
下層の $p^+a\text{-Si}$ 膜 41 上に微小な結晶粒をほとんど含まない非結晶状態で透明導電膜を成膜することができる。従って、エッチング残渣が生じにくくなるという効果を奏する。なお、透明導電膜としては、上記材料を混合した膜を用いてもよいし、それぞれの材料からなる膜を積層させた構造としてもよいし、混合させた膜を積層させてもよい。

【0124】

次に、第6の写真製版工程にて、透明電極42上に $a\text{-Si}$ 膜を形成するためのレジストを形成する。ここでのレジストは、透明電極42のパターンより一回り大きいパターンを有する。そして、レジストをマスクとして、 $a\text{-Si}$ 膜をエッチングする。すなわち、 $n^+a\text{-Si}$ 膜 39、 $i\text{-Si}$ 膜 40、及び $p^+a\text{-Si}$ 膜 41 の3層をエッチングする。
20
ここでは、例えば SF_6 と HCl の混合ガスのプラズマを用いたドライエッチング法を行う。その後、レジストを除去し、フォトダイオード100が形成される。

【0125】

次に、第7の写真製版工程にて、フォトダイオード下部電極47を形成するためのレジストを形成する。ここでのレジストは、フォトダイオード100のパターンより一回り大きいパターンを有する。そして、レジストをマスクとして、導電膜をエッチングする。ここでは、例えば硝酸と硝酸セリウムアンモニウムの混液を用いたウェットエッチング法を行う。その後、レジストを除去し、フォトダイオード下部電極47を形成する。また、コンタクトホールCH1にもフォトダイオード下部電極47が形成され、コンタクトホールCH1を介してフォトダイオード下部電極47とドレイン電極9が電氣的に接続される。
30
なお、ゲート配線端子28及びその周辺領域では、上記の導電膜、 $a\text{-Si}$ 膜、及び透明導電膜は全て除去される。データ配線端子48及びその周辺領域でも同様に除去される。以上の工程により、図38に示す構成となる。

【0126】

次に、透明電極42上に、フォトダイオード100を保護するための第2パッシベーション膜43を成膜する。第2パッシベーション膜43は、データ配線37とバイアス配線38にかかる付加容量を小さくするために形成される。このため、第2パッシベーション膜43としては、例えば $0.5 \sim 1.5 \mu\text{m}$ の膜厚で成膜された誘電率の低い酸化珪素膜を用いる。なお、第2パッシベーション膜43として酸化珪素膜を挙げたが、 SiN 膜等でもよく、さらには段差低減のため SOG 膜との積層膜でもよい。

【0127】

そして、第8の写真製版工程により、コンタクトホールCH2、CH3、32、ゲート配線端子28の開口、データ配線端子48の開口を形成するためのレジストを形成する。次に、レジストをマスクとして、第2パッシベーション膜43、パッシベーション膜17、及びゲート絶縁膜15をエッチングする。ここでは、 CF_4 と Ar の混合ガスのプラズマを用いたドライエッチング法を行う。そして、レジストを除去することにより、コンタクトホールCH2、CH3、32、ゲート配線端子28の開口、データ配線端子48の開口が形成される。
40

【0128】

具体的には、ソース電極8上のパッシベーション膜17及び第2パッシベーション膜43が除去されて、コンタクトホールCH2が形成される。すなわち、コンタクトホールC
50

H 2では、ソース電極 8 が露出する。そして、透明電極 4 2 上の第 2 パッシベーション膜 4 3 が除去されて、コンタクトホール C H 3 が形成される。すなわち、コンタクトホール C H 3 では、透明電極 4 2 が露出する。

【 0 1 2 9 】

そして、上層金属除去部 3 1 内の引出し配線上のゲート絶縁膜 1 5、パッシベーション膜 1 7、及び第 2 パッシベーション膜 4 3 が除去されて、コンタクトホール 3 2 が形成される。すなわち、コンタクトホール 3 2 では、引出し配線の透明導電膜が露出する。そして、ゲート配線端子 2 8 及びデータ配線端子 4 8 上のゲート絶縁膜 1 5、パッシベーション膜 1 7、及び第 2 パッシベーション膜 4 3 が除去されて、ゲート配線端子 2 8 及びデータ配線端子 4 8 の開口が形成される。すなわち、ゲート配線端子 2 8 およびデータ配線端子 4 8 が露出する。以上の工程により、図 3 9 に示す構成となる。

10

【 0 1 3 0 】

次に、データ配線 3 7、バイアス配線 3 8、及び遮光層 4 4 となる導電膜を成膜する。また、コンタクトホール C H 2、C H 3 には、導電膜が埋設される。導電膜としては、抵抗が低く、かつ耐熱性に優れ、かつ透明導電膜とのコンタクト特性に優れた A l 合金等が用いられる。導電膜としては、例えば A l N i N d 膜が用いられる。そして、A l N i N d 膜を 0 . 5 ~ 1 . 5 μ m の膜厚で成膜される。導電膜は、A l N i N d 単層でもよく、A l N i N d と M o や M o 合金、あるいは C r などの高融点金属との積層でもよい。また、現像液との反応を抑えるために、A l N i N d の上に窒化した A l N i N d N を形成してもよい。

20

【 0 1 3 1 】

次に、第 9 の写真製版工程にて、データ配線 3 7、バイアス配線 3 8、及び遮光層 4 4 を形成するためのレジストを形成する。そして、レジストをマスクとして、導電膜をエッチングする。導電膜として A l N i N d と M o の積層膜を用いた場合、燐酸、硝酸、酢酸の混液を用いたウェットエッチング法を行う。その後、レジストを除去し、データ配線 3 7、バイアス配線 3 8、及び遮光層 4 4 を形成する。また、コンタクトホール C H 2 ではデータ配線 3 7 が形成され、コンタクトホール C H 2 を介してデータ配線 3 7 とソース電極 8 が接続される。コンタクトホール C H 3 ではバイアス配線 3 8 が形成され、コンタクトホール C H 3 を介してバイアス配線 3 8 と透明電極 4 2 が接続される。なお、ゲート配線端子 2 8 及びその周辺領域では、データ配線 3 7 等を形成する導電膜は、全て除去される。以上の工程により、図 4 0 に示す構成となる。

30

【 0 1 3 2 】

その後、データ配線 3 7 及びバイアス配線 3 8 を保護するために、第 3 パッシベーション膜 4 5、第 4 パッシベーション膜 4 6 を順次成膜する。例えば、第 3 パッシベーション膜 4 5 として S i N 膜を用い、第 4 パッシベーション膜 4 6 として平坦化膜を用いる。次に、第 1 0 の写真製版工程にて、ゲート配線端子 2 8 及びデータ配線端子 4 8 の開口を形成するためのレジストを形成する。そして、レジストをマスクとして、第 3 パッシベーション膜 4 5 及び第 4 パッシベーション膜 4 6 をエッチングする。これにより、ゲート配線端子 2 8 及びデータ配線端子 4 8 が露出する。

40

【 0 1 3 3 】

ここでは、C F ₄ と O ₂ の混合ガスのプラズマを用いたドライエッチング法を行う。また、エッチングガスとしては、C F ₄ と O ₂ の混合ガスに限らず、その他のガスを用いることもできる。なお、第 4 パッシベーション膜 4 6 として感光性を有する平坦化膜を用いることにより、第 1 0 の写真製版工程にて、レジストを用いず、露光・現像処理によってパターンニングしてもよい。なお、上記のように、部分的に、ゲート絶縁膜 1 5 及びパッシベーション膜 1 7、4 3、4 5、4 6 が除去されても、これらの絶縁膜は、少なくともゲート配線 6 の金属膜と同一レイヤーの金属膜を覆うように形成される。以上の工程により、図 3 2、3 3、3 4 に示す構成となる。

【 0 1 3 4 】

その後、パネル切断ライン 3 4 で切断することにより、T F T アレイ基板 1 が完成する

50

。本実施の形態にかかる T F T アレイ基板 1 の製造方法によっても、実施の形態 1 と同様の効果を奏することができる。

【 0 1 3 5 】

また、上記の実施の形態では、液晶表示装置、 F F S モード液晶表示装置、半透過型液晶表示装置、フォトセンサ装置に用いられる T F T アレイ基板 1 について説明したがこれに限らない。例えば、他の表示装置やセンシング装置等に用いられる T F T アレイ基板 1 でもよい。これらの場合でも、上記の実施の形態と同様の効果を奏する。

【図面の簡単な説明】

【 0 1 3 6 】

【図 1】実施の形態 1 にかかる T F T アレイ基板の構成を示す平面図である。

10

【図 2】実施の形態 1 にかかる画素の構成を示す平面図である。

【図 3】実施の形態 1 にかかるゲート配線端子及びその周辺領域の構成を示す平面図である。

【図 4】実施の形態 1 にかかるソース配線端子及びその周辺領域の構成を示す平面図である。

【図 5】実施の形態 1 にかかるゲート配線端子及びその周辺領域の他の構成を示す断面図である。

【図 6】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 7】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 8】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

20

【図 9】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 10】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 11】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 12】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 13】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 14】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 15】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 16】実施の形態 1 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 17】実施の形態 1 にかかる T F T アレイ基板の第 2 の製造工程を示す断面図である。

30

【図 18】実施の形態 1 にかかる T F T アレイ基板の第 3 の製造工程を示す断面図である。

【図 19】実施の形態 2 にかかる T F T アレイ基板の構成を示す平面図である。

【図 20】実施の形態 2 にかかる T F T アレイ基板の製造工程を示す図である。

【図 21】実施の形態 2 にかかる T F T アレイ基板の製造工程を示す図である。

【図 22】実施の形態 2 にかかる T F T アレイ基板の製造工程を示す図である。

【図 23】実施の形態 2 にかかる T F T アレイ基板の製造工程を示す図である。

【図 24】実施の形態 3 にかかる画素の構成を示す平面図である。

【図 25】図 24 の A - A 断面図である。

【図 26】実施の形態 3 にかかる T F T アレイ基板の製造工程を示す断面図である。

40

【図 27】実施の形態 3 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 28】実施の形態 3 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 29】実施の形態 3 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 30】実施の形態 3 にかかる T F T アレイ基板の製造工程を示す断面図である。

【図 31】実施の形態 4 にかかる画素の構成を示す平面図である。

【図 32】図 31 の A - A 断面図である。

【図 33】実施の形態 4 にかかるゲート配線端子及びその周辺領域の構成を示す断面図である。

【図 34】実施の形態 4 にかかるデータ配線端子及びその周辺領域の構成を示す断面図である。

50

【図35】実施の形態4にかかるゲート配線端子及びその周辺領域の第2の構成を示す断面図である。

【図36】実施の形態4にかかるゲート配線端子及びその周辺領域の第3の構成を示す断面図である。

【図37】実施の形態4にかかるTFTアレ基板の製造工程を示す断面図である。

【図38】実施の形態4にかかるTFTアレ基板の製造工程を示す断面図である。

【図39】実施の形態4にかかるTFTアレ基板の製造工程を示す断面図である。

【図40】実施の形態4にかかるTFTアレ基板の製造工程を示す断面図である。

【符号の説明】

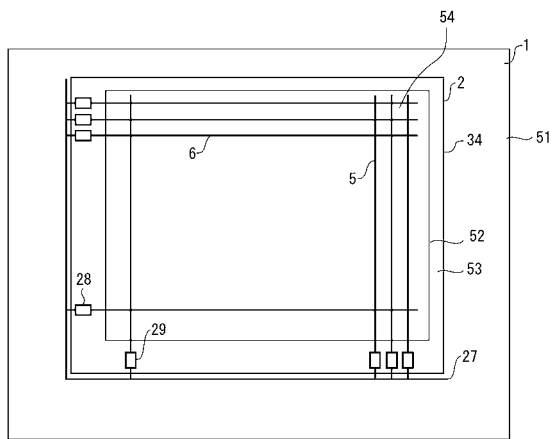
【0137】

- 1 TFTアレ基板、2 液晶パネル領域、3 a 透明導電膜、3 b 金属膜、
 4 チャネル、5 ソース配線、6 ゲート配線、7 ゲート電極、8 ソース電極、
 9 ドレイン電極、10 反射電極、11 透過電極、12 共通配線、
 13 コンタクトホール、14 半導体層、15 ゲート絶縁膜、
 16 オーミックコンタクト層、17 パッシベーション膜、18 平坦化膜、
 19 配向膜、20 液晶、21 対向電極、22 オーバーコート、23 色材、
 24 BM、25 絶縁性基板、27 ショートリング配線、28 ゲート配線端子、
 29 ソース配線端子、30 レジスト、31 上層金属除去部、
 32 配線コンタクトホール、33 接続電極、34 パネル切断ライン、
 35 下部画素電極、36 カラーフィルタ基板、37 データ配線、
 38 バイアス配線、39 $n^+ a-Si$ 膜、40 $i-Si$ 膜、
 41 $p^+ a-Si$ 膜、42 透明電極、43 第2パッシベーション膜、
 44 遮光層、45 第3パッシベーション膜、46 第4パッシベーション膜、
 47 フォトダイオード下部電極、48 データ配線端子、49 透明導電膜、
 50 反射膜、51 除去領域、52 表示領域、53 額縁領域、54 画素、
 100 フォトダイオード

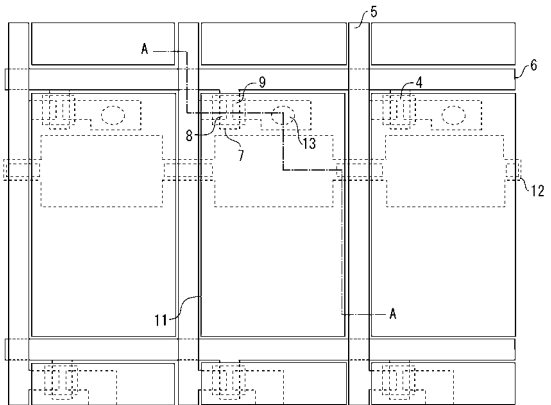
10

20

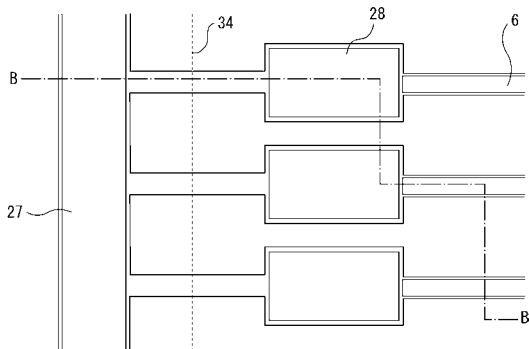
【図1】



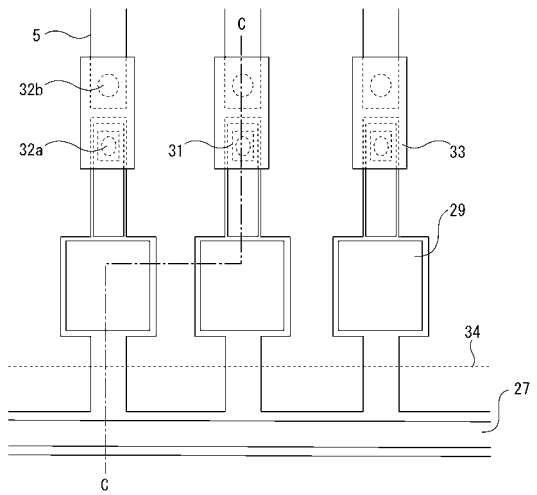
【図2】



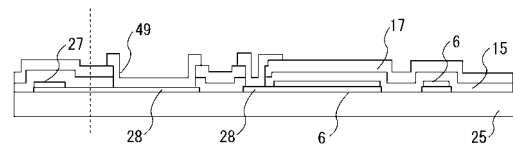
【図3】



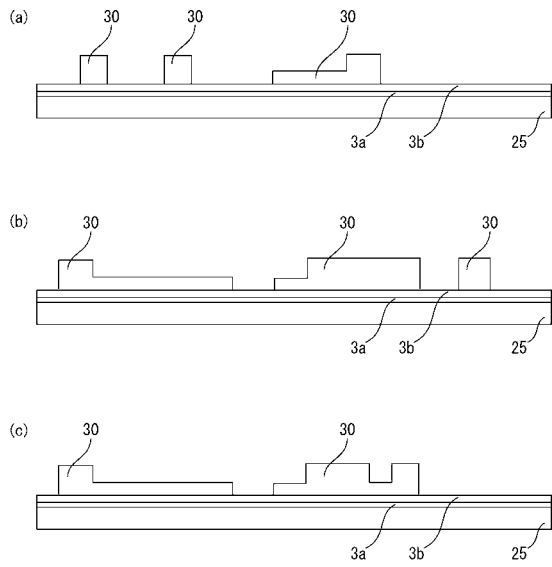
【図4】



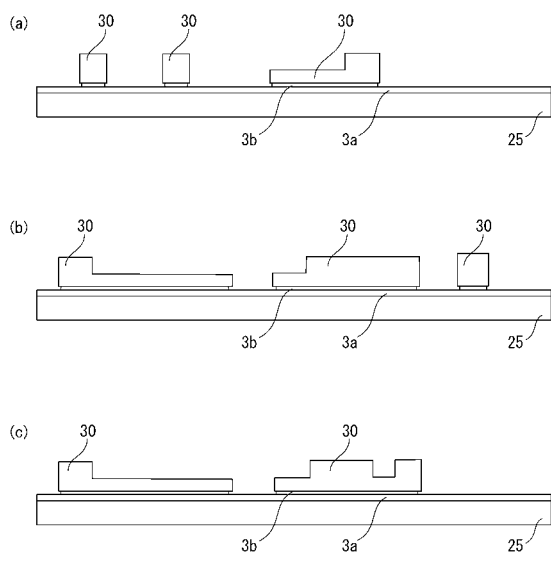
【図5】



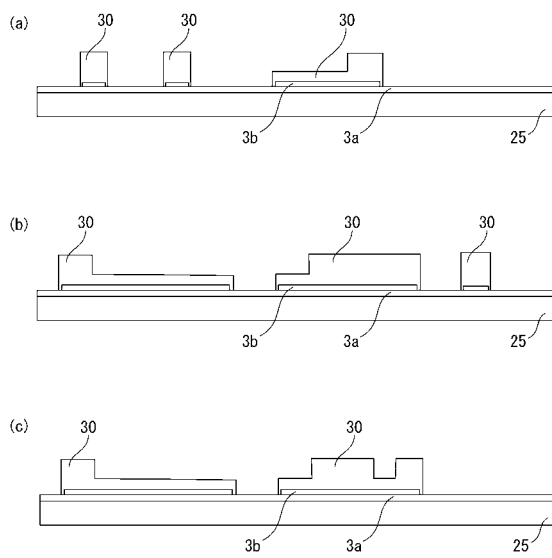
【図6】



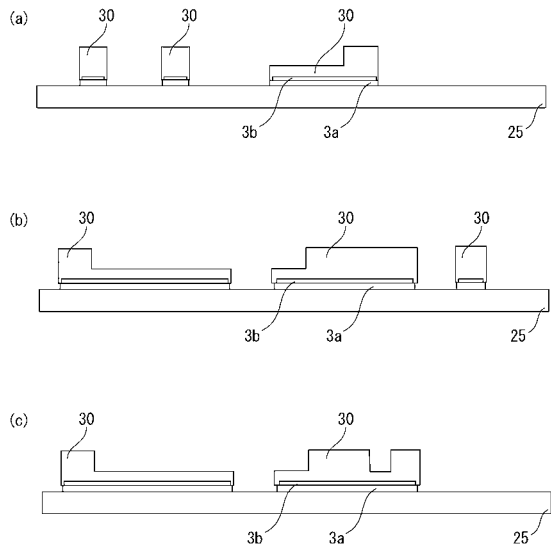
【図7】



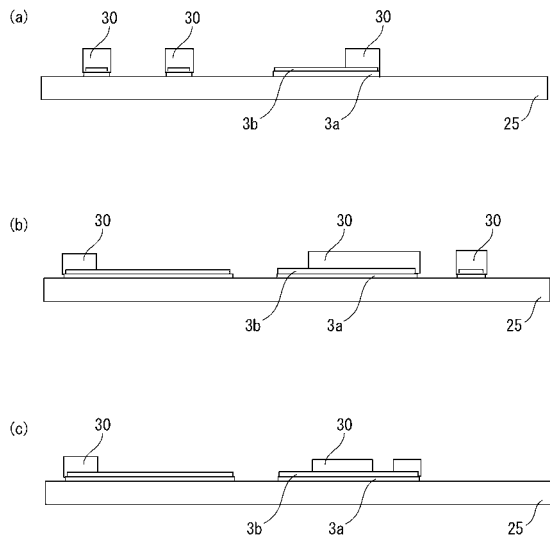
【図8】



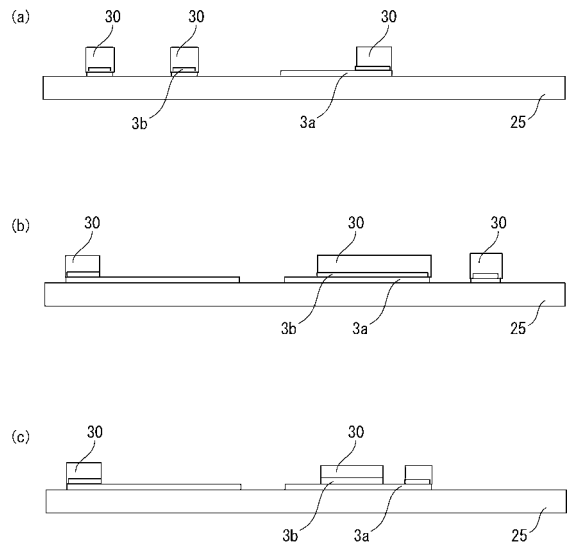
【図9】



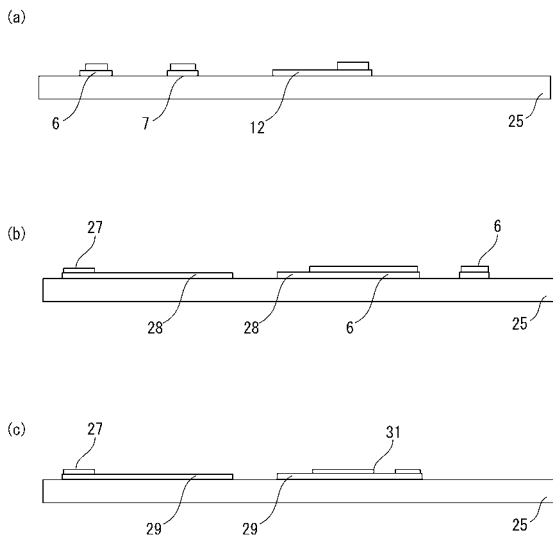
【 図 1 0 】



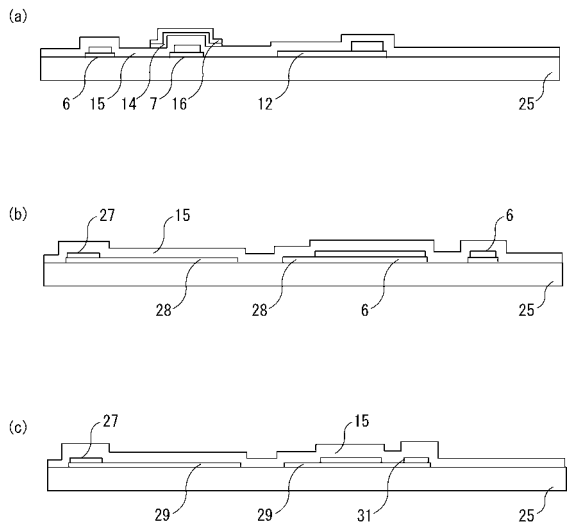
【 図 1 1 】



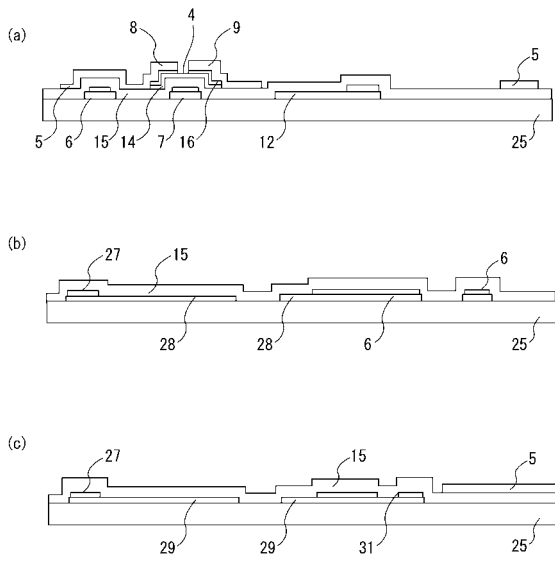
【 図 1 2 】



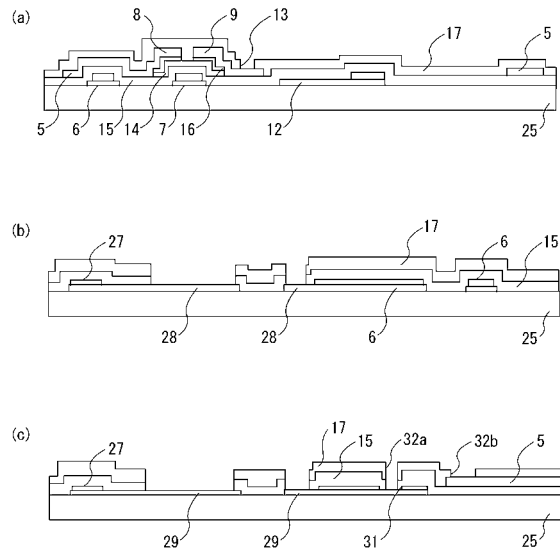
【 図 1 3 】



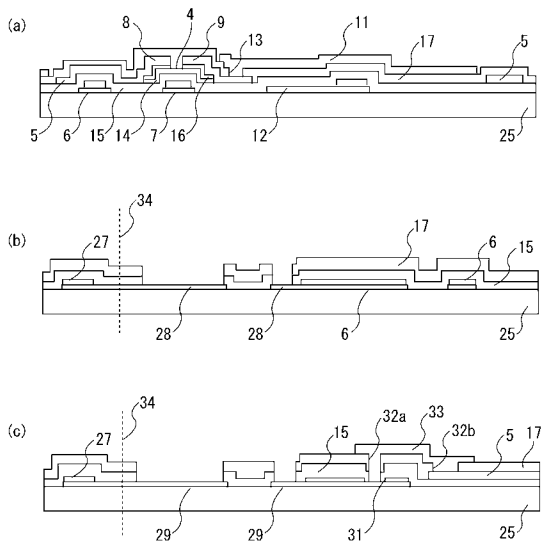
【図14】



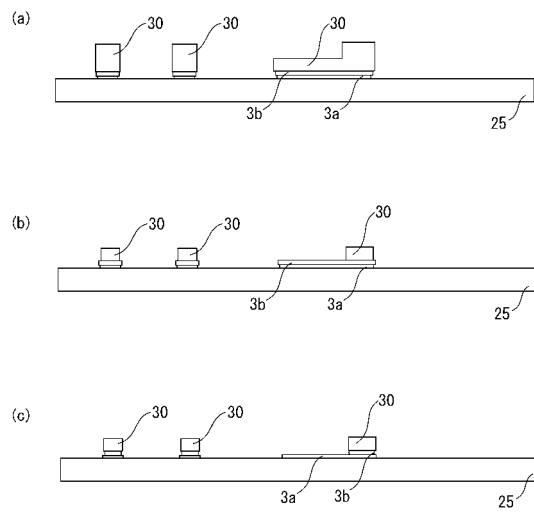
【図15】



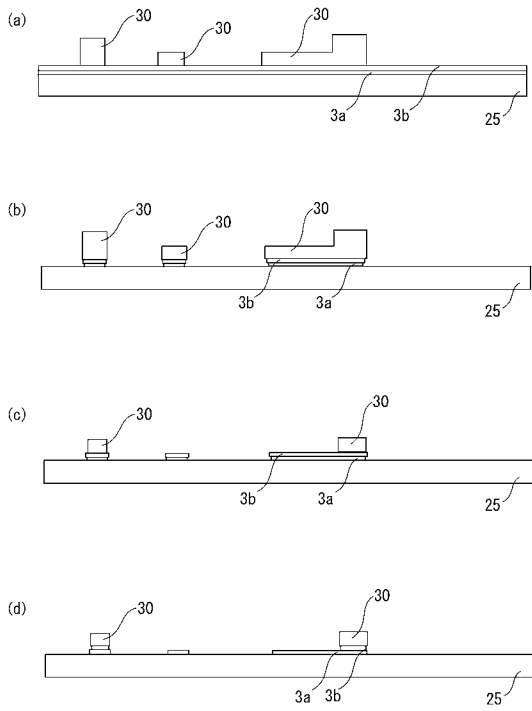
【図16】



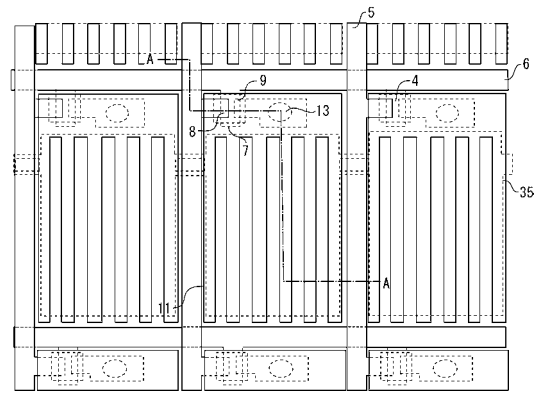
【図17】



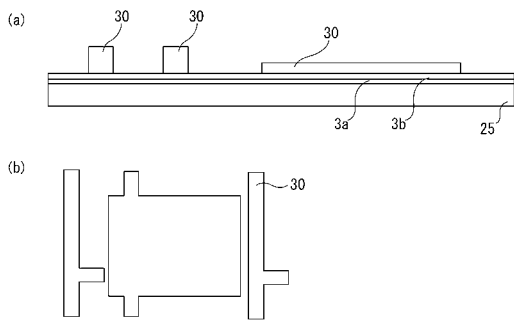
【 図 18 】



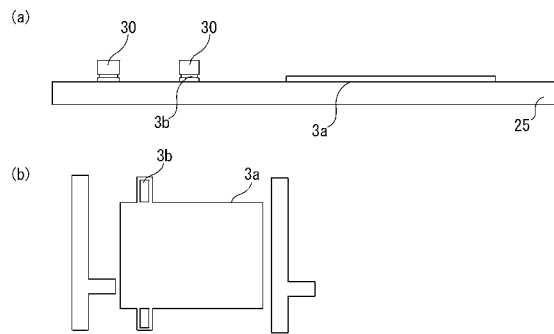
【 図 19 】



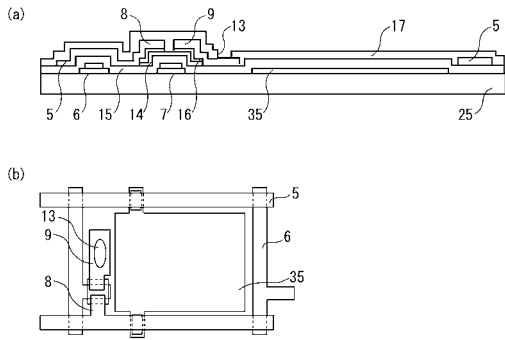
【 図 20 】



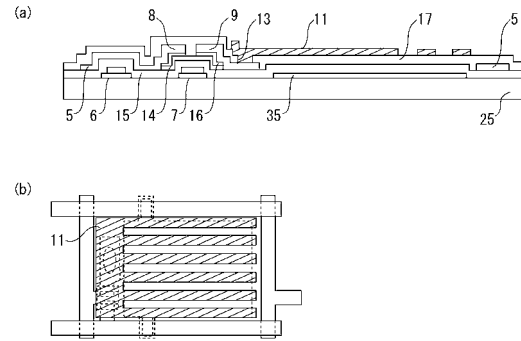
【 図 21 】



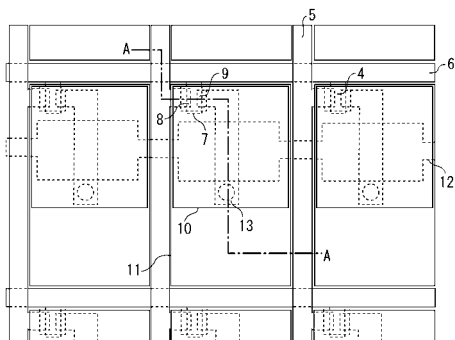
【図 2 2】



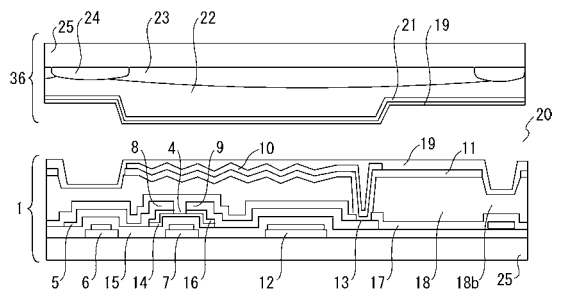
【図 2 3】



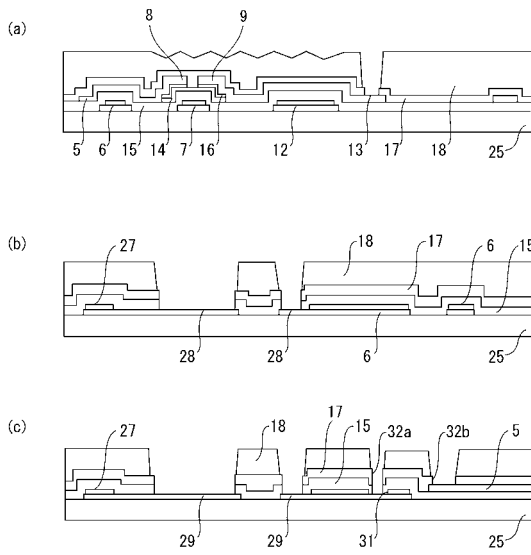
【図 2 4】



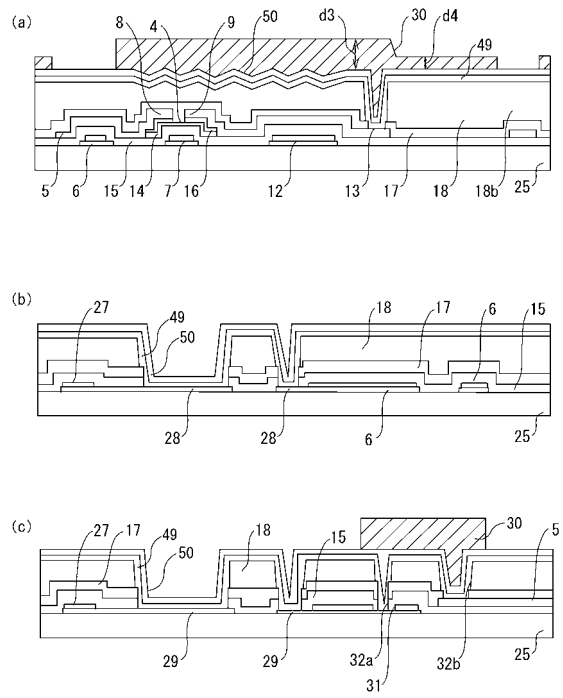
【図 2 5】



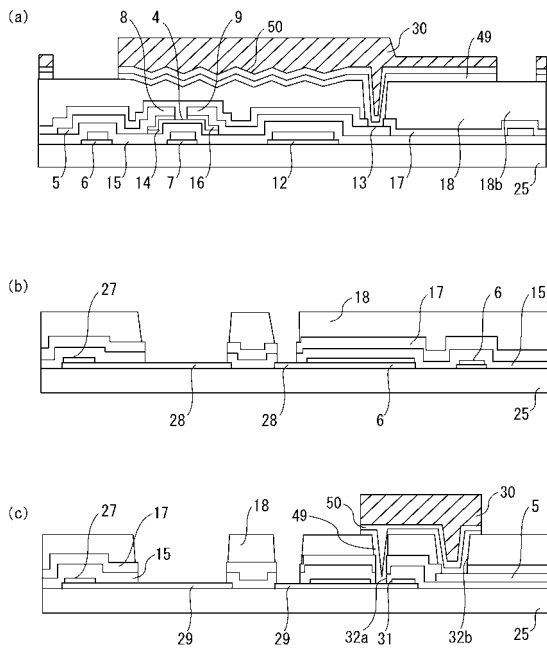
【図 26】



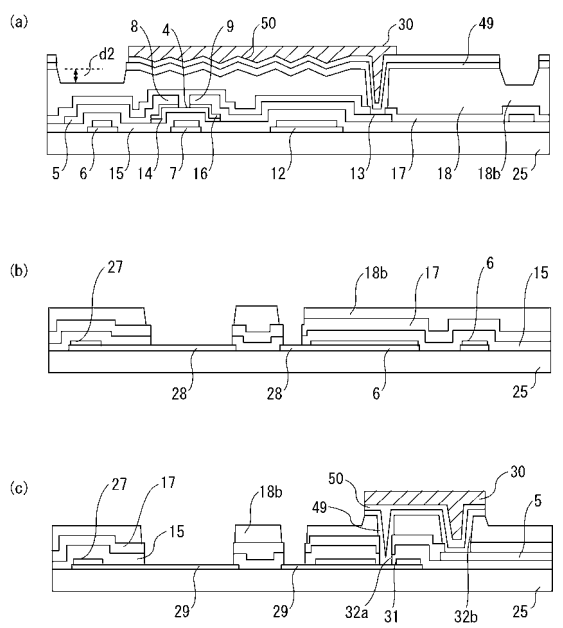
【図 27】



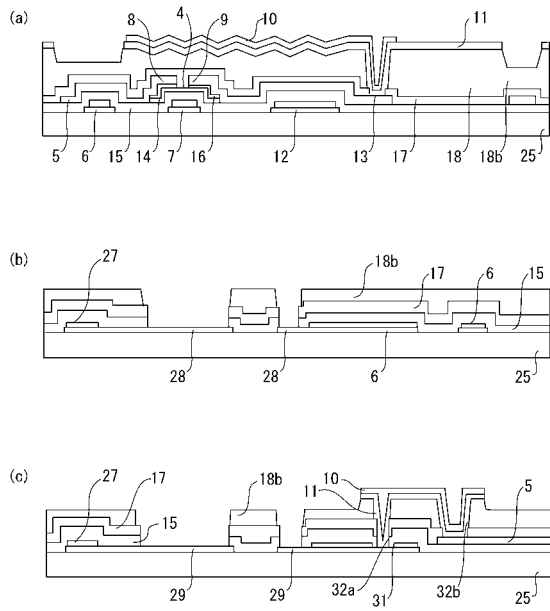
【図 28】



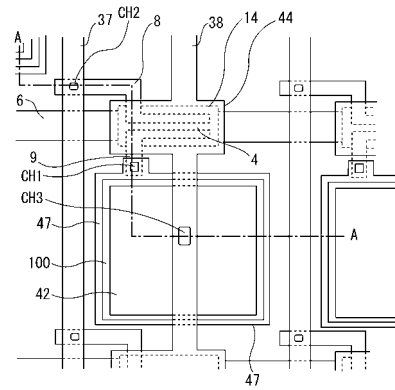
【図 29】



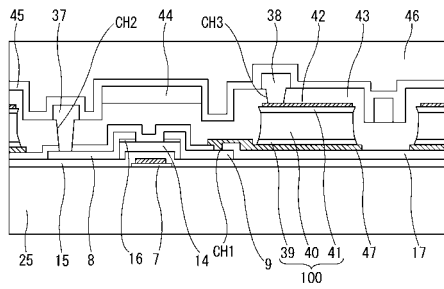
【 図 3 0 】



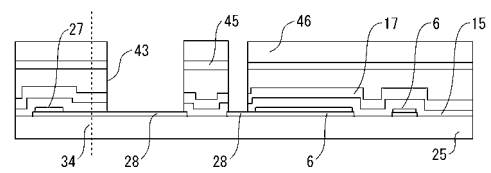
【 図 3 1 】



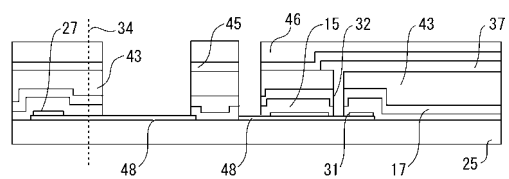
【 図 3 2 】



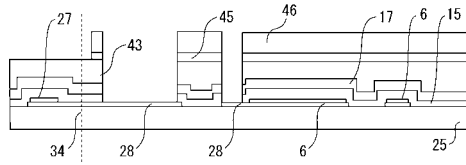
【 図 3 3 】



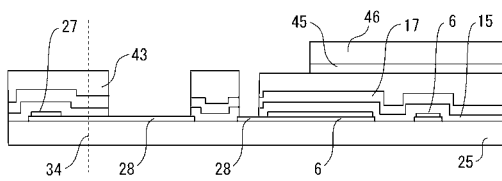
【 図 3 4 】



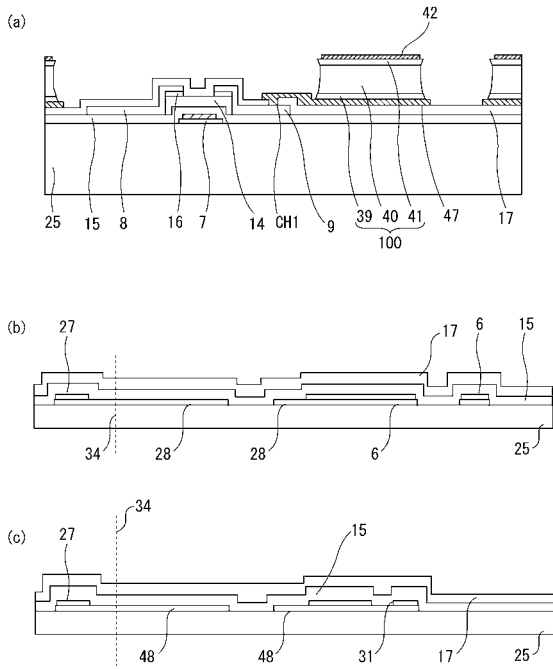
【図 35】



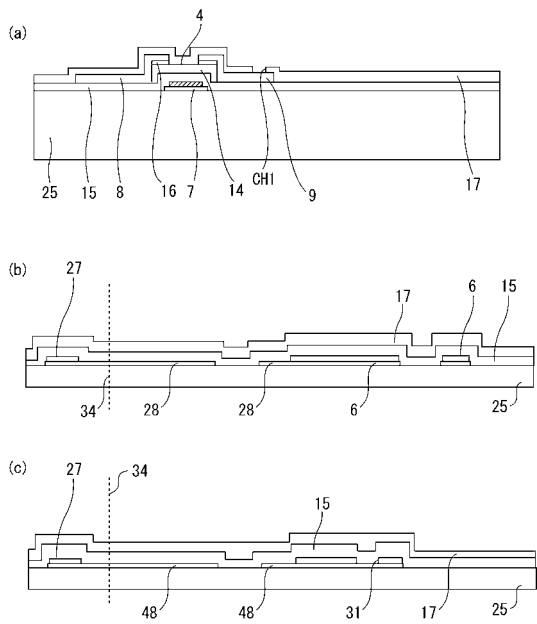
【図 36】



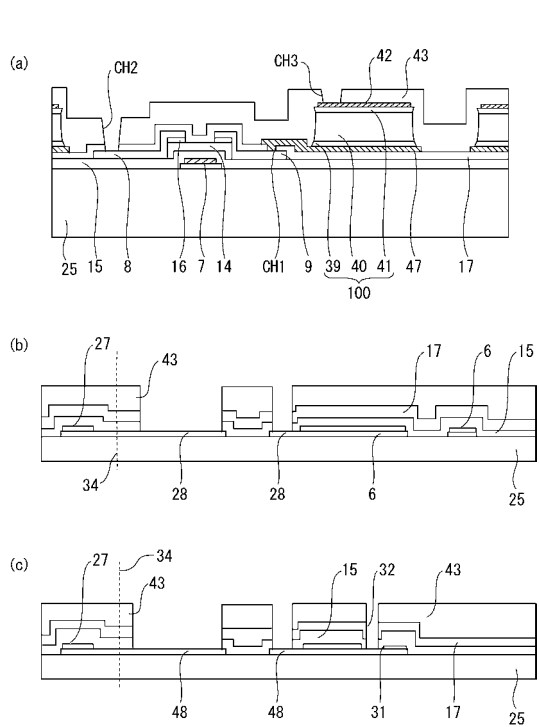
【図 38】



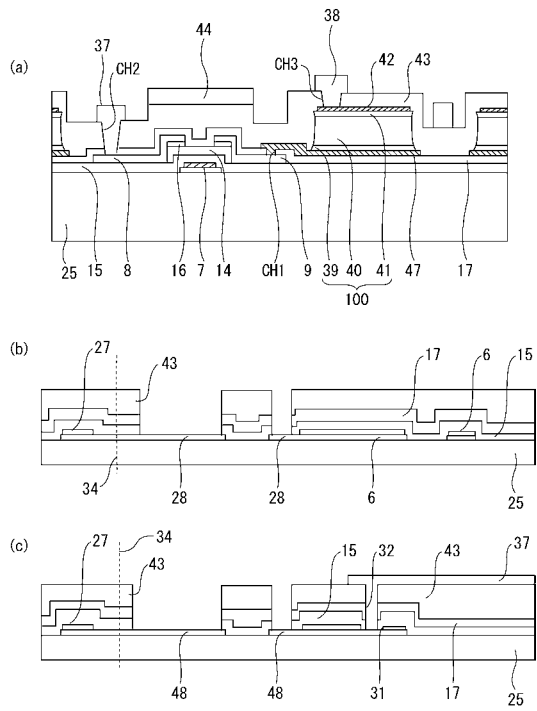
【図 37】



【図 39】



【 図 40 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 2 C
H 0 1 L 27/146 (2006.01) H 0 1 L 27/14 C

(56) 参考文献 特開 2 0 0 5 - 2 1 5 2 7 6 (J P , A)
特開 2 0 0 7 - 2 1 3 0 6 5 (J P , A)
特開 2 0 0 7 - 1 9 9 7 0 8 (J P , A)
特開平 0 8 - 0 4 3 8 5 7 (J P , A)
国際公開第 0 1 / 0 1 8 5 9 7 (W O , A 1)
特開 2 0 0 6 - 3 5 1 8 6 6 (J P , A)
特開 2 0 0 6 - 0 9 3 2 2 0 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8