(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月26日(26.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/194726 A1

(51) 国際特許分類:
H10B 12/00 (2023.01) *H01L 29/417* (2006.01)
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/788* (2006.01)
H01L 27/06 (2006.01) *H01L 29/792* (2006.01)
H01L 27/088 (2006.01) *H10B 41/23* (2023.01)
H01L 29/41 (2006.01) *H10B 43/23* (2023.01)
H01L 29/78 (2006.01)

(21) 国際出願番号： PCT/IB2024/052309

(22) 国際出願日： 2024年3月11日(11.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-042776 2023年3月17日(17.03.2023) JP
特願 2023-042779 2023年3月17日(17.03.2023) JP

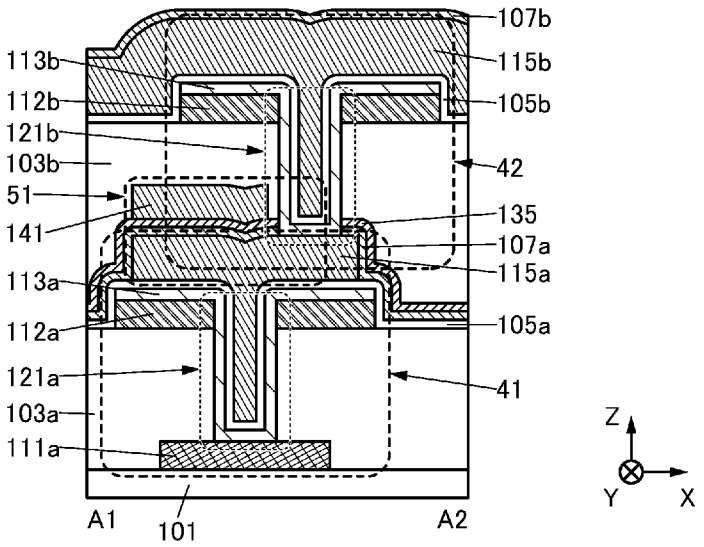
(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (**YAMAZAKI, Shunpei**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川努(**MURAKAWA, Tsutomu**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 (**KUNITAKE, Hitoshi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 宮入秀和(**MIYAIRI, Hidekazu**);

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置、及び、半導体装置の作製方法

図5B



(57) **Abstract:** Provided is a semiconductor device that can be miniaturized or highly integrated. This semiconductor device has a memory device, a sense amplifier, and a processing unit. The sense amplifier and the processing unit are disposed on a first layer, and the memory device is disposed on a second layer stacked on the first layer. The memory device has a first transistor, a second transistor, and a capacitor, and the second transistor and the capacitor are each provided overlapping on the first transistor, with the second transistor positioned obliquely above the first transistor. The first and second transistors are provided with source electrodes and drain electrodes overlapping at different heights with respect to a substrate surface. The gate electrode of the first transistor functions as one of either the source electrode or the drain

WO 2024/194726 A1

[続葉有]

〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 澤井寛美(SAWAI, Hiromi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡本佑樹(OKAMOTO, Yuki). 宮田翔希(MIYATA, Shoki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

electrode of the second transistor and also functions as one electrode of the capacitor. A dielectric layer of the capacitor is provided on the gate electrode of the first transistor. The other electrode of the capacitor is provided on the dielectric layer of the capacitor, with a spacing between the other electrode of the capacitor and the gate electrode of the second transistor.

(57) 要約:微細化又は高集積化が可能な半導体装置を提供する。 記憶装置、センスアンプ、処理部を有する。センスアンプと処理部は第１の層上に配置され、記憶装置は第１の層上に積層された第２の層上に配置される。記憶装置は、第１及び第２のトランジスタ、容量を有し、第２のトランジスタ及び容量は、第１のトランジスタ上にそれぞれ重畳して設けられ、第２のトランジスタは、第１のトランジスタの斜め上方に位置する。第１及び第２のトランジスタは、基板面に対してソース電極とドレイン電極が異なる高さに重畳して設けられる。第１のトランジスタのゲート電極は、第２のトランジスタのソース電極又はドレイン電極の一方の機能と、容量の一方の電極の機能と、を兼ねる。第１のトランジスタのゲート電極上に、容量の誘電体層が設けられる。容量の誘電体層上に、第２のトランジスタのゲート電極との間に間隔を有して、容量の他方の電極が設けられる。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、半導体装置に関する。また、本発明の一態様は、記憶装置、及び、記憶装置の作製方法に関する。また、本発明の一態様は、トランジスタ、及び、トランジスタの作製方法に関する。また、本発明の一態様は、容量、及び、容量の作製方法に関する。また、本発明の一態様は、電子機器に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらを有する電子機器、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能し得る装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

［０００４］

近年、半導体装置の開発が進められ、例えば、大規模集積回路（ＬＳＩ：Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）が半導体装置に用いられている。例えば、中央処理装置（ＣＰＵ：Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、及びメモリ等が半導体装置に用いられている。ＣＰＵは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＣＰＵ及びメモリ等の半導体回路（ＩＣチップ）は、回路基板、例えば、プリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（ＩＣ：Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）、及び表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

また、酸化物半導体を用いたトランジスタは、非導通状態においてリーク電流が極めて小さいことが知られている。例えば、特許文献１には、酸化物半導体を用いたトランジスタのリーク電流が小さ

いという特性を応用した低消費電力のＣＰＵ等が開示されている。また、例えば、特許文献２には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置等が、開示されている。

［０００８］

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献３及び非特許文献１では、酸化物半導体膜を用いる第１のトランジスタと、酸化物半導体膜を用いる第２のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。

［０００９］

さらに、トランジスタを縦型とすることができれば、集積回路の高密度化を図ることができる。例えば、特許文献４には、酸化物半導体の側面が、ゲート絶縁層を介してゲート電極に覆われている縦型のトランジスタが開示されている。

［先行技術文献］

［特許文献］

［００１０］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１５１３８３号公報

［特許文献３］国際公開第２０２１／０５３４７３号

［特許文献４］特開２０１３－２１１５３７号公報

［非特許文献］

［００１１］

［非特許文献１］M. Ｏｏｔａ ｅｔ．ａｌ，“3Ｄ－Ｓｔａｃｋｅｄ ＣＡＡＣ－Ｉｎ－Ｇａ－Ｚｎ Ｏｘｉｄｅ ＦＥＴｓ ｗｉｔｈ Ｇａｔｅ Ｌｅｎｇｔｈ ｏｆ ７２ｎｍ”，ＩＥＤＭ Ｔｅｃｈ． Ｄｉｇ.，２０１９，ｐｐ．５０－５３

発明の概要

発明が解決しようとする課題

［００１２］

本発明の一態様は、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタを提供することを課題の１つとする。又は、本発明の一態様は、信頼性の高い半導体装置、記憶装置、又はトランジスタを提供することを課題の１つとする。又は、本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の１つとする。又は、本発明の一態様は、電気特性が良好なトランジスタ、記憶装置、又は半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、低価格な半導体装置、又は記憶装置を提供することを課題の１つとする。又は、本発明の一態様は、消費電力の低い半導体装置、又は記憶装置を提供することを課題の１つとする。又は、本発明の一態様は、動作速度が速い半導体装置、又は記憶装置を提供することを課題の１つとする。又は、本発明の一態様は、新規な半導体装置、記憶装置、又はトランジスタを提供することを課題の１つとする。

［００１３］

又は、本発明の一態様は、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタの作製方法を提供することを課題の１つとする。又は、本発明の一態様は、信頼性の高い半導体装置、

記憶装置、又はトランジスタの作製方法を提供することを課題の１つとする。又は、本発明の一態様は、オン電流が大きいトランジスタの作製方法を提供することを課題の１つとする。又は、本発明の一態様は、電気特性が良好なトランジスタ、記憶装置、又は半導体装置の作製方法を提供することを課題の１つとする。又は、本発明の一態様は、歩留まりが高い半導体装置、又は記憶装置の作製方法を提供することを課題の１つとする。又は、本発明の一態様は、消費電力の低い半導体装置、又は記憶装置の作製方法を提供することを課題の１つとする。又は、本発明の一態様は、動作速度が速い半導体装置、又は記憶装置の作製方法を提供することを課題の１つとする。又は、本発明の一態様は、新規な半導体装置、記憶装置、又はトランジスタの作製方法を提供することを課題の１つとする。

［００１４］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１５］

本発明の一態様は、第１のトランジスタと、第２のトランジスタと、容量と、第１の絶縁層と、第２の絶縁層と、を有し、第２のトランジスタ及び容量は、第１のトランジスタ上にそれぞれ重畳して設けられ、第１のトランジスタ及び第２のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、第１の絶縁層は、第１のトランジスタのソース電極とドレイン電極の間に設けられ、第１のトランジスタのソース電極又はドレイン電極の一方に達する第１の開口を有し、第１のトランジスタのソース電極又はドレイン電極の他方は、第１の絶縁層上に設けられ、第１のトランジスタの半導体層は、第１の開口内における第１のトランジスタのソース電極又はドレイン電極の一方の上面、第１の開口内における第１の絶縁層の側面、及び、第１のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第１のトランジスタのゲート絶縁層は、第１のトランジスタの半導体層上に接して設けられ、第１のトランジスタのゲート電極は、第１のトランジスタの半導体層と重なる領域を有するように、第１のトランジスタのゲート絶縁層上に設けられ、第２のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、容量の一方の電極としての機能も有し、第２の絶縁層は、第２のトランジスタのソース電極とドレイン電極の間に設けられ、第１のトランジスタのゲート電極に達する第２の開口を有し、第２の開口は、第１の開口の斜め上方に位置し、第２のトランジスタのソース電極又はドレイン電極の他方は、第２の絶縁層上に設けられ、第２のトランジスタの半導体層は、第２の開口内における第１のトランジスタのゲート電極の上面、第２の開口内における第２の絶縁層の側面、及び、第２のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第２のトランジスタのゲート絶縁層は、第２のトランジスタの半導体層上に接して設けられ、第２のトランジスタのゲート電極は、第２のトランジスタの半導体層と重なる領域を有するように、第２のトランジスタのゲート絶縁層上に設けられ、容量の誘電体層は、第１のトランジスタのゲート電極上に設けられ、容量の他方の電極は、第１のトランジスタのゲート電極と重なる領域を有し、平面視にて、第２の開口との間に間隔を有して、容量の誘電体層上に設けられる半導体装置である。

［００１６］

また上記において、第１のトランジスタの半導体層、及び、第２のトランジスタの半導体層の少なくとも一は、金属酸化物を有していることが好ましい。

［００１７］

また上記において、第１のトランジスタの半導体層の側面と、第１のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有し、第２のトランジスタの半導体層の側面と、第２のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有していることが好ましい。

［００１８］

また上記において、容量の他方の電極は、第１の開口に面しない側の端部が、第１のトランジスタのゲート電極の端部よりも外側に位置していることが好ましい。

［００１９］

また上記において、容量の他方の電極は、第２の開口を取り囲むように、第１のトランジスタのゲート電極の上面と重なる領域を有していることが好ましい。

［００２０］

また上記において、第１のトランジスタのゲート電極の端部は、第１の方向においては、第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも内側に位置し、第１の方向とは反対方向の第２の方向においては、第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも外側に位置する上面が概略平坦な領域を有し、第２の開口は、平面視にて、領域と重なるように設けられることが好ましい。

［００２１］

また上記において、容量の誘電体層は、アルミニウム、ガリウム、ハフニウム、タンタル、ジルコニウムのいずれかを有する酸化物、ハフニウム及びジルコニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有していることが好ましい。

［００２２］

また上記において、容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、チタン酸バリウム、及び、これらのいずれかにランタン又はイットリウムを添加した材料のいずれかを有していることが好ましい。

［００２３］

また上記において、第１の絶縁層、及び、第２の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有していることが好ましい。

［００２４］

また、本発明の一態様は、第１の導電層を形成し、第１の導電層上に、第１の絶縁層、及び、第１の導電膜を形成し、第１の絶縁層、及び、第１の導電膜を加工して、第１の導電膜から第２の導電層を形成し、第１の導電膜、及び、第１の絶縁層に、第１の導電層に達する第１の開口を形成し、第２の導電層を加工して、第３の導電層を形成し、第１の開口内における第１の導電層の上面、第１の開口内における第１の絶縁層の側面、第１の開口内における第３の導電層の側面、及び、第３の導電層の上面に接して、第１の金属酸化物膜を形成し、第１の金属酸化物膜を加工して、第１の開口と重なる領域を有するように、第１の半導体層を形成し、第１の半導体層の上面に接して、第２の絶縁層を

形成し、第２の絶縁層上に、第２の導電膜を形成し、第２の導電膜を加工して、第１の半導体層と重なる領域を有するように、第４の導電層を形成し、第４の導電層上、及び、第２の絶縁層上に、第３の絶縁層を形成し、第３の絶縁層上に、第３の導電膜を形成し、第３の導電膜を加工して、第４の導電層と重なる領域を有するように、第５の導電層を形成し、第５の導電層上、及び、第３の絶縁層上に、第４の絶縁層、及び、第４の導電膜を形成し、第４の絶縁層、及び、第４の導電膜を加工して、第４の導電膜から第６の導電層を形成し、第４の導電膜、及び、第４の絶縁層に、平面視にて、第５の導電層との間に間隔を有するように、第４の導電層の概略平坦な上面と重なる第２の開口を形成し、第６の導電層を加工して、第７の導電層を形成し、第２の開口内における第４の導電層の上面、第２の開口内における第３の絶縁層の側面、第２の開口内における第７の導電層の側面、及び、第７の導電層の上面に接して、第２の金属酸化物膜を形成し、第２の金属酸化物膜を加工して、第２の開口と重なる領域を有するように、第２の半導体層を形成し、第２の半導体層の上面に接して、第５の絶縁層を形成し、第５の絶縁層上に、第５の導電膜を形成し、第５の導電膜を加工して、第２の半導体層と重なる領域を有するように、第８の導電層を形成する半導体装置の作製方法である。

［００２５］

また、本発明の一態様は、第１の導電層を形成し、第１の導電層上に、第１の絶縁層、及び、第１の導電膜を形成し、第１の絶縁層、及び、第１の導電膜を加工して、第１の導電膜から第２の導電層を形成し、第１の導電膜、及び、第１の絶縁層に、第１の導電層に達する第１の開口を形成し、第１の開口内における第１の導電層の上面、第１の開口内における第１の絶縁層の側面、第１の開口内における第２の導電層の側面、及び、第２の導電層の上面に接して、第１の金属酸化物膜を形成し、第１の金属酸化物膜を加工して、第１の開口と重なる領域を有するように、第１の半導体層を形成し、第２の導電層を加工して、第１の半導体層と重なる領域を有するように、第３の導電層を形成し、第１の半導体層の上面に接して、第２の絶縁層を形成し、第２の絶縁層上に、第２の導電膜を形成し、第２の導電膜を加工して、第１の半導体層と重なる領域を有するように、第４の導電層を形成し、第４の導電層上、及び、第２の絶縁層上に、第３の絶縁層を形成し、第３の絶縁層上に、第３の導電膜を形成し、第３の導電膜を加工して、第４の導電層と重なる領域を有するように、第５の導電層を形成し、第５の導電層上、及び、第３の絶縁層上に、第４の絶縁層、及び、第４の導電膜を形成し、第４の絶縁層、及び、第４の導電膜を加工して、第４の導電膜から第６の導電層を形成し、第４の導電膜、及び、第４の絶縁層に、平面視にて、第５の導電層との間に間隔を有するように、第４の導電層の概略平坦な上面と重なる第２の開口を形成し、第２の開口内における第４の導電層の上面、第２の開口内における第３の絶縁層の側面、第２の開口内における第４の絶縁層の側面、第２の開口内における第６の導電層の側面、及び、第６の導電層の上面に接して、第２の金属酸化物膜を形成し、第２の金属酸化物膜を加工して、第２の開口と重なる領域を有するように、第２の半導体層を形成し、第６の導電層を加工して、第２の半導体層と重なる領域を有するように、第７の導電層を形成し、第２の半導体層の上面に接して、第５の絶縁層を形成し、第５の絶縁層上に、第５の導電膜を形成し、第５の導電膜を加工して、第２の半導体層と重なる領域を有するように、第８の導電層を形成する半導体装置の作製方法である。

［００２６］

また、本発明の一態様は、記憶部と、処理部と、を有し、記憶部は、記憶装置と、センスアンプと、を有し、処理部は、ＣＰＵ、ＭＰＵ、又はＧＰＵを有し、センスアンプと、処理部と、は第１の層上に配置され、記憶装置は、第２の層上に配置され、第１のトランジスタと、第２のトランジスタと、

容量と、第１の絶縁層と、第２の絶縁層と、を有し、第２の層は、第１の層上に積層して設けられ、第２のトランジスタ及び容量は、第１のトランジスタ上にそれぞれ重畳して設けられ、第１のトランジスタ及び第２のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、第１の絶縁層は、第１のトランジスタのソース電極とドレイン電極の間に設けられ、第１のトランジスタのソース電極又はドレイン電極の一方に達する第１の開口を有し、第１のトランジスタのソース電極又はドレイン電極の他方は、第１の絶縁層上に設けられ、第１のトランジスタの半導体層は、第１の開口内における第１のトランジスタのソース電極又はドレイン電極の一方の上面、第１の開口内における第１の絶縁層の側面、及び、第１のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第１のトランジスタのゲート絶縁層は、第１のトランジスタの半導体層上に接して設けられ、第１のトランジスタのゲート電極は、第１のトランジスタの半導体層と重なる領域を有するように、第１のトランジスタのゲート絶縁層上に設けられ、第２のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、容量の一方の電極としての機能も有し、第２の絶縁層は、第２のトランジスタのソース電極とドレイン電極の間に設けられ、第１のトランジスタのゲート電極に達する第２の開口を有し、第２の開口は、第１の開口の斜め上方に位置し、第２のトランジスタのソース電極又はドレイン電極の他方は、第２の絶縁層上に設けられ、第２のトランジスタの半導体層は、第２の開口内における第１のトランジスタのゲート電極の上面、第２の開口内における第２の絶縁層の側面、及び、第２のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第２のトランジスタのゲート絶縁層は、第２のトランジスタの半導体層上に接して設けられ、第２のトランジスタのゲート電極は、第２のトランジスタの半導体層と重なる領域を有するように、第２のトランジスタのゲート絶縁層上に設けられ、容量の誘電体層は、第１のトランジスタのゲート電極上に設けられ、容量の他方の電極は、第１のトランジスタのゲート電極と重なる領域を有し、平面視にて、第２の開口との間に間隔を有して、容量の誘電体層上に設けられる半導体装置である。

［００２７］

また上記において、第１のトランジスタの半導体層、及び、第２のトランジスタの半導体層の少なくとも一は、金属酸化物を有していることが好ましい。

［００２８］

また上記において、第１のトランジスタの半導体層の側面と、第１のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有し、第２のトランジスタの半導体層の側面と、第２のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有していることが好ましい。

［００２９］

また上記において、容量の他方の電極は、第１の開口に面しない側の端部が、第１のトランジスタのゲート電極の端部よりも外側に位置していることが好ましい。

［００３０］

また上記において、容量の他方の電極は、第２の開口を取り囲むように、第１のトランジスタのゲート電極の上面と重なる領域を有していることが好ましい。

［００３１］

また上記において、第１のトランジスタのゲート電極の端部は、第１の方向においては、第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも内側に位置し、第１の方向とは反対

方向の第２の方向においては、第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも外側に位置する上面が概略平坦な領域を有し、第２の開口は、平面視にて、領域と重なるように設けられていることが好ましい。

［００３２］

また上記において、容量の誘電体層は、アルミニウム、ガリウム、ハフニウム、タンタル、ジルコニウムのいずれかを有する酸化物、ハフニウム及びジルコニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有していることが好ましい。

［００３３］

また上記において、容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、チタン酸バリウム、及び、これらのいずれかにランタン又はイットリウムを添加した材料のいずれかを有していることが好ましい。

［００３４］

また上記において、第１の絶縁層、及び、第２の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有していることが好ましい。

発明の効果

［００３５］

本発明の一態様により、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタを提供することができる。又は、本発明の一態様により、信頼性の高い半導体装置、記憶装置、又はトランジスタを提供することができる。又は、本発明の一態様により、オン電流が大きいトランジスタを提供することができる。又は、本発明の一態様により、電気特性が良好なトランジスタ、記憶装置、又は半導体装置を提供することができる。又は、本発明の一態様により、低価格な半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、消費電力の低い半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、動作速度が速い半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、新規な半導体装置、記憶装置、又はトランジスタを提供することができる。

［００３６］

又は、本発明の一態様により、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。又は、本発明の一態様により、信頼性の高い半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。又は、本発明の一態様により、オン電流が大きいトランジスタの作製方法を提供することができる。又は、本発明の一態様により、電気特性が良好なトランジスタ、記憶装置、又は半導体装置の作製方法を提供することができる。又は、本発明の一態様により、歩留まりが高い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、消費電力の低い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、動作速度が速い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、新規な半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。

［００３７］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００３８］

図１Ａは、電子計算機の構成例を説明するブロック図である。図１Ｂ及び図１Ｃは、電子計算機の構成例を説明する模式図である。

図２は、電子計算機の構成例を説明する模式図である。

図３は、半導体装置の構成例を説明する回路図である。

図４Ａ乃至図４Ｄは、半導体装置の構成例を説明する回路図である。

図５Ａは、記憶装置の構成例を示す平面図である。図５Ｂは、記憶装置の構成例を示す断面図である。

図６Ａ及び図６Ｂは、記憶装置の構成例を示す断面図である。

図７Ａは、トランジスタの構成例を示す断面図である。図７Ｂは、トランジスタの構成例を示す平面図である。

図８Ａは、記憶装置の構成例を示す平面図である。図８Ｂは、記憶装置の構成例を示す断面図である。

図９Ａは、記憶装置の構成例を示す平面図である。図９Ｂは、記憶装置の構成例を示す断面図である。

図１０は、記憶装置の構成例を示す断面図である。

図１１Ａは、記憶装置の構成例を示す平面図である。図１１Ｂは、記憶装置の構成例を示す断面図である。

図１２Ａ及び図１２Ｂは、記憶装置の構成例を示す断面図である。

図１３Ａ乃至図１３Ｃは、半導体装置の構成例を示す平面概略図である。

図１４Ａ及び図１４Ｂは、半導体装置の構成例を示す平面概略図である。

図１５Ａ乃至図１５Ｈは、配線の位置関係を説明する平面図である。

図１６Ａ乃至図１６Ｈは、配線の位置関係を説明する平面図である。

図１７は、半導体装置の構成例を説明する回路図である。

図１８は、半導体装置の動作例を説明するタイミングチャートである。

図１９は、記憶装置の構成例を説明するブロック図である。

図２０Ａ及び図２０Ｂは、記憶装置の構成例を説明する回路図である。

図２１は、記憶装置の構成例を説明する模式図である。

図２２は、半導体装置の構成例を説明する回路図である。

図２３は、半導体装置の動作例を説明するタイミングチャートである。

図２４Ａ乃至図２４Ｄは、半導体装置の動作例を説明する模式図である。

図２５は、半導体装置の動作例を説明するタイミングチャートである。

図２６Ａ乃至図２６Ｇは、半導体装置の動作例を説明する模式図である。

図２７は、ＣＰＵを説明するブロック図である。

図２８Ａ及び図２８Ｂは、半導体装置の斜視図である。

図２９Ａ及び図２９Ｂは、半導体装置の斜視図である。

図３０Ａ及び図３０Ｂは、各種の記憶装置を階層ごとに示す図である。

図３１Ａは、記憶装置の作製方法例を示す平面図である。図３１Ｂは、記憶装置の作製方法例を示す

断面図である。
図３２Ａ及び図３２Ｂは、記憶装置の作製方法例を示す断面図である。
図３３Ａは、記憶装置の作製方法例を示す平面図である。図３３Ｂは、記憶装置の作製方法例を示す断面図である。
図３４Ａ及び図３４Ｂは、記憶装置の作製方法例を示す断面図である。
図３５Ａは、記憶装置の作製方法例を示す平面図である。図３５Ｂは、記憶装置の作製方法例を示す断面図である。
図３６Ａ及び図３６Ｂは、記憶装置の作製方法例を示す断面図である。
図３７Ａは、記憶装置の作製方法例を示す平面図である。図３７Ｂは、記憶装置の作製方法例を示す断面図である。
図３８Ａ及び図３８Ｂは、記憶装置の作製方法例を示す断面図である。
図３９Ａは、記憶装置の作製方法例を示す平面図である。図３９Ｂは、記憶装置の作製方法例を示す断面図である。
図４０Ａ及び図４０Ｂは、記憶装置の作製方法例を示す断面図である。
図４１Ａは、記憶装置の作製方法例を示す平面図である。図４１Ｂは、記憶装置の作製方法例を示す断面図である。
図４２Ａ及び図４２Ｂは、記憶装置の作製方法例を示す断面図である。
図４３Ａは、記憶装置の作製方法例を示す平面図である。図４３Ｂは、記憶装置の作製方法例を示す断面図である。
図４４Ａ及び図４４Ｂは、記憶装置の作製方法例を示す断面図である。
図４５Ａは、記憶装置の作製方法例を示す平面図である。図４５Ｂは、記憶装置の作製方法例を示す断面図である。
図４６Ａ及び図４６Ｂは、記憶装置の作製方法例を示す断面図である。
図４７Ａは、記憶装置の作製方法例を示す平面図である。図４７Ｂは、記憶装置の作製方法例を示す断面図である。
図４８Ａ及び図４８Ｂは、記憶装置の作製方法例を示す断面図である。
図４９Ａは、記憶装置の作製方法例を示す平面図である。図４９Ｂは、記憶装置の作製方法例を示す断面図である。
図５０Ａ及び図５０Ｂは、記憶装置の作製方法例を示す断面図である。
図５１Ａは、記憶装置の作製方法例を示す平面図である。図５１Ｂは、記憶装置の作製方法例を示す断面図である。
図５２Ａ及び図５２Ｂは、記憶装置の作製方法例を示す断面図である。
図５３Ａは、記憶装置の作製方法例を示す平面図である。図５３Ｂは、記憶装置の作製方法例を示す断面図である。
図５４Ａ及び図５４Ｂは、記憶装置の作製方法例を示す断面図である。
図５５Ａは、記憶装置の作製方法例を示す平面図である。図５５Ｂは、記憶装置の作製方法例を示す断面図である。
図５６Ａ及び図５６Ｂは、記憶装置の作製方法例を示す断面図である。
図５７は、記憶装置の構成例を示す断面図である。
図５８Ａ及び図５８Ｂは、電子部品の一例を示す図である。

図５９Ａ及び図５９Ｂは、電子機器の一例を示す図である。図５９Ｃ乃至図５９Ｅは、大型計算機の一例を示す図である。
図６０は、宇宙用機器の一例を示す図である。
図６１は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

［００３９］
実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００４０］
なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００４１］
また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理により層又はレジストマスク等が意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。

［００４２］
なお、本明細書等において、「第１」、「第２」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

［００４３］
また、トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現することができる。本明細書におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）及び薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）を含む。

［００４４］
また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、又はドレイン電極）とソース（ソース端子、ソース領域、又はソース電極）の間にチャネルが形成される領域（チャネル形成領域ともいう。）を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

［００４５］
また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書において

は、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

［００４６］

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、又は結晶性が低下すること等が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、及び酸化物半導体の主成分以外の遷移金属等がある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素等がある。なお、水も不純物として機能する場合がある。また、例えば、不純物の混入によって、酸化物半導体に酸素欠損（V_Oとも記す。）が形成される場合がある。

［００４７］

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

［００４８］

膜に含まれる水素、酸素、炭素、及び窒素等の元素の含有量の分析には、例えば、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）、又はＸ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ Ｐｈｏｔｏｅｌｅｃｔｒｏｎ Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いることができる。目的の元素の含有率が高い（例えば、０．５ａｔｏｍｉｃ％以上、又は１ａｔｏｍｉｃ％以上）場合は、ＸＰＳが適している。一方、目的の元素の含有率が低い（例えば、０．５ａｔｏｍｉｃ％以下、又は１ａｔｏｍｉｃ％以下）場合には、ＳＩＭＳが適している。元素の含有量を比較する際には、ＳＩＭＳとＸＰＳの両方の分析手法を用いた複合解析を行うことがより好ましい。

［００４９］

また、本明細書等において、「膜」及び「層」といった語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合があり、「導電膜」という用語を、「導電層」という用語に変更することが可能な場合がある。また、例えば「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合があり、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能な場合がある。さらに、例えば「半導体膜」という用語を、「半導体層」という用語に変更することが可能な場合があり、「半導体層」という用語を、「半導体膜」という用語に変更することが可能な場合がある。

［００５０］

また、本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「概略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。

［００５１］

また、本明細書等において、「接続」は「電気的接続」を含む。

［００５２］

「ＡとＢとが電気的に接続されている」とは、ＡとＢとが絶縁体を介さずに接続されているもの（ＡとＢとが導電体又は半導体を介して接続されているもの。ＡとＢとが接触しているもの。）のうち、回路の動作中に、ＡとＢの間に電気信号の授受又は電位の相互作用が発生するタイミングがあるものを意味する。すなわち、回路の動作中に、ＡとＢの間に電気信号の授受又は電位の相互作用が発生しないタイミングがあるとしても、ＡとＢの間に電気信号の授受又は電位の相互作用が発生するタイミングがあれば、「ＡとＢとが電気的に接続されている」と言える。

［００５３］

「電気的接続」には、回路素子（例えば、トランジスタ。ただし、配線は除く。）を介さない接続（直接接続）と、一つ以上の回路素子を介する接続（間接接続）と、がある。

［００５４］

「ＡとＢとが電気的に接続されている」例としては、ＡとＢとが回路素子を介さずに接続されている場合、ＡとＢとが一つ以上のトランジスタのソース及びドレインを介して接続されている場合などがある。ただし、ＡとＢの間に電気信号の授受又は電位の相互作用が発生するタイミングがあることを前提にする。

［００５５］

ＡとＢとが絶縁体を介して接続されているため、「ＡとＢとが電気的に接続されている」とは言えない例としては、ＡとＢの間に容量素子の誘電体、トランジスタのゲート絶縁膜などが介在している場合がある。

［００５６］

ＡとＢとが絶縁体を介さずに接続されているが、ＡとＢの間に電気信号の授受又は電位の相互作用が発生するタイミングのいずれもがないため、「ＡとＢとが電気的に接続されている」とは言えない例としては、ＡからＢまでの経路に、電源、信号源などからの電位Ｖが供給されている場合（ただし、回路素子を介して電位Ｖが供給されている場合は含まない。）、ＡとＣとがトランジスタＴｒＰのソース及びドレインを介して接続され、ＢとＣとがトランジスタＴｒＱのソース及びドレインを介して接続されているもののうち、トランジスタＴｒＰ及びトランジスタＴｒＱの双方が同時にオン状態になるタイミングがない場合などがある。

［００５７］

また、本明細書等において、「抵抗素子」とは、例えば、０Ω よりも高い抵抗値を有する回路素子、又は０Ω よりも高い抵抗値を有する配線とすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースードレイン間に電流が流れるトランジスタ、ダイオード、又はコイルを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、又は「抵抗値を有する領域」という用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」、又は「抵抗値を有する領域」という用語は、「抵抗素子」という用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは１ｍΩ 以上１０Ω 以下、より好ましくは５ｍΩ 以上５Ω 以下、更に好ましくは１０ｍΩ 以上１Ω 以下とすることができる。また、例えば、１Ω 以上１×10^9Ω 以下としてもよい。

［００５８］

また、本明細書等において、「容量素子」とは、例えば、０Ｆよりも高い静電容量の値を有する回路素子、０Ｆよりも高い静電容量の値を有する配線の領域、寄生容量、又はトランジスタのゲート容量とすることができる。また、「容量素子」、「寄生容量」、又は「ゲート容量」という用語は、「容量」

という用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、又は「ゲート容量」という用語に言い換えることができる場合がある。また、「容量」（３端子以上の「容量」を含む。）は、絶縁体と、当該絶縁体を挟んだ一対の導電体と、を含む構成となっている。そのため、「容量」の「一対の導電体」という用語は、「一対の電極」、「一対の導電領域」、「一対の領域」、又は「一対の端子」に言い換えることができる。また、「一対の端子の一方」、及び「一対の端子の他方」という用語は、それぞれ第１端子、及び第２端子と呼称する場合がある。なお、静電容量の値としては、例えば、０．０５ｆＦ以上１０ｐＦ以下とすることができる。また、例えば、１ｐＦ以上１０μＦ以下としてもよい。

［００５９］

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる３つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する２つの端子は、トランジスタの入出力端子である。２つの入出力端子は、トランジスタの導電型（ｎチャネル型、ｐチャネル型）及びトランジスタの３つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、又はドレインという用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。なお、トランジスタの構造によっては、上述した３つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第１のゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第２のゲートと呼称することがある。さらに、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、３以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第１のゲート、第２のゲート、第３のゲートなどと呼称することがある。

［００６０］

例えば、本明細書等において、トランジスタの一例としては、ゲートが２個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。又は、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

［００６１］

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に１個の抵抗が記載されている場合は、２個以上の抵抗が直列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個の容量が記載されている場合は、２個以上の容量が並列に電気的に接続されている場合を含むものとする。また、例えば、回路図上に１個のトランジスタが記載されている場合は、２個以上のトランジスタが直列に電気的に接続され、かつそれぞれのトランジスタのゲート同士が電気的に接続されている場合を含む

ものとする。また、同様に、例えば、回路図上に１個のスイッチが記載されている場合は、当該スイッチが２個以上のトランジスタを有し、２個以上のトランジスタが直列、又は並列に電気的に接続され、それぞれのトランジスタのゲート同士が電気的に接続されている場合を含むものとする。

［００６２］

また、本明細書等において、ノードは、回路構成、及びデバイス構造に応じて、端子、配線、電極、導電層、導電体、又は不純物領域と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［００６３］

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも０Ｖを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

［００６４］

また、本明細書等において、「高レベル電位」及び「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、２本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、２本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

［００６５］

また、「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとしては、例えば、電子、正孔、アニオン、カチオン、及び錯イオンが挙げられ、電流の流れる系（例えば、半導体、金属、電解液、及び真空中）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Ａから素子Ｂに電流が流れる」の記載は「素子Ｂから素子Ａに電流が流れる」に言い換えることができるものとする。また、「素子Ａに電流が入力される」の記載は「素子Ａから電流が出力される」に言い換えることができるものとする。

［００６６］

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう。）にあるときのソース－ドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００６７］

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成

面に対して傾斜して設けられる形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう。）が９０度未満である領域を有することを指す。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

［００６８］

本明細書等において、ＡはＢと接する、と記載されている場合、Ａの少なくとも一部がＢと接する。そのため、例えば、ＡはＢと接する領域を有する、と言い換えることができる。

［００６９］

本明細書等において、ＡはＢ上に位置する、と記載されている場合、Ａの少なくとも一部がＢ上に位置する。そのため、例えば、ＡはＢ上に位置する領域を有する、と言い換えることができる。

［００７０］

本明細書等において、ＡはＢを覆う、と記載されている場合、Ａの少なくとも一部がＢを覆う。そのため、例えば、ＡはＢを覆う領域を有する、と言い換えることができる。

［００７１］

本明細書等において、ＡはＢと重なる、と記載されている場合、Ａの少なくとも一部がＢと重なる。そのため、例えば、ＡはＢと重なる領域を有する、と言い換えることができる。

［００７２］

また、本明細書等において、「上」、「下」、「左」、及び「右」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［００７３］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、及び酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう。）等に分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体という場合がある。つまり、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと言い換えることができる。なお、窒素を有する金属酸化物も金属酸化物と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）といってもよい。

［００７４］

（実施の形態１）

本発明の一態様の半導体装置は、電子計算機（コンピュータという場合もある。）として機能し得る。本発明の一態様に係る電子計算機は、少なくともその一部を、例えば、マイクロコンピュータ（Ｍｉｃｒｏｃｏｍｐｕｔｅｒ）、パーソナルコンピュータ（Ｐｅｒｓｏｎａｌ　ｃｏｍｐｕｔｅｒ）、ワークステーション（Ｗｏｒｋｓｔａｔｉｏｎ）、メインフレーム（Ｍａｉｎｆｒａｍｅ）、及びスーパーコンピュータ（Ｓｕｐｅｒｃｏｍｐｕｔｅｒ）などに用いることができる。

［００７５］

本発明の一態様の半導体装置は、その構成要素のうち、ＣＰＵ等の処理部と、記憶部の一部（例えば、センスアンプ）と、を同一層上（第１の層上）に形成することができる。したがって、処理部と、

記憶部と、をそれぞれ別の層上に形成する場合に比べて、少ない工程数で半導体装置を作製することができる。また、処理部と、記憶部の一部と、を同一層上（第１の層上）に形成することで、両者の物理的距離を近付けることができるため、両者間の配線の信号遅延等の影響を低減することができる。そのため、半導体装置の動作速度の向上、及び、消費電力の低減を図ることができる。

［００７６］

また、本発明の一態様の半導体装置は、記憶部を構成するメモリセル（記憶装置という場合もある。）が、前述の第１の層とは異なる層（第２の層）上に設けられる。ここで、第２の層は、第１の層上に積層して設けられる層である。本発明の一態様の半導体装置では、当該メモリセルを、微細なトランジスタと、容量と、で形成することができる。また、当該メモリセルを構成するトランジスタと、容量と、は重畳して設けられ、かつ、それぞれの構成要素の一部は、互いに兼用するように形成される。したがって、微細で集積度の高い半導体装置を実現することができる。また、工程数が少なく、低価格な半導体装置を実現することができる。以下では、本発明の一態様の半導体装置に適用することができる電子計算機について、図面を参照しながら説明する。

［００７７］

＜電子計算機の構成例＞

図１Ａは、本発明の一態様の半導体装置に適用することができる電子計算機９００の構成例を説明するブロック図である。

［００７８］

図１Ａに示すように、電子計算機９００は、処理部９１０（プロセッサという場合もある。）と、記憶部９２０（メモリという場合もある。）と、制御部９３０と、を有する。処理部９１０、記憶部９２０、及び制御部９３０は、互いにバスライン９７１を介して、電気的に接続されている。

［００７９］

なお、図示していないが、電子計算機９００は、例えば、入出力部（インターフェースという場合もある。）を有してもよい。当該入出力部は、例えば、電子計算機９００の外部に設けられる機能デバイス（例えば、入力装置、出力装置、及び記憶装置など）と、データなどのやり取りを行う機能を有する。

［００８０］

処理部９１０は、例えば、プログラムに応じた処理を逐次実行することで、一連の処理（タスク）を実行する機能を有する。また、例えば、複数のタスクを実行する機能を有する。処理部９１０の少なくとも一部を、例えば、ＣＰＵ、ＭＰＵ（Ｍｉｃｒｏ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、及びＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などに用いることができる。

［００８１］

処理部９１０は、演算部９１１（コアという場合もある。）と、制御部９１２と、レジスタ部９１３と、を有する。レジスタ部９１３は、一又は複数のレジスタユニット９１４を有する。

［００８２］

レジスタユニット９１４は、スキャンフリップフロップ９１５と、バックアップメモリ９１６と、を有する。レジスタユニット９１４の少なくとも一部を、例えば、汎用レジスタ、及び専用レジスタ（例えば、プログラムカウンタ（ＰＣ：Ｐｒｏｇｒａｍ　Ｃｏｕｎｔｅｒ）、命令レジスタ（ＩＲ：Ｉｎｓｔｒｕｃｔｉｏｎ　Ｒｅｇｉｓｔｅｒ）、及びステータスレジスタ（ＳＲ：Ｓｔａｔｕｓ　Ｒｅｇｉｓｔｅｒ）など）などに用いることができる。

［００８３］

演算部９１１は、例えば、算術論理演算装置（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　Ｌｏｇｉｃ　Ｕｎｉｔ）、及び浮動小数点演算装置（ＦＰＵ：Ｆｌｏａｔｉｎｇ　Ｐｏｉｎｔ　Ｕｎｉｔ）などを有することができる。

［００８４］

制御部９１２は、処理部９１０の動作を制御する機能を有する。例えば、複数のタスクを切り替えながら行う処理を制御する機能を有する。また、例えば、命令デコーダ（ＩＤ：Ｉｎｓｔｒｕｃｔｉｏｎ　Ｄｅｃｏｄｅｒ）などを有することができる。

［００８５］

レジスタユニット９１４の具体的な構成例については、後述する。

［００８６］

記憶部９２０は、例えば、プログラム及びデータを記憶する機能を有する。記憶部９２０の少なくとも一部を、例えば、メインメモリ（Ｍａｉｎ　Ｍｅｍｏｒｙ）、及びキャッシュメモリ（Ｃａｃｈｅ　Ｍｅｍｏｒｙ）などに用いることができる。

［００８７］

記憶部９２０は、メモリアレイ部９２１と、制御部９２２と、を有する。

［００８８］

メモリアレイ部９２１は、一又は複数のメモリブロック９２３を有する。メモリブロック９２３は、一又は複数のメモリユニット９２４と、センスアンプ９２６と、を有する。メモリユニット９２４は、一又は複数のメモリセル９２５を有する。

［００８９］

ここで、図１Ａにおいて点線で囲って示している複数のメモリセル９２５のまとまりを、メモリセルアレイという場合がある。

［００９０］

制御部９２２は、記憶部９２０の動作を制御する機能を有する。例えば、メモリアレイ部９２１に対して、データの書き込み及び読み出しを制御する機能を有する。

［００９１］

メモリブロック９２３の具体的な構成例、及び、記憶部９２０の具体的な構成例については、後述する。

［００９２］

制御部９３０は、電子計算機９００の動作を制御する機能を有する。また、例えば、電源管理ユニット（ＰＭＵ：Ｐｏｗｅｒ　Ｍａｎａｇｅｍｅｎｔ　Ｕｎｉｔ）などを有することができる。当該ＰＭＵは、例えば、パワーゲーティングの動作を制御する機能を有する。例えば、パワースイッチ（図示しない。）を導通状態又は非導通状態にすることで、電子計算機９００が有する各構成要素への電源の供給を制御する機能を有する。

［００９３］

図１Ｂは、電子計算機９００の層構造の一例を説明する模式図である。

［００９４］

図１Ｂに示すように、電子計算機９００は、層９８５と、層９８２と、を有する。層９８２は、層９８３と、複数の層９８４（層９８４［１］乃至層９８４［Ｋ］（Ｋは２以上の整数））と、を有する。

なお、１つの層９８４を有する構成であってもよい。
［００９５］
層９８３は、層９８５の上に積層して設けられている。層９８４［１］乃至層９８４［Ｋ］は、層９８３の上に積層して設けられている。
［００９６］
なお、以下の説明において、各構成要素の位置関係の説明をわかりやすくするため、Ｘ方向、Ｙ方向、及びＺ方向を規定している。Ｘ方向、Ｙ方向、及びＺ方向は、互いに垂直又は概略垂直である。なお、概略垂直とは、対象となる二つの要素のなす角度が、８５度以上９５度以下である状態をいう。Ｚ方向は、層９８５の上に、層９８３、及び層９８４［１］乃至層９８４［Ｋ］が積層される方向であるとする。よって、Ｘ方向、及びＹ方向は、層９８５、層９８３、及び層９８４［１］乃至層９８４［Ｋ］のそれぞれの面に沿った方向であるとする。
［００９７］
層９８５は、様々な材料を含む絶縁性基板又は半導体基板に設けることができる。
［００９８］
本発明の一態様は、例えば、層９８５が、シリコンを含む基板に設けられた構成とすることができる。すなわち、層９８５に、Ｓｉトランジスタ（チャネル形成領域にシリコンを含むトランジスタ）が設けられた構成とすることができる。よって、本発明の一態様は、例えば、層９８５において、ｎチャネル型のＳｉトランジスタのゲートと、ｐチャネル型のＳｉトランジスタのゲートと、を電気的に接続することで、ＣＭＯＳ回路（例えば、相補的に動作する回路、ＣＭＯＳ論理ゲート、又はＣＭＯＳ論理回路など）を構成することができる。
［００９９］
層９８３、及び層９８４［１］乃至層９８４［Ｋ］のそれぞれは、例えば、導電体、半導体、及び絶縁体などの様々な材料を有することができる。また、層９８３、及び層９８４［１］乃至層９８４［Ｋ］のそれぞれには、例えば、容量、及びトランジスタなどの様々な素子を設けることができる。
［０１００］
なお、層９８３に設けられるトランジスタのチャネル形成領域を含む半導体層と、層９８４［１］乃至層９８４[Ｋ]に設けられるトランジスタのチャネル形成領域を含む半導体層と、のそれぞれは、同じ材料を有してもよいし、異なる材料を有してもよい。また、層９８３に設けられるトランジスタと、層９８４［１］乃至層９８４［Ｋ］に設けられるトランジスタと、のそれぞれは、同じ構造であってもよいし、異なる構造であってもよい。
［０１０１］
本発明の一態様は、例えば、層９８３、及び、層９８４［１］乃至層９８４［Ｋ］に、ＯＳトランジスタ（チャネル形成領域に酸化物半導体を含むトランジスタ）が設けられた構成とすることができる。
［０１０２］
ＯＳトランジスタは、オフ電流が極めて低いという特性を有する。また、高温環境下でもオフ電流がほとんど増加しない、かつ、オン電流が低下しにくい、という特性を有する。そのため、例えば、ＯＳトランジスタのソース又はドレインの一方に電気的に接続された配線が浮遊状態（フローティングという場合もある。）である場合、当該配線に蓄積された電荷を長期間保持することができる。よって、本発明の一態様は、例えば、ＯＳトランジスタを用いてメモリセルを構成することで、当該

メモリセルに書き込まれたデータを長期間記憶することができる。
［０１０３］
また、本発明の一態様は、当該ＯＳトランジスタの構造として、例えば、層９８３に、プレーナ型のトランジスタが設けられ、層９８４［１］乃至層９８４［Ｋ］に、縦型のトランジスタ（チャネル形成領域を含む半導体層の少なくとも一部が絶縁層に形成された開口の内部に設けられるトランジスタ）が設けられた構成とすることができる。なお、縦型のトランジスタの詳細な構成については、図７Ａ及び図７Ｂ等で後述する。
［０１０４］
縦型のトランジスタは、プレーナ型のトランジスタに比べて、占有面積（フットプリント）の低減を図ることが容易な構造である。また、チャネル長を小さく、かつ、チャネル幅を大きくしやすい構造であることから、オン抵抗の低減（オン電流の増加）を図ることが容易な構造である。よって、本発明の一態様は、例えば、縦型のトランジスタを用いてメモリセルを構成することで、当該メモリセルのセル面積（セルサイズ）を小さくすることができる。
［０１０５］
プレーナ型のトランジスタは、縦型のトランジスタに比べて、チャネル長を大きくしやすい構造であることから、例えば、ドレイン誘起障壁低下（ＤＩＢＬ：Ｄｒａｉｎ　Ｉｎｄｕｃｅｄ　Ｂａｒｒｉｅｒ　Ｌｏｗｅｒｉｎｇ）などの短チャネル効果の低減を図ることが容易な構造である。すなわち、飽和性が高い（トランジスタの飽和領域において、ドレイン電圧に対するドレイン電流の変化が小さい）トランジスタを実現することが容易な構造である。よって、本発明の一態様は、例えば、プレーナ型のトランジスタを用いてセンスアンプを構成することで、当該センスアンプの特性を向上させることができる。
［０１０６］
なお、例えば、層９８３に、縦型のトランジスタが設けられた構成としてもよい。また、例えば、層９８４［１］乃至層９８４［Ｋ］に、プレーナ型のトランジスタが設けられた構成としてもよい。
［０１０７］
また、図示していないが、電子計算機９００は、層９８５、層９８３、及び層９８４［１］乃至層９８４［Ｋ］のそれぞれの層の間に、配線層が適宜設けられている構成であってもよい。当該配線層には、例えば、様々な素子同士を電気的に接続するための配線を設けることができる。
［０１０８］
また、図２に示すように、電子計算機９００は、複数の層９８３（層９８３［１］乃至層９８３［Ｈ］（Ｈは２以上の整数））を有し、かつ、層９８３［１］乃至層９８３［Ｈ］が積層して設けられている構成であってもよい。また、複数の層９８２（層９８２［１］乃至層９８２［Ｌ］（Ｌは２以上の整数））を有し、かつ、層９８２［１］乃至層９８２［Ｌ］が積層して設けられている構成であってもよい。
［０１０９］
図１Ｃは、電子計算機９００が有する各構成要素の配置の一例を説明する模式図である。電子計算機９００において、図１Ａに示す各構成要素は、例えば、図１Ｂに示す各層に、適宜配置することができる。なお、図１Ｃでは、電子計算機９００が有する各構成要素の一部として、処理部９１０が有する演算部９１１、制御部９１２、スキャンフリップフロップ９１５、及びバックアップメモリ９１６を図示している。また、記憶部９２０が有するメモリセル９２５、及びセンスアンプ９２６を図示

している。
［０１１０］
図１Ｃに示す電子計算機９００は、層９８５と、層９８３と、層９８４［１］乃至層９８４［Ｋ］と、を有する。図１Ｃに示すように、演算部９１１、制御部９１２、スキャンフリップフロップ９１５、及びセンスアンプ９２６は、層９８５に配置されている。また、図示していないが、制御部９３０、及び、記憶部９２０が有する制御部９２２も、層９８５に配置されている。なお、センスアンプ９２６を、例えば、演算部９１１と制御部９１２との間に配置することもできる。バックアップメモリ９１６は、スキャンフリップフロップ９１５の上に重なるように、層９８３に配置されている。メモリセル９２５は、センスアンプ９２６の上に重なるように、層９８４［１］乃至層９８４［Ｋ］に配置されている。なお、メモリセル９２５を、例えば、演算部９１１、及び制御部９１２の上に重なるように配置することもできる。また、例えば、バックアップメモリ９１６の上に重なるように配置することもできる。
［０１１１］
つまり、図１Ｃに示す電子計算機９００は、記憶部９２０が有するメモリアレイ部９２１が、処理部９１０の内部に配置された構成であるともいえる。なお、制御部９２２も、処理部９１０の内部に配置された構成であってもよい。
［０１１２］
このような配置にすることで、例えば、層９８３、及び、層９８４［１］乃至層９８４［Ｋ］のデッドスペースを小さくし、面積効率を向上させることができる。そのため、メモリアレイ部９２１の面密度（記録密度）の向上を図ることができる。よって、電子計算機９００が有する記憶部９２０の記憶容量の向上、及び、電子計算機９００の小型化を図ることができる。また、例えば、処理部９１０と、記憶部９２０と、の間のバスライン９７１を短くすることができる。そのため、アクセス時間（データの書き込み及び読み出しに必要な時間）及びアクセスエネルギー（データの書き込み及び読み出しによって消費されるエネルギー）の低減を図ることができる。よって、電子計算機９００の動作速度の向上、及び、消費電力の低減を図ることができる。
［０１１３］
以下、レジスタユニット９１４に用いることができる半導体装置、メモリブロック９２３に用いることができる半導体装置、及び、記憶部９２０に用いることができる記憶装置、のそれぞれの具体的な構成例について説明する。
［０１１４］
なお、以下の説明において、２値データに対応する電位として、２値データの“１”に対応する電位は、高電源電位である電位ＶＤＤとし、２値データの“０”に対応する電位は、低電源電位である電位ＶＳＳとする。電位ＶＤＤは、電位ＶＳＳに対して、少なくともトランジスタのしきい値電圧よりも高い電位であるとする。なお、電位ＶＳＳは、例えば、接地電位としてもよい。また、信号の電位は、電位Ｈ又は電位Ｌとする。電位Ｈは、ｎチャネル型のトランジスタのゲートに与えられることで、当該トランジスタが導通状態となる電位、かつ、ｐチャネル型のトランジスタのゲートに与えられることで、当該トランジスタが非導通状態となる電位、であるとする。電位Ｌは、ｎチャネル型のトランジスタのゲートに与えられることで、当該トランジスタが非導通状態となる電位、かつ、ｐチャネル型のトランジスタのゲートに与えられることで、当該トランジスタが導通状態となる電位、であるとする。電位Ｈは、例えば、電位ＶＤＤと同じ電位、又は電位ＶＤＤよりも高い電位とすること

ができる。電位Ｌは、例えば、電位ＶＳＳと同じ電位、又は電位ＶＳＳよりも低い電位とすることができる。

［０１１５］

なお、電位Ｈ及び電位Ｌのそれぞれは、複数の信号のそれぞれで、同じ電位である必要はない。複数の信号のそれぞれは、当該信号が与えられるトランジスタのしきい値電圧に応じて、信号ごとに、電位Ｈ及び電位Ｌのそれぞれの電位が異なっていてもよい。例えば、層９８５に設けられるＳｉトランジスタのゲートに与えられる信号と、層９８３、及び、層９８４［１］乃至層９８４［Ｋ］に設けられるＯＳトランジスタのゲートに与えられる信号とは、電位Ｈ及び電位Ｌのそれぞれの電位が異なっていてもよい。

［０１１６］

＜記憶部９２０に用いることができる半導体装置＞

本発明の一態様の半導体装置７１０について説明する。半導体装置７１０の少なくとも一部を、例えば、上述した図１Ａ等に示す電子計算機９００に用いることができる。例えば、記憶部９２０が有するメモリブロック９２３に用いることができる。

［０１１７］

［構成例］

図３は、半導体装置７１０の構成例を説明する回路図である。

［０１１８］

図３に示す半導体装置７１０は、複数のメモリセル７４１と、センス回路７５１と、を有する。

［０１１９］

本発明の一態様として、半導体装置７１０を、上述した電子計算機９００が有するメモリブロック９２３に用いる場合、例えば、メモリセル７４１は、メモリセル９２５に対応し、センス回路７５１は、センスアンプ９２６に対応する。すなわち、例えば、メモリセル７４１は、層９８４［１］乃至層９８４［Ｋ］に配置され、センス回路７５１は、層９８５に配置される。よって、例えば、メモリセル７４１に、縦型のＯＳトランジスタを用いることができ、センス回路７５１に、Ｓｉトランジスタを用いることができる。

［０１２０］

なお、図３では、代表して、層９８４［１］に配置されている８個のメモリセル７４１と、層９８４［２］に配置されている８個のメモリセル７４１と、層９８４［Ｋ］に配置されている８個のメモリセル７４１と、を図示している。

［０１２１］

複数のメモリセル７４１の一部は、読み出しビット線として機能する配線ＲＢＬを介して、センス回路７５１に電気的に接続されている。残りは、読み出しビット線として機能する配線ＲＢＬＢを介して、センス回路７５１に電気的に接続されている。

［０１２２］

センス回路７５１は、データの書き込みをする場合、当該データに対応する電位を、配線ＲＢＬ及び配線ＲＢＬＢのそれぞれに与える機能を有する。また、センス回路７５１は、データの読み出しをする場合、配線ＲＢＬと配線ＲＢＬＢとの間の電位差に応じて、当該データに対応する電位を出力する機能を有する。

［０１２３］

図１７は、図３に示す半導体装置７１０の具体的な構成例を説明する回路図である。なお、図１７では、代表して、層９８４［１］に配置され、かつ、配線ＲＢＬに電気的に接続されている２個のメモリセル（メモリセル７４１［１，１］及びメモリセル７４１［１，２］）と、配線ＲＢＬＢに電気的に接続されている２個のメモリセル（メモリセル７４１［１，３］及びメモリセル７４１［１，４］）と、を図示している。また、層９８４［２］に配置され、かつ、配線ＲＢＬに電気的に接続されている２個のメモリセル（メモリセル７４１［２，１］及びメモリセル７４１［２，２］）と、配線ＲＢＬＢに電気的に接続されている２個のメモリセル（メモリセル７４１［２，３］及びメモリセル７４１［２，４］）と、を図示している。

［０１２４］

センス回路７５１は、スイッチ回路７５２と、プリチャージ回路７５３と、プリチャージ回路７５４と、アンプ回路７５５と、プリチャージ回路７５６と、を有する。スイッチ回路７５２、プリチャージ回路７５３、プリチャージ回路７５４、アンプ回路７５５、及びプリチャージ回路７５６のそれぞれは、配線ＲＢＬ及び配線ＲＢＬＢに電気的に接続されている。スイッチ回路７５２は、配線ＤＢＬ及び配線ＤＢＬＢに電気的に接続されている。センス回路７５１は、メモリセル７４１に対するデータの書き込み及び読み出しを制御する機能を有する。

［０１２５］

スイッチ回路７５２は、配線ＣＳＥＬに与えられる信号に応じて、配線ＲＢＬ及び配線ＲＢＬＢの配線対と、配線ＤＢＬ及び配線ＤＢＬＢの配線対と、の間を、導通状態又は非導通状態にする機能を有する。具体的には、スイッチ回路７５２は、トランジスタＭ７２１と、トランジスタＭ７２２と、を有する。トランジスタＭ７２１のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７２１のソース又はドレインの他方は、配線ＤＢＬに電気的に接続されている。トランジスタＭ７２２のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７２２のソース又はドレインの他方は、配線ＤＢＬＢに電気的に接続されている。トランジスタＭ７２１のゲート、及び、トランジスタＭ７２２のゲートは、配線ＣＳＥＬに電気的に接続されている。トランジスタＭ７２１及びトランジスタＭ７２２は、ｎチャネル型のトランジスタである。

［０１２６］

プリチャージ回路７５３は、配線ＥＱに与えられる信号に応じて、配線ＲＢＬ及び配線ＲＢＬＢを、配線ＶＰＲＥに与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路７５３は、トランジスタＭ７３１と、トランジスタＭ７３２と、トランジスタＭ７３３と、を有する。トランジスタＭ７３１のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７３１のソース又はドレインの他方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７３２のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７３３のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７３２のソース又はドレインの他方、及びトランジスタＭ７３３のソース又はドレインの他方は、配線ＶＰＲＥに電気的に接続されている。トランジスタＭ７３１のゲート、トランジスタＭ７３２のゲート、及び、トランジスタＭ７３３のゲートは、配線ＥＱに電気的に接続されている。トランジスタＭ７３１、トランジスタＭ７３２、及びトランジスタＭ７３３は、ｎチャネル型のトランジスタである。

［０１２７］

プリチャージ回路７５４は、配線ＥＱＢに与えられる信号に応じて、配線ＲＢＬ及び配線ＲＢＬＢを、配線ＶＰＲＥに与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路７５４は、トランジスタＭ７４１と、トランジスタＭ７４２と、トランジスタＭ７４３と、を有する。トランジスタＭ７４１のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７４１のソース又はドレインの他方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７４２のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７４３のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７４２のソース又はドレインの他方、及びトランジスタＭ７４３のソース又はドレインの他方は、配線ＶＰＲＥに電気的に接続されている。トランジスタＭ７４１のゲート、トランジスタＭ７４２のゲート、及び、トランジスタＭ７４３のゲートは、配線ＥＱＢに電気的に接続されている。トランジスタＭ７４１、トランジスタＭ７４２、及びトランジスタＭ７４３は、ｐチャネル型のトランジスタである。

［０１２８］

アンプ回路７５５は、配線ＳＡＰ及び配線ＳＡＮのそれぞれに所定の電位を与えることで、配線ＲＢＬに、２値のデータの一方に対応する電位を出力し、かつ、配線ＲＢＬＢに、２値のデータの他方に対応する電位を出力する機能を有する。具体的には、アンプ回路７５５は、トランジスタＭ７５１と、トランジスタＭ７５２と、トランジスタＭ７５３と、トランジスタＭ７５４と、を有する。トランジスタＭ７５１のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７５２のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７５３のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７５４のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７５１のソース又はドレインの他方、及び、トランジスタＭ７５２のソース又はドレインの他方は、配線ＳＡＰに電気的に接続されている。トランジスタＭ７５３のソース又はドレインの他方、及び、トランジスタＭ７５４のソース又はドレインの他方は、配線ＳＡＮに電気的に接続されている。トランジスタＭ７５１のゲート、及び、トランジスタＭ７５３のゲートは、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７５２のゲート、及び、トランジスタＭ７５４のゲートは、配線ＲＢＬに電気的に接続されている。トランジスタＭ７５１及びトランジスタＭ７５２は、ｐチャネル型のトランジスタである。トランジスタＭ７５３及びトランジスタＭ７５４は、ｎチャネル型のトランジスタである。

［０１２９］

プリチャージ回路７５６は、配線ＲＢＬ及び配線ＲＢＬＢに電気的に接続されている。プリチャージ回路７５６は、配線ＳＷ４に与えられる信号に応じて、配線ＲＢＬを、配線ＶＰＲＥ２に与えられる電位にプリチャージする機能を有する。また、配線ＳＷ５に与えられる信号に応じて、配線ＲＢＬＢを、配線ＶＰＲＥ２に与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路７５６は、トランジスタＭ７７１と、トランジスタＭ７７２と、を有する。トランジスタＭ７７１のソース又はドレインの一方は、配線ＲＢＬに電気的に接続されている。トランジスタＭ７７２のソース又はドレインの一方は、配線ＲＢＬＢに電気的に接続されている。トランジスタＭ７７１のソース又はドレインの他方、及び、トランジスタＭ７７２のソース又はドレインの他方は、配線ＶＰＲＥ２に電気的に接続されている。トランジスタＭ７７１のゲートは、配線ＳＷ４に電気的に接続されている。トランジスタＭ７７２のゲートは、配線ＳＷ５に電気的に接続されている。トランジスタ

Ｍ７７１及びトランジスタＭ７７２は、ｐチャネル型のトランジスタである。

［０１３０］

ここで、半導体装置７１０において、複数のメモリセル７４１のうち、任意の１つのメモリセル７４１を選択して、当該メモリセル７４１に対して、データの書き込みを行う場合、当該メモリセル７４１に電気的に接続されている配線ＷＷＬに信号を与えればよい。例えば、図１７において、層９８４［１］に配置されているメモリセル７４１［１，１］に対して、データの書き込みを行う場合、メモリセル７４１［１，１］に電気的に接続されている配線ＷＷＬに電位Ｈを与え、それ以外のメモリセル７４１に電気的に接続されている配線ＷＷＬに電位Ｌを与えればよい。

［０１３１］

また、半導体装置７１０において、複数のメモリセル７４１のうち、任意の１つのメモリセル７４１を選択して、当該メモリセル７４１に対して、データの読み出しを行う場合、当該メモリセル７４１に電気的に接続されている配線ＲＷＬに信号を与えればよい。例えば、図１７において、層９８４［１］に配置されているメモリセル７４１［１，１］に対して、データの読み出しを行う場合、メモリセル７４１［１，１］に電気的に接続されている配線ＲＷＬに電位Ｈを与え、それ以外のメモリセル７４１に電気的に接続されている配線ＲＷＬに電位Ｌを与えればよい。

［０１３２］

＜記憶部９２０に用いることができるメモリセル＞

本発明の一態様に係るメモリセルについて説明する。当該メモリセルを、例えば、上述した図１Ａ等に示す電子計算機９００に用いることができる。例えば、記憶部９２０が有するメモリセル９２５に用いることができる。

［０１３３］

図４Ａ乃至図４Ｄのそれぞれは、本発明の一態様のメモリセルの構成例を説明する回路図である。

［０１３４］

図４Ａに示すメモリセル７４１ａは、トランジスタ４２と、トランジスタ４１と、容量５１と、を有する。トランジスタ４２のソース又はドレインの一方は、トランジスタ４１のゲートと、容量５１の一方の端子と、に電気的に接続されている。トランジスタ４２のソース又はドレインの他方は、書き込み用ビット線として機能する配線ＷＢＬに電気的に接続されている。トランジスタ４２のゲートは、書き込み用ワード線として機能する配線ＷＷＬに電気的に接続されている。トランジスタ４１のソース又はドレインの一方は、読み出し用ビット線として機能する配線ＲＢＬに電気的に接続されている。トランジスタ４１のソース又はドレインの他方は、読み出し用ワード線として機能する配線ＲＷＬに電気的に接続されている。容量５１の他方の端子は、配線ＣＬに電気的に接続されている。なお、トランジスタ４２のソース又はドレインの一方と、トランジスタ４１のゲートと、容量５１の一方の端子と、が互いに電気的に接続されている配線を、配線ＭＮと記載して説明する場合がある。

［０１３５］

メモリセル７４１ａは、配線ＭＮに保持された電荷量に応じた電位の高低を、“１”又は“０”に対応させることで、２値のデータを記憶することができる。また、メモリセル７４１ａは、データの書き込みをする場合、トランジスタ４２を導通状態にすることで、配線ＷＢＬから配線ＭＮに、データに対応した電位を与えることができる。また、メモリセル７４１ａは、データの読み出しをする場合、配線ＭＮの電位に応じてトランジスタ４１を導通状態又は非導通状態にすることで、当該データに応じた電位を配線ＲＢＬに取り出すことができる。

［０１３６］

本発明の一態様は、トランジスタ４２として、例えば、ｎチャネル型のＯＳトランジスタを用いることができる。また、トランジスタ４１として、例えば、ｎチャネル型のトランジスタを用いることができる。

［０１３７］

なお、図４Ａに示すメモリセル７４１ａにおいて、トランジスタ４２にＯＳトランジスタを用いた構成は、ＮＯＳＲＡＭ（登録商標）と呼称される場合がある。ＮＯＳＲＡＭとは、Ｎｏｎｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭの略称である。ＮＯＳＲＡＭは、オフ電流が極めて低いＯＳトランジスタを用いるため、データを長期間記憶することができる。また、書き込み用のトランジスタ（トランジスタ４２）と、読み出し用のトランジスタ（トランジスタ４１）と、が異なるため、データの読み出しにおいて、非破壊読み出しとなる。よって、例えば、不揮発性メモリとして用いることができる。

［０１３８］

図４Ｂに示すメモリセル７４１ｂは、図４Ａに示すメモリセル７４１ａの変形例であり、トランジスタ４２のソース又はドレインの他方が、配線ＢＬに電気的に接続され、トランジスタ４１のソース又はドレインの一方が、配線ＢＬに電気的に接続されている点が異なる。

［０１３９］

図４Ｃに示すメモリセル７４１ｃは、図４Ａに示すメモリセル７４１ａの変形例であり、トランジスタ４１のソース又はドレインの他方が、配線ＰＬに電気的に接続され、容量５１の他方の端子が、配線ＲＷＬに電気的に接続されている点が異なる。

［０１４０］

図４Ｄに示すメモリセル７４１ｄは、図４Ｃに示すメモリセル７４１ｃの変形例であり、トランジスタ４１にｐチャネル型のトランジスタを用いている点が異なる。

［０１４１］

＜メモリセル７４１に用いることができる記憶装置＞

以下では、本発明の一態様の半導体装置が有するメモリセル７４１に用いることができる記憶装置の具体的な構成例について、図面を用いて説明する。

［０１４２］

本発明の一態様の記憶装置は、第１のトランジスタと、第２のトランジスタと、容量と、第１の絶縁層と、第２の絶縁層と、を有する。

［０１４３］

本発明の一態様の記憶装置では、第１のトランジスタ、容量、及び、第２のトランジスタを、それぞれ重ねて配置する構成を有する。このため、当該記憶装置の平面視における占有面積を小さくすることができる。例えば、本発明の一態様の記憶装置を、メモリセル７４１に適用する場合、当該メモリセルの平面視における占有面積を小さくすることができる。よって、当該メモリセルを微細化することができ、高集積化が可能な半導体装置を実現することができる。

［０１４４］

また、本発明の一態様の記憶装置では、第１のトランジスタ上に、第２のトランジスタが積層して設けられる。第１のトランジスタ及び第２のトランジスタのそれぞれは、基板面に対してソース電極と、ドレイン電極と、がそれぞれ異なる高さに重畳して設けられ、ドレイン電流が高さ方向（縦方向）

に流れる構造を有する（前述の「縦型のトランジスタ」）。このため、ソース電極と、ドレイン電極と、がそれぞれ同一平面上に設けられる構造のトランジスタ（プレーナ型のトランジスタ）よりも微細化を図ることができる。本発明の一態様の記憶装置が、上述の構造のトランジスタを有することで、さらに微細化及び高集積化が可能な半導体装置を実現することができる。

［０１４５］

なお、本発明の一態様の記憶装置において、第１の絶縁層は、第１のトランジスタのソース電極とドレイン電極との間に位置し、第２の絶縁層は、第２のトランジスタのソース電極とドレイン電極との間に位置する。

［０１４６］

また、本発明の一態様の記憶装置では、第１のトランジスタの構成要素の一部（ゲート電極）が、第２のトランジスタの構成要素の一部（ソース電極又はドレイン電極の一方）としても機能する。

［０１４７］

すなわち、本発明の一態様の記憶装置では、第１のトランジスタの構成要素の一部が、第２のトランジスタの構成要素の一部も兼ねる。

［０１４８］

また、本発明の一態様の記憶装置では、第２のトランジスタは、平面視にて、第１のトランジスタと完全に重なるように積層して設けられるのではなく、一部が重なるように積層して設けられる。別言すると、第２のトランジスタは、第１のトランジスタの斜め上方に位置するように積層して設けられる。

［０１４９］

前述したように、本発明の一態様の記憶装置では、第１のトランジスタ及び第２のトランジスタのそれぞれは、基板面に対してソース電極と、ドレイン電極と、がそれぞれ異なる高さに重畳して設けられ、ドレイン電流が高さ方向（縦方向）に流れる構造を有する。すなわち、ドレイン電流が基板面に平行な面内を流れるプレーナ型のトランジスタ（「横型のトランジスタ」ともいえる。）に対して、第１のトランジスタ及び第２のトランジスタは、前述の「縦型のトランジスタ」であるといえる。

［０１５０］

第１のトランジスタ及び第２のトランジスタの詳細な構成については後述するが、縦型のトランジスタは、その構造上、トランジスタの最上部に設けられるゲート電極の上面の一部に凹部が形成されやすい。そのため、本発明の一態様の記憶装置のように、第１のトランジスタ上に第２のトランジスタを積層する構造の場合、前述した第１のトランジスタ上の凹部と重なる位置に、そのまま第２のトランジスタを積層しようとすると、当該凹部上における被覆不良によって、第１のトランジスタと、第２のトランジスタと、の間の接触不良を誘発しやすくなる。

［０１５１］

そこで、本発明の一態様の記憶装置では、第２のトランジスタの半導体層が、第１のトランジスタのゲート電極上において、凹部と重ならない領域（概略平坦な領域）と接触するように、第２のトランジスタを配置する。すなわち、上述したように、第２のトランジスタを、第１のトランジスタの斜め上方に位置するように積層して設ける。これにより、第１のトランジスタ上の凹部に起因する、第１のトランジスタと、第２のトランジスタと、の接触不良の発生を抑制することができるため、電気特性の良好な記憶装置を提供することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。また、第１のトランジスタのゲート電極上面を平坦化する工程が不要になるため、

全体の工程数を削減することもできる。したがって、低価格な記憶装置を実現することができる。

［０１５２］

また、本発明の一態様の記憶装置では、容量の一部を構成する絶縁層（第３の絶縁層）及び導電層が、第１のトランジスタのゲート電極と重なる領域を有するように、第１のトランジスタ上にこの順で積層して設けられる。本発明の一態様の記憶装置が有する容量において、第１のトランジスタのゲート電極は、一方の電極として機能し、前述の絶縁層（第３の絶縁層）は、誘電体層として機能し、前述の導電層は、他方の電極として機能する。すなわち、本発明の一態様の記憶装置では、第１のトランジスタと重なる領域を有するように、容量の一部を構成する絶縁層（第３の絶縁層）及び導電層が設けられ、第１のトランジスタのゲート電極が、容量の一方の電極としての機能も兼ねる構成を有しているということができる。

［０１５３］

また、本発明の一態様の記憶装置では、上述した導電層（容量の一部を構成する導電層）の側面と、第２のトランジスタのゲート電極の一部（第２の絶縁層に埋め込まれた部分）の側面と、が第２の絶縁層の一部、第２のトランジスタの半導体層の一部、及び、第２のトランジスタのゲート絶縁層の一部を介して、対向して設けられる。そのため、本発明の一態様の記憶装置では、前述の導電層と、第２のトランジスタのゲート電極の一部（第２の絶縁層に埋め込まれた部分）と、の間の領域も容量として機能し得る。すなわち、本発明の一態様の記憶装置では、第２のトランジスタのゲート電極が、容量の電極としての機能も有し得るということができる。また、前述の導電層と、第２のトランジスタのゲート電極の一部（第２の絶縁層に埋め込まれた部分）と、に挟まれた領域における第２の絶縁層、第２のトランジスタの半導体層、及び、第２のトランジスタのゲート絶縁層が、容量の誘電体層としての機能も有し得るということができる。

［０１５４］

すなわち、本発明の一態様の記憶装置では、第１のトランジスタの構成要素の一部が、容量の構成要素の一部も兼ねる。また、第２のトランジスタの構成要素の一部が、容量の構成要素の一部も兼ねる。

［０１５５］

以上より、本発明の一態様の記憶装置では、第１のトランジスタと、第２のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量と、第１のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量と、第２のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。したがって、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

［０１５６］

以下では、本発明の一態様の記憶装置の具体的な構成例について説明する。

［０１５７］

＜記憶装置の構成例１＞

図５Ａは、本発明の一態様の記憶装置の構成例を示す平面図である。図５Ａでは、図の明瞭化のために、絶縁層等の一部の要素を省略している。以降に示す平面図においても、一部の要素を省略する。図５Ｂは、図５Ａに示す一点鎖線Ａ１－Ａ２の断面図である。図６Ａは、図５Ａに示す一点鎖線Ａ３－Ａ４の断面図である。図６Ｂは、図５Ａに示す一点鎖線Ａ５－Ａ６の断面図である。

［０１５８］

本発明の一態様の記憶装置は、トランジスタ４１と、トランジスタ４２と、容量５１と、絶縁層１０３ａと、絶縁層１０３ｂと、を有する。

［０１５９］

絶縁層１０３ａは、絶縁層１０１上に設けられる。トランジスタ４１は、その一部が絶縁層１０３ａに埋め込まれるように、絶縁層１０１上に設けられる。容量５１の構成要素の一部は、トランジスタ４１と重なる領域を有するように、トランジスタ４１上に設けられる。絶縁層１０３ｂは、トランジスタ４１及び容量５１を覆うように設けられる。トランジスタ４２は、その一部が絶縁層１０３ｂに埋め込まれるように、トランジスタ４１及び容量５１と重畳して設けられる。

［０１６０］

ここで、絶縁層１０１、絶縁層１０３ａ、及び絶縁層１０３ｂは、それぞれ層間絶縁層として機能し、平坦化されていることが好ましい。なお、層間絶縁層として機能する絶縁層が平坦化されていなくてもよい。

［０１６１］

トランジスタ４１は、導電層１１１ａと、導電層１１２ａと、半導体層１１３ａと、絶縁層１０５ａと、導電層１１５ａと、を有する。

［０１６２］

導電層１１１ａは、トランジスタ４１のソース電極又はドレイン電極の一方として機能する。導電層１１２ａは、トランジスタ４１のソース電極又はドレイン電極の他方として機能する。絶縁層１０５ａは、トランジスタ４１のゲート絶縁層として機能する。導電層１１５ａは、トランジスタ４１のゲート電極として機能する。

［０１６３］

絶縁層１０１上に導電層１１１ａが設けられ、絶縁層１０１上、及び、導電層１１１ａ上に絶縁層１０３ａが設けられ、絶縁層１０３ａ上に導電層１１２ａが設けられる。導電層１１１ａと導電層１１２ａは、絶縁層１０３ａを介して互いに重なる領域を有する。なお、図５Ａ及び図５Ｂでは、Ｘ方向において、導電層１１１ａの側端部が導電層１１２ａの開口１２１ａに面しない側端部より内側に位置する、すなわち導電層１１２ａの開口１２１ａに面しない側端部が導電層１１１ａと重ならず、導電層１１１ａの側端部が導電層１１２ａと重なる例を示しているが、本発明の一態様はこれに限らない。例えば、導電層１１１ａの側端部が、導電層１１２ａの開口１２１ａに面しない側端部より外側に位置してもよい。

［０１６４］

絶縁層１０３ａ及び導電層１１２ａは、導電層１１１ａに達する開口１２１ａを有する。図５Ａでは、開口１２１ａの形状が、平面視において円形である例を示している。開口１２１ａの上面形状（平面視における輪郭形状）を円形とすることにより、開口１２１ａを形成する際の加工精度を高めることができ、微細なサイズの開口１２１ａを形成することができる。なお、開口１２１ａの上面形状は、例えば、楕円形、四角形等の多角形、又は角の丸い多角形としてもよい。

［０１６５］

半導体層１１３ａは、開口１２１ａを覆い、開口１２１ａの内部に位置する領域を有するように設けられる。半導体層１１３ａは、導電層１１２ａの上面と接する領域、開口１２１ａ内における導電層１１２ａの側面と接する領域、開口１２１ａ内における絶縁層１０３ａの側面と接する領域、及び、

開口１２１ａ内における導電層１１１ａの上面と接する領域を有する。半導体層１１３ａは、導電層１１２ａの上面、開口１２１ａ内における導電層１１２ａの側面、開口１２１ａ内における絶縁層１０３ａの側面、及び、開口１２１ａ内における導電層１１１ａの上面に沿った形状を有する。これにより、半導体層１１３ａは、開口１２１ａと重なる位置に凹部を有する。

［０１６６］

なお、図５Ｂでは、Ｘ方向において、半導体層１１３ａの側面が、導電層１１２ａの開口１２１ａに面しない側の側面と概略一致するように示されているが、本発明の一態様はこれに限らない。例えば、半導体層１１３ａの側面が、Ｘ方向において、導電層１１２ａの開口１２１ａに面しない側の側面よりも外側に位置していてもよいし、内側に位置していてもよい。

［０１６７］

ただし、半導体層１１３ａは、導電層１１２ａの開口１２１ａ側の側端部を覆うことが好ましい。例えば、図５Ａ及び図５Ｂでは、Ｘ方向において、半導体層１１３ａの側端部が開口１２１ａの外側まで延伸し、導電層１１２ａの開口１２１ａに面しない側の側端部と概略一致する構成を示している。Ｘ方向において、半導体層１１３ａの下端部は、導電層１１２ａの上端部と概略一致しているともいえる。すなわち、半導体層１１３ａの全体が、導電層１１２ａ又は開口１２１ａと重なる例を示している。また、図５Ａ及び図５Ｂでは、Ｘ方向において、半導体層１１３ａの側端部が、導電層１１１ａの側端部より外側に位置する構成を示している。すなわち、半導体層１１３ａの一部が、導電層１１１ａと重なる例を示している。

［０１６８］

本明細書等において、上端部は、側端部のうち最上部を示し、下端部は、側端部のうち最下部を示す。つまり、上端部及び下端部は、それぞれ側端部の一部である。

［０１６９］

なお、図５Ｂ、図６Ａ、及び図６Ｂでは、半導体層１１３ａを単層構造で示しているが、本発明の一態様はこれに限られない。半導体層１１３ａを、２層以上の積層構造としてもよい。

［０１７０］

トランジスタ４１のゲート絶縁層として機能する絶縁層１０５ａは、開口１２１ａを覆い、開口１２１ａの内部に位置する領域を有するように設けられる。絶縁層１０５ａは、半導体層１１３ａ上、導電層１１２ａ上、及び絶縁層１０３ａ上に設けられる。絶縁層１０５ａは、半導体層１１３ａの上面と接する領域、半導体層１１３ａの側面と接する領域、導電層１１２ａの上面と接する領域、導電層１１２ａの側面と接する領域、及び、絶縁層１０３ａの上面と接する領域を有する。絶縁層１０５ａは、半導体層１１３ａの上面、半導体層１１３ａの側面、導電層１１２ａの上面、導電層１１２ａの側面、及び、絶縁層１０３ａの上面に沿った形状を有する。これにより、絶縁層１０５ａは、開口１２１ａと重なる位置に凹部を有する。

［０１７１］

トランジスタ４１のゲート電極として機能する導電層１１５ａは、絶縁層１０５ａ上に設けられ、絶縁層１０５ａの上面と接する領域を有する。導電層１１５ａは、絶縁層１０５ａを介して、半導体層１１３ａと重なる領域を有する。ここで、半導体層１１３ａは、開口１２１ａの内部において、絶縁層１０５ａを介して、導電層１１５ａの側面及び底面を覆う構成とすることができる。例えば、開口１２１ａの内部において、絶縁層１０５ａは、半導体層１１３ａの側面と接する領域、半導体層１１３ａの凹部上面と接する領域、導電層１１５ａの側面と接する領域、及び、導電層１１５ａの底面

と接する領域を有する。

［０１７２］

上述のように、導電層１１５ａは、半導体層１１３ａ及び絶縁層１０５ａを介して、開口１２１ａを埋め込むように設けられる。したがって、開口１２１ａの深さ、開口径、半導体層１１３ａの膜厚、絶縁層１０５ａの膜厚、導電層１１５ａの膜厚等の各種条件によっては、導電層１１５ａの上面の一部（具体的には、導電層１１５ａの、開口１２１ａと重なる領域上）に凹部が形成される場合がある。図１Ｂ等では、導電層１１５ａが、開口１２１ａと重なる領域における上面に凹部を有している例を示している。なお、導電層１１５ａの上面は、凹部を有していなくてもよい。

［０１７３］

以上より、図５Ｂに示すトランジスタ４１は、層間絶縁層（絶縁層１０３ａ）に形成された開口（開口１２１ａ）の内部に、半導体層（半導体層１１３ａ）、ゲート絶縁層（絶縁層１０５ａ）、及びゲート電極（導電層１１５ａ）が設けられるトランジスタである。別言すると、平面視において、半導体層が、ゲート絶縁層を介して、ゲート電極を取り囲むように設けられるトランジスタである。これにより、トランジスタ４１のチャネル長方向を、断面視において、開口１２１ａ内における絶縁層１０３ａの側面に沿った方向とすることができる。よって、チャネル長が、トランジスタ４１の作製に用いる露光装置の性能に影響されなくなるため、チャネル長を露光装置の限界解像度よりも小さくすることができる。したがって、トランジスタ４１を微細化することができる。なお、例えば、図５Ａでは、開口１２１ａの全体が、導電層１１１ａ、半導体層１１３ａ、及び導電層１１５ａと重なる領域を有する例を示しているが、開口１２１ａの一部が、導電層１１１ａ、半導体層１１３ａ、及び導電層１１５ａのうち、少なくとも１つと重ならなくてもよい。

［０１７４］

トランジスタ４１は、半導体層１１３ａよりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層１１３ａの下面（絶縁層１０１側の面）が、ソース電極及びドレイン電極のそれぞれと接することから、ＴＧＢＣ（Ｔｏｐ　Ｇａｔｅ　Ｂｏｔｔｏｍ　Ｃｏｎｔａｃｔ）型のトランジスタということができる。

［０１７５］

図５Ｂ等に示すように、絶縁層１０５ａの一部は、開口１２１ａの外、つまり、導電層１１２ａ上、及び絶縁層１０３ａ上に位置する。このとき、絶縁層１０５ａは、半導体層１１３ａの側端部を覆うことが好ましい。これにより、導電層１１５ａと半導体層１１３ａがショートするのを防ぐことができる。また、絶縁層１０５ａは、導電層１１２ａの側端部を覆うことが好ましい。これにより、導電層１１５ａと導電層１１２ａがショートするのを防ぐことができる。

［０１７６］

また、図５Ｂ等に示すように、導電層１１５ａの一部は、開口１２１ａの外、つまり、導電層１１２ａ上、及び、絶縁層１０３ａ上に位置する。なお、図５Ｂ等では、導電層１１５ａの側端部が、半導体層１１３ａの側端部より内側に位置する例を示しているが、この限りではない。導電層１１５ａの側端部は、半導体層１１３ａの側端部より外側に位置していてもよい。

［０１７７］

絶縁層１０５ａの上面、導電層１１５ａの側面、及び、導電層１１５ａの上面に接して、絶縁層１０７ａが設けられる。絶縁層１０７ａ上には、絶縁層１３５が設けられる。絶縁層１３５上には、導電層１１５ａと重なる領域を有するように、導電層１４１が設けられる。なお、導電層１４１は、平

面視にて、絶縁層１０３ｂ及び導電層１１２ｂに設けられた開口１２１ｂとの間に間隔を有して設けられる。

［０１７８］

容量５１は、導電層１１５ａと、導電層１４１と、絶縁層１０７ａの一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）と、絶縁層１３５の一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）と、を有する。また、容量５１は、上記に加えて、トランジスタ４２のゲート電極として機能する導電層１１５ｂの一部（開口１２１ｂ内に位置する部分）と、導電層１１５ｂの当該一部と導電層１４１とに挟まれた領域における、トランジスタ４１上の絶縁層１０３ｂ、トランジスタ４２の半導体層として機能する半導体層１１３ｂ、及び、トランジスタ４２のゲート絶縁層として機能する絶縁層１０５ｂと、を有する。

［０１７９］

導電層１１５ａは、容量５１の一方の電極として機能する。導電層１４１は、容量５１の他方の電極として機能する。絶縁層１０７ａの一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）、及び、絶縁層１３５の一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）は、容量５１の誘電体層として機能する。

［０１８０］

また、上記に加えて、導電層１１５ｂの一部（開口１２１ｂ内に位置する部分）は、容量５１の電極としても機能し得る。導電層１４１と、導電層１１５ｂの当該一部と、に挟まれた領域における絶縁層１０３ｂ、半導体層１１３ｂ、及び絶縁層１０５ｂは、容量５１の誘電体層としても機能し得る。導電層１４１の膜厚が厚いほど、導電層１４１と、導電層１１５ｂの当該一部と、に挟まれる領域が増えるため、容量５１の容量値を大きくすることができる。

［０１８１］

すなわち、本発明の一態様の記憶装置では、導電層１４１と導電層１１５ａとの間、及び、導電層１４１と導電層１１５ｂの一部（開口１２１ｂ内に位置する部分）との間の２箇所に、容量として機能し得る領域を有し、当該２箇所を合わせて容量５１であるということができる。容量５１がこのような構成を有することで、導電層１４１が微細な上面形状を有する場合であっても、導電層１４１の膜厚を調整することによって、本発明の一態様の記憶装置を動作させるために必要な容量値を確保することができる。

［０１８２］

トランジスタ４１上、及び、容量５１上には、絶縁層１０３ｂが設けられる。

［０１８３］

絶縁層１０７ａは、容量５１の誘電体層として機能するとともに、不純物がトランジスタ４１に拡散することを抑制する機能を有する。例えば、不純物が半導体層１１３ａに拡散することを抑制する機能を有する。

［０１８４］

絶縁層１３５は、前述のように、容量５１の誘電体層としての機能を有する。絶縁層１３５には、例えば、後述する［絶縁体］の項目に記載の比誘電率が高い材料、いわゆるｈｉｇｈ－ｋ材料を用いることが好ましい。絶縁層１３５に比誘電率が高い材料を用いることで、容量５１の容量値を大きくすることができる。そのため、データの保持時間の長い記憶装置を実現することができる。また、データの保持時間が延びることで、定期的なデータ書き換え（リフレッシュ動作）の頻度を減らすこと

ができるため、消費電力の低い記憶装置を実現することができる。

［０１８５］

また、絶縁層１３５には、例えば、後述する強誘電性を有し得る材料を用いてもよい。絶縁層１３５に強誘電性を有し得る材料を用いることで、不揮発性の記憶装置を実現することができる。そのため、上述のリフレッシュ動作が不要となり、さらに消費電力の低い記憶装置を実現することができる。

［０１８６］

なお、絶縁層１０３ｂの一部も容量５１の誘電体層として機能し得るが、前述のように、絶縁層１０３ｂは層間絶縁層としての機能も有する。したがって、絶縁層１０３ｂには、［絶縁体］の項目に記載の比誘電率が低い材料を用いることが好ましい。絶縁層１０３ｂに比誘電率が低い材料を用いることで、記憶装置の配線間に生じる寄生容量を低減することができる。同様の理由で、絶縁層１０３ａについても、比誘電率が低い材料を用いることが好ましい。

［０１８７］

トランジスタ４２は、導電層１１５ａと、導電層１１２ｂと、半導体層１１３ｂと、絶縁層１０５ｂと、導電層１１５ｂと、を有する。

［０１８８］

導電層１１５ａは、トランジスタ４２のソース電極又はドレイン電極の一方として機能する。導電層１１２ｂは、トランジスタ４２のソース電極又はドレイン電極の他方として機能する。絶縁層１０５ｂは、トランジスタ４２のゲート絶縁層として機能する。導電層１１５ｂは、トランジスタ４２のゲート電極として機能する。

［０１８９］

なお、導電層１１５ａは、前述したように、トランジスタ４１のゲート電極としても機能する。したがって、図５Ａ乃至図６Ｂに示す記憶装置においては、導電層１１５ａが、トランジスタ４１のゲート電極としての機能と、トランジスタ４２のソース電極又はドレイン電極の一方としての機能と、を兼ね備える。

［０１９０］

導電層１１５ａ上には、絶縁層１０３ｂが設けられる。絶縁層１０３ｂ上には、導電層１１２ｂが設けられる。導電層１１５ａと、導電層１１２ｂと、は絶縁層１０３ｂを介して、互いに重なる領域を有する。

［０１９１］

導電層１１２ｂ、絶縁層１０３ｂ、絶縁層１３５、及び絶縁層１０７ａは、導電層１１５ａに達する開口１２１ｂを有する。図５Ａでは、開口１２１ｂの形状が、平面視において円形である例を示している。なお、開口１２１ｂは、開口１２１ａが取り得る形状と同様の形状とすることができる。

［０１９２］

トランジスタ４２の構成は、上述したソース電極又はドレイン電極の一方の構成以外は、前述のトランジスタ４１の構成と同様の構成とすることができる。トランジスタ４２の構成の説明は、上述したソース電極又はドレイン電極の一方の構成以外は、トランジスタ４１、絶縁層１０３ａ、絶縁層１０５ａ、導電層１１２ａ、半導体層１１３ａ、及び導電層１１５ａを、それぞれ、トランジスタ４２、絶縁層１０３ｂ、絶縁層１０５ｂ、導電層１１２ｂ、半導体層１１３ｂ、及び導電層１１５ｂに置き換え、適宜必要な読み替えを行うことにより、トランジスタ４１の構成の説明を参照することができる。

［０１９３］

本明細書等において、絶縁層１０３ａ及び絶縁層１０３ｂを、まとめて絶縁層１０３という場合がある。また、絶縁層１０５ａ及び絶縁層１０５ｂを、まとめて絶縁層１０５という場合がある。また、絶縁層１０７ａ及び絶縁層１０７ｂを、まとめて絶縁層１０７という場合がある。また、導電層１１２ａ及び導電層１１２ｂを、まとめて導電層１１２という場合がある。また、半導体層１１３ａ及び半導体層１１３ｂを、まとめて半導体層１１３という場合がある。また、導電層１１５ａ及び導電層１１５ｂを、まとめて導電層１１５という場合がある。また、開口１２１ａ及び開口１２１ｂを、まとめて開口１２１という場合がある。

［０１９４］

導電層１１５ｂ上及び絶縁層１０５ｂ上には、絶縁層１０７ｂが設けられる。絶縁層１０７ｂは、導電層１１５ｂの上面及び側面を覆うように設けることができる。絶縁層１０７ｂは、不純物がトランジスタ４２に拡散することを抑制する機能を有する。例えば、不純物が半導体層１１３ｂに拡散することを抑制する機能を有する。

［０１９５］

以上のように、本発明の一態様の記憶装置では、トランジスタ４１と、容量５１と、トランジスタ４２と、をそれぞれ積層して設ける。また、トランジスタ４１及びトランジスタ４２は、それぞれ、層間絶縁層に形成された開口の内部に半導体層、ゲート絶縁層、及びゲート電極を設け、当該開口下にソース電極又はドレイン電極の一方を、層間絶縁層上にソース電極又はドレイン電極の他方を設ける。これにより、記憶装置の平面視における占有面積を小さくすることができる。よって、記憶装置を微細化することができる。したがって、本発明の一態様により、高集積化が可能な記憶装置を提供することができる。

［０１９６］

また、本発明の一態様の記憶装置では、トランジスタ４２は、平面視にて、トランジスタ４１と完全に重なるように積層して設ける（平面視にて、開口１２１ｂが、開口１２１ａと完全に重なるように設ける、と別言してもよい。）のではなく、一部が重なるように積層して設ける。すなわち、図５Ｂ等に示すように、トランジスタ４２は、トランジスタ４１の斜め上方に位置するように積層して設ける（開口１２１ｂを、開口１２１ａの斜め上方に位置するように設ける、と別言してもよい。）。また、このとき、図５Ａに示すように、平面視にて、開口１２１ａと、開口１２１ｂと、が重ならないように（すなわち、開口１２１ａと、開口１２１ｂと、の間にわずかでも間隔を有するように）、トランジスタ４２をトランジスタ４１上に積層して設けることが好ましい。これにより、開口１２１ｂ内における半導体層１１３ｂの下面と、導電層１１５ａの概略平坦な上面と、を接触させることができるため、導電層１１５ａ上の凹部に起因した、半導体層１１３ｂと、導電層１１５ａと、の間の接触不良が生じる懸念がない。したがって、電気特性の良好な記憶装置を提供することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

［０１９７］

また、トランジスタ４１及びトランジスタ４２を、上述のような配置関係にすることで、導電層１１５ａの上面を平坦化する工程が不要になる。そのため、全体の工程数を削減することができ、低価格な記憶装置を実現することができる。

［０１９８］

また、本発明の一態様の記憶装置では、トランジスタ４１の構成要素の一部が、トランジスタ４２

の構成要素の一部も兼ねる。また、トランジスタ４１の構成要素の一部が、容量５１の構成要素の一部も兼ねる。また、トランジスタ４２の構成要素の一部が、容量５１の構成要素の一部も兼ねる。

［０１９９］

したがって、本発明の一態様の記憶装置では、トランジスタ４１と、トランジスタ４２と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量５１と、トランジスタ４１と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量５１と、トランジスタ４２と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。このため、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

［０２００］

なお、図５Ｂ乃至図６Ｂに示す断面図において、各層の境界は明確に確認できない場合がある。例えば、互いに接する２つの絶縁層の境界は、明確に視認できない場合がある。また、互いに接する２つの導電層の境界は、明確に視認できない場合がある。さらに、互いに接する２つの半導体層の境界は、明確に視認できない場合がある。

［０２０１］

図７Ａは、図５Ｂに示すトランジスタ４１、及び、その近傍の拡大図である。また、図７Ａに示すトランジスタの、ＸＹ面の平面図を、図７Ｂに示す。なお、図７Ｂには、導電層１１１ａは示していない。図７Ａに示す構成は、導電層１１１ａを導電層１１５ａに置き換えることによって、トランジスタ４２にも適用することができる。図７Ｂに示す構成は、トランジスタ４１とトランジスタ４２の双方に適用することができる。

［０２０２］

図７Ａに示すように、半導体層１１３は、領域１１３ｉと、領域１１３ｉを挟むように設けられる領域１１３ｎａ及び領域１１３ｎｂと、を有する。

［０２０３］

領域１１３ｎａは、半導体層１１３の導電層１１１ａと接する領域である。領域１１３ｎａの少なくとも一部は、トランジスタのソース領域又はドレイン領域の一方として機能する。領域１１３ｎｂは、半導体層１１３の導電層１１２と接する領域である。領域１１３ｎｂの少なくとも一部は、トランジスタのソース領域又はドレイン領域の他方として機能する。図７Ｂに示すように、導電層１１２は、半導体層１１３の外周全体に接する。よって、トランジスタのソース領域又はドレイン領域の他方は、半導体層１１３の、導電層１１２と同じ高さに形成される部分の外周全体に形成され得る。

［０２０４］

領域１１３ｉは、半導体層１１３の、領域１１３ｎａと、領域１１３ｎｂと、の間の領域である。領域１１３ｉの少なくとも一部が、トランジスタのチャネル形成領域として機能する。つまり、トランジスタのチャネル形成領域は、半導体層１１３の、導電層１１１ａと、導電層１１２と、の間の領域に位置する。また、トランジスタのチャネル形成領域は、半導体層１１３の、絶縁層１０３と接する領域又はその近傍の領域に位置する、ともいえる。

［０２０５］

トランジスタのチャネル長は、ソース領域と、ドレイン領域と、の間の距離となる。つまり、トランジスタのチャネル長は、導電層１１１ａ上の絶縁層１０３の厚さによって決定される、ということができる。図７Ａは、トランジスタのチャネル長Ｌを実線の両矢印で示している。チャネル長Ｌは、

断面視において、半導体層１１３と導電層１１１ａが接する領域の端部と、半導体層１１３と導電層１１２が接する領域の端部と、の距離となる。つまり、チャネル長Ｌは、断面視における絶縁層１０３の開口１２１側の側面の長さに相当する。

［０２０６］

プレーナ型のトランジスタでは、例えば、チャネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁層１０３の膜厚でチャネル長を設定することができる。よって、トランジスタのチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、１ｎｍ以上６０ｎｍ以下、５ｎｍ以上５０ｎｍ以下、５ｎｍ以上４０ｎｍ以下、５ｎｍ以上３０ｎｍ以下、５ｎｍ以上２０ｎｍ以下、又は５ｎｍ以上１０ｎｍ以下）にすることができる。これにより、トランジスタのオン電流が大きくなり、周波数特性の向上を図ることができる。よって、動作速度が速い記憶装置を提供することができる。例えば、記憶装置の読み出し速度及び書き込み速度を向上させることができる。

［０２０７］

ここで、詳細は後述するが、半導体層に金属酸化物を用いたトランジスタは、短チャネル効果に対する耐性が、半導体層にシリコンを用いたトランジスタより高い。また、上述のように、例えば、図７Ａ及び図７Ｂに示す構成のトランジスタは、プレーナ型のトランジスタよりチャネル長を短くすることができる。以上より、トランジスタを、例えば、図７Ａ及び図７Ｂに示す構成とする場合、半導体層１１３には、金属酸化物を用いることが好ましい。なお、半導体層１１３として、シリコン等、金属酸化物以外の材料を用いてもよい。

［０２０８］

さらに、上記のように、開口１２１に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、ＸＹ平面上に別々に設けられていた、プレーナ型のトランジスタと比較して、トランジスタの占有面積を低減することができる。これにより、記憶装置を高集積化することができるため、単位面積当たりの記憶容量を大きくすることができる。

［０２０９］

また、図７Ｂに示すように、半導体層１１３のチャネル形成領域を含むＸＹ平面において、半導体層１１３、絶縁層１０５、及び導電層１１５は、同心円状に設けられる。よって、中心に設けられた導電層１１５の側面は、絶縁層１０５を介して、半導体層１１３の側面と対向する。つまり、平面視において、半導体層１１３の内周全体がチャネル形成領域になる。このとき、例えば、半導体層１１３の外周の長さによって、トランジスタのチャネル幅が決まる。つまり、トランジスタのチャネル幅は、開口１２１の最大幅（平面視において、開口１２１が円形である場合は、直径）の大きさによって決定される、ということができる。図７Ａ及び図７Ｂは、開口１２１の最大幅Ｄを二点鎖線の両矢印で示している。図７Ｂは、トランジスタのチャネル幅Ｗを一点鎖線の両矢印で示している。開口１２１の最大幅Ｄを大きくすることで、チャネル幅を大きくし、オン電流を大きくすることができる。

［０２１０］

開口１２１の最大幅Ｄは、例えば、５ｎｍ以上１００ｎｍ以下、１０ｎｍ以上６０ｎｍ以下、２０ｎｍ以上５０ｎｍ以下、２０ｎｍ以上４０ｎｍ以下、又は２０ｎｍ以上３０ｎｍ以下が好ましい。これにより、プレーナ型のトランジスタを用いる場合よりも、微細な記憶装置を実現することができる。また、集積度の高い記憶装置を実現することができる。なお、上述のように、平面視において開口１

２１が円形である場合、開口１２１の最大幅Ｄは開口１２１の直径に相当し、チャネル幅Ｗは“Ｄ×π”と算出することができる。

［０２１１］

また、本発明の一態様の記憶装置においては、トランジスタのチャネル長Ｌは、少なくとも、トランジスタのチャネル幅Ｗよりも小さいことが好ましい。本発明の一態様に係るトランジスタのチャネル長Ｌは、トランジスタのチャネル幅Ｗに対し、０．１倍以上０．９９倍以下、好ましくは０．５倍以上０．８倍以下である。このような構成にすることで、良好な電気特性、及び、高い信頼性を有するトランジスタを実現することができる。

［０２１２］

なお、半導体層１１３、絶縁層１０５、及び導電層１１５を同心円状に設けることにより、導電層１１５と、半導体層１１３と、の距離が概略均一になる。よって、半導体層１１３に対して、導電層１１５からゲート電界を概略均一に印加することができる。

［０２１３］

開口１２１の側壁は、例えば、導電層１１１ａの上面に対して、垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。なお、開口１２１の側壁が、テーパ形状になっていてもよい。

［０２１４］

＜記憶装置の構成例２＞

図８Ａ及び図８Ｂに、図５Ａ及び図５Ｂに示すものとは異なる本発明の一態様の記憶装置の構成例を示す。図８Ａは、記憶装置の一部の構成例を示す平面図である。図８Ｂは、図８Ａに示す一点鎖線Ａ１－Ａ２の断面図である。なお、図８Ａに示す一点鎖線Ａ３－Ａ４の断面図については、図６Ａを参照することができる。また、図８Ａに示す一点鎖線Ａ５－Ａ６の断面図については、図６Ｂを参照することができる。

［０２１５］

図８Ａ及び図８Ｂに示す記憶装置は、容量５１の構成が、図５Ａ及び図５Ｂに示す記憶装置とは異なる。

［０２１６］

具体的には、図８Ａ及び図８Ｂに示す記憶装置では、容量５１の開口１２１ｂに面しない側の端部が、図５Ａ及び図５Ｂに示す記憶装置よりも外側に位置している。

［０２１７］

図８Ａ及び図８Ｂに示す記憶装置が有する容量５１は、導電層１４１の開口１２１ｂに面しない側の端部が、導電層１１５ａの端部よりも外側に延伸し、導電層１４１は、導電層１１５ａだけでなく、導電層１１２ａ、及び、絶縁層１０３ａとも重なる領域を有する。したがって、導電層１４１は、絶縁層１０７ａ及び絶縁層１３５を介して、導電層１１５ａの上面、導電層１１５ａの側面、導電層１１２ａの上面、導電層１１２ａの側面、及び、絶縁層１０３ａの上面と重なる領域を有する。

［０２１８］

この場合、図５Ａ及び図５Ｂに示す容量５１の構成に加えて、導電層１４１と、導電層１１５ａの側面と、に挟まれた領域も、容量５１の一部として機能し得る。また、導電層１４１と、導電層１１５ａの外側に位置する導電層１１２ａの上面と、に挟まれた領域も、容量５１の一部として機能し得る。また、導電層１４１と、導電層１１２ａの側面と、に挟まれた領域も、容量５１の一部として機

能し得る。
［０２１９］
したがって、図８Ａ及び図８Ｂに示す容量５１は、図５Ａ及び図５Ｂに示す容量５１よりも、容量値を大きくすることができる。そのため、図８Ａ及び図８Ｂに示す記憶装置を用いる場合、図５Ａ及び図５Ｂに示す記憶装置を用いる場合よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。
［０２２０］
また、図８Ａ及び図８Ｂに示す容量５１は、図５Ａ及び図５Ｂに示す容量５１よりも平面視における面積が大きく、図５Ａ及び図５Ｂに示す容量５１よりも、導電層１４１の加工精度を求められない。したがって、記憶装置の歩留まりを高くすることができる。
［０２２１］
図８Ａ及び図８Ｂに示す記憶装置において、上述した相違点以外については、図５Ａ及び図５Ｂに示す記憶装置で説明した内容を参照することができる。
［０２２２］
＜記憶装置の構成例３＞
図９Ａ乃至図１０に、先に説明した構成とは異なる本発明の一態様の記憶装置の構成例を示す。図９Ａは、記憶装置の一部の構成例を示す平面図である。図９Ｂは、図９Ａに示す一点鎖線Ａ１－Ａ２の断面図であり、図１０は、図９Ａに示す一点鎖線Ａ３－Ａ４の断面図である。なお、図９Ａに示す一点鎖線Ａ５－Ａ６の断面図については、図８Ｂを参照することができる。
［０２２３］
図９Ａ乃至図１０に示す記憶装置は、容量５１の構成が、先に説明した記憶装置とは異なる。
［０２２４］
具体的には、先に説明した記憶装置では、導電層１４１が、平面視にて、導電層１１５ａの一部と重なる構成を有しているが、図９Ａ乃至図１０に示す記憶装置では、導電層１４１が、平面視にて、開口１２１ｂを取り囲むように導電層１１５ａの上面全面と重なる構成を有している。
［０２２５］
図９Ａ乃至図１０に示す記憶装置では、導電層１４１が、平面視にて、開口１２１ｂと重なる領域に開口１２７を有する。開口１２７は、開口１２１ｂを包含するように設けられている。すなわち、図９Ａ乃至図１０に示す記憶装置では、導電層１４１が、平面視にて、開口１２７と重畳する領域を除く導電層１１５ａの上面全面と重なる領域を有する。
［０２２６］
なお、図９Ａでは、開口１２７の形状が、平面視において円形である例を示しているが、これに限定されない。例えば、開口１２７の上面形状は、楕円形、四角形等の多角形、又は角の丸い多角形としてもよい。また、図９Ａでは、開口１２７の上面形状と、開口１２１ａ及び開口１２１ｂの上面形状と、がいずれも同じ円形である例を示しているが、この限りではない。開口１２７の上面形状と、開口１２１ａ及び開口１２１ｂの上面形状と、はそれぞれ異なっていてもよい。
［０２２７］
当該構成により、図９Ａ乃至図１０に示す容量５１は、先に示した記憶装置が有する容量５１よりも大きな容量値を有することができる。そのため、図９Ａ乃至図１０に示す記憶装置は、先に示した記憶装置よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。

［０２２８］

図９Ａ乃至図１０に示す記憶装置において、上述した相違点以外については、図５Ａ乃至図６Ｂに示す記憶装置で説明した内容を参照することができる。

［０２２９］

＜記憶装置の構成例４＞

図１１Ａ乃至図１２Ｂに、先に説明した構成とは異なる本発明の一態様の記憶装置の構成例を示す。図１１Ａは、記憶装置の一部の構成例を示す平面図である。図１１Ｂは、図１１Ａに示す一点鎖線Ａ１－Ａ２の断面図である。図１２Ａは、図１１Ａに示す一点鎖線Ａ３－Ａ４の断面図である。図１２Ｂは、図１１Ａに示す一点鎖線Ａ５－Ａ６の断面図である。

［０２３０］

図１１Ａ乃至図１２Ｂに示す記憶装置は、トランジスタ４１のゲート電極として機能する導電層１１５ａの形状と、容量５１の平面視における大きさと、開口１２１ｂの形成位置と、が先に説明した記憶装置とは異なる。

［０２３１］

具体的には、先に説明した記憶装置では、導電層１１５ａが、平面視にて、導電層１１２ａの内側に位置している。一方、図１１Ａ乃至図１２Ｂに示す記憶装置では、Ｘ方向において、導電層１１５ａのＡ１側の端部が、導電層１１２ａのＡ１側の端部よりも内側に位置しているのに対して、導電層１１５ａのＡ２側の端部は、導電層１１２ａのＡ２側の端部よりも外側に延伸して設けられている。

［０２３２］

また、図１１Ａ乃至図１２Ｂに示す記憶装置では、Ｘ方向において、導電層１４１のＡ２側の端部が、導電層１１２ａのＡ２側の端部よりも外側に位置しており、容量５１の平面視における大きさ（導電層１４１が、絶縁層１０７ａ及び絶縁層１３５を介して、導電層１１５ａと重なる領域の面積）が、図５Ａ乃至図６Ｂに示す記憶装置よりも大きい。

［０２３３］

また、先に説明した記憶装置では、開口１２１ｂが、平面視にて、導電層１１２ａ及び導電層１１５ａの双方と重なる領域を有するように形成されているが、図１１Ａ乃至図１２Ｂに示す記憶装置では、開口１２１ｂが、Ｘ方向において、導電層１１２ａのＡ２側の端部よりも外側に位置し、導電層１１５ａの導電層１１２ａよりもＡ２側に延伸した部分と重なる領域を有するように形成されている。

［０２３４］

図１１Ａ乃至図１２Ｂに示す記憶装置が、上述の構成を有することにより、図５Ａ乃至図６Ｂに示す記憶装置よりも、容量値の大きい容量５１を有することができる。そのため、図１１Ａ乃至図１２Ｂに示す記憶装置を用いる場合、先に示した記憶装置を用いる場合よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。

［０２３５］

また、前述のように、図１１Ａ乃至図１２Ｂに示す記憶装置では、開口１２１ｂが、Ｘ方向において、導電層１１２ａよりもＡ２側に延伸した導電層１１５ａの領域上に重なって設けられる。当該領域は、図１１Ｂに示すように、概略平坦な上面を有する。したがって、半導体層１１３ｂの下面を、導電層１１５ａの上面に確実に接触させることができ、両者間で接触不良が生じることを抑制することができる。

［０２３６］

なお、先に説明した記憶装置においても、半導体層１１３ｂが、導電層１１２ａと重なる領域における、導電層１１５ａの概略平坦な上面と接触する構成ではあるが、トランジスタ４１の微細化の観点から、当該上面の面積は可能な限り小さいことが好ましい。そのため、開口１２１ｂを当該上面と確実に重なるように形成するためには、高い加工精度が求められる。一方、図１１Ａ乃至図１２Ｂに示す記憶装置では、導電層１１５ａをＡ２側に延伸させることで、導電層１１２ａよりも外側の領域において、導電層１１５ａの上面が概略平坦な部分を十分確保することができる。そのため、先に説明した記憶装置の作製時よりも低い加工精度であっても、半導体層１１３ｂの下面を、導電層１１５ａの上面に確実に接触させることができる。したがって、先に説明した記憶装置よりも、歩留まりの高い記憶装置の作製方法を提供することができる。

［０２３７］

図１１Ａ乃至図１２Ｂに示す記憶装置において、上述した相違点以外については、図５Ａ乃至図６Ｂに示す記憶装置で説明した内容を参照することができる。

［０２３８］

＜記憶装置の構成例５＞

図１３Ａ乃至図１４Ｂに、先に説明した記憶装置とは異なる本発明の一態様の記憶装置の構成例を示す。なお、以下では、本発明の一態様の記憶装置の構成要素のうち、平面視における半導体層１１３ａと半導体層１１３ｂとの位置関係、及び、平面視における開口１２１ａと開口１２１ｂとの位置関係に焦点を絞って説明する。

［０２３９］

図１３Ａ乃至図１４Ｂは、本発明の一態様の記憶装置における半導体層１１３ａと半導体層１１３ｂとの位置関係、及び、開口１２１ａと開口１２１ｂとの位置関係を示す平面概略図である。各図では、見やすさのため、記憶装置における半導体層１１３及び開口１２１以外の構成要素については、図示を省略している。

［０２４０］

図１３Ａは、トランジスタ４１の半導体層１１３ａに対して、トランジスタ４２の半導体層１１３ｂが、Ｘ方向（Ａ２側）に少しずれた状態で重なって積層され、かつ、トランジスタ４１が有する開口１２１ａと、トランジスタ４２が有する開口１２１ｂと、が平面視にて、重ならないように（すなわち、開口１２１ａと、開口１２１ｂと、の間にわずかに間隔を有するように）設けられている構成例である。これは、前述の図５Ａ乃至図１０に示す各記憶装置の構成に該当する。当該構成を適用することによる効果は、前述した図５Ａ乃至図１０に示す各記憶装置が有することのできる効果に係る記載を参照することができる。

［０２４１］

図１３Ｂは、トランジスタ４１の半導体層１１３ａに対して、トランジスタ４２の半導体層１１３ｂが、Ｙ方向（Ａ４側）に少しずれた状態で重なって積層され、かつ、トランジスタ４１が有する開口１２１ａと、トランジスタ４２が有する開口１２１ｂと、が平面視にて、重ならないように（すなわち、開口１２１ａと、開口１２１ｂと、の間にわずかに間隔を有するように）設けられている構成例である。当該構成を適用することによる効果についても、前述した図５Ａ乃至図１０に示す各記憶装置が有することのできる効果に係る記載を参照することができる。

［０２４２］

図１３Ｃは、トランジスタ４１の半導体層１１３ａに対して、トランジスタ４２の半導体層１１３ｂが、Ｘ方向（Ａ２側）及びＹ方向（Ａ４側）の双方に少しずつずれた状態で重なって積層され、かつ、トランジスタ４１が有する開口１２１ａと、トランジスタ４２が有する開口１２１ｂと、が平面視にて、重ならないように（すなわち、開口１２１ａと、開口１２１ｂと、の間にわずかに間隔を有するように）設けられている構成例である。図１３Ａに示す構成例と、図１３Ｂに示す構成例と、を組み合わせた構成例であるともいえる。当該構成を適用することによる効果についても、前述した図５Ａ乃至図１０に示す各記憶装置が有することのできる効果に係る記載を参照することができる。また、これに加えて、半導体層１１３ａに対する半導体層１１３ｂの位置合わせ精度が、図１３Ａ及び図１３Ｂに示す構成例ほど求められない。よって、図１３Ａ及び図１３Ｂに示す構成例よりも、歩留まりの高い記憶装置の作製方法を提供することができる。

［０２４３］

図１４Ａは、図１３Ａに示す構成例において、トランジスタ４２の半導体層１１３ｂを、開口１２１ｂを中心に４５度回転させた構成であるといえる。当該構成を適用することによる効果についても、前述した図５Ａ乃至図１０に示す各記憶装置が有することのできる効果に係る記載を参照することができる。また、これに加えて、半導体層１１３ａに対する半導体層１１３ｂの位置合わせ精度が、図１３Ａ及び図１３Ｂに示す構成例ほど求められない。よって、図１３Ａ及び図１３Ｂに示す構成例よりも、歩留まりの高い記憶装置の作製方法を提供することができる。なお、図１４Ａでは、図１３Ａに示す構成例において、トランジスタ４２の半導体層１１３ｂを、開口１２１ｂを中心に４５度回転させた構成例を示したが、回転角は４５度に限定しなくてもよい。

［０２４４］

図１４Ｂは、図１４Ａに示す構成例において、トランジスタ４２の半導体層１１３ｂを、Ｙ方向（Ａ４側）に少しずらした構成例である。当該構成を適用することによる効果についても、前述した図５Ａ乃至図１０に示す各記憶装置が有することのできる効果に係る記載を参照することができる。また、これに加えて、半導体層１１３ａに対する半導体層１１３ｂの位置合わせ精度が、図１３Ａ及び図１３Ｂに示す構成例ほど求められない。よって、図１３Ａ及び図１３Ｂに示す構成例よりも、歩留まりの高い記憶装置の作製方法を提供することができる。

［０２４５］

なお、図１３Ａ乃至図１４Ｂでは、半導体層１１３ａ及び半導体層１１３ｂの上面形状をいずれも四角形で示しているが、この限りではない。半導体層１１３ａ及び半導体層１１３ｂの上面形状は、円形、楕円形、四角形以外の多角形、角の丸い多角形のいずれかであってもよい。また、半導体層１１３ａ及び半導体層１１３ｂの上面形状は、それぞれ、同じであってもよく、異なっていてもよい。

［０２４６］

また、図１３Ａ乃至図１４Ｂでは、平面視において、開口１２１ａと開口１２１ｂが重ならない（開口１２１ａと、開口１２１ｂと、の間に間隔を有する）例を示したが、開口１２１ｂが、導電層１１５ａの概略平坦な上面と重なるように形成されるのであれば、開口１２１ａと開口１２１ｂが重なる領域を有していてもよい。

［０２４７］

＜記憶装置の構成例６＞

本発明の一態様の記憶装置において、導電層１１１ａ、導電層１１２ａ、導電層１１２ｂ、及び導電層１１５ｂは、それぞれ、半導体装置が有するトランジスタの各電極（ソース電極、ドレイン電極、

又はゲート電極）として機能するとともに、延伸して配線としても機能し得る。図５Ａ乃至図１２Ｂに示す記憶装置では、導電層１１１ａ、導電層１１２ａ、及び導電層１１２ｂがＹ方向に延伸し、導電層１１５ｂがＸ方向に延伸する例を示しているが、この限りではない。絶縁層を介して、同じ方向に延伸する導電層に挟まれた領域は、寄生容量として機能し得る。寄生容量が大きいと、記憶装置の動作を鈍らせる等の悪影響を誘発する恐れがある。そのため、可能な限り、寄生容量が低減された記憶装置構成とすることが好ましい。したがって、本発明の一態様の記憶装置では、上述した配線としても機能し得る各導電層の延伸方向の組み合わせを、様々な構成とすることができる。これにより、各配線間に生じる寄生容量を低減することができる。

［０２４８］

図１５Ａ乃至図１６Ｈに、先に説明した記憶装置とは異なる本発明の一態様の記憶装置の構成例を示す。なお、以下では、本発明の一態様の記憶装置の構成要素のうち、平面視における配線（導電層１１１ａ、導電層１１２ａ、導電層１１２ｂ、及び導電層１１５ｂ）の延伸方向の位置関係に焦点を絞って説明する。また、各図中では、上記配線に加えて、導電層１４１及び導電層１１５ａについても示している。

［０２４９］

図１５Ａは、導電層１４１、導電層１１１ａ、導電層１１２ａ、及び導電層１１２ｂがＹ方向に延伸し、導電層１１５ｂがＸ方向に延伸する構成例である。これは、前述の図５Ａ乃至図１２Ｂに示す各記憶装置の構成に該当する。当該構成とすることにより、導電層１１５ｂと、それ以外の導電層（導電層１４１、導電層１１１ａ、導電層１１２ａ、及び導電層１１２ｂ）と、の間の寄生容量を低減することができる。

［０２５０］

図１５Ｂは、導電層１４１、導電層１１１ａ、及び導電層１１２ａがＹ方向に延伸し、導電層１１２ｂ及び導電層１１５ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１２ｂ及び導電層１１５ｂのそれぞれと、導電層１４１、導電層１１１ａ、及び導電層１１２ａのそれぞれと、の間の寄生容量を低減することができる。

［０２５１］

図１５Ｃは、導電層１４１、導電層１１１ａ、及び導電層１１５ｂがＹ方向に延伸し、導電層１１２ａ及び導電層１１２ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１２ａ及び導電層１１２ｂのそれぞれと、導電層１４１、導電層１１１ａ、及び導電層１１５ｂのそれぞれと、の間の寄生容量を低減することができる。

［０２５２］

図１５Ｄは、導電層１４１、導電層１１２ｂ、及び導電層１１５ｂがＹ方向に延伸し、導電層１１１ａ及び導電層１１２ａがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１１ａ及び導電層１１２ａのそれぞれと、導電層１４１、導電層１１２ｂ、及び導電層１１５ｂのそれぞれと、の間の寄生容量を低減することができる。

［０２５３］

図１５Ｅは、導電層１４１、導電層１１１ａ、及び導電層１１２ｂがＹ方向に延伸し、導電層１１２ａ及び導電層１１５ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１２ａ及び導電層１１５ｂのそれぞれと、導電層１４１、導電層１１１ａ、及び導電層１１２ｂのそれぞれと、の間の寄生容量を低減することができる。

［０２５４］

図１５Ｆは、導電層１４１及び導電層１１５ｂがＹ方向に延伸し、導電層１１１ａ、導電層１１２ａ、及び導電層１１２ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１１ａ、導電層１１２ａ、及び導電層１１２ｂのそれぞれと、導電層１４１及び導電層１１５ｂのそれぞれと、の間の寄生容量を低減することができる。

［０２５５］

図１５Ｇは、導電層１４１、導電層１１２ａ、及び導電層１１２ｂがＹ方向に延伸し、導電層１１１ａ及び導電層１１５ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１１ａ及び導電層１１５ｂのそれぞれと、導電層１４１、導電層１１２ａ、及び導電層１１２ｂのそれぞれと、の間の寄生容量を低減することができる。

［０２５６］

図１５Ｈは、導電層１４１及び導電層１１２ａがＹ方向に延伸し、導電層１１１ａ、導電層１１２ｂ、及び導電層１１５ｂがＸ方向に延伸する構成例である。当該構成とすることにより、導電層１１１ａ、導電層１１２ｂ、及び導電層１１５ｂのそれぞれと、導電層１４１及び導電層１１２ａのそれぞれと、の間の寄生容量を低減することができる。

［０２５７］

図１５Ａ乃至図１５Ｈでは、配線として機能し得る各導電層が、Ｘ方向又はＹ方向のいずれかに延伸し、異なる方向に延伸する導電層同士が、平面視にて直交する例を示したが、この限りではない。当該異なる方向に延伸する導電層同士がなす角は、９０度以外であってもよい。図１６Ａ乃至図１６Ｈには、異なる方向に延伸する導電層同士のなす角度が鋭角である場合の例を示す。

［０２５８］

図１６Ａは、図１５Ａに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ａに示す構成と同様の効果を得ることができる。また、図１５Ａに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２５９］

図１６Ｂは、図１５Ｂに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｂに示す構成と同様の効果を得ることができる。また、図１５Ｂに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６０］

図１６Ｃは、図１５Ｃに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｃに示す構成と同様の効果を得ることができる。また、図１５Ｃに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６１］

図１６Ｄは、図１５Ｄに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｄに示す構成と同様の効果を得ることができる。また、図１５Ｄに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６２］

図１６Ｅは、図１５Ｅに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｅに示す構成と同様の効果を得ることができる。また、図１５Ｅに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６３］

図１６Ｆは、図１５Ｆに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｆに示す構成と同様の効果を得ることができる。また、図１５Ｆに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６４］

図１６Ｇは、図１５Ｇに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｇに示す構成と同様の効果を得ることができる。また、図１５Ｇに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６５］

図１６Ｈは、図１５Ｈに示す各導電層の位置関係において、異なる方向に延伸する導電層同士のなす角が鋭角である例を示す。当該構成とすることにより、図１５Ｈに示す構成と同様の効果を得ることができる。また、図１５Ｈに示す構成よりも各導電層の位置合わせ精度が求められず、記憶装置の作製の自由度を高めることができる。

［０２６６］

以下では、本発明の一態様の記憶装置が有するトランジスタ（トランジスタ４１、トランジスタ４２）の構成要素について説明する。

［０２６７］

［トランジスタの構成要素］

半導体層１１３（半導体層１１３ａ、半導体層１１３ｂ）として、後述する［金属酸化物］の項目に記載の金属酸化物を、単層又は積層で用いることができる。また、半導体層１１３として、後述する[その他の半導体材料]の項目に記載のシリコン等の材料を、単層又は積層で用いることができる。

［０２６８］

半導体層１１３に金属酸化物を用いる場合、半導体層１１３として、具体的には、Ｉｎ：Ｍ：Ｚｎ＝１：３：２［原子数比］若しくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］若しくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］若しくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］若しくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２［原子数比］若しくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：２［原子数比］若しくはその近傍の組成、又はＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］若しくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Ｍとして、ガリウムを用いることが好ましい。

［０２６９］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であ

ってもよい。

［０２７０］

半導体層１１３に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、誘導結合プラズマ質量分析法（ＩＣＰ－ＭＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、又は誘導結合高周波プラズマ発光分光法（ＩＣＰ－ＡＥＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ａｔｏｍｉｃ　Ｅｍｉｓｓｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。又は、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Ｍの含有率が低い場合、分析によって得られた元素Ｍの含有率が、実際の含有率より低くなる場合がある。

［０２７１］

金属酸化物の形成には、原子層堆積（ＡＬＤ:Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を好適に用いることができる。

［０２７２］

又は、金属酸化物の形成には、スパッタリング法、又は化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いてもよい。

［０２７３］

なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して５０％程度にまで減少する場合がある。

［０２７４］

半導体層１１３に用いる金属酸化物は、結晶性を有することが好ましい。結晶性を有する酸化物半導体として、ＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶酸化物半導体、及び単結晶酸化物半導体等が挙げられる。半導体層１１３として、ＣＡＡＣ－ＯＳ又はｎｃ－ＯＳを用いることが好ましく、ＣＡＡＣ－ＯＳを用いることが特に好ましい。

［０２７５］

ＣＡＡＣ－ＯＳは、複数の層状の結晶領域を有し、ｃ軸が被形成面の法線方向に配向していることが好ましい。例えば、半導体層１１３は、開口１２１（開口１２１ａ、開口１２１ｂ）の側壁、特に絶縁層１０３（絶縁層１０３ａ、絶縁層１０３ｂ）の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタのチャネル長方向に対して、半導体層１１３の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

［０２７６］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損等）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の

高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物又は酸素の拡散をより低減することができる。

［０２７７］

また、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０２７８］

また、半導体層１１３としてＣＡＡＣ－ＯＳ等の結晶性を有する酸化物を用いることで、ソース電極又はドレイン電極による、半導体層１１３からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、半導体層１１３から酸素が引き抜かれることを抑制することができるため、トランジスタは、製造工程における高い温度（いわゆるサーマルバジェット）に対して安定である。

［０２７９］

半導体層１１３の結晶性は、例えば、Ｘ線回折（ＸＲＤ：ＸＲａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）、又は電子線回折（ＥＤ：Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）により解析することができる。又は、これらの手法を複数組み合わせて分析を行ってもよい。

［０２８０］

半導体層１１３の膜厚は、例えば、１ｎｍ以上２０ｎｍ以下、３ｎｍ以上１５ｎｍ以下、５ｎｍ以上１２ｎｍ以下、又は５ｎｍ以上１０ｎｍ以下であることが好ましい。これにより、微細な径の開口１２１に対しても、被覆性良く開口１２１の側壁に対して半導体層１１３を形成することができ、トランジスタの作製歩留まりを高めることができる。

［０２８１］

なお、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、半導体層１１３を単層で示したが、本発明はこれに限られるものではない。半導体層１１３は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

［０２８２］

ゲート絶縁層として機能する絶縁層１０５（絶縁層１０５ａ、絶縁層１０５ｂ）としては、後述する［絶縁体］の項目に記載の絶縁体を、単層又は積層で用いることができる。例えば、絶縁層１０５として、酸化シリコン又は酸化窒化シリコンを用いることができる。酸化シリコン及び酸化窒化シリコンは熱に対し安定であるため、好ましい。

［０２８３］

また、絶縁層１０５として、後述する［絶縁体］の項目に記載の比誘電率が高い材料、いわゆるｈｉｇｈ－ｋ材料を用いてもよい。例えば、酸化ハフニウム又は酸化アルミニウム等を用いてもよい。

［０２８４］

絶縁層１０５の膜厚は、例えば、０．５ｎｍ以上１５ｎｍ以下とすることが好ましく、０．５ｎｍ以上１２ｎｍ以下とすることがより好ましく、０．５ｎｍ以上１０ｎｍ以下とすることがさらに好ましい。絶縁層１０５は、少なくとも一部において、上記のような膜厚の領域を有することが好ましい。これにより、微細な径の開口１２１に対しても、被覆性良く開口１２１の側壁に対して絶縁層１０５を形成することができ、トランジスタの作製歩留まりを高めることができる。

［０２８５］

絶縁層１０５中の水及び水素等の不純物濃度は、低減されていることが好ましい。これにより、半導体層１１３のチャネル形成領域への、水及び水素等の不純物の混入を抑制することができる。

［０２８６］

なお、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、絶縁層１０５を単層で示したが、本発明はこれに限られるものではない。絶縁層１０５は、積層構造であってもよい。

［０２８７］

ゲート電極として機能する導電層１１５（導電層１１５ａ、導電層１１５ｂ）としては、後述する［導電体］の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層１１５として、タングステン、アルミニウム、又は銅等の導電性が高い導電性材料を用いることができる。

［０２８８］

また、導電層１１５として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタン又は窒化タンタル等）、及び、酸素を含む導電性材料（例えば、酸化ルテニウム等）等が挙げられる。これにより、導電層１１５の導電率が低下することを抑制することができる。また、導電層１１５として、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

［０２８９］

なお、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、導電層１１５を単層で示したが、本発明はこれに限られるものではない。導電層１１５は、積層構造であってもよい。

［０２９０］

導電層１１１ａとしては、後述する［導電体］の項目に記載の導電体を、単層又は積層で用いることができる。導電層１１１ａとして、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁層１０１及び絶縁層１０３ａに接し、窒化タンタルが半導体層１１３ａに接する。このような構造にすることで、半導体層１１３ａによって導電層１１１ａが過剰に酸化されることを抑制することができる。また、絶縁層１０１及び絶縁層１０３ａに酸化物絶縁体を用いる場合、当該絶縁層によって、導電層１１１ａが過剰に酸化されることを抑制することができる。又は、導電層１１１ａとして、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

［０２９１］

また、導電層１１１ａは、半導体層１１３ａと接する領域を有するため、後述する［導電体］の項目に記載の酸素を含む導電性材料を用いることが好ましい。導電層１１１ａとして酸素を含む導電性材料を用いることで、導電層１１１ａが酸素を吸収しても導電性を維持することができる。導電層１１１ａとして、例えば、インジウムスズ酸化物（ＩＴＯともいう。）、シリコンを添加したインジウムスズ酸化物（ＩＴＳＯともいう。）、又はインジウム亜鉛酸化物（ＩＺＯ（登録商標）ともいう。）等を単層又は積層で用いることができる。

［０２９２］

また、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、導電層１１１ａの上面が平坦である構成を示しているが、本発明はこれに限られるものではない。例えば、導電層１１１ａの上面に、開口１２１ａと重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、半導体層１１３ａ、絶

縁層１０５ａ、及び導電層１１５ａの少なくとも一部が形成される構成にすることで、半導体層１１３ａの導電層１１１ａ近傍まで、導電層１１５ａのゲート電界を印加しやすくすることができる。

［０２９３］

同様に、導電層１１５ａの上面についても、必ずしも平坦である必要はなく、例えば、導電層１１５ａの上面に、開口１２１ｂと重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、半導体層１１３ｂ、絶縁層１０５ｂ、及び導電層１１５ｂの少なくとも一部が形成される構成にすることで、半導体層１１３ｂの導電層１１５ａ近傍まで、導電層１１５ｂのゲート電界を印加しやすくすることができる。

［０２９４］

導電層１１２（導電層１１２ａ、導電層１１２ｂ）としては、後述する［導電体］の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層１１２として、タングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。

［０２９５］

導電層１１２も、導電層１１１ａ及び導電層１１５と同様に、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。このような構成にすることで、半導体層１１３によって導電層１１２が過剰に酸化されることを抑制することができる。また、導電層１１２も、導電層１１５と同様に、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

［０２９６］

また、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。このようにタングステンを積層して設けることで、導電層１１２の導電性を向上させることができる。

［０２９７］

また、導電層１１２を、第１の導電層と、第２の導電層と、を積層する構成とする場合、例えば、第１の導電層を、導電性が高い導電性材料を用いて形成し、第２の導電層を、酸素を含む導電性材料を用いて形成してもよい。絶縁層１０５と接する領域の面積が第１の導電層より大きい第２の導電層として酸素を含む導電性材料を用いることで、絶縁層１０５中の酸素が導電層１１２の第１の導電層に拡散することを抑制することができる。例えば、導電層１１２の第１の導電層としてタングステンを用い、導電層１１２の第２の導電層としてシリコンを添加したインジウムスズ酸化物を用いるとよい。

［０２９８］

半導体層１１３ａと導電層１１１ａ（又は、半導体層１１３ｂと導電層１１５ａ）とが接することで、半導体層１１３（半導体層１１３ａ、半導体層１１３ｂ）に金属化合物又は酸素欠損が形成され、半導体層１１３の領域１１３ｎａが低抵抗化する。導電層１１１ａと接する半導体層１１３ａ（又は、導電層１１５ａと接する半導体層１１３ｂ）が低抵抗化することで、半導体層１１３ａと、導電層１１１ａと、の接触抵抗（又は、半導体層１１３ｂと、導電層１１５ａと、の接触抵抗）を低減することができる。同様に、半導体層１１３と導電層１１２とが接することで、半導体層１１３の領域１１３ｎｂが低抵抗化する。したがって、半導体層１１３と、導電層１１２と、の接触抵抗を低減することができる。

［０２９９］

層間絶縁層として機能する絶縁層１０１及び絶縁層１０３（絶縁層１０３ａ、絶縁層１０３ｂ）は、比誘電率が低いことが好ましい。比誘電率が低い材料を層間絶縁層とすることで、配線間に生じる寄生容量を低減することができる。絶縁層１０１及び絶縁層１０３としては、後述する［絶縁体］の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。

［０３００］

また、絶縁層１０１中及び絶縁層１０３中の水、及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層１１３のチャネル形成領域への、水及び水素等の不純物の混入を抑制することができる。

［０３０１］

また、半導体層１１３のチャネル形成領域近傍に配置される絶縁層１０３は、加熱により脱離する酸素（以下、過剰酸素という場合がある。）を含むことが好ましい。過剰酸素を含む絶縁層１０３に熱処理を行うことで、絶縁層１０３から半導体層１１３のチャネル形成領域に酸素を供給し、半導体層１１３の酸素欠損、及び、酸素欠損に水素が入った欠陥（以下、V_OHという場合がある。）の低減を図ることができる。これにより、トランジスタの電気特性を安定にし、信頼性の向上を図ることができる。

［０３０２］

また、絶縁層１０３として、後述する［絶縁体］の項目に記載の、水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、半導体層１１３の水素を捕獲又は固着し、半導体層１１３の水素濃度を低減することができる。絶縁層１０３としては、酸化マグネシウム又は酸化アルミニウム等を用いることができる。

［０３０３］

なお、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、絶縁層１０３を単層で示したが、本発明はこれに限られるものではない。絶縁層１０３は、積層構造であってもよい。

［０３０４］

絶縁層１０７（絶縁層１０７ａ、絶縁層１０７ｂ）には、後述する［絶縁体］の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、トランジスタの外から絶縁層１０５を介して、半導体層１１３に水素が拡散することを抑制することができる。窒化シリコン膜及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層１０７に好適に用いることができる。

［０３０５］

また、絶縁層１０７として、後述する［絶縁体］の項目に記載の、水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁層１０７の上方から半導体層１１３に水素が拡散することを抑制し、さらに半導体層１１３の水素を捕獲又は固着し、半導体層１１３の水素濃度を低減することができる。絶縁層１０７としては、酸化マグネシウム、酸化アルミニウム、又は酸化ハフニウム等を用いることができる。また、例えば、絶縁層１０７として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

［０３０６］

なお、図５Ｂ、図６Ａ、図６Ｂ、及び図７Ａ等では、トランジスタの上面に絶縁層１０７を形成する構成を例示したが、これに限定されない。例えば、トランジスタの側面及び下面に絶縁層１０７、

又は、絶縁層１０７と同様の機能又は材料を有する絶縁層を形成し、トランジスタを絶縁層１０７にて取り囲む構成としてもよい。又は、トランジスタ４１及びトランジスタ４２の上面、側面、及び下面に絶縁層１０７を形成し、トランジスタ４１及びトランジスタ４２を絶縁層１０７にて取り囲む構成としてもよい。当該構成とすることで、トランジスタ４１及びトランジスタ４２の内部に不純物（例えば、水及び水素等）が入り込むことを抑制することができる。

［０３０７］

以下では、本発明の一態様の記憶装置が有する容量（容量５１）の構成要素について説明する。

［０３０８］

［容量の構成要素］

導電層１１５ａ及び導電層１４１としては、後述する［導電体］の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層１１５ａ及び導電層１４１として、タングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電層１１５ａ及び導電層１４１の導電性を向上させることができる。

［０３０９］

また、導電層１１５ａ及び導電層１４１は、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を、単層又は積層で用いることが好ましい。例えば、窒化チタン、又は、シリコンを添加したインジウムスズ酸化物等を用いてもよい。又は、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。又は、例えば、第１の窒化チタンの上にタングステンを積層し、当該タングステンの上に第２の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層１３５に酸化物絶縁体を用いる場合、絶縁層１３５によって導電層１１５ａが酸化されることを抑制することができる。また、絶縁層１０３ｂに酸化物絶縁体を用いる場合、絶縁層１０３ｂによって導電層１４１が酸化されることを抑制することができる。また、導電層１１５ａ及び導電層１４１として、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

［０３１０］

絶縁層１０７ａには、前述した水素に対するバリア性を有する絶縁体を用いることが好ましい。また、前述した水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いることが好ましい。

［０３１１］

絶縁層１３５として、後述する［絶縁体］の項目に記載の比誘電率が高い材料、いわゆるｈｉｇｈ－ｋ材料を用いることが好ましい。絶縁層１３５としてｈｉｇｈ－ｋ材料を用いることで、リーク電流を抑制することができる程度に絶縁層１３５を厚くし、かつ容量５１の静電容量を十分確保することができる。

［０３１２］

また、絶縁層１３５は、ｈｉｇｈ－ｋ材料からなる絶縁体を積層して用いることが好ましく、比誘電率が高い（ｈｉｇｈ－ｋ）材料と、当該ｈｉｇｈ－ｋ材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層１３５として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムの

ような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量５１の静電破壊を抑制することができる。

［０３１３］

また、絶縁層１３５として、強誘電性を有し得る材料を用いてもよい。強誘電性を有し得る材料としては、酸化ハフニウム、酸化ジルコニウム、及びＨｆＺｒO_X（Ｘは０よりも大きい実数とする。）等の金属酸化物が挙げられる。また、強誘電性を有し得る材料としては、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数）を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素Ｊ１の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素Ｊ１の原子数の比を１：１又はその近傍とする。また、強誘電性を有し得る材料としては、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数）を添加した材料、等が挙げられる。また、ジルコニウム原子の原子数と元素Ｊ２の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素Ｊ２の原子数の比を１：１又はその近傍とする。また、強誘電性を有し得る材料として、チタン酸鉛（ＰｂＴｉO_X）、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、又はチタン酸バリウム等の、ペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

［０３１４］

また、強誘電性を有し得る材料としては、元素Ｍ１と、元素Ｍ２と、窒素と、を有する金属窒化物が挙げられる。ここで、元素Ｍ１は、アルミニウム、ガリウム、及びインジウム等から選ばれた一つ又は複数である。また、元素Ｍ２は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、及びクロム等から選ばれた一つ又は複数である。なお、元素Ｍ１の原子数と元素Ｍ２の原子数の比は適宜設定することができる。また、元素Ｍ１と、窒素と、を有する金属酸化物は、元素Ｍ２を含まなくても、強誘電性を有する場合がある。また、強誘電性を有し得る材料としては、上記金属窒化物に元素Ｍ３が添加された材料が挙げられる。なお、元素Ｍ３は、マグネシウム、カルシウム、ストロンチウム、亜鉛、及びカドミウム等から選ばれた一つ又は複数である。ここで、元素Ｍ１の原子数、元素Ｍ２の原子数、及び元素Ｍ３の原子数の比は適宜設定することができる。

［０３１５］

また、強誘電性を有し得る材料としては、ＳｒＴａO_2Ｎ及びＢａＴａO_2Ｎ等のペロブスカイト型酸窒化物、並びに、κ アルミナ型構造のＧａＦｅO_3等が挙げられる。

［０３１６］

なお、上記の説明においては、金属酸化物及び金属窒化物について例示したが、これに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、又は、上述の金属窒化物に酸素が添加された金属窒酸化物等を用いてもよい。

［０３１７］

また、強誘電性を有し得る材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物を用いることができる。又は、絶縁層１３５を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、例えば、上記に列挙した材料は、

成膜条件だけでなく、各種プロセスによっても結晶構造（特性）が変わり得る可能性がある。よって、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有し得る材料又は強誘電性を有せしめる材料とも呼んでいる。

［０３１８］

ハフニウム及びジルコニウムの一方又は両方を含む金属酸化物は、数ｎｍといった薄膜に加工しても強誘電性を有し得ることができるため、好ましい。ここで、絶縁層１３５の膜厚は、例えば、１００ｎｍ以下、好ましくは５０ｎｍ以下、より好ましくは２０ｎｍ以下、さらに好ましくは１０ｎｍ以下（代表的には、２ｎｍ以上９ｎｍ以下）にすることができる。例えば、膜厚を、８ｎｍ以上１２ｎｍ以下にすることが好ましい。薄膜化できる強誘電体層とすることで、容量５１を、微細化されたトランジスタ等の半導体素子に組み合わせて記憶装置を形成することができる。なお、本明細書等において、強誘電性を有し得る材料を層状にしたものを指して、強誘電体層、金属酸化物膜、又は金属窒化物膜という場合がある。また、このような、強誘電体層、金属酸化物膜、又は金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスという場合がある。

［０３１９］

又はハフニウム及びジルコニウムの一方又は両方を含む金属酸化物は、微小な面積でも強誘電性を有し得ることができるため、好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、１００μm^2以下、１０μm^2以下、１μm^2以下、又は０．１μm^2以下であっても、強誘電性を有することができる。また、１００００nm^2以下、又は１０００nm^2以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量５１の占有面積を小さくすることができる。

［０３２０］

なお、ハフニウム及びジルコニウムの一方又は両方を有する金属酸化物において、当該金属酸化物中の酸素欠損（V_O）濃度が高いほど、直方晶系の結晶構造を有する結晶が生成されやすい。そこで、ハフニウム及びジルコニウムの一方又は両方を有する金属酸化物に、当該金属酸化物中の酸素欠損濃度を高める元素が添加されることが好ましい。当該元素として、元素周期表における第３族元素（ＩＩＩａ族元素ともいう。）が挙げられる。上記金属酸化物に添加する、元素周期表における第３族元素は、スカンジウム、ランタン、及びイットリウムから選ばれる一又は複数であることがより好ましく、ランタン及びイットリウムの一方又は両方であることがさらに好ましい。なお、本明細書等では、元素周期表における第３族元素を、単に第３族元素と呼ぶ場合がある。

［０３２１］

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ、当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量（以下、強誘電体キャパシタという場合がある。）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた不揮発性の記憶素子は、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、又は強誘電体メモリ等ともいうことがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタと、を有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量５１として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装置は、強誘電体メモリとして機能する。

［０３２２］

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素又は窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層１３５が強誘電性を発現するには、絶縁層１３５は結晶を含む必要がある。特に絶縁層１３５は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層１３５に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一又は複数であってもよい。また、絶縁層１３５は、アモルファス構造を有してもよい。このとき、絶縁層１３５は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［０３２３］

絶縁層１０３ｂは、前述したように、比誘電率が低いことが好ましい。これにより、配線間に生じる寄生容量を低減することができる。絶縁層１０３ｂとしては、後述する［絶縁体］の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

［０３２４］

＜記憶装置の構成材料＞

以下では、本発明の一態様の記憶装置に用いることができる構成材料について説明する。

［０３２５］

［基板］

トランジスタ４１、トランジスタ４２、及び容量５１を形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（例えば、イットリア安定化ジルコニア基板）、及び樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板がある。導電体基板としては、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板等がある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板等がある。又は、これらの基板に素子が設けられたものを用いてもよい。

［０３２６］

［絶縁体］

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び金属窒化酸化物等がある。

［０３２７］

例えば、トランジスタの微細化及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁層として機能する絶縁体に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層として機能する絶縁体の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。一方、層間絶縁層として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶

縁耐力が大きい材料でもある。

［０３２８］

比誘電率が高い（ｈｉｇｈ－ｋ）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物等が挙げられる。

［０３２９］

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコン等の無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミド等）、ポリイミド、ポリカーボネート、及びアクリル等の樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコン等が挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。また、酸化シリコンは、例えば、テトラエトキシシラン（ＴＥＯＳ）等の有機シランを用いて形成してもよい。

［０３３０］

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、又はタンタルを含む絶縁体を、単層で、又は積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル等の金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコン等の金属窒化物を用いることができる。

［０３３１］

また、ゲート絶縁層等の、半導体と接する絶縁体、又は、半導体層の近傍に設ける絶縁体は、過剰酸素を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、又は、半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、又は、空孔を有する酸化シリコン等が挙げられる。

［０３３２］

また、酸素に対するバリア性を有する絶縁体としては、アルミニウム及びハフニウムの一方又は両方を含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、又は酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコン等が挙げられる。また、アルミニウム及びハフニウムの一方又は両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、等が挙げられる。

［０３３３］

また、水素に対するバリア性を有する絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸

化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等が挙げられる。

［０３３４］

酸素に対するバリア性を有する絶縁体、及び、水素に対するバリア性を有する絶縁体は、酸素及び水素の一方又は両方に対するバリア性を有する絶縁体といえる。

［０３３５］

また、水素を捕獲する又は固着する機能を有する絶縁体として、マグネシウムを含む酸化物、又は、アルミニウム及びハフニウムの一方又は両方を含む酸化物が挙げられる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲する又は固着する性質を有する場合がある。なお、これらの金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されてもよい。

［０３３６］

なお、本明細書等において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は、対応する物質の拡散を抑制する機能ともいう。）とする。なお、対応する物質を捕獲する又は固着する（ゲッタリングともいう。）機能を、バリア性と言い換えることができる。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH^-等の水素と結合した物質等の少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域又は半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2等）、銅原子等の少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子及び酸素分子等のうち、少なくとも一を指す。具体的には、酸素に対するバリア性とは、酸素原子及び酸素分子等のうち、少なくとも一が拡散し難い性質を指す。

［０３３７］

［導電体］

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタン等から選ばれた金属元素、又は前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、又は、当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又は、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

［０３３８］

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、又はチタン及びアルミニウムを含む窒化物等の窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウム

を含む酸化物、又はランタン及びニッケルを含む酸化物等の酸素を含む導電性材料、チタン、タンタル、又はルテニウム等の金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物、及び、酸化タングステンを含むインジウム亜鉛酸化物等が挙げられる。本明細書等では、酸素を含む導電性材料を、酸化物導電体ということがある。

［０３３９］

また、タングステン、銅、又はアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

［０３４０］

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０３４１］

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

［０３４２］

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン又は窒化タンタル等の窒素を含む導電性材料を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つ又は複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。又は、外方の絶縁体等から混入する水素を捕獲することができる場合がある。

［０３４３］

［金属酸化物］

金属酸化物は、格子欠陥を有する場合がある。格子欠陥として、原子空孔及び異種原子等の点欠陥、転位等の線欠陥、結晶粒界等の面欠陥、並びに、空隙等の体積欠陥が挙げられる。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物等が挙げられる。

［０３４４］

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成

又は捕獲等を引き起こす要因となり得る。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

［０３４５］

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損（V_O）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、V_OHを形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、金属酸化物中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、ｉ型化（真性化）、又は、実質的にｉ型化されていることが好ましい。

［０３４６］

金属酸化物中に存在しやすい格子欠陥の種類、及び、格子欠陥の存在量は、金属酸化物の構造又は金属酸化物の成膜方法等によって異なる。

［０３４７］

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、ＣＡＡＣ構造、多結晶（ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ）構造、ｎｃ構造、擬似非晶質（ａ－ｌｉｋｅ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ）構造、及び非晶質構造等がある。ａ－ｌｉｋｅ構造は、ｎｃ構造と非晶質構造との間の構造を有する。

［０３４８］

また、ａ－ｌｉｋｅ構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物は、鬆又は低密度領域を有する。すなわち、ａ－ｌｉｋｅ構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物は、ｎｃ構造を有する金属酸化物、及び、ＣＡＡＣ構造を有する金属酸化物と比べて、結晶性が低い。また、ａ－ｌｉｋｅ構造を有する金属酸化物は、ｎｃ構造を有する金属酸化物、及び、ＣＡＡＣ構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、ａ－ｌｉｋｅ構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

［０３４９］

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、ＣＡＡＣ構造を有する金属酸化物、又は、単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０３５０］

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（ｎチャネル型トランジスタの場合は、電子）の伝送を向上させる、又は、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

［０３５１］

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第１の層と、第２の層と、第３の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう。）を有する。このとき、当該結晶のｃ軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、及びＣＡＡＣ－ＯＳ等が含まれる。

［０３５２］

また、上記結晶のｃ軸は、金属酸化物の被形成面又は膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面又は膜表面に対して、平行又は概略平行に配置される。つまり、複数の層は、チャネル長方向に広がる。

［０３５３］

例えば、上記のような３層の層状の結晶構造は、以下のような構造になる。第１の層は、当該第１の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第２の層は、当該第２の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。また、第３の層は、当該第３の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。

［０３５４］

上記結晶の結晶構造として、例えば、$YbFe_2O_4$型構造、$Yb_2Fe_3O_7$型構造、及び、これらの変形型構造等がある。

［０３５５］

さらに、第１の層乃至第３の層のそれぞれは、一の金属元素、又は、価数が同じである複数の金属元素と、酸素と、で構成されることが好ましい。なお、第１の層を構成する一又は複数の金属元素の価数と、第２の層を構成する一又は複数の金属元素の価数と、は同じであることが好ましい。また、第１の層と、第２の層と、は同じ金属元素を有してもよい。また、第１の層を構成する一又は複数の金属元素の価数と、第３の層を構成する一又は複数の金属元素の価数と、は異なることが好ましい。

［０３５６］

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

［０３５７］

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム（Ｉｎ）又は亜鉛（Ｚｎ）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Ｍは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Ｍとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素Ｍは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、

スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一又は複数を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」ということがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［０３５８］

本発明の一態様の金属酸化物として、例えば、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ酸化物）、インジウムガリウムスズ酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物）、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す。）、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す。）、インジウムアルミニウム亜鉛酸化物（Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す。）、インジウムスズ亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物）、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物）、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す。）、インジウムガリウムスズ亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す。）、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯ又はＩＡＧＺＯとも記す。）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ｇａ－Ｓｎ酸化物）、アルミニウムスズ酸化物（Ａｌ－Ｓｎ酸化物）等が挙げられる。

［０３５９］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

［０３６０］

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第５周期に属する金属元素、及び、第６周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

［０３６１］

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

［０３６２］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制することができ

る。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。
［０３６３］
また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制することができる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。
［０３６４］
また、金属酸化物に含まれる全ての金属元素の原子数の和に対するＩｎの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び、高い周波数特性を得ることができる。
［０３６５］
本実施の形態では、金属酸化物として、Ｉｎ－Ｇａ－Ｚｎ酸化物を例に挙げて説明する場合がある。
［０３６６］
上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。ＡＬＤ法を用いると、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。
［０３６７］
ＡＬＤ法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、及び、プラズマ励起されたリアクタントを用いるプラズマＡＬＤ（ＰＥＡＬＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法等が挙げられる。
［０３６８］
ＡＬＤ法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び、低温での成膜が可能、等の効果がある。また、ＰＥＡＬＤ法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ＡＬＤ法で用いるプリカーサには、炭素又は塩素等の元素を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素又は塩素等の元素を多く含む場合がある。なお、これらの元素の定量は、ＸＰＳ又はＳＩＭＳを用いて行うことができる。
［０３６９］
金属酸化物の成膜方法としてＡＬＤ法を用いる際、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方又は双方を適用することで、これらを適用せずにＡＬＤ法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量を少なくすることができる。
［０３７０］
例えば、金属酸化物の成膜中に、間欠的に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。また、金属酸化物の成膜後に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。金属酸化物の成膜中及び成膜後の一方又は双方に、不純物除去処理を行うことで、膜中の不純物を除去することができる。これにより、プリカーサ等の原料に含まれる不純物（水素、炭素、及び窒素等）が金属酸化物中に残存することを抑制することができる。したがって、金属酸化物中の不純物濃度を低減することができる。また、金属酸化物の結晶性を高めることができる。
［０３７１］
不純物除去処理としては、例えば、プラズマ処理、マイクロ波処理、及び加熱処理が挙げられる。

［０３７２］

プラズマ処理又はマイクロ波処理を行う際は、それぞれ、基板の温度を、例えば、室温（例えば、２５℃）以上５００℃以下、１００℃以上４５０℃以下、２００℃以上４５０℃以下、３００℃以上４５０℃以下、又は４００℃以上４５０℃以下とすることが好ましい。また、加熱処理の温度は、例えば、１００℃以上５００℃以下、２００℃以上４５０℃以下、３００℃以上４５０℃以下、又は４００℃以上４５０℃以下とすることが好ましい。

［０３７３］

不純物除去処理を行う際の温度は、特に、トランジスタ又は記憶装置の作製工程における最高温度以下の温度とすることで、生産性を低下させることなく、金属酸化物中の不純物の含有量を低減することができ、好ましい。例えば、本発明の一態様の記憶装置の作製における最高温度を５００℃以下、好ましくは４５０℃以下とすることで、記憶装置の生産性を高めることができる。

［０３７４］

ここで、マイクロ波処理とは、例えば、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書等において、マイクロ波とは、３００ＭＨｚ以上３００ＧＨｚ以下の周波数を有する電磁波を指すものとする。

［０３７５］

マイクロ波処理では、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、例えば、３００ＭＨｚ以上３００ＧＨｚ以下が好ましく、２．４ＧＨｚ以上２．５ＧＨｚ以下がより好ましく、例えば、２．４５ＧＨｚとすることができる。高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、例えば、１０００Ｗ以上１００００Ｗ以下が好ましく、２０００Ｗ以上５０００Ｗ以下が好ましい。また、マイクロ波処理装置は、基板側にＲＦを印加する電源を有してもよい。基板側にＲＦを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく膜中に導くことができる。

［０３７６］

マイクロ波処理は、減圧下で行うことが好ましく、圧力は、例えば、１０Ｐａ以上１０００Ｐａ以下が好ましく、３００Ｐａ以上７００Ｐａ以下がより好ましい。また、処理温度は、例えば、室温（２５℃）以上７５０℃以下が好ましく、３００℃以上５００℃以下がより好ましく、４００℃以上４５０℃以下がさらに好ましい。

［０３７７］

また、マイクロ波処理又はプラズマ処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、１００℃以上７５０℃以下が好ましく、３００℃以上５００℃以下がより好ましく、４００℃以上４５０℃以下がさらに好ましい。

［０３７８］

マイクロ波処理は、例えば、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比（O_2／（O_2＋Ａｒ））は、０％より大きく、１００％以下とする。好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、０％より大きく、５０％以下とする。より好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、４０％以下とする。さらに好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、３０％以下とする。

［０３７９］

また、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は、酸化性ガスを１０ｐｐｍ以上、１％以上、若しくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。又は、窒素ガス若しくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、又は１０％以上含む雰囲気で加熱処理を行ってもよい。また、加熱処理は、超乾燥空気（水の含有量が２０ｐｐｍ以下、好ましくは１ｐｐｍ以下、好ましくは１０ｐｐｂ以下の空気）の雰囲気下で行ってもよい。

［０３８０］

このように加熱処理を行うことで、金属酸化物に含まれる水素又は炭素等の不純物を除去することができる。例えば、金属酸化物中の炭素をCO_2及びＣＯとして放出させ、金属酸化物中の水素をH_2Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物、特に、上記のＣＡＡＣ構造の金属酸化物を形成することができる。

［０３８１］

ＡＬＤ法は、例えば、ターゲットから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法又はＣＶＤ法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、スパッタリング法を用いて、第１の金属酸化物を成膜し、当該第１の金属酸化物上にＡＬＤ法を用いて、第２の金属酸化物を成膜する方法が挙げられる。例えば、上記第１の金属酸化物が結晶部を有する場合、上記第２の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

［０３８２］

ＡＬＤ法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ＡＬＤ法では、原料ガスの導入量、導入回数（パルス回数ともいう。）、及び、１パルスに要する時間（パルス時間ともいう。）等を調節することによって、任意の組成の膜を成膜することができる。また、例えば、ＡＬＤ法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

［０３８３］

［金属酸化物を有するトランジスタ］

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。以下では、半導体層に酸化物半導体を用いたトランジスタをＯＳトランジスタと記し、半導体層にシリコンを用いたトランジスタをＳｉトランジスタと記す場合がある。

［０３８４］

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。また、微細化又は高集積化されたトランジスタを実現することができる。例えば、チャネル長が

２ｎｍ以上３０ｎｍ以下のトランジスタを作製し得る。

［０３８５］

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は$１\times１０^{18}ｃｍ^{-3}$以下、好ましくは$１\times１０^{17}ｃｍ^{-3}$以下、より好ましくは$１\times１０^{15}ｃｍ^{-3}$以下、より好ましくは$１\times１０^{13}ｃｍ^{-3}$以下、より好ましくは$１\times１０^{11}ｃｍ^{-3}$以下、さらに好ましくは$１\times１０^{10}ｃｍ^{-3}$未満であり、$１\times１０^{-9}ｃｍ^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすることが好ましい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性、又は、実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性、又は、実質的に高純度真性な酸化物半導体という場合がある。

［０３８６］

また、高純度真性、又は、実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０３８７］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３８８］

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、及び窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。

［０３８９］

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には１．１ｅＶ）よりも大きいことが好ましく、好ましくは２ｅＶ以上、より好ましくは２．５ｅＶ以上、さらに好ましくは３．０ｅＶ以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（Ｉｏｆｆともいう。）を低減することができる。

［０３９０］

また、Ｓｉトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Ｓｈｏｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ：ＳＣＥともいう。）が発現する。そのため、Ｓｉトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、ＯＳトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、ＯＳトランジスタは、短チャネル効果がない、又は、短チャネル効果が極めて少ないトランジスタである。

［０３９１］

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドス

イング値（Ｓ値と表記することがある。）の増大、及び、漏れ電流の増大等がある。ここで、Ｓ値とは、ドレイン電圧一定にてドレイン電流を１桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

［０３９２］

また、短チャネル効果に対する耐性の指標として、特性長（Ｃｈａｒａｃｔｅｒｉｓｔｉｃ　Ｌｅｎｇｔｈ）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

［０３９３］

ＯＳトランジスタは蓄積型のトランジスタであり、Ｓｉトランジスタは反転型のトランジスタである。したがって、Ｓｉトランジスタと比較して、ＯＳトランジスタは、ソース領域－チャネル形成領域間の特性長、及び、ドレイン領域－チャネル形成領域間の特性長が小さい。したがって、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、ＯＳトランジスタは、Ｓｉトランジスタよりも好適である。

［０３９４］

チャネル形成領域がｉ型、又は、実質的にｉ型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではＣｏｎｄｕｃｔｉｏｎ－Ｂａｎｄ－Ｌｏｗｅｒｉｎｇ（ＣＢＬ）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域又はドレイン領域と、チャネル形成領域と、の間の伝導帯下端のエネルギー差は、０．１ｅＶ以上０．２ｅＶ以下まで小さくなる可能性がある。これにより、ＯＳトランジスタは、チャネル形成領域がn^-型の領域となり、ソース領域及びドレイン領域がn^+型の領域となる、$n^+/n^-/n^+$の蓄積型ｊｕｎｃｔｉｏｎ－ｌｅｓｓトランジスタ構造、又は、$n^+/n^-/n^+$の蓄積型ｎｏｎ－ｊｕｎｃｔｉｏｎトランジスタ構造と、捉えることもできる。

［０３９５］

ＯＳトランジスタを、上記の構造とすることで、記憶装置を微細化又は高集積化しても良好な電気特性を有することができる。例えば、ＯＳトランジスタのチャネル長又はゲート長が、１ｎｍ以上２０ｎｍ以下、３ｎｍ以上１５ｎｍ以下、５ｎｍ以上１０ｎｍ以下、５ｎｍ以上７ｎｍ以下、又は５ｎｍ以上６ｎｍ以下であっても、良好な電気特性を得ることができる。一方で、Ｓｉトランジスタは、短チャネル効果が発現するため、２０ｎｍ以下、又は１５ｎｍ以下のゲート長とすることが困難な場合がある。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較して、チャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

［０３９６］

また、ＯＳトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。ＯＳトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば、室温環境下で、５０ＧＨｚ以上、好ましくは１００ＧＨｚ以上、さらに好ましくは１５０ＧＨｚ以上とすることができる。

［０３９７］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、オフ電流が小さいこと、チャネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

［０３９８］

［金属酸化物中の不純物］

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

［０３９９］

酸化物半導体において、第１４族元素の一つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。また、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０４００］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０４０１］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における水素濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。

［０４０２］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０４０３］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０４０４］

［その他の半導体材料］

半導体層１１３は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、単体元素の半導体、化合物半導体、又は層状物質（原子層物質、２次元材料等ともいう。）等を半導体材料に用いることが好ましい。

［０４０５］

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス力のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

［０４０６］

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウム等が挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）が挙げられる。

［０４０７］

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素等が挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

［０４０８］

層状物質として、グラフェン、シリセン、炭窒化ホウ素、及びカルコゲン化物等がある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第１６族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、及び１３族カルコゲナイド等が挙げられる。

［０４０９］

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはMoS_2）、セレン化モリブデン（代表的には$MoSe_2$）、モリブデンテルル（代表的には$MoTe_2$）、硫化タングステン（代表的にはWS_2）、セレン化タングステン（代表的にはWSe_2）、タングステンテルル（代表的にはWTe_2）、硫化ハフニウム（代表的にはHfS_2）、セレン化ハフニウム（代表的には$HfSe_2$）、硫化ジルコニウム（代表的にはZrS_2）、及びセレン化ジルコニウム（代表的には$ZrSe_2$）等が挙げられる。上述の遷移金属カルコゲナイドを半導体層に適用することで、

オン電流が大きいトランジスタを提供することができる。
［０４１０］
＜半導体装置７１０の動作例＞
図１８は、図１７に示す半導体装置７１０の動作例を説明するタイミングチャートである。
［０４１１］
以下の動作の説明において、配線ＶＰＲＥに、（電位ＶＤＤ－電位ＶＳＳ）／２が与えられているとする。また、配線ＶＰＲＥ２に、（電位ＶＤＤ－電位ＶＳＳ）／２を超えて電位ＶＤＤを超えない電位（例えば、電位ＶＤＤ）が与えられているとする。また、配線ＣＬに、任意の固定電位（例えば、電位ＶＳＳ）が与えられているとする。
［０４１２］
図１８に示すタイミングチャートは、動作の各期間（期間Ｔ７２１乃至期間Ｔ７２５）における、配線WWL、配線ＲＷＬ、配線ＳＷ４、配線ＳＷ５、配線ＥＱ、配線ＥＱＢ、及び配線ＣＳＥＬのそれぞれに与えられる信号の状態（電位Ｈ又は電位Ｌ）を示している。また、配線ＳＡＰ及び配線ＳＡＮのそれぞれに与えられる電位を示している。また、配線MN、配線ＲＢＬ、配線ＲＢＬＢ、及び配線ＷＢＬのそれぞれの電位の変化について、“１”のデータの読み出し及び書き込みをする場合（ｄａｔａ　１）と、“０”のデータの読み出し及び書き込みをする場合（ｄａｔａ　０）とを、それぞれを示している。
［０４１３］
期間Ｔ７２１乃至期間Ｔ７２４は、データの読み出しをする期間である。期間Ｔ７２５は、データの書き込みをする期間である。
［０４１４］
期間Ｔ７２１の直前において、配線WWLに、電位Ｌが与えられ、かつ、配線ＲＷＬに、電位Ｈが与えられているとする。また、配線ＳＷ４、及び配線ＳＷ５のそれぞれに、電位Ｈが与えられているとする。また、配線ＥＱに、電位Ｈが与えられ、かつ、配線ＥＱＢに、電位Ｌが与えられているとする。また、配線ＣＳＥＬに、電位Ｌが与えられているとする。また、配線ＳＡＰ、及び配線ＳＡＮのそれぞれに、（電位ＶＤＤ－電位ＶＳＳ）／２が与えられているとする。このとき、配線ＲＢＬ及び配線ＲＢＬＢは、それぞれ、（電位ＶＤＤ－電位ＶＳＳ）／２にプリチャージされている。また、メモリセル７４１の配線MNに、電位ＶＤＤ（データ“１”に対応する電位）又は電位ＶＳＳ（データ“０”に対応する電位）が保持されているとする。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されるとする。
［０４１５］
期間Ｔ７２１において、配線ＥＱに、電位Ｌが与えられ、かつ、配線ＥＱＢに、電位Ｈが与えられる。すると、配線ＲＢＬ及び配線ＲＢＬＢへのプリチャージが、停止する。よって、配線ＲＢＬ及び配線ＲＢＬＢが、それぞれ、フローティングになる。
［０４１６］
期間Ｔ７２２において、配線ＳＷ４に、電位Ｌが与えられる。すると、配線ＲＢＬが、配線ＶＰＲＥ２に与えられる電位にプリチャージされる。つまり、配線ＲＢＬの電位が、配線ＲＢＬＢの電位よりも、高くなる。
［０４１７］
期間Ｔ７２３において、配線ＳＷ４に、電位Ｈが与えられる。すると、配線ＲＢＬへのプリチャー

ジが、停止する。そして、配線ＲＷＬに、電位Ｌが与えられる。すると、配線ＲＢＬの電位が、配線ＭＮの電位に応じて変化する。よって、配線ＭＮは、配線ＲＢＬと配線ＲＢＬＢとの間の電位差に変換することができる。

［０４１８］

具体的には、例えば、メモリセル７４１に記憶されていたデータが“１”である（すなわち、配線ＭＮに電位ＶＤＤが保持されている）場合、メモリセル７４１が有するトランジスタＭ７０２が導通状態となり、配線ＲＢＬから配線ＲＷＬに電流が流れるため、配線ＲＢＬの電位が、配線ＲＢＬＢの電位よりも、低くなる。又は、例えば、メモリセル７４１に記憶されていたデータが“０”である（すなわち、配線ＭＮに電位ＶＳＳが保持されている）場合、メモリセル７４１が有するトランジスタＭ７０２が非導通状態となり、配線ＲＢＬから配線ＲＷＬに電流が流れないため、配線ＲＢＬの電位が、配線ＲＢＬＢの電位よりも、高くなる。

［０４１９］

期間Ｔ７２４において、配線ＲＷＬに電位Ｈが与えられる。その後、配線ＳＡＮに、電位ＶＳＳが与えられ、かつ、配線ＳＡＰに、電位ＶＤＤが与えられる。すると、アンプ回路７５５が動作することで、上述した期間Ｔ７２３の動作によって生じた、配線ＲＢＬと配線ＲＢＬＢとの間の電位差が、増幅される。これによって、配線ＲＢＬ及び配線ＲＢＬＢのそれぞれの電位が、電位ＶＤＤ又は電位ＶＳＳのいずれかに確定する。つまり、メモリセル７４１に記憶されているデータの読み出しが完了する。

［０４２０］

具体的には、例えば、メモリセル７４１に記憶されていたデータが“１”である場合、配線ＲＢＬの電位が電位ＶＳＳとなり、かつ、配線ＲＢＬＢの電位が電位ＶＤＤになる。又は、例えば、メモリセル７４１に記憶されていたデータが“０”である場合、配線ＲＢＬの電位が電位ＶＤＤとなり、かつ、配線ＲＢＬＢの電位が電位ＶＳＳになる。

［０４２１］

期間Ｔ７２５において、配線ＷＷＬに、電位Ｈが与えられる。すると、配線ＷＢＬの電位ＶＤＤ又は電位ＶＳＳが、配線ＭＮに与えられる。その後、配線ＷＷＬに、電位Ｌが与えられることで、メモリセル７４１へのデータの書き込みが完了する。

［０４２２］

なお、図１７に示す半導体装置７１０において、例えば、配線ＷＢＬと配線ＲＢＬとがスイッチを介して電気的に接続されている構成としてもよい。又は、例えば、配線ＷＢＬと配線ＲＢＬＢとがスイッチを介して電気的に接続されている構成としてもよい。このような構成とすることで、例えば、メモリセル７４１へのデータの書き込みの際に、当該スイッチを介して、センス回路７５１から配線ＷＢＬに電位ＶＤＤ又は電位ＶＳＳを与えることができる。当該スイッチとして、例えば、層９８３に設けられるトランジスタ、又は層９８５に設けられるトランジスタを用いることができる。

［０４２３］

＜記憶部９２０に用いることができる記憶装置＞

本発明の一態様の記憶装置７２０について説明する。記憶装置７２０に上述した半導体装置７１０の少なくとも一部を用いることができる。記憶装置７２０の少なくとも一部を、例えば、上述した図１Ａ等に示す電子計算機９００に用いることができる。例えば、記憶部９２０に用いることができる。

［０４２４］

図１９は、記憶装置７２０の構成例を説明するブロック図である。

［０４２５］

図１９に示す記憶装置７２０は、メモリアレイ７２１と、駆動回路７２２と、を有する。

［０４２６］

本発明の一態様として、記憶装置７２０を上述した電子計算機９００が有する記憶部９２０に用いる場合、例えば、メモリアレイ７２１は、メモリアレイ部９２１に対応し、駆動回路７２２は、制御部９２２に対応する。

［０４２７］

メモリアレイ７２１は、複数のセンス回路７５１と、複数のメモリセル７４１と、を有する。

［０４２８］

本発明の一態様として、上述したように、センス回路７５１は、層９８５に配置され、複数のメモリセル７４１は、層９８４［1］乃至層９８４［K］に配置される。

［０４２９］

複数のメモリセル７４１は、K層×M行×N列（K、M、及びNは、それぞれ、１以上の整数）の３次元のマトリクス状に配置されている。

［０４３０］

なお、図１９では、代表して、１層１行１列目のメモリセル７４１［1，1，1］と、１層１行N列目のメモリセル７４１［1，1，N］と、１層M行１列目のメモリセル７４１［1，M，1］と、K層１行１列目のメモリセル７４１［K，1，1］と、K層１行N列目のメモリセル７４１［K，1，N］と、K層M行１列目のメモリセル７４１［K，M，1］と、K層M行N列目のメモリセル７４１［K，M，N］と、を図示している。

［０４３１］

また、１層１行目のN個のメモリセル７４１に電気的に接続されている配線WL［1，1］と、１層M行目のN個のメモリセル７４１に電気的に接続されている配線WL［1，M］と、K層１行目のN個のメモリセル７４１に電気的に接続されている配線WL［K，1］と、K層M行目のN個のメモリセル７４１に電気的に接続されている配線WL［K，M］と、を図示している。

［０４３２］

駆動回路７２２は、パワースイッチ７６１と、パワースイッチ７６２と、周辺回路７７１と、を有する。周辺回路７７１は、周辺回路７８１と、制御回路７７２と、電圧生成回路７７３と、を有する。

［０４３３］

本発明の一態様として、例えば、駆動回路７２２は、層９８５に配置される。よって、例えば、駆動回路７２２に、Ｓｉトランジスタを用いることができる。なお、駆動回路７２２の少なくとも一部を、層９８３、及び層９８４［1］乃至層９８４［K］に配置することもできる。よって、駆動回路７２２の少なくとも一部に、プレーナ型のＯＳトランジスタ、及び、縦型のＯＳトランジスタを用いることもできる。

［０４３４］

端子ＢＷ、端子ＣＥ、端子GW、端子ＭＣＫ、端子ＷＡＫＥ、端子ＡＤＤＲ、端子WDA、端子ＰＯＮ１、及び端子ＰＯＮ２のそれぞれには、例えば、記憶装置７２０の外部から信号が与えられる。また、端子ＲＤＡからは、例えば、記憶装置７２０の外部に信号が出力される。

［０４３５］

例えば、端子ＭＣＫには、クロック信号が与えられる。また、端子ＢＷ、端子ＣＥ、及び端子ＧＷのそれぞれには、制御信号が与えられる。端子ＣＥには、チップイネーブル信号が与えられる。端子ＧＷには、グローバル書き込みイネーブル信号が与えられる。端子ＢＷには、バイト書き込みイネーブル信号が与えられる。端子ＡＤＤＲには、アドレス信号が与えられる。端子ＷＤＡには、書き込みデータが与えられる。端子ＲＤＡには、読み出しデータが与えられる。端子ＰＯＮ１及び端子ＰＯＮ２には、パワーゲーティング制御用信号が与えられる。なお、端子ＰＯＮ１及び端子ＰＯＮ２に与えられる信号は、例えば、制御回路７７２で生成してもよい。

［０４３６］

制御回路７７２は、記憶装置７２０の動作を制御する機能を有する。制御回路７７２は、例えば、端子ＣＥ、端子ＧＷ、及び端子ＢＷのそれぞれに与えられる信号を論理演算して、記憶装置７２０の動作モード（例えば、書き込み動作、又は、読み出し動作）を決定する機能を有する。また、当該動作モードが実行されるように、周辺回路７８１を制御する信号を生成する機能を有する。

［０４３７］

電圧生成回路７７３は、駆動回路７２２を動作させるための、任意の電位を生成する機能を有する。電圧生成回路７７３は、例えば、端子ＷＡＫＥに与えられる信号に応じて、端子ＭＣＫに与えられるクロック信号が入力されることで、任意の電位を生成する機能を有する。端子ＷＡＫＥには、例えば、端子ＭＣＫに与えられるクロック信号が電圧生成回路７７３に入力されるか否かを制御する信号が与えられる。

［０４３８］

周辺回路７８１は、メモリセル７４１に対して、データの書き込み及び読み出しを行う機能を有する。周辺回路７８１は、例えば、メモリセル７４１及びセンス回路７５１の動作を制御するための各種信号を生成する機能を有する。周辺回路７８１は、行デコーダ７８２と、列デコーダ７８４と、行ドライバ７８３と、列ドライバ７８５と、データドライバ７８６と、入力回路７８７と、出力回路７８８と、を有する。

［０４３９］

行デコーダ７８２及び列デコーダ７８４は、端子ＡＤＤＲに与えられるアドレス信号をデコードする機能を有する。行デコーダ７８２は、アクセスする行を指定する機能を有する。また、アクセスする層を指定する機能を有する。列デコーダ７８４は、アクセスする列を指定する機能を有する。行ドライバ７８３は、行デコーダ７８２が指定する行及び層を選択し、例えば、対応するメモリセル７４１、及びセンス回路７５１などに対して、所望の信号を与える機能を有する。列ドライバ７８５は、列デコーダ７８４が指定する列を選択し、例えば、対応するセンス回路７５１などに対して、所望の信号を与える機能を有する。

［０４４０］

データドライバ７８６は、行ドライバと、列ドライバと、によって選択されたメモリセル７４１に対して、データの書き込み及び読み出しを行う機能を有する。入力回路７８７は、記憶装置７２０の外部から端子ＷＤＡに与えられるデータを保持する機能を有する。入力回路７８７に保持されたデータ（データＤｉｎ）は、データドライバ７８６を介して、メモリセル７４１に書き込まれる。メモリセル７４１に記憶されているデータは、データドライバ７８６を介して、出力回路７８８に読み出される。出力回路７８８は、読み出されたデータ（データＤｏｕｔ）を保持する機能を有する。また、

保持されたデータを端子ＲＤＡから記憶装置７２０の外部に出力する機能を有する。
［０４４１］
パワースイッチ７６１は、端子ＶＭＤに与えられる電位を周辺回路７７１へ供給するか否かを制御する機能を有する。パワースイッチ７６２は、端子ＶＭＨに与えられる電位を行ドライバ７８３へ供給するか否かを制御する機能を有する。ここで、例えば、端子ＶＭＤには、駆動回路７２２を動作させるための高電源電位（例えば、電位ＶＤＤ）が与えられ、端子ＶＭＳには、低電源電位（例えば、電位ＶＳＳ）が与えられる。また、例えば、端子ＶＭＨには、メモリセル７４１及びセンス回路７５１などを動作させるための高電源電位（例えば、電位Ｈ）が与えられる。パワースイッチ７６１は、端子ＰＯＮ１に与えられる信号によって、導通状態又は非導通状態に制御される。パワースイッチ７６２は、端子ＰＯＮ２に与えられる信号によって、導通状態又は非導通状態に制御される。
［０４４２］
なお、駆動回路７２２において、各回路、及び各端子は、必要に応じて、適宜取捨することができる。また、他の回路、及び他の端子を、適宜追加してもよい。
［０４４３］
図２０Ａは、一つのサブセンス回路７３６と、複数のメモリセル７４１と、配線ＬＢＬと、を有するメモリユニット７１７の回路図である。
［０４４４］
メモリユニット７１７において、Ｋ層の層９８４［１］乃至層９８４［Ｋ］の１層あたり、Ｐ個（Ｐは１以上の整数）のメモリセル７４１が配置されている。すなわち、メモリユニット７１７は、Ｋ×Ｐ個のメモリセル７４１を有する。
［０４４５］
図２０Ａでは、代表して、１層目（層９８４［１］）に配置されているメモリセル７４１［１，１］及びメモリセル７４１［１，Ｐ］と、Ｋ層目（層９８４［Ｋ］）に配置されているメモリセル７４１［Ｋ，１］及びメモリセル７４１［Ｋ，Ｐ］と、を図示している。
［０４４６］
図２０Ｂは、一つのセンス回路７５１と、一つのスイッチ回路７３７と、複数のメモリユニット７１７と、配線ＧＢＬと、配線ＧＢＬＢと、配線ＳＡ＿ＧＢＬと、配線ＳＡ＿ＧＢＬＢと、を有するメモリブロック７１８の回路図である。ここで、メモリブロック７１８は、上述した半導体装置７１０に相当する。
［０４４７］
メモリブロック７１８において、Ｑ個（Ｑは２以上の偶数）のメモリユニット７１７が配置されている。すなわち、メモリブロック７１８は、Ｋ×Ｐ×Ｑ個のメモリセル７４１を有する。
［０４４８］
図２０Ｂでは、代表して、配線ＧＢＬに電気的に接続されているメモリユニット７１７［１］及びメモリユニット７１７［Ｑ／２］と、配線ＧＢＬＢに電気的に接続されているメモリユニット７１７［Ｑ／２＋１］及びメモリユニット７１７［Ｑ］と、を図示している。
［０４４９］
図２１は、記憶装置７２０が有する各構成要素の配置の一例を説明する模式図である。
［０４５０］
図２１に示す記憶装置７２０において、メモリアレイ７２１は、列方向（Ｘ方向）に配列されたＲ

個（Ｒは１以上の整数）のメモリサブアレイ７２３を有し、かつ、一つのメモリサブアレイ７２３は、行方向（Ｙ方向）に配列されたＮ個のメモリブロック７１８を有する。すなわち、メモリアレイ７２１は、Ｒ×Ｎ個のメモリブロック７１８を有する。

［０４５１］

なお、図２１では、代表して、３個のメモリサブアレイ７２３を図示し、そのうちの２個（メモリサブアレイ７２３［１］及びメモリサブアレイ７２３［Ｒ］）を破線で囲って示している。また、代表して、２個のメモリブロック７１８（メモリブロック７１８［１］及びメモリブロック７１８［Ｎ］）を破線で囲って示している。

［０４５２］

前述のように、メモリアレイ７２１は、Ｒ×Ｎ個（Ｒ行×Ｎ列）のメモリブロック７１８を有する。また、メモリブロック７１８は、Ｋ×Ｐ×Ｑ個（Ｋ層×（Ｐ×Ｑ行））のメモリセル７４１を有する。つまり、記憶装置７２０は、メモリアレイ７２１において、Ｋ層×Ｍ行（Ｐ×Ｑ×Ｒ行）×Ｎ列の３次元のマトリクス状に配置された、Ｋ×Ｐ×Ｑ×Ｒ×Ｎ個のメモリセル７４１を有する。また、記憶装置７２０は、Ｒ×Ｎ個のセンス回路７５１を有するため、複数のセンス回路７５１に同時にアクセスすることで、メモリアレイ７２１に記憶されたデータを、超並列に読み出すことができる。

［０４５３］

また、記憶装置７２０において、メモリアレイ７２１の周囲の層９８５に、ワード線ドライバ７２４と、列ドライバ７２５と、センスアンプドライバ７２６と、データドライバ７２７と、メモリコントローラ７２８と、が配置されている。

［０４５４］

ここで、例えば、ワード線ドライバ７２４及びセンスアンプドライバ７２６は、行ドライバ７８３に相当し、列ドライバ７２５は、列ドライバ７８５に相当し、データドライバ７２７は、データドライバ７８６、入力回路７８７、及び出力回路７８８に相当し、メモリコントローラ７２８は、制御回路７７２及び電圧生成回路７７３に相当する。

［０４５５］

なお、図示していないが、記憶装置７２０は、ワード線ドライバ７２４の上の層９８３、及び、層９８４［１］乃至層９８４［Ｋ］に配置される、層選択ドライバを有することができる。当該層選択ドライバは、ワード線ドライバ７２４によって生成される信号を、任意の層に与える機能を有することができる。

［０４５６］

本発明の一態様に係る半導体装置において、上述した説明では、ＯＳトランジスタが、ゲート（第１のゲート）、ソース、及びドレインの３端子の半導体素子であるとしたが、バックゲート（第２のゲート）を有することで、４端子の半導体素子であるとしてもよい。ＯＳトランジスタがバックゲートを有する場合、例えば、バックゲートにゲートと同じ電位を与えることで、オン抵抗を低減（オン電流を増加）させることができる。また、例えば、バックゲートにソースと同じ電位を与えることで、トランジスタの外部で生じる電界がチャネル形成領域に作用しにくくなるため、電気特性が安定し、信頼性を高めることができる。また、例えば、バックゲートに任意の電位を与えることで、しきい値電圧を変化させることができる。また、例えば、ゲート及びバックゲートのそれぞれに与える電位に応じて、ソースとドレインの間に流れる電流を独立して制御することができる。

［０４５７］

また、上述した半導体装置の動作例の説明において、電位が変化する際に、例えば、配線などの負荷（寄生容量及び寄生抵抗）によって、立ち上がり時間及び立ち下がり時間が生じる場合がある。当該時間は、例えば、０秒を超えて、１０００ナノ秒未満、１００ナノ秒未満、１０ナノ秒未満、又は１ナノ秒未満である。また、例えば、異なる２つの動作が同じタイミングであるように示している場合であっても、必ずしも厳密に同じタイミングであることを意味するものではない。例えば、配線での信号遅延などによる多少の時間差を含む場合であっても、同じタイミングであるとみなせる場合がある。当該時間差は、例えば、０秒を超えて、１０００ナノ秒未満、１００ナノ秒未満、１０ナノ秒未満、又は１ナノ秒未満である。

［０４５８］

また、複数の配線のそれぞれに与えられる電位Ｈ又は電位Ｌは、配線ごとに同じ電位である必要はない。例えば、当該電位が与えられるトランジスタのしきい値電圧などを考慮して、配線ごとに異なる電位であってもよい。なお、各配線に与えられる電位Ｈ又は電位Ｌは、例えば、トランジスタのしきい値電圧による電位の低下を含む場合がある。

［０４５９］

また、タイミングチャートにおいて、各期間を同じ長さで図示している場合であっても、各期間の長さは異なっていてもよい。つまり、実際に半導体装置を動作させる場合に、各期間の長さを適宜設定すればよい。

［０４６０］

本発明の一態様に係る電子計算機、半導体装置、及び記憶装置は、上述した説明に限定されない。本実施の形態で例示した構成例、動作例、及び、それらに対応する図面等は、少なくともその一部を、他の構成例、動作例、他の図面、及び本明細書等に記載する他の実施の形態等と適宜組み合わせることができる。

［０４６１］

＜処理部９１０に用いることができる半導体装置＞

本発明の一態様の半導体装置８１０について説明する。半導体装置８１０の少なくとも一部を、例えば、上述した図１Ａ等に示す電子計算機９００に用いることができる。例えば、処理部９１０が有するレジスタユニット９１４に用いることができる。

［０４６２］

［構成例］

図２２は、半導体装置８１０の構成例を説明する回路図である。

［０４６３］

図２２に示す半導体装置８１０は、スキャンフリップフロップ回路８５０と、バックアップ回路８３０と、を有する。

［０４６４］

本発明の一態様として、半導体装置８１０を上述した電子計算機９００が有するレジスタユニット９１４に用いる場合、例えば、スキャンフリップフロップ回路８５０は、スキャンフリップフロップ９１５に対応し、バックアップ回路８３０は、バックアップメモリ９１６に対応する。すなわち、例えば、スキャンフリップフロップ回路８５０は、層９８５に配置され、バックアップ回路８３０は、層９８３に配置される。よって、例えば、スキャンフリップフロップ回路８５０に、Ｓｉトランジスタを用いることができ、バックアップ回路８３０に、ＯＳトランジスタを用いることができる。

［０４６５］

スキャンフリップフロップ回路８５０は、セレクタ回路８５１と、フリップフロップ回路８５２と、を有する。バックアップ回路８３０は、保持回路８３１［１］乃至保持回路８３１［Ｇ］（Ｇは２以上の整数）と、トランジスタＭ８０１と、を有する。保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれは、トランジスタＭ８０２と、トランジスタＭ８０３と、容量Ｃ８０１と、を有する。

［０４６６］

半導体装置８１０の動作を制御する各種信号が、配線ＢＫ［１］乃至配線ＢＫ［Ｇ］、配線ＲＶ［１］乃至配線ＲＶ［Ｇ］、配線ＳＥ、配線ＰＣＫ、及び配線ＧＢＫに与えられる。

［０４６７］

半導体装置８１０は、配線ＰＣＫに与えられるクロック信号に同期して、配線Ｄから入力されるデータ又は配線ＳＤから入力されるデータを、スキャンフリップフロップ回路８５０内のフリップフロップ回路８５２に格納して保持し、配線Ｑに出力することができる。フリップフロップ回路８５２に保持されたデータは、配線ＢＫ［１］乃至配線ＢＫ［Ｇ］に与えられる信号によって、配線Ｑを介して、バックアップ回路８３０内の保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一に書き込まれた後、保持される。このような動作を、例えば、セーブ、退避、ストア、又はバックアップなどという場合がある。保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一に保持されたデータは、配線ＲＶ［１］乃至配線ＲＶ［Ｇ］に与えられる信号によって、配線ＳＤを介して、フリップフロップ回路８５２に書き戻された後、保持される。このような動作を、例えば、ロード、復帰、リストア、又はリカバリーなどという場合がある。

［０４６８］

フリップフロップ回路８５２は、配線ＰＣＫに与えられるクロック信号に同期して、入力端子Ｄｆに与えられるデータを格納して保持し、出力端子Ｑｆから出力する機能を有する。フリップフロップ回路８５２には、標準的な回路ライブラリに用意されているフリップフロップ回路を用いることができる。例えば、ポジティブエッジトリガ型のＤフリップフロップを用いることができる。

［０４６９］

セレクタ回路８５１は、配線ＳＥに与えられる信号によって、配線Ｄ又は配線ＳＤに与えられるデータをフリップフロップ回路８５２に伝える機能を有する。配線Ｄには、半導体装置８１０の外部より入力されるデータが与えられる。配線ＳＤには、バックアップ回路８３０内の保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一に保持されたデータ、又は配線ＳＤ＿ＩＮより入力されるデータが与えられる。配線ＳＤ＿ＩＮには、スキャンテスト用のデータが与えられる。

［０４７０］

バックアップ回路８３０は、パワーゲーティングの動作を行う際に、スキャンフリップフロップ回路８５０の状態を、保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一に、保持することができる。また、バックアップ回路８３０は、複数のタスクを切り替えながら処理を行う際に、タスクごとのスキャンフリップフロップ回路８５０の状態を、保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれに、一対一で対応するように、保持することができる。

［０４７１］

バックアップ回路８３０は、データのセーブを行う際に、配線ＢＫ［１］乃至配線ＢＫ［Ｇ］に与えられる信号によって、保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一、が選択される。また、バックアップ回路８３０は、データのロードを行う際に、配線ＲＶ［１］乃至配線ＲＶ［Ｇ］

に与えられる信号によって、保持回路８３１［１］乃至保持回路８３１［Ｇ］のいずれか一、が選択される。配線ＢＫ［１］乃至配線ＢＫ［Ｇ］のそれぞれ、及び、配線ＲＶ［１］乃至配線ＲＶ［Ｇ］のそれぞれには、保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれに、一対一で対応するように信号が与えられる。

［０４７２］

なお、保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれに共通する内容を、保持回路８３１と記載して説明する場合がある。その場合、配線ＢＫ［１］乃至配線ＢＫ［Ｇ］のそれぞれを、配線ＢＫと記載し、かつ、配線ＲＶ［１］乃至配線ＲＶ［Ｇ］のそれぞれを、配線ＲＶと記載して説明する場合がある。

［０４７３］

図２２に示すように、保持回路８３１は、配線Ｑ及び配線ＳＤのそれぞれに、電気的に接続されている。保持回路８３１において、配線Ｑに電気的に接続されている端子（配線）を入力端子とし、かつ、配線ＳＤに電気的に接続されている端子（配線）を出力端子とする。つまり、半導体装置８１０において、フリップフロップ回路８５２の出力端子Ｑｆは、保持回路８３１の入力端子に電気的に接続され、かつ、フリップフロップ回路８５２の入力端子Ｄｆは、セレクタ回路８５１を介して、保持回路８３１の出力端子に電気的に接続されている。

［０４７４］

保持回路８３１において、トランジスタＭ８０２のソース又はドレインの一方は、容量Ｃ８０１の一方の端子に電気的に接続されている。トランジスタＭ８０３のソース又はドレインの一方は、容量Ｃ８０１の一方の端子に電気的に接続されている。容量Ｃ８０１の他方の端子は、配線ＣＭに電気的に接続されている。トランジスタＭ８０２のソース又はドレインの他方は、保持回路８３１の入力端子（すなわち配線Ｑ）に電気的に接続されている。トランジスタＭ８０３のソース又はドレインの他方は、保持回路８３１の出力端子（すなわち配線ＳＤ）に電気的に接続されている。トランジスタＭ８０２のゲートは、配線ＢＫに電気的に接続されている。トランジスタＭ８０３のゲートは、配線ＲＶに電気的に接続されている。

［０４７５］

なお、保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれにおいて、トランジスタＭ８０２のソース又はドレインの一方と、トランジスタＭ８０３のソース又はドレインの一方と、容量Ｃ８０１の一方の端子と、が互いに電気的に接続されている配線を、配線ＳＮ［１］乃至配線ＳＮ［Ｇ］と記載して説明する場合がある。また、保持回路８３１［１］乃至保持回路８３１［Ｇ］のそれぞれに共通する内容を説明する場合、配線ＳＮ［１］乃至配線ＳＮ［Ｇ］のそれぞれを、配線ＳＮと記載して説明する場合がある。

［０４７６］

バックアップ回路８３０において、トランジスタＭ８０１のソース又はドレインの一方は、配線ＳＤに電気的に接続されている。トランジスタＭ８０１のソース又はドレインの他方は、配線ＳＤ＿ＩＮに電気的に接続されている。

［０４７７］

トランジスタＭ８０１のゲートは、配線ＧＢＫに電気的に接続されている。配線ＧＢＫには、スキャンテストを行うか否かを制御する信号が与えられる。

［０４７８］

本発明の一態様は、トランジスタＭ８０１、トランジスタＭ８０２、及びトランジスタＭ８０３として、例えば、ＯＳトランジスタを用いることができる。ＯＳトランジスタは、オフ電流が極めて低いという特性を有する。また、高温環境下でもオフ電流がほとんど増加しない、かつ、オン電流が低下しにくい、という特性を有する。

［０４７９］

それによって、保持回路８３１は、トランジスタＭ８０２及びトランジスタＭ８０３を非導通状態にすることで、配線ＳＮに書き込まれたデータを長期間保持することができる。例えば、パワーゲーティングの動作によって、スキャンフリップフロップ回路８５０に電力が供給されない状態においても、データを保持し続けることができる。すなわち、保持回路８３１は、不揮発性メモリとして用いることができる。

［０４８０］

ここで、半導体装置８１０において、配線ＳＮに保持したデータをフリップフロップ回路８５２に書き戻す際に、配線ＳＤの寄生容量によって、当該データの電位が変化する場合がある。そこで、当該データの電位の変化量が、例えば、フリップフロップ回路８５２などの論理しきい値よりも小さくなるように、容量Ｃ８０１の静電容量を、配線ＳＤの寄生容量よりも大きくするとよい。

［０４８１］

なお、半導体装置８１０の他の構成例として、例えば、複数の保持回路８３１ごとに、トランジスタＭ８０１を設ける構成としてもよい。また、例えば、トランジスタＭ８０１に、Ｓｉトランジスタを用いる構成としてもよい。

［０４８２］

また、半導体装置８１０において、面積オーバーヘッドを増大させることなく保持回路８３１の数を増やすため、複数の層９８３を積層し、それぞれの層９８３にバックアップ回路８３０を設ける構成としてもよい。

［０４８３］

本発明の一態様は、半導体装置８１０において、スキャンフリップフロップ回路８５０の回路構成及びレイアウトを変更することなく、バックアップ回路８３０を設けることができる。つまり、バックアップ回路８３０は、汎用性が非常に高い回路である。

［０４８４］

また、半導体装置８１０において、スキャンフリップフロップ回路８５０の上に積層して、バックアップ回路８３０が設けられる構成であるため、互いを電気的に接続する配線の距離を短くすることができる。そのため、データのセーブ及びロードに必要なエネルギー（アクセスエネルギー）を抑制することができる。よって、半導体装置８１０の消費電力の低減を図ることができる。

［０４８５］

［動作例１］

図２３は、図２２に示す半導体装置８１０の動作例を説明するタイミングチャートである。

［０４８６］

本動作例１では、例えば、上述した電子計算機９００において、パワーゲーティングの動作を行う場合における、半導体装置８１０の動作例について説明する。

［０４８７］

ここでは、半導体装置８１０の動作を説明するための一例として、バックアップ回路８３０が有す

る保持回路８３１の数を４つ（Ｇ＝４）として説明する。

［０４８８］

以下の動作の説明において、フリップフロップ回路８５２は、配線ＰＣＫに与えられるクロック信号が電位Ｌから電位Ｈに切り替わるタイミング（立ち上がりエッジ）に同期して、入力端子Ｄｆに与えられるデータを格納し、当該データを出力端子Ｑｆから出力するものとする。また、配線ＧＢＫに、電位Ｌが与えられているとする。また、配線ＣＭに定電位（例えば、電位ＶＳＳ）が与えられているとする。

［０４８９］

図２３に示すタイミングチャートは、動作の各期間（期間Ｔ８１１乃至期間Ｔ８１４）における、配線ＰＣＫ、配線ＢＫ［１］、配線ＲＶ［１］、及び配線ＳＥの、それぞれに与えられる信号の状態（電位Ｈ又は電位Ｌ）を図示している。なお、配線ＢＫ［２］乃至配線ＢＫ［４］、及び、配線ＲＶ［２］乃至配線ＲＶ［４］についての図示を省略している。また、配線Ｄ、配線Ｑ、配線ＳＤ、及び配線ＳＮ［１］のそれぞれに与えられているデータの状態（データＤ１乃至データＤ３のいずれか一）を図示している。なお、配線ＳＮ［２］乃至配線ＳＮ［４］についての図示を省略している。また、スキャンフリップフロップ回路８５０に電力が供給されている状態（Ｐｏｗｅｒ　ｏｎ）又は供給されていない状態（Ｐｏｗｅｒ　ｏｆｆ）を図示している。

［０４９０］

図２４Ａ乃至図２４Ｄは、図２３に示すタイミングチャートの各期間において、スキャンフリップフロップ回路８５０と、バックアップ回路８３０が有する保持回路８３１［１］乃至保持回路８３１［４］と、にデータが格納されている様子を示す模式図である。当該模式図において、データが入出力される様子（データの流れ）を破線矢印で図示している。

［０４９１］

期間Ｔ８１１の直前において、配線ＢＫ［１］乃至配線ＢＫ［４］、配線ＲＶ［１］乃至配線ＲＶ［４］、及び配線ＳＥのそれぞれに、電位Ｌが与えられているとする。また、配線ＳＮ［１］、及び配線ＳＮ［２］のそれぞれに与えられているデータの状態は、不定であるとする（データＤ１乃至データＤ３のいずれも図示していない。）。また、配線ＰＣＫに、クロック信号が与えられているとする。また、スキャンフリップフロップ回路８５０に、電力が供給されているとする。また、スキャンフリップフロップ回路８５０にデータＤ１が格納されているとする。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されるとする。

［０４９２］

期間Ｔ８１１において、まず、配線ＰＣＫに与えられるクロック信号が停止される。

［０４９３］

次に、配線ＢＫ［１］に電位Ｈを与えることで、配線Ｑに出力されたデータＤ１が、保持回路８３１［１］の配線ＳＮ［１］に格納される。その後、配線ＢＫ［１］に電位Ｌを与えることで、配線ＳＮ［１］に格納されたデータＤ１が、保持される。

［０４９４］

期間Ｔ８１２において、スキャンフリップフロップ回路８５０への電力の供給が遮断される。すると、スキャンフリップフロップ回路８５０に格納されたデータＤ１が、消失される。このとき、保持回路８３１［１］の配線ＳＮ［１］に保持されたデータＤ１は、保持される。

［０４９５］

期間Ｔ８１３において、まず、スキャンフリップフロップ回路８５０への電力の供給が再開される。

［０４９６］

次に、配線ＲＶ［１］に電位Ｈを与えることで、保持回路８３１［１］の配線ＳＮ［１］に格納されているデータＤ１が、配線ＳＤに与えられ、かつ、配線ＳＥに電位Ｈを与えることで、配線ＳＤが選択される。

［０４９７］

次に、配線ＰＣＫにパルス信号を与えることで、立ち上がりエッジに同期して、配線ＳＤに与えられたデータＤ１が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。その後、配線ＲＶ［１］及び配線ＳＥに電位Ｌを与える。

［０４９８］

期間Ｔ８１４において、まず、配線ＰＣＫに与えられるクロック信号が再開される。また、配線Ｄにデータ Ｄ２が与えられるとする。すると、当該クロック信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ２が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。

［０４９９］

以上、半導体装置８１０を、図２３に示すタイミングチャートのように動作させることができる。それによって、電子計算機９００において、パワーゲーティング動作を行う場合に、例えば、スキャンフリップフロップ回路８５０をパワーオンした際に、パワーオフする直前の状態に素早く戻すことができ、処理を再開するまでの時間を短くすることができる。

［０５００］

［動作例２］

図２５は、図２２に示す半導体装置８１０の動作例を説明するタイミングチャートである。

［０５０１］

本動作例２では、例えば、上述した電子計算機９００において、複数のタスクを切り替えながら処理を行う場合における、半導体装置８１０の動作例について説明する。

［０５０２］

ここでは、半導体装置８１０の動作を説明するための一例として、バックアップ回路８３０が有する保持回路８３１の数を４つ（Ｇ＝４）として説明する。

［０５０３］

以下の動作の説明において、フリップフロップ回路８５２は、配線ＰＣＫに与えられるクロック信号が電位Ｌから電位Ｈに切り替わるタイミング（立ち上がりエッジ）に同期して、入力端子Ｄｆに与えられるデータを格納し、当該データを出力端子Ｑｆから出力するものとする。また、配線ＧＢＫに、電位Ｌが与えられているとする。また、配線ＣＭに定電位（例えば、電位ＶＳＳ）が与えられているとする。

［０５０４］

図２５に示すタイミングチャートは、動作の各期間（期間Ｔ８２１乃至期間Ｔ８２７）における、配線ＰＣＫ、配線ＢＫ［１］、配線ＢＫ［２］、配線ＲＶ［１］、配線ＲＶ［２］、及び配線ＳＥの、それぞれに与えられる信号の状態（電位Ｈ又は電位Ｌ）を図示している。なお、配線ＢＫ［３］、配線ＢＫ［４］、配線ＲＶ［３］、及び配線ＲＶ［４］についての図示を省略している。また、配線Ｄ、配線Ｑ、配線ＳＤ、配線ＳＮ［１］、及び配線ＳＮ［２］のそれぞれに与えられているデータの状態（デ

ータＤ１乃至データＤ７のいずれか一）を図示している。なお、配線ＳＮ［３］、及び配線ＳＮ［４］についての図示を省略している。

［０５０５］

図２６Ａ乃至図２６Ｇは、図２５に示すタイミングチャートの各期間において、スキャンフリップフロップ回路８５０と、バックアップ回路８３０が有する保持回路８３１［１］乃至保持回路８３１［４］と、にデータが格納されている様子を示す模式図である。当該模式図において、データが入出力される様子（データの流れ）を破線矢印で図示している。

［０５０６］

期間Ｔ８２１の直前において、配線ＢＫ［１］乃至配線ＢＫ［４］、配線ＲＶ［１］乃至配線ＲＶ［４］、及び配線ＳＥのそれぞれに、電位Ｌが与えられているとする。また、配線ＳＮ［１］、及び配線ＳＮ［２］のそれぞれに与えられているデータの状態は、不定であるとする（データＤ１乃至データＤ７のいずれも図示していない。）。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されるとする。

［０５０７］

期間Ｔ８２１において、配線ＰＣＫに与えられる信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ１が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。

［０５０８］

期間Ｔ８２２において、配線ＰＣＫに与えられる信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ２が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。

［０５０９］

このとき、配線ＢＫ［１］に電位Ｈを与えることで、配線Ｑに出力されたデータＤ２が、保持回路８３１［１］の配線ＳＮ［１］に格納される。その後、配線ＢＫ［１］に電位Ｌを与えることで、配線ＳＮ［１］に格納されたデータＤ２が、保持される。

［０５１０］

期間Ｔ８２３において、配線ＰＣＫに与えられる信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ３が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。

［０５１１］

このとき、配線ＢＫ［２］に電位Ｈを与えることで、配線Ｑに出力されたデータＤ３が、保持回路８３１［２］の配線ＳＮ［２］に格納される。その後、配線ＢＫ［２］に電位Ｌを与えることで、配線ＳＮ［２］に格納されたデータＤ３が、保持される。

［０５１２］

期間Ｔ８２４において、配線ＰＣＫに与えられる信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ４が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。

［０５１３］

期間Ｔ８２５において、まず、配線ＲＶ［１］に電位Ｈを与えることで、保持回路８３１［１］の配線ＳＮ［１］に格納されているデータＤ２が、配線ＳＤに与えられる。なお、データＤ５が、配線Ｄに与えられるが、配線ＳＥに電位Ｈを与えることで、配線ＳＤが選択される。

［０５１４］

次に、配線ＰＣＫの立ち上がりエッジに同期して、配線ＳＤに与えられたデータＤ２が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。その後、配線ＲＶ［１］に電位Ｌを

与える。
［０５１５］
期間Ｔ８２６において、まず、配線ＲＶ［２］に電位Ｈを与えることで、保持回路８３１［２］の配線ＳＮ［２］に格納されているデータＤ３が、配線ＳＤに与えられる。なお、データＤ６が、配線Ｄに与えられるが、配線ＳＥに電位Ｈを与えることで、配線ＳＤが選択される。
［０５１６］
次に、配線ＰＣＫの立ち上がりエッジに同期して、配線ＳＤに与えられたデータＤ３が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。その後、配線ＲＶ［２］に電位Ｌを与え、かつ、配線ＳＥに電位Ｌを与える。
［０５１７］
期間Ｔ８２７において、配線ＰＣＫに与えられる信号の立ち上がりエッジに同期して、配線Ｄに与えられたデータＤ７が、スキャンフリップフロップ回路８５０に格納され、配線Ｑに出力される。
［０５１８］
以上、半導体装置８１０を、図２５に示すタイミングチャートのように動作させることができる。それによって、電子計算機９００において、複数のタスクを切り替えながら処理を行う場合に、例えば、中断したタスクのデータをセーブし、再開するタスクのデータをロードする構成とすることができる。
［０５１９］
本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。
［０５２０］
（実施の形態２）
本実施の形態では、本発明の一態様に係る記憶装置７２０を備えることができる演算処理装置の一例について説明する。
［０５２１］
図２７に、演算装置９６０のブロック図を示す。図２７に示す演算装置９６０は、例えばＣＰＵに適用することができる。また、演算装置９６０は、ＣＰＵよりも並列処理可能なプロセッサコアを多数(数１０～数１００個)有するＧＰＵ、ＴＰＵ(Ｔｅｎｓｏｒ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ)、ＮＰＵ(Ｎｅｕｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ)などのプロセッサにも適用することができる。
［０５２２］
図２７に示す演算装置９６０は、基板９９０上に、ＡＬＵ９９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　Ｌｏｇｉｃ　Ｕｎｉｔ、演算回路)、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、タイミングコントローラ９９５、レジスタ９９６、レジスタコントローラ９９７、バスインターフェイス９９８、キャッシュ９９９、及びキャッシュインターフェイス９８９を有している。基板９９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。書き換え可能なＲＯＭ及びＲＯＭインターフェイスを有してもよい。また、キャッシュ９９９及びキャッシュインターフェイス９８９は、別チップに設けてもよい。
［０５２３］

キャッシュ９９９は、別チップに設けられたメインメモリとキャッシュインターフェイス９８９を介して、接続される。キャッシュインターフェイス９８９は、メインメモリに保持されているデータの一部をキャッシュ９９９に供給する機能を有する。また、キャッシュインターフェイス９８９は、キャッシュ９９９に保持されているデータの一部を、バスインターフェイス９９８を介して、ＡＬＵ９９１又はレジスタ９９６等に出力する機能を有する。

［０５２４］

後述するように、演算装置９６０上に積層して、メモリアレイ７２１を設けることができる。メモリアレイ７２１はキャッシュとして用いることができる。このとき、キャッシュインターフェイス９８９はメモリアレイ７２１に保持されているデータをキャッシュ９９９に供給する機能を有していてよい。また、このとき、キャッシュインターフェイス９８９の一部に、駆動回路７２２を有することが好ましい。

［０５２５］

なお、キャッシュ９９９を設けず、メモリアレイ７２１のみをキャッシュとして用いることもできる。

［０５２６］

図２７に示す演算装置９６０は、その構成を簡略化して示した一例に過ぎず、実際の演算装置９６０はその用途によって多種多様な構成を有している。例えば、図２７に示す演算装置９６０を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば２個、好ましくは４個、より好ましくは８個、さらに好ましくは１２個、さらに好ましくは１６個又はそれ以上とすることが好ましい。また、サーバー用途など非常に高い演算性能が求められる場合には、１６個以上、好ましくは３２個以上、さらに好ましくは６４個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置９６０が内部演算回路、データバスなどで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０５２７］

バスインターフェイス９９８を介して演算装置９６０に入力された命令は、インストラクションデコーダ９９３に入力され、デコードされた後、ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５に入力される。

［０５２８］

ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５は、デコードされた命令に基づき、各種制御を行う。具体的にＡＬＵコントローラ９９２は、ＡＬＵ９９１の動作を制御するための信号を生成する。また、インタラプトコントローラ９９４は、演算装置９６０のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ９９７は、レジスタ９９６のアドレスを生成し、演算装置９６０の状態に応じてレジスタ９９６の読み出し又は書き込みを行う。

［０５２９］

また、タイミングコントローラ９９５は、ＡＬＵ９９１、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、及びレジスタコントローラ９９７の動

作のタイミングを制御する信号を生成する。例えばタイミングコントローラ９９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０５３０］

図２７に示す演算装置９６０において、レジスタコントローラ９９７は、ＡＬＵ９９１からの指示に従い、レジスタ９９６における保持動作の選択を行う。すなわち、レジスタ９９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ９９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ９９６内のメモリセルへの電源電圧の供給を停止することができる。

［０５３１］

メモリアレイ７２１と演算装置９６０は、重ねて設けることができる。図２８Ａ及び図２８Ｂに半導体装置９７０Ａの斜視図を示す。半導体装置９７０Ａは、演算装置９６０上に、メモリアレイが設けられた層９３３を有する。層９３３には、メモリアレイ７２１Ｌ１、メモリアレイ７２１Ｌ２、及びメモリアレイ７２１Ｌ３が設けられている。演算装置９６０と各メモリアレイは、互いに重なる領域を有する。半導体装置９７０Ａの構成を分かりやすくするため、図２８Ｂでは演算装置９６０及び層９３３を分離して示している。

［０５３２］

メモリアレイを有する層９３３と演算装置９６０を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減することができる。

［０５３３］

メモリアレイを有する層９３３と演算装置９６０とを積層する方法としては、演算装置９６０上に直接メモリアレイを有する層９３３を積層する方法（モノリシック積層ともいう。）を用いてもよいし、演算装置９６０と層９３３とをそれぞれ異なる基板上に形成し、２つの基板を貼り合せ、貫通ビア又は導電膜の接合技術（Ｃｕ－Ｃｕ接合など）を用いて電気的に接続する方法を用いてもよい。前者は、貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減することができる。

［０５３４］

ここで、演算装置９６０にキャッシュ９９９を有さず、層９３３に設けられるメモリアレイ７２１Ｌ１、メモリアレイ７２１Ｌ２、及びメモリアレイ７２１Ｌ３は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ７２１Ｌ１をＬ１キャッシュ（レベル１キャッシュともいう。）として用い、メモリアレイ７２１Ｌ２をＬ２キャッシュ（レベル２キャッシュともいう。）として用い、メモリアレイ７２１Ｌ３をＬ３キャッシュ（レベル３キャッシュともいう。）として用いることができる。３つのメモリアレイのうち、メモリアレイ７２１Ｌ３が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ７２１Ｌ１が最も容量が小さく、かつ、最もアクセス頻度が高い。

［０５３５］

なお、演算装置９６０に設けられるキャッシュ９９９をＬ１キャッシュとして用いる場合は、層９

３３に設けられる各メモリアレイを、それぞれ下位のキャッシュ、又はメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

［０５３６］

また、図２８Ｂに示すように、駆動回路７２２Ｌ１、駆動回路７２２Ｌ２、及び駆動回路７２２Ｌ３が設けられている。駆動回路７２２Ｌ１は、接続電極９４０Ｌ１を介してメモリアレイ７２１Ｌ１と接続されている。同様に、駆動回路７２２Ｌ２は、接続電極９４０Ｌ２を介してメモリアレイ７２１Ｌ２と、駆動回路７２２Ｌ３は、接続電極９４０Ｌ３を介してメモリアレイ７２１Ｌ３と接続されている。

［０５３７］

なお、ここではキャッシュとして機能するメモリアレイを３つとした場合を示したが、１つ又は２つでもよいし、４つ以上であってもよい。

［０５３８］

メモリアレイ７２１Ｌ１をキャッシュとして用いる場合、駆動回路７２２Ｌ１はキャッシュインターフェイス９８９の一部として機能してもよいし、駆動回路７２２Ｌ１がキャッシュインターフェイス９８９と接続される構成としてもよい。同様に、駆動回路７２２Ｌ２、駆動回路７２２Ｌ３も、キャッシュインターフェイス９８９の一部として機能する、又はこれと接続される構成としてもよい。

［０５３９］

メモリアレイ７２１をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路７２２が有する制御回路７７２によって決定される。制御回路７７２は、演算装置９６０から供給された信号に基づいて、記憶装置７２０が有する複数のメモリセル７４１の一部をＲＡＭとして機能させることができる。

［０５４０］

記憶装置７２０は、複数のメモリセル７４１の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち、記憶装置７２０はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る記憶装置７２０は、例えば、ユニバーサルメモリとして機能することができる。

［０５４１］

また、一つのメモリアレイ７２１を有する層９３３を演算装置９６０に重ねて設けてもよい。図２９Ａに半導体装置９７０Ｂの斜視図を示す。

［０５４２］

半導体装置９７０Ｂでは、一つのメモリアレイ７２１を複数のエリアに分けて、それぞれ異なる機能で使用することができる。図２９Ａでは、領域Ｌ１をＬ１キャッシュとして、領域Ｌ２をＬ２キャッシュとして、領域Ｌ３をＬ３キャッシュとして用いる場合の例を示している。

［０５４３］

また、半導体装置９７０Ｂでは、領域Ｌ１乃至領域Ｌ３のそれぞれの容量を状況に応じて変えることができる。例えばＬ１キャッシュの容量を増やしたい場合には、領域Ｌ１の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

［０５４４］

また、複数のメモリアレイを積層してもよい。図２９Ｂに半導体装置９７０Ｃの斜視図を示している。

［０５４５］

半導体装置９７０Ｃは、メモリアレイ７２１Ｌ１を有する層９３３Ｌ１と、その上にメモリアレイ７２１Ｌ２を有する層９３３Ｌ２と、その上にメモリアレイ７２１Ｌ３を有する層９３３Ｌ３とが積層されている。最も演算装置９６０に物理的に近いメモリアレイ７２１Ｌ１を上位のキャッシュに用い、最も遠いメモリアレイ７２１Ｌ３を下位のキャッシュ又はメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

［０５４６］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０５４７］

（実施の形態３）

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

［０５４８］

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図３０Ａに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図３０Ａでは、最上層から順に、ＣＰＵなどの演算処理装置にレジスタ（ｒｅｇｉｓｔｅｒ）として混載されるメモリ、Ｌ１キャッシュ（Ｌ１　ｃａｃｈｅ）、Ｌ２キャッシュ（Ｌ２　ｃａｃｈｅ）、Ｌ３キャッシュ（Ｌ３　ｃａｃｈｅ）、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）、ストレージ（ｓｔｏｒａｇｅ）等がある。なお、ここではＬ３キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

［０５４９］

ＣＰＵなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

［０５５０］

キャッシュは、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）に保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

［０５５１］

メインメモリは、ストレージ（ｓｔｏｒａｇｅ）から読み出されたプログラム、データなどを保持する機能を有する。

［０５５２］

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば、３Ｄ　ＮＡＮＤなどの高容量かつ不揮発性の記憶装置を用いることができる。

［０５５３］

本発明の一態様に係る酸化物半導体を用いた記憶装置（ＯＳメモリ（ＯＳ　ｍｅｍｏｒｙ））は、動作速度が速く、長期間のデータ保持が可能である。そのため、図３０Ａに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

［０５５４］

また、図３０Ｂでは、キャッシュの一部にＳＲＡＭを、他の一部に本発明の一態様のＯＳメモリを適用した場合の例を示す。

［０５５５］

キャッシュのうち、最も下位に位置するものを、ＬＬＣ（Ｌａｓｔ　Ｌｅｖｅｌ　Ｃａｃｈｅ）と呼ぶことができる。ＬＬＣはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のＯＳメモリは動作速度が速く、長期間のデータ保持が可能であるため、ＬＬＣに好適に用いることができる。なお、本発明の一態様のＯＳメモリは、ＦＬＣ（Ｆｉｎａｌ　Ｌｅｖｅｌ　Ｃａｃｈｅ）にも適用することができる。

［０５５６］

例えば、図３０Ｂに示すように、上位のキャッシュ（Ｌ１キャッシュ、Ｌ２キャッシュ等）にＳＲＡＭを用い、ＬＬＣに本発明の一態様のＯＳメモリを用いる構成とすることができる。また、図３０Ｂに示すように、メインメモリには、ＯＳメモリだけでなく、ＤＲＡＭを適用することもできる。

［０５５７］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０５５８］

（実施の形態４）

本実施の形態では、本発明の一態様の記憶装置の作製方法例について、図面を参照して説明する。

［０５５９］

＜記憶装置の作製方法例＞

以下では、本発明の一態様の記憶装置の作製方法として、図５Ａ乃至図６Ｂに示す記憶装置の作製方法例を説明する。

［０５６０］

図３１、図３３、図３５、図３７、図３９、図４１、図４３、図４５、図４７、図４９、図５１、図５３、及び図５５のそれぞれにおいて、各図のＡは、平面図を示す。また、各図のＢは、それぞれ、各図のＡにＡ１－Ａ２の一点鎖線で示す部位に対応する断面図である。また、図３２、図３４、図３６、図３８、図４０、図４２、図４４、図４６、図４８、図５０、図５２、図５４、及び図５６のそれぞれにおいて、各図のＡは、１つ前の各図のＡにおけるＡ３－Ａ４の一点鎖線で示す部に対応する断面図である。また、各図のＢは、それぞれ１つ前の各図のＡにおけるＡ５－Ａ６の一点鎖線で示す部位に対応する断面図である。なお、図３１、図３３、図３５、図３７、図３９、図４１、図４３、図４５、図４７、図４９、図５１、図５３、及び図５５のそれぞれにおいて、各図のＡの平面図では、図の明瞭化のために一部の要素を省いている。

［０５６１］

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、又は、

半導体を形成するための半導体材料は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて成膜することができる。

［０５６２］

なお、スパッタリング法には、スパッタリング用電源に高周波電源を用いるＲＦスパッタリング法、直流電源を用いるＤＣスパッタリング法、さらに、パルス的に電極に印加する電圧を変化させるパルスＤＣスパッタリング法がある。ＲＦスパッタリング法は、主に、絶縁膜を成膜する場合に用いられ、ＤＣスパッタリング法は、主に、金属導電膜を成膜する場合に用いられる。また、パルスＤＣスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

［０５６３］

なお、ＣＶＤ法は、プラズマを利用するプラズマＣＶＤ（ＰＥＣＶＤ）法、熱を利用する熱ＣＶＤ（ＴＣＶＤ：Ｔｈｅｒｍａｌ　ＣＶＤ）法、及び、光を利用する光ＣＶＤ（Ｐｈｏｔｏ　ＣＶＤ）法等に分類することができる。さらに、用いる原料ガスによって金属ＣＶＤ（ＭＣＶＤ：Ｍｅｔａｌ　ＣＶＤ）法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法に分けることができる。

［０５６４］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。また、熱ＣＶＤ法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、記憶装置に含まれる配線、電極、及び素子（トランジスタ、容量等）等は、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱ＣＶＤ法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、熱ＣＶＤ法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０５６５］

また、ＡＬＤ法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ法等を用いることができる。

［０５６６］

ＣＶＤ法及びＡＬＤ法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いＣＶＤ法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０５６７］

また、ＣＶＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、ＣＶＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

［０５６８］

また、ＡＬＤ法では、異なる複数種のプリカーサを同時に導入することで、任意の組成の膜を成膜

することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで、任意の組成の膜を成膜することができる。

［０５６９］

まず、基板（図示しない。）を準備し、当該基板上に絶縁層１０１を形成する。絶縁層１０１には、上述の絶縁性材料を適宜用いることができる。絶縁層１０１の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。

［０５７０］

次に、絶縁層１０１上に、導電層１１１ａを形成する（図３１Ａ乃至図３２Ｂ）。例えば、導電層１１１ａとなる導電膜を形成し、当該導電膜を加工することにより、導電層１１１ａを形成することができる。導電層１１１ａとなる導電膜には、上述の導電層１１１ａに適用可能な導電性材料を適宜用いることができる。

［０５７１］

導電層１１１ａとなる導電膜の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。例えば、導電層１１１ａとなる導電膜として、ＣＶＤ法を用いて、タングステン、窒化チタンの順に成膜された積層膜を形成することができる。導電層１１１ａとなる導電膜の形成後、例えば、リソグラフィー法によるパターン形成を行い、当該パターンに基づいてドライエッチング法又はウェットエッチング法等を用いて上記導電膜を加工することにより、導電層１１１ａを形成することができる。ここで、上記導電膜の加工をドライエッチング法で行うと、微細加工ができ、好ましい。

［０５７２］

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去又は残存させてレジストマスクを形成する。これにより、パターンが形成される。

［０５７３］

例えば、ＫｒＦエキシマレーザ光、ＡｒＦエキシマレーザ光、又はＥＵＶ光等を用いて、レジストを露光することでレジストマスクを形成する。また、基板と投影レンズとの間に液体（例えば、水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビーム又はイオンビームを用いてもよい。なお、電子ビーム又はイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシング等のドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、又はウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

［０５７４］

次に、当該レジストマスクを介してエッチング処理を行う。これにより、導電層、半導体層、及び絶縁層等を所望の形状に加工することができる。

［０５７５］

上記エッチング処理としてドライエッチング処理を行う場合、エッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一又は複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、C_4F_6ガス、C_5F_6ガス、C_4F_8ガス、CF_4ガス、SF_6ガス、NF_3ガス、CHF_3ガス、Cl_2ガス、BCl_3ガス、$SiCl_4$ガス、CCl_4ガス、又はBBr_3ガス等を単独又は２以上のガスを混合して用いるこ

とができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、又は炭化水素ガス等を適宜添加することができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

［０５７６］

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。又は平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。又は高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置を用いることができる。

［０５７７］

次に、絶縁層１０１上、及び、導電層１１１ａ上に、層間絶縁層として機能する絶縁層１０３ａを形成する。絶縁層１０３ａには、上述の絶縁性材料を適宜用いることができる。絶縁層１０３ａの形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。例えば、絶縁層１０３ａとして、スパッタリング法を用いて酸化シリコン膜を成膜する。なお、絶縁層１０３ａは、成膜後に化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）処理を行って、上面を平坦化させることが好ましい。絶縁層１０３ａの平坦化処理を行うことで、後の工程で、トランジスタ４１のソース電極又はドレイン電極の他方として機能する導電層１１２ａを好適に形成することができる。また、絶縁層１０３ａ上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁層１０３ａに達するまで、ＣＭＰ処理を行ってもよい。当該ＣＭＰ処理を行うことで絶縁層１０３ａ表面の平坦化及び平滑化を行うことができる。当該酸化アルミニウムを絶縁層１０３ａ上に配置してＣＭＰ処理を行うことで、ＣＭＰ処理の終点検出が容易となる。

［０５７８］

なお、ＣＭＰ処理を行わなくてもよい場合がある。このとき、絶縁層１０３ａの上面は、凸曲面形状を有する。平坦化処理を行わないことにより、作製コストを低くすることができるとともに、生産歩留まりを高めることができる。

［０５７９］

なお、絶縁層１０１に凹部を設け、当該凹部を埋め込むように導電層１１１ａを形成してもよい。絶縁層１０１の上面の高さと、導電層１１１ａの上面の高さと、を概略一致するように形成し、その後、絶縁層１０１及び導電層１１１ａ上に、絶縁層１０３ａを形成してもよい。

［０５８０］

また、絶縁層１０３ａを、酸素を含む雰囲気で、スパッタリング法で成膜することで、過剰酸素を含む絶縁層１０３ａを形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層１０３ａ中の水素濃度を低減することができる。このように、絶縁層１０３ａを成膜することで、絶縁層１０３ａから後の工程で形成する半導体層１１３ａのチャネル形成領域に酸素を供給し、酸素欠損及びV_OHの低減を図ることができる。

［０５８１］

次に、絶縁層１０３ａ上に、後に導電層１１２ａとなる導電膜１１２Ａを形成する（図３３Ａ乃至図３４Ｂ）。導電膜１１２Ａには、上述の導電層１１２に適用可能な導電性材料を適宜用いることができる。導電膜１１２Ａの形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。

［０５８２］

次に、導電膜１１２Ａの一部、及び、絶縁層１０３ａの一部をそれぞれ加工して、導電層１１１ａに達する開口１２１ａを形成する（図３５Ａ乃至図３６Ｂ）。開口１２１ａの形成は、例えば、リソグラフィー法及びエッチング法を用いて行うことができる。当該加工により、導電膜１１２Ａから、開口を有する導電層１１２ｆが形成される。

［０５８３］

ここで、開口１２１ａの側壁は、導電層１１１ａの上面に対して垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。また、開口１２１ａの側壁は、テーパ形状であってもよい。開口１２１ａの側壁をテーパ形状にすることで、例えば、後述する半導体層１１３ａとなる金属酸化物膜等の被覆性が向上し、鬆等の欠陥を低減することができる。

［０５８４］

開口１２１ａの最大幅（平面視において、開口１２１ａが円形である場合は直径）は、微細であることが好ましい。例えば、開口１２１ａの最大幅は、１ｎｍ以上６０ｎｍ以下、５ｎｍ以上５０ｎｍ以下、５ｎｍ以上４０ｎｍ以下、５ｎｍ以上３０ｎｍ以下、又は５ｎｍ以上２０ｎｍ以下であることが好ましい。開口１２１ａの最大幅が微細であるほど、平面視におけるトランジスタの占有面積を小さくすることができる。そのため、記憶装置の平面視における占有面積を小さくすることができ、記憶装置の微細化及び高集積化を図ることができる。

［０５８５］

一方で、開口１２１ａの最大幅が大きい場合、トランジスタのチャネル幅が大きくなり、オン電流を大きくすることができるため好ましい。

［０５８６］

開口１２１ａはアスペクト比が大きいため、異方性エッチングを用いて、導電膜１１２Ａの一部、及び、絶縁層１０３ａの一部をそれぞれ加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、それぞれ異なる条件で行ってもよい。なお、導電膜１１２Ａの一部、及び、絶縁層１０３ａの一部の加工を行う条件によっては、開口１２１ａ内における導電層１１２ｆの側面の傾きと、開口１２１ａ内における絶縁層１０３ａの側面の傾きと、がそれぞれ異なることがある。

［０５８７］

続いて、加熱処理を行ってもよい。加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行えばよい。なお、加熱処理は、例えば、窒素ガス若しくは不活性ガスの雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。以上のような加熱処理を行うことで、後述する半導体層１１３ａとなる金属酸化物膜の成膜前に、絶縁層１０３ａ等に含まれる、水等の不純物を低減することができる。

［０５８８］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が１ｐｐｂ以下、好ましくは０．１ｐｐｂ以下、より好ましくは０．０５ｐｐｂ以下にする。高純度化されたガスを用いて加熱処理を行うことで、例えば、絶縁層１０３ａに水分が取り込まれることを可能な限り防ぐことができる。

［０５８９］

次に、導電層１１２ｆを加工して、平面視にて、導電層１１１ａと重なる領域を有するように、導電層１１２ａを形成する。例えば、リソグラフィー法によるパターン形成を行い、当該パターンに基づいてドライエッチング法又はウェットエッチング法等を用いて導電層１１２ｆを加工することにより、導電層１１２ａを形成することができる。ここで、導電層１１２ｆの加工をドライエッチング法で行うと、微細加工ができ、好ましい。

［０５９０］

次に、導電層１１２ａの上面、開口１２１ａ内における導電層１１２ａの側面、開口１２１ａ内における絶縁層１０３ａの側面、及び、開口１２１ａ内における導電層１１１ａの上面に接して、後に半導体層１１３ａとなる金属酸化物膜を形成する。半導体層１１３ａとなる金属酸化物膜には、上述の半導体層１１３に適用可能な金属酸化物を適宜用いることができる。半導体層１１３ａとなる金属酸化物膜の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。ここで、半導体層１１３ａとなる金属酸化物膜は、アスペクト比の大きい開口１２１ａ内において、導電層１１２ａの側面、絶縁層１０３ａの側面、及び、導電層１１１ａの上面に接して形成されることが好ましい。よって、半導体層１１３ａとなる金属酸化物膜は、被覆性が良好な成膜方法を用いて形成することが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。例えば、半導体層１１３ａとなる金属酸化物膜として、ＡＬＤ法を用いて、Ｉｎ－Ｇａ－Ｚｎ酸化物を成膜する。

［０５９１］

なお、開口１２１ａの側壁がテーパ形状である場合、半導体層１１３ａとなる金属酸化物膜の成膜は、ＣＶＤ法又はＡＬＤ法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

［０５９２］

また、半導体層１１３ａを積層構造とする場合、半導体層１１３ａに含まれる各層の成膜方法は同じであってもよいし、異なってもよい。例えば、半導体層１１３ａを２層の積層構造とする場合、半導体層１１３ａとなる金属酸化物膜の下層をスパッタリング法で成膜し、上層をＡＬＤ法で成膜してもよい。スパッタリング法を用いて成膜された金属酸化物膜は結晶性を有しやすい。そこで、半導体層１１３ａとなる金属酸化物膜の下層に結晶性を有する金属酸化物膜を設けることで、上層の結晶性を高めることができる。また、スパッタリング法で成膜した金属酸化物膜の下層にピンホール又は段切れ等が形成されたとしても、それらと重畳する部分を、被覆性の良好なＡＬＤ法で成膜した金属酸化物膜の上層で塞ぐことができる。

［０５９３］

ここで、半導体層１１３ａとなる金属酸化物膜は、開口１２１ａ内における導電層１１１ａの上面、開口１２１ａ内における絶縁層１０３ａの側面、開口１２１ａ内における導電層１１２ａの側面、及び、導電層１１２ａの上面に接して形成されることが好ましい。当該金属酸化物膜を導電層１１１ａと接して形成することで、導電層１１１ａは、トランジスタ４１のソース電極又はドレイン電極の一方として機能する。

［０５９４］

次に、加熱処理を行うことが好ましい。加熱処理は、半導体層１１３ａとなる金属酸化物膜が多結晶化しない温度範囲で行えばよく、２５０℃以上６５０℃以下、好ましくは４００℃以上６００℃以下で行えばよい。加熱処理の詳細は、前述の記載を参照することができる。

［０５９５］

ここで、半導体層１１３ａとなる金属酸化物膜に、過剰酸素を含む絶縁層１０３ａを接して設けた状態で、上記加熱処理を行うことが好ましい。このように加熱処理を行うことで、絶縁層１０３ａから、半導体層１１３ａとなる金属酸化物膜に酸素を供給し、後に形成される半導体層１１３ａ中の酸素欠損及びV_OHの低減を図ることができる。

［０５９６］

なお、上記においては、半導体層１１３ａとなる金属酸化物膜の成膜後に加熱処理を行ったが、本発明はこれに限られるものではない。さらに後の工程で加熱処理を行う構成にしてもよい。

［０５９７］

次に、半導体層１１３ａとなる金属酸化物膜を加工して、平面視にて、開口１２１ａと重なる領域を有するように、半導体層１１３ａを形成する（図３７Ａ乃至図３８Ｂ）。例えば、半導体層１１３ａとなる金属酸化物膜に対して、リソグラフィー法によるパターン形成を行った後、当該パターンに基づいて、エッチング法により加工する。これにより、開口１２１ａと重なる領域を有するように、半導体層１１３ａを形成することができる。これにより、半導体層１１３ａの一部が、開口１２１ａに形成される。また、半導体層１１３ａは、導電層１１２ａの上面に接する。以上により、開口１２１ａ内にて導電層１１１ａの上面と接する領域、開口１２１ａ内にて絶縁層１０３ａの側面と接する領域、開口１２１ａ内にて導電層１１２ａの側面と接する領域、及び、導電層１１２ａの上面と接する領域を有する半導体層１１３ａが形成される。

［０５９８］

なお、図３７Ａ及び図３７Ｂでは、Ｘ方向において、半導体層１１３ａの端部が、導電層１１２ａの端部と概略一致して形成する例を示しているが、この限りではない。半導体層１１３ａの端部は、Ｘ方向において、導電層１１２ａの端部よりも内側に位置していてもよい。また、半導体層１１３ａの端部は、Ｘ方向において、導電層１１２ａの端部よりも外側に位置していてもよく、半導体層１１３ａの下面が、導電層１１２ａの開口１２１ａに面しない側の側面、及び、絶縁層１０３ａの上面に接していてもよい。

［０５９９］

また、上記では、導電層１１２ａの形成を行った後に半導体層１１３ａを形成する例について述べたが、この限りではない。例えば、本発明の一態様では、開口１２１ａの形成後（図３５Ａ乃至図３６Ｂ）に、半導体層１１３ａとなる金属酸化物膜を形成し、当該金属酸化物膜を加工して半導体層１１３ａを形成した後に、導電層１１２ｆを加工して、導電層１１２ａを形成してもよい。

［０６００］

次に、半導体層１１３ａの上面に接して、絶縁層１０５ａを形成する（図３９Ａ乃至図４０Ｂ）。絶縁層１０５ａには、上述の絶縁性材料を適宜用いることができる。絶縁層１０５ａの形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。ここで、絶縁層１０５ａは、アスペクト比の大きい開口１２１ａ内において、半導体層１１３ａの上面に接して形成されることが好ましい。よって、絶縁層１０５ａの成膜は、被覆性が良好な

成膜方法を用いることが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。例えば、絶縁層１０５ａとして、ＡＬＤ法を用いて、酸化シリコンを成膜する。

［０６０１］

なお、開口１２１ａの側壁がテーパ形状である場合、絶縁層１０５ａの成膜は、ＣＶＤ法又はＡＬＤ法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

［０６０２］

半導体層１１３ａを形成した後に、絶縁層１０５ａを形成する構成にすることで、半導体層１１３ａの側端部が絶縁層１０５ａで覆われる。したがって、半導体層１１３ａと、後の工程で形成する導電層１１５ａのショートを防ぐことができる。また、上記構成にすることで、導電層１１２ａの側端部が絶縁層１０５ａで覆われる。したがって、導電層１１２ａと導電層１１５ａのショートを防ぐことができる。

［０６０３］

次に、開口１２１ａを埋めるように、絶縁層１０５ａ上に、導電層１１５ａとなる導電膜を形成する。導電層１１５ａとなる導電膜には、上述の導電層１１５に適用可能な導電性材料を適宜用いることができる。導電層１１５ａとなる導電膜の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。ここで、導電層１１５ａとなる導電膜は、アスペクト比の大きい開口１２１ａに設けられた絶縁層１０５ａに接して形成されることが好ましい。よって、導電層１１５ａとなる導電膜の形成は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。

［０６０４］

なお、ＣＶＤ法を用いて導電層１１５ａとなる導電膜を形成した場合、当該導電膜の上面の平均面粗さが大きくなることがある。この場合、ＣＭＰ法を用いて、当該導電膜を平坦化することが好ましい。このとき、ＣＭＰ処理を行う前に、当該導電膜上に酸化シリコン膜又は酸化窒化シリコン膜を成膜し、当該酸化シリコン膜又は酸化窒化シリコン膜を除去するまで、ＣＭＰ処理を行ってもよい。なお、ＣＭＰ処理は、行わなくてもよい。

［０６０５］

また、上記においては、導電層１１５ａとなる導電膜が開口１２１ａを埋め込むように設けられるが、本発明はこれに限られるものではない。例えば、導電層１１５ａとなる導電膜の上部に、開口１２１ａの形状を反映した凹部が形成される場合がある。また、当該凹部を、例えば、無機絶縁材料で充填する構成にしてもよい。なお、当該凹部を、無機絶縁材料等で充填しなくてもよい。

［０６０６］

次に、導電層１１５ａとなる導電膜の一部を加工して、導電層１１５ａを形成する（図４１Ａ乃至図４２Ｂ）。導電層１１５ａの形成は、例えば、リソグラフィー法によるパターン形成を行った後、当該パターンに基づいて導電層１１５ａとなる導電膜をエッチング法で加工することにより行うことができる。当該加工は、例えば、ドライエッチング法又はウェットエッチング法を用いることができるが、ドライエッチング法による加工は微細加工に適していて好ましい。導電層１１５ａは、半導体層１１３ａと重なる領域を有するように、絶縁層１０５ａ上に形成される。

［０６０７］

以上のようにして、導電層１１１ａ、導電層１１２ａ、半導体層１１３ａ、絶縁層１０５ａ、及び導電層１１５ａを有するトランジスタ４１を形成することができる。

［０６０８］

前述のように、導電層１１１ａは、トランジスタ４１のソース電極又はドレイン電極の一方として機能する。導電層１１２ａは、トランジスタ４１のソース電極又はドレイン電極の他方として機能する。絶縁層１０５ａは、トランジスタ４１のゲート絶縁層として機能する。導電層１１５ａは、トランジスタ４１のゲート電極として機能する。

［０６０９］

次に、導電層１１５ａ及び絶縁層１０５ａを覆って、絶縁層１０７ａを形成する。その後、絶縁層１０７ａ上に絶縁層１３５を形成する。絶縁層１０７ａ及び絶縁層１３５は、それぞれ、上述の絶縁層１０７及び絶縁層１３５に適用可能な絶縁性材料を適宜用いることができる。絶縁層１０７ａ及び絶縁層１３５の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。

［０６１０］

次に、絶縁層１３５上に、後に導電層１４１となる導電膜１４１ｆを形成する（図４３Ａ乃至図４４Ｂ）。導電膜１４１ｆには、上述の導電層１４１に適用可能な導電性材料を適宜用いることができる。導電膜１４１ｆの形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、又はＡＬＤ法等の成膜方法を適宜用いて行うことができる。

［０６１１］

次に、導電膜１４１ｆを加工し、平面視にて、導電層１１５ａと重なる領域を有するように、導電層１４１を形成する（図４５Ａ乃至図４６Ｂ）。導電層１４１の形成は、例えば、リソグラフィー法によるパターン形成を行った後、当該パターンに基づいて導電膜１４１ｆをエッチング法で加工することにより行うことができる。当該加工は、例えば、ドライエッチング法又はウェットエッチング法を用いることができるが、ドライエッチング法による加工は微細加工に適していて好ましい。なお、導電層１４１は、平面視にて、後に形成する開口１２１ｂとの間に間隔を有するように形成する。

［０６１２］

次に、導電層１４１上、及び、絶縁層１３５上に、層間絶縁層として機能する絶縁層１０３ｂを形成する。絶縁層１０３ｂは、前述の絶縁層１０３ａと同じ材料を用いて、同じ方法で形成することができる。なお、絶縁層１０３ｂは、成膜後にＣＭＰ処理を行って、上面を平坦化させることが好ましい。絶縁層１０３ｂの平坦化処理を行うことで、後の工程で、トランジスタ４２のソース電極又はドレイン電極の他方として機能する導電層１１２ｂを好適に形成することができる。

［０６１３］

なお、ＣＭＰ処理を行わなくてもよい場合がある。このとき、絶縁層１０３ｂの上面は、凸曲面形状を有する。平坦化処理を行わないことにより、作製コストを低くすることができるとともに、生産歩留まりを高めることができる。

［０６１４］

また、絶縁層１０３ｂを、酸素を含む雰囲気で、スパッタリング法で成膜することで、過剰酸素を含む絶縁層１０３ｂを形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層１０３ｂ中の水素濃度を低減することができる。このように、絶縁層１０３ｂを成膜することで、絶縁層１０３ｂから後の工程で形成する半導体層１１３ｂのチャネル形成領域に酸素を供給し、酸素欠損及びV_OHの低減を図ることができる。

［０６１５］

次に、絶縁層１０３ｂ上に、後に導電層１１２ｂとなる導電膜１１２Ｂを形成する（図４７Ａ乃至図４８Ｂ）。導電膜１１２Ｂは、前述の導電膜１１２Ａと同じ材料を用いて、同じ方法で形成することができる。

［０６１６］

次に、導電膜１１２Ｂの一部、絶縁層１０３ｂの一部、絶縁層１３５の一部、及び、絶縁層１０７ａの一部をそれぞれ加工して、導電層１１５ａに達する開口１２１ｂを形成する（図４９Ａ乃至図５０Ｂ）。開口１２１ｂは、平面視にて、導電層１４１との間に間隔を有するように形成する。また、開口１２１ｂは、導電層１１５ａの概略平坦な上面と重なる領域に形成することが好ましい。これにより、後に開口１２１ｂ内に形成する半導体層１１３ｂの下面と、導電層１１５ａの上面と、の間で接触不良が発生することを抑制することができる。開口１２１ｂの形成には、前述の開口１２１ａの形成と同じ方法を用いることができる。当該加工により、導電膜１１２Ｂから、開口を有する導電層１１２ｓが形成される。

［０６１７］

ここで、開口１２１ｂの側壁は、導電層１１５ａの上面に対して垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。また、開口１２１ｂの側壁は、テーパ形状であってもよい。開口１２１ｂの側壁をテーパ形状にすることで、例えば、後述する半導体層１１３ｂとなる金属酸化物膜等の被覆性が向上し、鬆等の欠陥を低減することができる。

［０６１８］

開口１２１ｂの最大幅（平面視において、開口１２１ｂが円形である場合は直径）は、微細であることが好ましい。例えば、開口１２１ｂの最大幅は、１ｎｍ以上６０ｎｍ以下、５ｎｍ以上５０ｎｍ以下、５ｎｍ以上４０ｎｍ以下、５ｎｍ以上３０ｎｍ以下、又は５ｎｍ以上２０ｎｍ以下であることが好ましい。

［０６１９］

開口１２１ｂはアスペクト比が大きいため、異方性エッチングを用いて、導電膜１１２Ｂの一部、絶縁層１０３ｂの一部、絶縁層１３５の一部、及び、絶縁層１０７ａの一部をそれぞれ加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、それぞれ異なる条件で行ってもよい。なお、導電膜１１２Ｂの一部、絶縁層１０３ｂの一部、絶縁層１３５の一部、及び、絶縁層１０７ａの一部の加工を行う条件によっては、開口１２１ｂ内における導電層１１２ｓの側面の傾きと、開口１２１ｂ内における絶縁層１０３ｂの側面の傾きと、開口１２１ｂ内における絶縁層１３５の側面の傾きと、開口１２１ｂ内における絶縁層１０７ａの側面の傾きと、がそれぞれ異なることがある。

［０６２０］

続いて、加熱処理を行ってもよい。加熱処理の詳細については、上述の開口１２１ａの形成後に行うことができる加熱処理に係る記載を参照することができる。当該加熱処理を行うことで、後述する半導体層１１３ｂとなる金属酸化物膜の成膜前に、絶縁層１０３ｂ等に含まれる、水等の不純物を低減することができる。

［０６２１］

次に、導電層１１２ｓを加工して、平面視にて、導電層１１５ａと重なる領域を有するように、導電層１１２ｂを形成する。例えば、リソグラフィー法によるパターン形成を行い、当該パターンに基

づいてドライエッチング法又はウェットエッチング法等を用いて導電層１１２ｓを加工することにより、導電層１１２ｂを形成することができる。ここで、導電層１１２ｓの加工をドライエッチング法で行うと、微細加工ができ、好ましい。

［０６２２］

次に、導電層１１２ｂの上面、開口１２１ｂ内における導電層１１２ｂの側面、開口１２１ｂ内における絶縁層１０３ｂの側面、開口１２１ｂ内における絶縁層１３５の側面、開口１２１ｂ内における絶縁層１０７ａの側面、及び、開口１２１ｂ内における導電層１１５ａの上面に接して、後に半導体層１１３ｂとなる金属酸化物膜を形成する。半導体層１１３ｂとなる金属酸化物膜は、上述の半導体層１１３ａとなる金属酸化物膜と同じ材料を用いて、同じ方法で形成することができる。ここで、半導体層１１３ｂとなる金属酸化物膜は、アスペクト比の大きい開口１２１ｂ内において、導電層１１２ｂの側面、絶縁層１０３ｂの側面、絶縁層１３５の側面、絶縁層１０７ａの側面、及び、導電層１１５ａの上面に接して形成されることが好ましい。よって、半導体層１１３ｂとなる金属酸化物膜は、被覆性が良好な成膜方法を用いて形成することが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。例えば、半導体層１１３ｂとなる金属酸化物膜として、ＡＬＤ法を用いて、Ｉｎ－Ｇａ－Ｚｎ酸化物を成膜する。

［０６２３］

なお、開口１２１ｂの側壁がテーパ形状である場合、半導体層１１３ｂとなる金属酸化物膜の成膜は、ＣＶＤ法又はＡＬＤ法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

［０６２４］

また、半導体層１１３ｂを積層構造としてもよい。半導体層１１３ｂを積層構造とする場合の各層の成膜方法については、前述の半導体層１１３ａを積層構造とする場合の各層の成膜方法に係る記載を参照することができる。

［０６２５］

ここで、半導体層１１３ｂとなる金属酸化物膜は、開口１２１ｂ内における導電層１１５ａの上面、開口１２１ｂ内における絶縁層１０７ａの側面、開口１２１ｂ内における絶縁層１３５の側面、開口１２１ｂ内における絶縁層１０３ｂの側面、開口１２１ｂ内における導電層１１２ｂの側面、及び、導電層１１２ｂの上面に接して形成されることが好ましい。当該金属酸化物膜を導電層１１５ａと接して形成することで、トランジスタ４１のゲート電極として機能する導電層１１５ａは、トランジスタ４２のソース電極又はドレイン電極の一方としても機能する。

［０６２６］

次に、加熱処理を行うことが好ましい。加熱処理の詳細については、前述の半導体層１１３ａとなる金属酸化物膜の形成後に行うことができる加熱処理に係る記載を参照することができる。

［０６２７］

次に、半導体層１１３ｂとなる金属酸化物膜を加工して、平面視にて、開口１２１ｂと重なる領域を有するように、半導体層１１３ｂを形成する（図５１Ａ乃至図５２Ｂ）。半導体層１１３ｂの形成方法については、前述の半導体層１１３ａの形成方法に係る記載を参照することができる。これにより、開口１２１ｂと重なる領域を有するように、半導体層１１３ｂを形成することができる。これにより、半導体層１１３ｂの一部が、開口１２１ｂに形成される。また、半導体層１１３ｂは、導電層１１５ａの上面に接する。以上により、開口１２１ｂ内にて導電層１１５ａの上面と接する領域、開口１２１ｂ内にて絶縁層１０７ａの側面と接する領域、開口１２１ｂ内にて絶縁層１３５の側面と

接する領域、開口１２１ｂ内にて絶縁層１０３ｂの側面と接する領域、開口１２１ｂ内にて導電層１１２ｂの側面と接する領域、及び、導電層１１２ｂの上面と接する領域を有する半導体層１１３ｂが形成される。

［０６２８］

なお、図５１Ａ及び図５１Ｂでは、Ｘ方向において、半導体層１１３ｂの端部が、導電層１１２ｂの端部と概略一致して形成する例を示しているが、この限りではない。半導体層１１３ｂの端部は、Ｘ方向において、導電層１１２ｂの端部よりも内側に位置していてもよい。また、半導体層１１３ｂの端部は、Ｘ方向において、導電層１１２ｂの端部よりも外側に位置していてもよく、半導体層１１３ｂの下面が、導電層１１２ｂの開口１２１ｂに面しない側の側面、及び、絶縁層１０３ｂの上面に接していてもよい。

［０６２９］

また、上記では、導電層１１２ｂの形成を行った後に半導体層１１３ｂを形成する例について述べたが、この限りではない。例えば、本発明の一態様では、開口１２１ｂの形成後（図４９Ａ乃至図５０Ｂ）に、半導体層１１３ｂとなる金属酸化物膜を形成し、当該金属酸化物膜を加工して半導体層１１３ｂを形成した後に、導電層１１２ｓを加工して、導電層１１２ｂを形成してもよい。

［０６３０］

次に、半導体層１１３ｂの上面に接して、絶縁層１０５ｂを形成する（図５３Ａ乃至図５４Ｂ）。絶縁層１０５ｂの形成は、前述の絶縁層１０５ａと同じ材料を用いて、同じ方法で形成することができる。ここで、絶縁層１０５ｂは、アスペクト比の大きい開口１２１ｂ内において、半導体層１１３ｂの上面に接して形成されることが好ましい。よって、絶縁層１０５ｂの成膜は、被覆性が良好な成膜方法を用いることが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。例えば、絶縁層１０５ｂとして、ＡＬＤ法を用いて、酸化シリコンを成膜する。

［０６３１］

なお、開口１２１ｂの側壁がテーパ形状である場合、絶縁層１０５ｂの成膜は、ＣＶＤ法又はＡＬＤ法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

［０６３２］

半導体層１１３ｂを形成した後に、絶縁層１０５ｂを形成する構成にすることで、半導体層１１３ｂの側端部が絶縁層１０５ｂで覆われる。したがって、半導体層１１３ｂと、後の工程で形成する導電層１１５ｂのショートを防ぐことができる。また、上記構成にすることで、導電層１１２ｂの側端部が絶縁層１０５ｂで覆われる。したがって、導電層１１２ｂと導電層１１５ｂのショートを防ぐことができる。

［０６３３］

次に、開口１２１ｂを埋めるように、絶縁層１０５ｂ上に、導電層１１５ｂとなる導電膜を形成する。導電層１１５ｂとなる導電膜は、前述の導電層１１５ａとなる導電膜と同じ材料を用いて、同じ方法で形成することができる。ここで、導電層１１５ｂとなる導電膜は、アスペクト比の大きい開口１２１ｂに設けられた絶縁層１０５ｂに接して形成されることが好ましい。よって、導電層１１５ｂとなる導電膜の形成は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、ＣＶＤ法又はＡＬＤ法等を用いることがより好ましい。

［０６３４］

なお、ＣＶＤ法を用いて導電層１１５ｂとなる導電膜を形成した場合、当該導電膜の上面の平均面

粗さが大きくなることがある。この場合、ＣＭＰ法を用いて、当該導電膜を平坦化することが好ましい。このとき、ＣＭＰ処理を行う前に、当該導電膜上に酸化シリコン膜又は酸化窒化シリコン膜を成膜し、当該酸化シリコン膜又は酸化窒化シリコン膜を除去するまで、ＣＭＰ処理を行ってもよい。なお、ＣＭＰ処理は、行わなくてもよい。

［０６３５］

また、上記においては、導電層１１５ｂとなる導電膜が開口１２１ｂを埋め込むように設けられるが、本発明はこれに限られるものではない。例えば、導電層１１５ｂとなる導電膜の上部に、開口１２１ｂの形状を反映した凹部が形成される場合がある。また、当該凹部を、例えば、無機絶縁材料で充填する構成にしてもよい。なお、当該凹部を、無機絶縁材料等で充填しなくてもよい。

［０６３６］

次に、導電層１１５ｂとなる導電膜の一部を加工して、導電層１１５ｂを形成する（図５５Ａ乃至図５６Ｂ）。導電層１１５ｂの形成には、前述の導電層１１５ａの形成と同じ方法を用いることができる。導電層１１５ｂは、半導体層１１３ｂと重なる領域を有するように、絶縁層１０５ｂ上に形成される。

［０６３７］

以上のようにして、導電層１１５ａ、導電層１１２ｂ、半導体層１１３ｂ、絶縁層１０５ｂ、及び導電層１１５ｂを有するトランジスタ４２を形成することができる。

［０６３８］

前述のように、導電層１１５ａは、トランジスタ４２のソース電極又はドレイン電極の一方として機能する。導電層１１２ｂは、トランジスタ４２のソース電極又はドレイン電極の他方として機能する。絶縁層１０５ｂは、トランジスタ４２のゲート絶縁層として機能する。導電層１１５ｂは、トランジスタ４２のゲート電極として機能する。

［０６３９］

また、導電層１１５ａ、導電層１４１、絶縁層１０７ａの一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）、絶縁層１３５の一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）、導電層１１５ｂの一部（開口１２１ｂ内に位置する部分）、導電層１１５ｂの当該一部と導電層１４１とに挟まれた領域における、絶縁層１０３ｂ、半導体層１１３ｂ、及び、絶縁層１０５ｂを有する容量５１を形成することができる。

［０６４０］

前述のように、導電層１１５ａは、容量５１の一方の電極として機能する。導電層１４１は、容量５１の他方の電極として機能する。絶縁層１０７の一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）、及び、絶縁層１３５の一部（導電層１１５ａと、導電層１４１と、に挟まれた部分）は、容量５１の誘電体層として機能する。

［０６４１］

また、上記に加えて、導電層１１５ｂの一部（開口１２１ｂ内に位置する部分）は、トランジスタ４２のゲート電極として機能するとともに、容量５１の一方又は他方の電極としても機能し得る。導電層１４１と、導電層１１５ｂの当該一部と、に挟まれた領域における絶縁層１０３ｂ、半導体層１１３ｂ、及び絶縁層１０５ｂは、それぞれ、層間絶縁層、トランジスタ４２の半導体層、及び、トランジスタ４２のゲート絶縁層として機能するとともに、容量５１の誘電体層としても機能し得る。

［０６４２］

次に、導電層１１５ｂ上、及び、絶縁層１０５ｂ上に、絶縁層１０７ｂを形成する（図５Ａ乃至図６）。絶縁層１０７ｂは、前述の絶縁層１０７ａと同じ材料を用いて、同じ方法で形成することができる。

［０６４３］

以上より、図５Ａ乃至図６Ｂに示す、トランジスタ４１、トランジスタ４２、容量５１、絶縁層１０３ａ、及び絶縁層１０３ｂを有する記憶装置を作製することができる。

［０６４４］

以上のように、本発明の一態様の記憶装置では、トランジスタ４１と、容量５１と、トランジスタ４２と、をそれぞれ積層して設ける。また、トランジスタ４１及びトランジスタ４２は、それぞれ、層間絶縁層に形成された開口の内部に半導体層、ゲート絶縁層、及びゲート電極を設け、当該開口下にソース電極又はドレイン電極の一方を、層間絶縁層上にソース電極又はドレイン電極の他方を設ける。これにより、記憶装置の平面視における占有面積を小さくすることができる。よって、記憶装置を微細化することができる。したがって、本発明の一態様により、高集積化が可能な記憶装置を提供することができる。

［０６４５］

また、本発明の一態様の記憶装置では、トランジスタ４２は、平面視にて、トランジスタ４１と完全に重なるように積層して設ける（平面視にて、開口１２１ｂが、開口１２１ａと完全に重なるように設ける、と別言してもよい。）のではなく、一部が重なるように積層して設ける。すなわち、図５Ｂ等に示すように、トランジスタ４２は、トランジスタ４１の斜め上方に位置するように積層して設ける（開口１２１ｂを、開口１２１ａの斜め上方に位置するように設ける、と別言してもよい。）。また、このとき、図５Ａに示すように、平面視にて、開口１２１ａと、開口１２１ｂと、が重ならないように（すなわち、開口１２１ａと、開口１２１ｂと、の間にわずかでも間隔を有するように）、トランジスタ４２をトランジスタ４１上に積層して設けることが好ましい。これにより、開口１２１ｂ内における半導体層１１３ｂの下面と、導電層１１５ａの概略平坦な上面と、を接触させることができるため、導電層１１５ａ上の凹部に起因した、半導体層１１３ｂと、導電層１１５ａと、の間の接触不良が生じる懸念がない。したがって、電気特性の良好な記憶装置を提供することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

［０６４６］

また、トランジスタ４１及びトランジスタ４２を、上述のような配置関係にすることで、導電層１１５ａの上面を平坦化する工程が不要になる。そのため、全体の工程数を削減することができ、低価格な記憶装置を実現することができる。

［０６４７］

また、本発明の一態様の記憶装置では、トランジスタ４１の構成要素の一部が、トランジスタ４２の構成要素の一部も兼ねる。また、トランジスタ４１の構成要素の一部が、容量５１の構成要素の一部も兼ねる。また、トランジスタ４２の構成要素の一部が、容量５１の構成要素の一部も兼ねる。

［０６４８］

したがって、本発明の一態様の記憶装置では、トランジスタ４１と、トランジスタ４２と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量５１と、トランジスタ４１と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量５１と、トランジスタ４２と、をそれぞれ独立して作製する場合に比べて、工程数を

大幅に削減することができる。このため、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

［０６４９］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０６５０］

（実施の形態５）

本実施の形態では、上記実施の形態で示したメモリセル７４１を含む層が複数積層された記憶装置の構成例について、図面を用いて説明する。

［０６５１］

図５７は、図１Ｂに示す電子計算機９００が有する層９８４［１］乃至層９８４［ｎ］（ｎは１以上の整数）の構成例を示す断面図であり、ＸＺ面を示している。図５７に示すように、絶縁層１０１上に層９８４［１］が設けられ、層９８４［１］上に層９８４［２］が設けられ、最上層に層９８４［ｎ］が設けられる。前述のように、層９８４にはメモリセル７４１が設けられる。図５７では、ｎ行２列のメモリセル７４１の構成例を示している。これにより、記憶装置の占有面積を低減することができる。また、単位面積当たりの記憶容量を高めることができる。

［０６５２］

メモリセル７４１は、トランジスタ４１、トランジスタ４２、及び容量５１を有する。本実施の形態において、例えば、層９８４［１］が有するトランジスタ４１、トランジスタ４２、及び容量５１を、それぞれ、トランジスタ４１［１］、トランジスタ４２［１］、及び容量５１［１］とし、層９８４［２］が有するトランジスタ４１、トランジスタ４２、及び容量５１を、それぞれ、トランジスタ４１［２］、トランジスタ４２［２］、及び容量５１［２］とし、層９８４［ｎ］が有するトランジスタ４１、トランジスタ４２、及び容量５１を、それぞれ、トランジスタ４１［ｎ］、トランジスタ４２［ｎ］、及び容量５１［ｎ］とする。トランジスタ４１［１］、トランジスタ４２［１］、及び容量５１［１］は、層９８４［１］において、メモリセル７４１［１］を構成する。トランジスタ４１［２］、トランジスタ４２［２］、及び容量５１［２］は、層９８４［２］において、メモリセル７４１［２］を構成する。トランジスタ４１［ｎ］、トランジスタ４２［ｎ］、及び容量５１［ｎ］は、層９８４［ｎ］において、メモリセル７４１［ｎ］を構成する。また、前述のように、トランジスタ４２上には絶縁層１０７ｂが設けられる。本実施の形態において、例えば、トランジスタ４２［１］上に設けられる絶縁層１０７ｂを絶縁層１０７ｂ［１］とし、トランジスタ４２［２］上に設けられる絶縁層１０７ｂを絶縁層１０７ｂ［２］とし、トランジスタ４２［ｎ］上に設けられる絶縁層１０７ｂを絶縁層１０７ｂ［ｎ］とする。

［０６５３］

ここで、絶縁層１０７ｂ上には、層間絶縁層として機能する絶縁層１３９が設けられる。本実施の形態において、例えば、層９８４［１］に設けられる絶縁層１３９を絶縁層１３９［１］とし、層９８４［２］に設けられる絶縁層１３９を絶縁層１３９［２］とし、層９８４［ｎ］に設けられる絶縁層１３９を絶縁層１３９［ｎ］とする。例えば、絶縁層１３９［１］上には、トランジスタ４１［２］が設けられる。絶縁層１３９は、上記実施の形態に示す層間絶縁層に用いることができる材料と同様の材料を用いることができる。

［０６５４］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０６５５］

（実施の形態６）

本実施の形態では、本発明の一態様の記憶装置の応用例について、図面を用いて説明する。本発明の一態様の記憶装置は、例えば、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣともいう。）に用いることができる。本発明の一態様の記憶装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターは、低消費電力化といった高性能化に有効である。

［０６５６］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図５８Ａに示す。図５８Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図５８Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７００は、例えば、プリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０６５７］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）等の貫通電極技術、及び、Ｃｕ－Ｃｕ直接接合等の接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０６５８］

また、オンチップメモリの構成とすることで、ＴＳＶ等の貫通電極を用いる技術と比較し、例えば接続配線のサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう。）を向上させることが可能となる。

［０６５９］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方又は双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記

憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０６６０］

また、半導体装置７１０を、ダイといってもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう。）に回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、又は窒化ガリウム（ＧａＮ）等が挙げられる。例えば、シリコン基板（シリコンウエハともいう。）から得られたダイを、シリコンダイという場合がある。

［０６６１］

次に、電子部品７３０の斜視図を図５８Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられる。

［０６６２］

電子部品７３０では、半導体装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、又はＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等の集積回路に用いることができる。

［０６６３］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

［０６６４］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０６６５］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０６６６］

また、シリコンインターポーザを用いた、ＳｉＰ及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ

（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。
［０６６７］
一方で、シリコンインターポーザ、及びＴＳＶ等を用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅等のスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。
［０６６８］
また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。
［０６６９］
電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図５８Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現することができる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現することができる。
［０６７０］
電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、及び、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。
［０６７１］
［電子機器］
次に、電子機器６５００の斜視図を図５９Ａに示す。図５９Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、及び制御装置６５０９等を有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の記憶装置は、表示部６５０２、及び制御装置６５０９等に適用することができる。
［０６７２］
図５９Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、及び制御装置６６１６等を有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の記憶装置は、表示部６６１５、及び制御装置６６１６等に適

用することができる。なお、本発明の一態様の記憶装置を、前述の制御装置６５０９、及び制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０６７３］

［大型計算機］

次に、大型計算機５６００の斜視図を図５９Ｃに示す。図５９Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータといってもよい。

［０６７４］

計算機５６２０は、例えば、図５９Ｄに示す斜視図の構成とすることができる。図５９Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０６７５］

図５９Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、及び記憶装置等を備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図５９Ｅには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参照することができる。

［０６７６］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅが挙げられる。

［０６７７］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、及び信号入力等を行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、及びＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）等が挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、例えば、ＨＤＭＩ（登録商標）が挙げられる。

［０６７８］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０６７９］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式の半田付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、及びＣＰＵ等が挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０６８０］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式の半田付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置が挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［０６８１］

大型計算機５６００は並列計算機としても機能することができる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

［０６８２］

[宇宙用機器]

本発明の一態様の記憶装置は、宇宙用機器に好適に用いることができる。

［０６８３］

本発明の一態様の記憶装置は、ＯＳトランジスタを含む。ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射し得る環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、ＯＳトランジスタを、スペースシャトル、人工衛星、又は、宇宙探査機に設けられる記憶装置を構成するトランジスタに用いることができる。放射線として、例えば、Ｘ線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

［０６８４］

図６０には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図６０においては、宇宙空間に惑星６８０４を例示している。

［０６８５］

また、図６０には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう。）、又はバッテリ制御回路を設けてもよい。前述のバッテリマネジメントシステム、又はバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

［０６８６］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

［０６８７］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えば、ソーラーパネルに太陽光が照射されない状況、又

はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールという場合がある。

［０６８８］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、例えば、地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０６８９］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様であるＯＳトランジスタを含む記憶装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射し得る環境においても信頼性が高く、好適に用いることができる。

［０６９０］

また、人工衛星６８００は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられる物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、例えば、地球観測衛星としての機能を有することができる。

［０６９１］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の記憶装置は、宇宙船、宇宙カプセル、又は宇宙探査機等の宇宙用機器に好適に用いることができる。

［０６９２］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０６９３］

[データセンター]

本発明の一態様の記憶装置は、例えば、データセンター等に適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障する等、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、等建屋の大型化が必要となる。

［０６９４］

データセンターに適用されるストレージシステムに本発明の一態様の記憶装置を用いることにより、データの保持に要する電力の低減、データを保持する記憶装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、及び冷却設備の小規模化等を図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０６９５］

また、本発明の一態様の記憶装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減することができる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現することができる。よってデータセンターの信頼性を高めることができる。

［０６９６］

図６１にデータセンターに適用可能なストレージシステムを示す。図６１に示すストレージシステム７０００は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）及びストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている形態を図示している。

［０６９７］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されてもよい。

［０６９８］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

［０６９９］

前述のキャッシュメモリは、ストレージ制御回路７００２及びストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２及びストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１又はストレージ７００３に出力される。

［０７００］

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０７０１］

なお、本発明の一態様の記憶装置を、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターの中から選ばれるいずれか一又は複数に適用することで、消費電力を低減させる効果が期待される。そのため、記憶装置の高性能化、又は高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の記憶装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の記憶装置は、低消費電力であるため地球温暖化対策としても有効である。

［０７０２］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［０７０３］

４１［1］：トランジスタ、４１［2］：トランジスタ、４１［n］：トランジスタ、４１：トランジスタ、４２［1］：トランジスタ、４２［2］：トランジスタ、４２［n］：トランジスタ、４２：トランジスタ、５１［1］：容量、５１［2］：容量、５１［n］：容量、５１：容量、１０１：絶縁層、１０３ａ：絶縁層、１０３ｂ：絶縁層、１０３：絶縁層、１０５ａ：絶縁層、１０５ｂ：絶縁層、１０５：絶縁層、１０７ａ：絶縁層、１０７ｂ［1］：絶縁層、１０７ｂ［2］：絶縁層、１０７ｂ［n］：絶縁層、１０７ｂ：絶縁層、１０７：絶縁層、１１１ａ：導電層、１１２ａ：導電層、１１２ｆ：導電層、１１２ｓ：導電層、１１２Ａ：導電膜、１１２ｂ：導電層、１１２Ｂ：導電膜、１１２：導電層、１１３ａ：半導体層、１１３ｂ：半導体層、１１３ｉ：領域、１１３ｎａ：領域、１１３ｎｂ：領域、１１３：半導体層、１１５ａ：導電層、１１５ｂ：導電層、１１５：導電層、１２１ａ：開口、１２１ｂ：開口、１２１：開口、１２７：開口、１３５：絶縁層、１３９［1］：絶縁層、１３９［2］：絶縁層、１３９［n］：絶縁層、１３９：絶縁層、１４１ｆ：導電膜、１４１：導電層、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７１７：メモリユニット、７１８［1］：メモリブロック、７１８［N］：メモリブロック、７１８：メモリブロック、７２０：記憶装置、７２１Ｌ１：メモリアレイ、７２１Ｌ２：メモリアレイ、７２１Ｌ３：メモリアレイ、７２１：メモリアレイ、７２２Ｌ１：駆動回路、７２２Ｌ２：駆動回路、７２２Ｌ３：駆動回路、７２２：駆動回路、７２３［1］：メモリサブアレイ、７２３［R］：メモリサブアレイ、７２３：メモリサブアレイ、７２４：ワード線ドライバ、７２５：列ドライバ、７２６：センスアンプドライバ、７２７：データドライバ、７２８：メモリコントローラ、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、７３６：サブセンス回路、７３７：スイッチ回路、７４１ａ：メモリセル、７４１ｂ：メモリセル、７４１ｃ：メモリセル、７４１ｄ：メモリセル、７４１［1］：メモリセル、７４１［2］：メモリセル、７４１［n］：メモリセル、７４１：メモリセル、７５１：センス回路、７５２：スイッチ回路、７５３：プリチャージ回路、７５４：プリチャージ回路、７５５：アンプ回路、７５６：プリチャージ回路、７６１：パワースイッチ、７６２：パワースイッチ、７７１：周辺回路、７７２：制御回路、７７３：電圧生成回路、７８１：周辺回路、７８２：行デコーダ、７８３：行ドライバ、７８４：列デコーダ、７８５：列ドライバ、７８６：データドライバ、７８７：入力回路、７８８：出力回路、８１０：半導体装置、８３０：バックアップ回路、８３１［1］：保持回路、８３１［2］：保持回路、８３１［4］：保持回路、８３１［G］：保持回路、８３１：保持回路、８５０：スキャンフリップフロップ回路、８５１：セレクタ回路、８５２：フリップフロップ回路、９００：電子計算機、９１０：処理部、９１１：演算部、９１２：制御部、９１３：レジスタ部、９１４：レジスタユニット、９１５：スキャンフリップフロップ、９１６：バックアップメモリ、９２０：記憶部、９２１：メモリアレイ部、９２２：制御部、９２３：メモリブロック、９２４：メモリユニット、９２５：メモリセル、９２６：センスアンプ、９３０：制御部、９３３Ｌ１：層、９３３Ｌ２：層、９３３Ｌ３：層、９３３：層、９４０Ｌ１：接続電極、９４０Ｌ２：接続電極、９４０Ｌ３：接続電極、９６０：演算装置、９７０Ａ：半導体装置、９７０Ｂ：半導体装置、９７０Ｃ：半導体装置、９７１：バスライン、９８２［1］：層、９８２［L］：層、９８２：層、９８３［1］：層、９８３［H］：層、９８３：層、９８４

［１］：層、９８４［２］：層、９８４［Ｋ］：層、９８４［ｎ］：層、９８４：層、９８５：層、９８９：キャッシュインターフェイス、９９０：基板、９９１：ＡＬＵ、９９２：ＡＬＵコントローラ、９９３：インストラクションデコーダ、９９４：インタラプトコントローラ、９９５：タイミングコントローラ、９９６：レジスタ、９９７：レジスタコントローラ、９９８：バスインターフェイス、９９９：キャッシュ、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６６００：電子機器、６６１１：筐体、６６１２：キーボード、６６１３：ポインティングデバイス、６６１４：外部接続ポート、６６１５：表示部、６６１６：制御装置、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：ストレージシステム、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ、７００４：ストレージエリアネットワーク

請求の範囲

［請求項１］

第１のトランジスタと、第２のトランジスタと、容量と、第１の絶縁層と、第２の絶縁層と、を有し、

前記第２のトランジスタ及び前記容量は、前記第１のトランジスタ上にそれぞれ重畳して設けられ、

前記第１のトランジスタ及び前記第２のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、

前記第１の絶縁層は、前記第１のトランジスタのソース電極とドレイン電極の間に設けられ、前記第１のトランジスタのソース電極又はドレイン電極の一方に達する第１の開口を有し、

前記第１のトランジスタのソース電極又はドレイン電極の他方は、前記第１の絶縁層上に設けられ、

前記第１のトランジスタの半導体層は、前記第１の開口内における前記第１のトランジスタのソース電極又はドレイン電極の一方の上面、前記第１の開口内における前記第１の絶縁層の側面、及び、前記第１のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第１のトランジスタのゲート絶縁層は、前記第１のトランジスタの半導体層上に接して設けられ、

前記第１のトランジスタのゲート電極は、前記第１のトランジスタの半導体層と重なる領域を有するように、前記第１のトランジスタのゲート絶縁層上に設けられ、前記第２のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、前記容量の一方の電極としての機能も有し、

前記第２の絶縁層は、前記第２のトランジスタのソース電極とドレイン電極の間に設けられ、前記第１のトランジスタのゲート電極に達する第２の開口を有し、

前記第２の開口は、前記第１の開口の斜め上方に位置し、

前記第２のトランジスタのソース電極又はドレイン電極の他方は、前記第２の絶縁層上に設けられ、

前記第２のトランジスタの半導体層は、前記第２の開口内における前記第１のトランジスタのゲート電極の上面、前記第２の開口内における前記第２の絶縁層の側面、及び、前記第２のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第２のトランジスタのゲート絶縁層は、前記第２のトランジスタの半導体層上に接して設けられ、

前記第２のトランジスタのゲート電極は、前記第２のトランジスタの半導体層と重なる領域を有するように、前記第２のトランジスタのゲート絶縁層上に設けられ、

前記容量の誘電体層は、前記第１のトランジスタのゲート電極上に設けられ、

前記容量の他方の電極は、前記第１のトランジスタのゲート電極と重なる領域を有し、平面視にて、前記第２の開口との間に間隔を有して、前記容量の誘電体層上に設けられる、

半導体装置。

［請求項２］

請求項１において、

前記第１のトランジスタの半導体層、及び、前記第２のトランジスタの半導体層の少なくとも一は、金属酸化物を有する、

半導体装置。

［請求項３］

請求項１又は請求項２において、

前記第１のトランジスタの半導体層の側面と、前記第１のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有し、

前記第２のトランジスタの半導体層の側面と、前記第２のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有する、

半導体装置。

［請求項４］

請求項１又は請求項２において、

前記容量の他方の電極は、前記第１の開口に面しない側の端部が、前記第１のトランジスタのゲート電極の端部よりも外側に位置している、

半導体装置。

［請求項５］

請求項１又は請求項２において、

前記容量の他方の電極は、前記第２の開口を取り囲むように、前記第１のトランジスタのゲート電極の上面と重なる領域を有する、

半導体装置。

［請求項６］

請求項１又は請求項２において、

前記第１のトランジスタのゲート電極の端部は、第１の方向においては、前記第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも内側に位置し、前記第１の方向とは反対方向の第２の方向においては、前記第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも外側に位置する上面が概略平坦な領域を有し、

前記第２の開口は、平面視にて、前記領域と重なるように設けられる、

半導体装置。

［請求項７］

請求項１又は請求項２において、

前記容量の誘電体層は、アルミニウム、ガリウム、ハフニウム、タンタル、ジルコニウムのいずれかを有する酸化物、ハフニウム及びジルコニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有する、

半導体装置。

［請求項８］

請求項１又は請求項２において、

前記容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、チタン酸バリウム、及び、これらのいずれかにランタン又はイットリウムを添加した材料のいずれかを有する、

半導体装置。

［請求項９］

請求項１又は請求項２において、

前記第１の絶縁層、及び、前記第２の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有する、

半導体装置。

［請求項１０］

第１の導電層を形成し、

前記第１の導電層上に、第１の絶縁層、及び、第１の導電膜を形成し、

前記第１の絶縁層、及び、前記第１の導電膜を加工して、前記第１の導電膜から第２の導電層を形成し、前記第１の導電膜、及び、前記第１の絶縁層に、前記第１の導電層に達する第１の開口を形成し、

前記第２の導電層を加工して、第３の導電層を形成し、

前記第１の開口内における前記第１の導電層の上面、前記第１の開口内における前記第１の絶縁層の側面、前記第１の開口内における前記第３の導電層の側面、及び、前記第３の導電層の上面に接して、第１の金属酸化物膜を形成し、

前記第１の金属酸化物膜を加工して、前記第１の開口と重なる領域を有するように、第１の半導体層を形成し、

前記第１の半導体層の上面に接して、第２の絶縁層を形成し、

前記第２の絶縁層上に、第２の導電膜を形成し、

前記第２の導電膜を加工して、前記第１の半導体層と重なる領域を有するように、第４の導電層を形成し、

前記第４の導電層上、及び、前記第２の絶縁層上に、第３の絶縁層を形成し、

前記第３の絶縁層上に、第３の導電膜を形成し、

前記第３の導電膜を加工して、前記第４の導電層と重なる領域を有するように、第５の導電層を形成し、

前記第５の導電層上、及び、前記第３の絶縁層上に、第４の絶縁層、及び、第４の導電膜を形成し、

前記第４の絶縁層、及び、前記第４の導電膜を加工して、前記第４の導電膜から第６の導電層を形成し、前記第４の導電膜、及び、前記第４の絶縁層に、平面視にて、前記第５の導電層との間に間隔を有するように、前記第４の導電層の概略平坦な上面と重なる第２の開口を形成し、

前記第６の導電層を加工して、第７の導電層を形成し、

前記第２の開口内における前記第４の導電層の上面、前記第２の開口内における前記第３の絶縁層の側面、前記第２の開口内における前記第７の導電層の側面、及び、前記第７の導電層の上面に接して、第２の金属酸化物膜を形成し、

前記第２の金属酸化物膜を加工して、前記第２の開口と重なる領域を有するように、第２の半導体層を形成し、

前記第２の半導体層の上面に接して、第５の絶縁層を形成し、

前記第５の絶縁層上に、第５の導電膜を形成し、

前記第５の導電膜を加工して、前記第２の半導体層と重なる領域を有するように、第８の導電層を

形成する、
半導体装置の作製方法。
［請求項１１］
第１の導電層を形成し、
前記第１の導電層上に、第１の絶縁層、及び、第１の導電膜を形成し、
前記第１の絶縁層、及び、前記第１の導電膜を加工して、前記第１の導電膜から第２の導電層を形成し、前記第１の導電膜、及び、前記第１の絶縁層に、前記第１の導電層に達する第１の開口を形成し、
前記第１の開口内における前記第１の導電層の上面、前記第１の開口内における前記第１の絶縁層の側面、前記第１の開口内における前記第２の導電層の側面、及び、前記第２の導電層の上面に接して、第１の金属酸化物膜を形成し、
前記第１の金属酸化物膜を加工して、前記第１の開口と重なる領域を有するように、第１の半導体層を形成し、
前記第２の導電層を加工して、前記第１の半導体層と重なる領域を有するように、第３の導電層を形成し、
前記第１の半導体層の上面に接して、第２の絶縁層を形成し、
前記第２の絶縁層上に、第２の導電膜を形成し、
前記第２の導電膜を加工して、前記第１の半導体層と重なる領域を有するように、第４の導電層を形成し、
前記第４の導電層上、及び、前記第２の絶縁層上に、第３の絶縁層を形成し、
前記第３の絶縁層上に、第３の導電膜を形成し、
前記第３の導電膜を加工して、前記第４の導電層と重なる領域を有するように、第５の導電層を形成し、
前記第５の導電層上、及び、前記第３の絶縁層上に、第４の絶縁層、及び、第４の導電膜を形成し、
前記第４の絶縁層、及び、前記第４の導電膜を加工して、前記第４の導電膜から第６の導電層を形成し、前記第４の導電膜、及び、前記第４の絶縁層に、平面視にて、前記第５の導電層との間に間隔を有するように、前記第４の導電層の概略平坦な上面と重なる第２の開口を形成し、
前記第２の開口内における前記第４の導電層の上面、前記第２の開口内における前記第３の絶縁層の側面、前記第２の開口内における前記第４の絶縁層の側面、前記第２の開口内における前記第６の導電層の側面、及び、前記第６の導電層の上面に接して、第２の金属酸化物膜を形成し、
前記第２の金属酸化物膜を加工して、前記第２の開口と重なる領域を有するように、第２の半導体層を形成し、
前記第６の導電層を加工して、前記第２の半導体層と重なる領域を有するように、第７の導電層を形成し、
前記第２の半導体層の上面に接して、第５の絶縁層を形成し、
前記第５の絶縁層上に、第５の導電膜を形成し、
前記第５の導電膜を加工して、前記第２の半導体層と重なる領域を有するように、第８の導電層を形成する、
半導体装置の作製方法。
［請求項１２］

記憶部と、処理部と、を有し、

前記記憶部は、記憶装置と、センスアンプと、を有し、

前記処理部は、ＣＰＵ、ＭＰＵ、又はＧＰＵを有し、

前記センスアンプと、前記処理部と、は第１の層上に配置され、

前記記憶装置は、第２の層上に配置され、第１のトランジスタと、第２のトランジスタと、容量と、第１の絶縁層と、第２の絶縁層と、を有し、

前記第２の層は、前記第１の層上に積層して設けられ、

前記第２のトランジスタ及び前記容量は、前記第１のトランジスタ上にそれぞれ重畳して設けられ、

前記第１のトランジスタ及び前記第２のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、

前記第１の絶縁層は、前記第１のトランジスタのソース電極とドレイン電極の間に設けられ、前記第１のトランジスタのソース電極又はドレイン電極の一方に達する第１の開口を有し、

前記第１のトランジスタのソース電極又はドレイン電極の他方は、前記第１の絶縁層上に設けられ、

前記第１のトランジスタの半導体層は、前記第１の開口内における前記第１のトランジスタのソース電極又はドレイン電極の一方の上面、前記第１の開口内における前記第１の絶縁層の側面、及び、前記第１のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第１のトランジスタのゲート絶縁層は、前記第１のトランジスタの半導体層上に接して設けられ、

前記第１のトランジスタのゲート電極は、前記第１のトランジスタの半導体層と重なる領域を有するように、前記第１のトランジスタのゲート絶縁層上に設けられ、前記第２のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、前記容量の一方の電極としての機能も有し、

前記第２の絶縁層は、前記第２のトランジスタのソース電極とドレイン電極の間に設けられ、前記第１のトランジスタのゲート電極に達する第２の開口を有し、

前記第２の開口は、前記第１の開口の斜め上方に位置し、

前記第２のトランジスタのソース電極又はドレイン電極の他方は、前記第２の絶縁層上に設けられ、

前記第２のトランジスタの半導体層は、前記第２の開口内における前記第１のトランジスタのゲート電極の上面、前記第２の開口内における前記第２の絶縁層の側面、及び、前記第２のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第２のトランジスタのゲート絶縁層は、前記第２のトランジスタの半導体層上に接して設けられ、

前記第２のトランジスタのゲート電極は、前記第２のトランジスタの半導体層と重なる領域を有するように、前記第２のトランジスタのゲート絶縁層上に設けられ、

前記容量の誘電体層は、前記第１のトランジスタのゲート電極上に設けられ、

前記容量の他方の電極は、前記第１のトランジスタのゲート電極と重なる領域を有し、平面視にて、前記第２の開口との間に間隔を有して、前記容量の誘電体層上に設けられる、

半導体装置。

［請求項１３］

請求項１２において、

前記第１のトランジスタの半導体層、及び、前記第２のトランジスタの半導体層の少なくとも一は、金属酸化物を有する、

半導体装置。

［請求項１４］

請求項１２又は請求項１３において、

前記第１のトランジスタの半導体層の側面と、前記第１のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有し、

前記第２のトランジスタの半導体層の側面と、前記第２のトランジスタのソース電極又はドレイン電極の他方の側面と、は概略一致する領域を有する、

半導体装置。

［請求項１５］

請求項１２又は請求項１３において、

前記容量の他方の電極は、前記第１の開口に面しない側の端部が、前記第１のトランジスタのゲート電極の端部よりも外側に位置している、

半導体装置。

［請求項１６］

請求項１２又は請求項１３において、

前記容量の他方の電極は、前記第２の開口を取り囲むように、前記第１のトランジスタのゲート電極の上面と重なる領域を有する、

半導体装置。

［請求項１７］

請求項１２又は請求項１３において、

前記第１のトランジスタのゲート電極の端部は、第１の方向においては、前記第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも内側に位置し、前記第１の方向とは反対方向の第２の方向においては、前記第１のトランジスタのソース電極又はドレイン電極の他方の端部よりも外側に位置する上面が概略平坦な領域を有し、

前記第２の開口は、平面視にて、前記領域と重なるように設けられる、

半導体装置。

［請求項１８］

請求項１２又は請求項１３において、

前記容量の誘電体層は、アルミニウム、ガリウム、ハフニウム、タンタル、ジルコニウムのいずれかを有する酸化物、ハフニウム及びジルコニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有する、

半導体装置。

［請求項１９］

請求項１２又は請求項１３において、

前記容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムスト

ロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、チタン酸バリウム、及び、これらのいずれかにランタン又はイットリウムを添加した材料のいずれかを有する、

半導体装置。

［請求項２０］

請求項１２又は請求項１３において、

前記第１の絶縁層、及び、前記第２の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有する、

半導体装置。

図1A

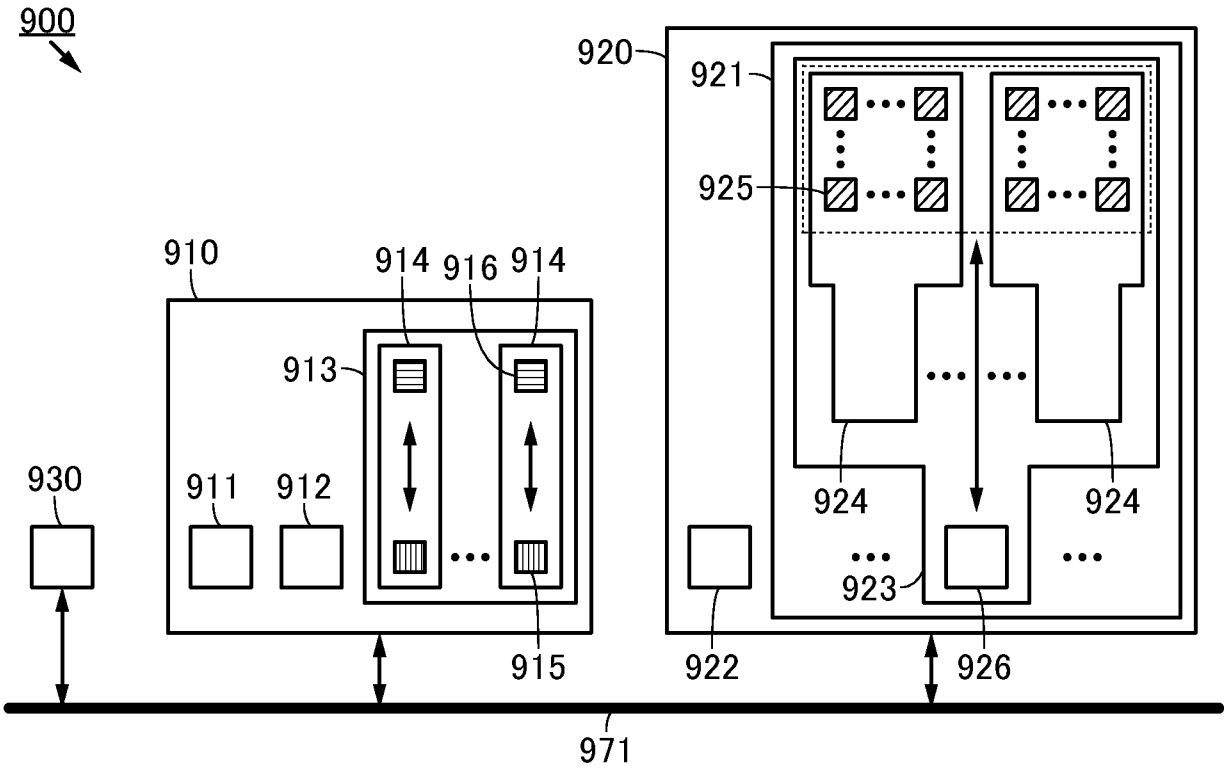

900
920
921
925
910
914
916
914
913
930
911
912
924
924
923
915
922
926
971

図1B

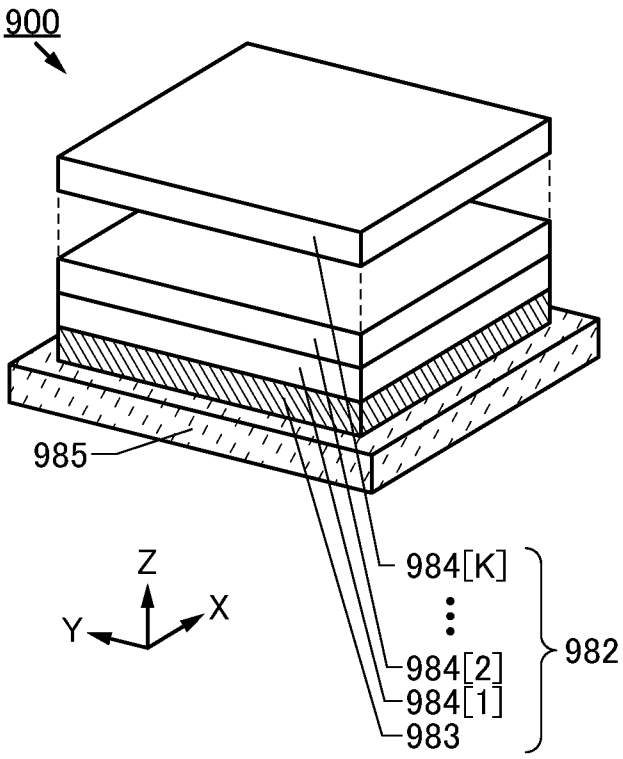
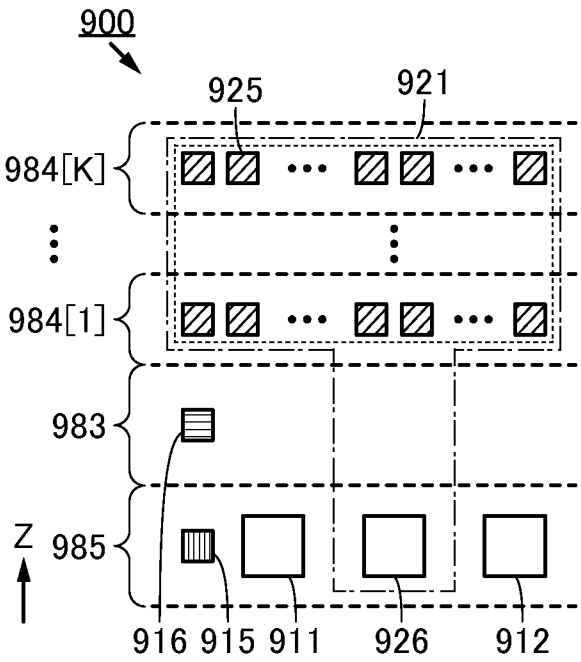
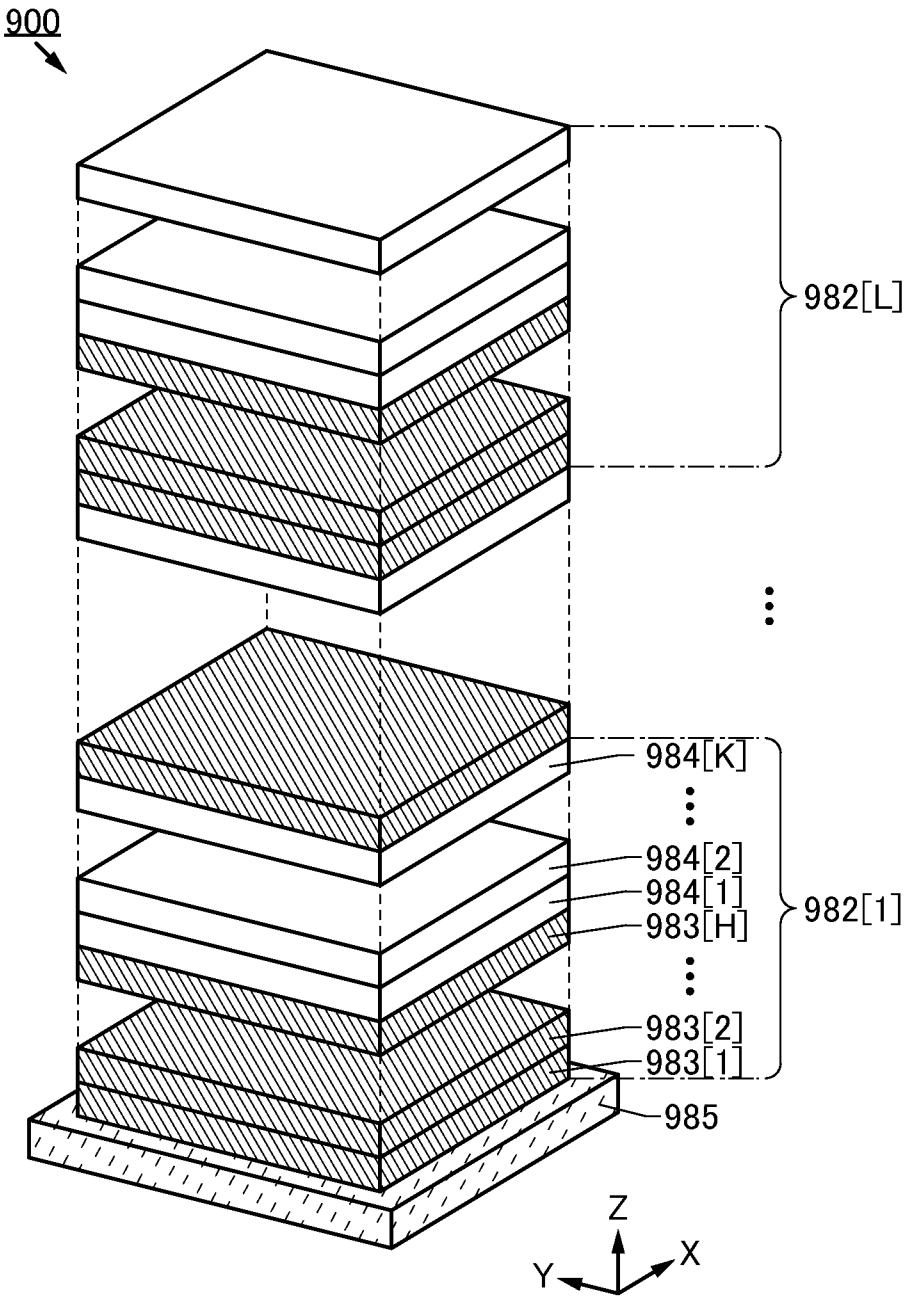

900
985
Z
Y
X
984[K]
984[2]
984[1]
983
982

図1C


900
925
921
984[K]
984[1]
983
Z
985
916
915
911
926
912


900
982[L]
984[K]
984[2]
984[1]
983[H]
982[1]
983[2]
983[1]
985
Z
Y
X

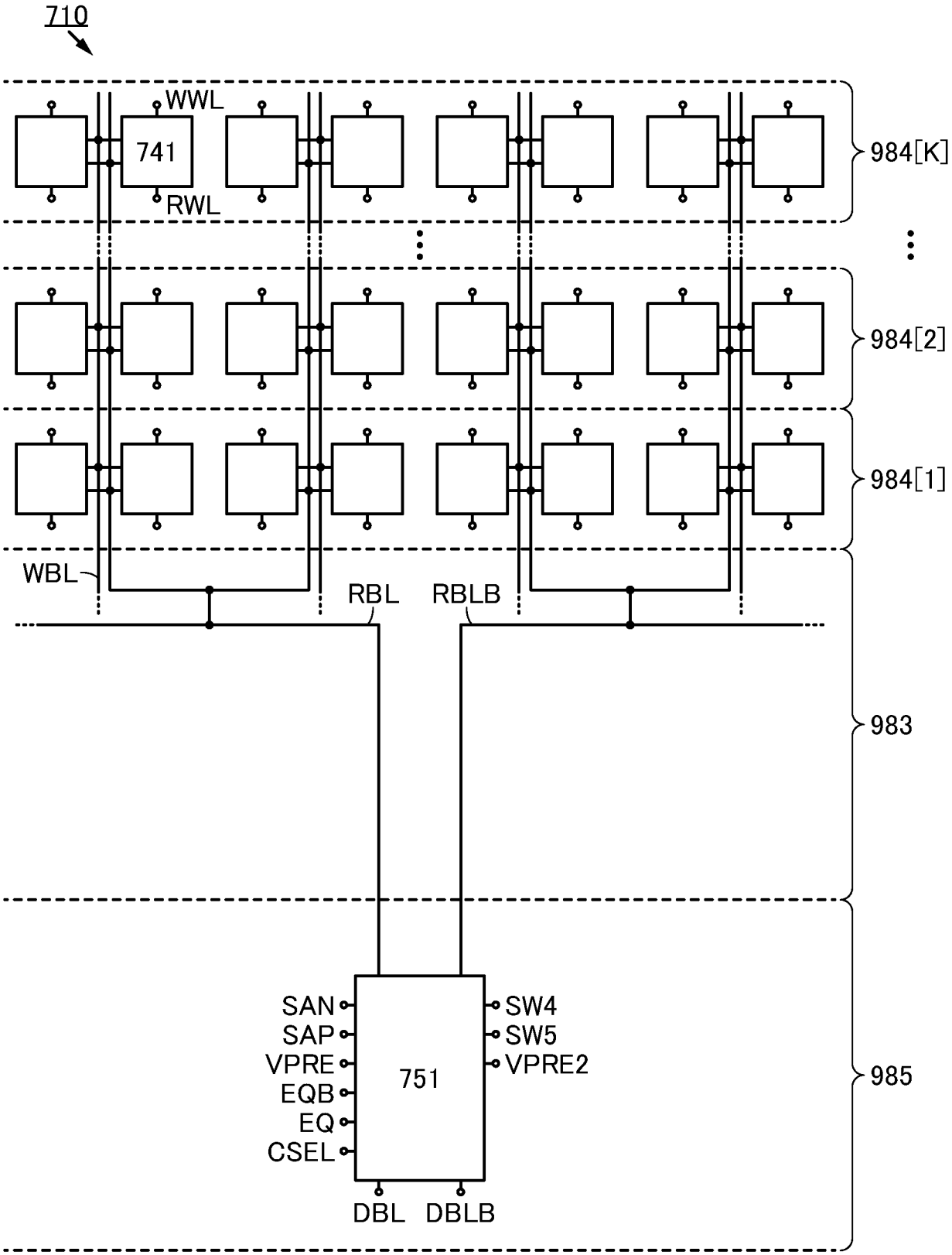

710
WWL
741
RWL
984[K]
984[2]
984[1]
WBL
RBL
RBLB
983
SAN
SAP
VPRE
EQB
EQ
CSEL
751
SW4
SW5
VPRE2
985
DBL
DBLB

図4A

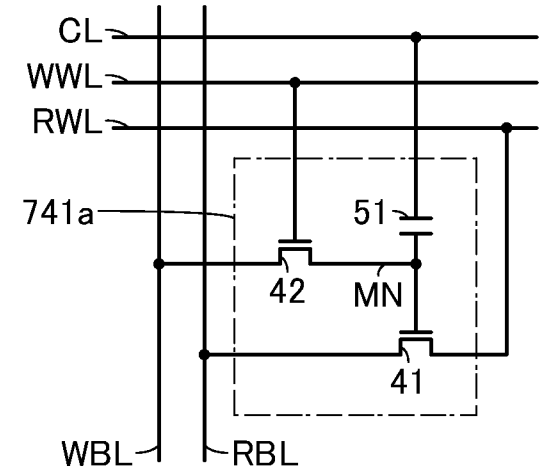


図4B

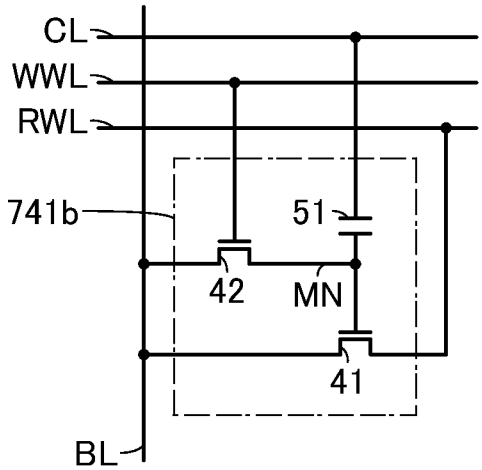


図4C

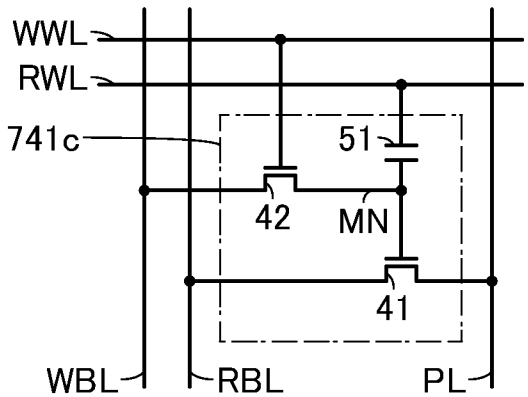


図4D

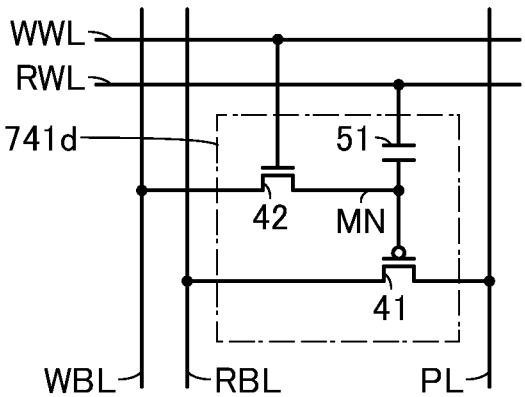


図5A

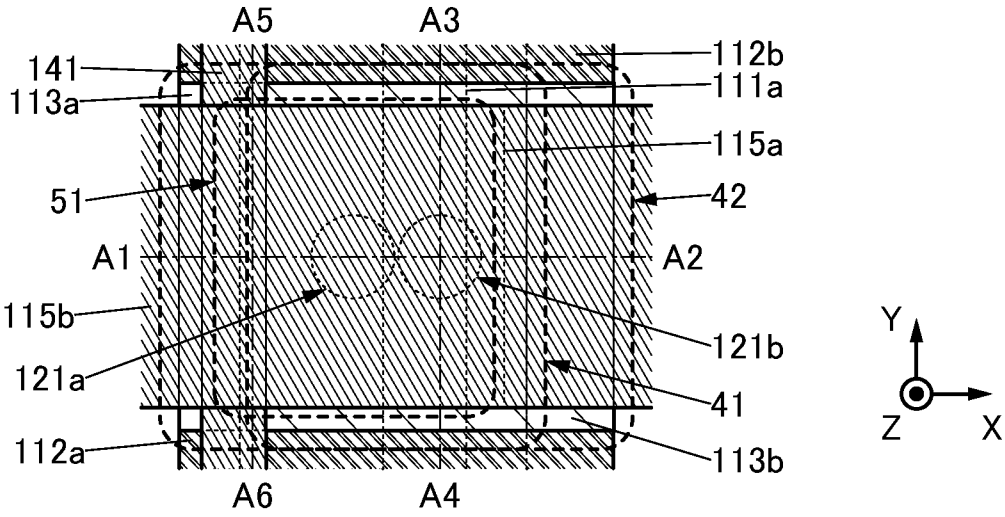

A5
A3
141
113a
112b
111a
115a
51
42
A1
A2
115b
121a
121b
41
112a
113b
A6
A4
Y
Z
X

図5B

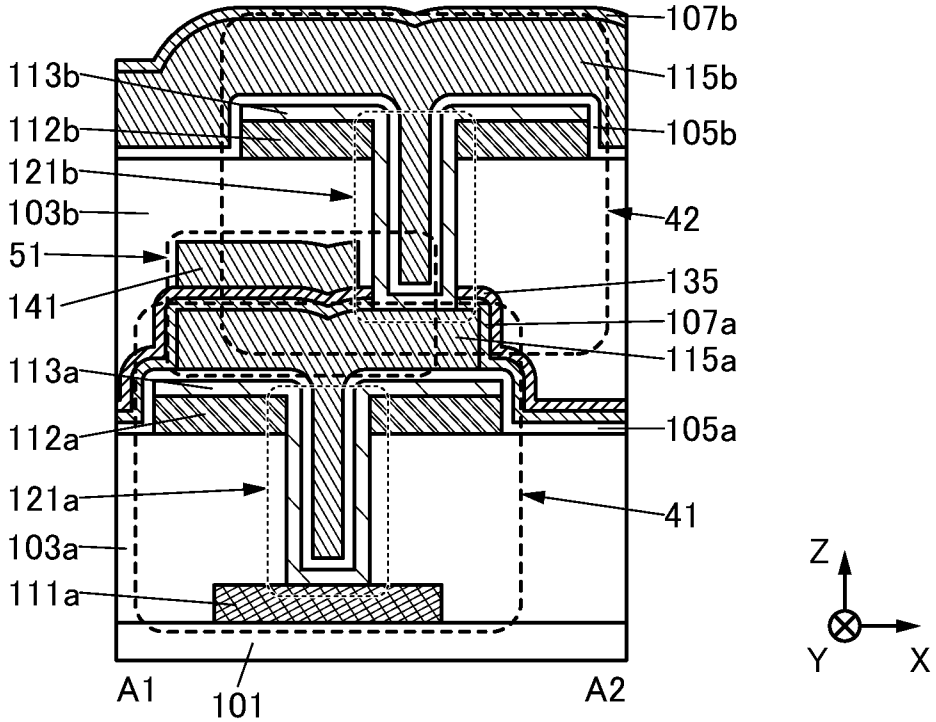

107b
113b
115b
112b
105b
121b
103b
42
51
135
141
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図6A

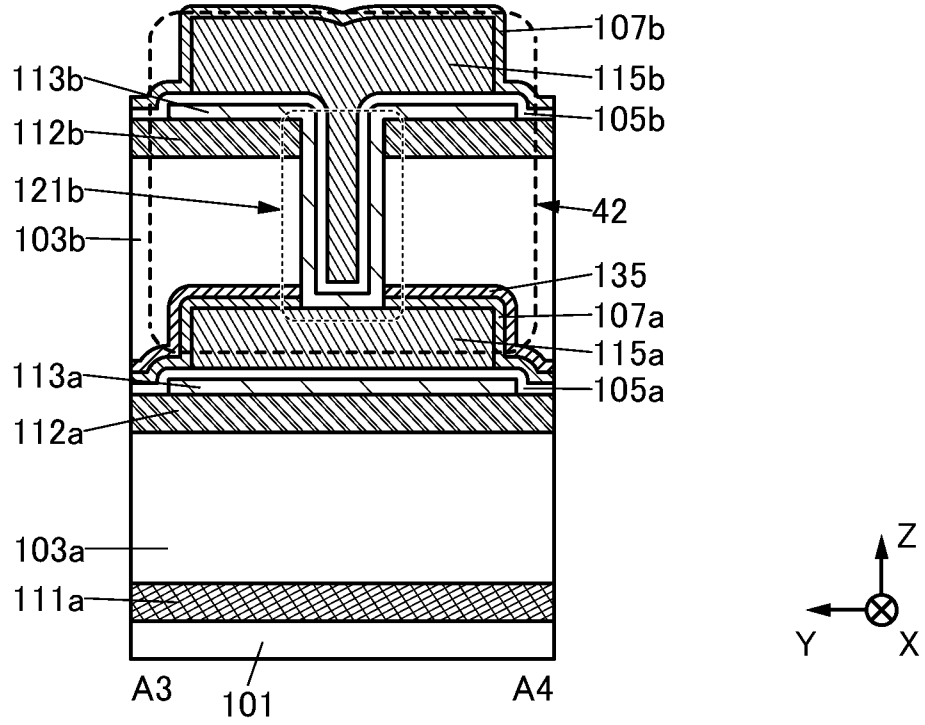

107b
113b
115b
105b
112b
121b
42
103b
135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図6B

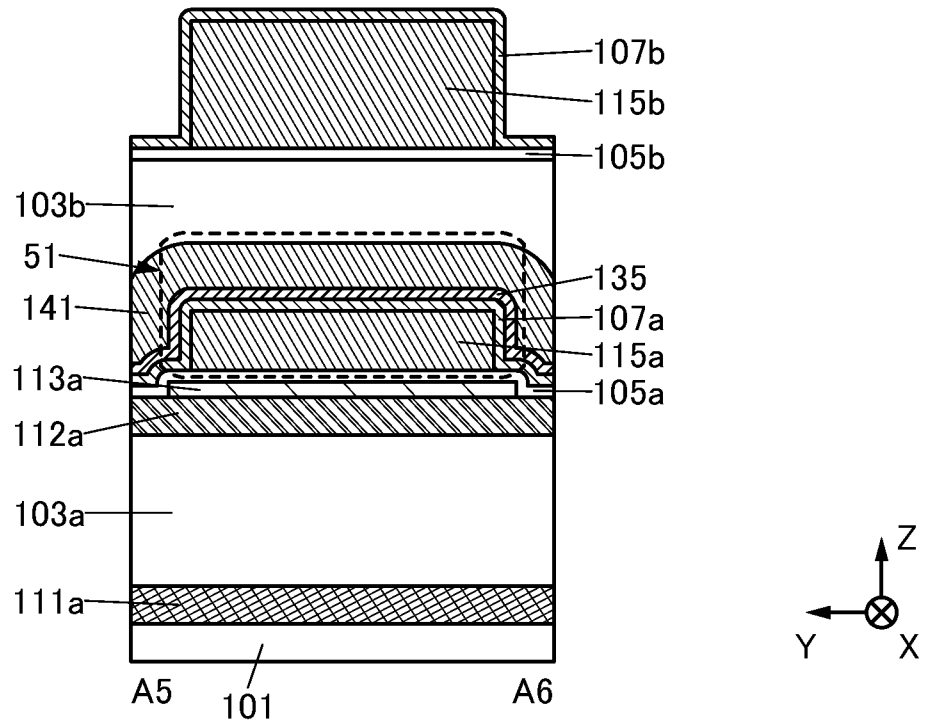

107b
115b
105b
103b
51
135
141
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図7A

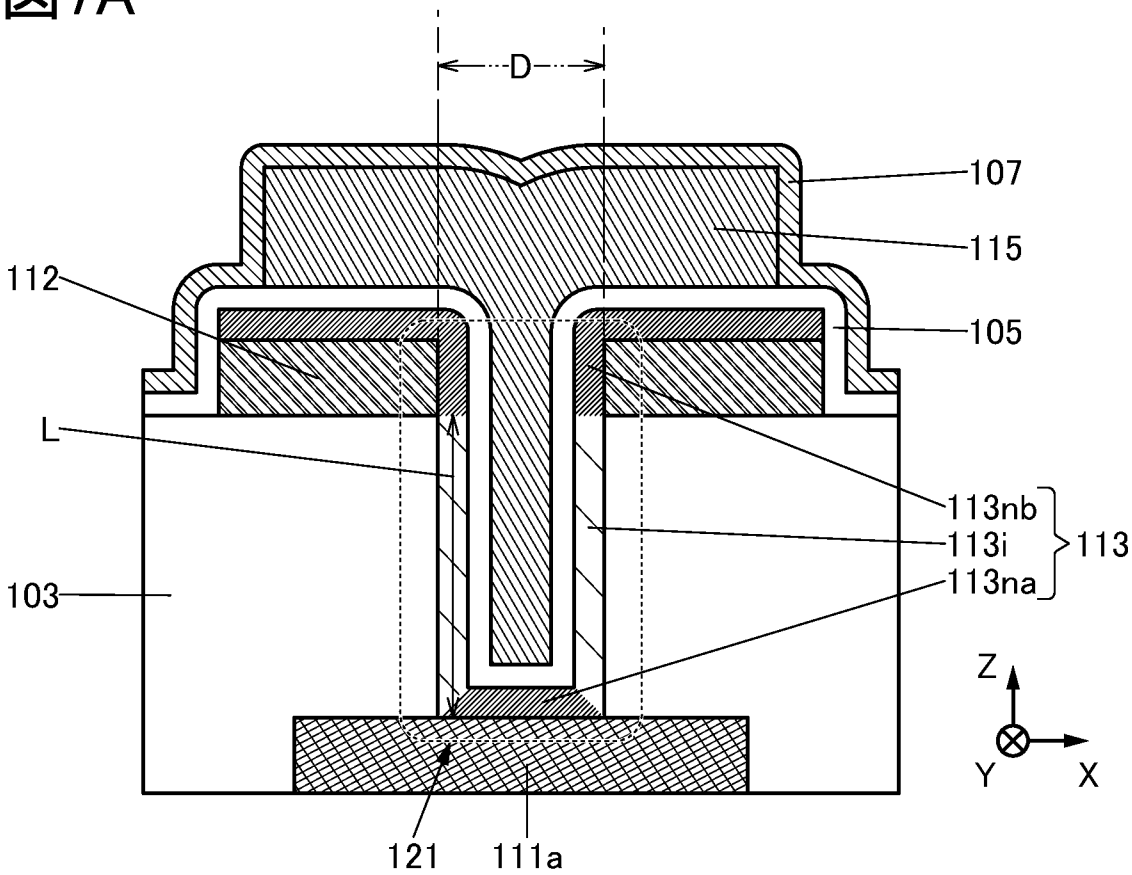

D
107
115
112
105
L
113nb
113i
113
103
113na
Z
Y
X
121
111a

図7B

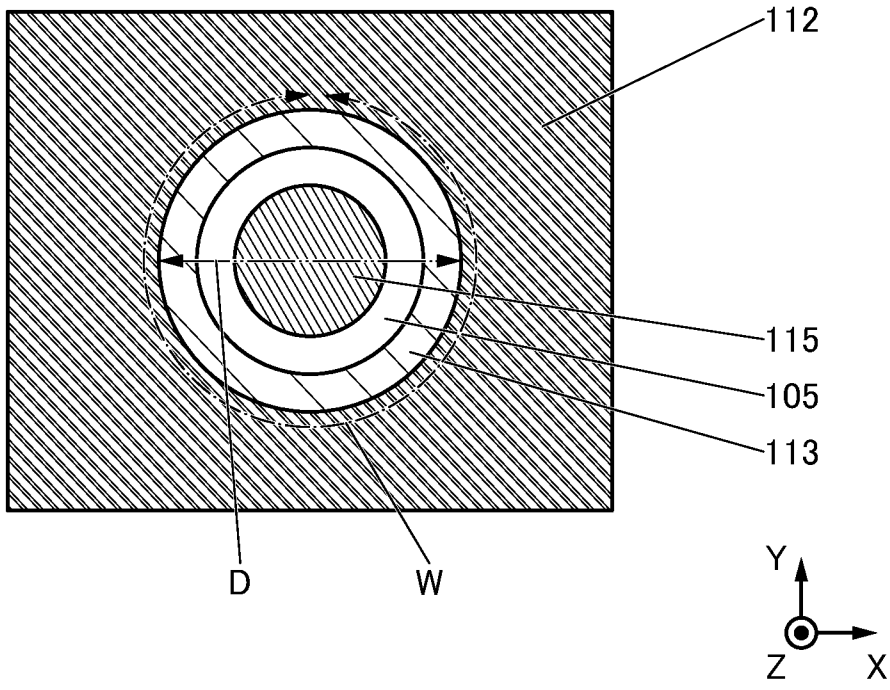

112
115
105
113
D
W
Y
Z
X

図8A

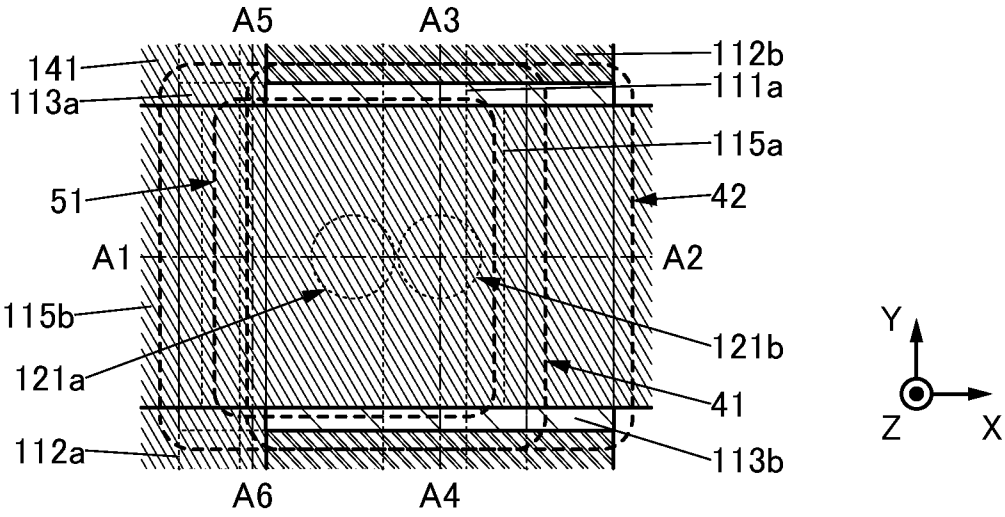

A5
A3
141
113a
112b
111a
115a
51
42
A1
A2
115b
121a
121b
41
112a
113b
A6
A4
Y
Z
X

図8B

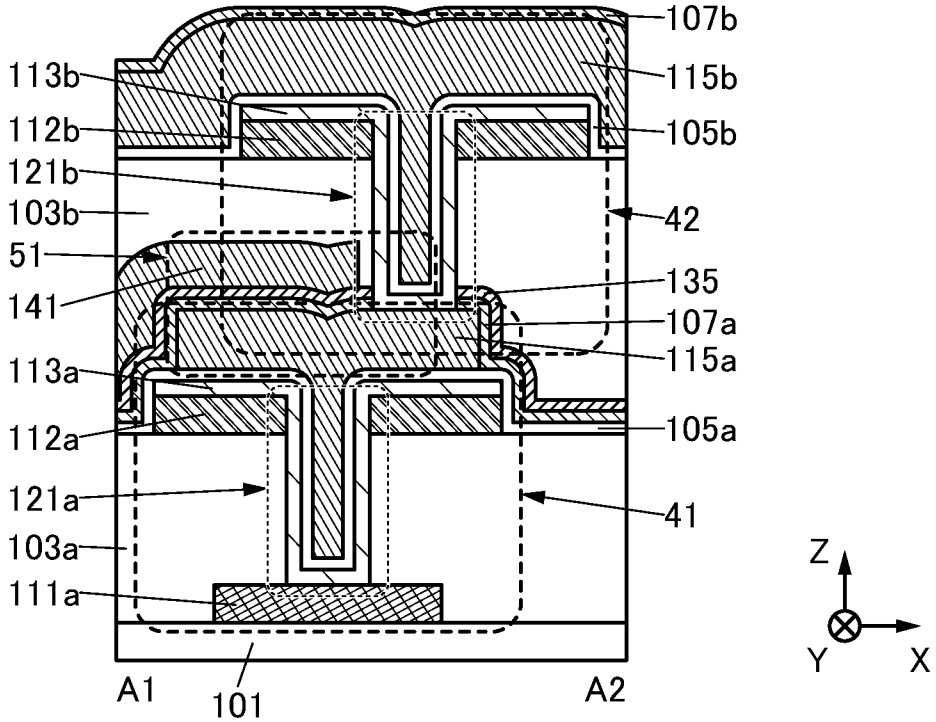

107b
113b
115b
112b
105b
121b
103b
42
51
135
141
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図9A

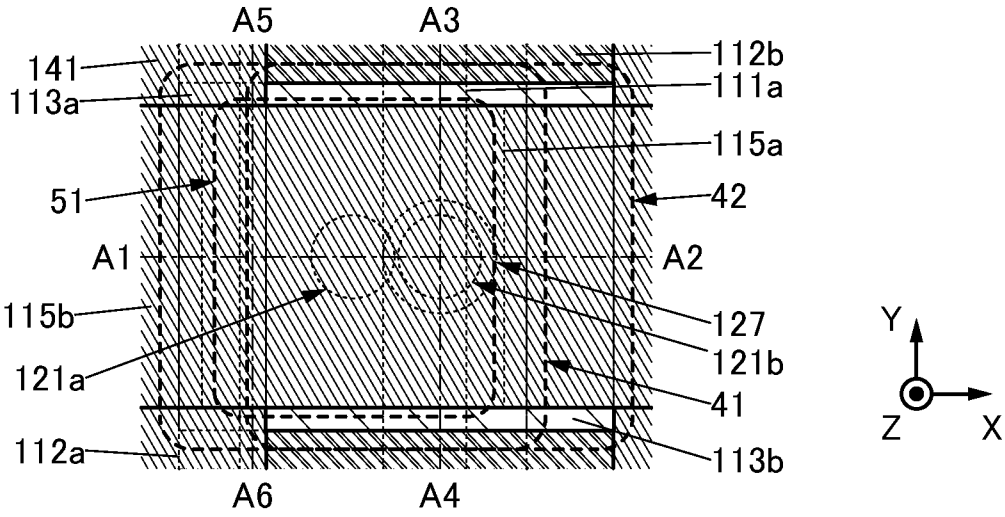

A5
A3
141
113a
112b
111a
115a
51
42
A1
A2
115b
121a
127
121b
41
112a
113b
A6
A4
Y
Z
X

図9B

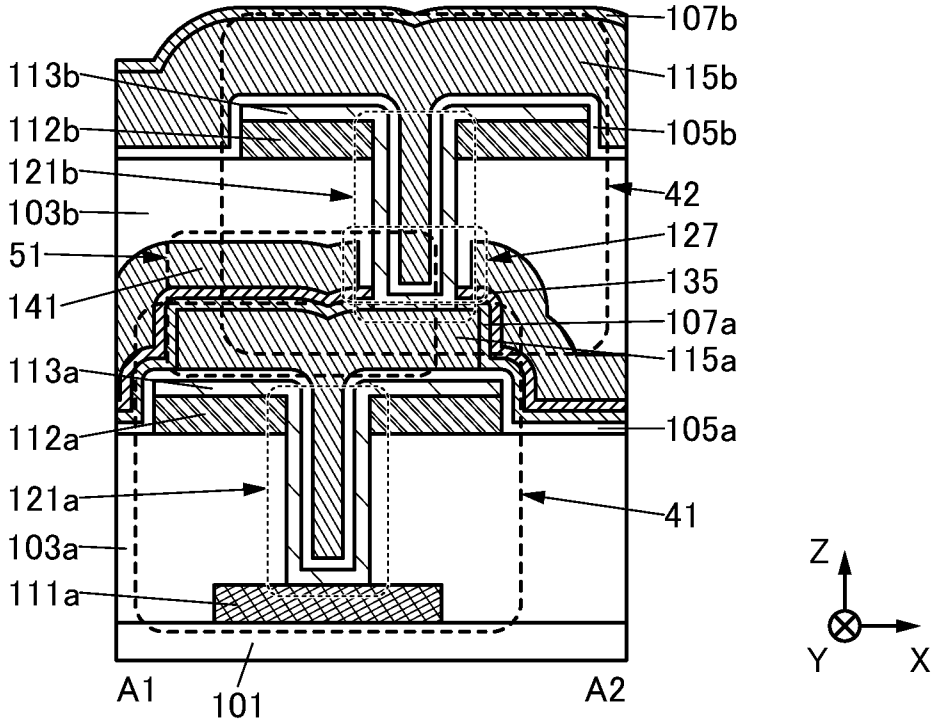

107b
113b
115b
112b
105b
121b
42
103b
127
51
135
141
107a
113a
115a
112a
105a
121a
41
103a
111a
A1
101
A2
Z
Y
X

図10

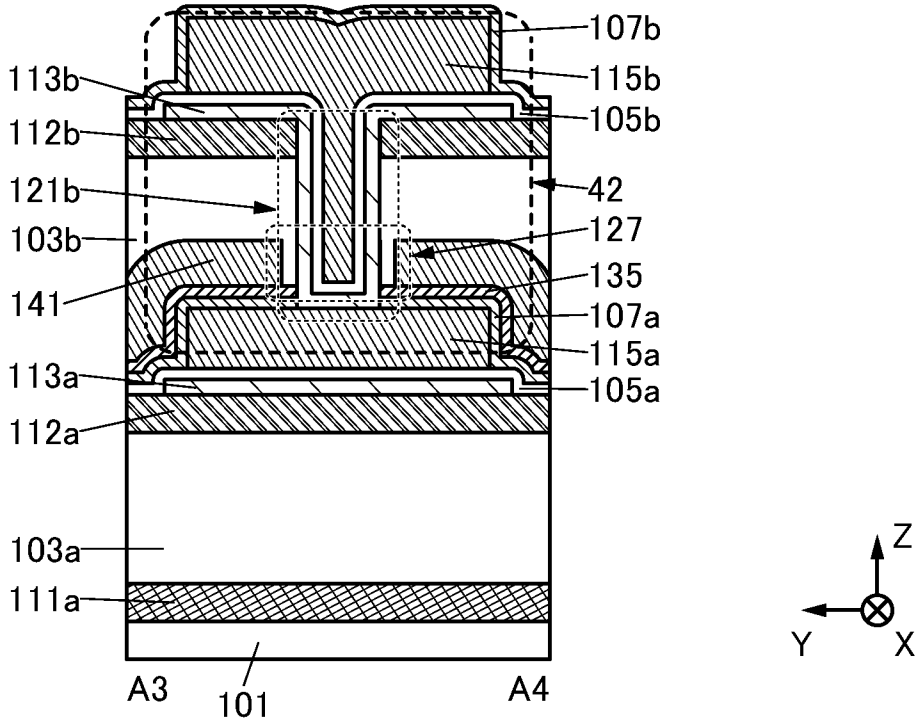

107b
113b
115b
105b
112b
121b
42
103b
127
135
141
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図11A

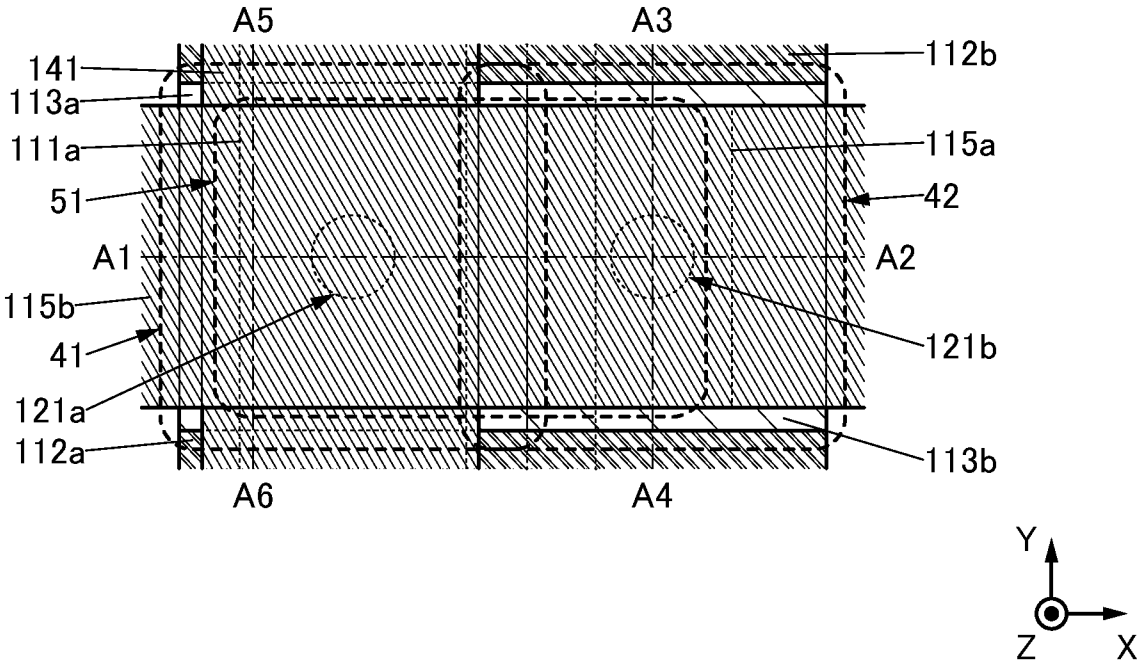

A5
A3
141
113a
111a
51
A1
115b
41
121a
112a
112b
115a
42
A2
121b
113b
A6
A4
Y
Z
X

図11B

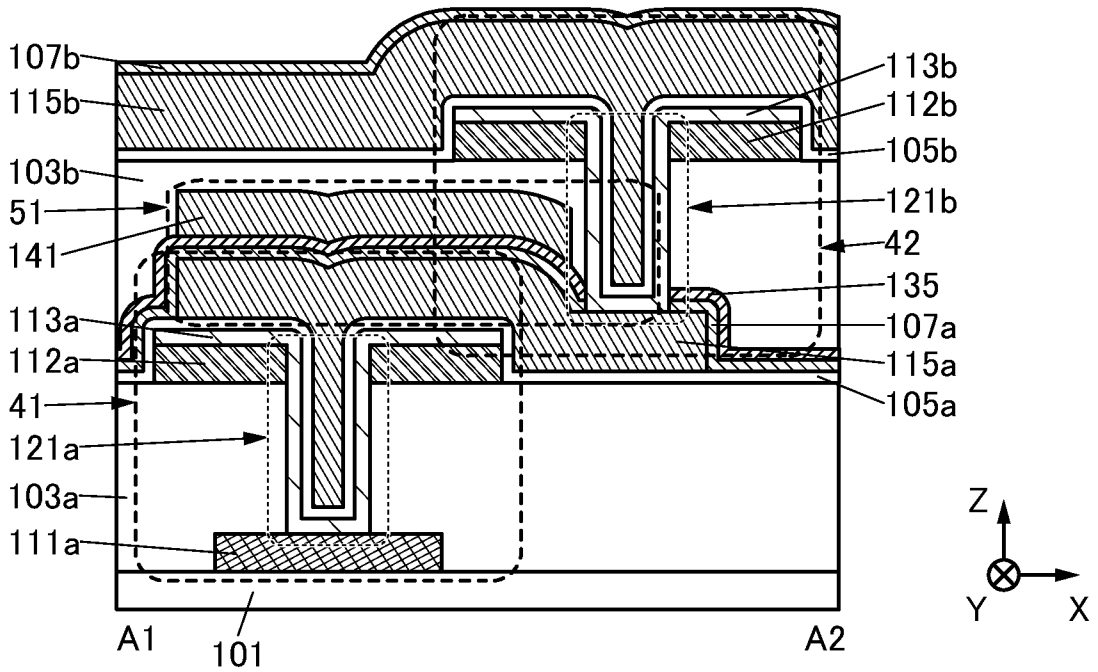

107b
115b
103b
51
141
113a
112a
41
121a
103a
111a
A1
101
A2
113b
112b
105b
121b
42
135
107a
115a
105a
Z
Y
X

図12A

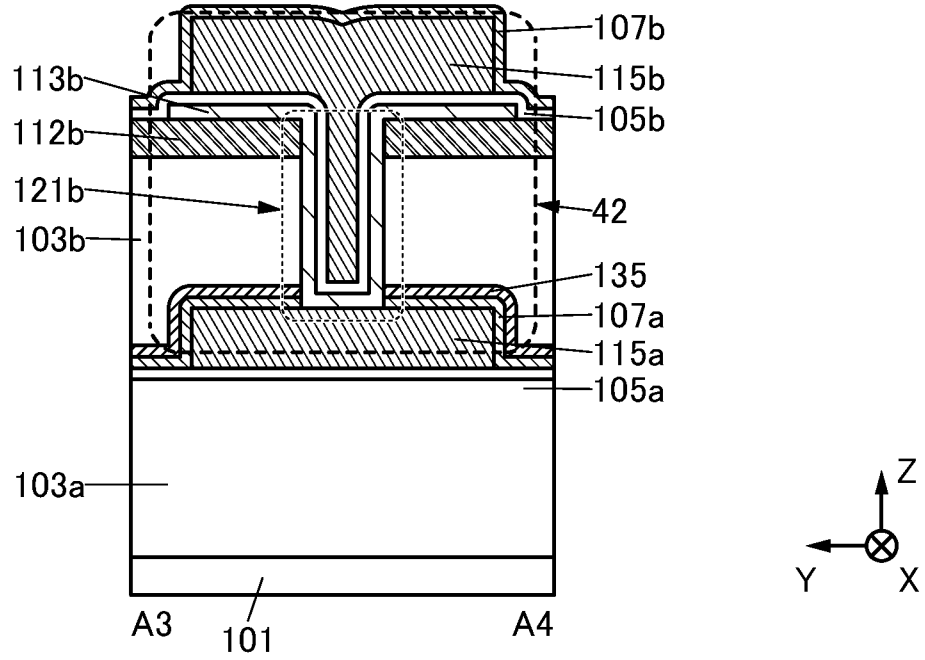

107b
115b
113b
105b
112b
121b
42
103b
135
107a
115a
105a
103a
Z
Y
X
A3
101
A4

図12B

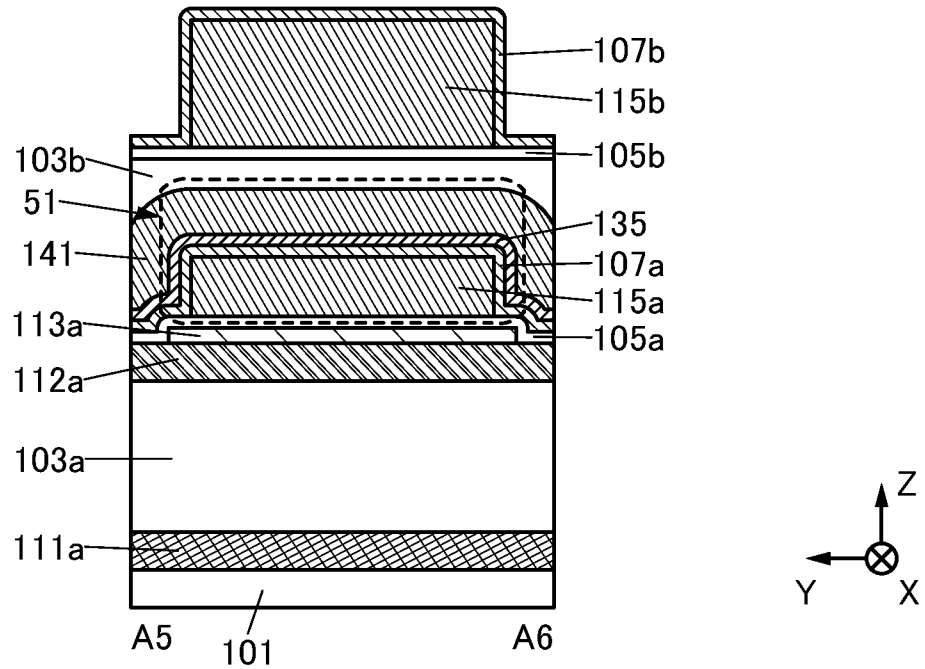

107b
115b
103b
105b
51
135
141
107a
115a
113a
105a
112a
103a
111a
Z
Y
X
A5
101
A6

図13A

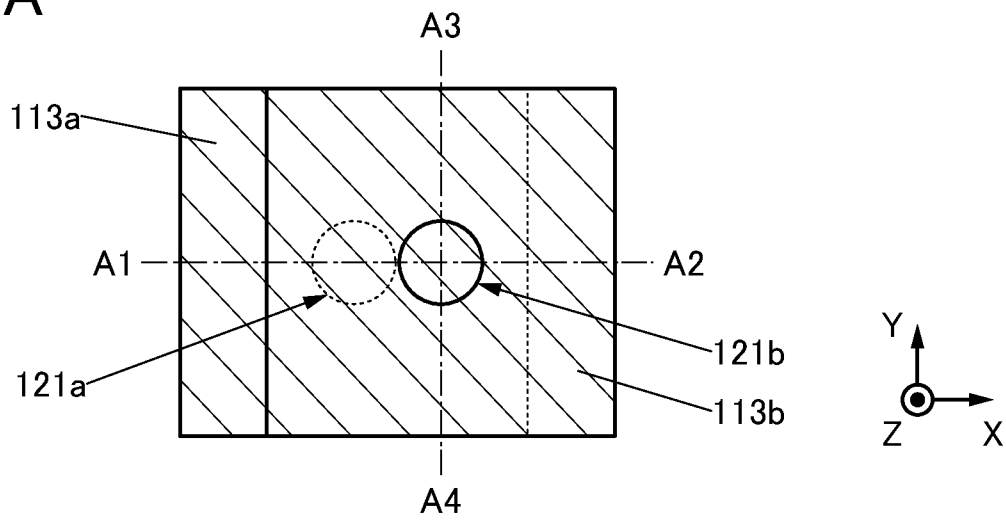


図13B

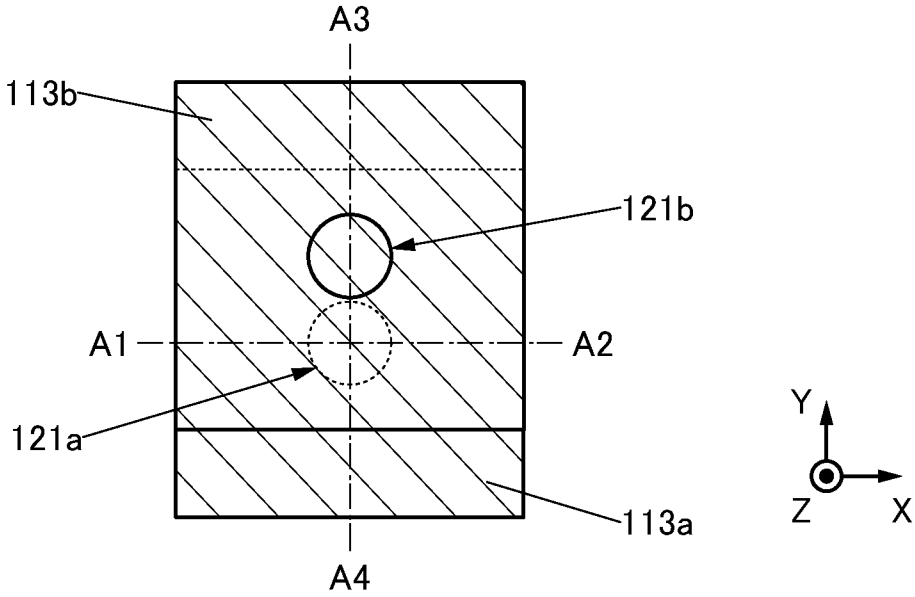


図13C

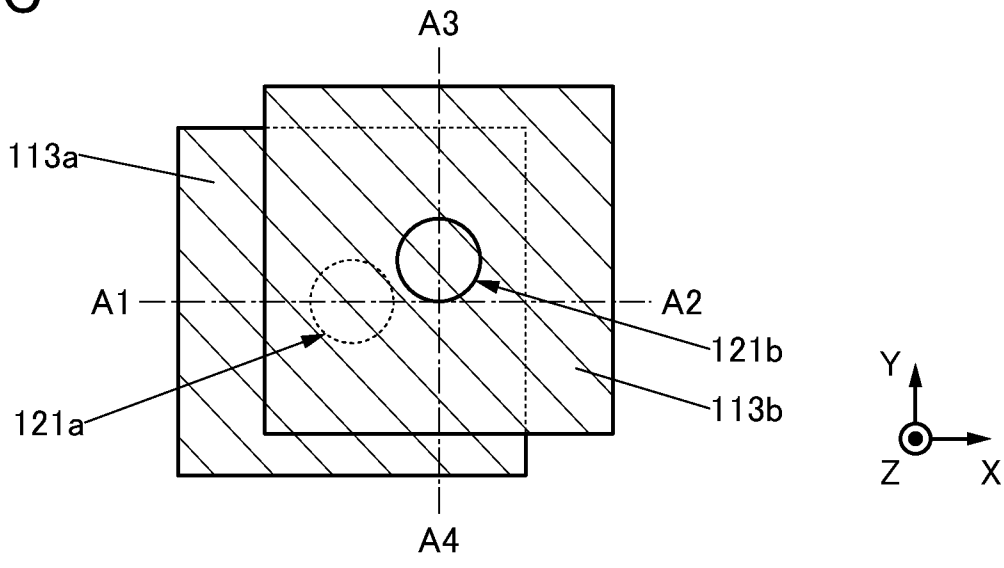


図14A

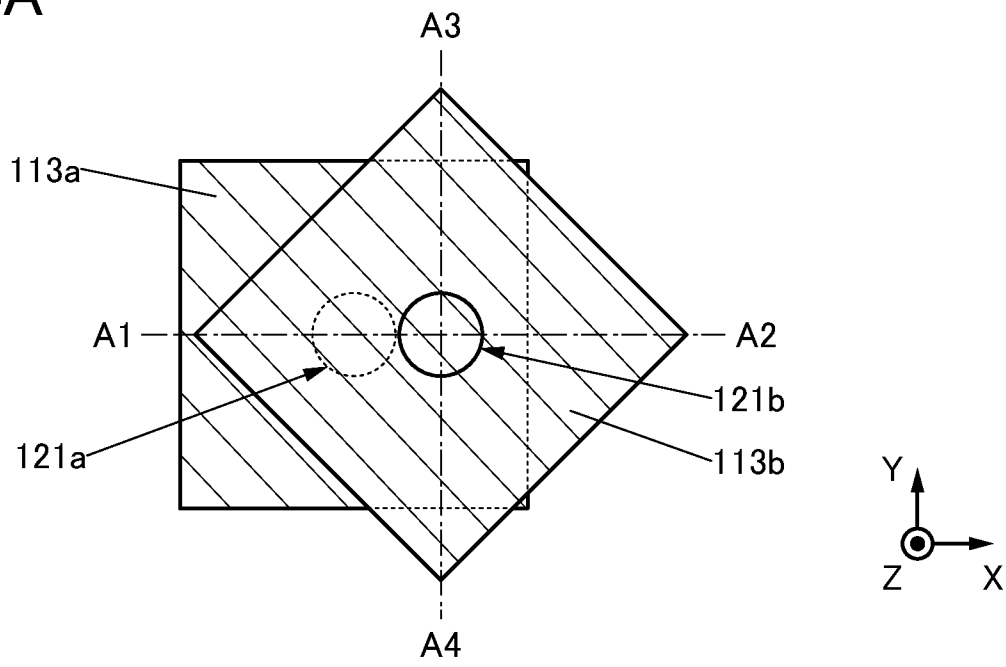

A3
113a
A1
A2
121b
121a
113b
A4
Y
Z
X

図14B

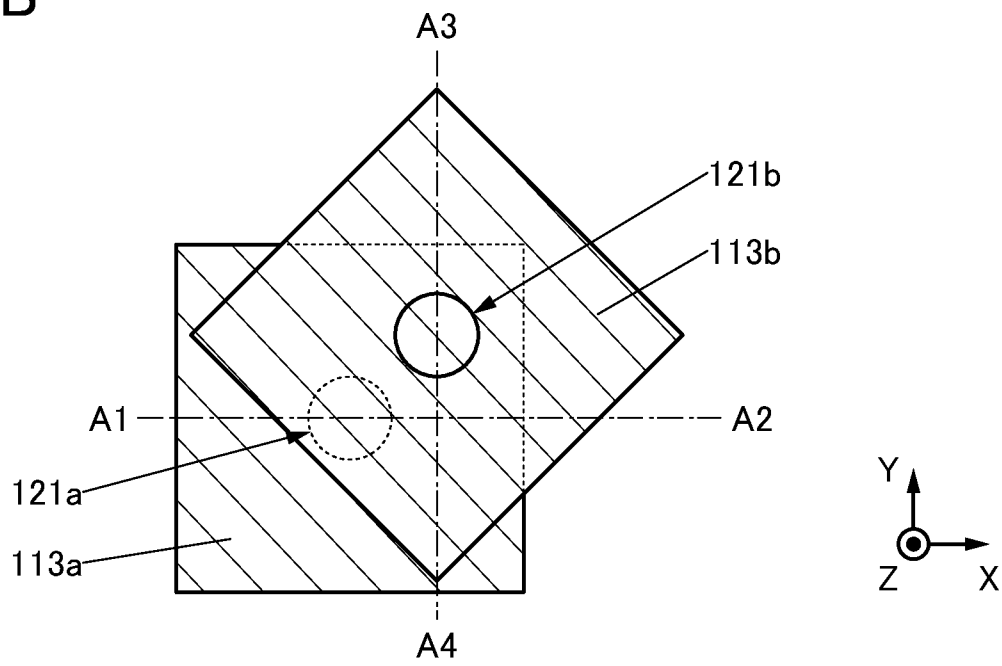

A3
121b
113b
A1
A2
121a
113a
A4
Y
Z
X

図15A

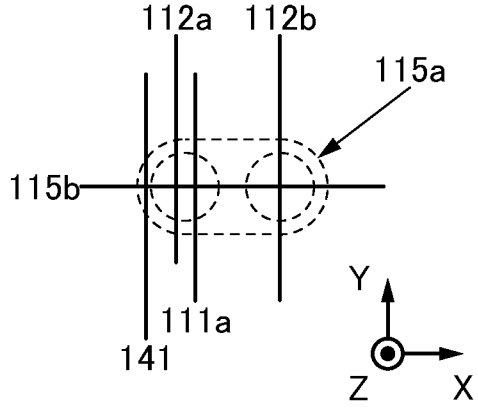


図15B

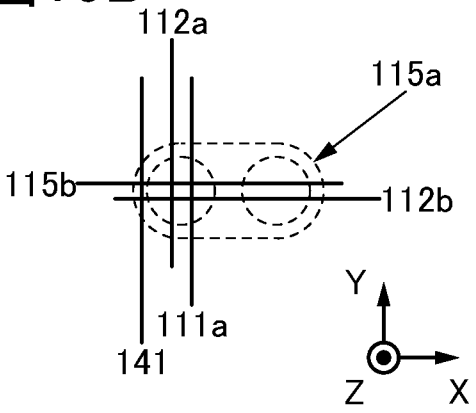


図15C

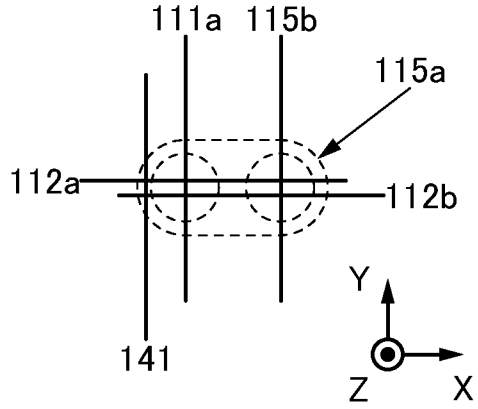


図15D

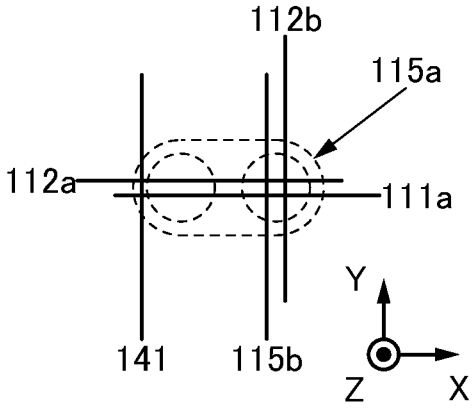


図15E

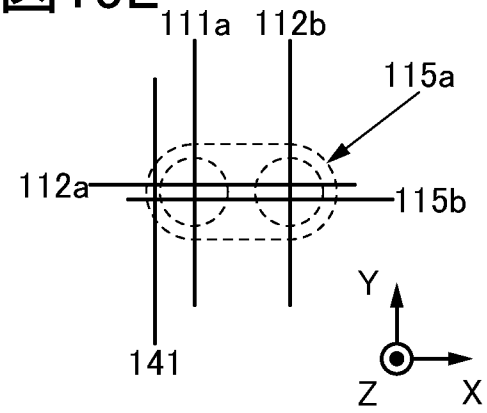


図15F

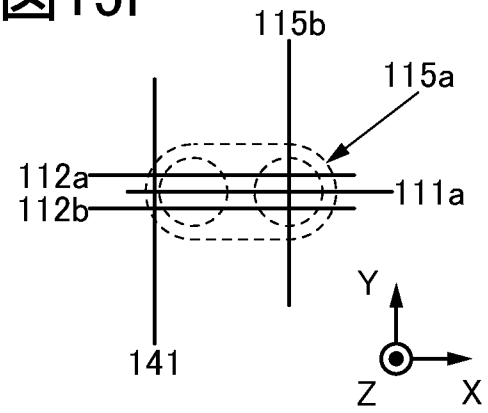


図15G

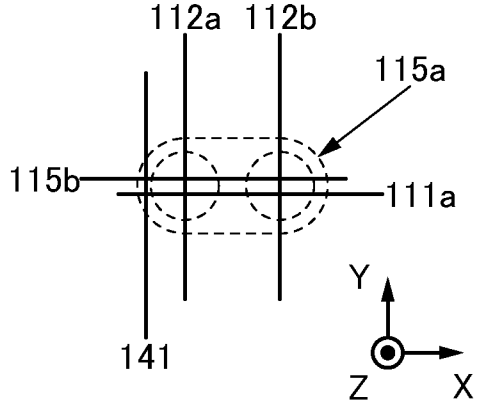


図15H

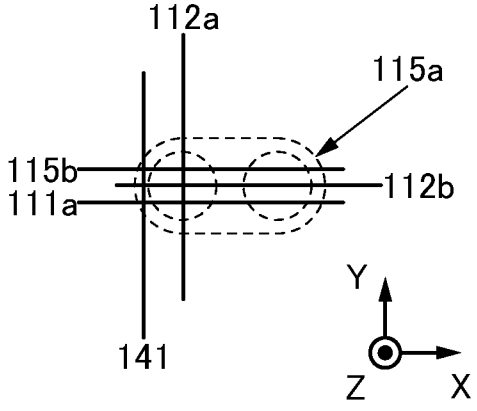


図16A

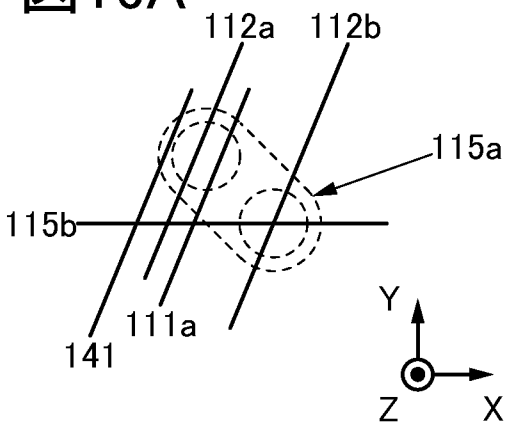


図16B

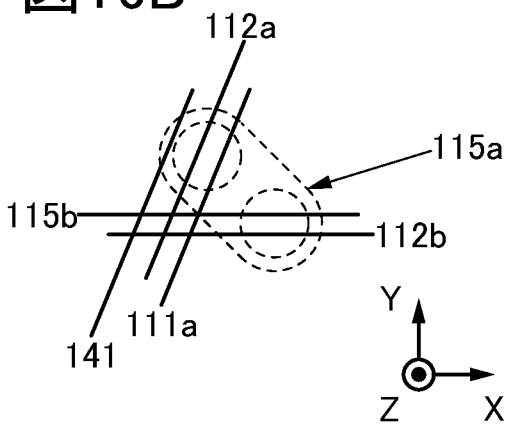


図16C

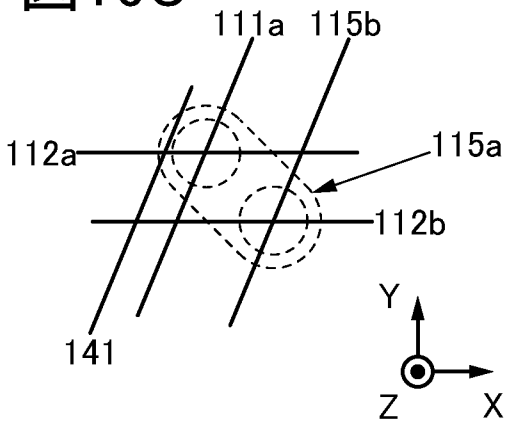


図16D

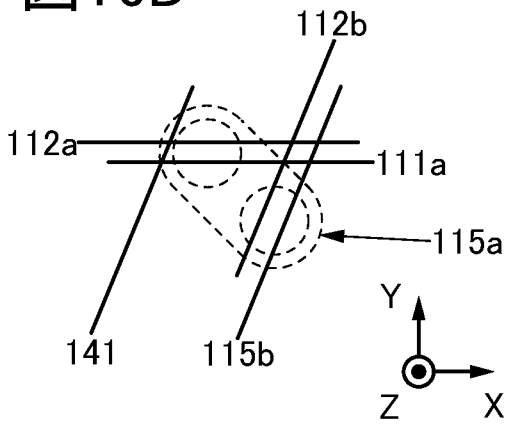


図16E

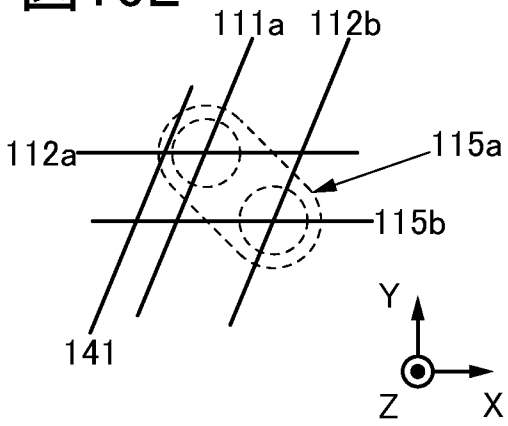


図16F

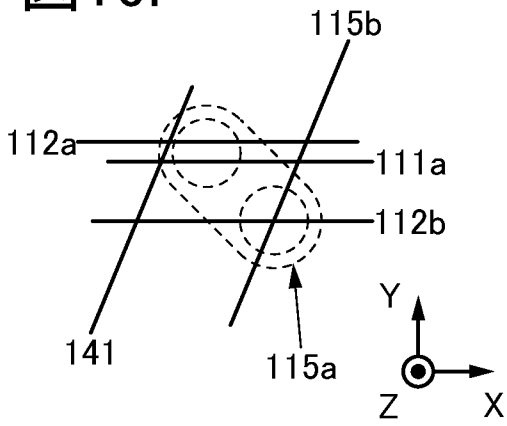


図16G

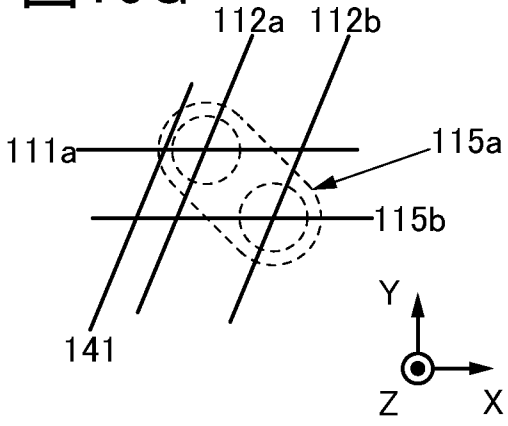


図16H

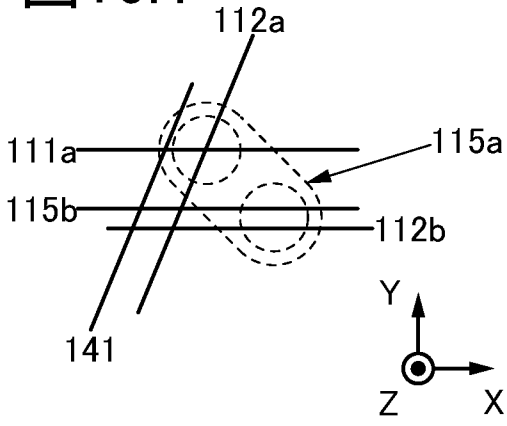


図17

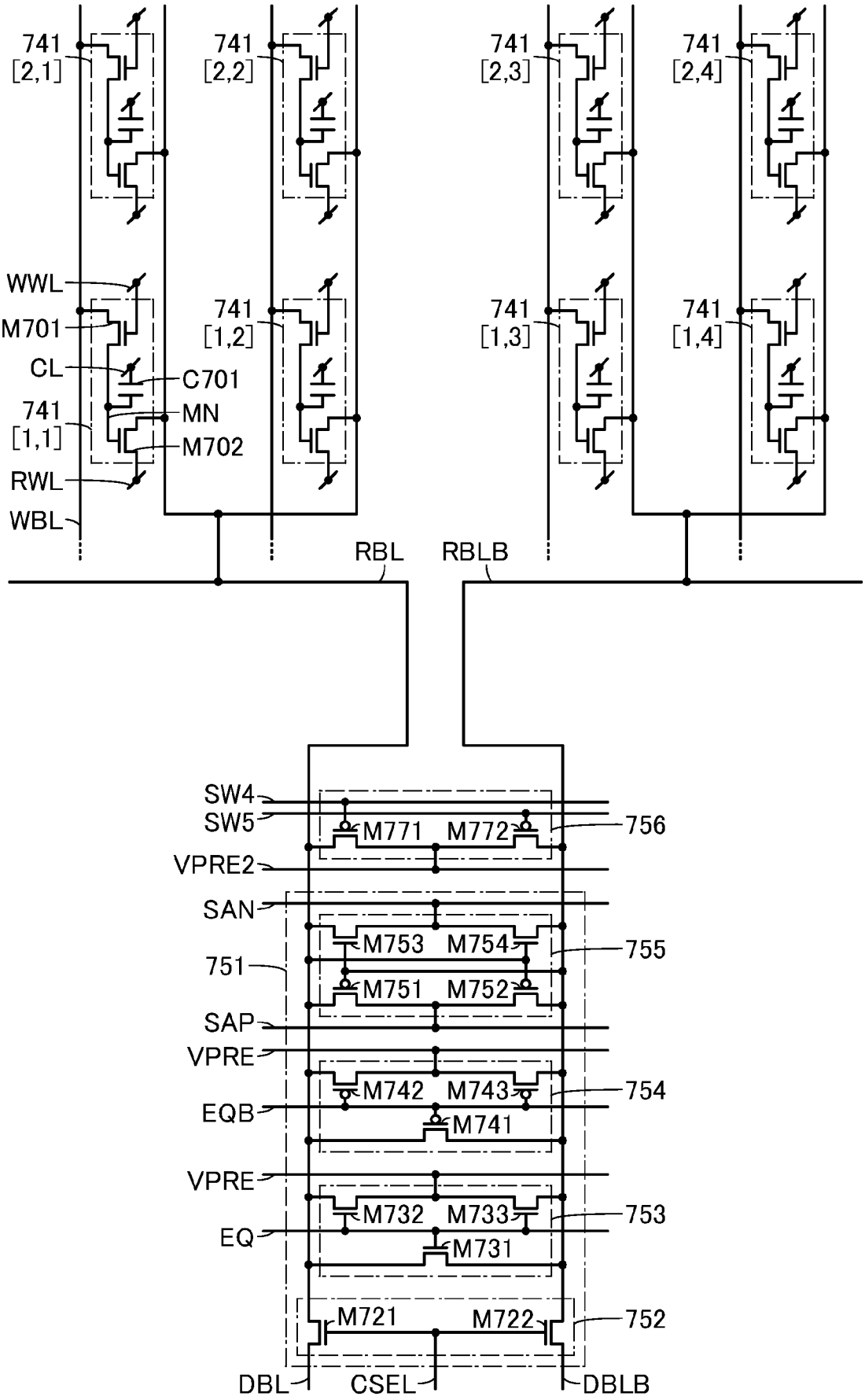

741
[2,1]
741
[2,2]
741
[2,3]
741
[2,4]
WWL
M701
CL
C701
741
[1,1]
MN
M702
741
[1,2]
741
[1,3]
741
[1,4]
RWL
WBL
RBL
RBLB
SW4
SW5
M771
M772
756
VPRE2
SAN
M753
M754
755
751
M751
M752
SAP
VPRE
M742
M743
754
EQB
M741
VPRE
M732
M733
753
EQ
M731
M721
M722
752
DBL
CSEL
DBLB

図18

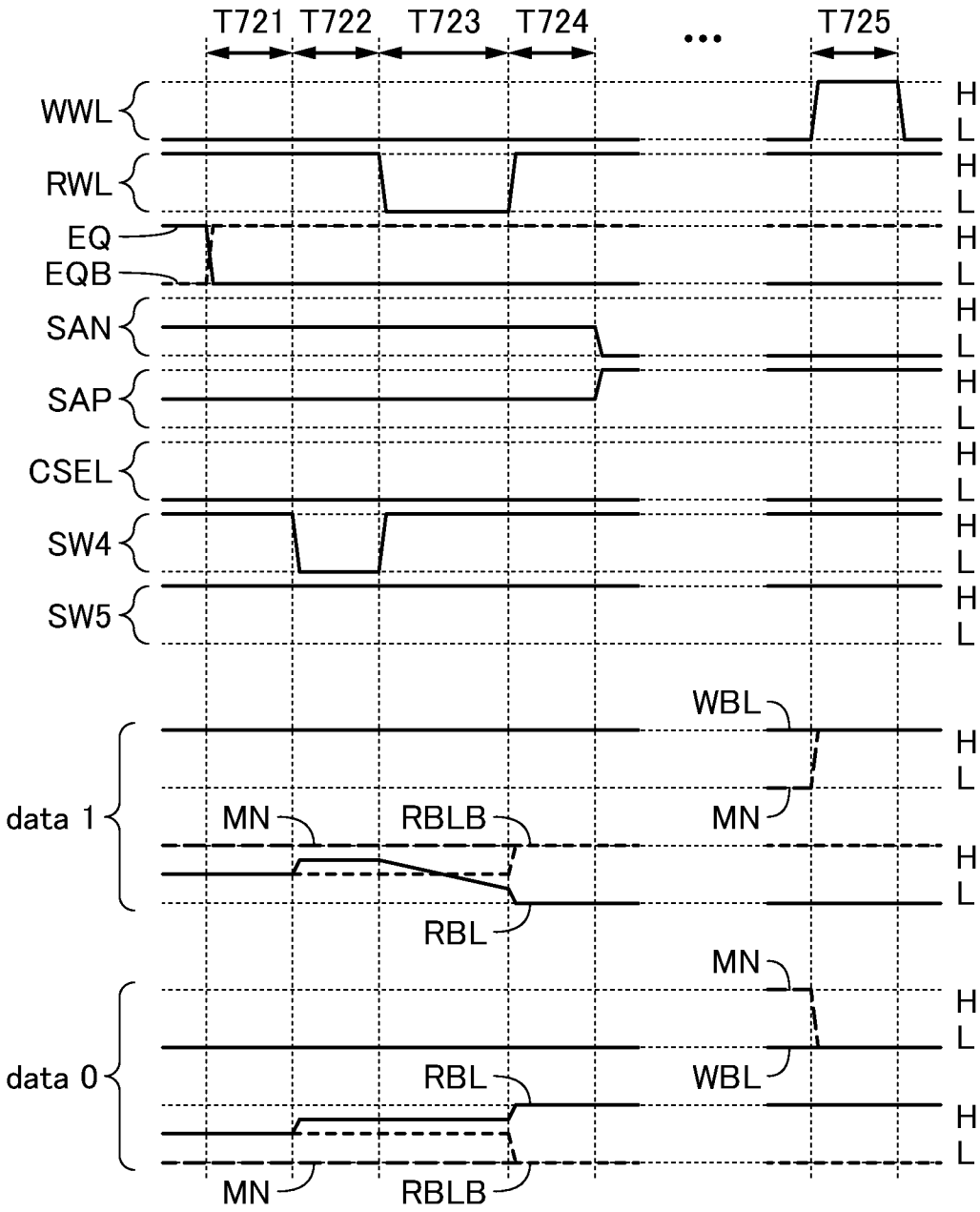

T721
T722
T723
T724
...
T725
WWL
RWL
EQ
EQB
SAN
SAP
CSEL
SW4
SW5
H
L
WBL
data 1
MN
RBLB
RBL
data 0

図19

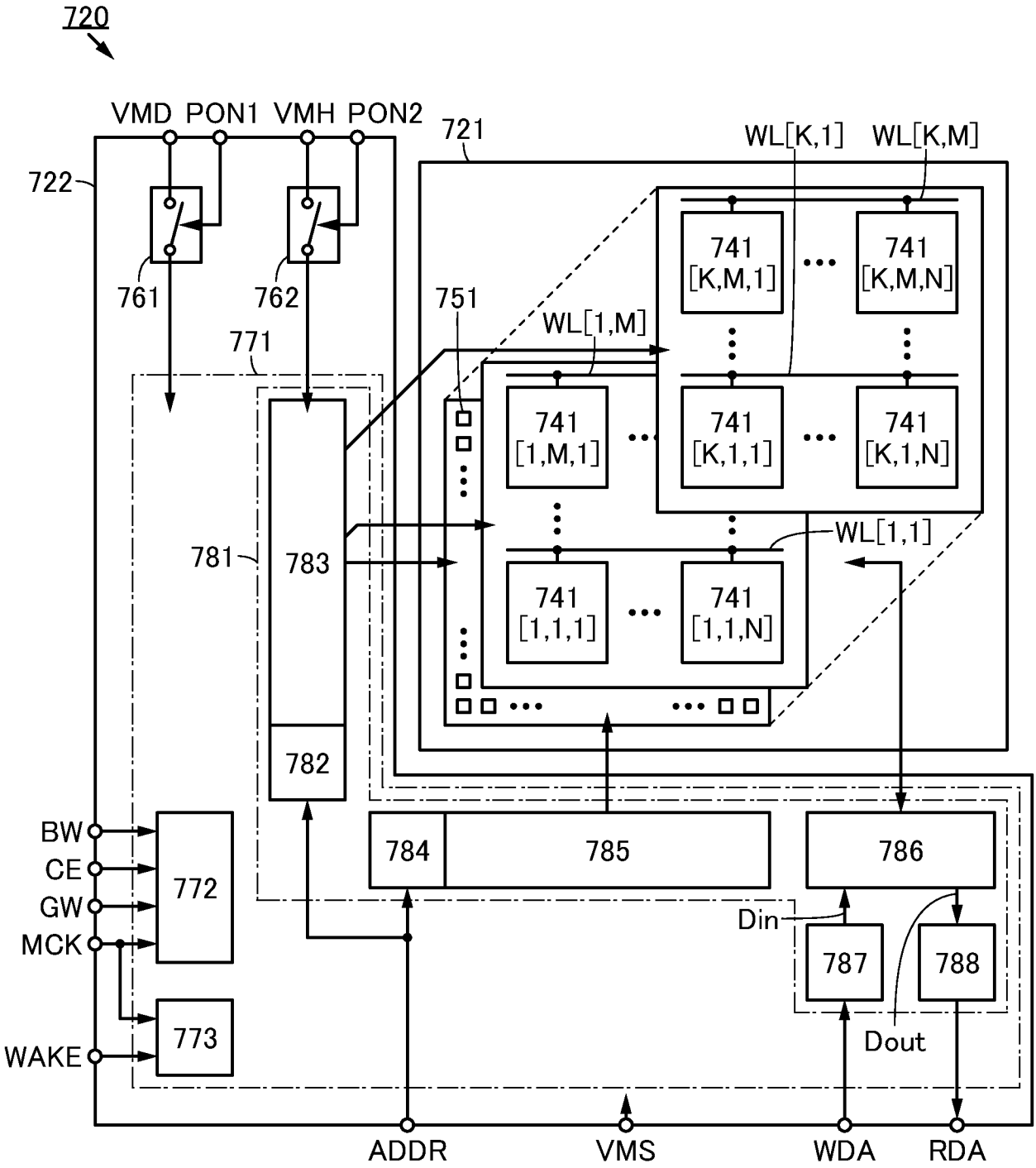

720
VMD
PON1
VMH
PON2
721
722
WL[K,1]
WL[K,M]
741 [K,M,1]
741 [K,M,N]
761
762
751
WL[1,M]
771
741 [1,M,1]
741 [K,1,1]
741 [K,1,N]
781
783
WL[1,1]
741 [1,1,1]
741 [1,1,N]
782
BW
CE
GW
MCK
772
784
785
786
Din
787
788
773
WAKE
Dout
ADDR
VMS
WDA
RDA

図20A

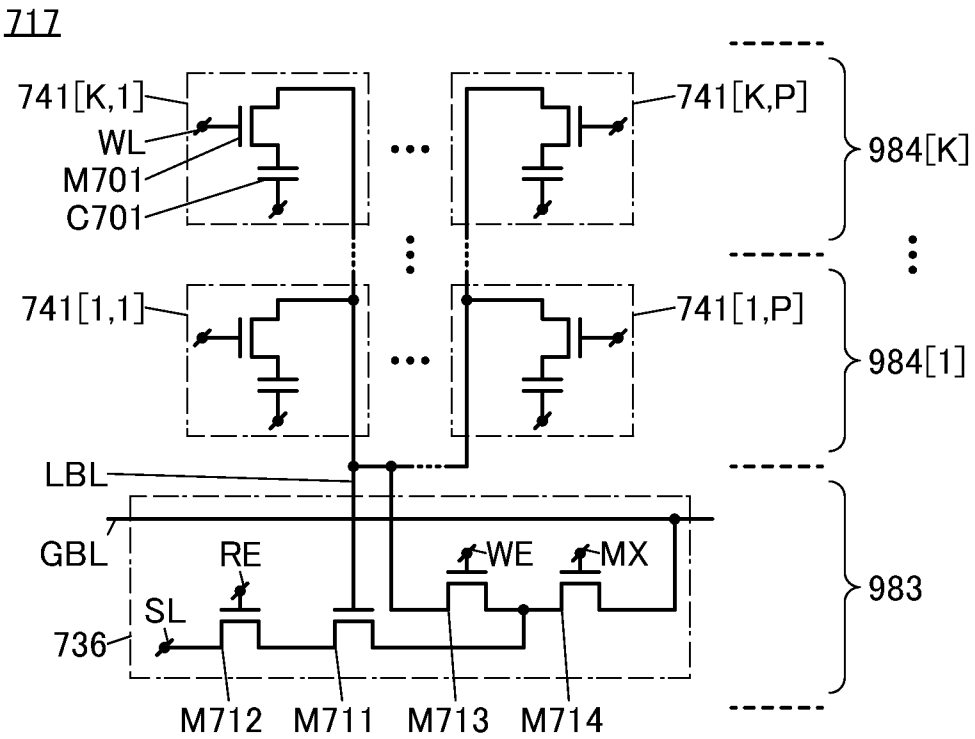

717
741[K,1]
WL
M701
C701
741[K,P]
984[K]
741[1,1]
741[1,P]
984[1]
LBL
GBL
RE
WE
MX
983
SL
736
M712
M711
M713
M714

図20B

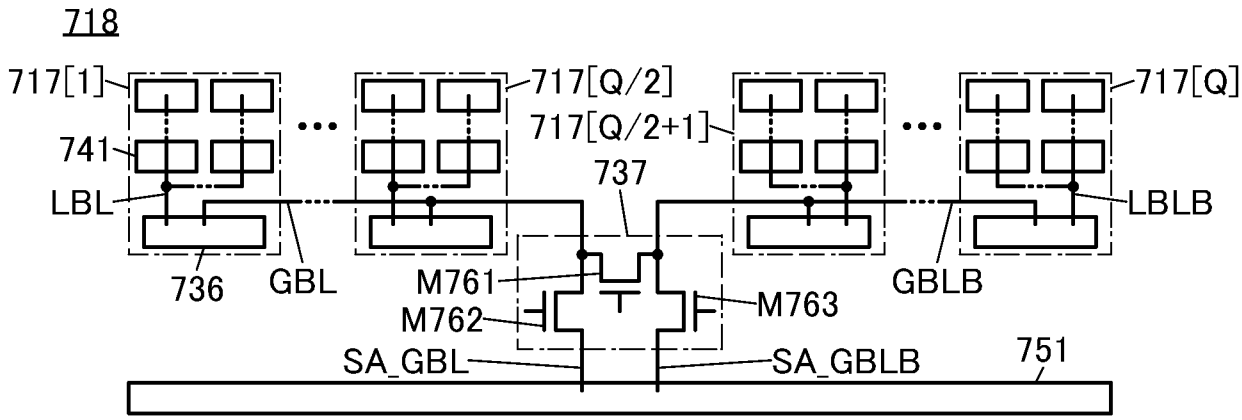

718
717[1]
717[Q/2]
717[Q/2+1]
717[Q]
741
737
LBL
LBLB
736
GBL
M761
M762
M763
GBLB
SA_GBL
SA_GBLB
751

図21

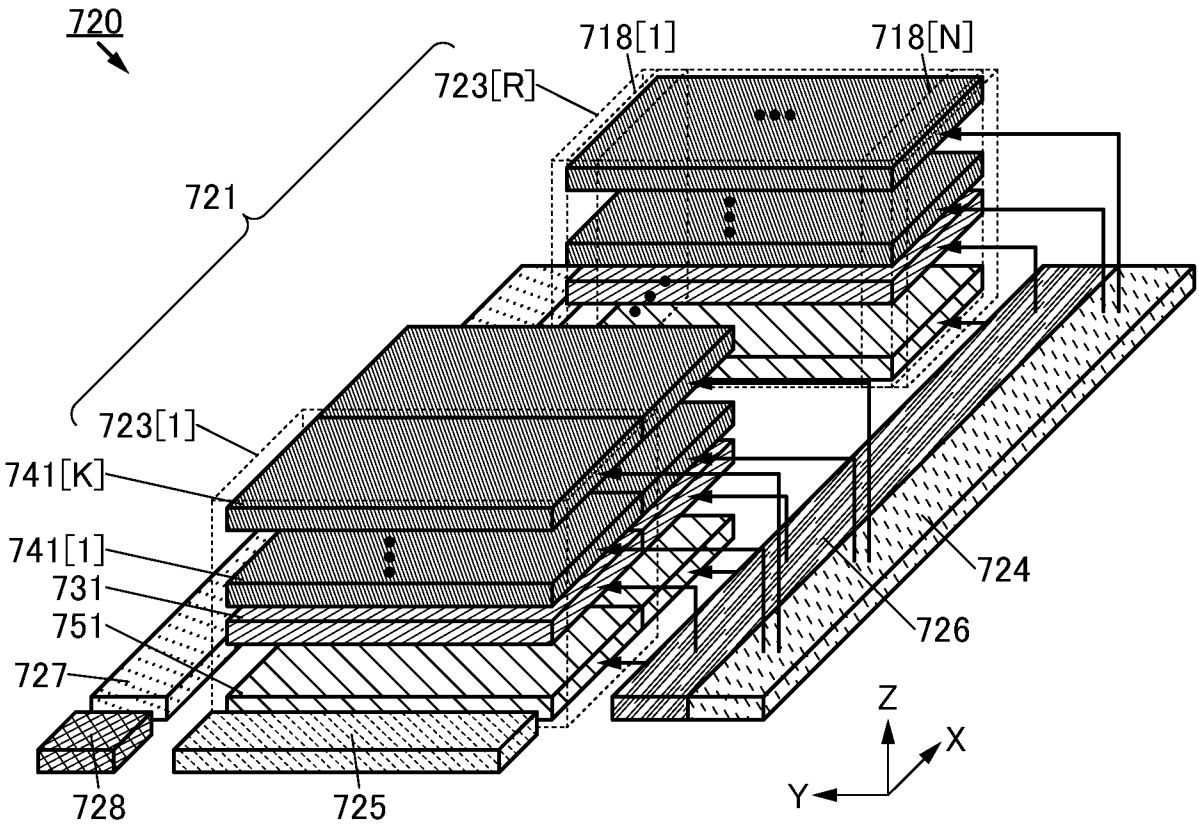

720
718[1]
718[N]
723[R]
721
723[1]
741[K]
741[1]
731
751
727
728
725
724
726
Z
X
Y

図22

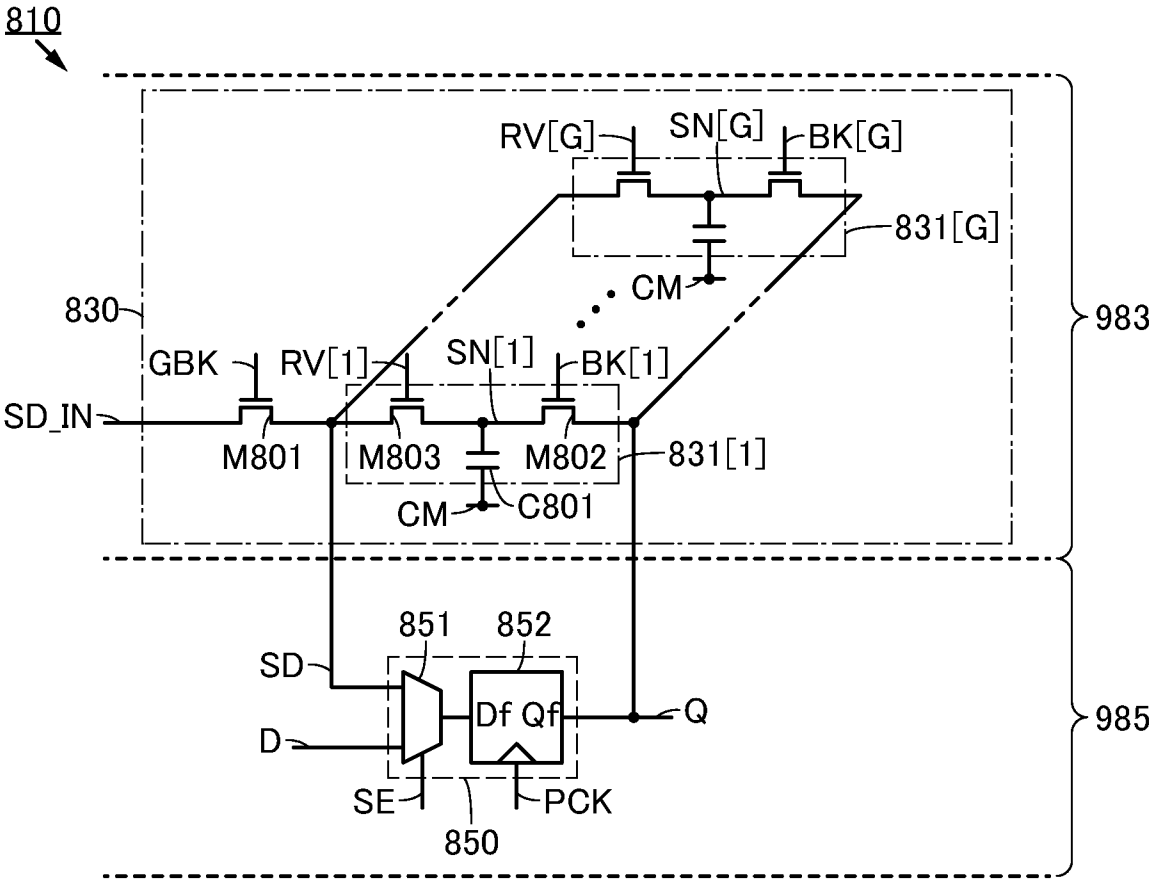

810
RV[G]
SN[G]
BK[G]
831[G]
CM
830
983
GBK
RV[1]
SN[1]
BK[1]
SD_IN
M801
M803
M802
831[1]
CM
C801
851
852
SD
Df Qf
Q
D
SE
PCK
850
985

図23

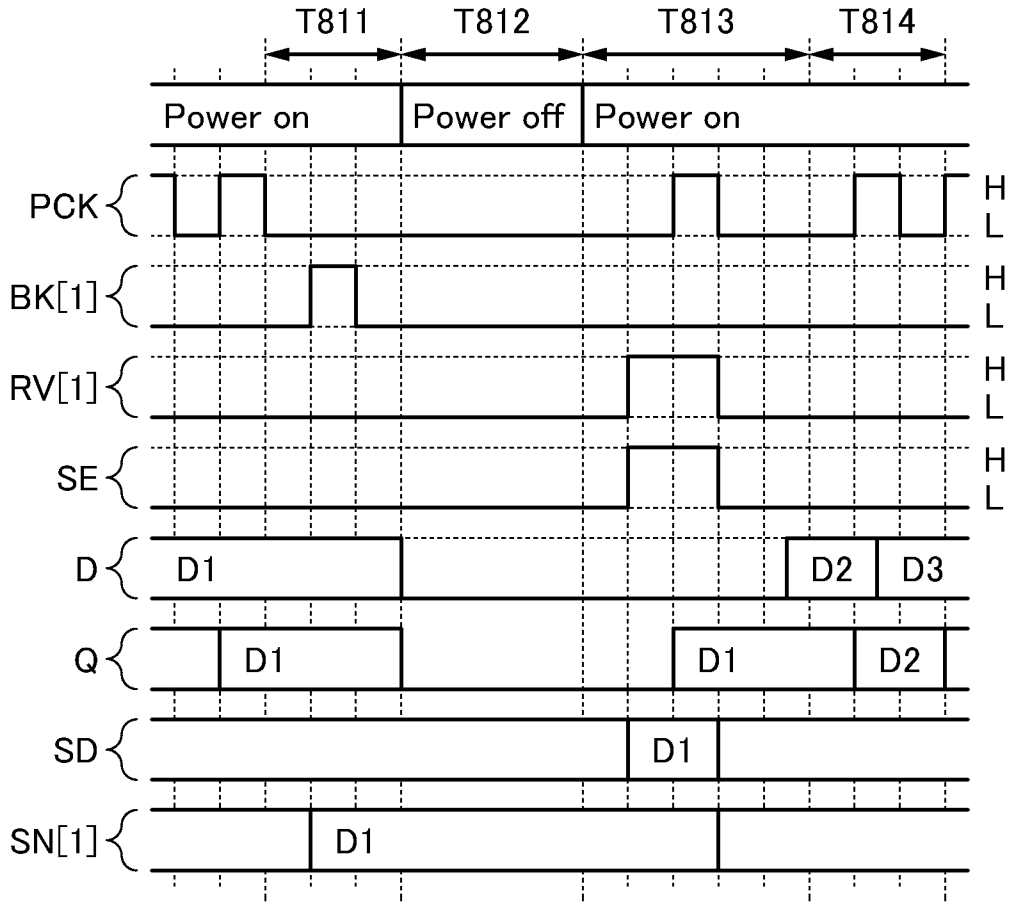

T811
T812
T813
T814
Power on
Power off
Power on
PCK
BK[1]
RV[1]
SE
D
Q
SD
SN[1]
H
L
D1
D2
D3

図24A

T811

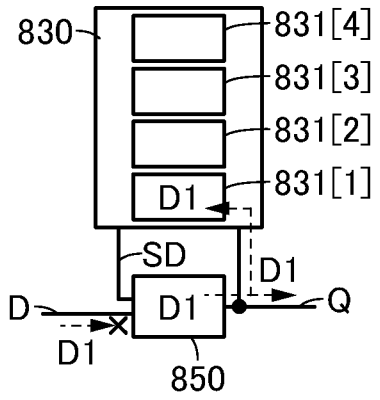


図24B

T812

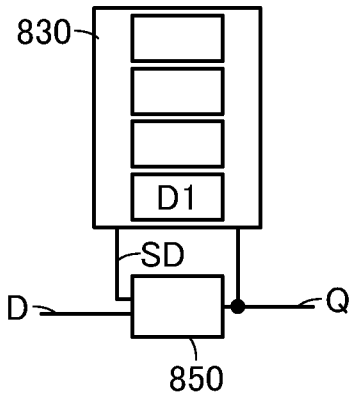


図24C

T813

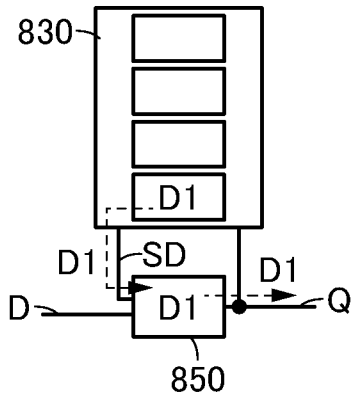


図24D

T814

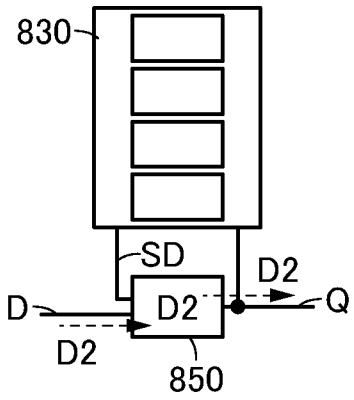


図25

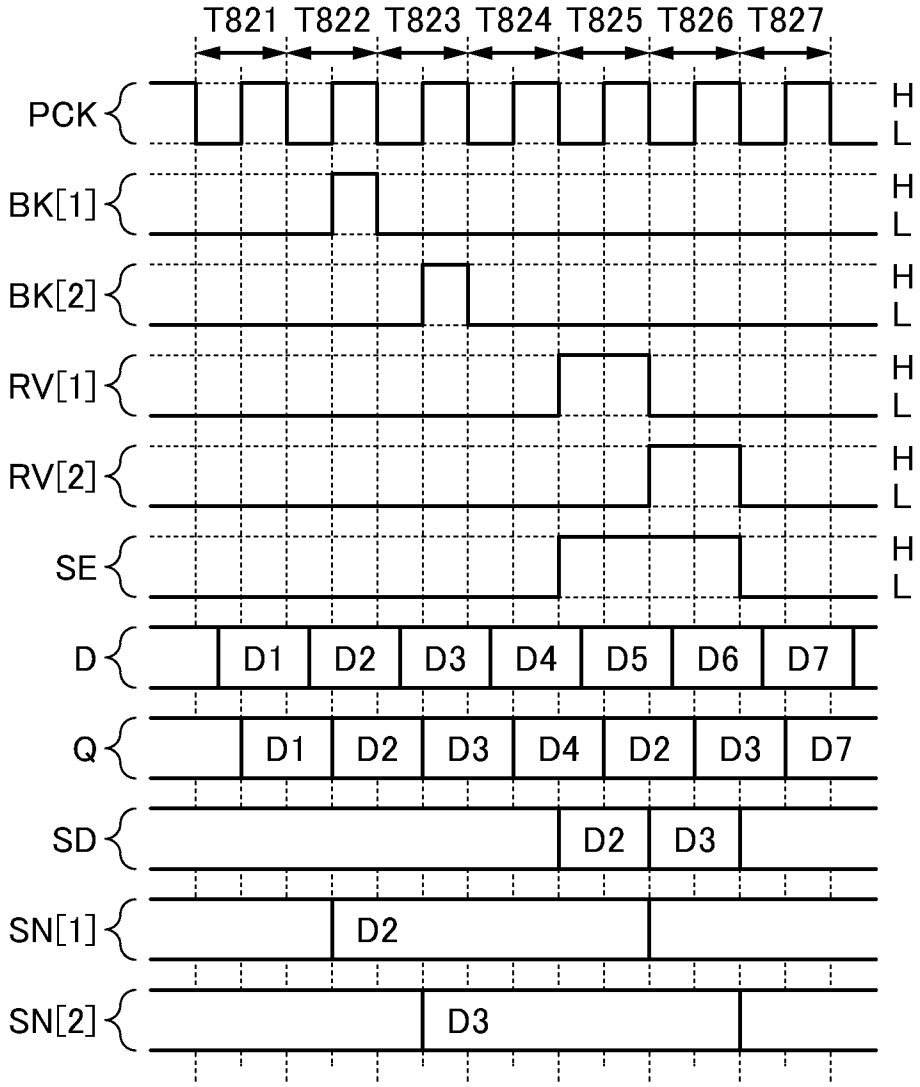

T821
T822
T823
T824
T825
T826
T827
PCK
BK[1]
BK[2]
RV[1]
RV[2]
SE
D
Q
SD
SN[1]
SN[2]
H
L
D1
D2
D3
D4
D5
D6
D7

図26A

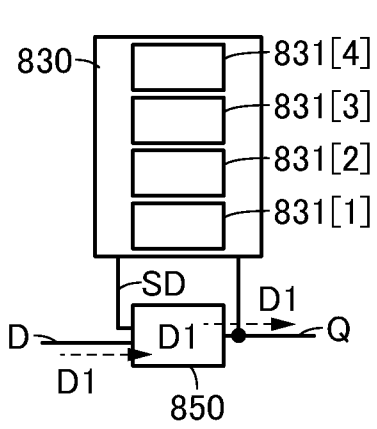


図26B

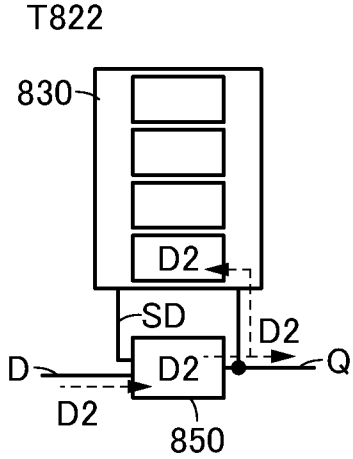


図26C

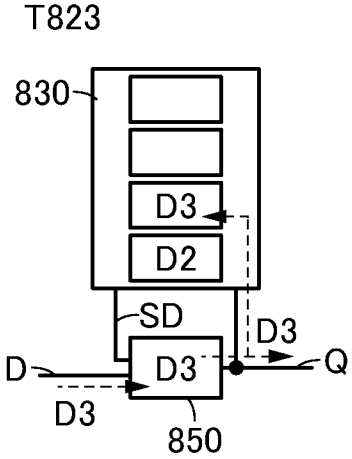


図26D

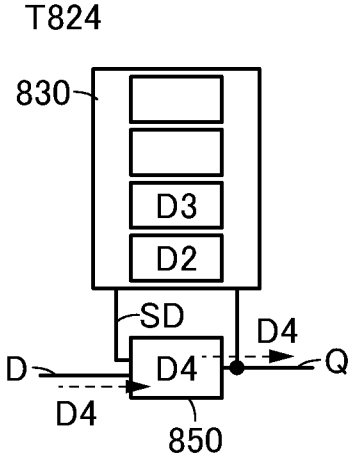


図26E

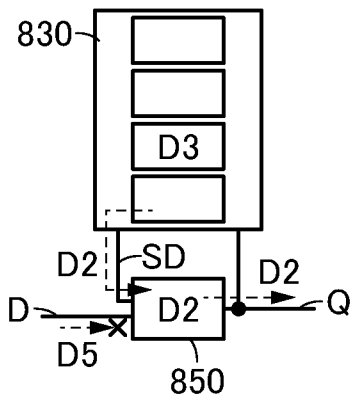


図26F

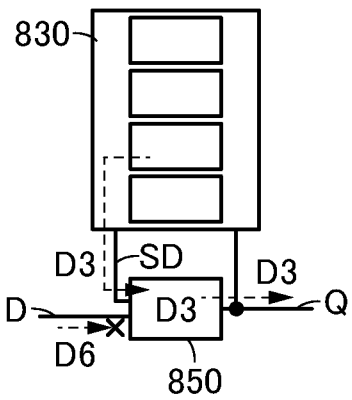


図26G

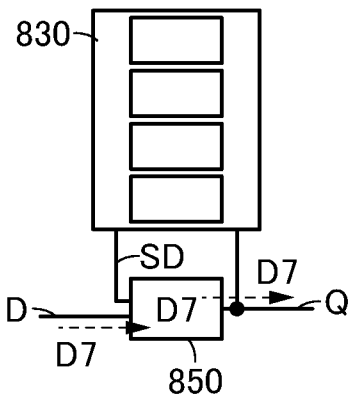


図27

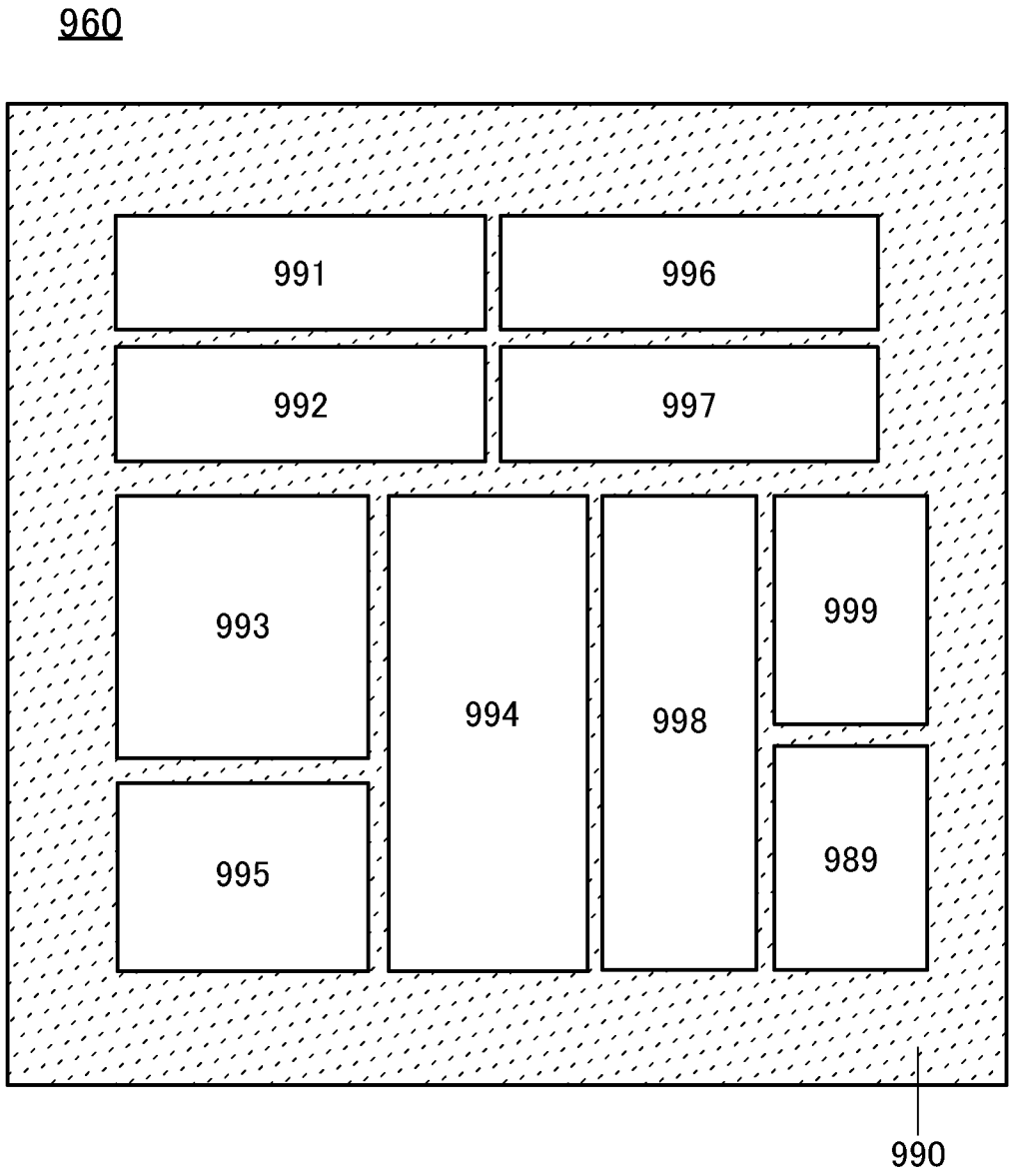


図28A

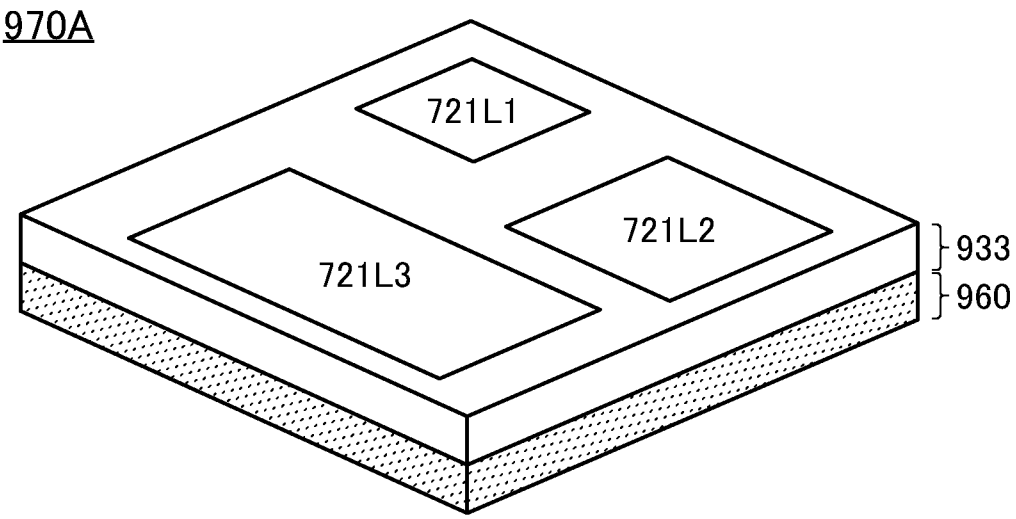

970A
721L1
721L2
721L3
933
960

図28B

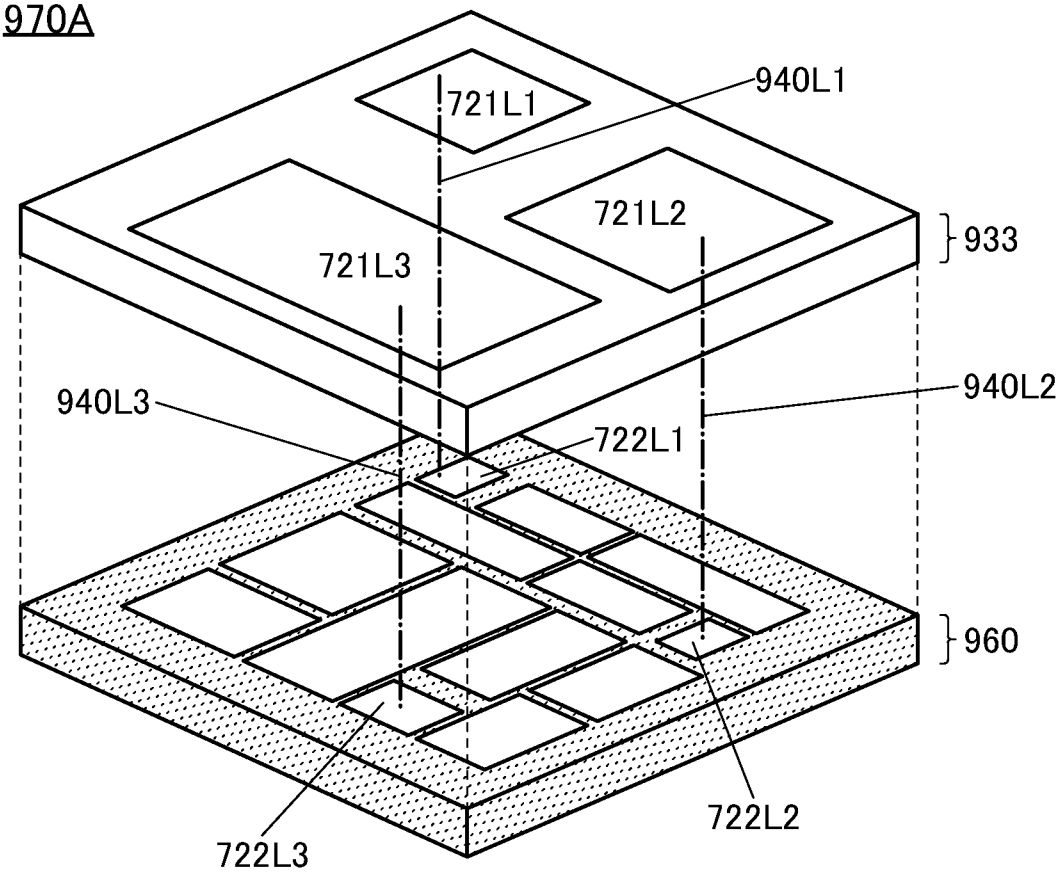

970A
721L1
940L1
721L2
721L3
933
940L3
940L2
722L1
960
722L2
722L3

図29A

970B

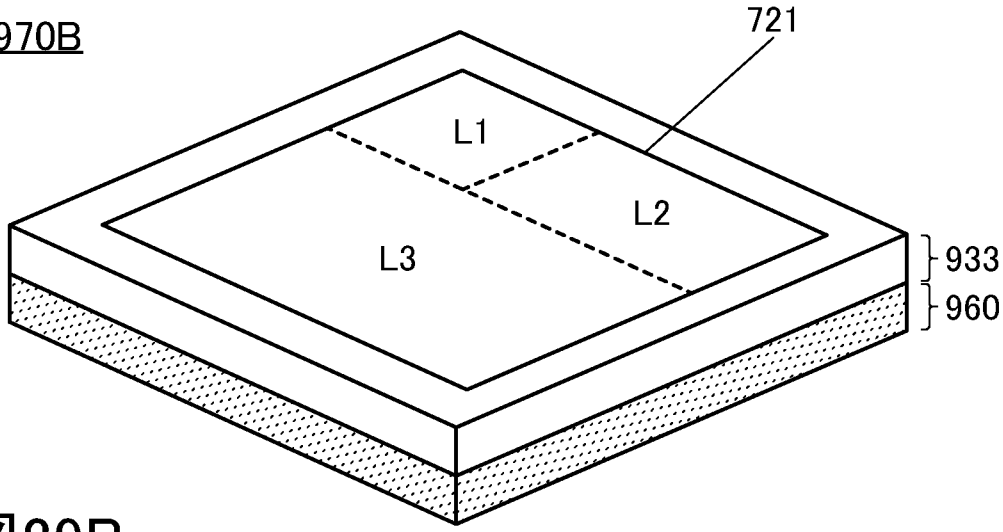


図29B

970C

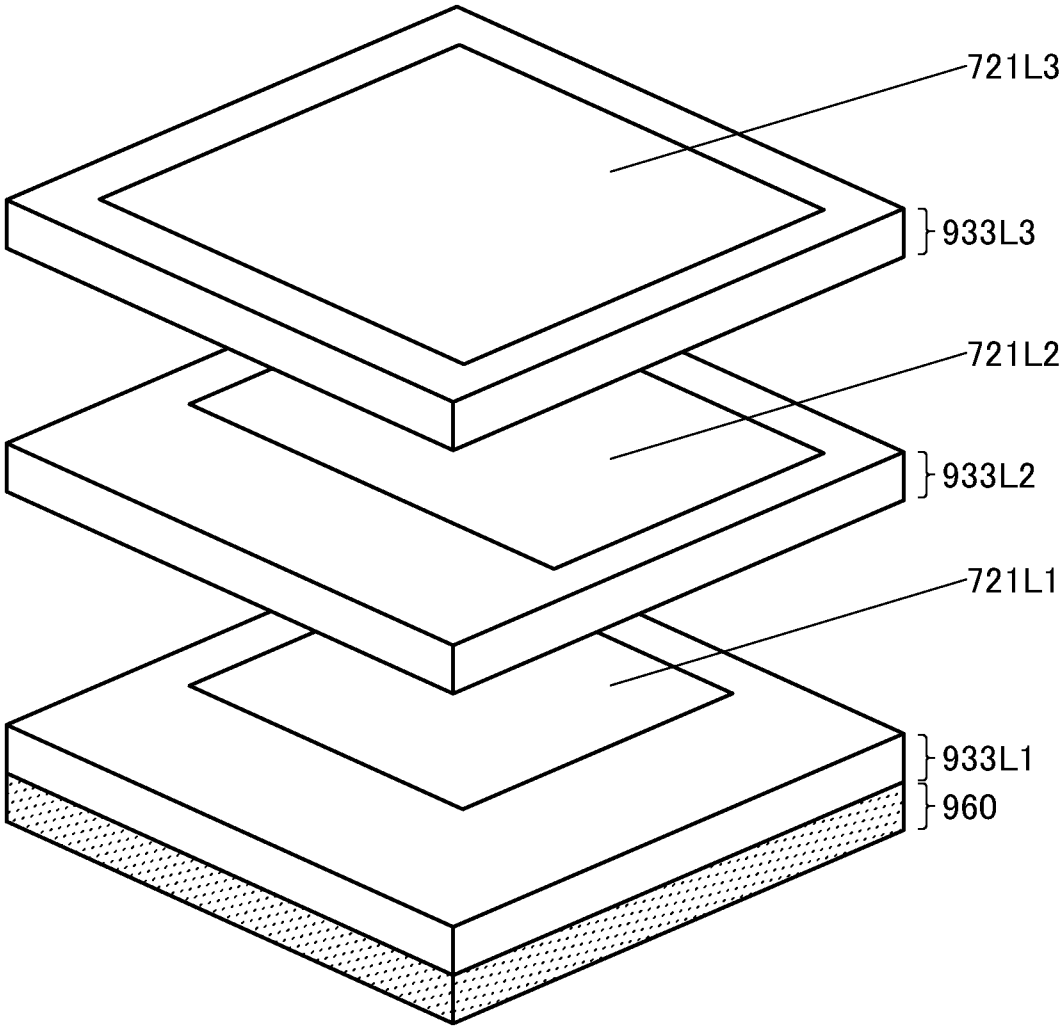


図30A

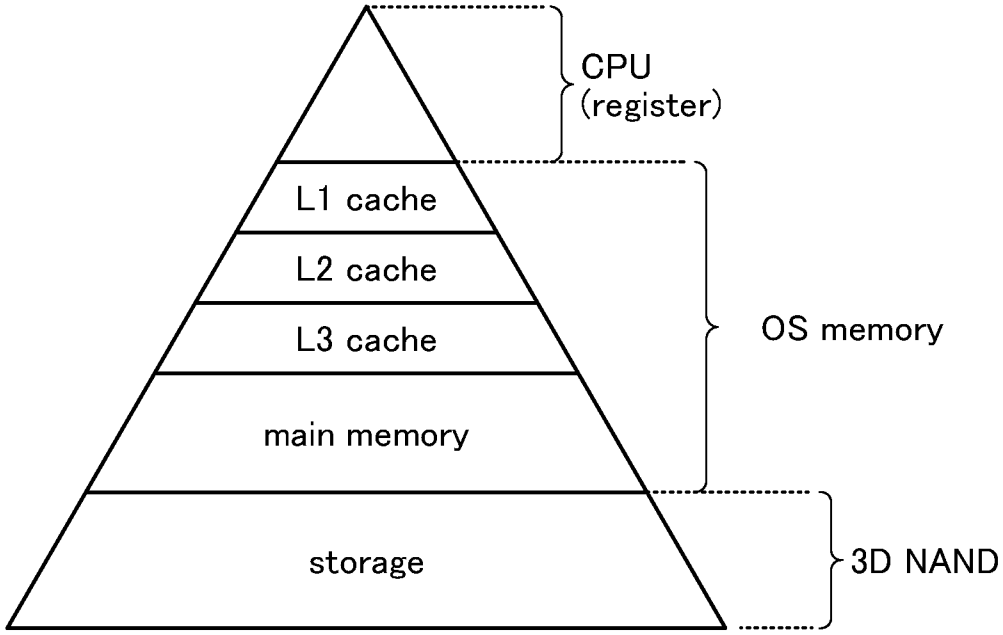

CPU
(register)
L1 cache
L2 cache
L3 cache
main memory
storage
OS memory
3D NAND

図30B

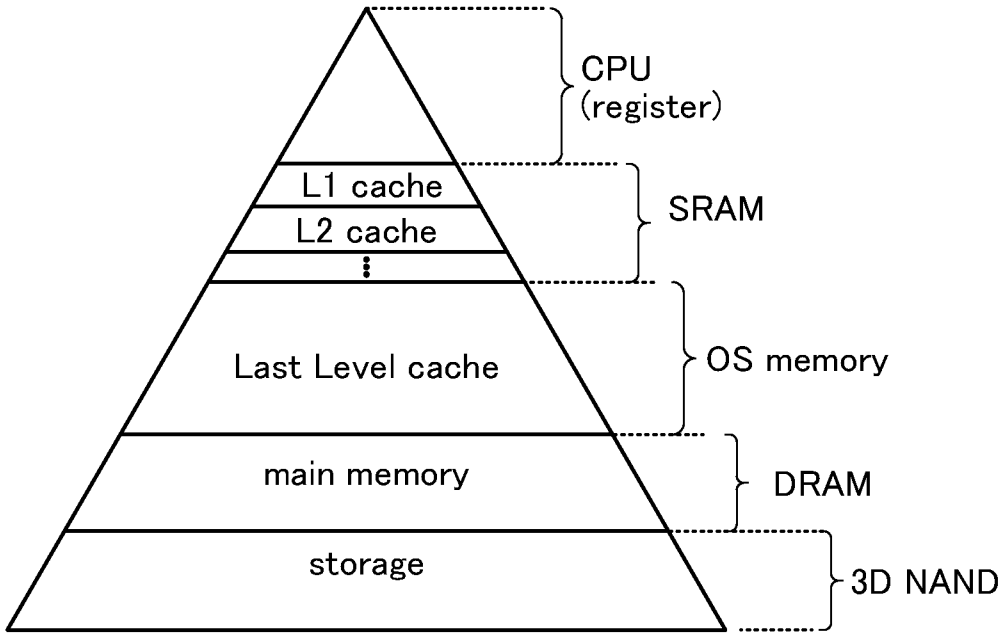

CPU
(register)
L1 cache
L2 cache
Last Level cache
main memory
storage
SRAM
OS memory
DRAM
3D NAND

図31A

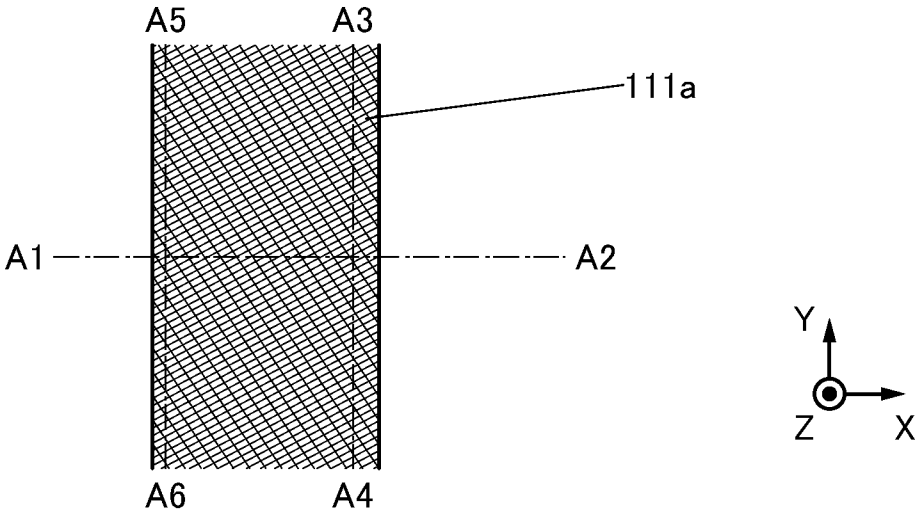


図31B

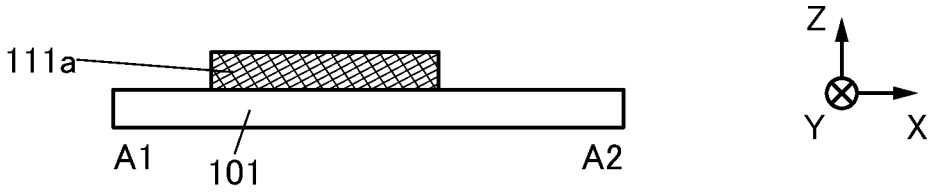


図32A

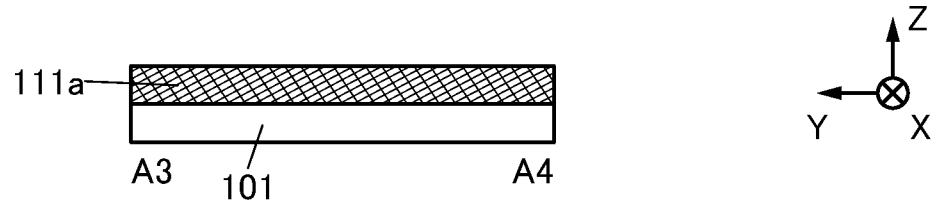


図32B

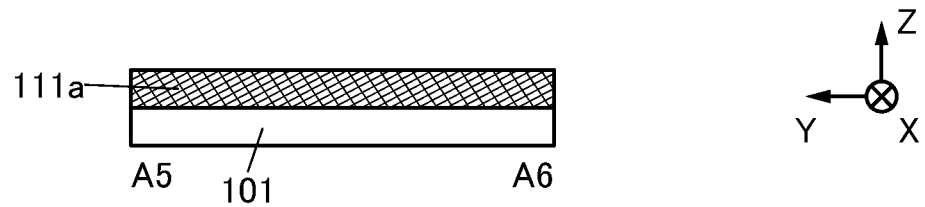


図33A

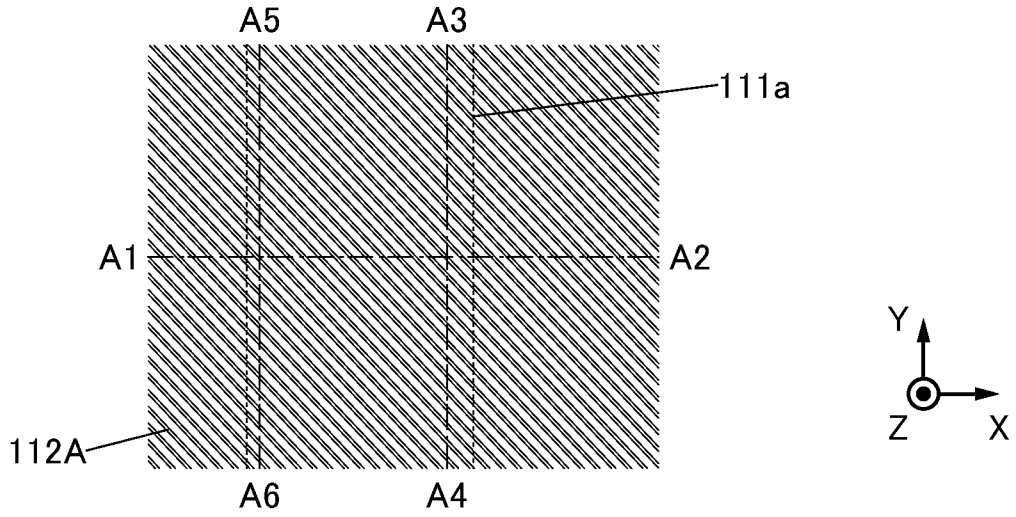


図33B

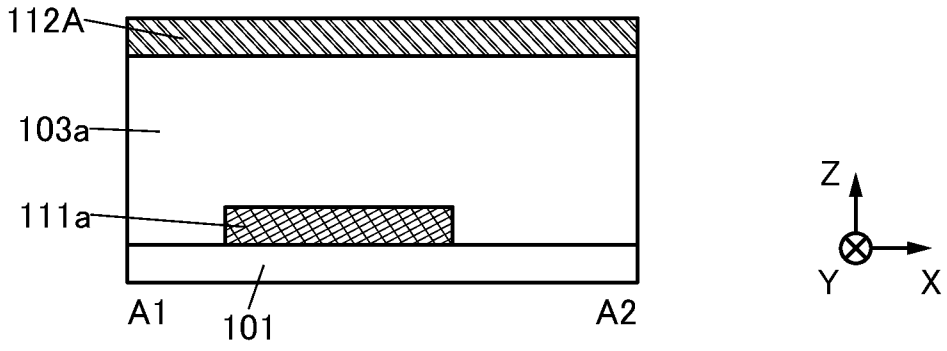


図34A

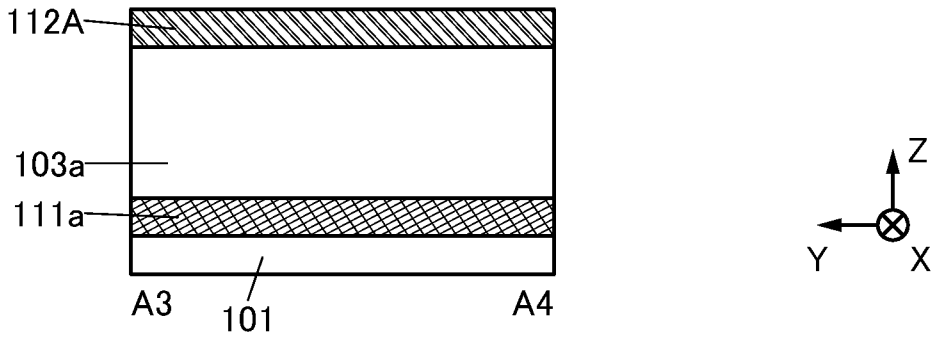


図34B

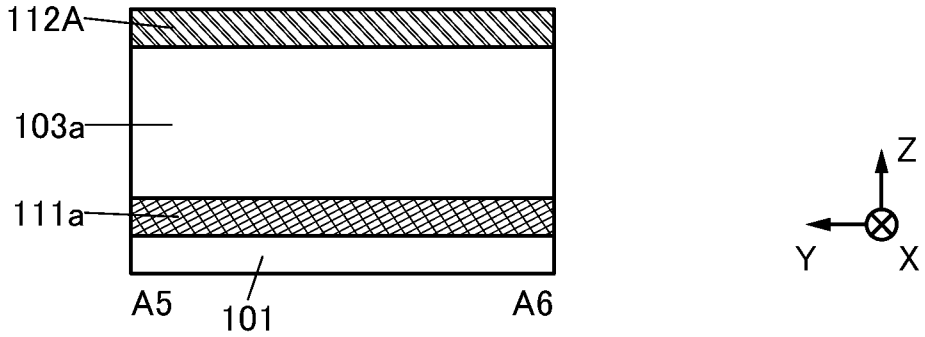


図35A

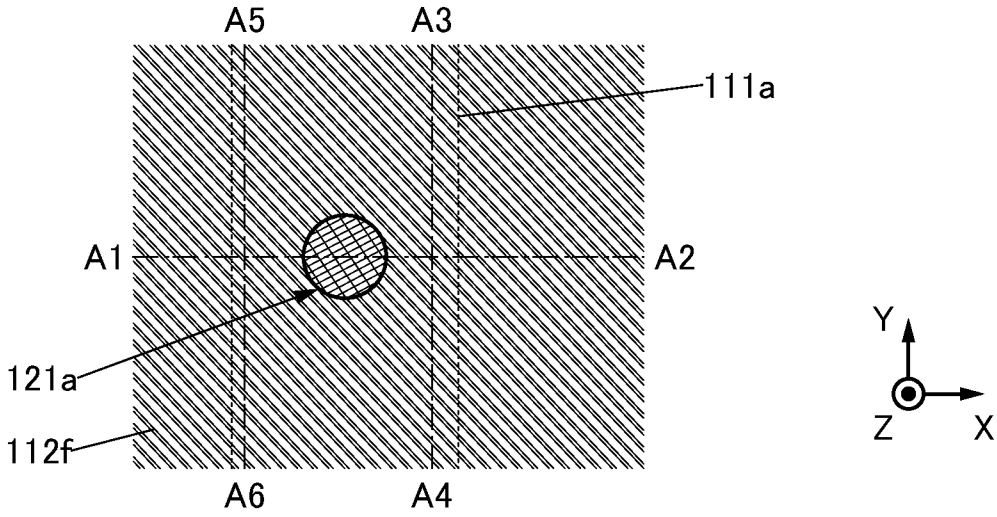

A5
A3
111a
A1
A2
121a
112f
A6
A4
Y
Z
X

図35B

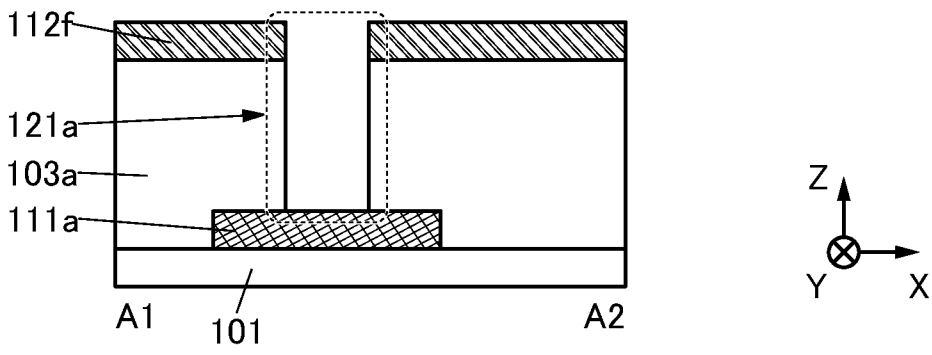

112f
121a
103a
111a
A1
101
A2
Z
Y
X

図36A

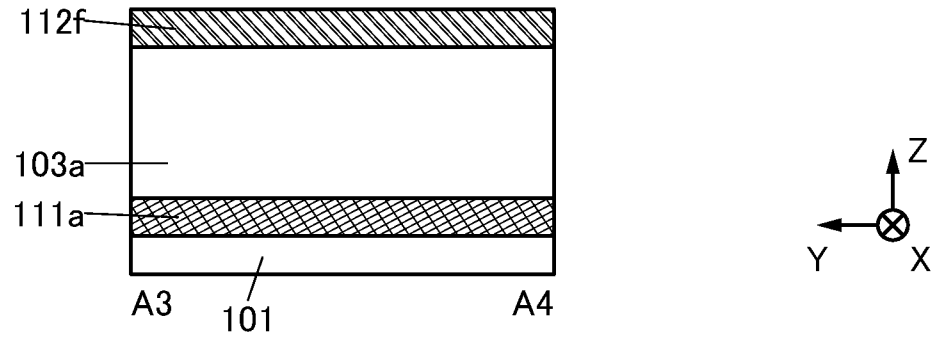


図36B

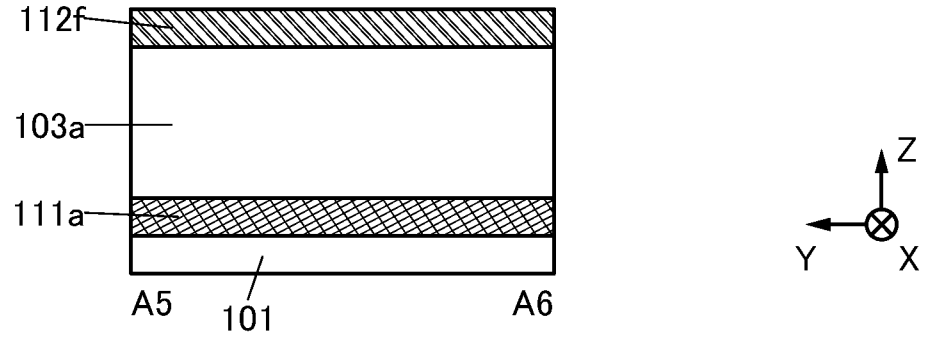


図37A

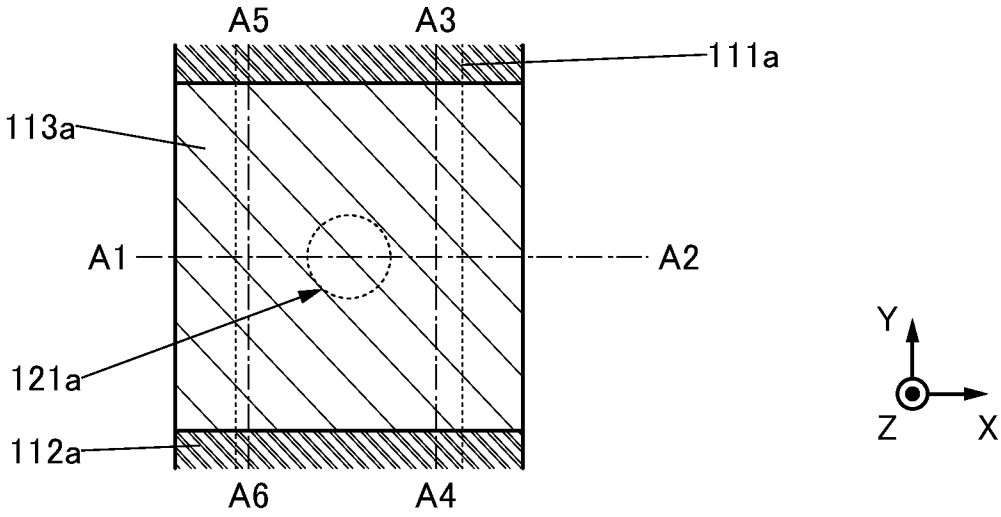

A5
A3
111a
113a
A1
A2
121a
112a
A6
A4
Y
Z
X

図37B

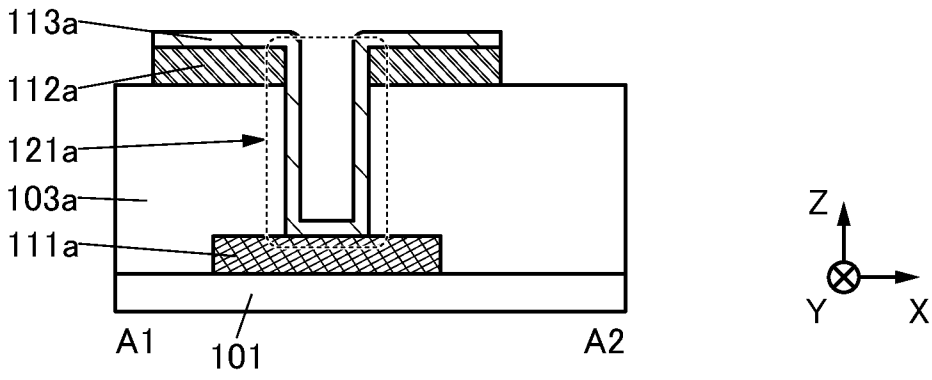

113a
112a
121a
103a
111a
A1
101
A2
Z
Y
X

図38A

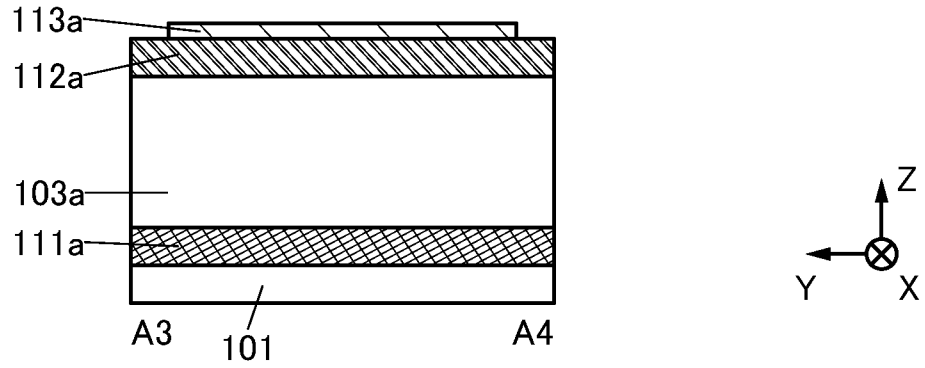

113a
112a
103a
111a
A3
101
A4
Z
Y
X

図38B

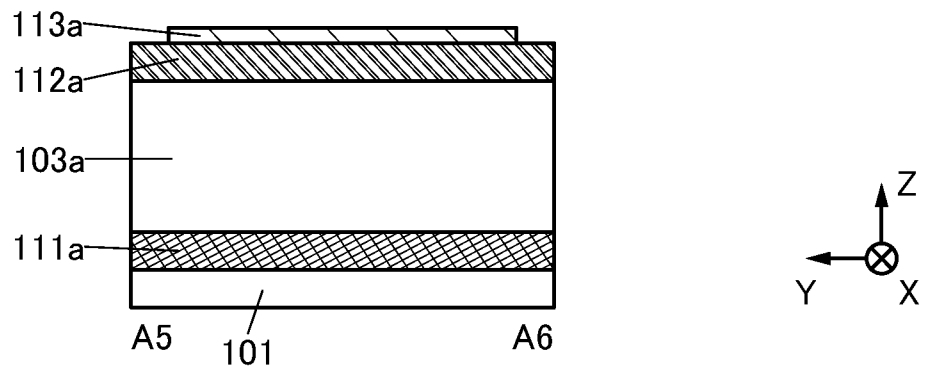

113a
112a
103a
111a
A5
101
A6
Z
Y
X

図39A

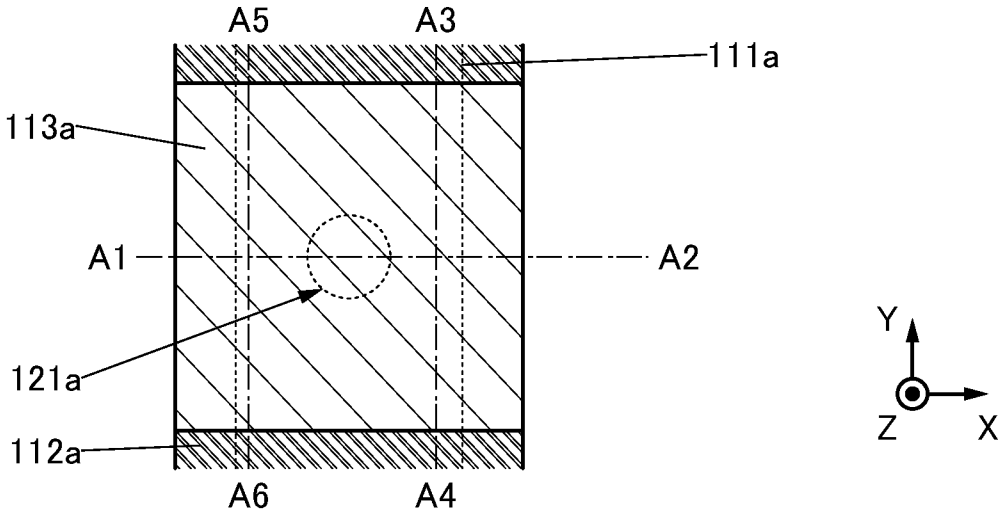

A5
A3
111a
113a
A1
A2
121a
112a
A6
A4
Y
Z
X

図39B

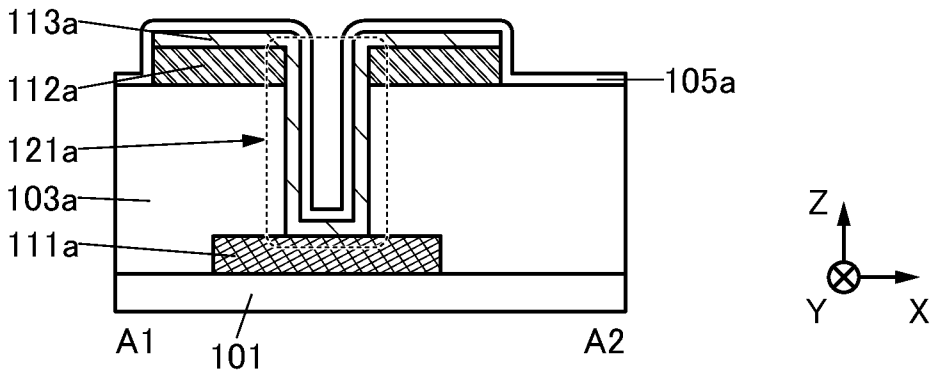

113a
112a
105a
121a
103a
111a
A1
101
A2
Z
Y
X

図40A

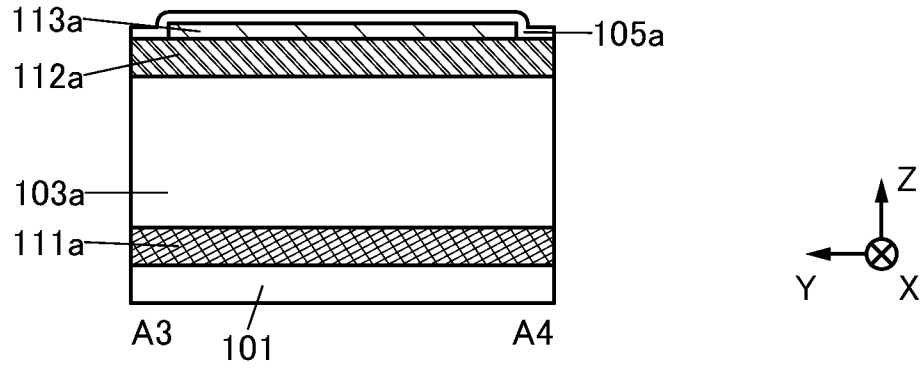

113a
112a
105a
103a
111a
A3
101
A4
Z
Y
X

図40B

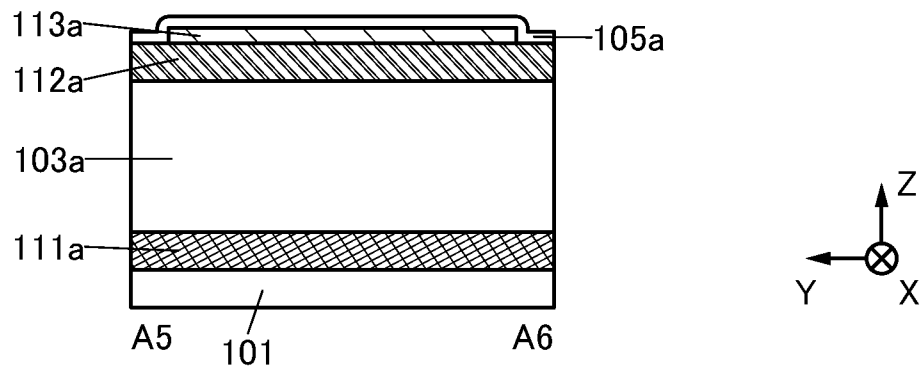

113a
112a
105a
103a
111a
A5
101
A6
Z
Y
X

図41A

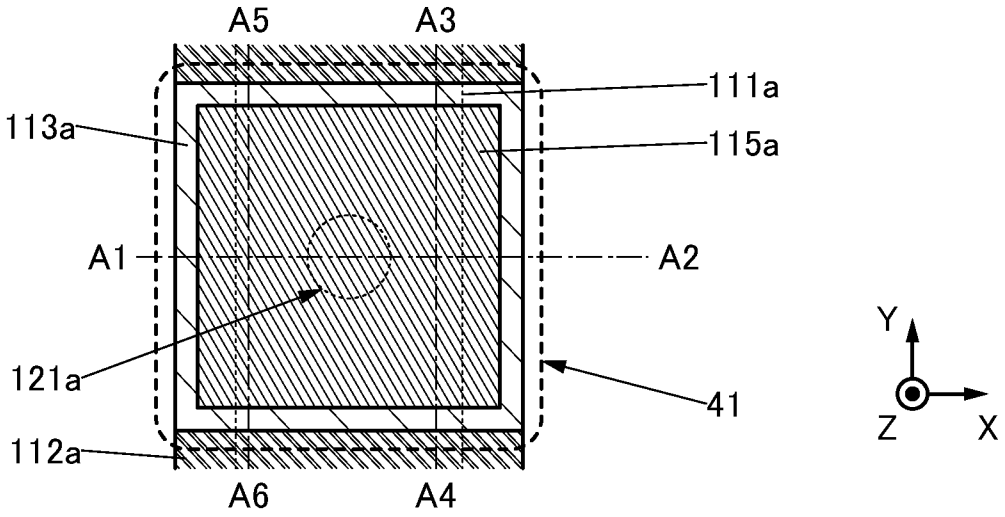

A5
A3
111a
113a
115a
A1
A2
121a
41
112a
A6
A4
Y
Z
X

図41B

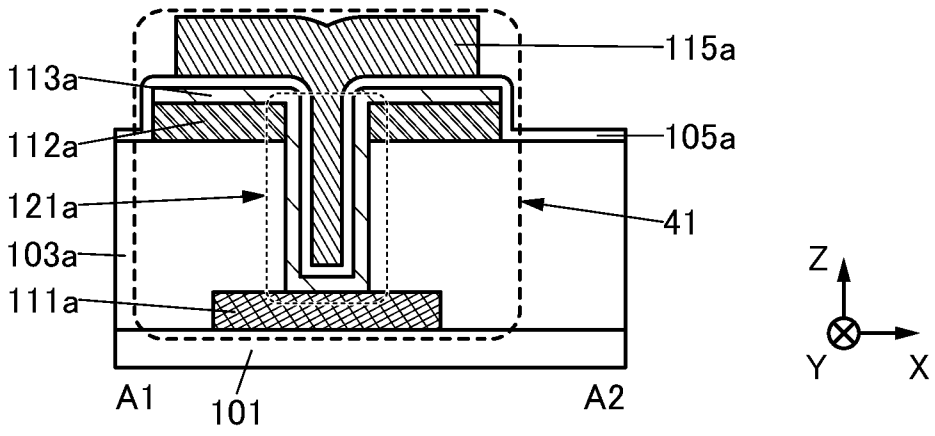

115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図42A

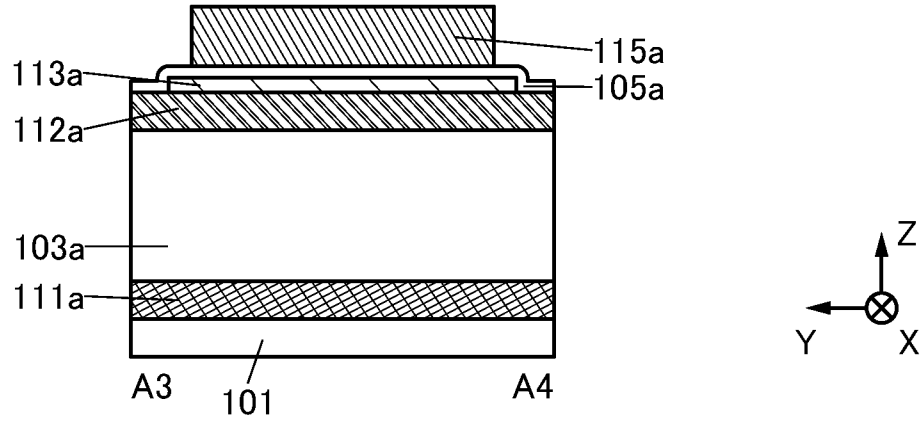

115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図42B

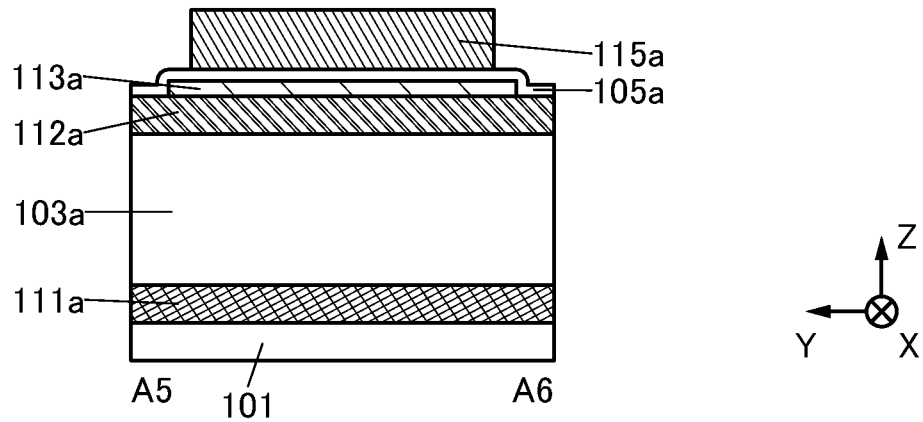

115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図43A

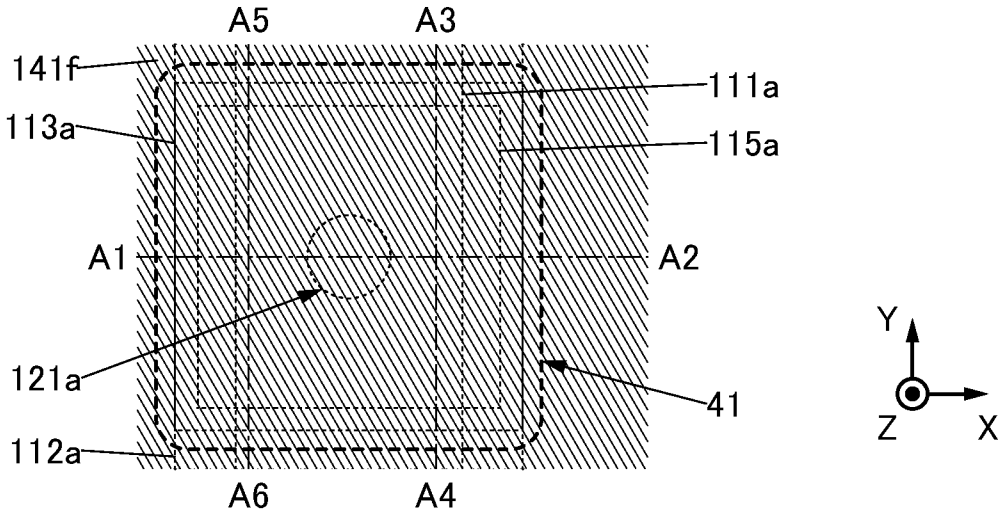

A5
A3
141f
111a
113a
115a
A1
A2
121a
41
112a
A6
A4
Y
Z
X

図43B

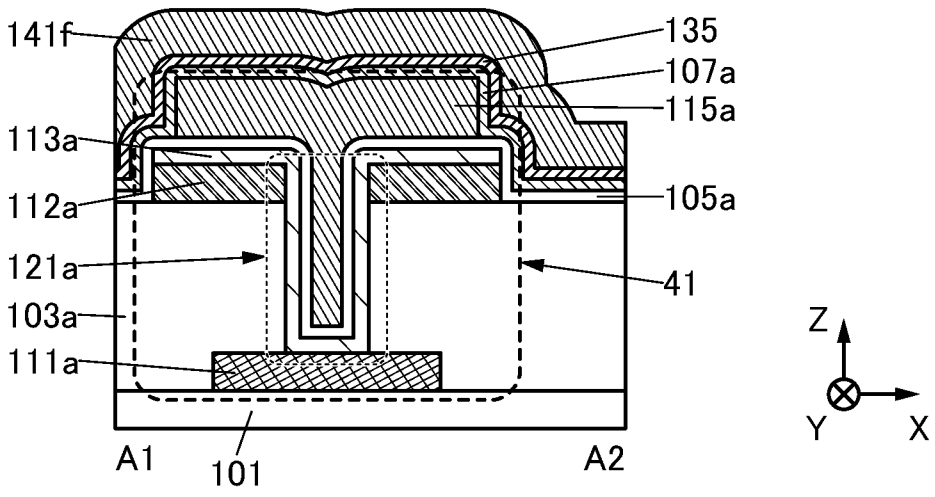

141f
135
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図44A

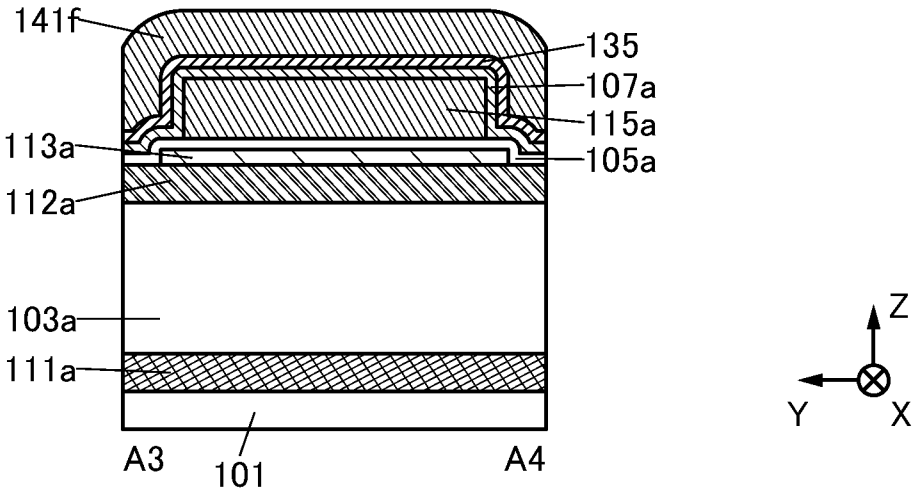

141f
135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図44B

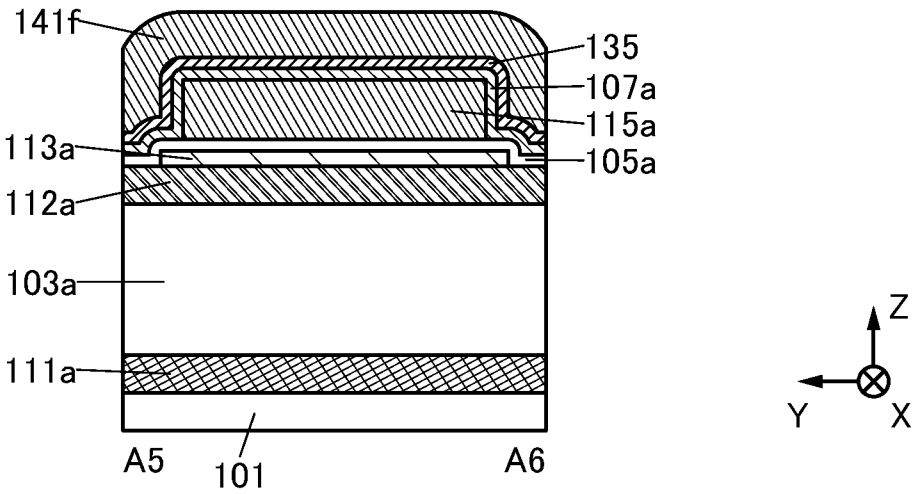

141f
135
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図45A

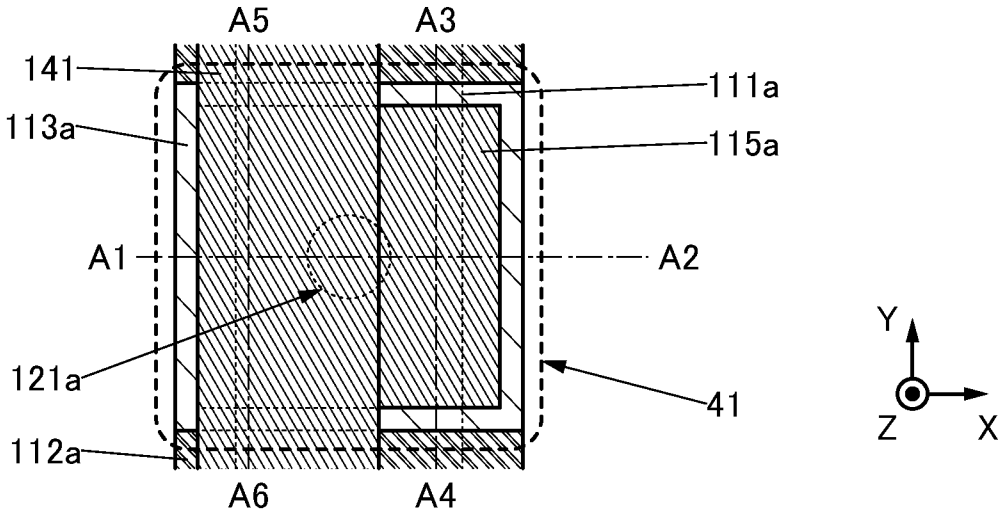

A5
A3
141
111a
113a
115a
A1
A2
121a
41
112a
A6
A4
Y
Z
X

図45B

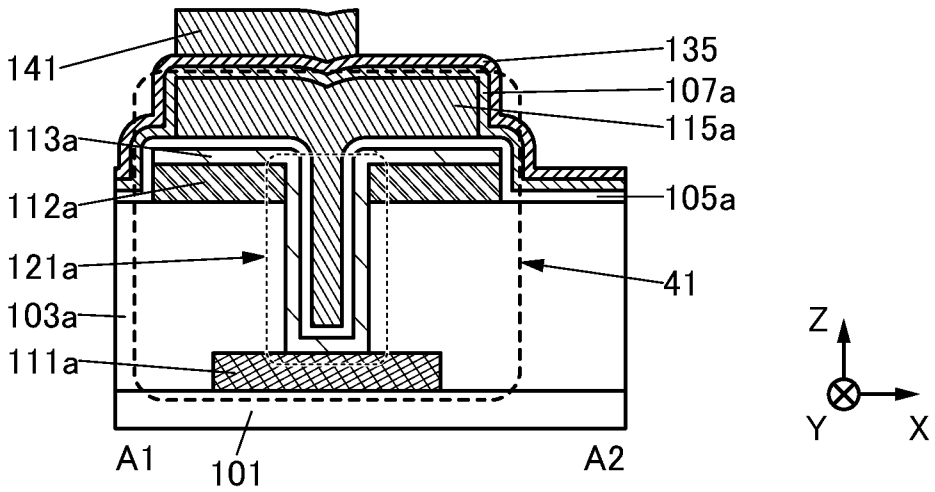

141
135
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図46A

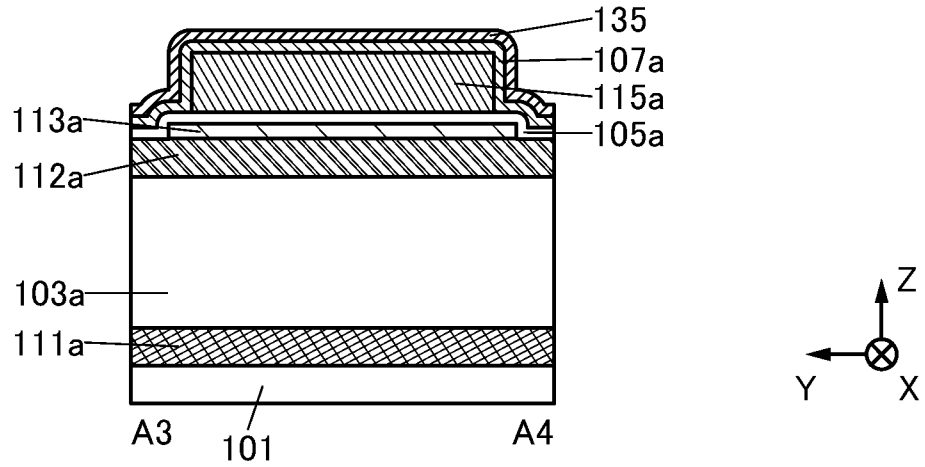

135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図46B

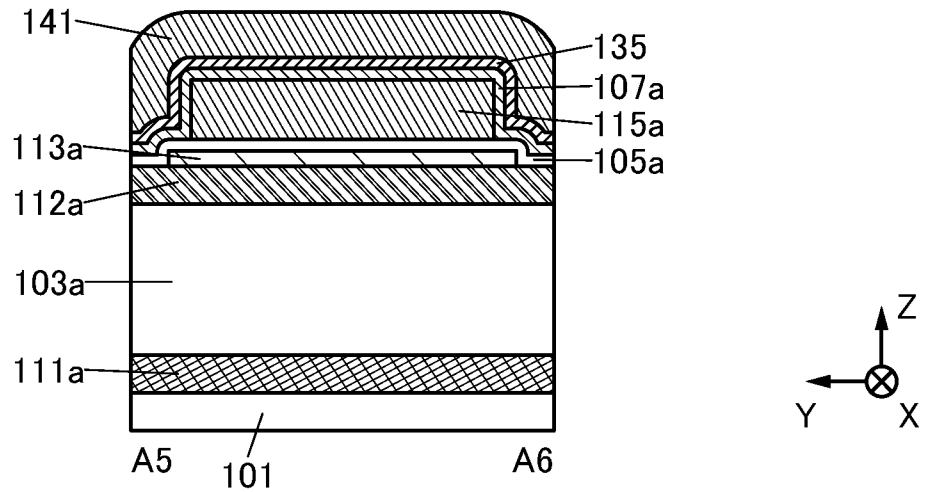

141
135
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図47A

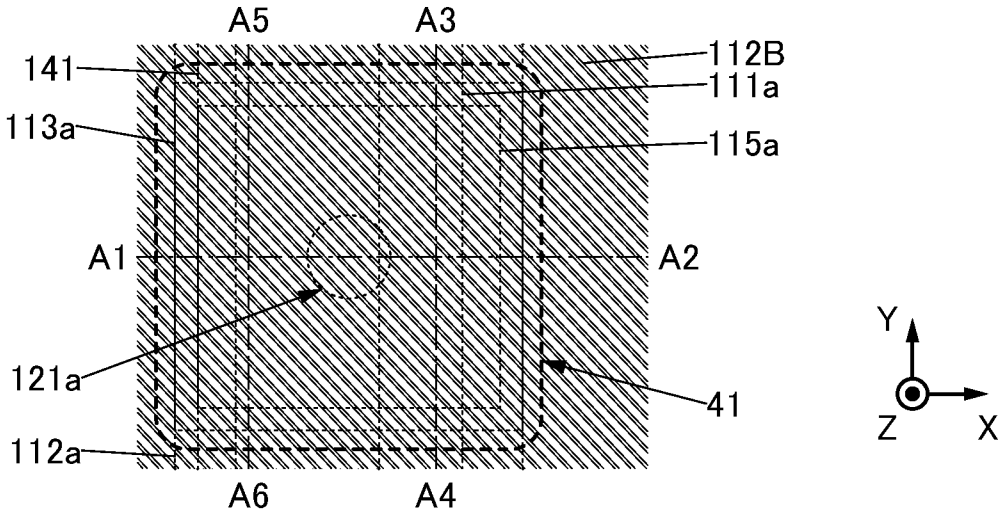

A5
A3
141
112B
111a
113a
115a
A1
A2
121a
41
112a
A6
A4
Y
Z
X

図47B

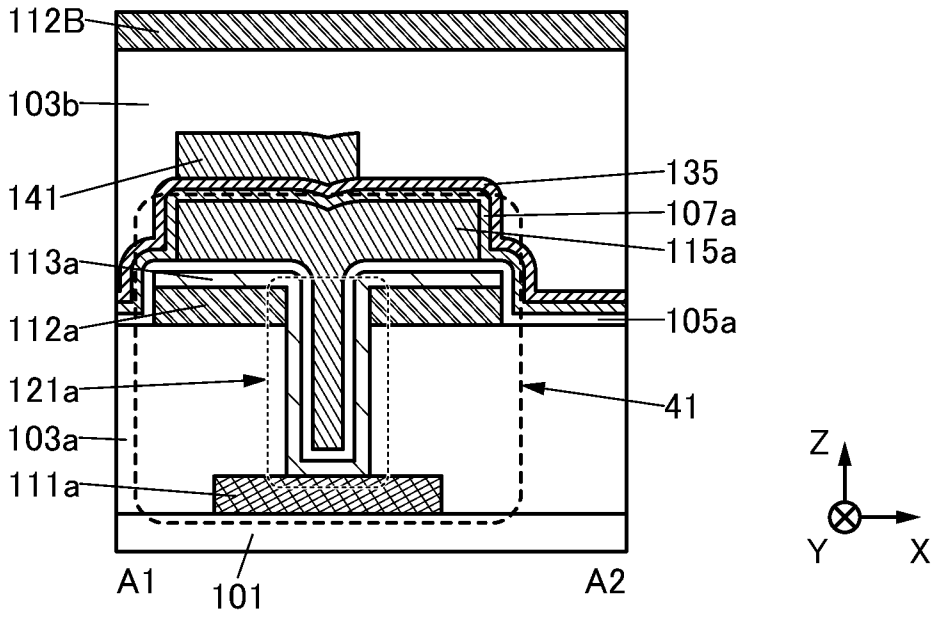

112B
103b
141
135
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図48A

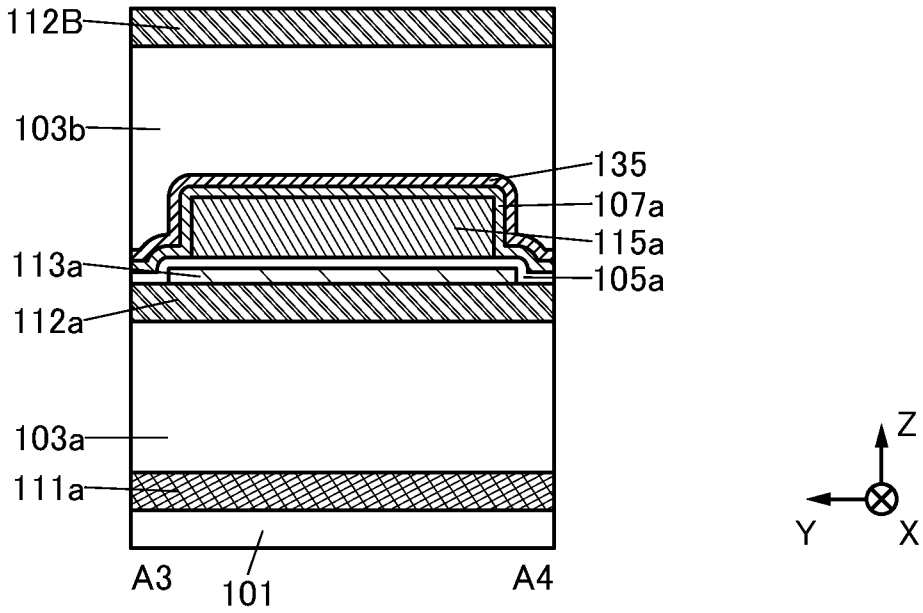

112B
103b
135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図48B

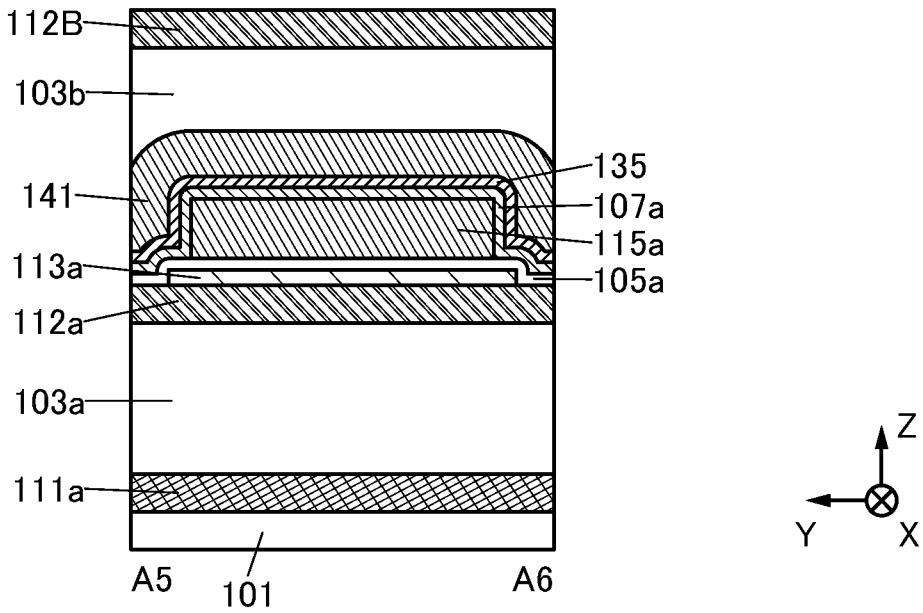

112B
103b
135
141
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図49A

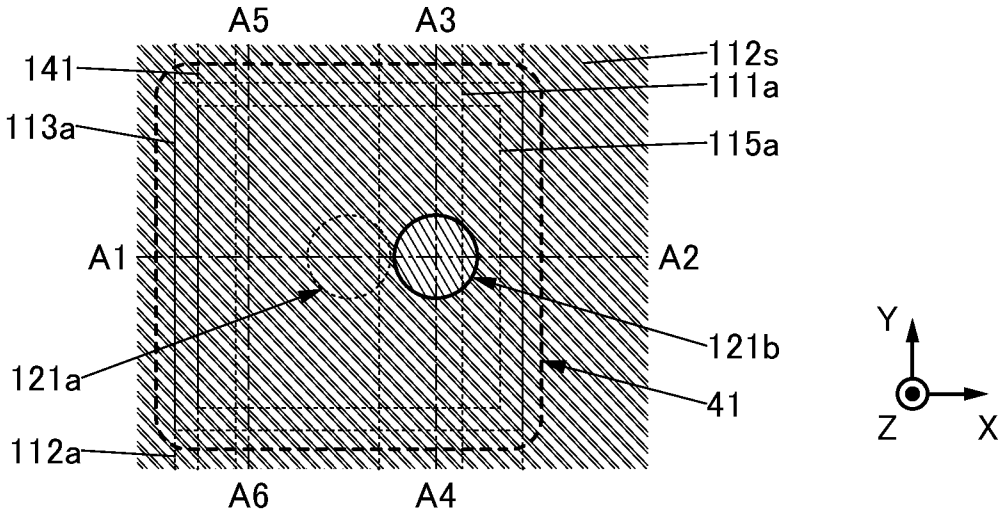

A5
A3
141
112s
111a
113a
115a
A1
A2
121b
121a
41
112a
A6
A4
Y
Z
X

図49B

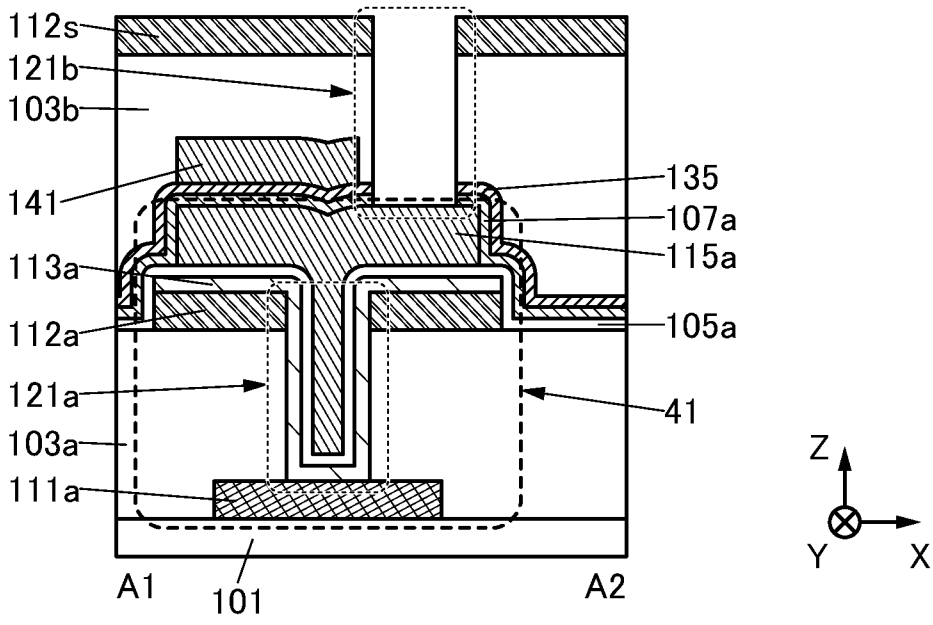

112s
121b
103b
135
141
107a
115a
113a
105a
112a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図50A

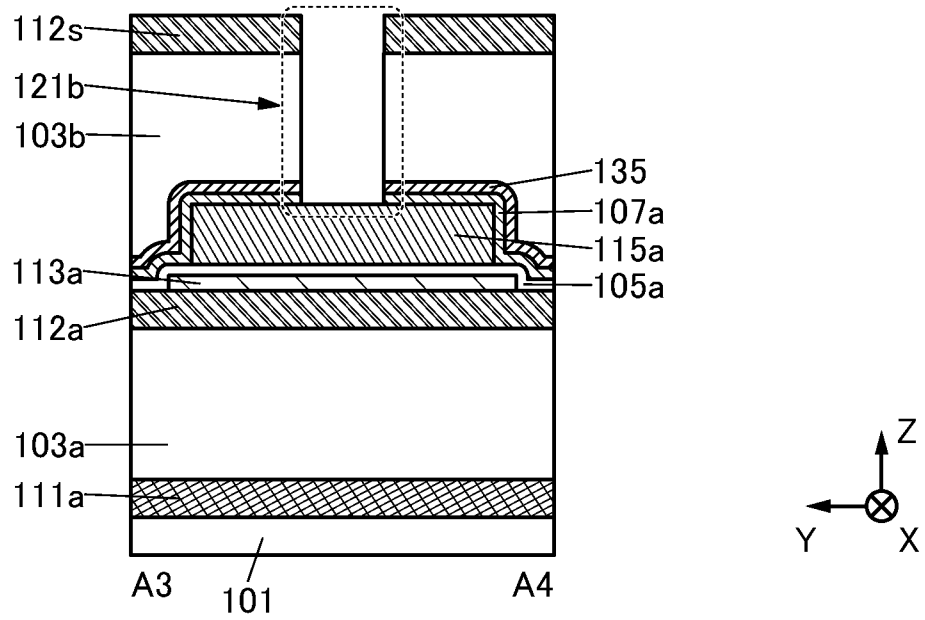

112s
121b
103b
135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図50B

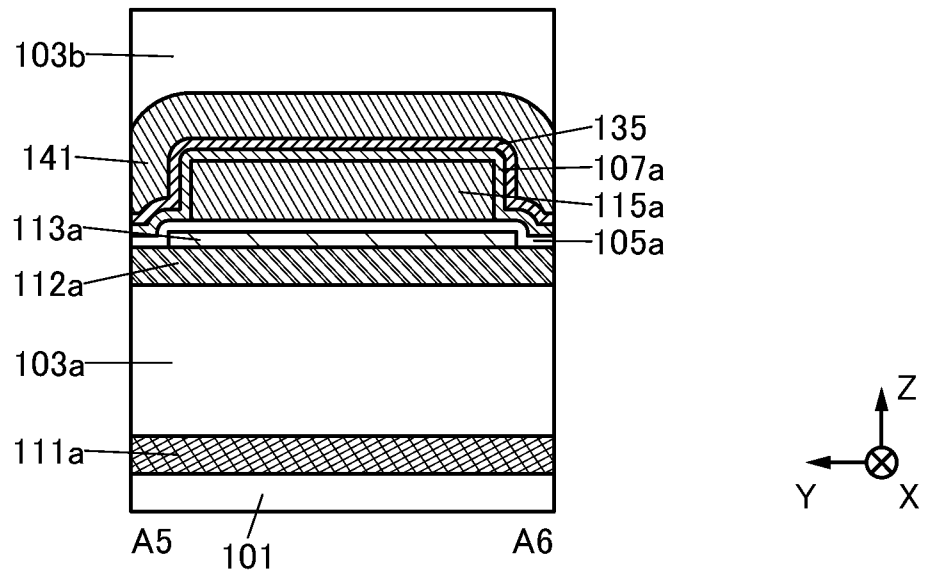

103b
135
141
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図51A

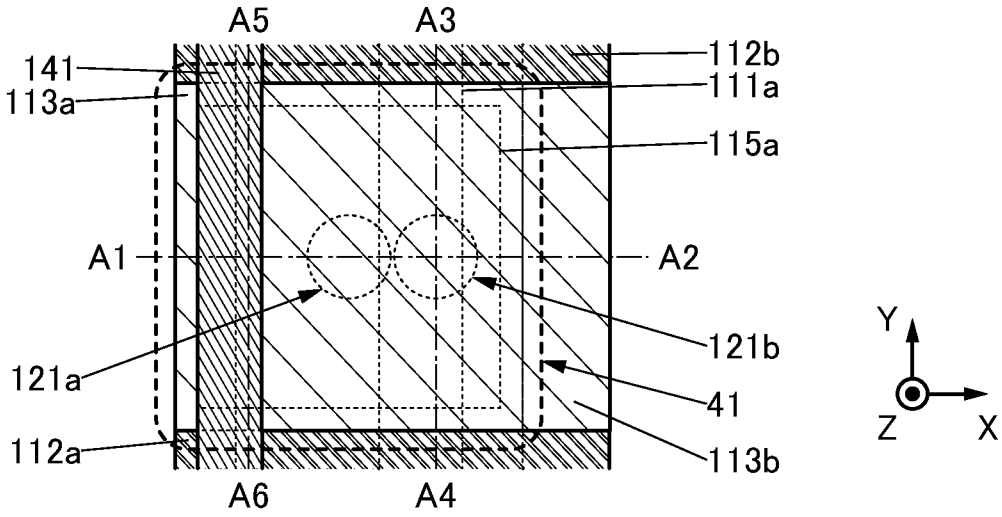

A5
A3
141
113a
112b
111a
115a
A1
A2
121b
121a
41
112a
113b
A6
A4
Y
Z
X

図51B

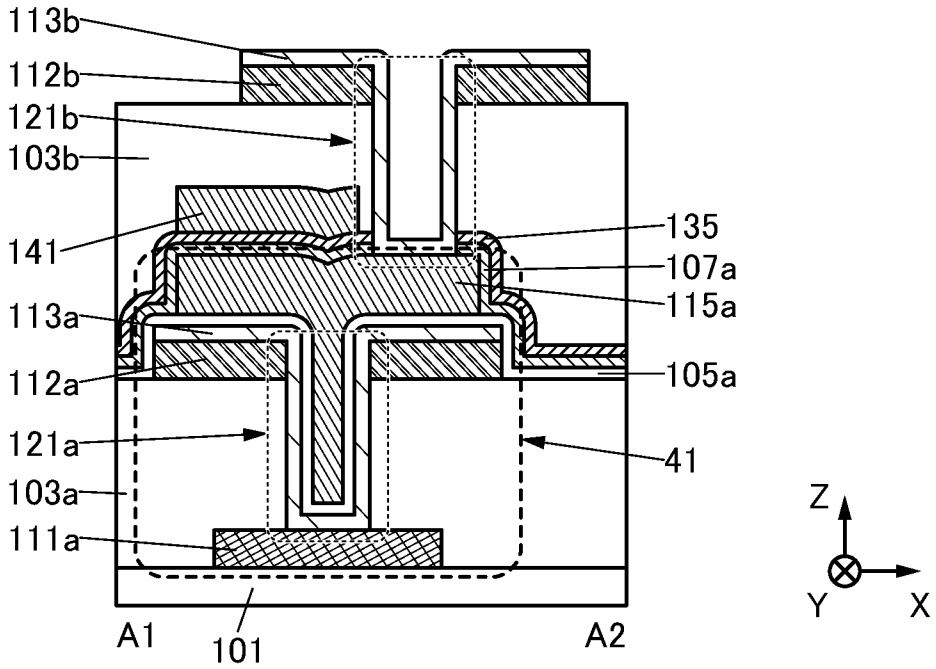

113b
112b
121b
103b
141
135
107a
115a
113a
112a
105a
121a
41
103a
111a
A1
101
A2
Z
Y
X

図52A

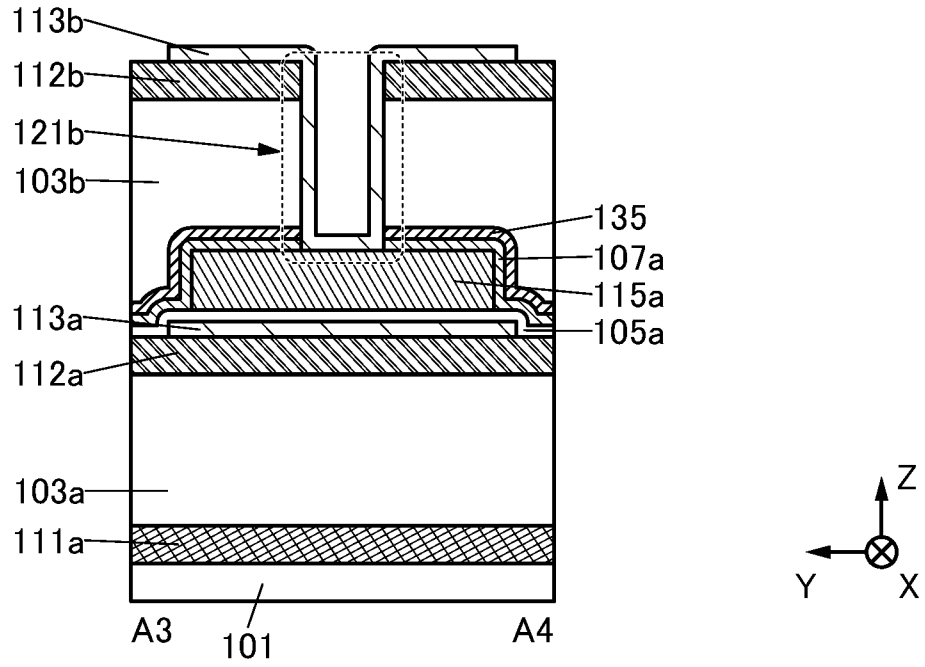

113b
112b
121b
103b
135
107a
115a
113a
105a
112a
103a
111a
A3
101
A4
Z
Y
X

図52B

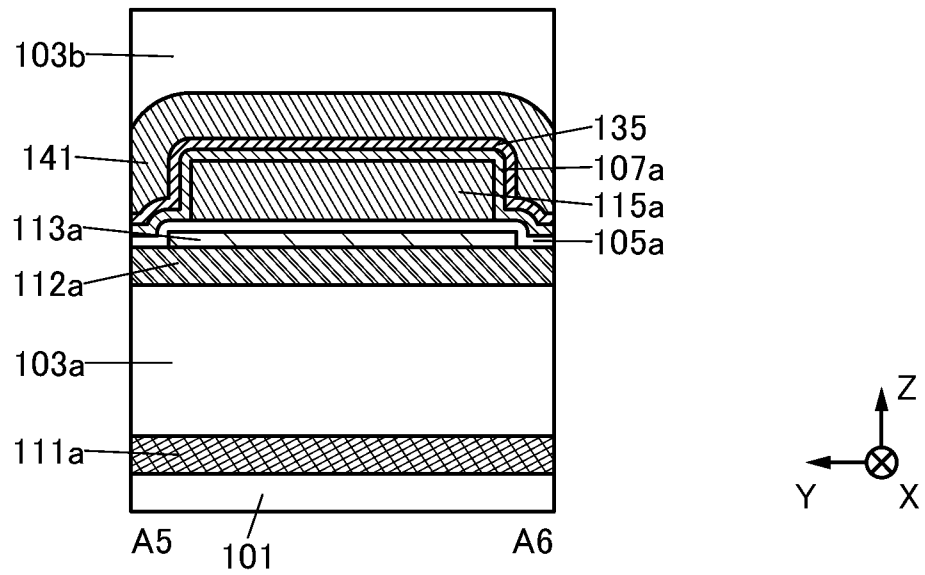

103b
135
141
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図53A

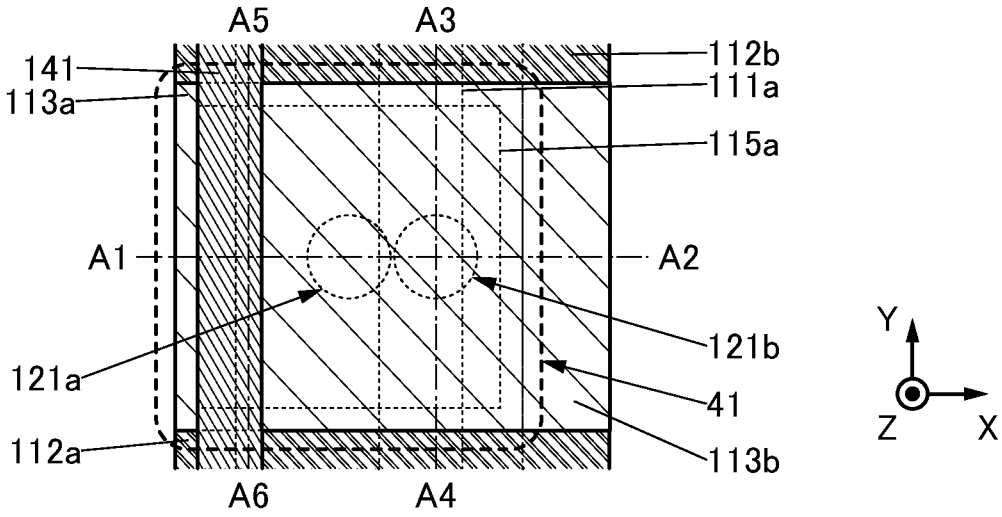

A5
A3
141
113a
112b
111a
115a
A1
A2
121b
121a
41
112a
113b
A6
A4
Y
Z
X

図53B

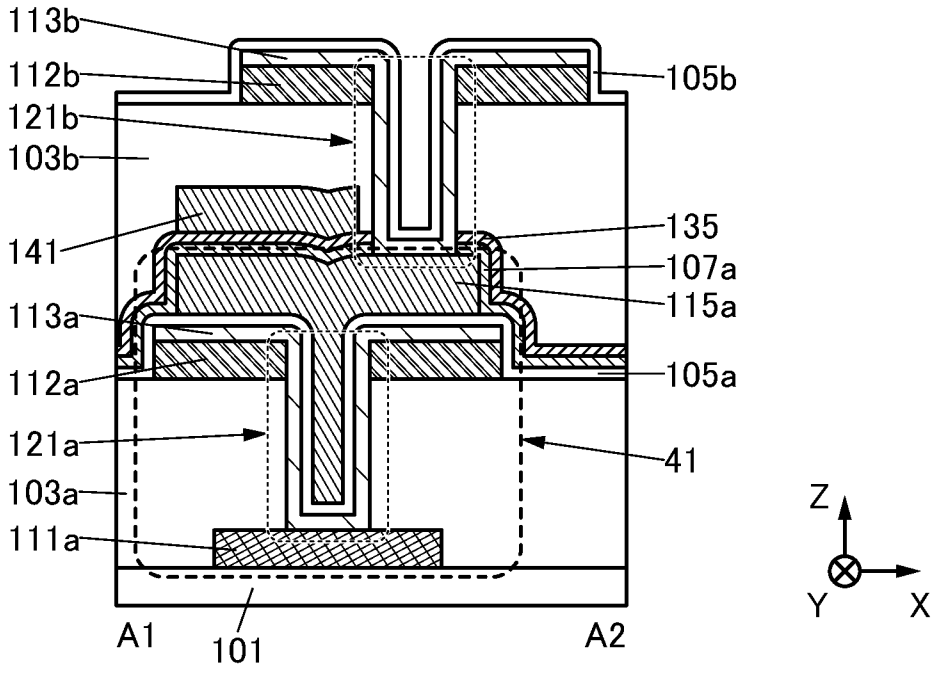

113b
112b
105b
121b
103b
141
135
107a
115a
113a
112a
105a
121a
41
103a
111a
Z
Y
X
A1
101
A2

図54A

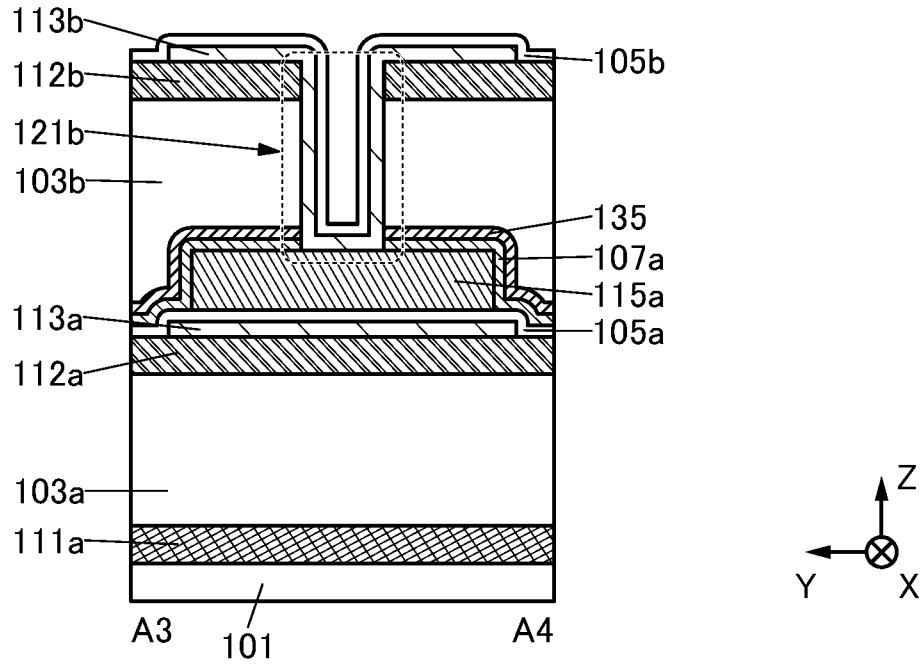

113b
112b
121b
103b
105b
135
107a
115a
105a
113a
112a
103a
111a
A3
101
A4
Z
Y
X

図54B

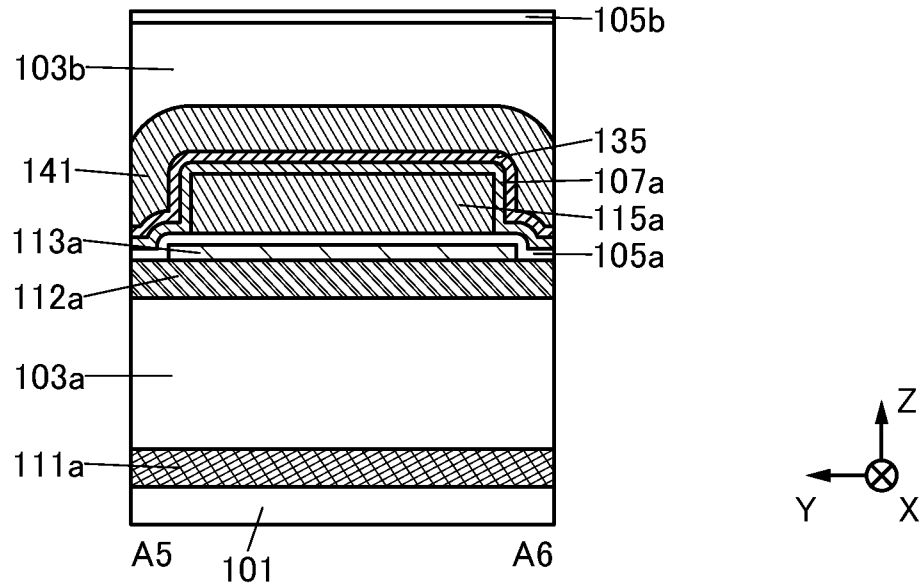

105b
103b
135
141
107a
115a
113a
105a
112a
103a
111a
A5
101
A6
Z
Y
X

図55A

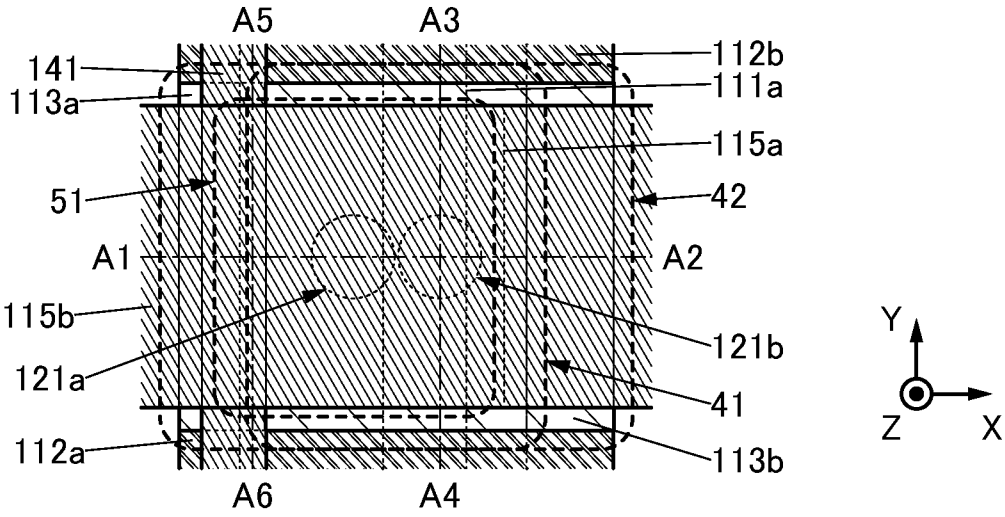

A5
A3
141
113a
112b
111a
115a
51
42
A1
A2
115b
121a
121b
41
112a
113b
A6
A4
Y
Z
X

図55B

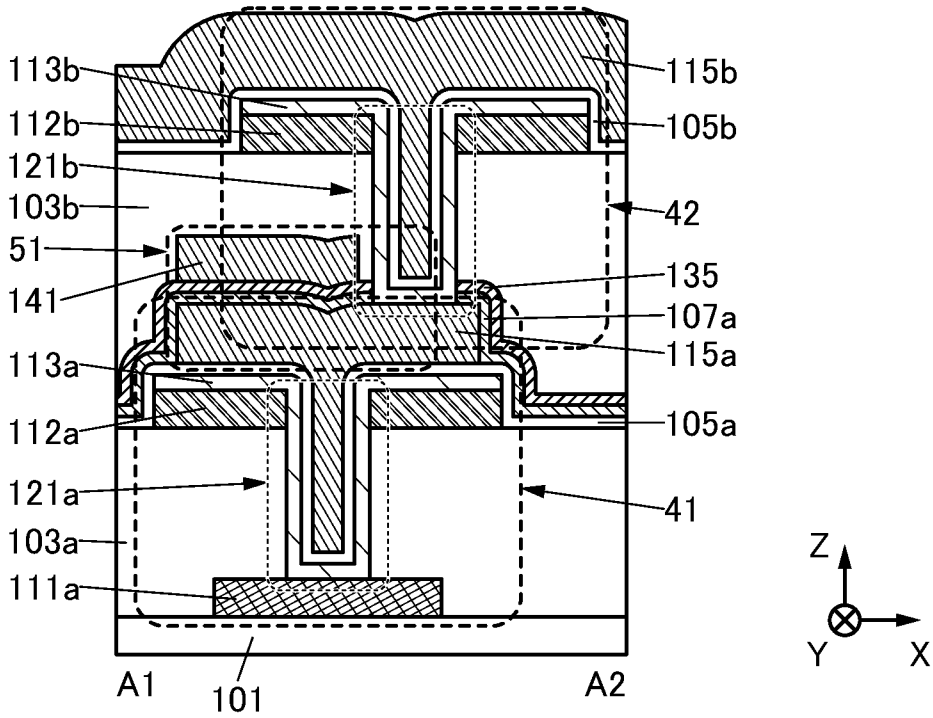

113b
112b
121b
103b
51
141
113a
112a
121a
103a
111a
115b
105b
42
135
107a
115a
105a
41
A1
101
A2
Z
Y
X

図56A

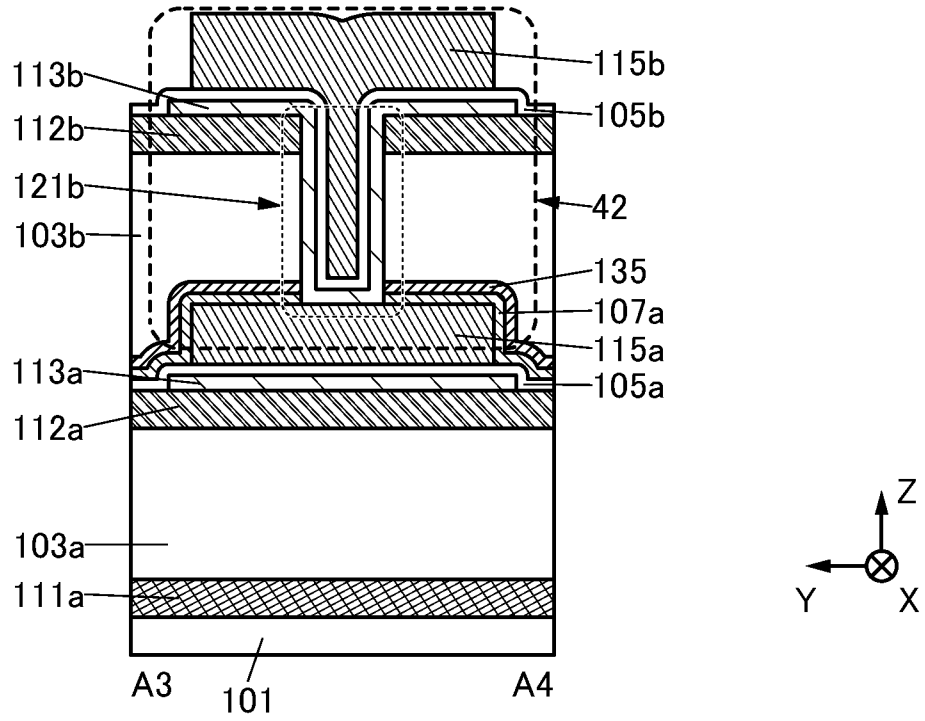

113b
112b
121b
103b
113a
112a
103a
111a
115b
105b
42
135
107a
115a
105a
A3
101
A4
Z
Y
X

図56B

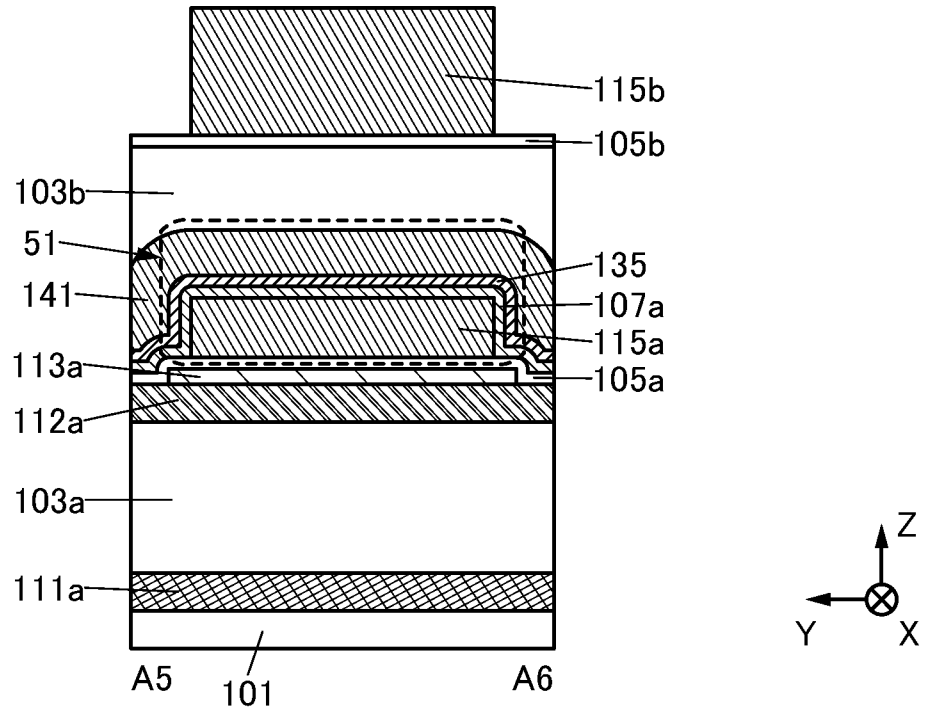

115b
105b
103b
51
141
113a
112a
103a
111a
135
107a
115a
105a
A5
101
A6
Z
Y
X

図57

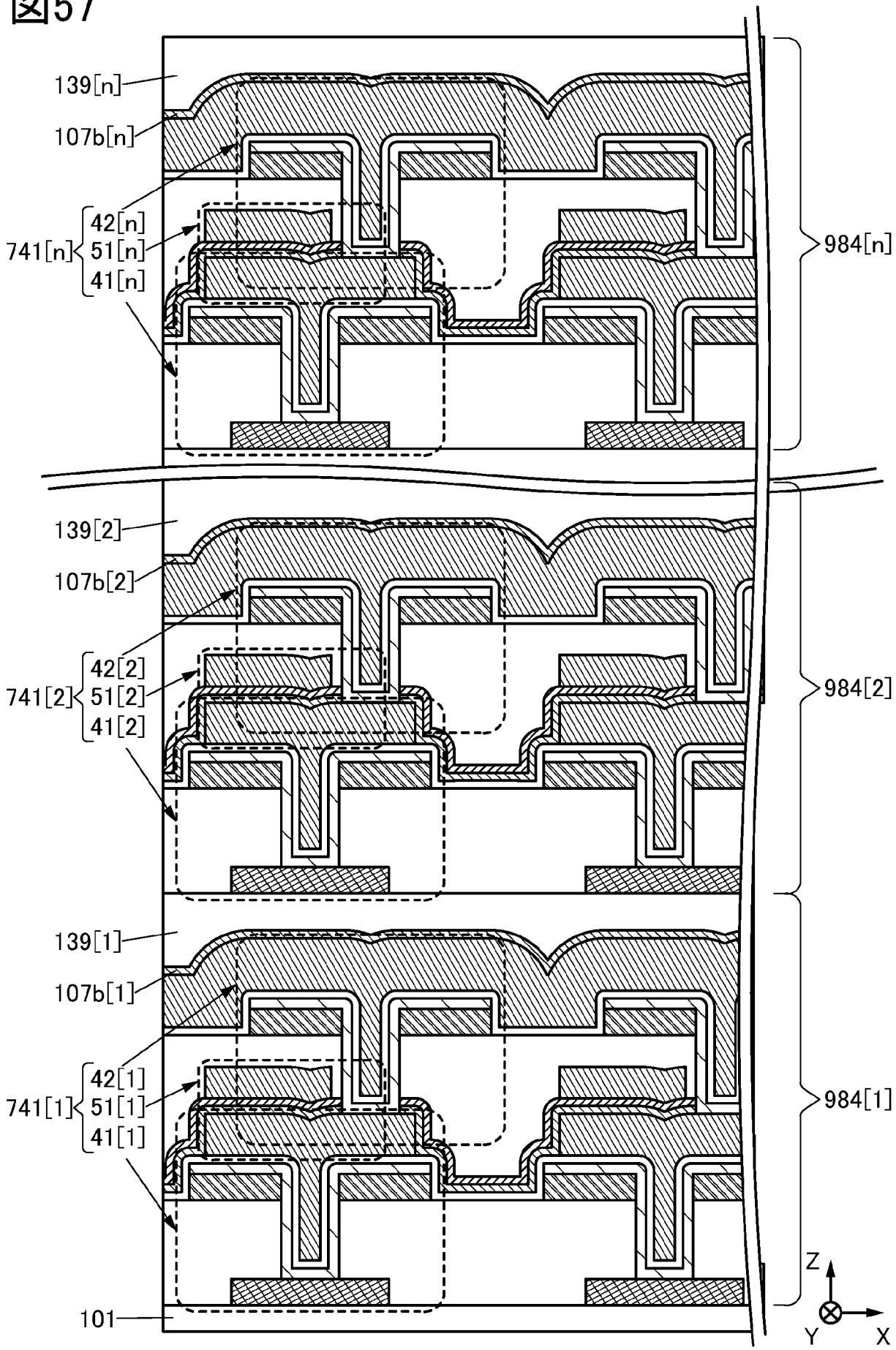

139[n]
107b[n]
741[n]
42[n]
51[n]
41[n]
984[n]
139[2]
107b[2]
741[2]
42[2]
51[2]
41[2]
984[2]
139[1]
107b[1]
741[1]
42[1]
51[1]
41[1]
984[1]
101
Z
Y
X

図58A

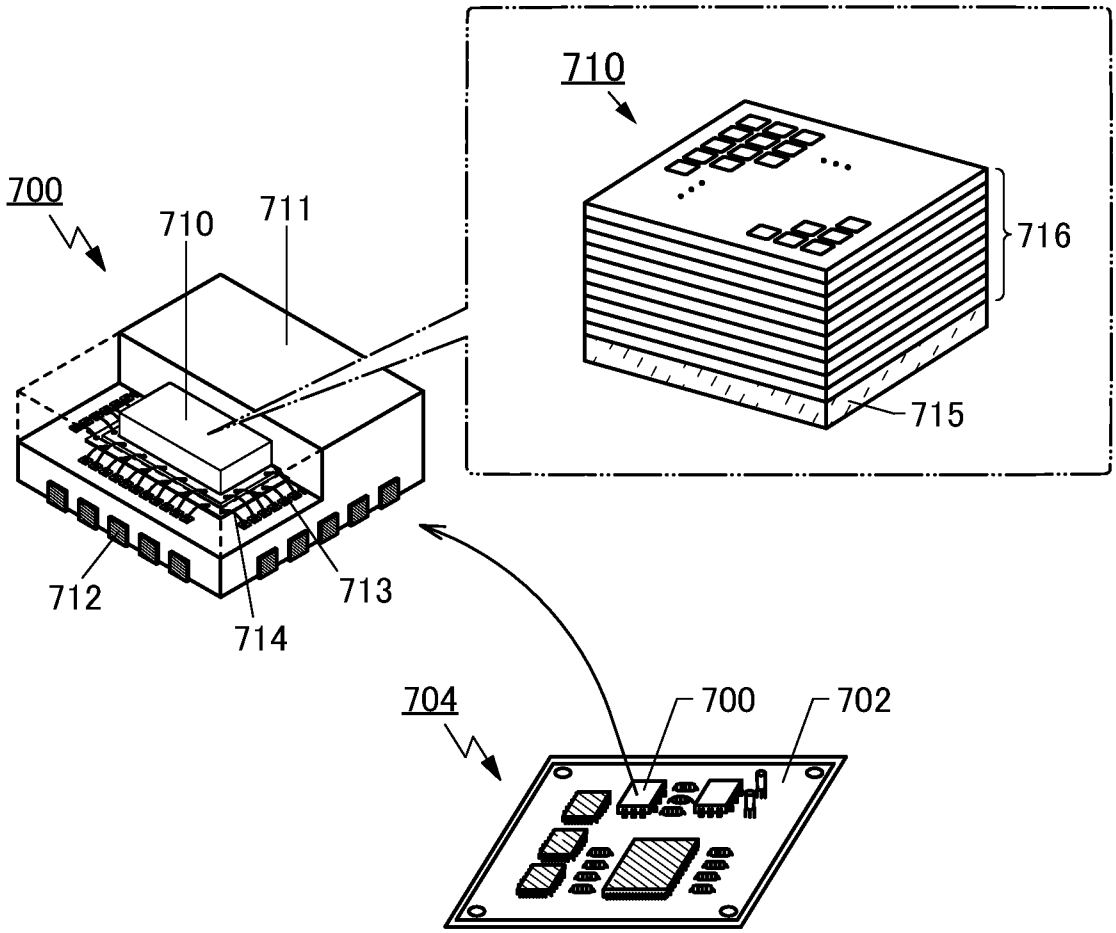

710
716
715
700
710
711
712
713
714
704
700
702

図58B

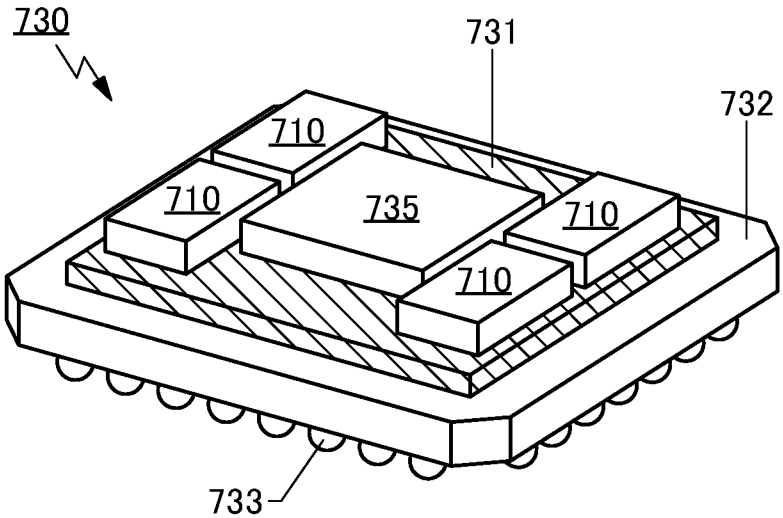

730
731
732
710
710
735
710
710
733

図59A

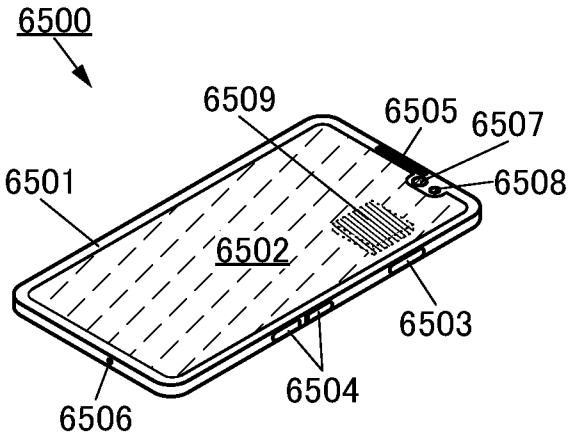


図59B

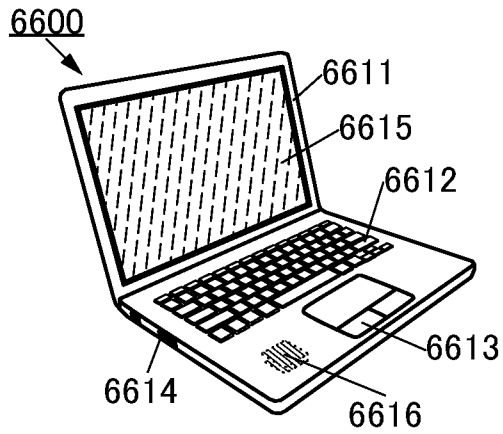


図59C

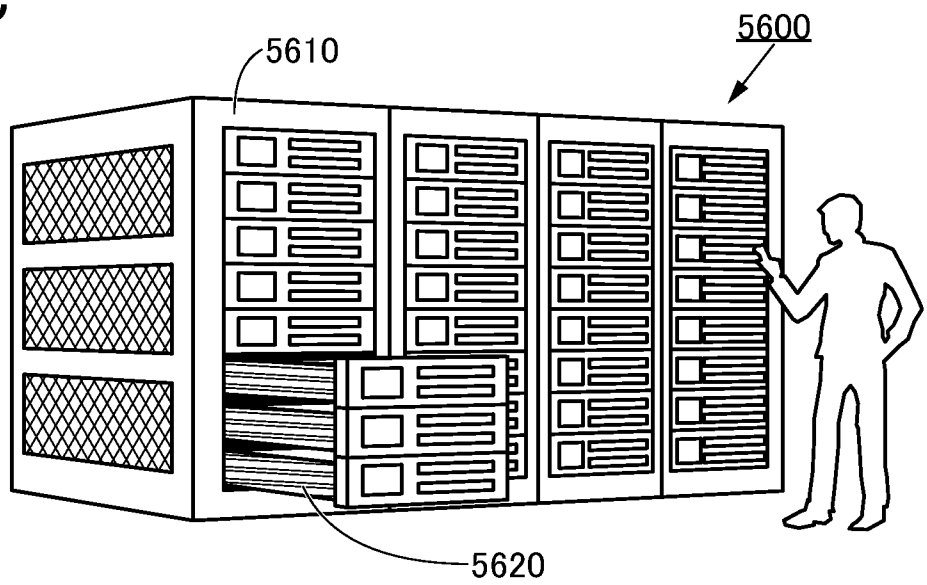


図59D

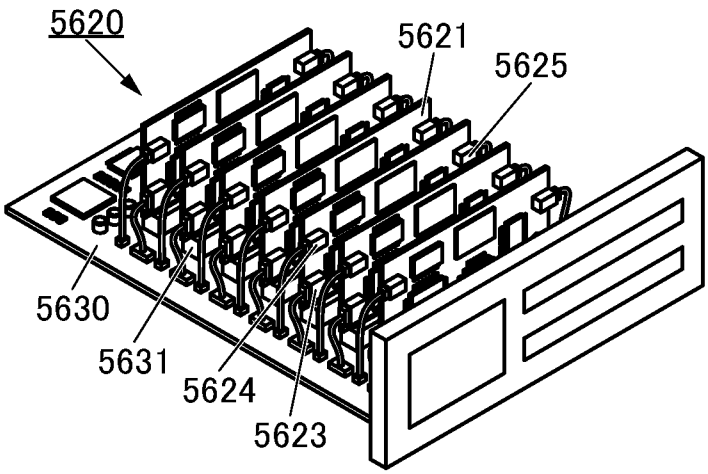


図59E

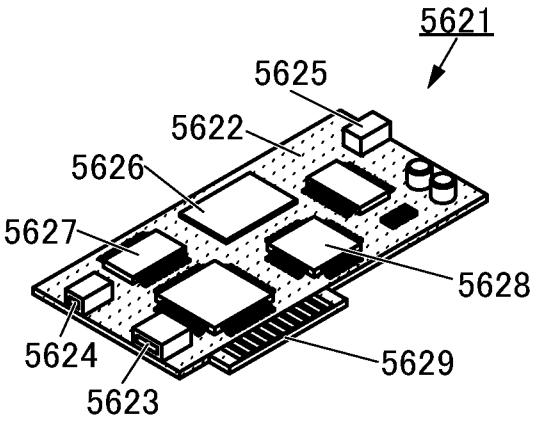


図60

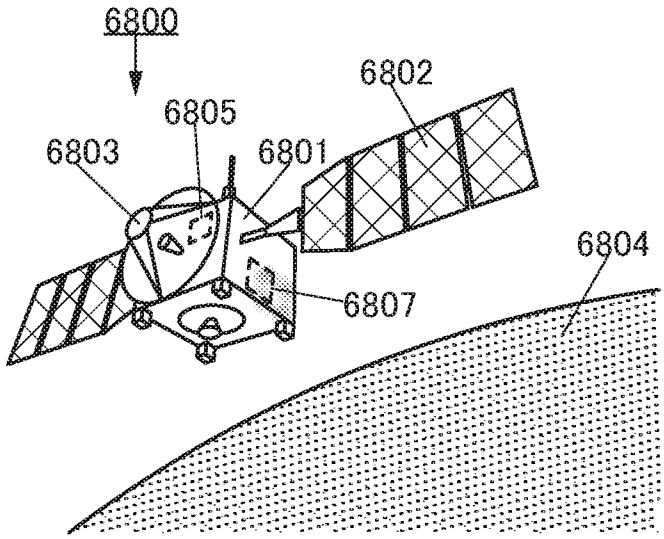
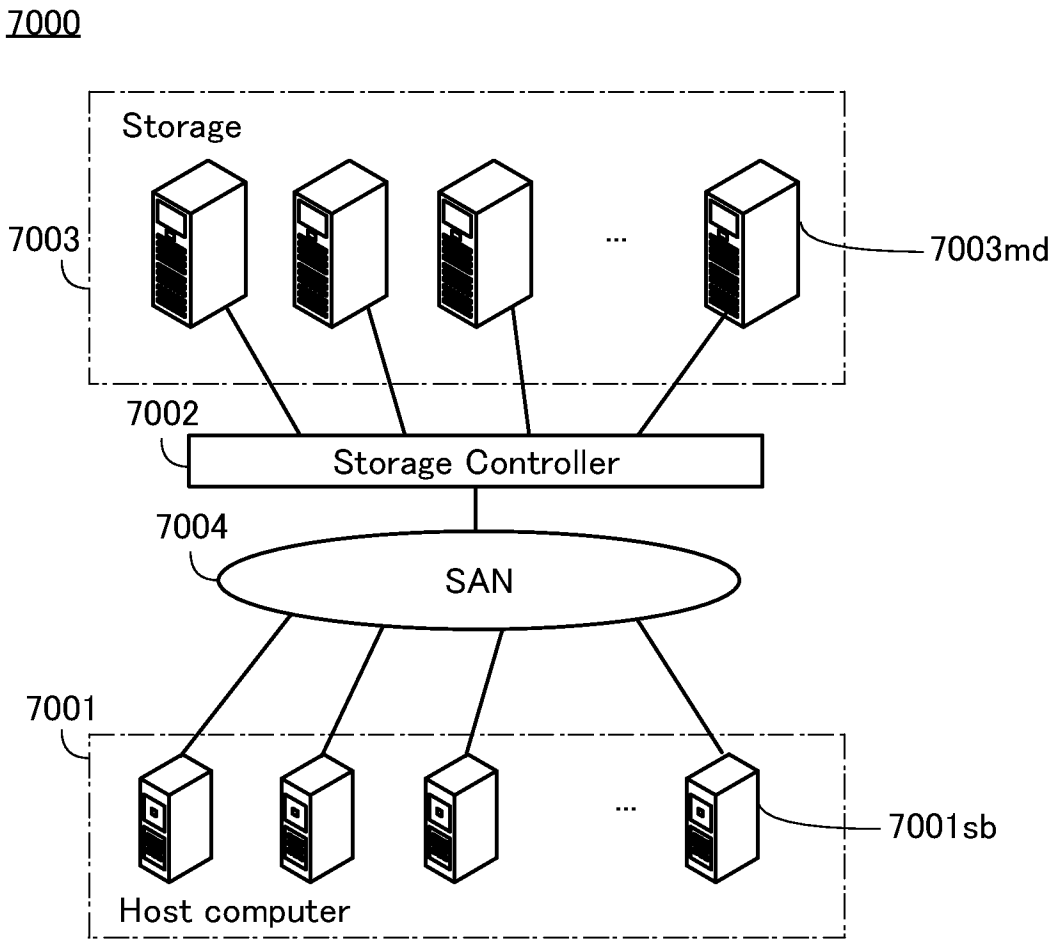


図61


7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/052309

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/41***(2006.01)i; ***H01L 29/78***(2006.01)i; ***H01L 29/417***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H01L 29/788***(2006.01)i; ***H01L 29/792***(2006.01)i; ***H10B 41/23***(2023.01)i; ***H10B 43/23***(2023.01)i

FI: H10B12/00 801; H01L29/78 618B; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 626A; H10B12/00 671A; H10B12/00 651; H01L29/78 301M; H01L29/78 301V; H01L29/78 301X; H01L29/44 S; H01L29/50 M; H01L29/78 371; H10B41/23; H10B43/23

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/41; H01L29/78; H01L29/417; H01L29/786; H01L29/788; H01L29/792; H10B41/23; H10B43/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-211537 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 October 2013 (2013-10-10)	1-20
A	JP 2013-214729 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 October 2013 (2013-10-17)	1-20
A	JP 2015-109433 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 June 2015 (2015-06-11)	1-20
A	JP 2015-188070 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 October 2015 (2015-10-29)	1-20
A	JP 2015-195365 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 November 2015 (2015-11-05)	1-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2024	**18 June 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/052309

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-181908 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 September 2011 (2011-09-15)	1-20
A	JP 2002-198499 A (KABUSHIKI KAISHA TOSHIBA) 12 July 2002 (2002-07-12)	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/052309

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-211537 A	10 October 2013	US 2013/0221356 A1	
		KR 10-2013-0099847 A	
JP 2013-214729 A	17 October 2013	US 2013/0228839 A1	
JP 2015-109433 A	11 June 2015	US 2015/0108470 A1	
		WO 2015/060133 A1	
		TW 201517276 A	
		KR 10-2016-0072110 A	
JP 2015-188070 A	29 October 2015	US 2015/0255490 A1	
JP 2015-195365 A	05 November 2015	US 2015/0270288 A1	
		KR 10-2015-0108791 A	
		TW 201537256 A	
JP 2011-181908 A	15 September 2011	US 2011/0198593 A1	
		WO 2011/096270 A1	
		TW 201143030 A	
		CN 102725842 A	
		KR 10-2012-0112859 A	
JP 2002-198499 A	12 July 2002	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2024/052309

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/41(2006.01)i; H01L 29/78(2006.01)i; H01L 29/417(2006.01)i; H01L 29/786(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 41/23(2023.01)i; H10B 43/23(2023.01)i

FI: H10B12/00 801; H01L29/78 618B; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 626A; H10B12/00 671A; H10B12/00 651; H01L29/78 301M; H01L29/78 301V; H01L29/78 301X; H01L29/44 S; H01L29/50 M; H01L29/78 371; H10B41/23; H10B43/23

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/41; H01L29/78; H01L29/417; H01L29/786; H01L29/788; H01L29/792; H10B41/23; H10B43/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-211537 A (株式会社半導体エネルギー研究所) 10.10.2013 (2013-10-10)	1-20
A	JP 2013-214729 A (株式会社半導体エネルギー研究所) 17.10.2013 (2013-10-17)	1-20
A	JP 2015-109433 A (株式会社半導体エネルギー研究所) 11.06.2015 (2015-06-11)	1-20
A	JP 2015-188070 A (株式会社半導体エネルギー研究所) 29.10.2015 (2015-10-29)	1-20
A	JP 2015-195365 A (株式会社半導体エネルギー研究所) 05.11.2015 (2015-11-05)	1-20
A	JP 2011-181908 A (株式会社半導体エネルギー研究所) 15.09.2011 (2011-09-15)	1-20
A	JP 2002-198499 A (株式会社東芝) 12.07.2002 (2002-07-12)	1-20

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.06.2024	18.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
柴山　将隆 5F 3035
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/052309

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-211537 A	10.10.2013	US 2013/0221356 A1	
		KR 10-2013-0099847 A	
JP 2013-214729 A	17.10.2013	US 2013/0228839 A1	
JP 2015-109433 A	11.06.2015	US 2015/0108470 A1	
		WO 2015/060133 A1	
		TW 201517276 A	
		KR 10-2016-0072110 A	
JP 2015-188070 A	29.10.2015	US 2015/0255490 A1	
JP 2015-195365 A	05.11.2015	US 2015/0270288 A1	
		KR 10-2015-0108791 A	
		TW 201537256 A	
JP 2011-181908 A	15.09.2011	US 2011/0198593 A1	
		WO 2011/096270 A1	
		TW 201143030 A	
		CN 102725842 A	
		KR 10-2012-0112859 A	
JP 2002-198499 A	12.07.2002	（ファミリーなし）	