



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월05일
 (11) 등록번호 10-1027173
 (24) 등록일자 2011년03월29일

- (51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 - (21) 출원번호 10-2008-7004466
 - (22) 출원일자(국제출원일자) 2006년07월21일
 심사청구일자 2008년09월26일
 - (85) 번역문제출일자 2008년02월25일
 - (65) 공개번호 10-2008-0030110
 - (43) 공개일자 2008년04월03일
 - (86) 국제출원번호 PCT/US2006/028465
 - (87) 국제공개번호 WO 2007/019023
 국제공개일자 2007년02월15일
 - (30) 우선권주장
 11/161,442 2005년08월03일 미국(US)
 - (56) 선행기술조사문헌
 US06764884 B1
 US20050026343 A1
- 전체 청구항 수 : 총 10 항

- (73) 특허권자
 인터내셔널 비지네스 머신즈 코퍼레이션
 미국 10504 뉴욕주 아몬크 뉴오차드 로드
- (72) 발명자
 노왁 에드워드 제이
 미국 버몬트주 05452 에섹스 정크션 에잇 윈드릿지 로드
- (74) 대리인
 신정건, 김태홍

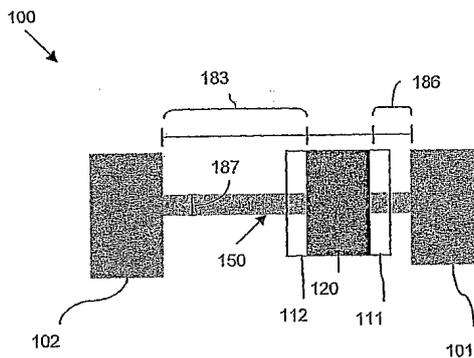
심사관 : 구분재

(54) 핀형 전계 효과 트랜지스터

(57) 요약

개선된 핀형 전계 효과 트랜지스터(FinFET) 구조물(100) 및 이 구조물을 제조하는 관련 방법을 제공한다. 일 실시예에서, 게이트(120)와 소스 영역(101) 사이의 핀 저항을 감소시키고 게이트(120)와 드레인 영역(102) 사이의 커패시턴스를 감소시키도록 FinFET(100)를 비대칭으로 구성함으로써 FinFET 구동 전류가 최적화된다. 다른 실시예에서, FinFET(300)를 밸런스팅함으로써 고전압에서의 장치 파괴가 방지된다. 구체적으로, (예를 들면, 핀 길이(383)를 증가시킴으로써, 핀(350)으로부터 소스/드레인 주입을 차단함으로써, 및 핀의 상부 표면(395)에서의 실리콘사이드 형성을 차단함으로써) 게이트(320)와 소스 영역(301) 사이 및 게이트(320)와 드레인 영역(302) 사이의 핀(350)에서의 저항이 최적화되고, 이것에 의해 FinFET(300)가 소정의 최대 전압에서 동작할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

핀형(fin-type) 전계 효과 트랜지스터로서,

소스 영역과;

드레인 영역과;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 반도체 핀과;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접한 게이트 도체를 포함하고,

상기 소스 영역과 상기 게이트 도체 사이의 상기 반도체 핀의 제1 저항은 상기 게이트 도체와 상기 드레인 영역 사이의 상기 반도체 핀의 제2 저항보다 더 작고,

상기 소스 영역과 상기 게이트 도체 사이의 제1 커패시턴스는 상기 게이트 도체와 상기 드레인 영역 사이의 제2 커패시턴스보다 더 크고,

상기 게이트 도체는 상기 소스 영역과 상기 드레인 영역 사이에 등거리로 위치하며,

상기 반도체 핀은 또한,

상기 게이트 도체와 상기 소스 영역 사이의 제1 부분과;

상기 게이트 도체와 상기 드레인 영역 사이의 제2 부분을 포함하고,

상기 제1 부분과 상기 제2 부분은 각각, 상기 게이트 도체 부근의 내부 섹션과 상기 내부 섹션 부근의 외부 섹션을 포함하며,

상기 내부 섹션은 상기 외부 섹션보다 더 좁고, 상기 제2 부분의 상기 내부 섹션은 상기 제1 부분의 상기 내부 섹션보다 더 긴 것인, 핀형 전계 효과 트랜지스터.

청구항 2

핀형 전계 효과 트랜지스터로서,

소스 영역과;

드레인 영역과;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 반도체 핀과;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접한 게이트 도체를 포함하고,

상기 반도체 핀은,

상기 소스 영역과 상기 게이트 도체 사이의 제1 부분과;

상기 게이트 도체와 상기 드레인 영역 사이의 제2 부분을 포함하며,

상기 제1 부분과 상기 제2 부분은 각각, 상기 게이트 도체 부근에 동일 폭 및 동일 길이를 가진 내부 섹션을 포함하고, 각 내부 섹션은 적어도 상기 트랜지스터가 미리 정해진 최대 전압에서 동작가능하게 하는데 필요한 최소 양의 저항을 가지도록 하고,

상기 제1 부분과 상기 제2 부분은 각각 상기 내부 섹션 부근에 외부 섹션을 포함하고, 상기 외부 섹션은 상기 내부 섹션보다 더 넓으며, 상기 동일 길이는 상기 동일 폭의 3배보다 더 큰 것인, 핀형 전계 효과 트랜지스터.

청구항 3

핀형 전계 효과 트랜지스터로서,

소스 영역과;

드레인 영역 - 이 드레인 영역과 상기 소스 영역은 평행한 평면을 포함함 - 과;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 복수의 반도체 핀과;

상기 소스 영역과 상기 드레인 영역 사이의 반도체 핀에 인접한 게이트 도체를 포함하고,

상기 소스 영역과 상기 게이트 도체 사이의 반도체 핀 각각의 제1 저항은 상기 게이트 도체와 상기 드레인 영역 사이의 반도체 핀 각각의 제2 저항보다 더 작고,

상기 소스 영역과 상기 게이트 도체 사이의 제1 커패시턴스가 상기 게이트 도체와 상기 드레인 영역 사이의 제2 커패시턴스보다 더 크고,

상기 복수의 반도체 핀은 각각,

상기 게이트 도체와 상기 소스 영역 사이의 제1 부분과;

상기 게이트 도체와 상기 드레인 영역 사이의 제2 부분

을 포함하고,

상기 제1 부분과 상기 제2 부분은 각각, 상기 게이트 도체 부근의 내부 섹션과, 상기 내부 섹션 부근의 외부 섹션을 포함하며,

상기 내부 섹션은 상기 외부 섹션보다 더 좁고, 상기 제2 부분의 상기 내부 섹션은 상기 제1 부분의 상기 내부 섹션보다 더 긴 것인, 핀형 전계 효과 트랜지스터.

청구항 4

핀형 전계 효과 트랜지스터로서,

소스 영역과;

드레인 영역과;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 복수의 반도체 핀과;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 복수의 반도체 핀에 인접한 게이트 도체를 포함하고,

상기 복수의 반도체 핀은 각각,

상기 소스 영역과 상기 게이트 도체 사이의 제1 부분과;

상기 게이트 도체와 상기 드레인 영역 사이의 제2 부분을 포함하며,

상기 제1 부분과 상기 제2 부분은 각각, 상기 게이트 도체 부근에 동일 폭 및 동일 길이를 가진 내부 섹션을 포함하고, 각 내부 섹션은 적어도 전류 폭주(run-away)를 방지하고 상기 트랜지스터가 미리 정해진 최대 전압에서 동작가능하게 하는데 필요한 최소량의 저항을 가지도록 하고,

상기 제1 부분과 상기 제2 부분은 각각, 상기 내부 섹션 부근에 외부 섹션을 포함하고, 상기 외부 섹션은 상기 내부 섹션보다 넓으며, 상기 동일 길이는 상기 동일 폭의 3배보다 더 큰 것인, 핀형 전계 효과 트랜지스터.

청구항 5

핀형 전계 효과 트랜지스터로서,

제1 길이를 갖는 제1 반도체 평면을 포함하는 소스 영역과;

제2 길이를 가지고 상기 제1 반도체 평면에 평행한 제2 반도체 평면을 포함하는 드레인 영역과;

제1 단부 및 이에 대향하는 제2 단부를 갖는 반도체 핀 - 이 반도체 핀은 상기 제1 반도체 평면으로부터 상기 제2 반도체 평면까지 연장되고, 상기 제1 단부는 상기 제1 반도체 평면에 접하고 상기 제2 단부는 상기 제2 반도체 평면에 접하며, 상기 제1 반도체 평면 및 상기 제2 반도체 평면에 대해 수직이며, 상기 제1 길이 및 상기 제2 길이보다 작은 폭을 가짐 - 과;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접하고, 상기 드레인 영역보다 상기 소스 영역에 미리 결정된 위치만큼 더 가깝게 위치한 게이트 도체 - 상기 소스 영역과 상기 게이트 도체 사이의 상기

반도체 핀의 제1 저항은 상기 게이트 도체와 상기 드레인 영역 사이의 상기 반도체 핀의 제2 저항 보다 더 작고, 상기 소스 영역과 상기 게이트 도체 사이의 제1 커패시턴스는 상기 게이트 도체와 상기 드레인 영역 사이의 제2 커패시턴스보다 더 큼 -

을 포함하는, 핀형 전계 효과 트랜지스터.

청구항 6

핀형 전계 효과 트랜지스터로서,

제1 상부면 및 제1 길이를 갖는 소스 영역과;

상기 소스 영역에 평행하고 제2 상부면 및 제2 길이를 갖는 드레인 영역과;

상기 제1 상부면 및 상기 제2 상부면을 덮는 실리사이드 층과;

상기 소스 영역과 상기 드레인 영역 간에 연장되는 반도체 핀 - 이 반도체 핀은 상기 제1 길이 및 상기 제2 길이보다 더 작은 폭을 가짐 - 과;

상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 핀의 중심부에 인접한 게이트 도체

를 포함하고,

상기 반도체 핀은 또한,

상기 소스 영역으로부터 상기 게이트 도체까지 연장되고, 실리사이드화되지 않은 제1 단부와,

상기 드레인 영역으로부터 상기 게이트 도체까지 연장되고, 실리사이드화되지 않은 제2 단부

를 포함하는 것인, 핀형 전계 효과 트랜지스터.

청구항 7

핀형 전계 효과 트랜지스터로서,

제1 상부면 및 제1 길이를 갖는 소스 영역과;

제2 상부면 및 제2 길이를 갖는 드레인 영역과;

상기 제1 상부면 및 상기 제2 상부면을 덮는 실리사이드 층과;

상기 소스 영역과 상기 드레인 영역 간에 연장되는 복수의 반도체 핀과;

상기 소스 영역과 상기 드레인 영역 사이의 상기 복수의 반도체 핀 각각의 중심부에 인접한 게이트 도체

를 포함하고,

상기 복수의 반도체 핀은 각각,

상기 소스 영역으로부터 상기 게이트 도체까지 연장되고, 실리사이드화되지 않은 제1 단부와,

상기 드레인 영역으로부터 상기 게이트 도체까지 연장되고, 실리사이드화되지 않은 제2 단부

를 더 포함하는 것인, 핀형 전계 효과 트랜지스터.

청구항 8

핀형 전계 효과 트랜지스터를 제조하는 방법으로서,

소스 영역과 드레인 영역을 형성하는 단계와;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 반도체 핀을 형성하는 단계와;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접한 게이트 도체를 형성하는 단계를 포함하고,

상기 반도체 핀과 상기 게이트 도체는, 상기 소스 영역과 상기 게이트 도체 사이의 상기 반도체 핀의 제1 부분의 제1 저항이 상기 게이트 도체와 상기 드레인 영역 사이의 상기 반도체 핀의 제2 부분의 제2 저항보다 더 작

고 상기 소스 영역과 상기 게이트 도체 사이의 제1 커패시턴스가 상기 게이트 도체와 상기 드레인 영역 사이의 제2 커패시턴스보다 더 크도록 형성되는 것인, 핀형 전계 효과 트랜지스터 제조 방법.

청구항 9

핀형 전계 효과 트랜지스터를 제조하는 방법으로서,

소스 영역 및 드레인 영역을 형성하는 단계와;

상기 소스 영역과 상기 드레인 영역 사이에 연장되는 반도체 핀을 형성하는 단계와;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접한 게이트 도체를 형성하는 단계와;

상기 트랜지스터가 미리 정해진 최대 전압에서 동작가능하도록 저항을 최적화하기 위해 상기 게이트 도체와 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 핀의 치수를 조정하는 단계를 포함하는 핀형 전계 효과 트랜지스터 제조 방법.

청구항 10

핀형 전계 효과 트랜지스터를 제조하는 방법으로서,

소스 영역 및 드레인 영역을 형성하는 단계와;

상기 소스 영역으로부터 상기 드레인 영역까지 연장되는 반도체 핀을 형성하는 단계와;

상기 소스 영역과 상기 드레인 영역 사이에서 상기 반도체 핀에 인접한 게이트 도체를 형성하는 단계를 포함하고,

상기 반도체 핀과 상기 게이트 도체는, 상기 소스 영역과 상기 게이트 도체 사이의 상기 반도체 핀의 제1 부분의 제1 저항이 상기 게이트 도체와 상기 드레인 영역 사이의 상기 반도체 핀의 제2 부분의 제2 저항보다 더 작고 상기 소스 영역과 상기 게이트 도체 사이의 제1 커패시턴스가 상기 게이트 도체와 상기 드레인 영역 사이의 제2 커패시턴스보다 더 크도록 형성되며,

상기 제1 부분 및 상기 제2 부분은, 상기 게이트 도체에 인접한 내부 섹션과, 상기 내부 섹션에 인접하고 상기 내부 섹션보다 넓은 외부 섹션을 포함하도록 형성되는 것인, 핀형 전계 효과 트랜지스터 제조 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 핀형 전계 효과 트랜지스터(fin-type field effect transistor; FinFET)에 관한 것이고, 더 구체적으로 말하면, 게이트와 드레인 영역 사이, 또는 게이트와 소스 영역 사이 및 게이트와 드레인 영역 사이에서 저항이 증가하여 게이트와 드레인 영역 사이의 밀러 효과 커패시턴스를 낮추고 FinFET를 밸러스트(ballast)시키는 개선된 FinFET 구조물에 관한 것이다.

배경기술

[0002] 트랜지스터 설계가 개선되고 진화함에 따라, 다수의 상이한 유형의 트랜지스터가 계속적으로 증가하고 있다. 핀형 전계 효과 트랜지스터(FinFET)는 채널 영역과 소스 및 드레인 영역을 포함한 핀(fin)을 가진 유형의 트랜지스터이다. 이중 게이트(double-gated) FinFET는 핀의 양 측벽에 제1 및 제2 게이트 도체를 가진 FinFET이다. 게이트 도체는 핀의 채널 영역을 덮고, 핀의 소스 및 드레인 영역은 게이트 도체의 커버리지를 넘어서 연장한다. FinFET는 휴(Hu) 등(이하, "휴"라고 함)에게 허여된 미국 특허 제6,413,802호에서 상세히 설명되어 있고, 이 특허는 인용에 의해 여기에 통합되는 것으로 한다. FinFET의 구조 때문에, FinFET의 직렬 저항과 게이트-소스/드레인 커패시턴스 사이에는 고유의 상충 관계(trade-off)가 존재한다. 예를 들면, 직렬 저항을 낮추기 위해 그리고 특히 디지털 회로의 장치 드라이브를 크게 낮출 수 있는 피드백을 야기할 수 있는 소스와 게이트 사이의 저항을 낮추기 위해 핀이 게이트를 빠져나갈 때 핀의 폭이 확장될 수 있다. 그러나, 게이트와 드레인 영역 사이에서 핀을 넓게 하는 것은 게이트와 드레인 사이의 저항을 감소시킬 뿐만 아니라 커패시턴스를 또한 증가시킨다. 비록 드레인 저항이 디지털 회로의 장치 드라이브에는 거의 영향을 미치지 않지만, 게이트와 드레인 사이의 커패시턴스는 밀러 효과 때문에 게이트와 소스 사이 커패시턴스의 회로 지연에 최대 3배의 영향을 미칠 수 있다.

[0003] 관련 문제점으로서, 매우 높은 전압에서 FinFET는 트랜지스터 채널의 최고온 영역에서의 열 폭주(thermal runaway)로 인해 FET를 파괴시킬 수 있는 스냅백(snap-back)이라고 알려진 모드에 들어갈 수 있다. 복수의 핀을 포함한 FinFET에서, 만일 하나의 핀이 브레이크다운(breakdown) 상태에 진입하면, 열 폭주가 발생하여 그 핀이 추가적인 전류를 모두 전도시키고, 궁극적으로 FinFET를 파괴시킬 수 있다. 본 발명은 핀 저항이 게이트와 드레인 영역 사이에서만 증가되거나 또는 게이트와 소스 영역 사이 및 게이트와 드레인 영역 사이에서 증가되어 게이트와 드레인 영역 사이의 밀러 효과 커패시턴스를 낮추고 또한 FinFET를 밸러스트시키는, 개선된 FinFET 구조물 및 이 구조물을 제조하는 관련 방법을 제공함으로써 이러한 문제점들을 해결한다.

발명의 상세한 설명

[0004] 본 발명은 개선된 FinFET 구조물의 실시예 및 이 구조물의 실시예를 제조하는 관련 방법을 제공한다. 일 실시예에서, FinFET 구동 전류는 게이트와 소스 영역 사이의 핀 저항을 감소시키고 게이트와 드레인 영역 사이의 커패시턴스를 감소시키도록 FinFET를 비대칭적으로 구성함으로써 최적화된다. 다른 실시예에서는 FinFET를 밸러스트 시킴으로써 고전압에서의 장치 파괴가 방지된다. 구체적으로, 게이트와 소스 영역 사이 및 게이트와 드레인 영역 사이 둘 다의 핀에서의 저항이 증가하여 FinFET가 소정의 최대 전압에서 동작할 수 있다. 본 발명의 다중 밸러스트화 FinFET가 직렬로 형성되면, 이 밸러스팅은 하나의 핀에서 FinFET의 파괴를 야기하는 조기 폭주를 방지한다.

[0005] 특히, 본 발명의 FinFET 구조물의 일 실시예는 소스 영역과 드레인 영역을 형성하는 기관상의 평행한 반도체 평면들을 포함한다. 다른 하나의 반도체 평면(즉, 핀)은 소스 영역으로부터 드레인 영역까지 연장한다. 게이트는 소스 영역과 드레인 영역 사이의 핀 상에 위치된다. 구체적으로, 게이트 유전체 층은 소스 영역과 드레인 영역 사이에서 핀의 양 측벽상에 형성된다. 게이트 도체는 게이트 유전체 층 상에 형성된다. FinFET 구조물은 소스 영역과 게이트 도체 사이의 반도체 핀의 제1 저항이 게이트 도체와 드레인 영역 사이의 반도체 핀의 제2 저항보다 낮고 소스 영역과 게이트 도체 사이의 제1 커패시턴스가 게이트 도체와 드레인 영역 사이의 제2 커패시턴스보다 더 크게 되도록 비대칭적으로 구성된다. 예를 들면, 게이트 도체는 드레인 영역보다 소스 영역에 더 가깝게 핀 상에 위치될 수 있다. 게이트 도체를 소스 영역에 더 가깝게 위치시키면, 게이트 도체와 소스 영역 사이의 제1 저항이 게이트 도체와 드레인 영역 사이의 제2 저항보다 더 낮게 되는 것을 보장한다. 게이트 도체를 드레인 영역으로부터 더 멀리 위치시키면, 게이트와 드레인 영역 사이의 커패시턴스가 감소한다. 대안적으로, 게이트는 소스 영역과 드레인 영역으로부터 등거리에 위치될 수 있고, 비대칭은 게이트 도체의 일측부 상에 있는 핀의 치수에 의해 달성될 수 있다. 예를 들면, 핀은 게이트 도체와 소스 영역 사이에 제1 부분을 갖고 게이트 도체와 드레인 영역 사이에 제2 부분을 갖도록 구성될 수 있다. 제1 부분과 제2 부분은 둘 다 게이트 도체에 인접한 내부 섹션 및 외부 섹션을 포함할 수 있다. 내부 섹션은 외부 섹션보다 더 좁게 될 수 있다(즉, 내부 섹션은 외부 섹션의 제2 폭보다 더 작은 제1 폭을 가질 수 있음). 게이트와 드레인 영역 사이의 핀의 제2 부분의 내부 섹션이 게이트와 소스 영역 사이의 핀의 제1 부분의 내부 섹션보다 더 길면, 게이트와 소스 영역 사이의 핀의 감소된 저항 뿐만 아니라 게이트와 드레인 영역 사이의 감소된 커패시턴스가 제공된다. 구체적으로, 제1 부분의 내부 섹션이 제1 폭(즉, 내부 섹션의 폭)과 대략 동일한 제1 길이를 갖고 제2 부분의 내부 섹션이 제1 폭보다 대략 3배 더 큰 제2 길이를 갖는 경우에 최적의 저항 및 커패시턴스가 달성될 수 있다.

[0006] 본 발명의 FinFET 구조물의 다른 실시예는 또한 소스 영역과 드레인 영역을 형성하는 기관상의 평행한 반도체 평면들을 포함한다. 다른 반도체 평면(즉, 핀)은 소스 영역으로부터 드레인 영역까지 연장한다. 게이트는 소스 영역과 드레인 영역 사이에서 등거리로 핀 상에 위치된다. 구체적으로, 게이트 유전체 층은 소스 영역과 드레인 영역 사이에서 핀의 양 측벽상에 형성된다. 게이트 도체는 게이트 유전체 층 상에 형성된다. 이 실시예의 FinFET 구조물은 고전압에서의 파괴를 방지하기 위해 밸러스트된다. 예를 들어서, 게이트 도체와 소스/드레인 영역 사이의 반도체 핀의 길이가 반도체 핀의 폭보다 대략 3배 내지 5배 이상 더 크면, 반도체 핀 내에 충분한 저항이 제공되어 상기 트랜지스터가 소정의 최대 전압에서 동작할 수 있다. 밸러스팅을 위한 추가의 저항은 반도체 핀이 소스/드레인 영역에서보다 더 낮은 농도의 소스/드레인 도펀트(예를 들면, n형 도펀트 또는 p형 도펀트)를 갖고 핀의 상부 표면상에 실리사이드 층이 없도록 구성되는 경우에 제공될 수 있다. 대안적으로, 반도체 핀은 게이트 도체와 소스 영역 사이에 제1 부분을 포함하고 게이트 도체와 드레인 영역 사이에 제2 부분을 포함할 수 있다. 제1 부분과 제2 부분은 둘 다 게이트 도체 부근에 동일 폭(즉, 제1 폭) 및 동일 길이(즉, 제1 길이)를 가진 내부 섹션을 포함한다. 제1 부분과 제2 부분은 또한 내부 섹션과 소스/드레인 영역 사이에 외부 섹션을 각각 포함할 수 있다. 밸러스팅은 내부 섹션의 길이(즉, 제1 길이)가 내부 섹션들의 동일한 폭(즉, 제1 폭)의 대략 3배 내지 5배보다 더 큰 경우에 달성될 수 있다. 구체적으로, 내부 섹션의 길이는 트랜지스터가 소정의 최대 전압에서 동작할 수 있도록 핀 내에 저항을 제공한다. 밸러스팅을 위한 추가의 저항은 내부 섹션이

소스/드레인 영역보다 더 낮은 농도의 소스/드레인 도펀트(예를 들면, n형 도펀트 또는 p형 도펀트)를 갖고 내부 섹션들이 그들의 대응하는 상부 표면 부근에 실리사이드 층을 갖지 않은 경우에 제공될 수 있다.

[0007] 핀형 전계 효과 트랜지스터, 특히 비대칭 FinFET를 제조하는 방법의 실시예는 소스 영역, 드레인 영역, 및 소스 영역으로부터 드레인 영역까지 연장하는 반도체 핀을 형성하는 단계를 포함한다. 소스 영역과 드레인 영역은 기판상의 평행한 반도체 평면으로서 형성된다. 소스 영역과 드레인 영역 사이에서 연장하는 다른 반도체 평면은 핀을 형성하기 위해 사용된다. 그 다음에, 게이트가 소스 영역과 드레인 영역 사이에서 예를 들면 핀의 양 측면 상에 게이트 유전체 층을 형성하고 게이트 유전체 층 상에 게이트 도체를 형성함으로써 반도체 핀에 인접하게 형성된다. 트랜지스터, 특히 반도체 핀과 게이트 도체는 소스 영역과 게이트 도체 사이의 반도체 핀의 제1 저항이 게이트 도체와 드레인 영역 사이의 반도체 핀의 제2 저항보다 더 낮고 소스 영역과 게이트 도체 사이의 제1 커패시턴스가 게이트 도체와 드레인 영역 사이의 제2 커패시턴스보다 더 크게 되도록 비대칭으로 형성된다. 예를 들면, 게이트 도체는 게이트 도체가 드레인 영역보다 소스 영역에 더 근접하게 되도록 반도체 핀에 인접하게 형성될 수 있고, 이것에 의해 소스 영역과 게이트 도체 사이의 핀의 저항을 감소시키고 게이트 도체와 드레인 영역 사이의 커패시턴스를 감소시킨다.

[0008] 대안적으로, 게이트 도체는 소스 영역과 드레인 영역 사이에서 등거리로 반도체 핀 부근에 형성될 수 있다. 게이트 도체와 소스 영역 사이의 핀의 제1 부분의 치수 및 게이트 도체와 드레인 영역 사이의 핀의 제2 부분의 치수는 각각 제1 및 제2 저항을 변화시키도록 조정된다. 제1 부분과 제2 부분에는 각각 게이트 도체 부근에 내부 섹션이, 및 게이트 도체와 소스 또는 드레인 영역 사이에 더 넓은 외부 섹션이 형성된다. 각 내부 섹션은 동일한 폭(즉, 제1 폭)을 가지며, 각 외부 섹션은 동일한 폭(즉, 제2 폭)을 갖는다. 비대칭은 게이트 도체와 드레인 영역 사이의 제2 부분의 내부 섹션이 제1 부분의 내부 섹션보다 더 긴 경우에 달성될 수 있다. 따라서, 소스 영역과 게이트 도체 사이의 핀의 저항이 감소되고, 게이트 도체와 드레인 영역 사이의 커패시턴스가 또한 감소된다. 최적의 비대칭은 제1 부분의 내부 섹션이 내부 섹션의 폭과 대략 동일한 길이(즉, 제1 길이)로 형성되고, 제2 부분의 내부 섹션이 제1 폭의 대략 3배 내지 5배보다 더 큰 길이(즉, 제2 길이)로 형성되는 경우에 달성될 수 있다. 일단 소스/드레인 영역, 핀 및 게이트가 형성되면, FinFET의 제조를 완료하기 위한 추가의 처리 단계들이 수행될 수 있다.

[0009] 핀의 제1 및 제2 부분의 치수를 조정하기 위해, 전술한 바와 같이 게이트 도체를 형성한 후에, 게이트 도체에 바로 인접한 핀의 제1 부분 위(예를 들면, 핀의 상부 표면 및 양 측면 위)에 제1 스페이서가 형성되고, 게이트 도체의 제2 부분측에 제2 스페이서가 마찬가지로 형성된다. 제1 및 제2 스페이서는 초기에 동일한 두께로 형성될 수 있다. 이 두께는 제1 폭(즉, 핀의 좁은 섹션의 폭)의 약 3배 내지 5배보다 더 클 수 있고, 핀의 제1 부분의 제1 노출 섹션이 제1 스페이서와 소스 영역 사이에 유지되고 핀의 제2 부분의 제2 노출 섹션이 제2 스페이서와 드레인 영역 사이에 유지되도록 하여야 한다. 스페이서가 형성된 후에, 제1 스페이서의 사이즈(즉, 두께)가 감소된다. 제1 스페이서의 두께를 감소시키는 하나의 기술은 제2 스페이서를 마스크하고 그 다음에 제1 스페이서를 등방성으로 에칭하는 단계를 포함한다. 에칭 처리는 제1 스페이서의 상부 표면 뿐만 아니라 제1 스페이서의 노출된 측면을 에치백하여 스페이서의 두께를 감소시킨다. 제1 스페이서의 두께를 감소시키는 다른 기술은, 제2 스페이서가 게이트 도체에 의해 차단되고, 그리하여 제1 스페이서가 더 큰 농도의 불활성 물질을 수용하여 제1 스페이서의 에칭율을 향상시키도록 90도 미만의 각도로부터 제1 스페이서를 향해 불활성종(예를 들면, 실리콘, 아르곤, 크세논 등)을 주입하는 단계를 포함한다. 그 다음에, 에칭 처리는 더 큰 농도의 불활성종을 가진 제1 스페이서가 제2 스페이서보다 더 빠른 속도로 에칭되도록 수행된다. 다시, 에칭 처리는 스페이서의 상부 표면뿐만 아니라 제1 스페이서의 노출된 측면도 에치백하여 스페이서의 두께를 감소시킨다. (예를 들면, 핀의 폭(제1 폭)과 대략 동일하도록) 제1 스페이서의 두께가 감소되면, 추가의 반도체 물질이 제1 및 제2 노출 섹션상에 형성되어 각각 제1 및 제2 외부 섹션을 형성한다. 따라서, 내부 섹션들은 제1 스페이서와 제2 스페이서 아래에 각각 유지되는 핀의 섹션들이다.

[0010] 핀형 전계 효과 트랜지스터, 특히 밸러스트된 FinFET를 제조하는 방법의 실시예는 소스 영역, 드레인 영역, 및 소스 영역으로부터 드레인 영역까지 연장하는 반도체 핀을 형성하는 단계를 포함한다. 소스 영역과 드레인 영역은 기판상의 평행한 반도체 평면으로서 형성된다. 소스 영역과 드레인 영역 사이에서 연장하는 다른 반도체 평면은 핀을 형성하기 위해 사용된다. 그 다음에, 게이트가 소스 영역과 드레인 영역 사이에서 예를 들면 핀의 양 측면 상에 게이트 유전체 층을 형성하고 게이트 유전체 층 상에 게이트 도체를 형성함으로써 등거리로 반도체 핀에 인접하게 형성된다. 밸러스팅은 게이트 도체와 소스 영역 사이 또는 게이트 도체와 드레인 영역 사이의 핀의 길이가 반도체 핀의 폭의 약 3배보다 더 크도록 게이트를 형성함으로써 달성될 수 있다. 이 길이는 반도체 핀 내에 추가의 저항을 제공하여 트랜지스터가 소정의 최대 전압에서 동작할 수 있게 한다. 소스/드레인 영역,

핀 및 게이트가 형성되면 FinFET의 제조를 완료하기 위한 추가의 처리 단계들이 수행될 수 있다. 벨러스팅을 위한 추가의 저항은 (예를 들면, 핀으로의 N+ 영역 또는 P+ 영역의 주입을 차단함으로써) 소스/드레인 영역에서보다 더 낮은 농도의 소스/드레인 도펀트를 가진 반도체 핀을 형성함으로써 및 (예를 들면, 핀의 상부 표면상의 실리사이드 형성을 차단함으로써) 상부 표면에 실리사이드 층이 없는 핀을 형성함으로써 제공될 수 있다.

[0011] 대안적으로, 벨러스팅은 트랜지스터가 소정의 최대 전압에서 동작할 수 있도록 저항을 최적화하기 위하여, 소스 영역과 드레인 영역 사이에 등거리로 게이트 도체를 형성하고 게이트 도체의 어느 일측에서 핀의 치수를 조정함으로써 달성될 수 있다. 예를 들면, 소스/드레인 영역에 인접한 핀의 외부 섹션은 게이트 도체에 인접한 내부 섹션보다 더 넓게 형성될 수 있다. 내부 섹션은 그들의 길이가 그들의 폭의 약 3배보다 더 크도록 형성될 수 있다. 내부 섹션과 외부 섹션을 형성하기 위해, 게이트 도체의 양측에 바로 인접한 핀의 상부에(예를 들면, 핀의 상부 표면 및 양 측벽에) 스페이서들이 형성된다. 스페이서들은 원래 형성된 핀의 폭(즉, 핀의 내부 섹션의 폭)의 약 3배 내지 5배 더 큰 두께를 갖도록 형성될 수 있고, 핀의 노출된 섹션들이 스페이서와 소스/드레인 영역 사이에 유지되도록 하여야 한다. 스페이서가 형성되면, 추가의 반도체 물질이 핀의 노출된 섹션상에 형성되어 더 넓은 외부 섹션을 형성한다. 따라서, 더 좁은 내부 섹션은 스페이서 아래에 유지되는 핀의 섹션이다. 다시, 소스/드레인 영역, 핀 및 게이트가 형성되면, FinFET의 제조를 완료하기 위한 추가의 처리 단계들이 수행될 수 있다. 벨러스팅을 위한 추가의 저항은 내부 섹션들이 그들의 대응하는 상부 표면에 실리사이드 층 없이 형성되고 소스/드레인 도펀트(예를 들면, n형 도펀트 또는 p형 도펀트)의 농도가 핀의 내부 섹션에서 보다 소스/드레인 영역에서 더 크면 달성될 수 있다.

[0012] 본 발명의 상기 및 다른 태양 및 목적들은 첨부 도면과 함께하는 이하의 설명을 참조함으로써 더 잘 인식되고 이해될 것이다. 그러나, 이하의 설명에서 본 발명의 여러 가지 실시예 및 그들의 많은 특수한 세부들이 표시되지만, 그 설명들은 단지 설명을 위한 것일 뿐 제한하는 의도는 없다는 것을 이해하여야 한다. 본 발명의 정신으로부터 벗어나지 않고 본 발명의 범위 내에서 많은 변경 및 수정이 가능하고, 본 발명은 그러한 모든 변경 및 수정을 포함하는 것으로 한다.

[0013] 본 발명은 첨부 도면을 참조한 이하의 상세한 설명으로부터 더 잘 이해될 것이다.

실시예

[0031] 본 발명 및 각종 특징과 그 장점이 되는 세부는 첨부도면에 도시되고 이하에서 자세히 설명되는 비제한적인 실시예를 참조하여 상세히 설명된다. 도면에 도시된 특징적 구성은 정확한 축척으로 도시한 것이 아님을 주목하여야 한다. 잘 알려진 구성 요소 및 처리 기술에 관한 설명은 본 발명을 불필요하게 모호하게 하는 것을 방지하기 위하여 생략하였다. 여기에서 사용되는 예는 단순히 본 발명이 실시되는 방식을 더 쉽게 이해하고 당업자가 본 발명을 실시할 수 있게 하기 위한 것이다. 따라서, 그 예들은 본 발명의 범위를 제한하는 것으로 해석되어서는 안된다.

[0032] 여기에서는 개선된 핀형 전계 효과 트랜지스터(FinFET) 구조물 및 그 구조물을 제조하기 위한 관련 방법을 개시한다. 일 실시예에서 FinFET 구동 전류는 게이트와 소스 영역 사이의 핀 저항을 감소시키고 게이트와 드레인 영역 사이의 커패시턴스를 감소시키도록 FinFET를 비대칭으로 구성함으로써 최적화된다. 다른 실시예에서, 고전압에서의 장치 파괴는 FinFET를 벨러스팅함으로써 방지된다. 구체적으로, 저항은 FinFET가 소정의 최대 전압에서 동작할 수 있도록 (예를 들면, 핀 길이를 증가시킴으로써, 핀으로부터 소스/드레인 주입을 차단함으로써, 및 핀의 상부 표면에 실리사이드 형성을 차단함으로써) 게이트와 소스 영역 사이 및 게이트와 드레인 영역 사이의 핀에서 최적화된다. 본 발명의 다중 벨러스트 FinFET가 직렬로 형성될 때, 상기 벨러스팅은 연속적으로 모든 FinFET의 파괴를 야기할 수 있는 연쇄 반응을 방지할 수 있다.

[0033] 도 1과 도 2를 참조하면, 본 발명의 구조물의 일 실시예에서, FinFET(100, 200)는 소스 영역(101, 201)과 드레인 영역(102, 202) 사이에서 비대칭으로 설계된다. 예를 들면, 게이트, 특히 게이트 도체(120, 220)는 핀(150, 250)이 단일 소스 스트랩(도 1의 도면부호 101 참조)에 합체되는 지점 또는 게이트 도체와 소스 스트랩 사이의 폭(도 2의 도면부호 271 참조)을 증가시키는 지점에 더 가깝게 배치된다. 이와 대조적으로, 게이트 도체(120, 220)는 게이트 도체와 드레인 스트랩 사이에서 핀의 폭(도 2의 도면부호 272 참조)이 증가하는 지점, 또는 핀이 단일 드레인 스트랩(도 1의 도면부호 102 참조)에 합체되는 지점으로부터 더 멀리 배치된다. 더 구체적으로, 도 1과 도 2를 참조하면, 본 발명의 FinFET 구조(100, 200)의 일 실시예는 기판 상에서 소스 영역(101, 201)과 드레인 영역(102, 202)을 형성하는 평행한 반도체 평면을 포함한다. 다른 하나의 반도체 평면(즉, 3~40 nm 폭의 핀(150, 250))은 소스 영역(101, 201)으로부터 드레인 영역(102, 202)까지 연장한다. 게이트는 소스 영역(101, 201)과 드레인 영역(102, 202) 사이의 핀(150, 250) 상에 위치된다. 구체적으로, 게이트 유전체 층이 소스 영역

과 드레인 영역 사이에서 핀의 양 측벽 상에 형성된다. 게이트 도체(120, 220)는 게이트 유전체 층 상에 형성된다. FinFET 구조(100, 200)는 소스 영역(101, 201)과 게이트 도체(120, 220) 사이의 반도체 핀(150, 250)의 제1 저항이 게이트 도체(120, 220)와 드레인 영역(102, 202) 사이의 반도체 핀(150, 250)의 제2 저항보다 더 낮도록 및 소스 영역(101, 201)과 게이트 도체(120, 220) 사이의 제1 커패시턴스가 게이트 도체(120, 220)와 드레인 영역(102, 202) 사이의 제2 커패시턴스보다 더 크도록 비대칭으로 구성된다.

[0034] 예를 들면, 도 1에서, 게이트 도체(120)는 드레인 영역(102)보다 소스 영역(101)에 더 가깝게 핀(150) 상에 위치된다. 게이트 도체를 소스 영역에 더 가깝게 위치시키면, 게이트 도체와 소스 영역 사이의 제1 저항이 게이트 도체와 드레인 영역 사이의 제2 저항보다 더 낮게 하는 것을 보장한다. 게이트 도체를 드레인 영역으로부터 더 멀리 위치시키면, 게이트와 드레인 영역 사이의 커패시턴스가 감소한다.

[0035] 대안적으로, 도 2를 참조하면, 게이트 도체는 소스 영역(201)과 드레인 영역(202)으로부터 등거리(283, 286)에 위치될 수 있다. 핀(250)은 게이트 도체(220)와 소스 영역(201) 사이에 제1 부분(251)을 갖고 게이트 도체(220)와 드레인 영역(202) 사이에 제2 부분(252)을 갖도록 구성될 수 있다. 제1 부분(251)과 제2 부분(252)은 둘 다 게이트 도체(220)에 각각 인접한 내부 섹션(261, 262) 및 내부 섹션(261, 262)에 인접한 외부 섹션(271, 272)(즉, 내부 섹션(261)과 소스 영역(201) 사이 및 내부 섹션(262)과 드레인 영역(202) 사이)을 포함할 수 있다. 내부 섹션(261, 262)은 동일한 폭(예를 들면, 약 3~40 nm의 제1 폭(287))을 가질 수 있다. 외부 섹션(271, 272)도 또한 내부 섹션(261, 262)의 제1 폭(287)보다 더 넓은 동일한 폭(예를 들면, 약 9~200 nm의 제2 폭(288))을 가질 수 있다. 제2 부분(252)의 내부 섹션(262)이 제1 부분(251)의 내부 섹션(261)보다 더 길면, 게이트 도체(220)와 드레인 영역(202) 사이의 감소된 커패시턴스 및 게이트 도체(220)와 소스 영역(201) 사이의 감소된 저항이 제공된다. 게이트 도체(220)와 소스 영역(201) 사이의 저항은 제1의 넓은 섹션(271)이 게이트 도체(220)에 더 가까워질수록 감소된다. 구체적으로, 내부 섹션(261)이 제1 폭(287)과 대략 동일한 제1 길이(284)를 갖고 내부 섹션(262)이 제1 폭(287)의 대략 3배보다 더 큰 제2 길이(282)를 갖는 경우에 최적의 저항 및 커패시턴스가 달성될 수 있다.

[0036] 도 3a 내지 도 3c 및 도 4a 내지 도 4c를 참조하면, 본 발명의 FinFET 구조물(300, 400)의 다른 실시예는 소스 영역(301, 401)과 드레인 영역(302, 402)을 형성하는 기판상의 평행한 반도체 평면들을 포함한다. 다른 하나의 반도체 평면(즉, 3~40 nm 폭의 핀(350, 450))은 소스 영역(301, 401)으로부터 드레인 영역(302, 402)까지 연장한다. 게이트(예를 들면, 게이트 유전체 층과 게이트 도체(320, 420)를 포함한 것)는 소스 영역(301, 401)과 드레인 영역(302, 402) 사이에서 등거리(383, 483)로 핀(350, 450) 상에 위치될 수 있다. 이 구조물(300, 400)은 게이트 도체(320, 420)의 양 측벽 상의 핀(350, 450) 위에 형성된 스페이서(311~312, 411~412)를 또한 포함할 수 있다. 이 실시예의 FinFET 구조물(300, 400)은 고전압에서의 파괴를 방지하기 위해 밸러스트된다. 전술한 바와 같이, 매우 높은 전압에서 FinFET는 트랜지스터 채널의 최고온 영역에서의 전류 폭주로 인해 FET를 파괴시킬 수 있는 스냅백이라고 알려진 모드에 들어갈 수 있다. 이것은 최고온 핀이 열 폭주로 진입한, 복수의 핀을 갖는 병렬의 FinFET 세트에서 발생할 수 있으며, 추가 전류를 모두 전도시키고 궁극적으로 FinFET의 파괴를 야기한다. 본 발명의 구조물(300, 400)은 병렬접속된 복수의 FinFET(각각, 도 3c 및 도 4c의 도면부호 390, 490 참조)에 인가될 수 있는 최대 전압/전류가 소정의 최대치로 증가할 수 있도록 밸러스트된 FinFET를 제공한다.

[0037] 예를 들어서, 도 3a 및 도 3b를 참조하면, 게이트 도체(320)와 소스 영역(301) 사이 및 게이트 도체(320)와 드레인 영역(302) 사이의 반도체 핀(350)의 동일한 길이(383)는 반도체 핀(350)의 폭(388)(예를 들면, 9~200 nm)의 대략 3배 내지 5배보다 더 크다. 이 길이(383)는 반도체 핀(350) 내에 충분한 저항을 제공하여 트랜지스터(300)가 소정의 최대 전압에서 동작할 수 있게 한다. 소스/드레인 영역(301, 302)에서보다 반도체 핀에서 더 낮은 농도의 도펀트를 갖도록 반도체 핀(350)이 구성되는 경우, 밸러스팅을 위한 추가의 저항이 제공될 수 있다. 또한 반도체 핀의 상부 표면(395)에 실리사이드 층(391)이 없는 경우에 추가의 저항이 제공될 수 있다. 예를 들어서, 도 3b에 도시된 바와 같이, 소스/드레인 영역(301, 302)은 N+ 영역(392)으로 주입되고 최상부에 실리사이드(391)가 배치될 수 있지만, 제조 공정 중에 핀(350)에서의 실리사이드(391) 및 N+ 영역(392)의 형성은 차단될 수 있다. 도 3c를 참조하면, 밸러스트된 FinFET(300a~c)가 병렬 세트(390)로 형성되는 경우, 개별 FET(300a~c)의 밸러스팅은 최저 브레이크다운 전압을 가진 핀이 열 폭주에 진입하여 모든 파인 전류를 전도시키고 궁극적으로 병렬 세트(390)의 모든 FinFET(300a~c)를 파괴시키는 것을 방지한다.

[0038] 대안적으로, 도 4a 및 도 4b를 참조하면, 반도체 핀(450)은 게이트 도체(420)와 소스 영역(401) 사이에 제1 부분(451)을 포함하고 게이트 도체(420)와 드레인 영역(402) 사이에 제2 부분(452)을 포함할 수 있다. 제1 부분(451)과 제2 부분(452)은 둘 다 동일한 폭, 예컨대 3~40 nm의 폭(즉, 제1 폭(487)) 및 동일한 길이, 예컨대 9~200 nm의 길이(즉, 제1 길이(482))를 가진 내부 섹션(461, 462)을 포함한다. 내부 섹션(461, 462)은 게이트

도체(420)에 바로 인접하게 위치된다. 제1 부분(451)과 제2 부분(452)은 또한 내부 섹션(461, 462)과 소스/드레인 영역(401, 402) 사이에 넓은 섹션인 외부 섹션(471, 472)을 각각 포함할 수 있다. 밸러스팅은 내부 섹션의 길이(즉, 제1 길이(482))가 그들의 폭(즉, 제1 폭(487))의 대략 3배 내지 5배보다 더 큰 경우에 달성될 수 있다. 구체적으로, 좁은 내부 섹션(461, 462)의 길이(482)는 트랜지스터(400)가 소정의 최대 전압에서 동작할 수 있도록 핀 (450)내에 저항을 제공한다. 밸러스팅을 위한 추가의 저항은 내부 섹션(461, 462)이 소스/드레인 영역(401, 402)보다 더 낮은 농도의 소스/드레인 도펀트(즉, n형 또는 p형 도펀트)를 갖고, 내부 섹션(461, 462)의 상부 표면(495)에 인접 실리사이드 층을 갖지 않은 경우에 제공될 수 있다. 예를 들면, 도 4b에 도시된 바와 같이, 소스/드레인 영역(401, 402) 및 외부 섹션(471, 472)은 N+ 영역(492)으로 주입되고 최상부에 실리사이드(491)가 배치될 수 있지만, 제조 공정 중에 내부 섹션(461, 462)에서의 실리사이드(491) 및 N+ 영역(492)의 형성은 스페이서(411, 412)에 의해 차단될 수 있다. 도 4c를 참조하면, 밸러스팅된 FinFET(400a~c)가 병렬 세트(490)로 형성되는 경우, 개별 FET(400a~c)의 밸러스팅은 최저 브레이크다운 전압을 가진 핀이 열 폭주에 진입하여 모든 과잉 전류를 전도시키고 궁극적으로 병렬 세트(490)의 모든 FinFET(400a~c)를 파괴시키는 것을 방지한다.

[0039] 도 1과 함께 도 5를 참조하면, 핀형 전계 효과 트랜지스터, 특히 비대칭 FinFET(100)를 제조하는 방법의 실시예는 종래의 실리콘 온 인슐레이터(silicon-on-insulator; SOI) FinFET 처리 기술을 포함한다. 이 방법은 소스/드레인 영역(101, 102)을 형성하는 단계(500) 및 소스 영역(101)으로부터 드레인 영역(102)까지 연장하는 약 3~40 nm의 반도체 핀(150)을 형성하는 단계(502)를 포함한다. 구체적으로, 소스/드레인 영역과 핀은 리소그래피 패터닝되고, 소스/드레인 영역이 평행한 평면으로서 형성되고 핀(들)이 소스 영역과 드레인 영역 사이에서 연장하도록 SOI 웨이퍼의 실리콘 층 내로 에칭된다. 에칭 전에, 하드 마스크가 실리콘층 위에 증착될 수 있다.

[0040] 비대칭은 게이트 도체(120)가 드레인 영역(102)보다 소스 영역(101)에 더 근접하도록 반도체 핀(150) 부근에 게이트(예를 들면, 게이트 유전체 층과 게이트 도체(120))를 형성함으로써 제공된다(504). 게이트를 형성하기 위해, 핀 상에, 특히 핀의 노출된 실리콘 표면 및 소스/드레인 영역 위에 희생 산화물이 성장된 다음 스트립되어 임의의 불규칙성을 제거할 수 있다. 그 다음에, 게이트 유전체 층이 핀의 측벽 및 상부 표면에 성장 또는 증착될 수 있다. 게이트 유전체 층을 형성한 후에, 전도성 물질, 예를 들면 폴리실리콘이 핀 위에 증착되고 리소그래피 패터닝되고 에칭될 수 있다. 이 실시예에서, 형성된 게이트 도체는 소스 영역에 더 근접하게 위치된다. 소스 영역과 드레인 영역 사이의 게이트 도체의 배치에 있어서의 비대칭은 소스 영역(101)과 게이트 도체(120) 사이의 반도체 핀(150)의 제1 저항이 게이트 도체(120)와 드레인 영역(102) 사이의 반도체 핀(150)의 제2 저항보다 더 낮게 한다. 이 비대칭은 또한 소스 영역(101)과 게이트 도체(120) 사이의 제1 커패시턴스가 게이트 도체(120)와 드레인 영역(102) 사이의 제2 커패시턴스보다 더 크게 한다. 따라서, 게이트 도체(120)가 드레인 영역(102)보다 소스 영역(101)에 더 근접하도록 반도체 핀(150) 부근에 게이트 도체(120)를 형성하면, 소스 영역(101)과 게이트 도체(120) 사이의 핀(150)의 저항을 감소시키고 게이트 도체(120)와 드레인 영역(102) 사이의 커패시턴스를 감소시킨다. FinFET(100)의 제조를 완료하기 위해 추가의 처리들이 수행될 수 있다(506). 상기 추가의 처리는, 비제한적인 예를 들자면, 방향성 반응 이온 에칭 처리에 의해 선택적 하드 마스크를 스트립하는 단계; 소스/드레인 연장부를 주입(즉, 게이트 도체와 소스/드레인 영역 사이의 핀의 섹션들을 주입)하는 단계; 할로(halo)를 형성하는 단계; 핀 스페이서를 형성하는 단계; 게이트 측벽상에 스페이서를 형성하는 단계; 소스/드레인 영역에 N+를 주입하는 단계; 핀의 상부 표면 상에, 소스/드레인 영역의 상부 표면 상에, 및/또는 게이트 도체가 캡 없이 폴리실리콘 물질로 형성되는 경우 게이트 도체의 상부 표면 상에 실리사이드 층(예를 들면, Co, Ni 등)을 형성하는 단계; 추가의 유전체 층을 증착 및 평탄화하여 게이트 접점을 형성하고 소스/드레인 접점을 형성하는 단계 등을 포함한다. 복수의 반도체 핀이 동일한 소스/드레인 스트랩을 공유하는 다중 트랜지스터(100)를 동시에 형성하기 위해 동일한 처리 단계들이 사용될 수 있다는 것을 주목하여야 한다.

[0041] 도 2와 함께 도 6을 참조하면, 비대칭 FinFET(200)를 제조하는 방법의 다른 실시예도 또한 종래의 실리콘 온 인슐레이터(SOI) FinFET 처리 기술을 포함한다. 이 방법은, 위에서 상세히 설명한 바와 같이, 소스/드레인 영역(201, 202)을 형성하는 단계(600)와, 소스 영역(201)으로부터 드레인 영역(202)까지 연장하는 좁은 반도체 핀(250)을 형성하는 단계(602)를 포함한다. 그러나, 본 발명의 이 실시예에서, 게이트(게이트 도체(220)를 포함함)는 소스 영역(201)과 드레인 영역(202) 사이에서 등거리(283)로 반도체 핀(250) 부근에 형성될 수 있다(604). 단계 604에서 게이트가 형성된 후에, 게이트 도체의 어느 일측(예를 들면, 게이트 도체와 소스 영역 사이 및 게이트 도체와 드레인 영역 사이)에서 핀의 치수는 게이트 도체와 소스 영역 사이의 핀의 제1 부분의 제1 저항 및 게이트 도체와 드레인 영역 사이의 핀의 제2 부분의 제2 저항을 변화시키도록 조정된다(605). 구체적으로, 제1 부분(251)의 치수는 제1 폭(287)(예를 들면, 3~40 nm)을 가진 제1 내부 섹션(261)이 게이트 도체(220) 부근에 위치되고, 제1 폭(287)보다 더 큰 제2 폭(288)을 가진 제1 외부 섹션(271)이 제1 내부 섹션(261)과 소스

영역(201) 사이에 위치되도록 조정될 수 있다. 유사하게, 제2 부분(252)의 치수는 제2 내부 섹션(262)과 제2 외부 섹션(272)을 형성하도록 조정될 수 있다. 내부 섹션은 각각 동일한 폭(287)을 갖고 외부 섹션은 동일한 폭(288)을 가질 수 있다. 제2 내부 섹션(262)이 제1 내부 섹션(262)보다 더 긴 경우에 비대칭이 달성될 수 있고, 이것에 의해 소스 영역(201)과 게이트 도체(220) 사이의 핀(250)의 저항이 감소되고, 게이트 도체(220)와 드레인 영역(201) 사이의 캐패시턴스가 감소된다. 제1 내부 섹션(261)이 제1 폭(287)(예를 들면, 3~40 nm)과 대략 동일한 제1 길이(284)로 형성되고, 제2 내부 섹션(262)이 제1 폭(287)의 대략 3배 내지 5배보다 더 큰 제2 길이(282)(예를 들면, 9~200 nm)로 형성되는 경우, 최적의 비대칭이 달성될 수 있다.

[0042] 단계 605에서 핀의 치수를 조정하기 위하여, 전술한 바와 같이 단계 604에서 게이트 도체(220)를 포함한 게이트를 형성한 후에, 핀(250)의 제1 부분(251) 및 제2 부분(252) 각각의 위에서 게이트 도체(220)의 측면(221, 222)의 바로 위에 제1 스페이서(211)와 제2 스페이서(212)가 동시에 형성된다(606, 도 7 참조). 예를 들면, 스페이서(211, 212)는 게이트 도체(220)의 측면(221, 222) 상에 약 9~200nm 두께의 이산화실리콘 층을 성장 또는 증착함으로써 형성될 수 있다. 스페이서(211, 212)는 초기에 동일한 두께(282)를 갖도록 형성될 수 있다. 이 두께(282)는 원래 형성된 핀의 폭(287)(즉, 제1 폭)(예를 들면, 3~40 nm)의 약 3배 내지 5배보다 더 커야 한다. 따라서, 각 스페이서(211, 212)는 약 9~200 nm 두께의 것일 수 있다. 추가적으로, 스페이서(211, 212)는 핀(250)의 제1 부분(251)의 제1 노출 섹션(276)이 제1 스페이서(211)와 소스 영역(201) 사이에 유지되고 핀(250)의 제2 부분(252)의 제2 노출 섹션(275)이 제2 스페이서(212)와 드레인 영역(202) 사이에 유지되도록 형성되어야 한다. 단계 606에서 스페이서(211, 212)가 형성된 후에, 제1 스페이서(211)의 사이즈(즉, 두께(282))는 스페이서(211)가 제1 폭(287)과 대략 동일한 다른 두께(284)를 갖도록 감소된다(608, 도 2 참조). 제1 스페이서의 두께를 감소시키는 하나의 기술은 제2 스페이서(212)를 마스크(277)하는 단계(610, 도 8 참조) 및 그 다음 제1 스페이서를 등방 에칭하는 단계(612, 도 8 참조)를 포함한다. 에칭 처리는 제1 스페이서(211)의 상부 표면(213) 뿐만 아니라 제1 스페이서(211)의 노출된 측면(215)을 에치백하여 스페이서의 두께를 감소시킨다. 제1 스페이서(211)의 두께가 감소되면 마스크(277)를 제거한다(614). 제1 스페이서의 두께를 감소시키는 다른 기술은 제2 스페이서(212)의 주입이 게이트 도체(220)에 의해 차단되도록(즉, 부분적으로 차단되도록) 제1 스페이서(211)를 향해 소정 각도(216)(90도 미만)로부터 이산화실리콘 스페이서(211, 212) 내로 불활성종(217)(예를 들면, 실리콘, 아르곤, 크세논 등)을 주입하는 단계를 포함한다. 따라서, 제1 스페이서(211)는 더 큰 농도의 불활성 물질(217)을 수용하고, 이것은 제1 스페이서(211)의 에칭율을 향상시킨다(616, 도 9 참조). 그 다음에, 더 큰 농도의 불활성종을 가진 제1 스페이서(211)가 제2 스페이서(212)보다 더 빠른 속도로 에칭되도록 에칭 처리가 수행된다(618, 도 10 참조). 다시, 에칭 처리(618)는 제1 스페이서(211)의 상부 표면(213) 뿐만 아니라 제1 스페이서(211)의 노출된 측면(215)도 에치백하여 스페이서의 두께를 감소시킨다.

[0043] 단계 608에서 제1 스페이서(211)의 두께가 감소되면, 추가의 반도체 물질(예를 들면, 실리콘, 실리콘 게르마늄, 실리콘 게르마늄 카바이드 등)이 제1(276) 및 제2(275) 노출 섹션 위에 형성된다(620, 예를 들면, 도 8 및 도 10 참조). 추가의 반도체 물질을 형성하는 처리(620)는 핀(250)의 노출 섹션(275, 276) 위뿐만 아니라 실리콘 소스/드레인 영역 위에 실리콘, 실리콘 게르마늄, 또는 실리콘 게르마늄 카바이드를 선택적으로 성장시킴으로써 달성될 수 있다. 이 처리(620)는 제1 및 제2 외부 섹션(271, 272)을 형성한다(도 2 참조). 따라서, 제1 및 제2 내부 섹션(261, 262)은 제1 스페이서(211)와 제2 스페이서(212) 아래에 각각 유지되는 핀(250)의 섹션들이다. 위에서 상세히 설명한 바와 같이, FinFET(200)의 제조를 완료하기 위한 추가의 처리들이 수행될 수 있다(622, 도 6). 다수의 반도체 핀이 동일한 소스/드레인 스트랩을 공유하는 다중 트랜지스터(200)를 동시에 형성하기 위해 동일한 처리 단계들이 사용될 수 있다는 점에 주목하여야 한다.

[0044] 도 3a와 함께 도 11을 참조하면, 핀형 전계 효과 트랜지스터, 특히 밸러스트된 FinFET(300)를 제조하는 방법의 실시예는 소스/드레인 영역(301, 302)을 형성하는 단계 및, 위에서 상세히 설명한 바와 같은 종래의 FinFET 처리 기술을 이용하여 반도체 핀(350)을 형성하는 단계를 포함한다(1100~1102). 게이트 유전체 층과 게이트 도체(320)를 포함하는 게이트는 게이트 도체(320)가 소스 영역(301)과 드레인 영역(302) 사이에서 등거리(383)로 되도록 반도체 핀 부근에 형성된다(1104, 전술한 게이트 형성 처리에 관한 상세한 설명 참조). 밸러스팅은 게이트 도체(320)와 소스 영역(301) 사이 또는 게이트 도체(320)와 드레인 영역(302) 사이의 핀(350)의 길이(383)가 반도체 핀(350)의 폭(388)의 약 3배보다 더 크도록 게이트를 형성함으로써 달성될 수 있다. 이 길이(383)는 반도체 핀(350) 내에 추가의 저항을 제공하여 트랜지스터(300)가 소정의 최대 전압에서 동작할 수 있게 한다. 소스/드레인 영역(301, 302), 핀(350), 및 게이트 도체(320)를 포함한 게이트가 형성되면 FinFET의 제조를 완료하기 위한 추가의 처리 단계들이 수행될 수 있다(1106, 전술한 상세한 설명 참조). 밸러스팅을 위한 추가의 저항은(예를 들면, 단계 1106에서 핀(350)으로의 N+ 영역(392)의 주입을 차단함으로써, 도 3b 참조) 소스/드레인 영역보다 더 낮은 농도의 소스/드레인 도펀트를 갖고(1108)(예를 들면, 단계 1106에서 핀(350)의 상부 표면(395)

상에서 실리사이드 층(391)의 형성을 차단함으로써, 도 3b 참조) 핀(350)의 상부 표면(395) 상에 실리사이드 층이 없는(1110) 반도체 핀(350)을 형성함으로써 제공될 수 있다. 다수의 반도체 핀이 동일한 소스/드레인 스트랩을 공유하는 다중 트랜지스터(300)(도 3c 참조)를 동시에 형성하기 위해 동일한 처리 단계들이 사용될 수 있다는 점에 주목하여야 한다.

[0045] 대안적으로, 도 12와 도 4a를 함께 참조하면, 밸리스팅된 FinFET(400)를 제조하는 방법의 실시예는 소스/드레인 영역(401, 402)을 형성하는 단계 및, 위에서 상세히 설명한 바와 같은 종래의 FinFET 처리 기술을 이용하여 반도체 핀(450)을 형성하는 단계를 포함한다(1200~1202). 게이트 유전체 층과 게이트 도체(420)를 포함하는 게이트는 게이트 도체(420)가 소스 영역(401)과 드레인 영역(402) 사이에서 등거리(483)로 되도록 반도체 핀(450) 부근에 형성된다(1204, 전술한 상세한 설명 참조). 단계 1204에서 게이트를 형성한 후에, 트랜지스터가 소정의 최대 전압에서 동작할 수 있도록 저항을 최적화하기 위하여 핀의 치수가 조정될 수 있다(1205). 핀의 치수는 게이트 도체에 인접한 내부 섹션보다 더 넓은 소스/드레인 영역에 인접한 핀의 외부 섹션을 형성함으로써 조정될 수 있다. 구체적으로, 소스 영역(401)과 게이트 도체(420) 사이에서 연장하고 게이트 도체(420)에 의해 덮이지 않은 핀(450)의 제1 부분(451) 및 게이트 도체(420)와 드레인 영역(402) 사이에서 연장하는 제2 부분(452) 둘다의 치수가 조정될 수 있다. 상기 치수는 동일한 폭(487)(즉, 제1 폭(487)) 및 동일한 길이(즉, 제1 길이(482))를 가진 내부 섹션(461, 462)이 게이트 도체 부근에 위치되도록 조정될 수 있다. 또한 상기 치수는 동일한 폭(488)(즉, 제2 폭) 및 동일한 길이(481)(즉, 제2 길이)를 가진 외부 섹션(471, 472)이 소스/드레인 영역 부근에 위치되도록 조정될 수 있다. 외부 섹션(471, 472)은 그들의 폭(488)이 내부 섹션(461, 462)의 폭(487)보다 더 크게 되도록 형성된다. 밸리스팅은 내부 섹션(461, 462)의 길이(482)가 핀의 원래 폭(즉, 제1 폭(487))의 약 3배보다 더 크도록 내부 및 외부 섹션을 형성함으로써 달성될 수 있고, 이것에 의해, 트랜지스터(400)가 소정의 최대 전압에서 동작할 수 있도록 제1 및 제2 내부 섹션(461, 462) 내에 충분한 저항을 제공할 수 있다.

[0046] 단계 1205에서 핀의 치수를 조정하여 전술한 바와 같이 내부 섹션(461, 462)과 외부 섹션(471, 472)을 형성하기 위해, 스페이서(461, 462)가 게이트 도체(420)의 양측(421, 422)에 바로 인접한 핀(450)의 제1 및 제2 부분(451, 452) 상부에(예를 들면, 핀(450)의 상부 표면 및 양 측벽에) 형성된다(1206, 도 13 참조). 스페이서(411, 412)들은 제1 폭(487)(즉, 단계 1202에서 초기에 형성된 핀의 폭(예를 들면, 3~40 nm))의 약 3배 내지 5배보다 더 큰 두께(482)를 갖도록 (예를 들면, 이산화 실리콘을 성장 또는 증착시킴으로써) 형성될 수 있다. 스페이서들은 또한 핀(450)의 제1 및 제2 노출 섹션(476, 475)들이 스페이서(411, 412)와 소스/드레인 영역(401, 402) 사이에 유지되도록 형성되어야 한다. 스페이서(411, 412)가 형성되면, 추가의 반도체 물질(예를 들면, 실리콘, 실리콘 게르마늄, 실리콘 게르마늄 카바이드 등)이 핀의 노출된 섹션(475, 476)상에 형성되어 제1 및 제2 외부 섹션(471, 472)을 형성한다(1208, 도 4a 참조). 따라서, 제1 및 제2 내부 섹션(461, 462)은 스페이서(411, 412) 아래에 유지되는 핀(450)의 섹션이다. 내부 섹션의 길이는 스페이서의 두께의 함수이다. 다시, 소스/드레인 영역(401, 402), 핀(450), 및 게이트 도체(420)를 포함한 게이트가 형성되면, 위에서 상세히 설명한 바와 같이 FinFET의 제조를 완료하기 위한 추가의 처리 단계들이 수행될 수 있다(1210). 밸리스팅을 위한 추가의 저항은 (예를 들면, 단계 1210에서 핀(450)으로의 N+ 영역(492)의 주입을 차단함으로써, 도 4b 참조) 소스/드레인 영역의 도펀트보다 더 낮은 소스/드레인 도펀트 농도를 가진 반도체 핀(450)의 제1 및 제2 내부 섹션(461, 462)을 형성함으로써(1212) 및 (예를 들면, 단계 1210에서 핀(450)의 상부 표면(495) 상에서 실리사이드 층(491)의 형성을 차단함으로써, 도 4b 참조) 실리사이드 층이 없는 내부 섹션을 형성함으로써(1214) 제공될 수 있다. 다수의 반도체 핀이 동일한 소스/드레인 스트랩을 공유하는 다중 트랜지스터(400)(도 4c 참조)를 동시에 형성하기 위해 동일한 처리 단계들이 사용될 수 있다는 점에 주목하여야 한다.

[0047] 지금까지 개선된 핀형 전계 효과 트랜지스터(FinFET) 구조물 및 이 구조물을 제조하는 관련 방법에 대하여 설명하였다. 일 실시예에서, FinFET 구동 전류는 게이트와 소스 영역 사이의 핀 저항을 감소시키고 게이트와 드레인 영역 사이의 커패시턴스를 감소시키도록 FinFET를 비대칭으로 구성함으로써 최적화된다. 이러한 동시에 낮은 소스-게이트 저항 및 낮은 드레인-게이트 커패시턴스 때문에, 이러한 비대칭 FinFET는 더 높은 스위칭 속도 및 감소된 전력을 가진 회로를 제공할 수 있다. 이것은 또한 더 적은 핀으로 동일한 속도를 제공할 수 있기 때문에, 물리적으로 더 작은 회로로 될 수 있고 회로의 가격을 낮출 수 있다. 다른 실시예에서, 고전압에서의 장치 파괴는 FinFET를 밸리스팅함으로써 방지된다. 구체적으로, 저항은 (예를 들면, 핀 길이를 증가시킴으로써, 핀으로부터 소스/드레인 주입을 차단함으로써, 및 핀의 상부 표면에 실리사이드 형성을 차단함으로써) 게이트와 소스 영역 사이 및 게이트와 드레인 영역 사이의 핀에서 최적화되고, 이것에 의해 FinFET가 소정의 최대 전압에서 동작할 수 있다. 이러한 밸리스팅된 FinFET는 높은 동작 전압에서 높은 신뢰도를 제공하고, 종래에 특수한 고전압 트랜지스터를 회로에 추가하기 위해 필요로 하였던 특수하고 고가의 처리 단계들을 회피할 수 있다. 비록 본 발명이 특정 실시예로 설명되었지만, 이 기술에 속련된 자라면 본 발명이 첨부된 청구범위의 정신 및 범

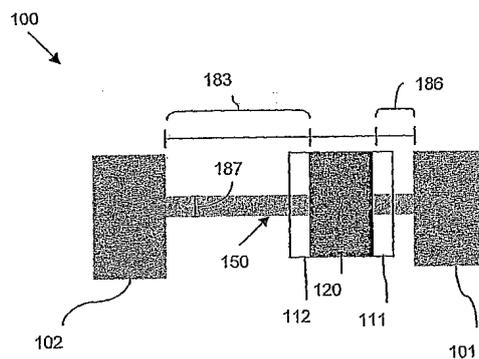
위 내에서 여러 가지로 수정하여 실시할 수 있다는 것을 인식할 것이다.

도면의 간단한 설명

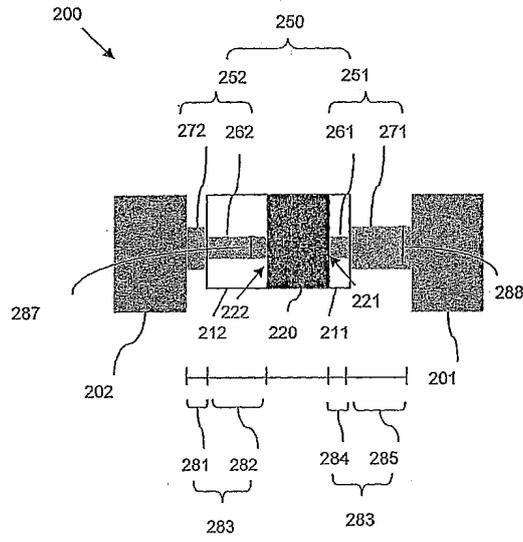
- [0014] 도 1은 본 발명의 FinFET(100)의 개략도이다.
- [0015] 도 2는 본 발명의 FinFET(200)의 개략도이다.
- [0016] 도 3a는 본 발명의 FinFET(300)의 개략도이다.
- [0017] 도 3b는 FinFET(300)의 측면 개략도이다.
- [0018] 도 3c는 직렬 FinFET(300)의 개략도이다.
- [0019] 도 4a는 본 발명의 FinFET(400)의 개략도이다.
- [0020] 도 4b는 FinFET(400)의 측면 개략도이다.
- [0021] 도 4c는 직렬 FinFET(400)의 개략도이다.
- [0022] 도 5는 FinFET(100)를 제조하는 방법을 나타내는 개략적 흐름도이다.
- [0023] 도 6은 FinFET(200)를 제조하는 방법을 나타내는 개략적 흐름도이다.
- [0024] 도 7은 부분적으로 완성된 FinFET(200)의 개략도이다.
- [0025] 도 8은 부분적으로 완성된 FinFET(200)의 개략도이다.
- [0026] 도 9는 부분적으로 완성된 FinFET(200)의 개략도이다.
- [0027] 도 10은 부분적으로 완성된 FinFET(200)의 개략도이다.
- [0028] 도 11은 FinFET(300)를 제조하는 방법을 나타내는 개략적 흐름도이다.
- [0029] 도 12는 FinFET(400)를 제조하는 방법을 나타내는 개략적 흐름도이다.
- [0030] 도 13은 부분적으로 완성된 FinFET(400)의 개략도이다.

도면

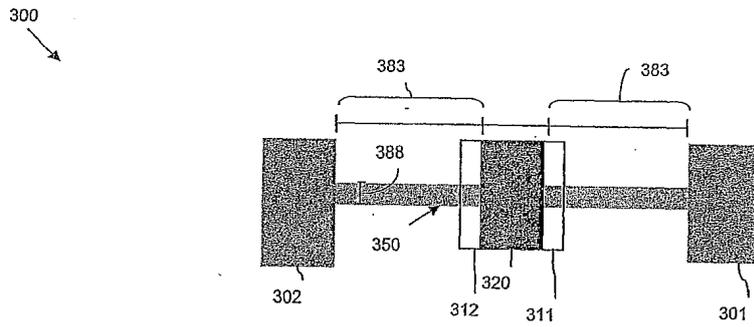
도면1



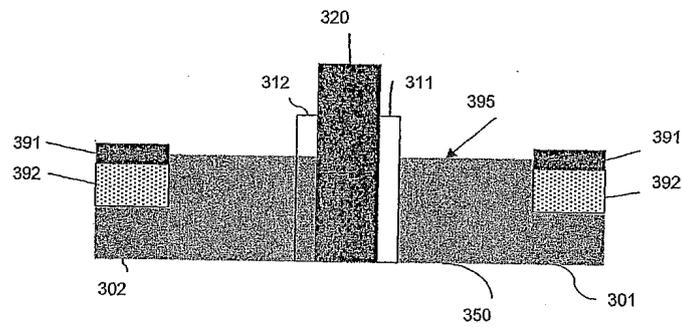
도면2



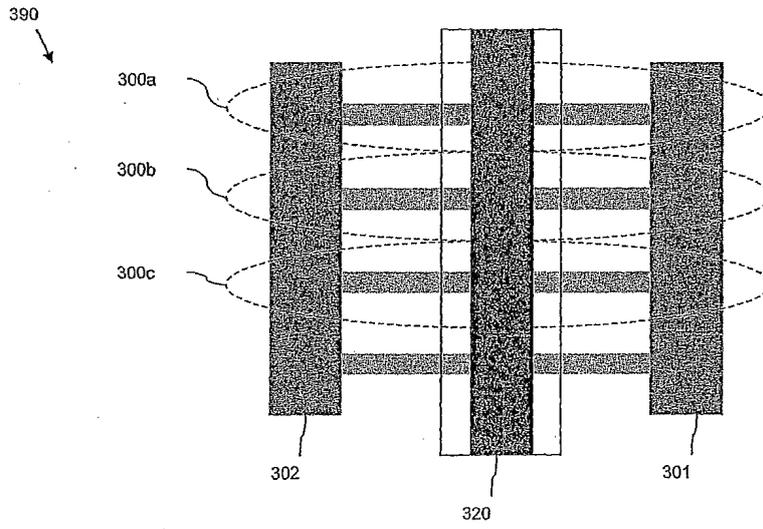
도면3a



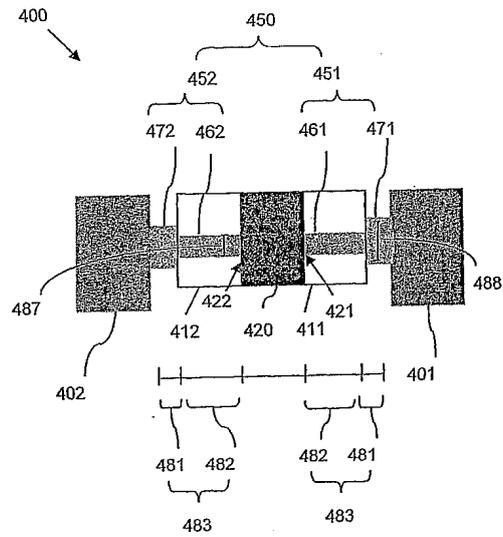
도면3b



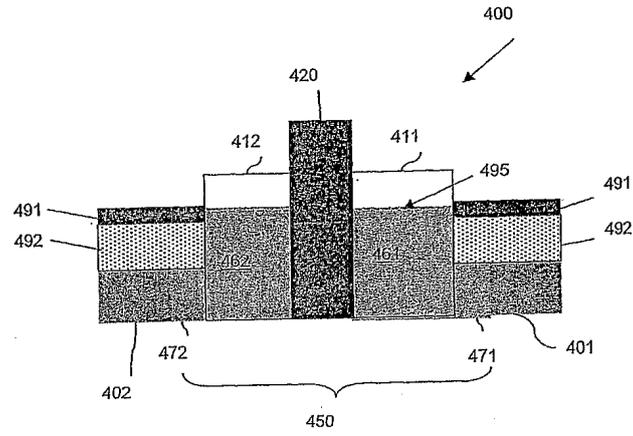
도면3c



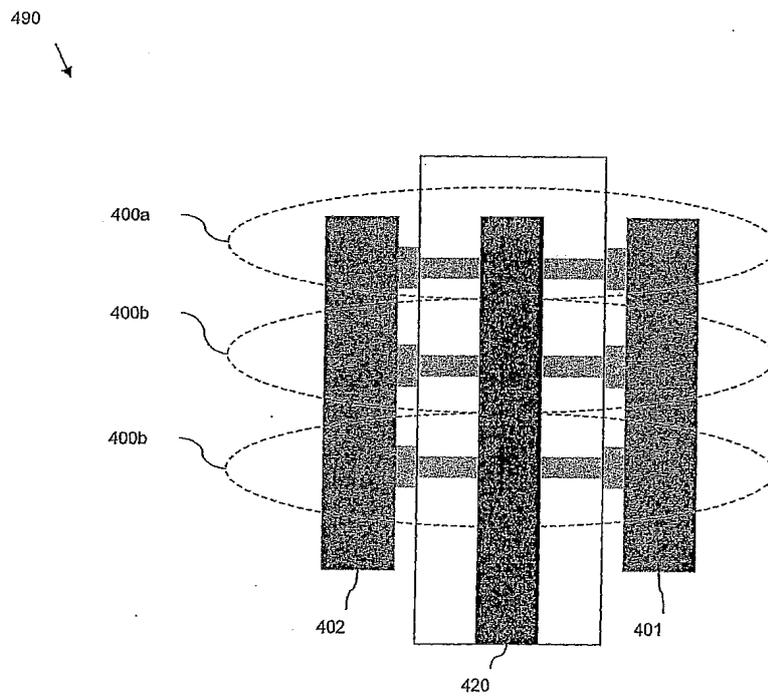
도면4a



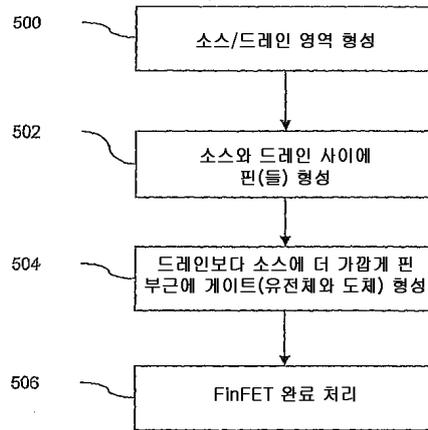
도면4b



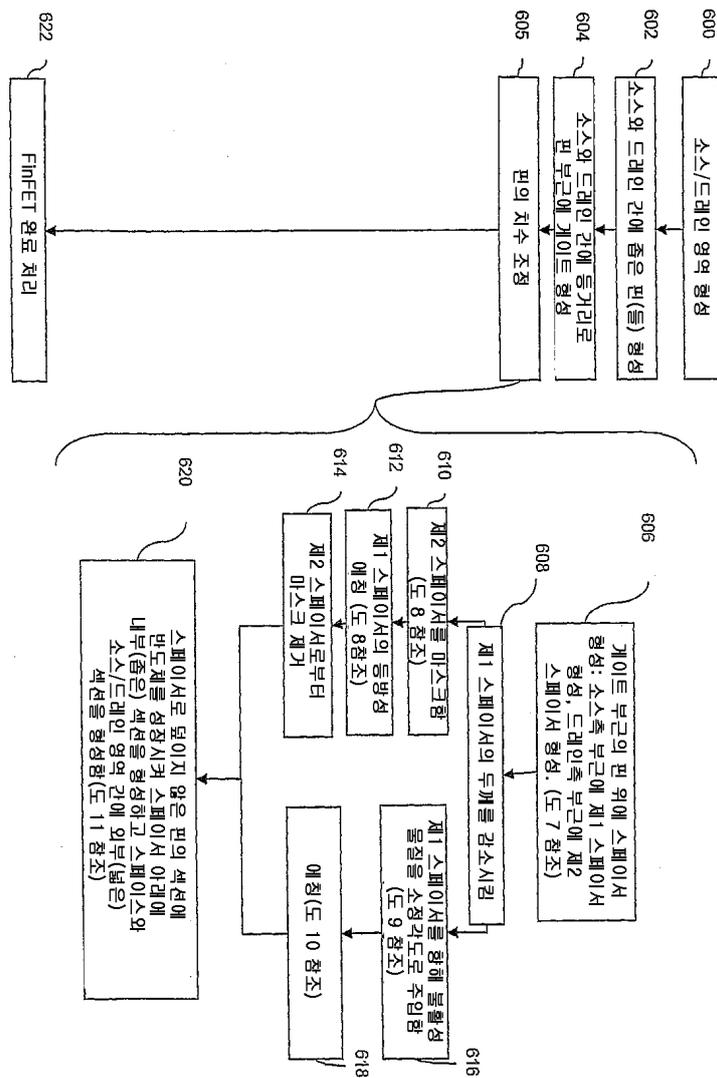
도면4c



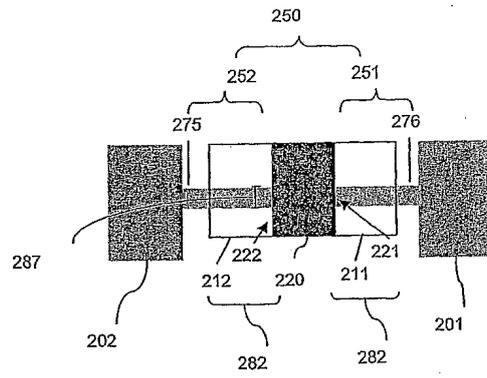
도면5



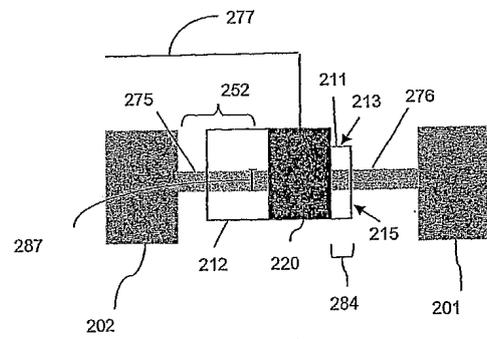
도면6



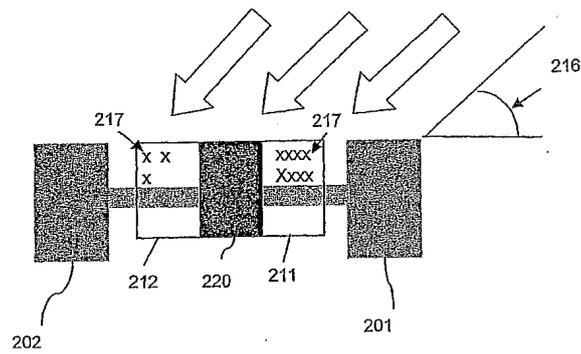
도면7



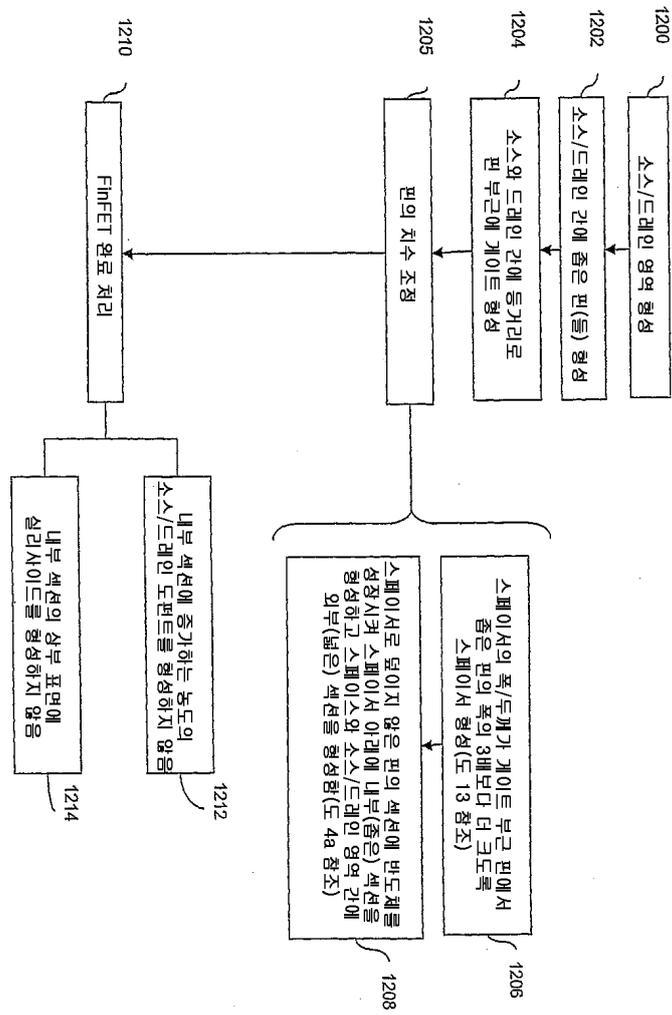
도면8



도면9



도면12



도면13

