

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年9月20日(2007.9.20)

【公開番号】特開2002-109886(P2002-109886A)

【公開日】平成14年4月12日(2002.4.12)

【出願番号】特願2000-296081(P2000-296081)

【国際特許分類】

G 11 C 11/413 (2006.01)

G 11 C 11/417 (2006.01)

【F I】

G 11 C 11/34 J

G 11 C 11/34 305

【手続補正書】

【提出日】平成19年8月7日(2007.8.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】複数のメモリセルで構成されるメモリセルアレイと、

複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第1のラッチ回路群と、

前記第1のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第1の出力回路と、

複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちの残りのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第2のラッチ回路群と、

前記第2のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第2の出力回路

とを具備することを特徴とする半導体記憶装置。

【請求項2】複数のメモリセルで構成されるメモリセルアレイと、

複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第1のラッチ回路群と、

前記第1のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第1の出力回路と、

複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちの残りのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第2のラッチ回路群と、

前記第2のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第2の出力回路と、

複数のフリップフロップ回路からなり、前記リードデータの出力を制御する前記リードデータ制御信号を前記クロックに同期して前記第1のラッチ回路群及び第2のラッチ回路群に出力するフリップフロップ回路群

とを具備することを特徴とする半導体記憶装置。

【請求項3】複数のメモリセルで構成されるメモリセルアレイと、

複数のラッチ回路を含み、前記メモリセルアレイからリードされる複数ビットのうちの偶数ビットのリードデータをラッチし、ラッチされた偶数ビットのリードデータをリードデータ制御信号に応じて順次出力する第1のラッチ回路群と、

前記第1のラッチ回路群から出力される偶数ビットのリードデータをクロックに同期して順次出力する第1の出力回路と、

複数のラッチ回路を含み、前記メモリセルアレイからリードされる複数ビットのうちの奇数ビットのリードデータをラッチし、ラッチされた奇数ビットのリードデータをリードデータ制御信号に応じて順次出力する第2のラッチ回路群と、

前記第2のラッチ回路群から出力される奇数ビットのリードデータをクロックに同期して順次出力する第2の出力回路

とを具備することを特徴とする半導体記憶装置。

【請求項4】 複数のメモリセルで構成されるメモリセルアレイと、

複数のラッチ回路を含み、前記メモリセルアレイからリードされる複数ビットのうちの偶数ビットのリードデータをラッチし、ラッチされた偶数ビットのリードデータをリードデータ制御信号に応じて順次出力する第1のラッチ回路群と、

前記第1のラッチ回路群から出力される偶数ビットのリードデータをクロックに同期して順次出力する第1の出力回路と、

複数のラッチ回路を含み、前記メモリセルアレイからリードされる複数ビットのうちの奇数ビットのリードデータをラッチし、ラッチされた奇数ビットのリードデータをリードデータ制御信号に応じて順次出力する第2のラッチ回路群と、

前記第2のラッチ回路群から出力される奇数ビットのリードデータをクロックに同期して順次出力する第2の出力回路と、

複数のフリップフロップ回路からなり、前記リードデータの出力を制御する前記リードデータ制御信号を前記クロックに同期して前記第1のラッチ回路群及び第2のラッチ回路群に出力するフリップフロップ回路群

とを具備することを特徴とする半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

【課題を解決するための手段】

上記目的を達成するために、この発明に係る半導体記憶装置は、複数のメモリセルで構成されるメモリセルアレイと、複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第1のラッチ回路群と、前記第1のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第1の出力回路と、複数のラッチ回路を含み、前記メモリセルアレイからリードされるnビットのうちの残りのn/2ビットのリードデータをラッチし、ラッチされたn/2ビットのリードデータをリードデータ制御信号に応じて順次出力する第2のラッチ回路群と、前記第2のラッチ回路群から出力されるn/2ビットのリードデータをクロックに同期して順次出力する第2の出力回路とを具備することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 7 2

【補正方法】 変更

【補正の内容】

【0 0 7 2】

本発明では上述した課題を解決すべく、リードレジスタのパイプライン方式が廃止され、図3及び図4に示すように、even側のリードデータ RD<0,2,4,6>を受ける為に4つのLat(ラッチ)回路が、odd側のリードデータ RD<1,3,5,7>を受ける為に4つのLat(ラッチ)回路が配置されている。このeven側、odd側のLat回路から出力されたリードデータをそれぞれの側のODDRV(out driver)回路(出力回路)で受け、eRead、oReadを順次出力する回路となっている。