

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97/15600

※ 申請日期：97.4.28

※IPC 分類：H04N5/335;H03F1/26;
(2011.01) (2006.01)
H03F1/34;G11C11/41
(2006.01) (2006.01)

一、發明名稱：(中文/英文)

固態成像器件、成像裝置及電子裝置

SOLID-STATE IMAGING DEVICE, IMAGING APPARATUS, AND
ELECTRONIC APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

田浦 忠行

TAURA, TADAYUKI

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年05月18日；特願2007-132787

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種固態成像器件，其包括：一像素單元，其中排列單元像素；一互補信號產生單元，其根據從該像素單元中的個別單元像素所讀出的類比像素信號產生彼此具有互補性的二種互補信號；二種互補信號線，在其上發射該二種互補信號；一水平掃描單元，其傳輸該等互補信號線上的該二種互補信號之每一者；以及一差動放大單元，其接收具有差動輸入之該二種互補信號線上的信號而且比較該等信號。

六、英文發明摘要：

A solid-state imaging device includes a pixel unit in which unit pixels are arrayed, a complementary-signal generating unit that generates two kinds of complementary signals having complementarity with each other on the basis of analog pixel signals read out from the respective unit pixels in the pixel unit, two kinds of complementary signal lines on which the two kinds of complementary signals are transmitted, a horizontal scanning unit that transfers each of the two kinds of complementary signals on the complementary signal lines, and a differential amplifying unit that receives the signals on the two kinds of complementary signal lines with differential inputs and compares the signals.

七、指定代表圖：

(一)本案指定代表圖為：第 (5B) 圖。

(二)本代表圖之元件符號簡單說明：

404	傳輸驅動器
404x	傳輸驅動器
411	主要放大單元
413	匯流排BUS
413x	匯流排xBUS
415	第二位準調整單元
415x	第二位準調整單元
416	第三位準調整單元
416x	第三位準調整單元
417	第二振幅位準改變單元
417x	第二振幅位準改變單元
418	差動放大單元
419	閃鎖單元
440	PMOS電晶體
442	NMOS電晶體
450	NMOS電晶體
452	PMOS電晶體
454	PMOS電晶體
456	NMOS電晶體
460	偏壓單元
462	PMOS電晶體

464	NMOS 電 晶 體
D	原 始 資 料
D-Tr	驅 動 電 晶 體
VD	電 壓 資 訊
VQ	電 壓 資 訊
xVQ	電 壓 資 訊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種為用於偵測一實體數量分佈的一半導體器件之一範例的固態成像器件、一種成像裝置以及一種電子裝置，而且更特定言之，係關於一種按順序輸出信號至其他功能單元以及至外側(例如，藉由水平地傳輸該等信號)的機制。

相關申請案之交互參考

本發明包含與2007年5月18日在日本專利局所申請之日本專利申請案JP 2007-132787相關的主旨，該申請案之全部內容係以引用之方式併入本文中。

【先前技術】

在電路領域中，通常按順序將藉由某一功能單元所產生的電性信號傳輸至其他功能單元以及至外側(例如，藉由水平傳輸)。

例如，在各種領域中使用一實體數量分佈偵測半導體器件，其係藉由在矩陣形狀中排列複數個單元元件(例如像素)而組態，該等單元元件對從外側(例如光或輻射)所輸入的電磁波之實體數量、壓力(接觸等)或類似物的變化具有敏感性。

舉例而言，在視訊裝置領域中，使用包括CCD(電荷耦合器件)類型或者MOS(金氧半導體)或CMOS(互補式金氧半導體)類型之成像元件(成像器件)的固態成像器件，其偵測作為實體數量之一範例的光(電磁波之一範例)之變化。

近年來，作為固態成像器件之一範例，能克服CCD影像感測器中固有的各種問題之MOS及CMOS影像感測器引人關注。在電腦裝置領域中，使用指紋鑑認器件及類似物，其基於壓力根據電性特性之變化或光學特性之變化來偵測指紋之影像。此等器件讀出作為一電性信號的一實體數量分佈，其係藉由單元元件(固態成像器件中的像素)轉換成一電性信號。

例如，對於像素之每一者，CMOS影像感測器具有藉由一浮動擴散放大器及類似物所組態的一放大器電路。在讀出一像素信號時，通常使用稱為行並列輸出類型或行類型之系統。行並列輸出系統或行系統係用於(作為位址控制之一範例)選擇一像素陣列單元之某一系列，同時存取該一系列中的像素，而且為該一系列中的所有像素同時且並列從該像素陣列單元讀出像素信號之系統。

在固態成像器件中，可採用一系統，其用於使用類比至數位轉換器將從該像素陣列單元所輸出的類比像素信號轉換成數位資料並接著輸出該數位資料至外側。

同樣的情況適合於行並列輸出類型之固態成像器件。已將各種信號輸出電路設計為用於固態成像器件之信號輸出電路。作為信號輸出電路之最先進形式的範例，考量包括用於行之每一者的AD轉換器並取出至外側的影像資訊作為數位資料的系統(參見(例如)W. Yang等人，"積體800×600 CMOS影像系統"，ISSCC99技術論文摘要，第17次會議/論文WA17.3，第304至305頁，二月，IEEE，

1999(此後稱為非專利文件1))。

作為AD轉換系統，已從電路大小、處理速度(速度上的增加)、解析度及類似物之觀點考量各種系統。舉例而言，存在稱為斜率整合類型或斜面信號比較類型(在此說明書中，此後稱為參考信號比較類型)並用於將類比單元信號與其數值會逐漸改變的所謂斜面狀參考信號(斜面波)比較之一AD轉換系統，其用於將單元信號轉換成數位資料，與此比較處理並列執行計數處理，並且根據當完成該比較處理時的一點處的計數值來獲取單元信號之數位資料。在非專利文件1中，揭示採用參考信號比較類型之AD轉換系統的組態範例。自像素的類比輸出能在低頻帶中行並列地經歷AD轉換。可以說此係適合於實現高影像品質及高速之影像感測器。

【發明內容】

然而，當將基於從單元像素所獲得之影像信號的資訊輸出至後級(一般而言，稱為水平傳輸)時，用於水平傳輸之信號線(資訊傳輸路徑：特定言之，稱為水平信號線)中存在的寄生電容造成一問題。當寄生電容之電容值增加時，寄生電容更可能引起信號延遲並預防資訊傳輸之速度的增加。

例如，當執行高速操作以(例如)增加框率時，有必要以高速執行諸如列掃描及水平傳輸之操作。當涉及AD轉換時，還有必要以高速執行AD轉換。當需要在高速操作期間增加水平傳輸之速度時，直至藉由行位址選擇所指明之

一行的資訊輸出級驅動水平信號線並且該行的資訊在一後級到達一電路之時間係主要的。

當採用行並列輸出類型時，用於水平方向上之像素行的資訊輸出級係連接至水平信號線。個別資訊輸出級之寄生電容經組合用以形成總寄生電容 C 。由於作為資訊傳輸路徑的水平信號線之長度所致的線電阻 R 會根據像素行之數目而增加。採用作為負載的大寄生電容 C 及大線電阻 R 來驅動一選定行的資訊輸出級。寄生 CR 會限制像素資訊之傳輸速度。近年來，因為存在對像素增加之要求，所以連接至水平信號線的資訊輸出級之數目趨向於增加。此限制近年來特定要求的高速操作。

因此，需要提供一機制，其按順序傳輸並輸出信號至其他功能單元以及至一器件之外側而且能以速度傳輸信號。

依據本發明之一具體實施例，提供一種固態成像器件，其包括：一互補信號產生單元，其根據從一像素單元之個別單元像素所讀出的類比像素信號產生彼此具有互補性的二種互補信號；二種互補信號線，其發射該二種互補信號；一水平掃描單元，其傳輸該等互補信號線上的該二種互補信號；以及一差動放大單元，其接收具有差動輸入之該二種互補信號線上的信號而且比較該等信號。

坦率而言，固態成像器件具有一特性，因為當水平傳輸像素資訊時，將該像素資訊傳輸為彼此具有互補性的二種互補信號而且在一後級藉由差動放大單元來重製原始資訊(或與其等效的資訊)。

固態成像器件可形成為一個晶片或可以為模組狀形式，其具有藉由共同地封裝一成像單元及一信號處理單元所形成的成像功能。

該具體實施例亦適用於成像裝置。在此情況下，成像裝置獲得與固態成像器件之效應相同的效應。成像裝置指具有成像功能的相機(或相機系統)或可攜式裝置。"成像"不僅包括在正常相機攝影期間捕捉影像而且包括更廣意義上的指紋偵測及類似動作。

依據本發明之另一具體實施例，提供一種電子裝置，其包括：二種互補信號線，其發射彼此具有互補性的二種互補資訊；一掃描單元，其分別傳輸該等互補信號線上的該二種互補資訊；放大單元，其分別放大該二種互補信號線上的該二種互補資訊；以及一差動放大單元，其接收藉由具有差動輸入之該等放大單元所放大的個別信號而且比較該等信號。

坦率而言，該電子裝置具有一特性，因為當傳輸資訊時，將該資訊傳輸為彼此具有互補性的二種互補資訊而且在一後級藉由差動放大單元來重製原始資料。特定言之，該電子裝置具有一特性，因為在互補信號線與差動放大單元之間插入放大單元而且將信號線側上的振幅設定為小並將差動放大單元之輸入側上的振幅設定為大。

依據本發明之一具體實施例，像素資訊係傳輸為互補信號並在後級由差動放大單元所重製。因此，即使雜訊在信號線上的信號中得到混合，仍能抵消雜訊的影響。因此，

可以執行高速傳輸。

依據本發明之另一具體實施例，數位資料係傳輸為互補資料並在後級由差動放大單元所重製。因此，即使雜訊在信號線上的信號中得到混合，仍能抵消雜訊的影響。在互補信號線與差動放大單元之間插入放大單元而且將信號線側上的振幅設定為小並將差動放大單元之輸入側上的振幅設定為大。因此，能解決由於作為匯流排線之水平信號線上的寄生電容所致的問題。此係因為與在傳輸具有大振幅的資訊中比較，在傳輸具有小振幅的資訊中，功率消耗為較小而且可以進行高速傳輸操作。

【實施方式】

此後參考附圖說明本發明之具體實施例。在以下說明的一範例中，將為X-Y位址類型之固態成像器件之一範例的CMOS固態成像器件用作一器件。假定藉由NMOS形成CMOS固態成像器件之所有像素。

然而，此僅為一範例。待使用的一器件並不限於MOS類型之固態成像器件。下文中說明的所有具體實施例均可採用相同方式應用於所有半導體器件以偵測藉由在線形狀或矩陣形狀中排列複數個單元元件所形成的實體數量分佈，該等單元元件對從外側(例如光或輻射)所輸入的電磁波具有敏感性。

<固態成像器件之概覽>

圖1係作為依據本發明之一具體實施例之固態成像器件的CMOS固體成像器件(CMOS影像感測器)之示意圖。

固態成像器件1具有一像素單元，其中在列及行中(即，在二維矩陣形狀中)排列包括光接收元件(電荷產生單元之一範例)的複數個像素，其輸出對應於入射光數量的信號。從個別像素所輸出的信號為電壓信號。在固態成像器件1中行並列地提供CDS(相關雙重取樣)處理功能單元、ADC(類比數位轉換器)以及類似物。

"行並列地提供CDS處理功能單元及數位轉換單元"意指實質上與垂直行中的垂直信號線(行信號線之一範例)19並列地提供複數個CDS處理功能單元及複數個數位轉換單元。

當在平面中觀察器件時，可相對於像素陣列單元10將所有個別複數個功能單元配置在行方向上的僅一個邊緣側(配置在圖中的下部側上之一輸出側)上。或者，可相對於像素陣列單元10及一個邊緣側之相反側上的另一邊緣側(圖中的一上部側)而將個別複數個功能單元分開地配置在行方向上的一個邊緣側(配置在圖中的下部側上之一輸出側)上。在後者情況下，明智的係執行列方向上的讀出掃描(水平掃描)之水平掃描單元係亦分開地配置在個別邊緣側上而且能彼此獨立地操作。

例如，作為行並列地提供CDS處理功能單元及數位轉換單元之一典型範例，存在一行類型，其中為稱為提供在一成像單元之輸出側上的一行區域之一部分中的個別垂直行提供CDS處理功能單元及數位轉換單元而且按順序將信號讀出至輸出側。固態成像器件1並不限於行類型(行並列類

型)。亦可以採用(例如)以 N 條線(N 係正整數；在 N 條線當中配置 $N-1$ 條線)之間隔來分配一個CDS處理功能單元及一個數位轉換單元至鄰近複數條(例如二條)垂直信號線19(垂直行)之形式或分配一個CDS處理功能單元及一個數位轉換單元至 N 個垂直信號線19(垂直行)之形式。

在除行類型以外的所有形式中，複數條垂直信號線19(垂直行)共同使用一個CDS處理功能單元以及一個數位轉換單元。因此，提供一切換電路(開關)，其用於為複數個行供應從像素陣列單元10側所供應的像素信號至一個CDS處理功能單元及一個數位轉換單元。根據在後級的處理，分離地需要措施，例如用於提供儲存輸出信號之記憶體的措施。

在任何情況下，藉由採用(例如)分配一個CDS處理功能單元及一個數位轉換單元至複數條垂直信號線19(垂直行)之形式，與在讀出像素行單元中的像素信號之後對個別像素信號執行信號處理以執行個別單元像素中的相同信號處理之形式比較，可以簡化個別單元像素中的結構並應付一影像感測器之像素的增加、大小的減小、成本的減少及類似物。

能在行並列配置的複數個信號處理單元中同時並列處理一列之像素信號。因此，與在輸出電路側上以及器件之外側上的一個CDS處理功能單元及一個數位轉換單元中執行處理之情況比較，能以低速驅動信號處理單元。該形式係在功能節省、頻帶效能、雜訊及類似物方面有利。換言

之，當將功率消耗、頻帶效能、雜訊及類似物設定為相同時，整個感測器的高速操作為可行。

在行類型之結構的情況下，亦存在一優點：能以低速驅動信號處理單元，結構在功率消耗、頻帶效能、雜訊及類似物方面有利而且不需要切換電路(開關)。在以下說明的具體實施例中，採用行類型，除非另外明確陳述。

如圖1所示，依據此具體實施例的固態成像器件1包括：亦稱為一像素單元、一成像單元以及類似物的像素陣列單元10，其中在列及行中排列複數個像素3；一驅動控制單元7，其係提供在像素陣列單元10之外側上；一讀出電流源單元24，其為讀出至像素陣列單元10之單元像素3的像素信號供應操作電流(讀出電流)；一行處理單元26，其具有配置個別垂直行的行電路25；以及一輸出電路(S/A：感測放大器)28。將個別功能單元提供在一相同半導體基板上。

必要時可在輸出電路28之後級提供數位算術單元29。"必要時"意指(例如)在行電路25之後級而非在行電路25或對應於補數計數處理的資料校正中執行一重設位準Srst與一信號位準Ssig之間的差動處理並且藉由行處理單元26執行其他多重累積處理。

在圖1中，基於簡化解說之目的，現在顯示列及行之一部分。然而，實際上，在個別列及行中配置數十至數千個單元像素3。單元像素3通常包括作為係偵測單元之一範例的發光元件(電荷產生單元)之光二極體，以及像素(像素信

號產生單元之一範例)內具有用於放大的半導體元件(例如，電晶體)之放大器。

在固態成像器件1中，像素陣列單元10可藉由使用彩色分離濾波器而適用於彩色成像。換言之，像素陣列單元10係適應於藉由提供彩色分離濾波器之任一者的彩色濾波器所成像的彩色影像，該等彩色分離濾波器係藉由複數個彩色之彩色濾波器的組合來形成，該等彩色濾波器用於在(例如)光接收表面上的所謂貝爾陣列中成像彩色影像，在該等表面上入射個別電荷產生單元(光二極體等)之電磁波(在此範例中，為光)。

行電路25之每一者具有一差動處理單元(CDS)25a之功能，該差動處理單元執行就在像素重設之後的一信號位準(此後稱為重設位準)(其係像素信號So之一參考位準)，與用以獲取藉由該重設位準與該信號位準之間的差異所指示的信號成分之一信號位準之間的差動處理；以及一AD轉換單元(ADC)25b，其將作為係該像素信號之參考位準的該重設位準與該信號位準之間的差異之信號成分轉換成N位元數位資料。

差動處理單元25a與AD轉換單元25b之配置的順序係任意的。例如，如圖1所示，差動處理單元25a可執行一類比重設位準與一類比信號位準之間的差動處理而且AD轉換單元25b可將差動處理之結果轉換成數位資料。或者，儘管未在該圖中顯示，但是AD轉換單元25b可分別將重設位準及信號位準轉換成數位資料，而且差動處理單元25a可

計算個別數位資料之間的差異。在AD轉換單元25b中將像素信號轉換成數位資料並非絕對必要的。

差動處理單元25a之功能係等效於用於計算一重設位準 S_{rst} 與一信號位準 S_{sig} 之間的差異之處理，該信號位準包括像素信號電壓 V_x (等效於所謂的CDS處理)的真實信號成分 V_{sig} (對應於接收的光數量)。採用該功能，可以移除稱為固定圖案雜訊(FPN)及重設雜訊的雜訊信號成分。

採用此方式，依據此具體實施例的行電路25能經組態用以作為AD轉換/雜訊移除信號處理器件，其具有用於將從像素陣列單元10所傳輸的類比像素信號轉換成數位資料之AD轉換功能以及控制並移除雜訊成分之功能。行電路25為一系列同時將從藉由選擇一系列位址的垂直掃描單元14加以選擇之一列中的單元像素3所輸出的像素信號電壓 V_x 轉換成 n 位元數位資料並執行雜訊移除信號處理。

作為行處理單元26中的AD轉換處理，可以採用使用提供在個別行中的行電路25(更明確而言，為AD轉換單元25b)來逐列並列AD轉換並列保持在列單元中的類比信號之方法。在此情況下，明智的係採用參考信號比較類型(單一斜率整合類型、斜面信號比較類型等)之AD轉換系統。此方法具有下列特性：因為能藉由簡單結構來實現AD轉換器，所以即使並列提供電路，電路大小仍不大。

在此情況下，藉由設計一電路組態及AD轉換單元25b之操作，可以執行用於相對於透過垂直信號線19所輸入的電壓模式之像素信號來計算就在像素重設之後的一重設位準

與一真實信號位準(對應於接收的光數量)之間的差異之CDS處理。可以使AD轉換單元25b作為差動處理單元25a，其移除諸如固定圖案雜訊之雜訊信號成分。

在參考信號比較類型之AD轉換中，計數操作有效週期(指示週期係稱為計數啟用信號的信號)係根據從轉換之開始(比較處理之開始)至轉換之結束(比較處理之結束)的時間來決定而且根據計數啟用信號將類比處理物體信號轉換成數位資料。

將參考信號比較類型之AD轉換系統用於行電路25僅為一範例。可較佳採用其他任意電路組態，只要能執行AD轉換處理及雜訊移除信號處理。

像素信號電壓 V_x 係AD轉換成數位資料並藉由行電路25所水平地傳輸。然而，行電路25並不限於此。可水平地傳輸對應於像素信號電壓 V_x 的類比資訊。在此情況下，明智的係對像素行之每一者執行用於計算差動處理單元25a中像素信號電壓 V_x 之重設位準 S_{rst} 與信號位準 S_{sig} 之間的差異之CDS處理。

此具體實施例在用於解決由於水平傳輸中水平信號線18上的負載電容所致的問題之機制中具有特性。作為參考信號比較類型之AD轉換的特定機制，可使用任何機制，例如非專利文件1中所揭示的機制。

如下文詳細地說明，依據此具體實施例的水平傳輸具有特性，因為水平地傳輸具有表示對應於像素信號電壓 V_x 的一條資訊之互補性的二條資訊以恢復後級電路中的原始資

訊。特定言之，較佳地，關於藉由AD轉換像素信號電壓 V_x 所獲得的數位資訊之個別位準資料，水平地傳輸具有互補性的二個邏輯相反互補資料以恢復後級電路中的原始資料。

例如，當水平地傳輸類比資訊時，分別透過形成一對的不同水平信號線18及18x將具有相反極性之差動信號傳輸至輸出電路28。當水平地傳輸數位資料時，分別透過形成一對的水平信號線18及18x(用於位元之每一者)將具有用於位元之每一者的相反L/H之關係的互補資料(互補位元資料)傳輸至輸出電路28。任意決定如何產生差動信號及互補資料。差動信號及互補資料係共同地稱為互補資訊。

驅動控制單元7具有用於按順序讀出像素陣列單元10之信號的控制電路功能。例如，驅動控制單元7包括控制行位址及行掃描的水平掃描單元(行掃描電路)12、控制列位址及列掃描的垂直掃描單元(列掃描電路)14以及具有(例如)產生內部時脈之功能的通信/時序控制單元20。

單元像素3係連接至垂直掃描單元14及行處理單元26，其中行電路25係分別透過用於列版的列控制線15及垂直信號線19為個別垂直行而提供。列控制線15一般指示從垂直掃描單元14進入像素的線路。

垂直掃描單元14選擇像素陣列單元10之一列並供應必要的脈衝至該列。例如，垂直掃描單元14包括一垂直解碼器14a，其界定垂直方向上的讀出列(選擇像素陣列單元10之一列)；以及一垂直驅動單元14b，其供應脈衝至用於藉由

垂直解碼器14a所界定之讀出位址(在列方向上)上的單元像素3之列控制線15並驅動該等線。垂直解碼器14a選擇除從中讀出信號之一列(一讀出列：亦稱為選定列或信號輸出列)以外的一列，例如用於電子快門之一列。

水平掃描單元12具有一讀出掃描單元之功能，該讀出掃描單元與一時脈同步按次序選擇行處理單元26之行電路25並讀出藉由數位地轉換像素信號至水平信號線18所獲得的資料。例如，水平掃描單元12包括一水平解碼器12a，其界定水平方向上的讀出列(選擇行處理單元26中的個別行電路25)；以及一水平驅動單元12b，其依據藉由水平解碼器12a所界定的讀出位址將行處理單元26之個別信號引導至水平信號線18。水平信號線18係用於傳輸藉由行電路25所產生的資料之匯流排線。

儘管在該圖中未顯示，但是通信/時序控制單元20包括時序產生器TG(讀出位址控制器件之一範例)之一功能區塊，其供應個別單元之操作所必需的時脈及預定時序之脈衝信號；以及通信介面之一功能區塊，其經由端子5a接收從外側上的主要控制單元所供應的主機時脈CLK0，經由端子5b接收從外側上的主要控制單元所供應的指導一操作模式或類似物之資料，並輸出包括固態成像器件1上的資訊之資料至外側上的主要控制單元。

例如，通信/時序控制單元20輸出一水平位址信號至水平解碼器12a並輸出一垂直位址信號至垂直解碼器14a。個別解碼器12a及14a接收位址信號並選擇分別對應於位址信

號的一列及一行。水平掃描單元12及垂直掃描單元14包括用於位址設定的解碼器12a及14a而且藉由執行偏移操作(掃描)以回應從通信/時序控制單元20所提供的控制信號CN1及CN2來切換讀出位址。

在此情況下，因為在二維矩陣形狀中配置單元像素3，所以明智的係藉由下列方式增加讀出像素信號及像素資料之速度：執行(垂直)掃描以在列單元中(行並列)存取並捕捉藉由提供在單元像素3中的像素信號產生單元所產生並且透過垂直信號線19在行方向所輸出的類比像素信號，而且接著執行(水平)掃描以在係垂直行之配置方向的列方向上存取並讀出像素信號(在此範例中為數位化像素資料)至輸出側。不用說，不僅可以進行掃描而且可以進行隨機存取以藉由直接指明需要讀出的單元像素3之位址來讀出必要的單元像素3之資訊。

驅動控制單元7之個別組件(例如水平掃描單元12及垂直掃描單元14)經調適用以與像素陣列單元10一起形成固態成像器件1之一部分，作為在單晶矽(提供在相同半導體基板上)之半導體區域中整體形成的所謂一個晶片組件，並作為CMOS影像感測器，其係半導體系統之一範例。

固態成像器件1可形成為一個晶片，其中採用此方式在半導體區域中整體形成個別單元。或者，儘管在該圖中未顯示，但是固態成像器件1可採取模組狀形式，其具有藉由共同地封裝除各種信號處理單元(例如像素陣列單元10、驅動控制單元7以及行處理單元26)以外的光學系統(例

如攝影透鏡、光學低通濾波器及/或紅外經截止濾波器)所形成的成像功能。

在具有此結構的固態成像器件1中，從單元像素3所輸出的像素信號係透過垂直信號線19為個別垂直行供應至行處理單元26之行電路25。

在未提供資料儲存/傳輸及輸出單元256的基本結構之情況下，AD轉換單元25b或差動處理單元25a之輸出係連接至水平信號線18。當一信號藉由差動處理單元25a以類比方式經歷差動處理並接著藉由AD轉換單元25b轉換成數位資料時，AD轉換單元25b之輸出係連接至水平信號線18。相反地，當一信號係藉由AD轉換單元25b轉換成數位資料並接著藉由差動處理單元25a經歷差動處理時，差動處理單元25a之輸出係連接至水平信號線18。以下說明前者情況，如圖1所示。

一控制脈衝(水平資料傳輸時脈 ϕH)係透過控制線12c從水平掃描單元12輸入至AD轉換單元25b。AD轉換單元25b具有保持計數結果之閂鎖功能而且保持資料直至藉由控制線12c接收藉由控制脈衝所控制的指令。

在此具體實施例中，如該圖所示，個別行電路25之輸出側在AD轉換單元25b之後級包括：資料儲存/傳輸及輸出單元256，其作為儲存藉由AD轉換單元25b所保持的計數結果之N位元記憶體器件；以及配置在AD轉換單元25b與資料儲存/傳輸及輸出單元256之間的開關(SEL)258，其係資料切換單元之一範例。

當採用包括資料儲存/傳輸及輸出單元256的結構時，在預定時序從通信/時序控制單元20將作為控制時脈的記憶體傳輸指令脈衝CN8供應至開關258之一，與其他垂直行中的其他開關258一樣。

當供應記憶體傳輸指令脈衝CN8時，開關258根據負載功能傳輸對應於開關258之行中的AD轉換單元25b之資料至資料儲存/傳輸及輸出單元256。資料儲存/傳輸及輸出單元256保持並儲存傳輸的資料。

因為提供開關258，所以依據此具體實施例的水平掃描單元12具有一讀出掃描單元之功能，該讀出掃描單元與分別藉由行處理單元26之個別差動處理單元25a及個別AD轉換單元25b所執行的處理並列讀出藉由個別資料儲存/傳輸及輸出單元256所保持的資料。

當採用包括資料儲存/傳輸及輸出單元256的結構時，AD轉換單元25b能傳輸保持在其中的AD轉換資料至資料儲存/傳輸及輸出單元256。因此，可以彼此獨立地控制AD轉換單元25b的AD轉換處理以及用於讀出AD轉換之結果至水平信號線18的操作。能並列實現用於執行AD轉換處理的管道操作以及用於讀出一信號至外側的操作。

例如，藉由閘鎖(保持或儲存)AD轉換單元25b中的像素資料之AD轉換結果來完成AD轉換。然後，在預定時序將像素資料傳輸至資料儲存/傳輸及輸出單元256而且將像素資料儲存並保持在其中。然後，行電路25根據與在預定時序透過控制線12c從水平掃描單元12所輸入的一控制脈衝

同步之偏移操作，按順序從輸出端子5c輸出儲存並保持在資料儲存/傳輸及輸出單元256中的像素資料至行處理單元26之外側以及具有像素陣列單元10的晶片之外側。

<<參考信號比較類型之AD轉換的機制>>

圖2A及2B顯示用於執行參考信號比較類型之AD轉換的基本電路組態之範例。

如圖2A所示，作為用於執行參考信號比較類型之AD轉換的第一組態範例，該電路包括一參考信號產生單元27，其供應用於AD轉換的參考信號SLP_ADC至行處理單元26。參考信號SLP_ADC僅必須具有一般隨某一傾斜線性地變化之波形。該變化可以為平滑斜面狀改變或可以為序列階梯式變化。

參考信號產生單元27包括數位至類比轉換器(DAC)27a。參考信號產生單元27與計數時脈CKdac同步產生自藉由自通信/時序控制單元20的控制資料CN4所指示的初始值之一參考信號SLP_ADC並供應產生的參考信號SLP_ADC至行處理單元26之個別AD轉換單元25b作為用於AD轉換的參考電壓(ADC參考信號)。儘管該圖中未顯示，但是明智的係提供用於雜訊預防的濾波器。

從通信/時序控制單元20供應至參考信號產生單元27之DA轉換器27a的控制資料CN4包括用於相對於時間而均衡數位資料之速率的資訊以便各比較處理中的參考信號SLP_ADC具有基本上相同的傾斜(變化速率)。明確而言，一計數值係在各單元時間與計數時脈CKdac同步改變1，藉

由電流添加類型之DA轉換器將該計數值轉換成電壓信號。計數時脈CKdac可與計數時脈CK_CNT相同。

AD轉換單元25b包括電壓比較單元(比較器)252，其將藉由參考信號產生單元27之DA轉換器27a所產生的參考信號SLP_ADC與透過用於個別列控制線15(V1、V2、V3、...及Vv)的垂直信號線19(H1、H2、...及Hh)從單元像素3所獲得的類比像素信號比較；以及計數器單元254，其計數直至電壓比較單元252完成比較處理或直至完成之後的預定時間之時間並保持計數之結果。AD轉換單元25b具有n位元AD轉換功能。

此組態範例中的計數器單元254具有下列單元之兩個功能：一計數單元，其依據隨參考信號SLP_ADC之時間的變化計數該計數時脈CK_CNT並產生計數資料(計數值)；以及一資料保持單元(計數值保持單元)，其保持對應於藉由該計數單元所產生之計數資料中的像素信號電壓Vx之計數資料。

AD轉換單元25b具有電壓比較單元252與計數器單元254之間的計數操作控制單元253，其控制計數處理之週期以及用於將計數資料保持在計數器單元254中的操作。計數操作控制單元253具有計數相位調整單元(PH SEL)260，其控制計數器單元254中的計數處理之週期(計數操作有效週期TEN)。從通信/時序控制單元20將用於控制計數週期的計數週期控制信號SEL供應至計數相位調整單元260。從電壓比較單元252將比較脈衝COMP供應至計數相位調整單元

260。

可設想使用計數週期控制信號SEL之各種方式。例如，將計數週期控制信號SEL用以均勻地控制所有行中的計數器單元254之計數操作有效週期，控制用於藉由將垂直行劃分成數個(通常為二個)群組所形成的個別群組之計數操作有效週期，以及依據像素信號電壓 V_x 之位準來控制計數操作有效週期。

計數相位調整單元260根據自通信/時序控制單元20的計數週期控制信號SEL或前列或自己列中的電壓比較單元252(可使用不同於電壓比較單元252的比較器)之像素信號電壓 V_x 與參考信號SLP_ADC(共同地稱為相位調整控制信號)的比較結果，在邏輯上倒轉自電壓比較單元252的比較脈衝COMP而且將比較脈衝COMP傳遞至計數器單元254作為計數啟用信號EN(在相反相位中)。或者，計數相位調整單元260直接傳遞比較脈衝COMP至計數器單元254作為計數啟用信號EN(在相同相位中)。計數相位調整單元260係決定計數週期的計數週期控制單元之一範例。

例如，將EX-OR(唯一的OR)閘極用作計數相位調整單元260。將比較脈衝COMP輸入至一個輸入端子並且將相位調整控制信號輸入至其他輸入端子。在此情況上，EX-OR閘極在相位調整控制信號係在H位準時在邏輯上將比較脈衝COMP倒轉成計數啟用信號EN而且在相位調整控制信號係在L位準時直接使用比較脈衝COMP作為計數啟用信號EN。

在此組態範例中的行AD轉換處理中，從與在個別行中所配置的電壓比較單元252一樣的DA轉換器27a供應參考信號SLP_ADC，而且對於藉由個別電壓比較單元252所處理的像素信號電壓 V_x ，電壓比較單元252使用共同的參考信號SLP_ADC來執行比較處理。計數器單元254在計數啟用信號EN係在H位準時使用計數相位調整單元260之輸出作為計數啟用信號EN並根據計數時脈CK_CNT來執行計算處理而且當完成計數處理時保持計數結果。

除計數週期控制信號SEL以外，用於指導其他控制資訊(例如關於計數器單元254是否在下向計數模式或向上計數模式中執行二次計數處理)而且設定並重設處理第一資料中之計數處理中的初始值Dini之控制信號CN5係從通信/時序控制單元20輸入至計數相位調整單元260及個別AD轉換單元25b之計數器單元254。

藉由參考信號產生單元27所產生的階梯狀參考信號SLP_ADC係輸入至電壓比較單元252之一個輸入端子RAMP，與電壓比較單元252之其他輸入端子RAMP一樣。對應於其他輸入端子之垂直行中的垂直信號線19係連接至其他輸入端子。自像素陣列單元10的像素信號電壓係分別輸入至其他輸入端子。電壓比較單元252之輸出信號(比較脈衝COMP)係供應至計數相位調整單元260。

計數時脈CK_CNT係從共同的通信/時序控制單元20輸入至計數器單元254之時脈端子CK。儘管該圖中未顯示計數器單元254之結構，但是能藉由將包括鎖存器的資料儲存

單元之線路形式改變為同步計數器格式來實現計數器單元254。計數器單元254採用一個計數時脈CK_CNT之輸入來執行內部計數。

當計數器單元254在二次計數處理中切換向下計數操作及向上計數操作以獲取一個像素之信號成分Vsig的數位資料Dsig時，較佳地，使用能切換向下計數操作及向上計數操作的向上-向下計數器。

另一方面，當計數器單元254僅必須在二次計數處理中執行向下計數操作及向上計數操作之一時，必須使用對應於該操作的向上計數器或向下計數器。然而，原則上亦可行的係，作為一使用形式，將能切換向下計數操作及向上計數操作的向上-向下計數器用以執行向下計數操作及向上計數操作之一。然而，通常地，向上-向下計數器需要用於模式切換的電路組態。與對應於向上計數器及向下計數器之僅單一計數模式的組態比較，電路大小係較大。因此，當計數器單元254僅必須執行向下計數操作及向上計數操作之任一者時，明智的係不採用向上-向下計數器。

作為計數器單元254，較佳使用異頻計數器，計數輸出值係從該等異頻計數器輸出而不與計數時脈CK_CNT同步。基本地，亦可以使用同步計數器。然而，在同步計數器的情況下，所有正反器(計數器基本元件)之操作受計數時脈CK_CNT的控制。因此，當要求較高頻率操作時，作為計數器單元254，較佳使用適合於高速操作的異步計數器，因為其操作限制頻率係僅藉由第一正反器(計數器基

本元件)之限制頻率所決定。

控制脈衝係透過控制線12c從水平掃描單元12輸入至計數器單元254。計數器單元254具有保持計數結果之門鎖功能。計數器單元254保持計數器輸出值，直至透過控制線12c接收藉由控制脈衝所控制的指令。

例如，在個別AD轉換單元25b之輸出側上，計數器單元254之輸出可連接至水平信號線18。或者，如圖1所示，亦可以採用一組態，其中在計數器單元254之後級提供作為用於儲存藉由計數器單元254所保持的計數結果之記憶體器件的資料儲存/傳輸及輸出單元256。

資料儲存/傳輸及輸出單元256之輸出係連接至水平信號線。如以上所說明，在此具體實施例中，具有用於位元之每一者的相反L/H之關係的互補資料係傳輸至輸出電路28。因此，水平信號線係(例如)對應於藉由行電路25所處理的位元之數目" n "(n 係正整數)的 $2*n$ 條匯流排線以及用於傳輸互補資料的一組(水平信號線18及18x)。例如，在 $10(=n)$ 個位元情況下，配置 $2*10 = 20$ 條匯流排線。

在計數操作有效週期方面，參考信號比較類型之AD轉換能粗略地劃分成前半計數操作及後半計數操作。在前半計數操作中，在當啟動參考信號SLP_ADC時的一點處啟動計數而且在當參考信號SLP_ADC與一處理物體信號電壓彼此相符時的一點處完成計數。在後半計數操作中，在當參考信號SLP_ADC與一處理物體信號電壓彼此相符時的一點處啟動計數而且在當計數達到該計數中的所需計數數目時

的一點(通常地，處理達到最大AD轉換週期時的一點)處完成計數。

在此說明書中，在從當參考信號SLP_ADC中的變化啟動的點至當參考信號SLP_ADC及像素信號電壓 V_x 變為相同時的一點之前半週期中所執行的計數處理係亦稱為對實數的計數處理。另一方面，在從當參考信號SLP_ADC及像素信號電壓 V_x 變為相同時的點至當處理達到最大AD轉換週期時的點之後半週期中所執行的計數處理係亦稱為對補數的計數處理。

在計數模式方面，AD轉換可粗略地劃分成向中計數模式中的處理以及向下計數模式中的處理。

在從垂直信號線19所輸出的像素信號So(像素信號電壓 V_x)中，在時間序列中，一般地，信號位準Ssig在包括像素信號之雜訊的重設位準Srst之後顯現為參考位準。對參考位準(重設位準Srst；實務上等效於重設位準Srst)的處理係稱為預先充電相位(其可縮寫為P相位)中的處理(或重設計數器週期中的處理)。對信號位準Ssig的處理係稱為資料相位(其可縮寫為D相位)中的處理(或資料計數器週期中的處理)。當在P相位處理之後執行D相位處理時，D相位處理係對藉由將信號成分Vsig添加至重設位準Srst所獲得之信號位準Ssig的處理。

當採用第一組態範例時，計數器單元254係提供在個別垂直行中。因此，當與AD轉換一起對參考信號比較類型之AD轉換中的行之每一者執行CDS功能時，能依據前半計

數操作與後半計數操作的組合、計數模式(向上計數及向下計數)，並依據在P相位處理及D相位處理中採用前半計數操作及後半計數操作與計數模式之何者來採用各種處理方法。

另一方面，如圖2B所示，作為用於執行參考信號比較類型之AD轉換的第二組態範例，像參考信號產生單元27一樣，計數器單元254係共同用於個別垂直行。行電路25具有電壓比較單元252及資料儲存/傳輸及輸出單元256。計數器單元254在個別種類的P相位處理及D相位處理中，在對應於參考信號SLP_ADC之斜率週期的最大AD轉換週期期間執行向上計數操作(或向下計數操作)。向個別垂直行中的資料儲存/傳輸及輸出單元256通報計數器單元254之個別位元的計數資料(亦稱為計數時脈)CK0、...、及CKn-1。當倒轉行中的電壓比較單元252之比較輸出COMP時，個別垂直行中的資料儲存/傳輸及輸出單元256捕捉並保持計數器單元254之計數資料。

此組態範例中的計數器單元254具有一計數單元之功能，該計數單元依據隨參考信號SLP_ADC之時間的變化來計數該計數時脈CK_CNT並產生計數資料(計數值)。資料儲存/傳輸及輸出單元256具有資料保持單元(計數值保持單元)之功能，該資料保持單元保持對應於藉由計數單元所產生之計數資料中的像素信號電壓V_x之計數資料。

資料儲存/傳輸及輸出單元256保持在其內側之不同儲存單元中的個別種類之P相位處理及D相位處理中所獲取的個

別資料 D_p 及 D_d 。資料儲存/傳輸及輸出單元 256 在水平掃描單元 12 之控制下，透過個別水平信號線 18 傳輸在個別種類之 P 相位處理及 D 相位處理中所獲取的個別資料 D_p 及 D_d 至數位算術單元 29。數位算術單元 29 計算個別資料 D_p 與 D_d 之間的差異以計算信號成分 V_{sig} 之數位資料 D_{sig} 。

資料儲存/傳輸及輸出單元 256 之輸出係連接至水平信號線。在此具體實施例中，具有用於位元之每一者的相反 L/H 之關係的互補資料係傳輸至數位算術單元 29。因此，水平信號線係(例如)對應於藉由行電路 25 所處理的位元之數目 " n " (n 係一正整數)的 $2 \times 2 \times n$ 條匯流排線以及用於傳輸 P 相位及 D 相位中的資料 D_p 及 D_d 之每一者的互補資料之一組(水平信號線 18 及 18x)。例如，在 10($=n$) 個位元情況下，配置 $2 \times 2 \times 10 = 40$ 條匯流排線。

在組態及處理方法之所有範例中，原則上，將斜面狀參考信號 SLP_ADC 供應至比較器(電壓比較器)，將透過垂直信號線 19 所輸入的類比像素信號電壓 V_x 與參考信號 SLP_ADC 比較，而且當計數操作有效週期開始時，計數其啟動的時脈信號，因而計數指明之計數操作有效週期中的時脈之數目以執行 AD 轉換。

在所有組態範例及處理方法中，在 P 相位處理期間，讀出單元像素 3 之重設成分 V_{rst} 並且處理像素信號電壓 V_x 中的重設位準 S_{rst} 。因單元像素 3 之每一者而波動的雜訊係包括在重設成分 V_{rst} 中作為一偏移。然而，重設成分 V_{rst} 中的波動一般係較小而且重設位準 S_{rst} 對所有像素一般係共

同的。因此，一般已知任意垂直信號線19之像素信號電壓 V_x 中的重設成分 V_{rst} 之輸出值(=重設位準 S_{rst})。因此，在P相位處理期間，可以藉由調整參考信號SLP_ADC來減小比較週期。例如，將P相位處理期間的最大計數數目 D_{rm} 設定為7個位元的計數數目(128個時脈)。

另一方面，在D相位處理期間，除處理包括信號成分 V_{sig} 之重設位準 S_{rst} 及信號位準 S_{sig} 以外，還讀出對應於像素單元3之每一者的入射光之數量的信號成分 V_{sig} 。因此，在D相位處理期間，因為讀出對應於入射光之數量的信號成分 V_{sig} ，所以為了判斷較寬區域中的光數量之量值，有必要將比較週期設定為較寬而且實質上改變供應至電壓比較單元252的參考信號SLP_ADC。例如，將D相位處理期間的比較處理之最大計數數目 D_{sm} 設定為用於10個位元的計數數目(1024個時脈)至用於12個位元的計數數目(4096個時脈)。對重設位準 S_{rst} 的比較處理之最長週期係減小為短於對信號位準 S_{sig} 的比較處理之最長週期。代替將兩個最長週期設定為相同，藉由採用此方式將前者最長週期設定為短於後者最長週期，減小用於二次AD轉換的總AD轉換週期。

<固態成像器件之操作；第一處理範例中的操作>

圖3A係用於說明參考信號比較類型之AD轉換之第一處理範例中的操作之時序圖。當應用第一處理範例時，採用圖2A所示的第一組態範例作為電路組態。

作為參考信號比較類型之AD轉換中的計數操作有效週

期，當在行電路25中執行一重設位準與一信號位準之間的差動處理(例如，一般地，在兩者的二次處理中)時，可以應用第一處理範例，其中在當參考信號SLP_ADC中的變化啟動時的一點處設定計數之開始並且在當參考信號SLP_ADC與處理物體信號電壓變為彼此相符時的一點處設定計數之結束。換言之，在第一處理範例中，將前半計數操作應用於兩者的二次處理。

在此情況下，在用於獲取一個像素之信號成分Vsig之數位資料Dsig的二次計算處理中，計數器單元254切換並執行向下計數操作及向上計數操作。作為一總操作，當D相位處理係向上計數時，該操作可視為用於計數信號位準Ssig的實數之操作。當D相位處理係向下計數時，該操作可視為用於計數信號位準Ssig的補數(負數)之操作。

儘管未詳細說明，但是基本上(例如)採用與JP-A-2005-311933及JP-A-2006-33452中所揭示的方法相同之方法。在稱為參考信號比較類型的一般AD轉換處理中，首先，關於某一處理物體列Vx，對於垂直行H1至Hh，將計數器單元254之個別正反器的計數值重設為P相位中的最大AD轉換等級之最小值min，例如在第一次(即，係重設位準Srst的AD轉換週期之P相位中的處理週期)中的處理期間為"0"。在向下計數模式中設定計數器單元254。並列執行藉由電壓比較單元252對像素信號電壓Vx之參考信號SLP_ADC及P相位位準的比較處理以及藉由計數器單元254的計數處理以執行P相位位準之AD轉換。假定在開始時參

考信號SLP_ADC係高於像素信號電壓 V_x 之P相位位準而且電壓比較單元252之比較輸出COMP係在H位準。在啟動比較處理之後，在當作為P相位位準的重設位準Srst與參考信號SLP_ADC彼此相符時的一點處電壓比較單元252之比較輸出COMP從H位準改變至L位準。在此情況下，計數器單元254保持一計數值，其指示對應於重設位準Srst之量值的數位值Drst(當考量符號時，其指示-Drst)。

在第二次(即，為信號位準Ssig的AD轉換週期之D相位中的處理週期)中的隨後處理期間，除重設位準Srst以外還讀出對應於單元像素3之每一者的入射光數量之信號成分Vsig而且執行與P相位中的讀出相同之操作。首先，在P相位處理期間在與向下計數模式相反的向上計數模式中設定計數器單元254。並列執行藉由電壓比較單元252的像素信號電壓 V_x 之參考信號SLP_ADC與D相位位準之間的比較處理以及藉由計數器單元252的計數處理以執行D相位位準之AD轉換。假定在開始時參考信號SLP_ADC係高於像素信號電壓 V_x 之D相位位準而且電壓比較單元252之輸出COMP係在H位準。在啟動比較處理之後，在當作為D相位位準的信號位準Ssig與參考信號SLP_ADC彼此相符時的一點處電壓比較單元252之比較輸出COMP從H位準改變至L位準。在此情況下，計數器單元254保持對應於信號位準Ssig之量值的計數值。

在此情況下，與P相位中的計數值相反，計數值係從在P相位中的讀出及AD轉換期間獲取的像素信號電壓 V_x 之重

設位準 $Srst$ 的數位值 $Drst$ (負值) 向上計數。信號位準 $Ssig$ 係藉由將信號成分 $Vsig$ 添加至重設位準 $Srst$ 所獲得的位準。因此，信號位準 $Ssig$ 之 AD 轉換結果的計數值基本上係 " $Drst + Dsig$ "。然而，因為向上計數之啟動點係 " $-Drst$ "，其係重設位準 $Srst$ 之 AD 轉換結果，所以實際上保持在計數器單元 254 中的計數值係 " $-Drst + (Dsig + Drst) = Dsig$ "。

換言之，計數器單元 254 中的計數操作係不同計數模式中的計數操作，該等模式為 P 相位處理期間的向下計數以及 D 相位處理期間的向上計數。因此，在計數器單元 254 中，自動地執行係重設位準 $Srst$ 之 AD 轉換結果的計數數值 " $-Drst$ " 與係信號位準 $Ssig$ 之 AD 轉換結果的計數數目 " $Drst + Dsig$ " 之間的差動處理 (減法處理)。將對應於差動處理之結果的計數數目 $Dsig$ 保持在計數器 254 中。保持在計數器 254 中對應於差動處理之結果的計數數目 $Dsig$ 表示對應於信號成分 $Vsig$ 的數位資料。

如以上所說明，藉由二次讀出及計數處理 (即，P 相位處理期間的向下計數以及 D 相位處理期間的向上計數)，計數器單元 254 中的差動處理能移除包括單元像素 3 之每一者中的波動之重設位準 $Srst$ 。能藉由簡單組態獲取對應於單元像素 3 之每一者的入射光數量之僅信號成分 $Vsig$ 的 AD 轉換結果。因此，行電路 25 不僅操作為將類比像素信號轉換成數位資料的數位轉換單元而且操作為 CDS 處理功能單元。

第一處理範例中的 AD 轉換處理具有一特性：在對一個像素之第一次中的計數處理以及第二次中的計數處理中，

在向下計數P相位處理及向上計數D相位處理中執行個別計數操作以實務上執行P相位中的補數之計數處理以及D相位中的實數之計數處理。實務上，對補數的計數處理係負側上的計數處理而且能視為減法元素。對實數的計數處理係正側上的計數處理而且能視為加法元素。

在應用第一處理範例中，在用於獲取一個像素之信號成分Vsig之數位資料Dsig的二次計數處理中切換並執行向下計數操作及向上計數操作。因此，明智的係在計數器單元254中使用能切換向下計數操作及向上計數操作的向上-向下計數器。

當在計數器單元254之後級提供資料儲存/傳輸及輸出單元256時，在啟動計數器單元254及水平傳輸之操作之前，將子時脈DLAT供應至資料儲存/傳輸及輸出單元256作為自通信/時序控制單元20的記憶體傳輸指令脈衝CN8。在將子時脈DLAT作為觸發器的情況下，資料儲存/傳輸及輸出單元256捕捉就在保持在計數器單元254中之前列Vx-1中的數位資料Dsig至計數器單元254中的閃鎖電路並保持數位資料Dsig。

在AD轉換週期結束之後，行電路25將計數器單元254中的數位資料Dsig保存在資料儲存/傳輸及輸出單元256中並啟動對下一列Vx的AD轉換。資料儲存/傳輸及輸出單元256之前列中的數位資料Dsig係藉由水平掃描單元12在行處理單元26之個別垂直行之行電路25中的AD轉換處理之背景下按次序選擇並透過個別水平信號線18及18x傳輸至

輸出電路28作為互補資料Qsig及xQsig以進行互補資訊傳輸。輸出電路28根據互補資料Qsig及xQsig重製原始數位資料Dsig。與AD轉換處理並列的係，與AD轉換處理並列執行對互補資料Qsig及xQsig的水平傳輸操作。當水平掃描單元12按順序以高速選擇個別垂直行時，透過資料儲存/傳輸及輸出單元256之輸出級中的驅動電晶體以高速將個別行的互補資料Qsig及xQsig傳輸至輸出電路28。然後，按次序為個別列重複相同操作，從而建立二維影像。

<固態成像器件之操作；第二處理範例中的操作>

當藉由行電路25執行一重設位準與一信號位準之間的差動處理時，在兩者的二次處理中，亦可以採用一第二處理範例，其中在當參考信號SLP_ADC與處理物體信號電壓彼此相符時的一點處啟動計數而且在當計數達到該計數中的所需計數數目時的一點(通常地，處理達到最大AD轉換週期時的一點)處完成計數。換言之，在第二處理範例中，將後半計數操作應用於兩者的二次處理。

在此情況下，如在以上情況中一樣，在用於獲取一個像素之信號成分Vsig之數位資料Dsig的二次計算處理中，計數器單元254對垂直行之每一者切換並執行向下計數操作及向上計數操作。因此，當應用第二處理範例時，採用圖2A所示的第一組態範例作為電路組態。

第二處理範例中的基本操作並非如此不同於第一處理範例中的基本操作。然而，第二處理範例中的操作係不同於第一處理範例中的操作，因為考量對應於在最大AD轉換

週期之後半中所執行的計數處理的資料之校正。第二處理範例中的總操作可視為用於計數補數的操作。在此情況下，因為計數補數，所以有必要提供用於資料校正的機制，其用於獲得作為實數的最終資料。用於資料校正的機制能藉由第一次中之計數處理中的初始值來實現或能藉由在後級之數位算術單元29中的數位算術運算來實現。

以下說明需要考量資料校正的原因。P相位處理期間的最大計數數目係表示為 D_{rm} 而且對應於D相位處理期間的最大信號成分 V_{sig} 之最大計數數目係表示為 D_{sm} 。在此情況下，D相位處理期間的最大計數數目係表示為" $D_{rm}+D_{sm}$ "。在個別相位中的最大AD轉換週期中，當在後半區段中執行計數處理時，在像素信號電壓 V_x 與參考信號SLP_ADC彼此相符而且倒轉比較輸出COMP之後，當重設位準 S_{rst} 之計數值係表示為 D_{rst} 時P相位中的計數值 D_p 係表示為" $D_{rm}-D_{rst}$ "。當信號位準 S_{sig} 之計數值係表示為 D_{sig} 時D相位中的計數值 D_d 係表示為" $(D_{rm}+D_{sm})-(D_{rst}+D_{sig})$ "。

當計數係在P相位處理期間在向上模式中執行而且在D相位處理期間在向下計數模式中執行並且從在P相位處理中所獲得的計數值啟動D相位處理時，D相位處理之後的資料係表示為 $(D_{rm}-D_{rst})-\{(D_{rm}+D_{sm})-(D_{rst}+D_{sig})\}=D_{sig}-D_{sm}$ 。例如，為了偏移" $-D_{sm}$ "並獲得信號成分 V_{sig} 之數位資料 D_{sig} ，僅必須將第一次中之P相位處理期間的初始值 D_{ini} 設定為 D_{sm} 或者僅必須藉由數位算術單元29將 D_{sm} 添

加至 "Dsig-Dsm" 。

在計數模式之此組合中，關於信號位準 Ssig，在向下計數中執行 AD 轉換週期之後半中的補數計數。因此，可以藉由組合藉由補數計數對負側進行的計數處理之特性與藉由向下計數處理對負側進行的計數處理之特性來獲得 Dsig 作為至正側的一數值。以上說明的 "Dsig-Dsm" 表示該數值。在此情況下，存在一優點：能根據第一次中的初始值之設定在第二次中的處理之後立即獲取數位資料 Dsig。

另一方面，當計數係在 P 相位處理期間在向下模式中執行而且在 D 相位處理期間在向上計數模式中執行並且從在 P 相位處理中所獲得的計數值啟動 D 相位處理時，D 相位處理之後的資料係表示為 $\{(Drm+Dsm)-(Drst+Dsig)\}-(Drm-Drst)=Dsm-Dsig$ 。例如，為了偏移 Dsm 並獲得信號成分 Vsig 之數位資料 Dsig 的負數，僅必須將第一次中的 P 相位處理期間的初始值 Dini 設定為 "-Dsm" 或者僅必須藉由數位算術單元 29 從 "Dsm-Dsig" 減去 Dsm。例如，為了將數位資料 Dsig 之負數 "-Dsig" 重設為正數，僅必須從資料儲存/傳輸及輸出單元 256 輸出倒轉位元資料或者僅必須藉由數位算術單元 29 倒轉位元資料。然而，精確而言，當僅執行位元資料之倒轉時存在差異 "1"。因此，為了獲得較多的精確資料，明智的係在數位算術單元 29 中添加 "1"。或者，亦可以藉由在數位算術單元 29 中執行算術運算 $\{Dsm-(Dsm-Dsig)\}$ 來獲取數位資料 Dsig。

在計數模式之此組合中，關於信號位準 Ssig，在向上計

數中執行AD轉換週期之後半中的補數計數。因此，可以藉由組合藉由補數計數對負側進行的計數處理之特性與藉由向上計數處理對正側進行的計數處理之特性來獲得Dsig作為至負側的一數值。以上說明的"Dsm-Dsig"表示該數值。

圖3B係用於說明參考信號比較類型之AD轉換之第二處理範例中的操作之時序圖。圖3B顯示與第一處理範例的組合。明確而言，當前列中的像素信號電壓 V_x 中的信號位準Ssig係在相對於預定臨界值之低光度範圍內時，應用第一處理範例。當信號位準Ssig係在相對於預定臨界值之高光度範圍內時，應用第二處理範例。

在該圖所示的範例中，在像素信號電壓 V_{x_0} (其前列中的信號位準Ssig係在低光度範圍內(該列並非始終在低光度範圍內))與像素信號電壓 V_{x_1} (其前列中的信號位準Ssig係在高光度範圍內(該列並非始終在高光度範圍內))中，重設資料Drst係50，信號資料Dsig係1950，P相位處理週期中的最大計數數目Drm係128，以及D相位處理中的最大計數數目Dsm係4096。在第一處理範例及第二處理範例中，計數係在P相位處理期間在向下計數模式中執行而且在D相位處理期間在向上計數模式中執行。在P相位處理期間，從初始值=0啟動計數處理。在該圖中，像素信號電壓 V_{x_0} 與像素信號電壓 V_{x_1} 係不同的而且比較器之倒轉時序會偏移。然而，實際上，因為像素信號電壓 V_{x_0} 與像素信號電壓 V_{x_1} 係相同的，如以上所說明，所以比較器之倒轉時序

係相同的。

在P相位處理與D相位處理中將第一處理範例應用於像素信號電壓 V_{x_0} 。因此，首先，在製備為P相位處理週期的 $D_{rm}=128$ 計數週期中，藉由電壓比較單元252執行參考信號SLP_ADC與像素信號電壓 V_{x_0} 之比較。在當像素信號電壓 V_{x_0} 之重設位準 S_{rst_0} 與參考信號SLP_ADC彼此相符時的第五十個計數中，倒轉電壓比較單元252之比較輸出COMP(=COMPOUT0)。此外，亦倒轉計數啟用信號EN(=PCOMPOUT0)(COMPOUT0及PCOMPOUT0為同相)。停止向下計數操作並將計數值"-50"保持在計數器單元254中。

在製備為D相位處理週期的 $D_{rm}+D_{sm}=128+4096$ 計數週期中，藉由電壓比較單元252執行參考信號SLP_ADC與像素信號電壓 V_{x_0} 之比較。在當像素信號電壓 V_{x_0} 之重設位準 S_{sig_0} 與參考信號SLP_ADC彼此相符時的第" $50+1950$ "=2000個計數中，倒轉電壓比較單元252之比較輸出COMP(=COMPOUT0)。此外，亦倒轉計數啟用信號EN(=PCOMPOUT0)並停止向上計數操作。在此情況下，因為從在P相位處理中所獲得的計數值"-50"執行向上計數，所以將" $-50+2000$ "=1950保持在計數器單元254中。1950與信號資料 D_{sig} 相符。

另一方面，在P相位處理與D相位處理中將第二處理範例應用於像素信號電壓 V_{x_1} 。因此，首先，在製備為P相位處理週期的 $D_{rm}=128$ 計數週期中，藉由電壓比較單元

252執行參考信號SLP_ADC與像素信號電壓 V_{x_0} 之比較。在當像素信號電壓 V_{x_1} 之重設位準 $Srst_1$ 與參考信號SLP_ADC彼此相符時的第五十個計數中，倒轉電壓比較單元252之比較輸出COMP(=COMPOUT1)。此外，亦倒轉計數啟用信號EN(=PCOMPOUT1)(COMPOUT0及PCOMPOUT0為反相)。計數器單元254從此點啟動向下計數並在第 $Drm=128$ 個計數中停止計數操作。因此，因為計數器單元254向下計數" $128-50=78$ "，所以在完成P相位處理之後將" -78 "保持在計數器單元254中。

在製備為D相位處理週期的 $Drm+Dsm=128+4096$ 計數週期中，藉由電壓比較單元252執行參考信號SLP_ADC與像素信號電壓 V_{x_1} 之比較。在當像素信號電壓 V_{x_1} 之重設位準 $Ssig_1$ 與參考信號SLP_ADC彼此相符時的第2000個計數中，倒轉電壓比較單元252之比較輸出COMP(=COMPOUT1)。此外，亦倒轉計數啟用信號EN(=PCOMPOUT1)(COMPOUT0及PCOMPOUT0為反相)。計數器單元254從此點啟動向上計數並在第 $Drm+Dsm=128+4096$ 個計數中停止計數操作。

因此，計數器單元254向上計數" $128+4096-2000=2224$ "個時脈。在此情況下，因為從在P相位處理中所獲得的計數值" -78 "執行向上計數，所以將" $-78+2224=2146$ "保持在計數器單元254中。將計數值2146之資料Dout傳輸至數位算術單元29。數位算術單元29從對應於信號資料Dsig之最大值的最大計數數目 Dsm 減去資料Dout以獲取" $4096-$

2146"=1950作為最終信號資料Dsig。

對於像素信號電壓 V_{x_0} 與像素信號電壓 V_{x_1} ，在D相位處理期間，計數相位調整單元260採用一時脈信號CLK門鎖電壓比較單元252之比較輸出COMP，該時脈信號在(例如)參考信號SLP_ADC之斜率週期中的中間電壓附近上升，從而對應於用於劃分低光度範圍及高光度範圍的臨界值。計數相位調整單元260執行相位調整以決定在對下一列的處理期間，比較輸出COMP是否得以正常地輸出為計數啟用信號EN或倒轉地輸出為計數啟用信號EN。若將當用於劃分高光度範圍及低光度範圍的CLK信號上升時的時序設定在參考信號SLP_ADC之中間電壓，則計數器單元254之啟動並不變為長於參考信號SLP_ADC之斜率週期的一半。

當該列中D相位處理期間的像素信號電壓 V_x 之信號位準Ssig屬於低光度範圍，則電壓比較單元252之比較輸出COMP係倒轉的而且係在時脈信號CLK之上升點處的L位準。因此，計數相位調整單元260門鎖L位準作為比較輸出COMP之相位資訊。相反地，當該列中D相位處理期間的像素信號電壓 V_x 之信號位準Ssig屬於高光度範圍，則電壓比較單元252之比較輸出COMP並非倒轉的而且係在時脈信號CLK之上升點處的H位準。因此，計數相位調整單元260門鎖H位準作為比較輸出COMP之相位資訊。

將比較脈衝COMP輸入至EX-OR閘極之一個輸入端子並將該列中的門鎖資訊輸入至其他個輸入端子作為相位調整

控制信號。相位調整控制信號係當信號位準 Ssig 屬於低光度範圍時在 L 位準而且當信號位準 Ssig 屬於高光度範圍時在 H 位準。採用此方式，當信號位準 Ssig 屬於該列中的低光度範圍時，在下一列中的處理期間，比較輸出 COPM 係輸出為計數啟用信號 EN 而無需在邏輯上加以倒轉。因此，將前半計數操作(第一處理範例)應用於處理。當信號位準 Ssig 屬於該列中的高光度範圍時，在下一列中的處理期間，比較輸出 COPM 係在邏輯上倒轉並輸出為計數啟用信號 EN。因此，將後半計數操作(第二處理範例)應用於處理。

如在此範例中一樣，當藉由數位算術單元 29 執行補數計數操作中所涉及的資料校正時，透過水平信號線 18 及 18x 向數位算術單元 29 通報藉由計數相位調整單元 260 所門鎖的比較輸出 COMP 之相位資訊。數位算術單元 29 根據此資訊來供應補數計數操作中所涉及的資料校正至經歷補數計數的像素資料。

<固態成像器件之操作；第三處理範例中的操作>

儘管該圖中未顯示，但是在第三處理範例中，當採用稱為參考信號比較類型或類似物的 AD 轉換系統時，採用一機制，其能與 AD 轉換同時執行差動處理功能，同時預防計數器單元 254 之區域的增加問題。

在電路組態方面，採用在第一次中的 AD 轉換處理以及第二次中的 AD 轉換處理期間在相同計數模式中執行計數並在第一次及第二次中設定計數相位的一機制，而非切換

計數模式的機制。如在第一處理範例及第二處理範例中一樣，在第二次中的計數處理期間，從第一次中的計數處理之結果啟動計數處理。

在第三處理範例中，因為沒有必要切換一計數模式，所以作為一電路組態，可以採用圖2A所示的第一組態範例或採用如圖2B所示的第二組態範例。

"將計數相位設定為不同"意指在第一次中的AD轉換處理(例如，P相位中的處理)及第二次中的AD轉換處理(例如，D相位中的處理)中將計數處理週期設定為不同。更明確而言，在從當參考信號SLP_ADC中的變化啟動的一點直至參考信號SLP_ADC與像素信號電壓 V_x 變為相同之週期中所執行的計數處理，與在從當參考信號SLP_ADC與像素信號電壓 V_x 變為相同的點至當處理達到該處理中的最大AD轉換週期的一點(通常地，當參考信號SLP_ADC中的變化停止時的一點)之週期中所執行的計數處理之間存在差異。此差異意指計數相位之間的差異。

換言之，在二次計數處理中，在將當比較輸出COMP係倒轉時的一點作為邊界之情況下，組合作為前半計數操作的實數計數處理以及作為後半計數操作的補數計數處理。

一般地，從當參考信號SLP_ADC中的變化啟動時的點直至參考信號SLP_ADC及像素信號電壓 V_x 變為相同的週期，以及從當參考信號SLP_ADC及像素信號電壓 V_x 變為相同時的點至當處理達到該處理中的最大AD轉換週期時的點之週期，對應於從電壓比較單元252所輸出的比較脈

<固態成像器件之操作；第四處理範例中的操作>

圖3C係用於說明參考信號比較類型之AD轉換之第四處理範例中的操作之時序圖。

第四處理範例對應於在行電路25之後級(例如，數位算術單元29)中所執行的一重設位準與一信號位準之間的差動處理。

在此情況下，在僅執行向下計數操作及向上計數操作之一時，在兩者的二次處理期間，在當參考信號SLP_ADC中的變化啟動時的一點處啟動計算並且在當參考信號SLP_ADC與處理物體信號電壓彼此相符時的一點處完成計數。或者，在當參考信號SLP_ADC與處理物體信號電壓彼此相符時的一點處啟動計數並且在當計數達到該計數中的所需計數數目時的一點(通常地，當處理達到最大AD轉換週期時的一點)處完成計數。

在第四處理範例中，因為沒有必要切換一計數模式，所以作為一電路組態，能採用圖2A所示的第一組態範例或能採用如圖2B所示的第二組態範例。例如，當採用第一組態範例時，計數器單元254及資料儲存/傳輸及輸出單元256僅必須經調適用以將在P相位的處理及D相位的處理中所獲取的個別資料Dp及Dd儲存在其內側之不同儲存單元中。

在圖3C中，採用圖2B所示的第二組態範例。在自一任意列Vx中的像素單元3之垂直信號線19_1至19_h之P相位位準(重設位準Srst)的讀出得以穩定之後，參考信號產生單元27啟動隨供應至個別行中的電壓比較單元252的參考信

號 SLP_ADC 之時間的變化並且計數器單元 254 啟動向上計數而且將一計數與行之每一者的重設位準 Srst 比較。當重設位準 Srst 與參考信號 SLP_ADC 彼此相符時，比較輸出 COMP 係倒轉的。因此，資料儲存/傳輸及輸出單元 256 在倒轉時序捕捉計數資料而且將計數資料儲存在用於 P 相位資料 Dp 的儲存單元(記憶體器件 1)中。

此外，在 D 相位位準(信號位準 Ssig)的讀出得以穩定之後，參考信號產生單元 27 啟動隨供應至個別行中的電壓比較單元 252 的參考信號 SLP_ADC 之時間的變化並且計數器單元 254 啟動向上計數並且將計數與行之每一者的信號位準 Ssig 比較。當信號位準 Ssig 與參考信號 SLP_ADC 彼此相符時，比較輸出 COMP 係倒轉的。因此，資料儲存/傳輸及輸出單元 256 在倒轉時序捕捉計數資料而且將計數資料儲存在用於 D 相位資料 Dd 的儲存單元(記憶體器件 2)中。

在 AD 轉換週期結束之後，藉由資料儲存/傳輸及輸出單元 256 所儲存的 P 相位及 D 相位中的 n 位元數位資料 Dp 及 Dd 係在藉由水平掃描單元 12 的控制下透過 $2 \times 2 \times n$ 條水平信號線 18 及 18x 按順序傳輸至數位算術單元 29 分別作為互補資料 Qp、xQp、Qd 及 xQd。換言之，行電路 25 輸出個別次中的處理之計數結果至數位算術單元 29 作為關於重設位準 Srst 的互補資料 Qp 及 xQp 以及關於信號位準 Ssig 的互補資料 Qd 及 xQd。數位算術單元 29 根據互補資料 Qp 及 xQp 重製原始數位資料 Dp 並根據互補資料 Qd 及 xQd 重製原始數位資料 Dd。然後，數位算術單元 29 使用重製的資料 Dp 及 Dd 執

行 "Dd-Dp" 的差動處理以獲取關於信號成分 Vsig 的 AD 轉換資料 Dsig。然後，按次序為列之每一者重複相同操作，從而建立二維影像。

<水平傳輸之問題>

藉由個別行的資料儲存/傳輸及輸出單元 256 所儲存的資料係透過為匯流排線的水平信號線 18 傳輸至輸出電路 28 (或數位算術單元 29) 側作為單端資訊。在此情況下，因為水平信號線 18 中存在寄生電容，所以由於寄生電阻之存在所致的各種問題會出現。例如，因為必須增加用於控制寄生電容之水平信號線 18 的線路之寬度 (金屬之寬度)，所以傳輸速度的退化會出現而且晶片大小會增加。

例如，寄生電容之數值係藉由合計下列電容所獲得的數值：

(1) 由於水平信號線 18 所致的電容；

(2) 由於輸出電路 28 之輸入級所致的電容；

(3) 由於一個資料儲存/傳輸及輸出單元 256 之輸出級 × 資料儲存/傳輸及輸出單元 256 之總數所致的電容；以及

(4) 用於連接水平信號線 18 的線路以及一個資料儲存/傳輸及輸出單元 256 之輸出級 × 資料儲存/傳輸及輸出單元 256 之總數的電容。

因此，當藉由按順序選擇資料儲存/傳輸及輸出單元 256 而將藉由資料儲存/傳輸及輸出單元 256 所儲存的資料讀出至水平信號線 18 時，一故障因水平信號線 18 之寄生電容而出現在資料傳輸中。特定言之，當寄生電容之電容值增加

時，此引起信號延遲並預防資料傳輸之速度的增加。

例如，當執行高速操作以(例如)增加框率時，有必要執行諸如以高速的列掃描、AD轉換及水平傳輸之操作。在該等操作當中，當需要增加水平資料傳輸之速度時，直至藉由水平掃描單元12所選擇的資料儲存/傳輸及輸出單元256驅動水平信號線18而且資料儲存/傳輸及輸出單元256之一信號到達輸出電路28的時間係主要的。

在具有水平方向上的像素(例如，2000行中的單元像素3)之像素陣列單元10的情況下，2000個資料儲存/傳輸及輸出單元256係連接至水平信號線18。組合資料儲存/傳輸及輸出單元256之個別輸出級的寄生電容。選定的資料儲存/傳輸及輸出單元256採用大電容作為負載來驅動水平信號線18。近年來，因為存在對像素增加之需要，所以連接至水平信號線18的資料儲存/傳輸及輸出單元256之數目趨向於增加。此趨向會限制特定需要的高速操作。

作為解決此問題的方法，可設想增加用於水平信號線18之線路寬度以便減少寄生電容並控制由於寄生電容所致的線路延遲之方法。然而，為了透過作為匯流排線之水平信號線18傳輸藉由位元表示的資料，晶片大小會增加。

因此，在此具體實施例中，提供一機制，其在數位上轉換一像素信號並輸出該像素信號至固態成像器件1之外側。採用該機制，可以解決由於水平信號線之寄生電容所致的問題。該機制之基礎常駐於傳輸水平信號線上的資料作為互補資訊而非傳輸水平信號線上的資料作為單端資

訊。以下明確說明此機制。

<資料儲存/傳輸及輸出單元及輸出電路之組態>

圖4A至4C係用於說明行處理單元26(特定言之，為資料儲存/傳輸及輸出單元256周圍的單元)及輸出電路28之組態範例的圖式。圖4A係顯示資料儲存/傳輸及輸出單元256之細節的電路方塊圖。圖4B係顯示資料儲存/傳輸及輸出單元256及輸出電路28周圍的單元之組態範例的電路方塊圖。圖4C係用於說明資料儲存/傳輸及輸出單元256及輸出電路28周圍的單元之基本操作的電壓位準圖。

在依據此具體實施例的固態成像器件1中，作為用於實現資料之高速傳輸而不受水平信號線18之寄生電容的影響之機制，從個別資料儲存/傳輸及輸出單元256之資料保持功能單元所輸出的H及L邏輯位準上的資料係轉換成互補資料Qsig及xQsig，在用於資料的水平信號線18及18x上傳輸，並且藉由輸出電路28重新轉換成邏輯位準之原始資料D而非經由傳輸驅動器直接輸出至水平信號線18。

作為用於該機制的基本結構，如圖4A(1)所示，資料儲存/傳輸及輸出單元256包括：D類型正反器(D-FF)402，其作為捕捉自行電路25之AD轉換單元25b之資料(該等資料係與輸入至時脈端子CK的子時脈DLAT同步輸入至D輸入端子)的資料保持單元之一範例而且保持資料；以及傳輸驅動器404及404x，其作為當作傳輸輸出單元的匯流排驅動電路(資料輸出級)之一範例。

D類型正反器402之非倒轉輸出Q係輸入至傳輸驅動器

404。傳輸驅動器 404 之輸出係透過為匯流排線的水平信號線 18 連接至輸出電路 28。另一方面，D 類型正反器 402 之倒轉輸出 xQ 係輸入至傳輸驅動器 404 x 。傳輸驅動器 404 x 之輸出係透過為匯流排線的水平信號線 18 x 連接至輸出電路 28。

為了輸出個別傳輸驅動器 404 $_1$ 至 404 $_h$ 以及 404 x_1 至 404 x_h 之致能端子 OE，從通信/時序控制單元 20 輸入所對應的水平資料傳輸時脈 ϕH_1 至 ϕH_h 。當所對應的水平資料傳輸時脈 ϕH_1 至 ϕH_h 係活動(在此範例中，在 H(高)位準)(即，輸出致能端子 OE 係在 H 位準)時，個別傳輸驅動器 404 $_1$ 至 404 $_h$ 以及 404 x_1 至 404 x_h 透過水平信號線 18 及 18 x 將輸入的資訊傳輸至輸出電路 28。

如圖 4A(2) 所示，個別計數器單元 254 $_1$ 至 254 $_h$ 具有異步向上/向下計數器之結構並且串聯連接用於 n 個位元的計數器單元(例如，D 鎖存器) 254 $_0$ 至 254 $_{n-1}$ 。"串聯連接"意指用於輸入一前級中的一計數器單元之輸出資料至一後級中的一計數器單元之時脈端子的連接。在該前級中將計數時脈 CK_CNT 供應至計數器單元 254 $_0$ 之時脈端子。資料儲存/傳輸及輸出單元 256 之個別 D 類型正反器 402 $_1$ 至 402 $_h$ 具有藉由位元的 D 鎖存器。個別傳輸驅動器 404 $_1$ 至 404 $_h$ 、404 x_1 至 404 x_h 具有驅動電晶體(D-Tr)。串聯連接計數器單元、D 鎖存器以及用於對應於計數數目之 n 個位元的驅動電晶體。

驅動電晶體係並聯連接至所對應的水平信號線 18 及

18x(此後亦稱為水平傳輸匯流排BUS及xBUS)並且傳輸自個別D鎖存器的互補資料Q及xQ，該等D鎖存器使用水平掃描線12選擇性地輸出藉由位元表示的計數資料。

固態成像器件1包括在D類型正反器(D-FF)402之一後級中的：第一振幅位準改變單元410及410x，其將從D類型正反器402所輸出的H(電源供應側)及L(接地側)邏輯位準之一改變為電源供應與接地之間的第三電壓位準；一主要放大單元411，其放大互補資訊，該資訊之振幅位準係藉由第一振幅位準改變單元410及410x所改變；以及一門鎖單元419，其在預定時序保持主要放大單元411之輸出資訊(比較結果)。門鎖單元419係捕捉從差動放大單元418所輸出的資訊並在預定時序保持該資訊的資料保持單元之一範例。界定用於保持主要放大單元411之輸出資訊(比較結果)的時序之控制脈衝(門鎖時脈)LT係從水平掃描單元12供應至門鎖單元419。

假定門鎖時脈LT與水平資料傳輸時脈 ϕH 同步。更明確而言，設定一控制脈衝以便門鎖單元419將主要放大單元411之輸出資訊(比較結果)保持在一般在藉由水平資料傳輸時脈 ϕH 所界定之傳輸週期中間的位置。

如圖4B(輸出驅動器及輸出電路之組態(基礎))所示，主要放大單元411包括：第二振幅位準改變單元417及417x，其作為放大資訊的互補信號放大單元，該資訊之振幅位準係藉由第一振幅位準改變單元410及410x所改變；以及差動放大單元418，其比較並放大第二振幅位準改變單元417

及417x之輸出。水平傳輸匯流排BUS 413上的資料Q以及水平傳輸匯流排xBUS 413x上的資料xQ係倒轉資料(互補資料)。第二振幅位準改變單元417及417x具有相同結構。主要放大單元411及閘鎖單元419係提供在相對於個別行共同的水平傳輸匯流排BUS及xBUS所提供的輸出電路28中。

第一振幅位準改變單元410及410x包括在個別行中的傳輸驅動器404及404x中的第一位準調整單元414及414x，其將從D類型正反器402之最終級放大器之輸出端子Q及xQ所輸出的H(電源供應側)及L(接地側)邏輯位準之一轉換為電源供應與接地之間的第三電壓位準。

第一振幅位準改變單元410及410x亦包括：第二位準調整單元415及415x，其將從D類型正反器402所輸出的H及L邏輯位準之另一者轉換成電源供應與接地之間的第四電壓位準；以及第三位準調整單元416及416x，其控制藉由第二位準調整單元415及415x所轉換的第四電壓位準處的過度充電並將第四電壓位準之最大值限制為電源供應與接地之間的第五電壓位準。第二位準調整單元415及415x與第三位準調整單元416及416x係提供在相對於個別行共同的水平傳輸匯流排BUS及xBUS所提供的輸出電路28中。

例如，如圖4C所示，第一位準調整單元414及414x將從D類型正反器402所輸出的H邏輯位準改變為電源供應與接地之間的第三電壓位準VL3。為回應此改變，第二位準調整單元415及415x將從D類型正反器402所輸出的L邏輯位準改變為電源供應與接地之間的第四電壓位準

VH4(>VL3)。

採用此方式，依據此具體實施例的傳輸驅動器及404及404x(特定言之，為第一位準調整單元414及414x)與第二位準調整單元415及415x具有倒轉結構。如圖4C所示，自D類型正反器402之一般電壓位準VL(等效於接地電位)及VH(等效於邏輯電路之電源供應電位)處的二進制邏輯位準的資料(該圖中的(1))係轉換成具有窄電壓振幅(VL3至VH4)之類比電壓信號並輸出至水平傳輸匯流排BUS及xBUS(該圖中的(2))。此係基於下列目的：在高負載水平傳輸匯流排BUS及xBUS之驅動中，以高速資料傳輸之觀點，與在保持原始VL及VH邏輯位準的同時透過水平輸匯流排BUS及xBUS傳輸資料至輸出電路28相比，在驅動能力、功率消耗、抗雜訊效能及類似物方面使資訊傳輸更有利。

輸出電路28之第二振幅位準改變單元417及417x接收水平輸匯流排BUS及xBUS上的電壓資訊(VL3至VH4)並藉由傳輸驅動器404及404x(特定言之，為第一位準調整單元414及414x)與第二位準調整單元415及415x將該電壓資訊轉換成具有電壓振幅(VL3至VH4)的窄類比信號。因此，第二振幅位準改變單元417及417x將該電壓資訊轉換(倒轉並放大)成用於具有寬於VL3至VH4之振幅位準VL6至VH6的差動放大單元418之電壓資訊VQ及xVQ而且輸出該電壓資訊(該圖中的(3))。

第三位準調整單元416及416x具有下列功能：當互補資

料Q及xQ係在L位準而未驅動第一位準調整單元414及414x時，將由藉由第二位準調整單元415及415x轉換的第四電壓位準VH4對水平傳輸匯流排BUS及xBUS進行充電時的最大充電電位限制為第五電壓位準VH5以控制對電源供應位準的過度充電。

例如，如圖4C(4)所示，差動放大單元418使用電壓比較器，根據在振幅位準VL6至VH6處在相反極性中變化的電壓資訊VQ及xVQ來比較水平傳輸BUS上的電壓資訊VQ是否高於或低於水平傳輸xBUS上的電壓資訊xVQ。差動放大單元418使用電壓比較器之放大功能(必要時，採用輸出緩衝器進行合作處理)來放大電壓資訊VQ與電壓資訊xVQ之間的差異至用於門鎖單元419的邏輯位準VLout及VHout。

當在單端於水平信號線18上傳輸資訊時，因為作為水平傳輸路徑之水平信號線18為較長，所以傳輸速度受寄生CR的限制。當採用並列執行對AD轉換的計數操作以及水平傳輸操作之管道處理以增加操作速度時，計數器操作期間的電源供應雜訊係在水平傳輸路徑中混合而且限制傳輸速度的增加。

另一方面，在此具體實施例中，資料並非在保持門鎖電路(在此範例中，為D類型正反器402)之邏輯輸出位準的同時在水平信號線18上傳輸，資料係傳輸為互補資訊並轉換成具有較小振幅的電壓信號，發射至輸出電路28，並且在輸出電路28中再次重製為用於一後級電路的邏輯位準。資料係在水平信號線18及18x上傳輸為互補及小振幅電壓信

號。因此，實現高速水平傳輸。因為傳輸互補資訊，所以即使在水平傳輸路徑中混合共同模式雜訊(例如電源供應雜訊)，仍能抵消雜訊的影響。因此，能明顯減少傳輸錯誤。特定言之，當將數位資料傳輸為互補資料時，根據傳輸的互補資料來重製原始資料，並接著在預定時序門鎖該原始資料。此舉亦可以明顯改良資料精度。以下說明特定組態範例。

<組態範例>

圖 5A 及 5B 係用於說明一特定組態範例之圖式。如圖 5A 所示，資料儲存/傳輸及輸出單元 256 之第一位準調整單元 414 及 414x 具有在 D 類型正反器 402 之輸出端子 Q 及 xQ 與水平傳輸匯流排 BUS 及 xBUS 之間的作為驅動電晶體 (D-Tr) 之 NMOS 電晶體 420 以及作為具有類比切換功能的切換電晶體之 NMOS 電晶體 422。

將對應於自水平掃描單元 12 之行的水平資料傳輸時脈 ϕH_1 至 ϕH_h 供應至 NMOS 電晶體 422 之閘極端子。NMOS 電晶體 422 在藉由水平掃描單元 12 的控制下將 NMOS 電晶體 420 之倒轉輸出輸出至個別行之共同的水平傳輸匯流排 BUS 及 xBUS。

D 類型正反器 402 之輸出端子 Q 及 xQ 的輸出資料係輸入於 NMOS 電晶體 420 之閘極端子。NMOS 電晶體 420 之源極端子進行接地。NMOS 電晶體 420 之汲極端子係連接至 NMOS 電晶體 422 之一個輸入及輸出端子(例如，源極端子)。

當 NMOS 電晶體 422 開啟時，NMOS 電晶體 420 邏輯上倒

轉並轉換D類型正反器402之輸出端子Q及xQ的輸出資料之H(電源供應側)邏輯位準成電源供應與接地之間的第三電壓位準VL3。

邏輯上倒轉並轉換從D類型正反器402之輸出端子Q及xQ所輸出的L及H邏輯位準之L(接地側)邏輯位準成第四電壓位準VL4的第二位準調整單元415及415x係連接至水平傳輸匯流排BUS及xBUS。在此組態範例中，使用作為拉升水平傳輸匯流排BUS及xBUS之電位的構件之單元，作為第二位準調整單元415及415x。

明確而言，作為拉升構件之第二位準調整單元415及415x使用PMOS電晶體執行拉升以便當第一位準調整單元414及414x係不活動時(等效於資料Q及xQ係在L位準的時間)將水平傳輸匯流排BUS及xBUS拉至電源供應電壓Vdd側。基於此目的，將具有PMOS電晶體440的第二位準調整單元415及415x提供在水平傳輸匯流排BUS及xBUS與電源供應電壓Vdd之間。將電源供應電壓Vdd供應至PMOS電晶體440之源極端子。PMOS電晶體440之汲極端子係連接至水平傳輸匯流排BUS及xBUS。

第三位準調整單元416及416x藉由第四電壓位準VH4將過度充電(其因為第一位準調整單元414及414x之輸出為不活動的狀態(等效於資料Q及xQ係在L位準的時間)繼續而出現)限制為第五電壓位準VH5。作為第三位準調整單元416及416x，二極級連接式NMOS電晶體442係提供在水平傳輸匯流排BUS及xBUS與接地之間以將陽極放置在水平傳輸匯

流排BUS及xBUS側上並將陰極放置在一接地側上。

PMOS電晶體440亦執行第二振幅位準改變單元417及417x之功能的一部分。第二振幅位準改變單元417及417x包括：NMOS電晶體450，其閘極端子係連接至水平傳輸匯流排BUS及xBUS；提供在NMOS電晶體450之負載側(汲極端子側)上的電流鏡連接式PMOS電晶體452及454；以及提供在PMOS電晶體454之負載側(汲極端子側)上的NMOS電晶體456。

將電源供應電壓Vdd供應至PMOS電晶體452及454之個別源極端子。PMOS電晶體452及454之個別基極端子係共同連接並連接至PMOS電晶體452之汲極端子。NMOS電晶體450之源極端子進行接地。NMOS電晶體450之汲極端子係連接至PMOS電晶體452之汲極端子(而且進一步連接至PMOS電晶體452及454之個別閘極端子)。NMOS電晶體456之源極端子進行接地。NMOS電晶體456之汲極端子係連接至PMOS電晶體454之汲極端子。該等汲極端子的連接點係連接至差動放大單元418之輸入端子之一。第二振幅位準改變單元417之NMOS電晶體456之汲極端子係連接至差動放大單元418之一非倒轉輸入端子(+)而且第二振幅位準改變單元417x之NMOS電晶體456之汲極端子係連接至差動放大單元418之一倒轉輸入端子(-)。

放大器輸出端子之電壓資訊VQ及xVQ係亦供應至PMOS電晶體440之閘極端子(控制輸入端子)。藉由第二振幅位準改變單元417所放大的電壓資訊VQ及xVQ係供應至為

NMOS電晶體420之負載電晶體的PMOS電晶體440之控制輸入端子。組態一回授電路，其根據放大信號(電壓資訊VQ及xVQ)在一方向上行動以控制水平傳輸匯流排BUS及xBUS上的振幅(下文說明該回授電路之操作的細節)。

主要放大單元411具有一偏壓單元460，其界定NMOS電晶體456之操作電流。偏壓單元460包括一PMOS電晶體462，在其一閘極端子處設定一偏壓電壓Vb，而且在該PMOS電晶體462之一負載側(一汲極側)上提供一NMOS電晶體464。將電源供應電壓Vdd供應至PMOS電晶體462之源極端子。PMOS電晶體462之一汲極端子係連接至NMOS電晶體464之一汲極端子。NMOS電晶體464之一源極端子進行接地。連接NMOS電晶體464之一閘極端子及該汲極端子。

第二振幅位準改變單元417及417x之個別NMOS電晶體456係連接至偏壓單元460之NMOS電晶體464之閘極端子而且電流鏡連接至NMOS電晶體464。換言之，從作為恆定電流源的偏壓單元460將預定偏壓位準輸入至NMOS電晶體456之輸入側(閘極端子)。

作為xBUS放大單元的第二振幅位準改變單元417之放大器輸出端子處的電壓資訊VQ係供應至差動放大單元418之非倒轉輸入(+)。作為xBUS放大單元的第二振幅位準改變單元417x之放大器輸出端子處的電壓資訊xVQ係供應至差動放大單元418之倒轉輸入(-)。藉由差動放大單元418比較並放大電壓資訊VQ及電壓資訊xVQ。將電壓資訊VD供應

至門鎖單元419，該電壓資訊假定藉由差動放大單元418比較並放大對應於重製資料之L位準的VLout以及對應於該資料之H位準的VHout。門鎖單元419根據與水平資料傳輸時脈 ϕH 同步的門鎖時脈LT來捕捉一般在傳輸週期中間之一位置中的電壓資訊VD以重製原始邏輯資料D並輸出與水平資料傳輸時脈 ϕH 同步的邏輯資料D。

在數位資料之水平傳輸方面，在門鎖單元419中決定最終資料以改良資料重製的精度。然而，並非絕對必要提供門鎖單元419。在類比資料之水平傳輸中，在不提供門鎖單元419的情況下，實際上僅必須使用從差動放大單元418所輸出的電壓資訊。

如從該圖顯然看出，第二振幅位準改變單元417及417x具有相同結構。第二振幅位準改變單元417及417x較佳具有相同效能以便放大器輸出端子處的電壓資訊VQ及xVQ假定類型的特性。為此目的，例如，較佳的係將第二振幅位準改變單元417及417x配置在彼此接近的適當位置。特定言之，第二振幅位準改變單元417及417x之操作點實質上取決於NMOS電晶體456之操作電流。因此，較佳的係將NMOS電晶體456配置在第二振幅位準改變單元417側上而且將NMOS電晶體456配置在第二振幅位準改變單元417x側上彼此接近的適當位置處。

NMOS電晶體456係電流鏡連接至偏壓單元460之NMOS電晶體464。因此，為了對稱地配置個別電晶體之鏡電路，較佳的係將NMOS電晶體456配置在第二振幅位準改變

單元417側上而且將NMOS電晶體456配置在第二振幅位準改變單元417x側上橫跨NMOS電晶體464的對稱位置處。該圖所示的圖(電路圖)示意性地顯示該配置。在第二振幅位準改變單元417及417x中，亦較佳的係將個別電晶體440、450、452、454及456配置在接近位置。

在具有作為拉升構件之PMOS電晶體440的第二振幅位準改變單元417及417x之結構中，當某一行中的輸出資料Q及xQ係"L"時，PMOS電晶體440係用以拉升水平傳輸匯流排BUS及xBUS之電壓至電源供應Vdd側。當某一行中的輸出資料Q及xQ改變為"H"時，藉由驅動的NMOS電晶體420來拉降電壓而且在邏輯上倒轉並發射信號值"H"。不用說，當某一行中的輸出資料係"L"時，因為關閉NMOS電晶體420，所以藉由PMOS電晶體440在邏輯上倒轉並發射信號值"L"。

當某一行中的輸出資料Q及xQ改變為"H"時，NMOS電晶體420得以開啟而且水平傳輸匯流排BUS及xBUS之電壓得以拉降並降落某一電壓至對應於H位準的電源供應電壓Vdd與對應於L位準的接地電壓GND之間的第三電壓位準VH3。電壓降落的程度取決於NMOS電晶體420之汲極與源極之間的驅動能力(同汲極與源極之間的驅動電流及輸出電阻相關)以及水平傳輸匯流排BUS及xBUS側上的負載電阻及負載電容。

在組態第一位準調整單元414中，使用在邏輯上倒轉從AD轉換單元25b及D類型正反器402所輸出的H及L邏輯位

準的電晶體(在此範例中為NMOS電晶體420)。因此，存在一優點：可以將H及L邏輯位準之一(在此範例中為H位準)輕易地轉換為第三電壓位準 V_{H3} 。

在明確組態用於當某一行中的輸出資料Q及xQ為"L"時拉升電壓至對應於H位準的電源供應電壓 V_{dd} 與對應於L位準的接地電壓GND之間的第四電壓位準 V_{L4} 中，若使用MOS電晶體，則存在一優點：與其中使用電阻元件的形式比較，可以在小區域中實現拉升構件。此外，在從L位準至H位準的轉變(邏輯上在水平傳輸匯流排BUS及xBUS上倒轉；從H位準至L位準)中，能利用PMOS電晶體440之驅動能力。因此，與電阻元件比較，驅動能力亦較高。然而，當開啟NMOS電晶體420時，直通電流很可能透過PMOS電晶體422從PMOS電晶體440流向NMOS電晶體420。

<組態範例中的放大動作>

圖6A及6B係用於說明圖5B所示之組態範例中的第二振幅位準改變單元417及417x之放大動作之圖式並且功能地顯示一電路組態。圖6A係用於說明圖5B所示的組態範例之比較性範例所應用於的操作之圖式。圖6B係用於說明依據圖5B所示的該組態範例所應用於的依據此具體實施例之操作的圖式。

如圖6A所示(比較性範例：傳輸動作)，在比較性範例的組態中，為了採用較大寄生CR在傳輸路徑(匯流排613及613x)上執行資料傳輸，如在此具體實施例中一樣，使用

一差動傳輸電路。在此差動傳輸電路中，藉由負載電晶體(作為電流源600)驅動傳輸電路以對傳輸路徑及用於互補資料的驅動電晶體617進行充電而且藉由差動放大器618來比較並輸出電壓。然而，在比較性範例之此組態中，傳輸速度取決於用於在直流平衡進行充電及放電的負載電晶體及驅動電晶體617之能力。當傳輸路徑之寄生CR 605係較大時，傳輸路徑上的傳輸之速度取決於此能力。

另一方面，在依據圖5B所示的此具體實施例之組態範例中，第二振幅位準改變單元417及417x組態一回授放大器電路。換言之，連接PMOS電晶體454之汲極端子與NMOS電晶體456之汲極端子的連接點係放大器輸出端子。在放大器輸出端子處所產生的差動放大單元418之電壓資訊VQ及xVQ係返回至PMOS電晶體440之閘極端子(控制輸入端子)。PMOS電晶體440組態一回授電路，其用於根據閘極端子處的閘極電壓來控制水平傳輸匯流排BUS及xBUS中的電位波動。

當從D類型正反器402所輸出的邏輯資料Q及xQ係在L位準時，NMOS電晶體420會關閉以在一方向上行動以隨PMOS電晶體440之拉升動作而增加水平傳輸匯流排BUS及xBUS之電位。接著，NMOS電晶體450在開啟方向上行動並且電流鏡連接式PMOS電晶體452及454之電流會增加。此電流增加在一方向上行動以增加在放大器輸出端子處所產生的電壓資訊VQ及xVQ。向PMOS電晶體440之閘極端子通報該資訊。當閘極端子處的電位上升時，因為PMOS

電晶體 440 在關閉方向上行動，所以操作電阻會增加。因此，PMOS 電晶體 440 在一方向上行動以減小水平傳輸匯流排 BUS 及 xBUS 之電位。換言之，當水平傳輸匯流排 BUS 及 xBUS 之電位上升(振幅增加)時，PMOS 電晶體 440 係採用第二振幅位準改變單元 417 及 417x 之放大器輸出端子處的電壓資訊 VQ 及 xVQ 來輸入而且在一方向上行動以控制水平傳輸匯流排 BUS 及 xBUS 之振幅的增加。

相反地，當從 D 類型正反器 402 所輸出的邏輯資料 Q 及 xQ 係在 H 位準時，NMOS 電晶體 420 經開啟以得到拉降而且在一方向上行動以減小水平傳輸匯流排 BUS 及 xBUS 之電位。接著，NMOS 電晶體 450 在關閉方向上行動並且電流鏡連接式 PMOS 電晶體 452 及 454 之電流會減少。此電流減少在一方向上行動以降低在放大器輸出端子處所產生的電壓資訊 VQ 及 xVQ。向 PMOS 電晶體 440 之閘極端子通報該資訊。

當閘極端子處的電位下降時，PMOS 電晶體 440 在開啟方向上行動。因此，操作電阻減少而且 PMOS 電晶體 440 在一方向上行動以增加水平傳輸匯流排 BUS 及 xBUS 之電位。換言之，當水平傳輸匯流排 BUS 及 xBUS 之電位下降(振幅減少)時，PMOS 電晶體 440 係採用第二振幅位準改變單元 417 及 417x 之放大器輸出端子處的電壓資訊 VQ 及 xVQ 來輸入而且在一方向上行動以控制水平傳輸匯流排 BUS 及 xBUS 之振幅的減少。

從此事實看出，第二振幅位準改變單元 417 及 417x 操作為回授放大器電路。在第二振幅位準改變單元 417 及 417x

之放大器輸出端子處所產生的電壓資訊VQ及xVQ係輸入至作為負載電晶體的PMOS電晶體440之閘極端子。因此，水平傳輸匯流排BUS及xBUS之振幅位準採用自我對準方式而穩定至與NMOS電晶體456之閘極端子處的偏壓位準平衡的位準。

為NMOS電晶體420之負載電晶體的PMOS電晶體440係用作第二位準調整單元415而且放大器輸出端子處的電壓資訊VQ及xVQ係回授至PMOS電晶體440之閘極端子。因此，存在一優點：可以輕易地組態回授放大器電路。

採用此方式，在依據此具體實施例的組態中，如圖6B(此具體實施例：放大與傳輸動作)所示，該電路包括：二個水平傳輸匯流排BUS及xBUS，其用於傳輸互補輸出資料；NMOS電晶體420，其係分佈並配置在水平傳輸匯流排BUS及xBUS上並作為個別行中的驅動電晶體以根據互補輸出資料來驅動水平傳輸匯流排BUS及xBUS；以及作為放大級的 second 振幅位準改變單元417(BUS放大單元)及417x(xBUS放大單元)，其係採用水平傳輸匯流排BUS及xBUS上的信號所輸入並產生輸入至作為差動放大器的差動放大單元418之輸入信號(電壓資訊VQ及xVQ)。該電路亦包括作為負載電晶體的PMOS電晶體440，其係採用藉由第二振幅位準改變單元417(BUS放大單元)及417x(xBUS放大單元)所產生的電壓資訊VQ及xVQ所輸入並回授電壓資訊VQ及xVQ至水平傳輸匯流排BUS及xBUS，即在一方向

上行動以控制水平傳輸路徑之振幅。

採用此組態，關於作為資料傳輸路徑的水平傳輸匯流排BUS及xBUS，作為負載電晶體的PMOS電晶體440亦作為回授電晶體。因此，因為水平傳輸匯流排BUS及xBUS上的資訊之振幅係控制為較小，所以高速操作為可行。作為差動放大器的差動放大單元418之輸入係藉由為放大級的作為BUS放大單元之第二振幅位準改變單元417及作為xBUS放大單元之第二振幅位準改變單元417x所放大，以改變至電壓資訊VQ及xVQ。因此，可以快速且精確地比較電壓資訊。此外，因為資料係傳輸為互補資訊，所以即使雜訊係在水平傳輸匯流排BUS及xBUS中混合，仍可以抵消雜訊的影響。因此，雜訊電阻為較高。

<組態範例中的位準控制動作>

圖6C及6D係用於說明藉由圖5B所示之組態範例中的第三位準調整單元416及416x之位準控制動作的圖式。

當以高速驅動高負載水平傳輸匯流排BUS及xBUS時，難以穩固一通過速率。圖6C(1)顯示與通過速率的關係。未提供第三位準調整單元416及416x。如該圖所示，應加以放大至電源供應電壓的水平傳輸匯流排BUS及xBUS之電位係實際上放大僅極小的振幅。此係因為，因水平傳輸匯流排BUS及xBUS中存在電阻而且緩衝器(在此範例中為NMOS電晶體420)中存在有限輸出阻抗，所以電位係因所謂的CR延遲而放大極小的振幅。

當電位係採用此方式放大僅極小的振幅時，信號中的錯

誤很可能會出現。圖 6C(2)顯示與資料變化的關係而且圖 6D(1)顯示匯流排上的電壓變化(當未提供第三調整單元時)。如該圖所示，當在操作點係接近於接地側的狀態中彼此鄰近之行中的輸出係通常不同而且水平傳輸匯流排 BUS 及 xBUS 中的變化出現時，在接近於接地側的狀態中振幅係較小並且在沒有變化時振幅係較大。水平匯流排 BUS 上的電位繼續上升直至資料改變至 H。然而，水平傳輸匯流排 xBUS 上的電位停留在依據第二振幅位準改變單元 417 之預定位準處。

作為 BUS 放大單元的第二幅度位準改變單元 417 之放大器輸出端子處的電壓資訊 VQ 係供應至差動放大單元 418 之非倒轉輸入(+)。作為 xBUS 放大單元的第二幅度位準改變單元 417x 之放大器輸出端子處的電壓資訊 xVQ 係供應至差動放大單元 418 之倒轉輸入(-)。藉由差動放大單元 418 比較並放大電壓資訊 VQ 及電壓資訊 xVQ。因此，如圖 6D(2)所示，即，差動放大單元之動作(當未提供第三位準調整單元時)，用於重製差動放大單元 418 中的資料之臨界值因輸出變化而變化。此引起判斷錯誤(資料的重製錯誤)。

提供第三位準調整單元 416 及 416x 以解決此問題。例如，提供二極體連接式 NMOS 電晶體 422，作為第三位準調整單元 416 及 416x。因此，當資料 Q 及 xQ 係在 L 位準時，可以依據二極體連接式 NMOS 電晶體 442 及第二振幅位準改變單元 417 將用於對水平傳輸匯流排 BUS 及 xBUS 進行充電的電位之上升限制為預定第五電壓位準 VH5。換言之，當水

平傳輸匯流排BUS及xBUS並未藉由第一位準調整單元414及414x驅動至接地側時(等效於資料Q及xQ係在L位準的時間)，將水平傳輸匯流排BUS及xBUS之充電控制為第五電壓位準VH5($\equiv$ 二極體電壓 $\approx$ 約0.6 V)。因此，可以預防水平傳輸匯流排BUS及xBUS過度充電至電源供應位準。

因此，振幅位準VL3至VH4係限於二極體電壓之範圍，水平傳輸匯流排BUS及xBUS上的資訊具有極小的振幅，而且高速倒轉操作為可行。因此，如圖6D(3)所示，即，差動放大單元之動作(當提供第三位準調整單元時)，即使水平傳輸匯流排BUS及xBUS中沒有變化，資料之重製錯誤仍不那麼輕易地出現。為了使此點更完整，明智的係將振幅位準VL3至VH4設定為實質上等於二極體電壓。若設定NMOS電晶體456之偏壓位準以便在第三位準調整單元416及416x並非不存在時的拉升電位係等於或高於二極體電壓，則振幅位準VL3至VH4係藉由NMOS電晶體422而自動地設定為實質上等於二極體電壓。

在預定範圍內控制拉升時間處的電位(第五電壓位準VH5)之第三位準調整單元416之結構並不限於其中二極體連接NMOS電晶體442的此結構。例如，可以使用齊納二極體(Zener diode)或其他電壓限制元件。然而，若二極體之陰極係在前向方向上連接至接地(參考電壓)側而且其陽極係連接至偏壓線側，則存在一優點：拉升時間處的電位能輕易地限於預定範圍(二極體電壓)。當二極體連接MOS電晶體時，可輕易將MOS電晶體併入一積體電路中。

<組態範例中資訊重製動作與偏壓位準之間的關係>

圖 6E 係用於說明 NMOS 電晶體 464 之偏壓位準與藉由圖 5B 所示之組態範例中的差動放大單元 418 的資訊重製動作之間的關係之圖式。NMOS 電晶體 464 之操作電流實質上作用於功率消耗與第二振幅位準改變單元 417 及 417x 之操作點。在功率消耗方面，功率消耗能經調適用以取決於藉由偏壓單元 460 所產生的偏壓電流(至 NMOS 電晶體 456 之閘極端子的偏壓位準)。因此，可以依據傳輸速度來改變偏壓電流並實現低功率消耗。

另一方面，在操作點方面，當偏壓電流並不彼此相符(如圖 6E 所示)而且作為 BUS 放大單元的第二振幅位準改變單元 417 之放大器輸出端子處的操作點與作為 xBUS 放大單元的第二振幅位準改變單元 417x 之放大器輸出端子處的操作點並不彼此相符(如圖 6E 所示)時，偏移會出現在輸入資訊與藉由差動放大單元 418 加以重製的電壓資訊 VD 所指示的重製資訊之間。圖 6E 顯示輕微的偏移。然而，當放大器輸出端子處的操作點實質上偏移時，很可能無法重製該資訊。

在數位資料的水平傳輸中，可以藉由在差動放大單元 418 之後級提供門鎖單元 419 並在一般在傳輸週期中間之時序捕捉數位資料來改良資料重製的精度。然而，在類比資料之傳輸的情況下，難以採用此方式來改良資料重製的精度。

在此方面，如以上所說明，較佳的係藉由(例如)將第二

振幅位準改變單元417側上的NMOS電晶體456及第二振幅位準改變單元417x側上的NMOS電晶體456配置在彼此接近的適當位置以便放大器輸出端子處的電壓資訊VQ及電壓資訊xVQ呈現類似特性來將第二振幅位準改變單元417及417x之效能設定為相同。

<與類似組態範例的比較>

作為類似於依據以上說明之此具體實施例的組態之機制，例如，JP-A-5-128870關於用於動態半導體儲存器件之匯流排信號(輸入及輸出匯流排信號)的差動放大單元而建議一機制，其包括：用於發射藉由行解碼器所選擇之互補位元線上的信號至互補匯流排線之一構件；差動地輸入、比較並判斷匯流排線上的信號之一差動放大器；以及提供在互補匯流排線與該差動放大器的差動輸入之間的一電壓位準轉換器(例如源極隨耦器電路)。

藉由使用一電壓位準轉換器從一電源供應電壓位準減少判斷傳輸路徑之差異電位的差動放大器之差動輸入電位，能在飽和區域中使用C-MOS結構之差動放大器。因此，可以增加整個放大操作的速度及增益。

在JP-A-5-128870中所建議的機制中，電壓位準轉換器(例如，源極隨耦器電路)沒有放大功能。因此，難以享受此具體實施例的特殊動作及效應，因為藉由將差動放大器(差動放大單元418)之輸入設定至較大振幅，同時控制水平傳輸匯流排BUS及xBUS上的資訊至較小振幅，可以藉由將差動放大器之輸入信號設定至較大振幅，同時控制資料路

徑至較小振幅來快速且精確地比較電壓資訊以實現高速傳輸。

JP-A-2002-84460在CMOS成像器件中建議一機制，其使用串聯連接的回授電阻器及輸入電阻器來電壓分佈放大的輸出以獲得電壓分佈輸出而且使用電壓分佈輸出作為差動倒轉輸入。待傳輸的資訊為類比資訊。藉由差動放大器產生負相位信號線上的負相位信號，其與用於傳輸正相位信號之正相位信號線上的影像信號具有互補性。能將放大器增益設定為等於或大於1。在抑制固定圖案雜訊的情況下，可以獲得在大於1之放大程度下所放大的輸出信號。因此，在該機制中減小雜訊。

然而，在JP-A-2002-84460中所揭示的機制中，用於使類比資訊穩定的時間係必要的。另一方面，在依據此具體實施例之機制中，傳輸數位資訊而且僅必須保持期間能比較二進制數值的時間。因此，該機制在速度的增加方面有利。

<成像裝置>

圖7係顯示作為使用與依據此具體實施例之固態成像器件1之機制相同的機制之一實體資訊獲取裝置之範例的一成像裝置(相機系統)之示意結構的圖式。此成像裝置8係獲得可見光彩色影像的成像裝置。

明確而言，成像裝置8包括：引導光L的一攝影透鏡802，其在諸如陽光或螢光燈之光源801下承載物體Z之影像至成像裝置側並聚焦光L；一光學低通濾波器804；一彩

色濾波器群組812，其中(例如)R、G及B之彩色濾波器係排列在貝爾(Bayer)陣列中；一像素陣列單元10；一驅動控制單元7，其驅動像素陣列單元10；一行處理單元26，其供應CDS處理、AD處理轉換處理及類似處理至從像素陣列單元10所輸出的像素信號；以及一相機信號處理單元810，其處理從行處理單元26所輸出的成像資料。

相機信號處理單元810包括一成像信號處理單元820及一相機控制單元900，其作為控制整個成像裝置8的主要控制單元。成像信號處理單元820包括：一信號分離單元822，其在將除原色濾波器以外的濾波器用作彩色濾波器時具有原色分離功能以將從行處理單元26之行AD電路25b(參見圖1)所供應的數位成像信號分離成R(紅)、G(綠)及B(藍)之原色信號；以及一彩色信號處理單元830，其根據藉由信號分離單元822所分離的原色信號R、G及B而將信號處理應用於彩色信號C。

成像信號處理單元820亦包括一光度信號處理單元840，其根據藉由信號分離單元822所分離的原色信號R、G及B將信號處理應用於光度信號Y；以及一編碼器單元860，其根據光度信號Y及彩色信號C產生視訊信號VD。

依據此具體實施例的相機控制單元900包括一微處理器902，其形成電腦之核心，該核心係藉由CPU(中央處理單元)所表示，其中藉由電腦所執行的算術運算及控制之功能係整合在微積體電路中；一ROM(唯讀記憶體)904，其係專門用於讀出的儲存單元；一RAM(隨機存取記憶

體)906，其中能寫入資料而且能隨機從中讀出資料並且該記憶體為揮發性儲存單元之一範例；以及該圖中未顯示的其他周邊部件。微處理器902、ROM 904及RAM 906係亦共同稱為微電腦。

"揮發性儲存單元"意指當關閉該裝置的電源供應時，從中抹除儲存的內容之一儲存單元。另一方面，"非揮發性儲存單元"意指即使關閉該裝置的主要電源供應，仍繼續保持儲存的內容之一儲存單元。非揮發性儲存單元僅必須能夠繼續保持儲存的內容而且並不限於其中由半導體所製造的記憶體元件本身具有非揮發性的儲存單元。非揮發性儲存單元可以為其中揮發性記憶體元件經形成用以藉由提供備用電源供應而呈現"非揮發性"的儲存單元。

相機控制單元900控制整個系統。將用於相機控制單元900的控制程式及類似程式儲存在ROM 904中。特定言之，在此範例中，將用於採用相機控制單元900來設定各種控制脈衝之開啟及關閉時序的程式儲存在ROM 904中。將藉由相機控制單元900用以執行各種處理的資料及類似物儲存在RAM 906中。

諸如記憶卡之記錄媒體924能可分開地插入在相機控制單元900。相機控制單元900能連接至諸如網際網路之通信網路。例如，除微處理器902以外，相機控制單元900還包括ROM 904及RAM 906、記憶體讀出單元907及通信I/F(介面)908。

記錄媒體924係用於根據自光度信號處理單元840的光度

系統信號以及曝光控制處理之各種控制脈衝的開啟及關閉時序(包括電子快門控制)來暫存用於使微處理器902執行軟體處理的程式資料以及諸如光度測定資料DL的收斂範圍之各種設定數值的資料。

記憶體讀出單元907儲存(安裝)從RAM 906中的記錄媒體924所讀出的資料。通信I/F 908作為引起該裝置與諸如網際網路的通信網路之間的通信資料之交換的媒介。

在此成像裝置8中，驅動控制單元7及行處理單元26係顯示為與像素陣列單元10分離的模組狀單元。然而，如關於固態成像裝置1所說明，不用說可使用一個晶片固態成像器件1，其中此等單元係整體地形成於上面形成像素陣列單元10之半導體基板上。

在該圖中，成像裝置8係顯示為除像素陣列單元10、驅動控制單元7、行處理單元26及相機信號處理單元810以外還包括諸如攝影透鏡802、光學低通濾波器804以及紅外線截止濾波器805之光學系統。此形式係適合於具有成像功能的模組狀形式，其中共同地封裝此等單元。

在與固態成像器件1中的模組之關係中，如該圖所示，固態成像器件1可提供在具有成像功能的模組狀模式中，其中共同地封裝像素陣列單元10(成像單元)及與像素陣列單元10側緊密相關的信號處理單元(排除行處理單元26之後級中的相機信號處理單元)，例如具有AD轉換功能及差異(CDS)處理功能之行處理單元26。為其餘信號處理單元的相機信號處理單元810可提供在提供於模組狀形式中的

固態成像器件1之後級中，以組態整個成像裝置8。

儘管該圖中未顯示，但是固態成像器件1可提供在具有成像功能的模組狀形式中，其中共同地封裝像素陣列單元10以及諸如攝影透鏡802之光學系統。可藉由除提供在模組形式中的固態成像器件1以外還在中提供模組相機810來組態整個成像裝置8。

在固態成像器件1之模組形式中可包括相機信號處理單元810。在此情況下，固態成像器件1及成像裝置8可視為相同。

此成像裝置8係提供為(例如)具有相機以及用於執行"成像"之成像功能的可攜式裝置。"成像"不僅包括在正常相機攝影期間捕捉影像而且包括更廣意義上的指紋偵測及類似動作。

具有此結構的成像裝置8具有固態成像器件1之所有功能。能將成像裝置8之基本結構及操作設定為與固態成像器件1之基本結構及操作相同。藉由將該具體實施例應用為資料儲存/傳輸及輸出單元256及輸出電路28，可以解決由於水平傳輸中水平傳輸信號線18上的負載電阻所致的問題。

已參考該具體實施例說明本發明。然而，本發明之技術範疇不限於該具體實施例中所說明的範疇。可對該具體實施例進行各種修改及改良而不脫離本發明之精神。透過此類修改及改良所改變及改良的形式亦包括在本發明之技術範疇內。

該具體實施例並不限制依據申請專利範圍之發明。該具體實施例中所說明的特性之所有組合對本發明之解決手段並非始終絕對必要的。各級中的發明係包括在該具體實施例中。能藉由複數個揭示的元件之適當組合來擷取各種發明。即使從該具體實施例中所說明的所有元件刪除數個元件，只要獲得效應，就仍能擷取從中刪除數個元件之該等元件作為發明。

<對電子裝置的應用>

在以上說明的範例中，本發明係應用於固態成像器件及成像裝置，其中AD轉換並水平地傳輸像素信號。然而，AD轉換及資料傳輸之機制不僅能應用於固態成像器件及成像裝置而且能應用於任何種類的電子裝置，其需要資訊傳輸處理，例如傳輸動態半導體儲存器件中的輸入及輸出匯流排信號。

熟習技術人士應瞭解，可根據設計要求及其他因素進行各種修改、組合、次組合及變更，只要其係在隨附的申請專利範圍或其等效物之範疇內。

【圖式簡單說明】

圖1係作為依據本發明之一具體實施例之固態成像器件的CMOS固體成像器件之示意圖；

圖2A係顯示用於執行一參考信號比較類型之AD轉換的基本電路之組態的範例(第一範例)之圖式；

圖2B係顯示用於執行該參考信號比較類型之AD轉換的基本電路之組態的範例(第二範例)之圖式；

圖 3A 係用於說明該參考信號比較類型之 AD 轉換之第一處理範例中的操作之時序圖；

圖 3B 係用於說明該參考信號比較類型之 AD 轉換之第二處理範例中的操作之時序圖；

圖 3C 係用於說明該參考信號比較類型之 AD 轉換之第四處理範例中的操作之時序圖；

圖 4A 係顯示一資料儲存/傳輸及輸出單元之細節的電路方塊圖；

圖 4B 係顯示該資料儲存/傳輸及輸出單元及一輸出電路之周邊的組態範例之電路方塊圖；

圖 4C 係用於說明圖 4B 所示的組態之基本操作的電壓位準圖；

圖 5A 係用於說明一特定組態範例之圖式；

圖 5B 係用於說明一特定組態範例之圖式；

圖 6A 係用於說明依據圖 5B 所示的一比較性組態範例之操作的圖式；

圖 6B 係用於說明圖 5B 所示的該組態範例所應用於的依據該具體實施例之操作的圖式；

圖 6C 係用於說明藉由圖 5B 所示的該組態範例中的第三位準調理單元之位準控制動作的圖式；

圖 6D 係用於說明藉由圖 5B 所示的該組態範例中的第三位準調理單元之位準控制動作的另一圖式；

圖 6E 係用於說明一 NMOS 電晶體之偏壓位準與藉由圖 5B 所示的該組態範例中的差動放大單元的資訊重製動作之間

的關係之圖式；

圖7係顯示作為使用與依據該具體實施例之固態成像器件之機制相同的機制之一實體資訊獲取裝置之範例的一成像裝置之示意結構的圖式。

【主要元件符號說明】

1	固態成像器件
2	記憶體器件
3	像素
5a	端子
5b	端子
5c	輸出端子
7	驅動控制單元
8	成像裝置
10	像素陣列單元
12	水平掃描單元
12a	水平解碼器
12b	水平驅動單元
12c	控制線
14	垂直掃描單元
14a	垂直解碼器
14b	垂直驅動單元
15	列控制線
18	水平信號線
18x	水平信號線

19	垂直信號線
20	通信/時序控制單元
24	讀出電流源單元
25	行電路
25a	差動處理單元(CDS)
25b	AD轉換單元(ADC)
26	行處理單元
27	參考信號產生單元
27a	數位至類比轉換器(DAC)
28	輸出電路
29	數位算術單元
252	比較單元
253	計數操作控制單元
254	計數器單元
254_0至254_n-1	計數器單元
254_1至254_h	計數器單元
256	資料儲存/傳輸及輸出單元
258	開關(SEL)
260	計數相位調整單元(PH SEL)
402	D類型正反器
402_1至402_h	D類型正反器
404	傳輸驅動器
404_1至404_h	傳輸驅動器
404x	傳輸驅動器

404x_l 至 404x_h	傳輸驅動器
410	第一振幅位準改變單元
410x	第一振幅位準改變單元
411	主要放大單元
413	匯流排BUS
413x	匯流排xBUS
414	第一位準調整單元
414x	第一位準調整單元
415	第二位準調整單元
415x	第二位準調整單元
416	第三位準調整單元
416x	第三位準調整單元
417	第二振幅位準改變單元
417x	第二振幅位準改變單元
418	差動放大單元
419	閃鎖單元
420	NMOS電晶體
422	NMOS電晶體
440	PMOS電晶體
442	NMOS電晶體
450	NMOS電晶體
452	PMOS電晶體
454	PMOS電晶體
456	NMOS電晶體

460	偏壓單元
462	PMOS電晶體
464	NMOS電晶體
600	電流源
605	寄生CR
613	匯流排
613x	匯流排
617	驅動電晶體
801	光源
802	攝影透鏡
804	光學低通濾波器
805	紅外線截止濾波器
810	相機信號處理單元
812	彩色濾波器群組
820	成像信號處理單元
822	信號分離單元
830	彩色信號處理單元
840	光度信號處理單元
900	相機控制單元
902	微處理器
904	ROM(唯讀記憶體)
906	RAM(隨機存取記憶體)
907	記憶體讀出單元
908	通信I/F(介面)

924	記錄媒體
BUS	水平傳輸匯流排
C	寄生電容/彩色信號
CK	時脈端子
CK0、...、及CKn-1	計數資料
CN1	控制信號
CN2	控制信號
CN4	控制資料
CN5	控制信號
D	原始資料
Dd	個別資料
DLAT	子時脈
Dout	資料
Dp	個別資料
Dsig	數位資料
D-Tr	驅動電晶體
EN	計數啟用信號
OE	致能端子
Qd	互補資料
Qp	互補資料
Qsig	互補資料
RAMP	端子
SEL	計數週期控制信號
SLP_ADC	參考信號

So	像素信號
TG	時序產生器
VD	電壓資訊
VQ	電壓資訊
xBUS	水平傳輸匯流排
xQd	互補資料
xQp	互補資料
xQsig	互補資料
xVQ	電壓資訊
Y	光度信號
Z	物體

十、申請專利範圍：

1. 一種固態成像器件，其包含：

一像素單元，其中排列單元像素；

一互補信號產生單元，該互補信號產生單元根據從該像素單元中的個別該等單元像素所讀出的類比像素信號而產生彼此具有互補性的二種互補信號；

二種互補信號線，其上傳送該二種互補信號；

一水平掃描單元，該水平掃描單元傳輸該等互補信號線上的該二種互補信號之每一者；

一差動放大單元，該差動放大單元藉由差動輸入接收該二種互補信號線上的該等信號而且比較該等信號；以及

一互補信號放大單元，該互補信號放大單元放大該二種互補信號線上的個別該等信號，

其中，

該差動放大單元藉由差動輸入接收該互補信號放大單元所放大的個別該等信號而且比較該等信號，且

該互補信號放大單元具有一回授電路，其在一方向上行動以根據該等放大的信號來控制該等互補信號線上的該等信號之振幅。

2. 如請求項1之固態成像器件，其中

在該像素單元中，將該等單元像素排列在一矩陣形狀中，以及

該固態成像器件進一步包括從該像素單元中的個別該等單元像素讀出類比像素信號的一垂直掃描單元。

3. 如請求項1之固態成像器件，其進一步包含將從該像素單元中的個別該等單元像素所讀出的該等類比像素信號轉換成數位資料的一AD轉換單元，其中
該二種互補信號係互補位元資料。
4. 如請求項1之固態成像器件，其進一步包含：
一第一位準調整單元，該第一位準調整單元包括拉降該等互補信號線之電位的一驅動電晶體，以及
一第二位準調整單元，該第二位準調整單元包括拉升該等互補信號線之該等電位的一負載電晶體，
其中，
該回授電路供應該等放大的信號至該負載電晶體之一控制輸入端子。
5. 如請求項4之固態成像器件，其進一步包含一第三位準調整單元，其控制待在一預定範圍內進行拉升的該等電位。
6. 如請求項5之固態成像器件，其中該第三位準調整單元具有在前向方向上連接在該等互補信號線與一參考電壓之間的一二極體。
7. 一種成像裝置，其包含：
一像素單元，其中將單元像素排列在一矩陣形狀中；
一垂直掃描單元，該垂直掃描單元從該像素單元中的個別該等單元像素讀出類比像素信號；
一互補信號產生單元，該互補信號產生單元根據從該像素單元中的個別該等單元像素所讀出的該等類比像素

信號而產生彼此具有互補性的二種互補信號；

二種互補信號線，其上傳送該二種互補信號；

一水平掃描單元，該水平掃描單元傳輸該等互補信號線上的該二種互補信號之每一者；

一差動放大單元，該差動放大單元藉由差動輸入接收該二種互補信號線上的該等信號而且比較該等信號；

一主要控制單元，該主要控制單元產生用於控制該垂直掃描單元及該水平掃描單元的資訊；以及

一互補信號放大單元，該互補信號放大單元放大該二種互補信號線上的個別該等信號，

其中，

該差動放大單元藉由差動輸入接收該互補信號放大單元所放大的個別該等信號而且比較該等信號，且

該互補信號放大單元具有一回授電路，其在一方向上行動以根據該等放大的信號來控制該等互補信號線上的該等信號之振幅。

8. 一種電子裝置，其包含：

二種互補信號線，其上傳送對應於彼此具有互補性之二種互補位元資料的互補資訊；

一掃描單元，該掃描單元傳輸該等互補信號線上的該二種互補資訊之每一者；

一互補信號放大單元，該互補信號放大單元分別放大該二種互補信號線上的該互補資訊；以及

一差動放大單元，該差動放大單元藉由差動輸入接收

該互補信號放大單元所放大的個別信號而且比較該等信號，

其中，

該互補信號放大單元在一方向上行動以根據該等放大的信號來控制該等互補信號線上的信號振幅。

9. 如請求項8之電子裝置，其進一步包含：

一第一位準調整單元，該第一位準調整單元包括拉降該等互補信號線之電位的一驅動電晶體；以及

一第二位準調整單元，該第二位準調整單元包括拉升該等互補信號線之該等電位的一負載電晶體，其中

該回授電路供應該等放大的信號至該負載電晶體之一控制輸入端子。

10. 如請求項9之電子裝置，其進一步包含一第三位準調整單元，其控制待在一預定範圍內進行拉升的該等電位。

11. 如請求項10之電子裝置，其中該第三位準調整單元具有在前向方向上連接在該等互補信號線與一參考電壓之間的一二極體。

12. 如請求項8之電子裝置，其進一步包含一資料保持單元，其在預定時序捕捉並保持從該差動放大單元所輸出的資訊。

十一、圖式：

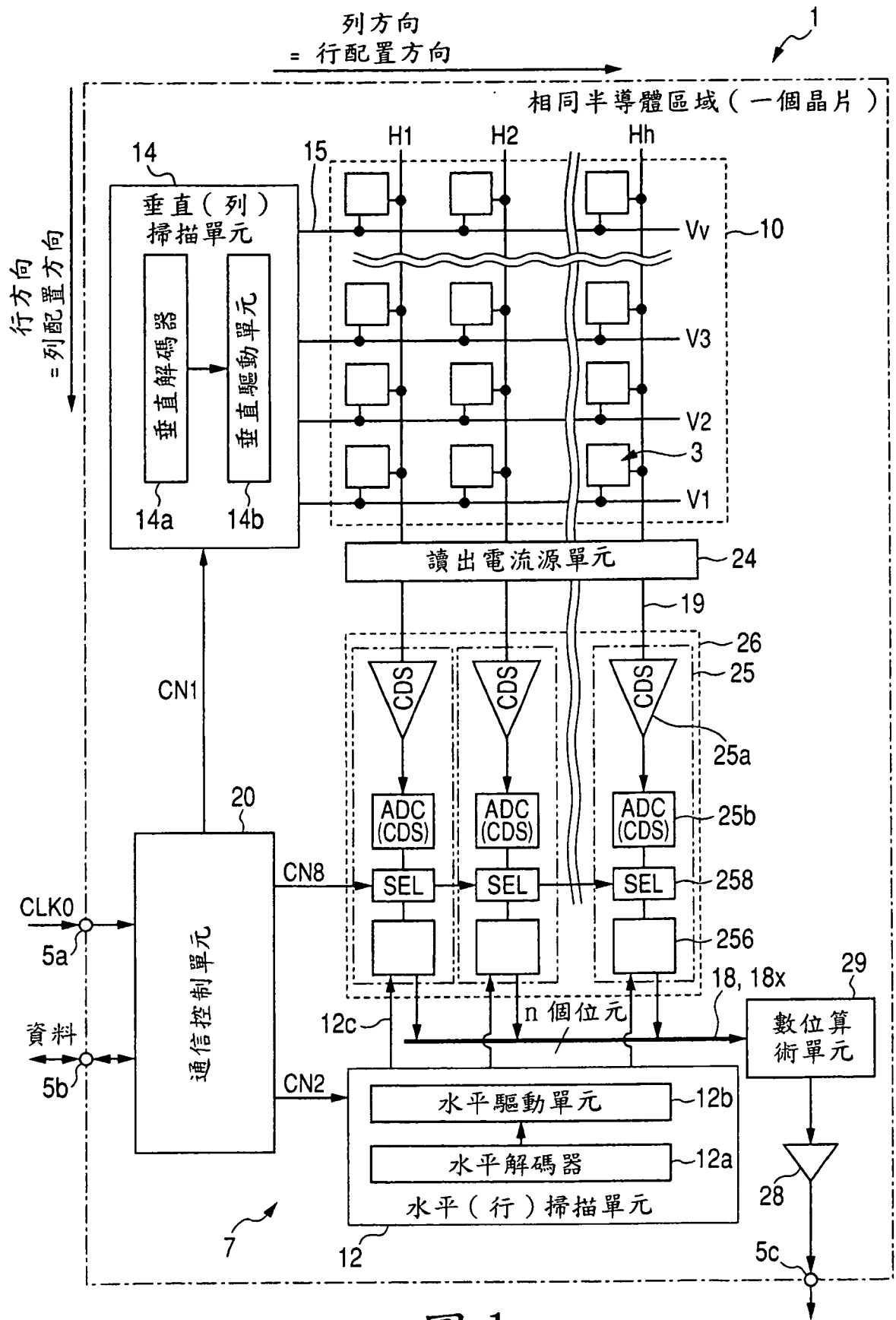


圖 1

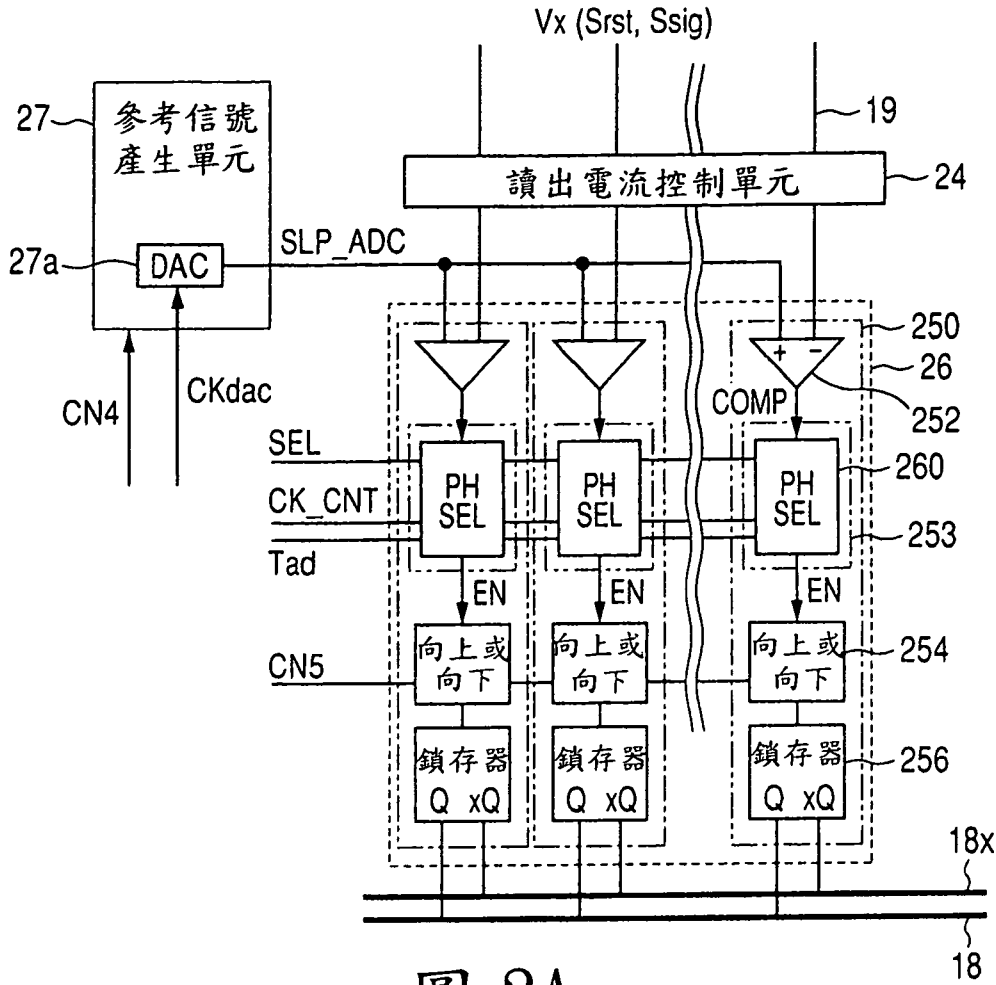


圖 2A

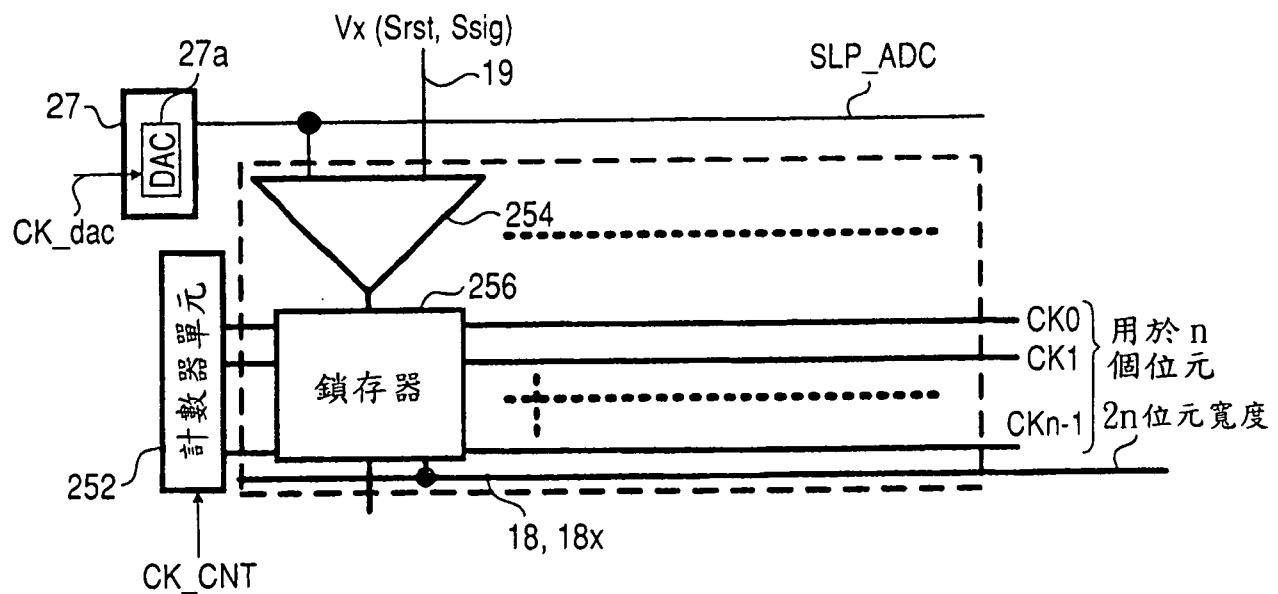
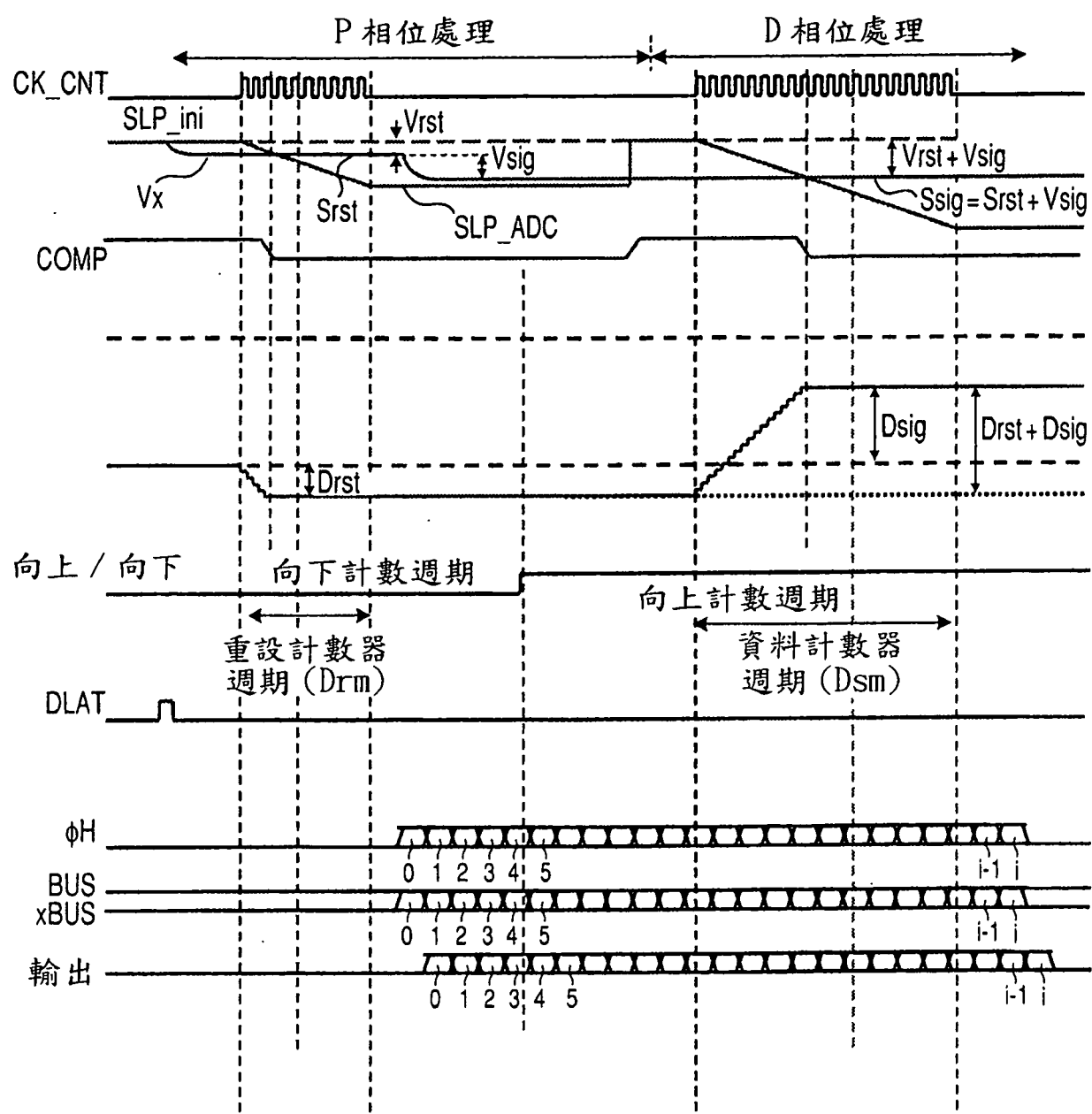


圖 2B



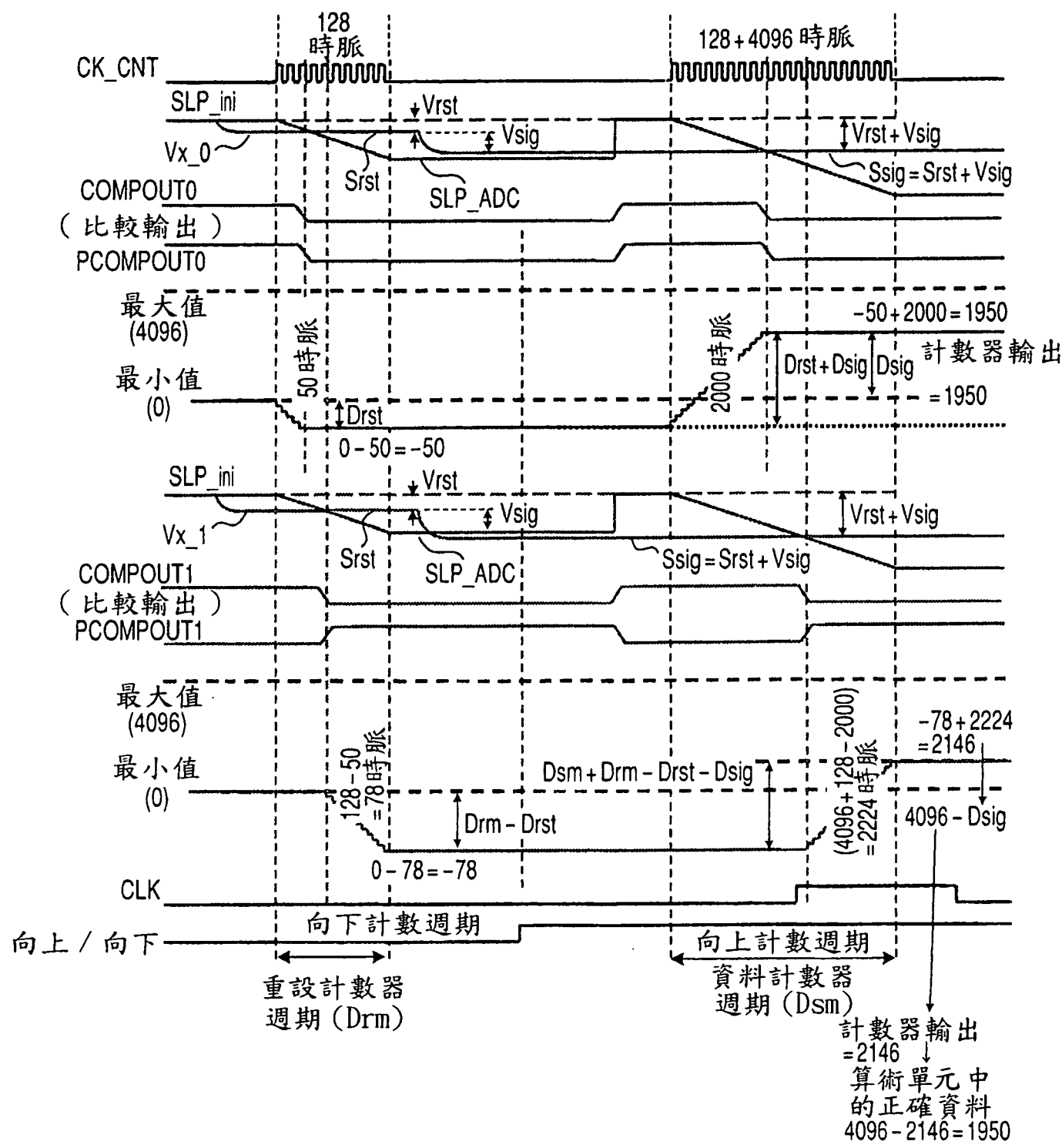


圖 3B

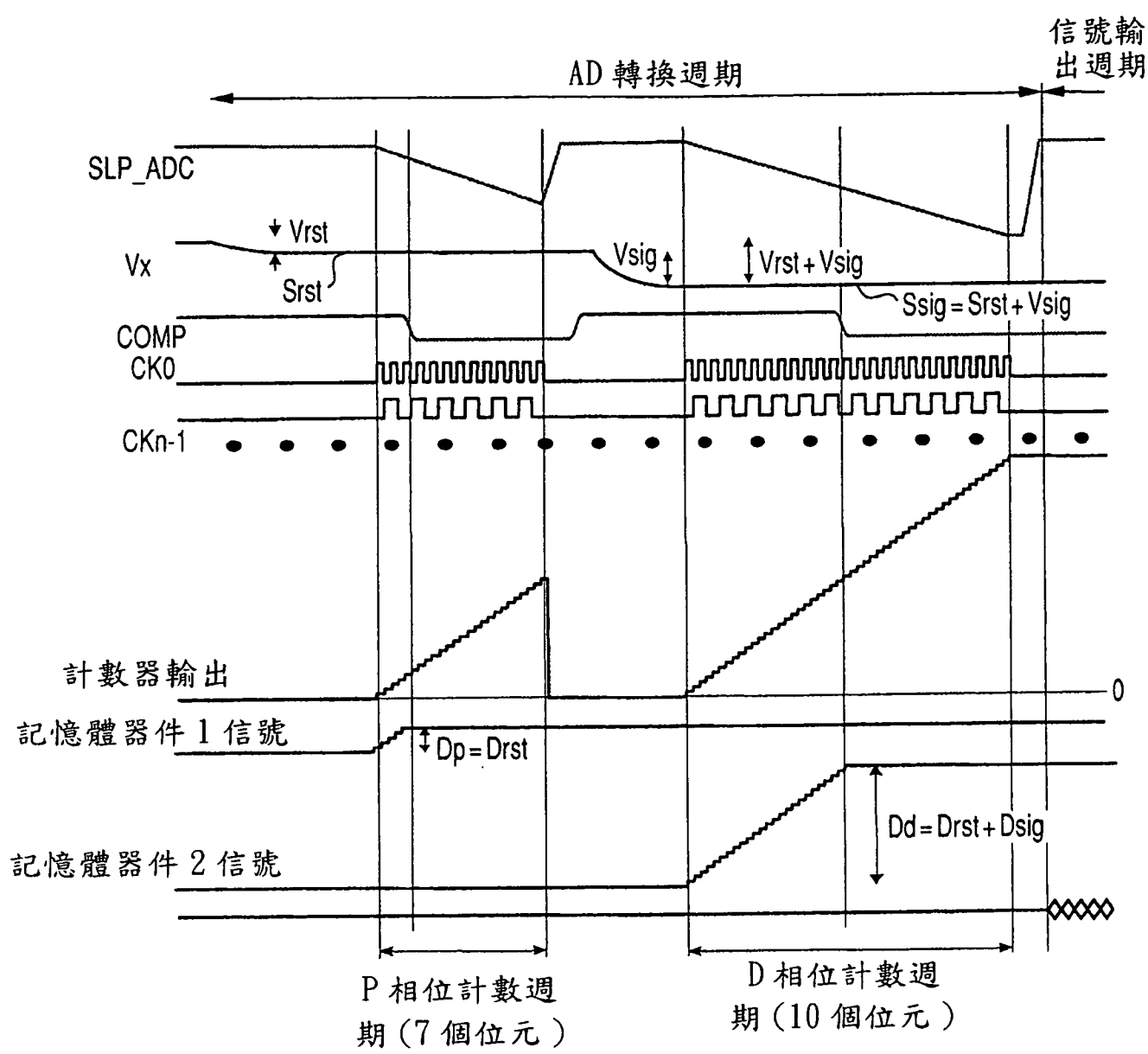


圖 3C

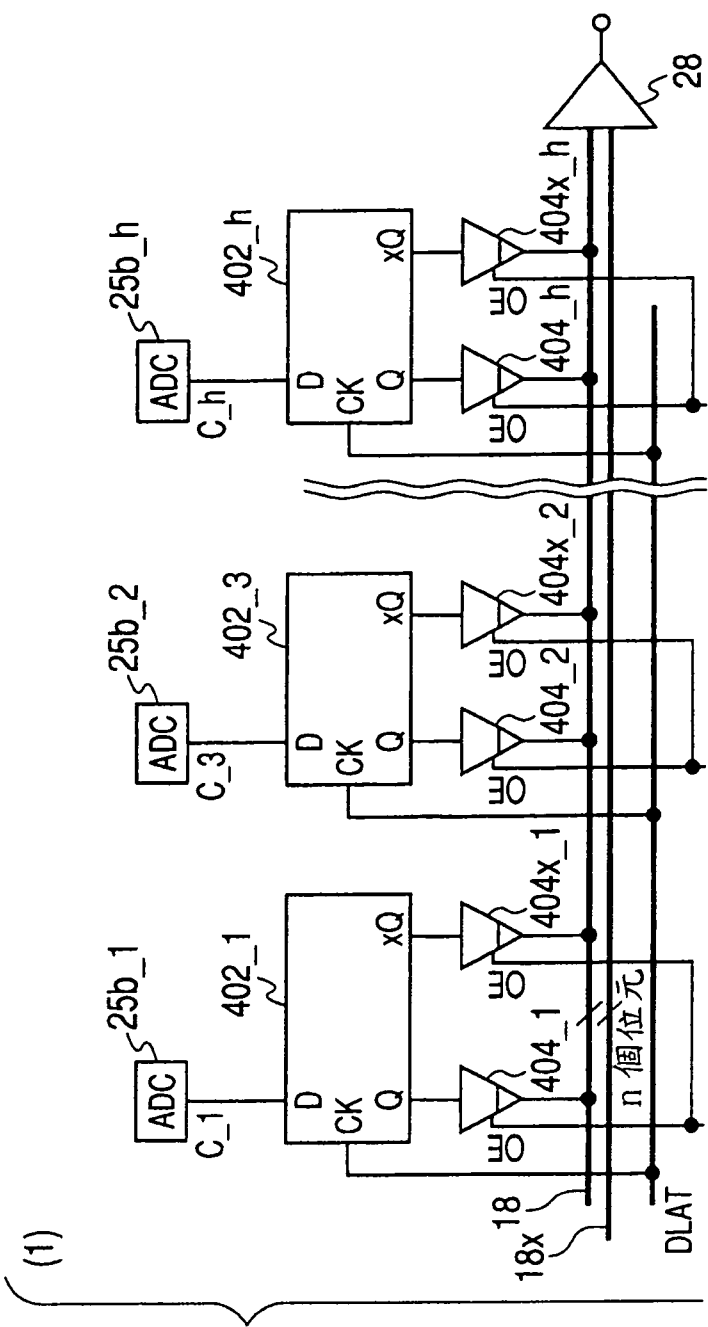
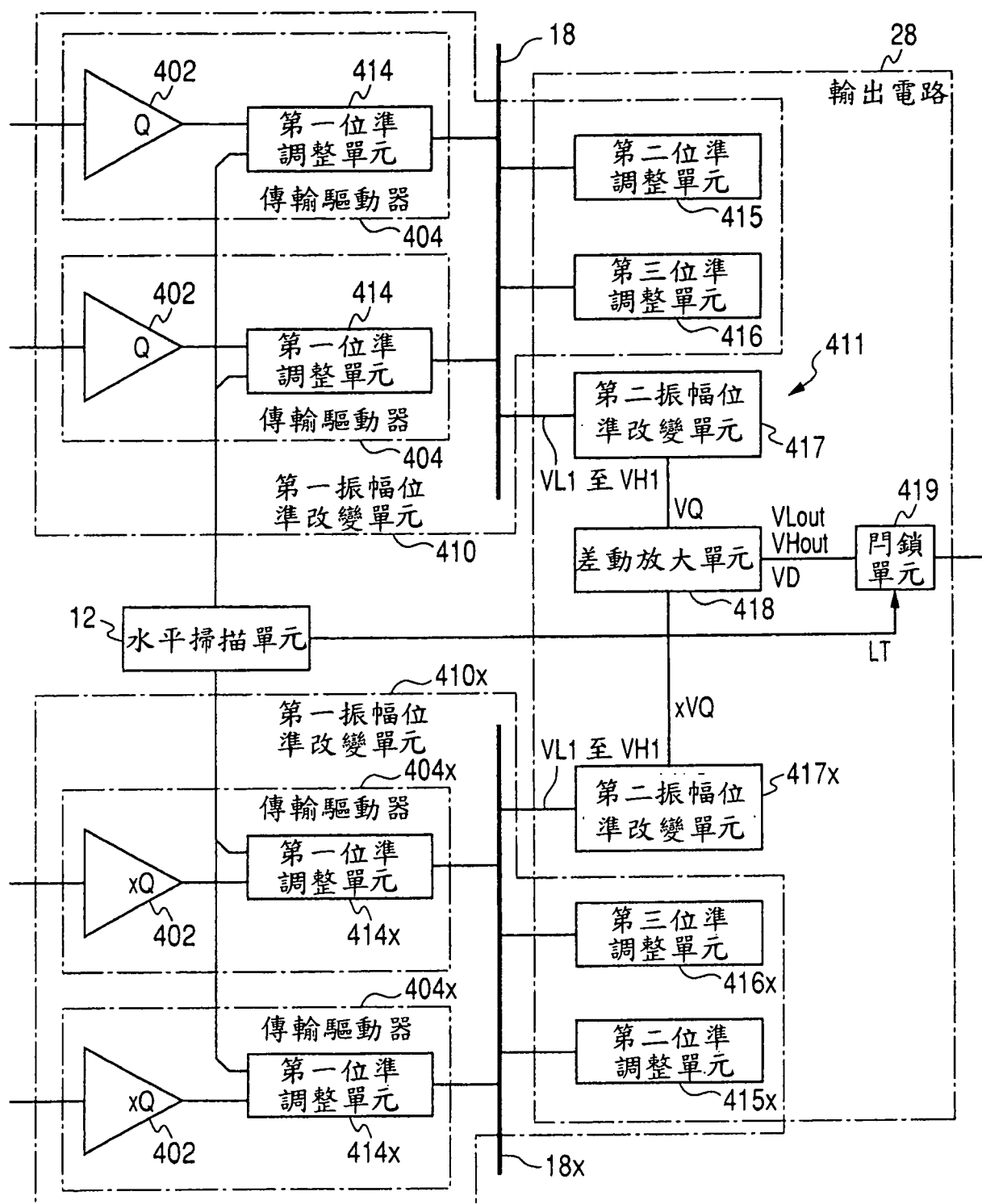
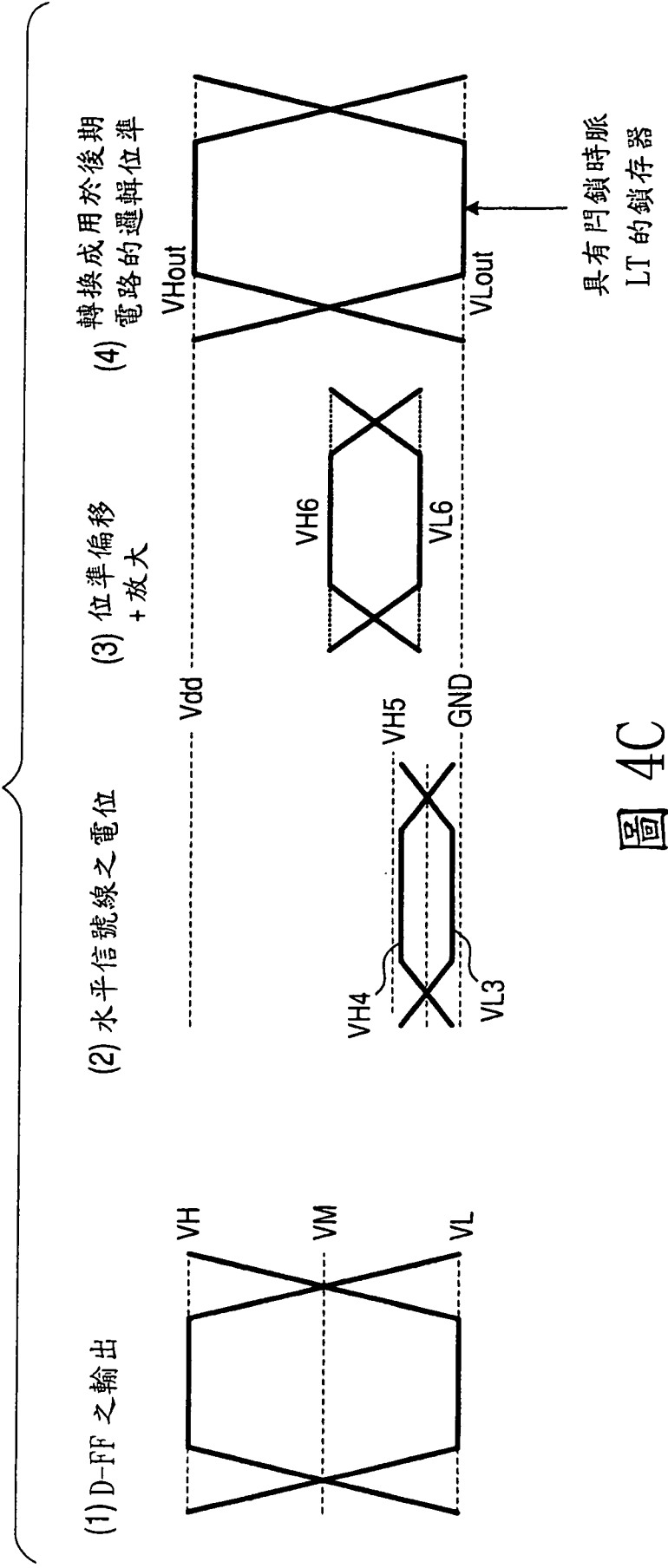


圖 4A





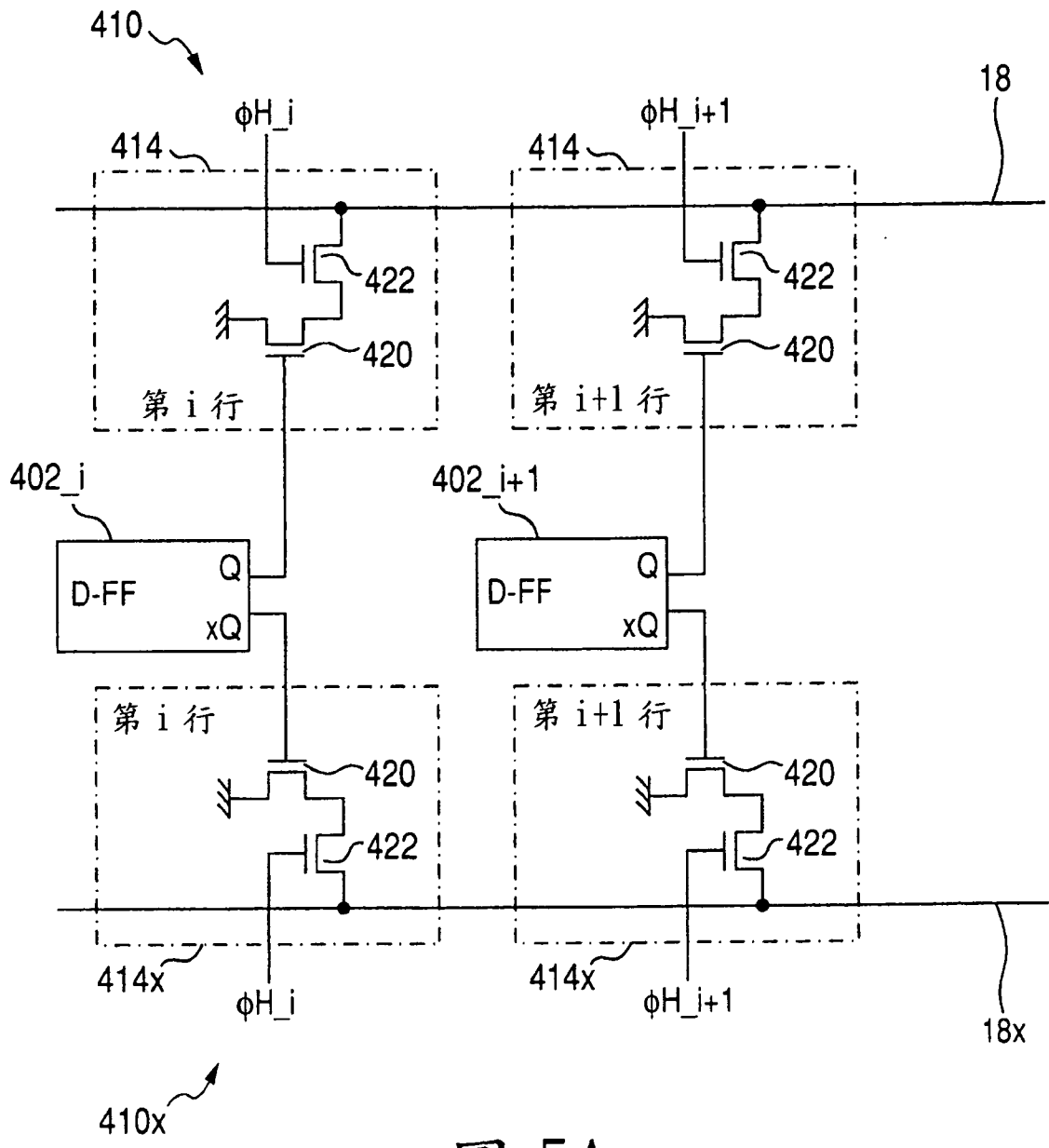


圖 5A

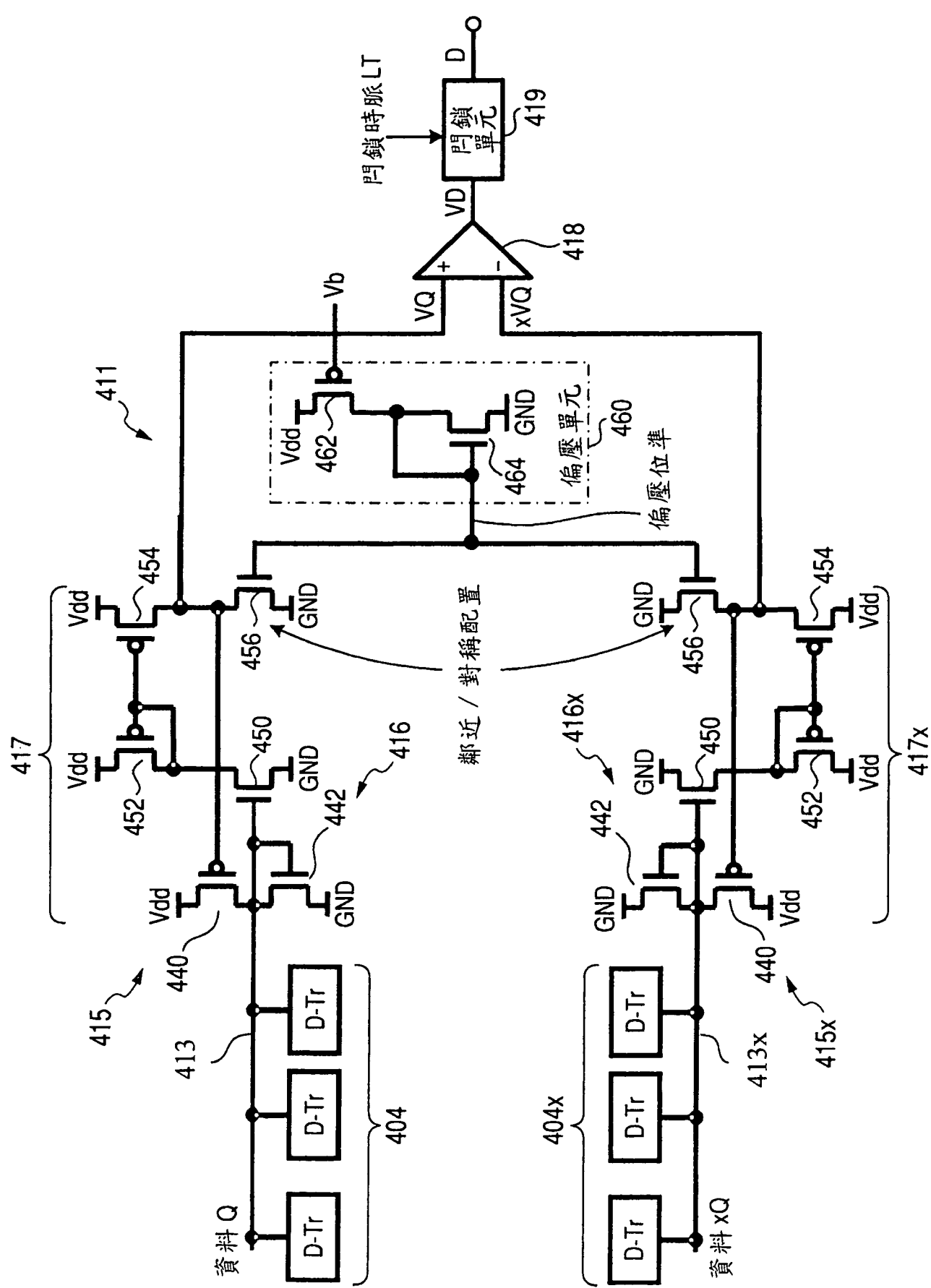


圖 5B

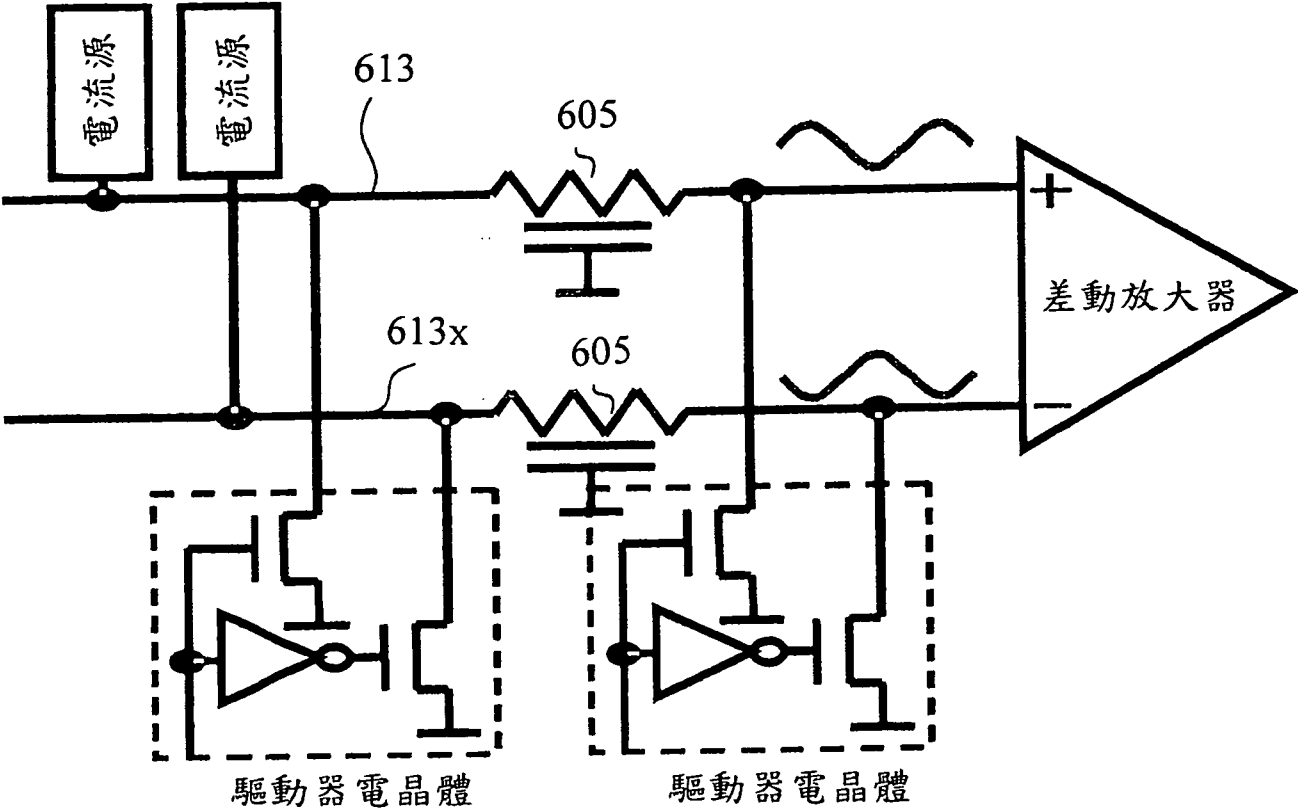


圖 6A

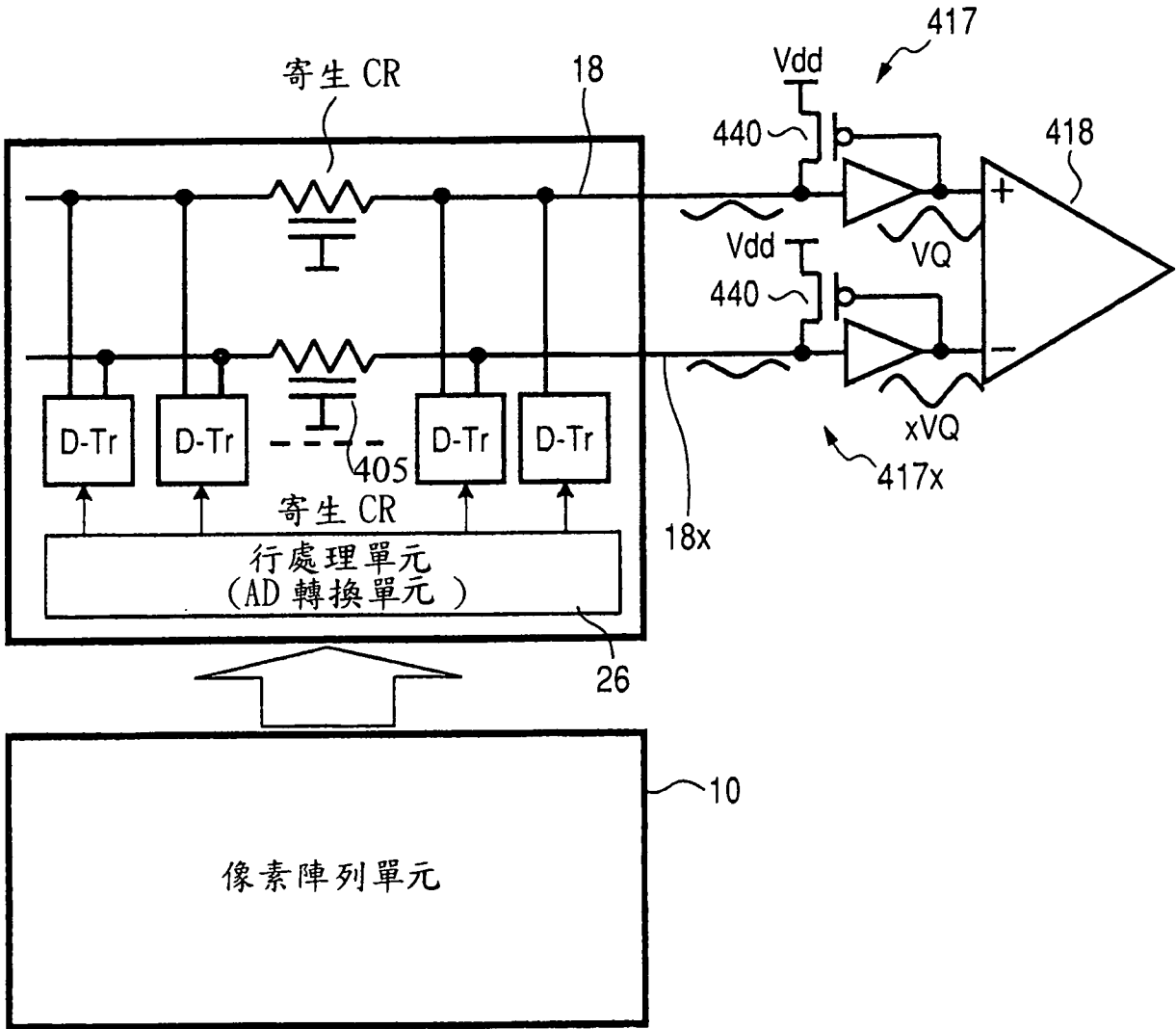
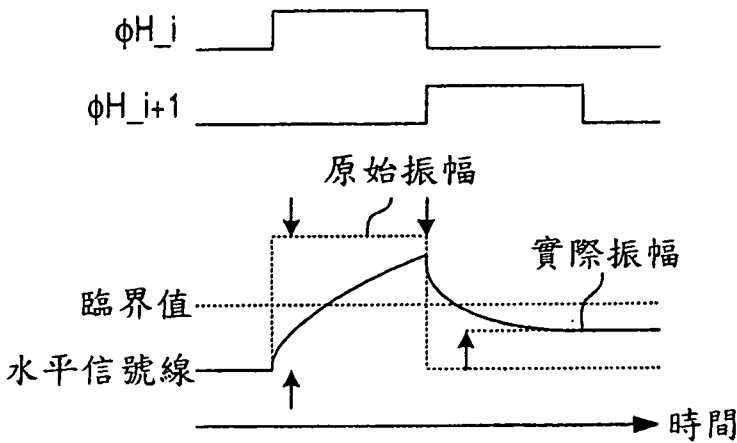


圖 6B

(1) 與通過速率的關係



(2) 與資料變化的關係

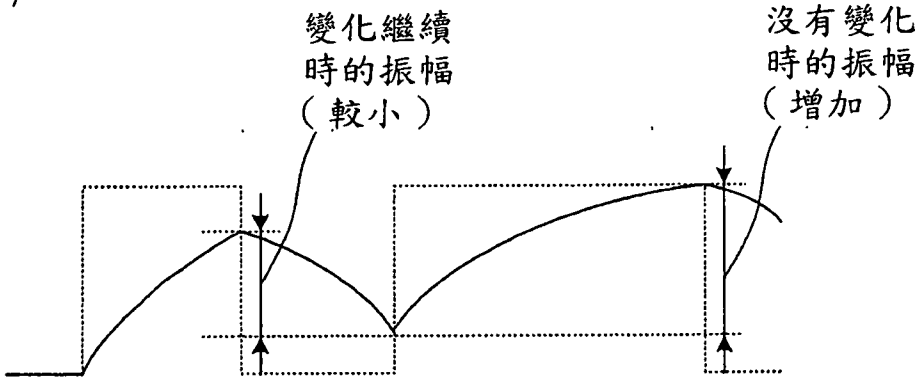


圖 6C

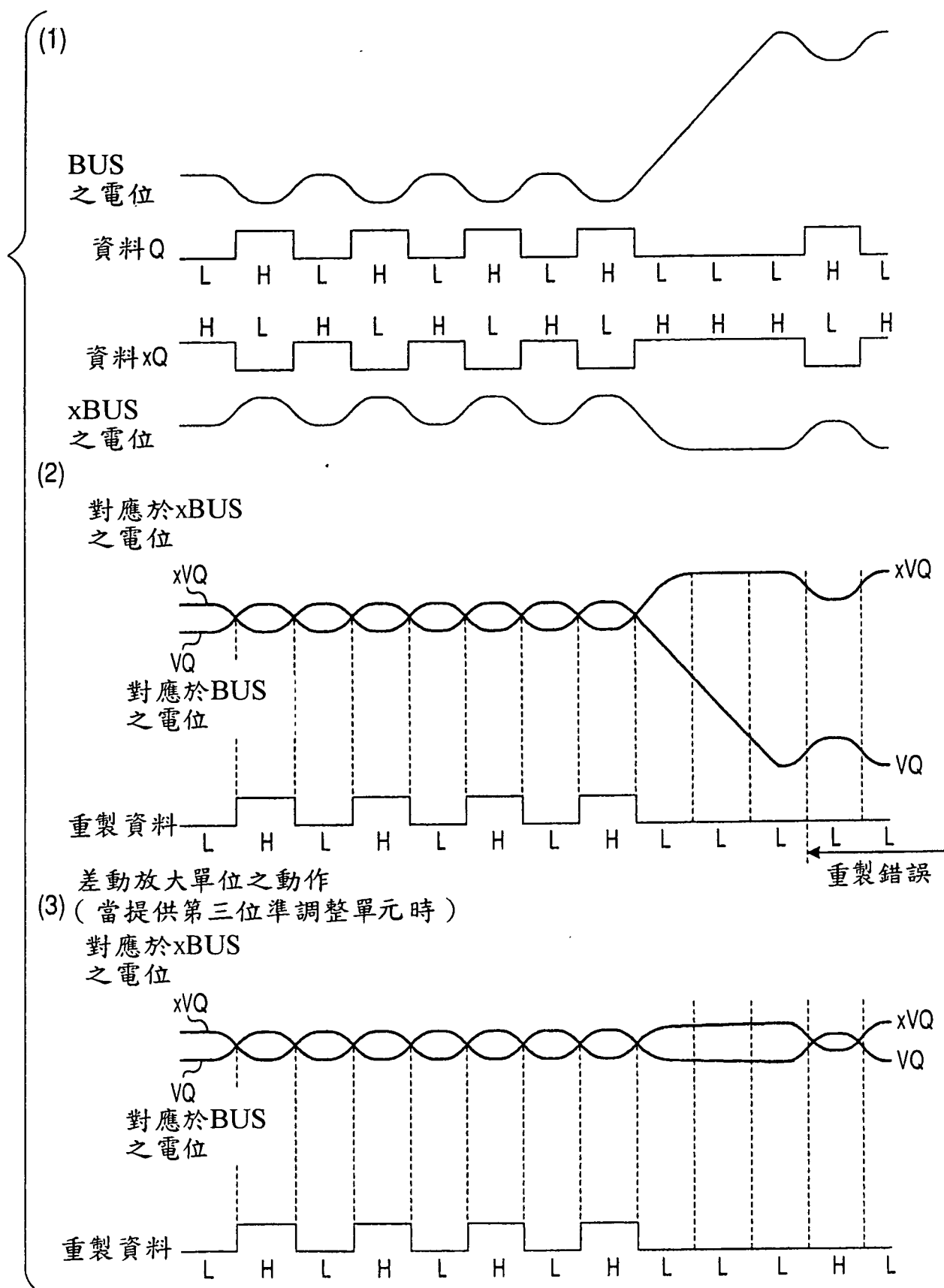


圖 6D

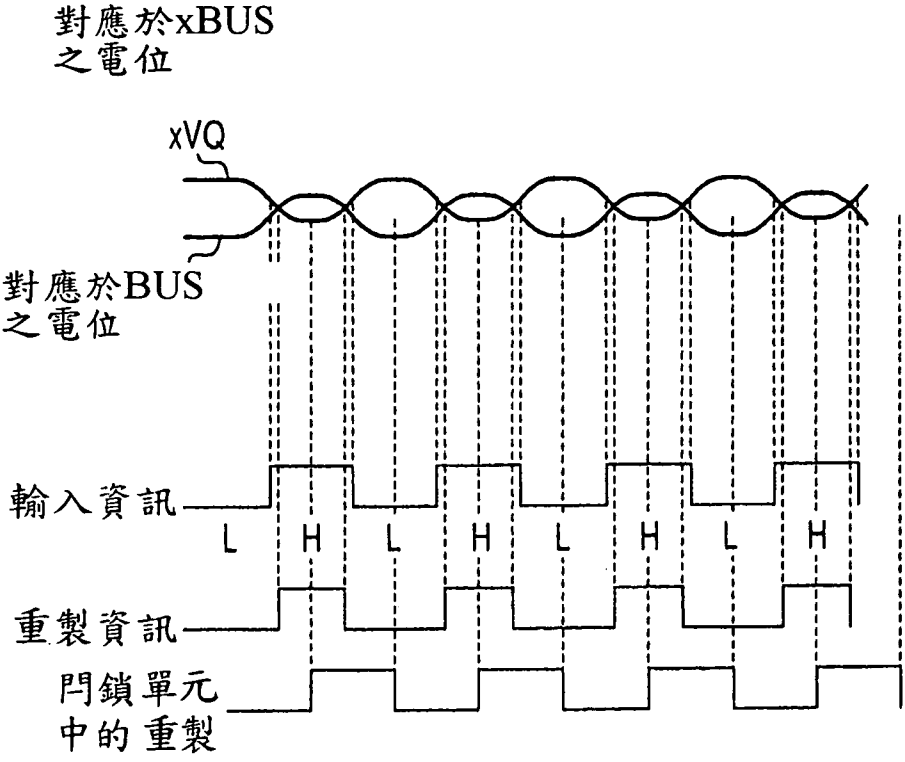


圖 6E

810

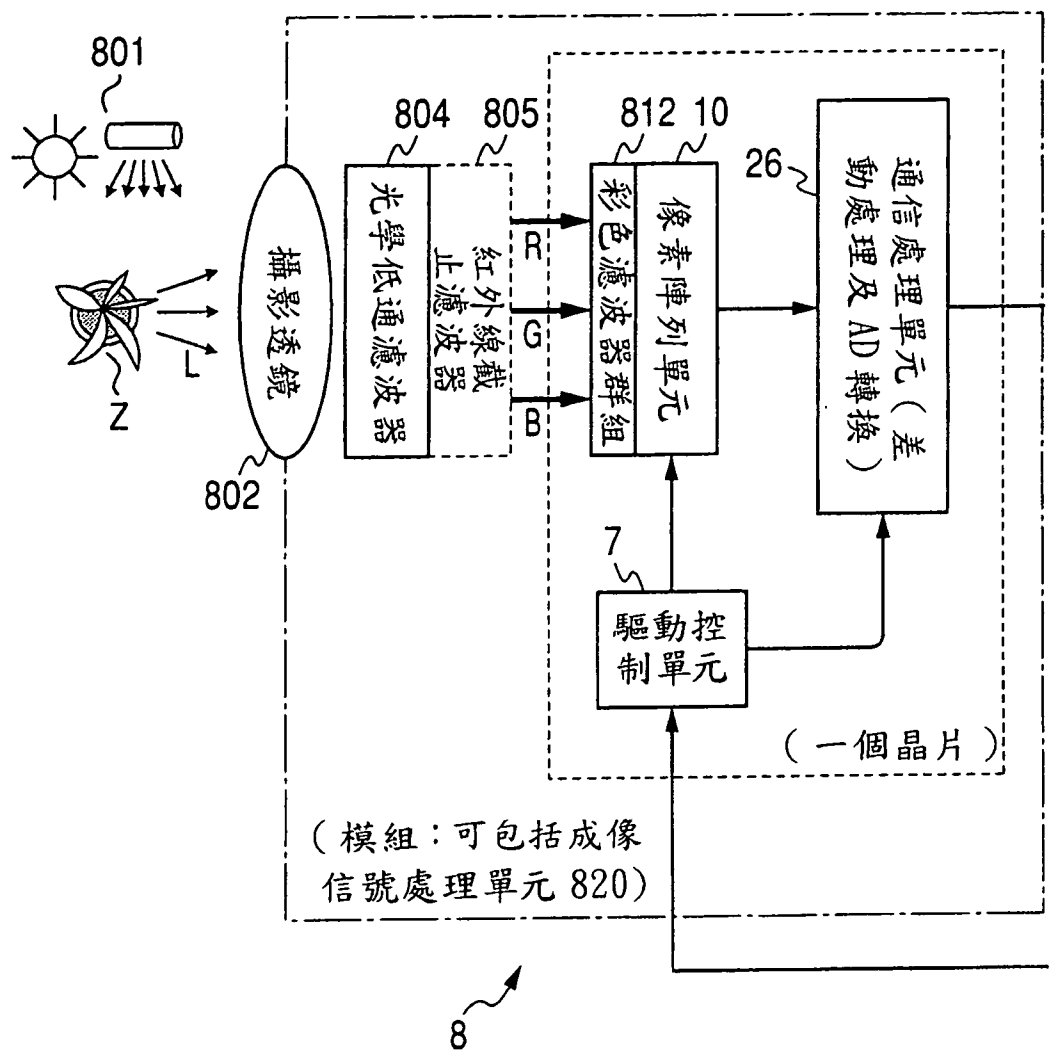


圖 7

網際網路等
900