

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292232

(P2005-292232A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 525
G09G 3/20 611A
G09G 3/20 611C
G09G 3/20 621M

テーマコード(参考)

2H093
5C006
5C080

審査請求 未請求 請求項の数 11 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-103546 (P2004-103546)

(22) 出願日 平成16年3月31日(2004.3.31)

(71) 出願人 302062931

NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100124914

弁理士 徳丸 達雄

(72) 発明者 福尾元男

滋賀県大津市晴嵐2丁目9番1号 関西日
本電気株式会社内

Fターム(参考) 2H093 NA31 NB07 NC11 ND39 ND60
NE10

5C006 BB11 BC02 BC11 BC24 BF25

BF26 EB05 FA32 FA37 FA47

5C080 AA10 BB05 DD12 DD26 FF12

JJ02 JJ03 JJ04

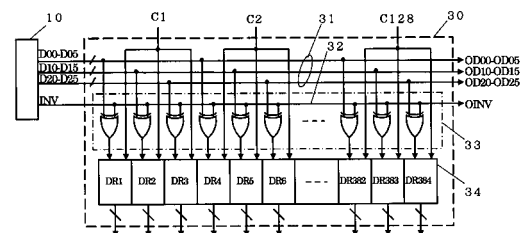
(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 表示データがデータドライバに入力されてからの内部配線におけるEMIや消費電流を低減させる。

【解決手段】 初段のデータドライバに入力されたRSDS信号からなる表示データDN/DPはCMOS信号からなる表示データDAに変換され、内部で生成されるデータ反転信号INVにより1次反転制御され、データ取り込み回路30の内部配線31に転送される。そして、データレジスタ34の直前に配置されたデータ2次反転回路33でデータ反転信号INVにより2次反転制御されてからデータレジスタ34に取込まれる。また、表示データDAおよびデータ反転信号INVは内部配線31、32を介して2段目以降のデータドライバにチップ間転送され、初段データドライバと同様に、表示データDAがデータレジスタ34に取込まれる。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

第 1 の半導体集積回路装置からのデータが複数の第 2 の半導体集積回路装置に転送され

、
C M O S 信号からなるデータを転送する際、C M O S 信号のビットごとに前後での反転を検出しその反転ビット数に応じたデータ反転信号を生成し、そのデータ反転信号に応じてデータの論理を転送元で 1 次反転させるとともに転送先で元の論理に復帰させるため 2 次反転させるデータ転送方法を用い、転送元と転送先のうち少なくとも転送先を第 2 の半導体集積回路装置に有した電子装置において、

前記第 2 の半導体集積回路装置は、データを取り込むデータ取り込み回路を有し、

10

前記データ取り込み回路は、データの内部配線と、データレジスタと、データレジスタのデータ入力の直前位置に配置され、前記内部配線を介して入力されたデータを前記 2 次反転するためのデータ 2 次反転回路とを有することを特徴とする電子装置。

【請求項 2】

前記第 2 の半導体集積回路装置は、前記 C M O S 信号からなるデータおよびデータ反転信号が前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置から入力されることを特徴とする請求項 1 記載の電子装置。

【請求項 3】

前記第 2 の半導体集積回路装置は、前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置からの差動信号からなるデータが前記 C M O S 信号からなるデータに変換され、前記データ反転信号が内部で生成されることを特徴とする請求項 1 記載の電子装置。

20

【請求項 4】

前記第 2 の半導体集積回路装置は、前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置からの C M O S 信号または差動信号からなるデータのどちらか一方を選択する受信部を有し、C M O S 信号が選択されたとき、前記データ反転信号が前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置から入力され、差動信号が選択されたとき、前記データ反転信号が前記受信部で生成されることを特徴とする請求項 1 記載の電子装置。

【請求項 5】

30

前記各第 2 の半導体集積回路装置は前記第 1 の半導体集積回路装置からのデータが順次転送されるようにカスケード接続され、

初段の前記第 2 の半導体集積回路装置には、前記第 1 の半導体集積回路装置からの差動信号からなるデータが転送され、2 段目以降の前記第 2 の半導体集積回路装置には、前段に接続された前記第 2 の半導体集積回路装置からの C M O S 信号からなるデータが転送されることを特徴とする請求項 4 記載の電子装置。

【請求項 6】

前記受信部が、差動信号が選択されたとき 1 対で少なくとも 2 ビット分のデータを含む差動信号が受信され前記少なくとも 2 ビット分のデータを同一配線に時間多重化された C M O S 信号として出力する差動信号レシーバと、C M O S 信号が選択されたとき受信される C M O S 信号を差動信号レシーバからバイパスさせるバイパス回路とを有することを特徴とする請求項 5 記載の電子装置。

40

【請求項 7】

前記受信部が、前記差動信号レシーバからの C M O S 信号を差動信号に対して少なくとも 2 分周させて 1 ビットずつの平行の C M O S 信号として出力する分周回路を有することを特徴とする請求項 6 記載の電子装置。

【請求項 8】

さらに、前記受信部が前記データ反転信号を生成するデータ反転信号生成回路と、前記分周回路からのデータを前記 1 次反転するデータ 1 次反転回路とを有することを特徴とする請求項 7 記載の電子装置。

50

【請求項 9】

前記差動信号が R S D S 信号、min-LVDS 信号または C M A D S 信号のうちの 1 つであることを特徴とする請求項 3 ~ 8 のいずれか 1 項に記載の電子装置。

【請求項 10】

表示装置として用いられ、前記第 1 の半導体集積回路装置が制御回路であり、前記第 2 の半導体集積回路装置がデータ側駆動回路であることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の電子装置。

【請求項 11】

液晶表示装置として用いられることを特徴とする請求項 10 記載の電子装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は電子装置に関し、第 1 の半導体集積回路装置からのデータが複数の第 2 の半導体集積回路装置に転送される電子装置に関する。

【背景技術】

【0002】

ドットマトリックス型表示装置として、液晶表示装置が、薄型、軽量、低電力という特長から、パソコンなど様々な装置に用いられ、特に画質を高精細に制御するのに有利であるアクティブマトリックス方式のカラー液晶表示装置が主流を占めている。

【0003】

20

液晶表示装置の液晶表示モジュールは、液晶パネル (LCD パネル) と、半導体集積回路装置 (以下、IC という) からなる制御回路 (以下、コントローラ という) と、IC からなる走査側駆動回路 (以下、走査ドライバ という) およびデータ側駆動回路 (以下、データドライバ という) とを具備している。液晶パネルの画質の高精細化や大型化により表示データの転送速度が高速化してきている。表示データの転送速度が高速化すると、クロック信号や表示データが反転する単位時間当たりの頻度が増加する。これにより、クロック信号や表示データが、その振幅が電源電圧 ("H" レベル) とグランド ("L" レベル) とで変化 (反転) する 2 値の電圧信号 (以下、CMOS 信号 という) の場合、クロック信号や表示データが転送されるコントローラとデータドライバ間の配線において EMI (Electro Magnetic Interference) ノイズや消費電流が増加するという問題がある。

30

【0004】

この問題を解決する 1 つの方法として、CMOS 信号からなる表示データの論理をデータ反転信号 INV に応じて、転送元のデータ 1 次反転回路で 1 次反転させて転送配線全体での反転頻度を減少させ、転送先のデータ 2 次反転回路で元の論理に復帰させるため 2 次反転させる方法が用いられている (例えば、特許文献 1 を参照。)。この方法は、例えば、6 ビット × 3 ドット (R、G、B) の 18 ビット幅で CMOS 信号からなる表示データを転送するとき、転送元のコントローラで、18 ビットの表示データの各ビットごとに前後で "H" レベルから "L" レベルまたは "L" レベルから "H" レベルに論理反転する変化を検出しその変化したビット数が、例えば、18 ビットの半数より多い 13 ビットの場合、データ反転信号 INV = "H" レベルを生成する。そして、このデータ反転信号 INV により、

40

【0005】

上述の問題を解決する他の方法として、小振幅差動信号伝送方式によるインタフェースが用いられている。その代表的なものとして、RSDS (reduced swing differential signaling) 方式によるインタフェース (以下、RSDS インタフェース という) (特許

50

文献 2 を参照) が用いられている。

【特許文献 1】特開 2 0 0 3 - 8 4 7 2 6 号公報 (図 9)

【特許文献 2】特許第 3 2 8 5 3 3 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

ところが、液晶パネルの画質の高精細化や大型化がさらに進み、S X G A (1 2 8 0 × 1 0 2 4 画素)、さらには U X G A (1 6 0 0 × 1 2 0 0 画素) と画素数が増加すると、上述の 2 つの解決方法を用いても消費電流が増加するという問題が生じてきた。すなわち、2 つの方法とも、I C 間の配線での E M I ノイズや消費電流は低減できるが、表示データがデータドライバに入力されてからの内部配線での E M I ノイズや消費電流が増加するという問題が生じてきた。

10

【 0 0 0 7 】

従って、本発明の目的は、データが半導体集積回路装置に入力されてからの内部配線による E M I ノイズや消費電流を低減することができる電子装置を提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

(1) 本発明の電子装置は、第 1 の半導体集積回路装置からのデータが複数の第 2 の半導体集積回路装置に転送され、C M O S 信号からなるデータを転送する際、C M O S 信号のビットごとに前後での反転を検出しその反転ビット数に応じたデータ反転信号を生成し、そのデータ反転信号に応じてデータの論理を転送元で 1 次反転させるとともに転送先で元の論理に復帰させるため 2 次反転させるデータ転送方法を用い、転送元と転送先のうち少なくとも転送先を第 2 の半導体集積回路装置に有した表示装置において、前記第 2 の半導体集積回路装置は、データを取り込むデータ取り込み回路を有し、前記データ取り込み回路は、データの内部配線と、データレジスタと、データレジスタのデータ入力の直前位置に配置され、前記内部配線を介して入力されたデータを前記 2 次反転するためのデータ 2 次反転回路とを有することを特徴とする。

20

(2) 上記 (1) 項の電子装置において、前記第 2 の半導体集積回路装置は、前記 C M O S 信号からなるデータおよびデータ反転信号が前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置から入力されることを特徴とする。

30

(3) 上記 (1) 項の電子装置において、前記第 2 の半導体集積回路装置は、前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置からの差動信号からなるデータが前記 C M O S 信号からなるデータに変換され、前記データ反転信号が内部で生成されることを特徴とする。

(4) 上記 (1) 項の電子装置において、前記第 2 の半導体集積回路装置は、前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置からの C M O S 信号または差動信号からなるデータのどちらか一方を選択する受信部を有し、C M O S 信号が選択されたとき、前記データ反転信号が前記第 1 の半導体集積回路装置または前段に接続された前記第 2 の半導体集積回路装置から入力され、差動信号が選択されたとき、前記データ反転信号が前記受信部で生成されることを特徴とする。

40

(5) 上記 (4) 項の電子装置において、前記各第 2 の半導体集積回路装置は前記第 1 の半導体集積回路装置からのデータが順次転送されるようにカスケード接続され、初段の前記第 2 の半導体集積回路装置には、前記第 1 の半導体集積回路装置からの差動信号からなるデータが転送され、2 段目以降の前記第 2 の半導体集積回路装置には、前段に接続された前記第 2 の半導体集積回路装置からの C M O S 信号からなるデータが転送されることを特徴とする。

(6) 上記 (5) 項の電子装置において、前記受信部が、差動信号が選択されたとき 1 対で少なくとも 2 ビット分のデータを含む差動信号が受信され前記少なくとも 2 ビット分のデータを同一配線に時間多重化された C M O S 信号として出力する差動信号レシーバと、C M O S 信号が選択されたとき受信される C M O S 信号を差動信号レシーバからバイパス

50

させるバイパス回路とを有することを特徴とする。

(7) 上記(6)項の電子装置において、前記受信部が、前記差動信号レシーバからのCMOS信号を差動信号に対して少なくとも2分周させて1ビットずつの平行のCMOS信号として出力する分周回路を有することを特徴とする。

(8) 上記(7)項の電子装置において、さらに、前記受信部が前記データ反転信号を生成するデータ反転信号生成回路と、前記分周回路からのデータを前記1次反転するデータ1次反転回路とを有することを特徴とする。

(9) 上記(3)～(8)項のいずれか1項の電子装置において、前記差動信号がRSDS信号、min-LVDS信号またはCMADS信号のうちの1つであることを特徴とする。

10

(10) 上記(1)～(9)項のいずれか1項の電子装置において、表示装置として用いられ、前記第1の半導体集積回路装置が制御回路であり、前記第2の半導体集積回路装置がデータ側駆動回路であることを特徴とする。

(11) 上記(10)項の電子装置において、液晶表示装置として用いられることを特徴とする。

【0009】

上記手段によれば、データが半導体集積回路装置に入力されてから内部配線を介してデータレジスタに取込まれるとき、データレジスタのデータ入力の直前位置にデータ2次反転回路を配置することにより、内部配線に対する転送元側でデータ反転信号により1次反転制御されたデータをデータ2次反転回路で元の論理に2次反転制御されることにより、内部配線内でのデータの反転頻度が少なくなり内部配線でのEMIノイズや消費電流を低減できる。

20

【発明の効果】

【0010】

本発明によれば、データが半導体集積回路装置に入力されてからの内部配線によるEMIノイズや消費電流を低減することができる。

【発明を実施するための最良の形態】

【0011】

以下の説明で使用する表示データやタイミング信号の符号について、CMOS信号とRSDS信号とを明確化するために、以下に定義しておく。

30

(1) 表示データDATA: CMOS信号やRSDS信号の区分なし

(2) 表示データDA: CMOS信号

(3) 表示データD00～D05, D10～D15, D20～D25: CMOS信号

(4) 表示データDN/DP: RSDS信号

(5) 表示データD00N/D00P～D02N/D02P, D10N/D10P～D12N/D12P, D20N/D20P～D22N/D22P: RSDS信号

(6) クロック信号CLK: CMOS信号やRSDS信号の区分なし

(7) クロック信号CK: CMOS信号

(8) クロック信号CKN/CKP: RSDS信号

(9) スタート信号STH、ラッチ信号STB、データ反転信号INV: CMOS信号

40

【0012】

以下に、本発明の一実施形態について、図面を参照して説明する。液晶表示装置の液晶表示モジュールは、図1に示すように、液晶パネル1と、コントローラ2と、走査ドライバ3と、データドライバ4とを具備している。液晶パネル1は、詳細を図示しないが、透明な画素電極および薄膜トランジスタ(TFT)を配置した半導体基板と、面全体に1つの透明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率または反射率を変化させて画像を表示するものである。半導体基板上には、TFTのスイッチング制御信号(走査信号)を送る走査線と、各画素電極へ印加する階調電圧を送るデータ線とが

50

配線されている。以下、液晶パネル1の解像度がS X G A (1 2 8 0 × 1 0 2 4 画素 : 1 画素はR, G, Bの3ドットからなる)、2 6 2 1 4 4 色表示 (R, G, Bのそれぞれが6 4 階調からなる) の場合を例に説明する。

【 0 0 1 3 】

液晶パネル1の走査線は、垂直方向の1 0 2 4 画素に対応して1 0 2 4 本配置される。また、データ線は、1 画素がR, G, Bの3ドットからなるため水平方向の1 2 8 0 画素に対応して1 2 8 0 × 3 = 3 8 4 0 本配置される。走査ドライバ3は、1 0 2 4 本のゲート線に対して1個で2 5 6 本を分担するとして4個が配置される。データドライバ4は、3 8 4 0 本のデータ線に対して1個で3 8 4 本を分担するとして1 0 個 (4 - 1, 4 - 2, ..., 4 - 1 0) が配置される。

10

【 0 0 1 4 】

コントローラ2には、P C (パソコン) 5 から、例えば、L V D S (low voltage differential signaling) インタフェースを介して表示データやタイミング信号が転送される。コントローラ2から走査ドライバ3には、クロック信号等が各走査ドライバ3に並列に転送され、垂直同期用のスタート信号S T Vが初段の走査ドライバ3に転送され、カスケード接続された2段目以降の走査ドライバ3に順次転送されていく。コントローラ2から初段のデータドライバ4 - 1には、C M O S 信号からなる水平同期用のスタート信号S T Hおよびラッチ信号S T BがC M O S インタフェースを介して転送され、R S D S 信号からなる表示データD N / D Pおよびクロック信号C K N / C K PがR S D S インタフェースを介して転送される。初段のデータドライバ4 - 1からカスケード接続された2段目以降のデータドライバ4 - 2, 4 - 3, ..., 4 - 1 0に、C M O S 信号からなる表示データD A、クロック信号C K、スタート信号S T H、ラッチ信号S T Bおよびデータ反転信号I N VがC M O S インタフェースを介して順次転送されていく。データ反転信号I N Vは、初段のデータドライバ4 - 1内で、表示データD Aの各ビットごとに前後で論理反転する変化を検出しその変化したビット数に基づいて生成される。

20

【 0 0 1 5 】

走査ドライバ3から液晶パネル1の各走査線には、パルス状の走査信号が線順次に送られる。パルスが印加された走査線につながるT F Tが全てオンとなり、そのとき各データドライバ4から液晶パネル1のデータ線には階調電圧が供給され、オンとなったT F Tを介して画素電極に印加される。そして、パルスが印加されなくなった走査線につながるT F Tがオフ状態に変化すると、画素電極と対向基板電極との電位差は、次の階調電圧が画素電極に印加されるまでの間保持される。そして、全ての走査線に順次パルスが印加されることにより、全ての画素電極に所定の階調電圧が印加され、フレーム周期で階調電圧の書き替えを行うことにより画像を表示することができる。

30

【 0 0 1 6 】

データドライバ4は、3 8 4 本のデータ線に対応して、R, G, B各6 4 階調表示のためのR、G、B各6ビットの表示データがそれぞれ入力され、6 4 階調のうち、その表示データの論理に対応した1つの階調電圧がそれぞれ出力される3 8 4 出力の構成となっている。具体的回路構成として、図2に示すように、チップ間データ転送のためのインタフェース回路を構成するレシーバ1 0と、デジタルの表示データD Aをシリアル/パラレル変換し、さらにその表示データD Aの論理に対応したアナログの階調電圧に変換するための回路を構成するシフトレジスタ2 0、データ取り込み回路3 0、ラッチ4 0、レベルシフタ5 0、デジタルアナログ変換回路(以下、D / Aコンバータという)6 0およびボルテージフォロア出力回路7 0とを有している。尚、データドライバ4には、上記各回路を動作させるための電源回路を有しているが、図示および説明を省略する。

40

【 0 0 1 7 】

データドライバ4の入力端子として、図2に示す各端子について説明する。I S T H端子はスタート信号S T Hの入力端子で、スタート信号S T Hはシフトレジスタ2 0に入力される。I S T B端子はラッチ信号S T Bの入力端子で、ラッチ信号S T Bはラッチ4 0およびボルテージフォロア出力回路7 0に入力される。I F M端子は、C M O SまたはR

50

S D S のインタフェースモードを選択するための端子である。I F M 端子には、インタフェースモード選択信号として、"H"レベルまたは"L"レベルの固定電位が供給され、レシーバ10にその電位が入力される。I C K P / I C K 端子およびI C K N / I I N V 端子は、I F M 端子="H"レベルのとき、クロック信号C K N / C K P の入力端子であり、I F M 端子="L"レベルのとき、I C K P / I C K 端子がクロック信号C K の入力端子およびI C K N / I I N V 端子がデータ反転信号I N V の入力端子である。クロック信号C K N / C K P、C K およびデータ反転信号I N V はレシーバ10にそれぞれ入力される。I D 0 0 N / I D 0 0 - I D 0 2 P / I D 0 5 端子, I D 1 0 N / I D 1 0 - I D 1 2 P / I D 1 5 端子, I D 2 0 N / I D 2 0 - I D 2 2 P / I D 2 5 端子は、階調表示6ビット×R, G, B 3ドット(1画素)=18ビット幅分の表示データD A T A の入力端子で、I F M 端子="H"レベルのとき、R S D S 信号からなる表示データD 0 0 N / D 0 0 P - D 0 2 N / D 0 2 P, D 1 0 N / D 1 0 P - D 1 2 N / D 1 2 P, D 2 0 N / D 2 0 P - D 2 2 N / D 2 2 P (以下、D N / D P という)の入力端子であり、I F M 端子="L"レベルのとき、C M O S 信号からなる表示データD 0 0 - D 0 5, D 1 0 - D 1 5, D 2 0 - D 2 5 (以下、D A という)の入力端子である。上記各表示データD A T A はレシーバ10にそれぞれ入力される。

10

【0018】

データドライバ4の出力端子として、図2に示す各端子について説明する。O S T H 端子はスタート信号S T H の出力端子で、そのスタート信号S T H はシフトレジスタ20から出力される。O C K 端子はクロック信号C K の出力端子で、そのクロック信号C K はシフトレジスタ20から出力される。O S T B 端子はラッチ信号S T B の出力端子で、そのラッチ信号S T B はラッチ40から出力される。O I N V 端子はデータ反転信号I N V の出力端子で、そのデータ反転信号I N V はデータ取り込み回路30から出力される。O D 0 0 - O D 0 5 端子, O D 1 0 - O D 1 5 端子, O D 2 0 - O D 2 5 端子は、表示データD A の出力端子で、各表示データD A はデータ取り込み回路30からそれぞれ出力される。

20

【0019】

チップ間データ転送のためのインタフェース回路を構成するレシーバ10について説明する。レシーバ10は、R S D S 信号またはC M O S 信号からなるクロック信号C L K や表示データD A T A を受信して、C M O S 信号からなるクロック信号C K や表示データD A を内部のシフトレジスタ20やデータ取り込み回路30に出力する。レシーバ10は、図3に示すように、クロック信号C K N / C K P が入力されるR S D S レシーバ11aと、表示データD N / D P が入力されるR S D S レシーバ11bと、クロック信号C K およびデータ反転信号I N V がバイパスされるバイパス回路12aと、表示データD A がバイパスされるバイパス回路12bと、R S D S レシーバ11a出力の分周回路13aと、R S D S レシーバ11b出力の分周回路13bと、データ反転信号生成回路14と、データ1次反転回路15と、クロック信号C K のセクタ16aと、データ反転信号I N V のセクタ16bと、表示データD A のセクタ16cとを有している。

30

【0020】

各R S D S レシーバ11a, 11bは、I F M 端子="H"レベルのとき、内部のバイアス信号がオンになりクロック信号C K N / C K P と表示データD N / D P を受信可能とする動作状態となり、I F M 端子="L"レベルのとき、内部のバイアス信号をオフにすることにより不動作状態にして消費電流を低減するようにしている。

40

【0021】

各バイパス回路12a, 12bは、例えば、図4に示すように、2個のO R 回路で構成され、I F M 端子="L"レベルのとき、クロック信号C K、データ反転信号I N V および表示データD A をバイパスさせ、I F M 端子="H"レベルのとき、C M O S 信号のバイパスが禁止される。

【0022】

分周回路13aは、R S D S レシーバ11aから出力されるクロック信号C K を2分周

50

して1本線で出力する。各分周回路13bは、各RSDSレシーバ11bから出力され、2ビット分の表示データを同一配線に時間多重化された表示データD00-D01, D02-D03, ..., D24-D25を2分周で1ビットずつのデータD00, D01, ..., D24, D25に分離して2本線で出力する。

【0023】

データ反転信号生成回路14は、データ反転検出回路17と、第1判定回路18と、第2判定回路19とを有している。データ反転検出回路17は、R, G, Bの各6ビットの表示データDAごとに対応するため、3個を有している。各データ反転検出回路17は、6ビットの各ビットの前後での変化を検出するために、各ビットに対応して、図5に示すように、2段カスケード接続のフリップフロップと、各段の出力の排他的論理和を出力するEXOR回路からなる。EXOR回路からは、前後で変化がないビットでは"L"レベルを出力し、変化があるビットでは"H"を出力する。2段目のフリップフロップからは、表示データDAが出力される。第1判定回路18は、各データ反転検出回路17に対応するため3個を有し、IFM端子="H"レベルのとき、判定可能とする動作状態となり、IFM端子="L"レベルのとき、不動作状態にして消費電流を低減するようにしている。各第1判定回路18は、6ビットのうち変化したビット数を検出し、例えば、4ビット以上の場合、"H"レベルを出力する。第2判定回路19は、3個の第1判定回路18の出力のうち"H"レベルの出力数を検出し、2出力以上の場合、"H"を出力する。第2判定回路19の出力がデータ反転信号INVとなる。

10

【0024】

データ1次反転回路15は、EXOR回路からなり、IFM端子="H"レベルのとき、データ反転信号生成回路14からの表示データDAをデータ反転信号生成回路14からのデータ反転信号INVにより反転制御する。

20

【0025】

セクタ16aは、IFM端子="H"レベルのとき、分周回路13aからのクロック信号CKを選択出力し、IFM端子="L"レベルのとき、バイパス回路12aからのクロック信号CKを選択出力する。セクタ16bは、IFM端子="H"レベルのとき、データ反転信号生成回路14からのデータ反転信号INVを選択出力し、IFM端子="L"レベルのとき、バイパス回路12aからのデータ反転信号INVを選択出力する。セクタ16cは、IFM端子="H"レベルのとき、データ1次反転回路15からの表示データD00-D01, D02-D03, ..., D24-D25を選択出力し、IFM端子="L"レベルのとき、バイパス回路12bからの表示データD00-D01, D02-D03, ..., D24-D25を選択出力する。

30

【0026】

IFM端子="H"レベルのときのレシーバ10の動作について説明する。各RSDSレシーバ11a, 11bは動作状態となり、バイパス回路12a, 12bはCMOS信号のバイパスを禁止される。セクタ16aは分周回路13a出力を選択し、セクタ16bはデータ反転信号生成回路14出力を選択し、セクタ16cはデータ1次反転回路15出力を選択する。これらの動作により、図6に示すように、レシーバ10はRSDSレシーバとして機能する。従って、このとき、レシーバ10にクロック信号CKN/CKPおよび表示データDN/DPが入力されると、各RSDSレシーバ11a, 11bはこれらを受信し、レシーバ10からは、分周回路13aからのクロック信号CKが出力されるとともに、データ1次反転回路15からの表示データDAが出力される。

40

【0027】

次に、IFM端子="L"レベルのときのレシーバ10の動作について説明する。各RSDSレシーバ11a, 11bは不動作状態となり、各バイパス回路12a, 12bはクロック信号CK、データ反転信号INVおよび表示データDAをバイパスさせる。セクタ16aはバイパス回路12aのクロック信号出力を選択し、セクタ16bはバイパス回路12aのデータ反転信号出力を選択し、セクタ16cはバイパス回路12b出力を選択する。これらの動作により、図7に示すように、レシーバ10はCMOSレシーバとし

50

て機能する。従って、このとき、レシーバ10にクロック信号CK、データ反転信号INVおよび表示データDAが入力されると、各バイパス回路12a, 12bはそれらのCMOS信号をバイパスさせ、レシーバ10からは、バイパス回路12aからのクロック信号CKおよびデータ反転信号INVが出力されるとともに、バイパス回路12bからの表示データDAが出力される。

【0028】

図2に戻り、シフトレジスタ20、データ取り込み回路30、ラッチ40、レベルシフタ50、D/Aコンバータ60およびボルテージフォロア出力回路70について説明する。シフトレジスタ20は、データ線384本に対応して、128ビット(1ビットでデータ線R, G, Bの3本分を分担)からなり、液晶パネル1の複数走査線のうち1走査線を走査する1水平期間ごとに、クロック信号CKの前エッジおよび後エッジのタイミングでスタート信号STHの"H"レベルを読み込み、データ取り込み用の制御信号C1, C2, ..., C128を順次生成し、データ取り込み回路30に供給する。

10

【0029】

データ取り込み回路30は、図8に示すように、表示データDAの内部配線31と、データ反転信号INVの内部配線32と、データ2次反転回路33と、データレジスタ34とを有している。内部配線31は、レシーバ10の表示データDA出力端とOD00-OD05, OD10-OD15, OD20-OD25端子間を接続している。内部配線32は、レシーバ10のデータ反転信号INV出力端とOINV端子間を接続している。データ2次反転回路33は、データ線384本に対応して、6ビット×3ドット(R, G, B)の18ビット幅×128ビットのEXOR回路からなり、データレジスタ32の表示データ入力の直前位置に配置され、EXOR回路の一方の入力端に内部配線31から表示データDAが入力され、EXOR回路の他方の入力端に内部配線32からデータ反転信号INVが入力される。データレジスタ34は、データ線384本に対応して、1水平期間ごとに、6ビット×3ドット(R, G, B)の18ビット幅×128ビットでデータ2次反転回路33から供給される1走査線分の表示データDAをシフトレジスタ20の制御信号C1, C2, ..., C128の後エッジのタイミングで取込む。

20

【0030】

ラッチ40は、1水平期間ごとに、データレジスタ34に取込まれた表示データDAをラッチ信号STBの前エッジのタイミングで保持するとともにレベルシフタ50に一括供給する。レベルシフタ50は、ラッチ40からの表示データDAを電圧レベルを高めてD/Aコンバータ60に供給する。D/Aコンバータ60は、レベルシフタ50からの表示データDAにより、データ線384本のそれぞれに対応した6ビットの表示データDAごとに、64階調のうち、その表示データDAの論理に対応した1つの階調電圧をボルテージフォロア出力回路70に供給する。ボルテージフォロア出力回路70は、D/Aコンバータ60からの階調電圧を駆動能力を高めてラッチ信号STBの後エッジのタイミングで出力S1~S384として出力する。

30

【0031】

図1に示す液晶表示モジュールのコントローラ2とデータドライバ4間および各データドライバ4間の各種信号の転送について、コントローラ2と、データドライバ4と、コントローラ2からデータドライバ4への各種信号線とを図9に示して説明する。スタート信号STHおよびラッチ信号STBは、CMOS信号でコントローラ2からデータドライバ4-1に転送され、データドライバ4-1からカスケード接続された各データドライバ4-2, 4-3, ..., 4-10に順次転送されていく。

40

【0032】

クロック信号CLK、表示データDATAおよびデータ反転信号INVの転送について説明する。データドライバ4-1のIFM端子の電位レベルは"H"レベルに設定され、データドライバ4-2, 4-3, ..., 4-10のIFM端子の電位レベルは"L"レベルに設定される。これにより、データドライバ4-1の各RSDSレシーバ11a, 11bが動作状態となり、図6に示したように、データドライバ4-1のレシーバ10はRSD

50

S レシーバとして機能し、コントローラ 2 の図示しない R S D S トランスミッタと、データドライバ 4 - 1 のレシーバ 1 0 とで R S D S インタフェースを構成する。従って、コントローラ 2 からクロック信号 C K N / C K P および表示データ D N / D P が、R S D S インタフェースを介してデータドライバ 4 - 1 へ転送される。

【 0 0 3 3 】

データドライバ 4 - 1 内において、クロック信号 C K N / C K P はレシーバ 1 0 でクロック信号 C K に変換され、シフトレジスタ 2 0 を介して O C K 端子に転送される。表示データ D N / D P はレシーバ 1 0 で表示データ D A に変換される。レシーバ 1 0 のデータ反転信号生成回路 1 4 で、表示データ D A のビットごとに前後での反転を検出しその反転ビット数に応じたデータ反転信号 I N V が生成される。表示データ D A は、レシーバ 1 0 のデータ 1 次反転回路 1 5 でデータ反転信号 I N V に応じて 1 次反転制御され、データ反転信号 I N V とともにデータ取り込み回路 3 0 に転送される。データ取り込み回路 3 0 に転送された表示データ D A およびデータ反転信号 I N V は、内部配線 3 1 , 3 2 を介して、O D 0 0 - O D 0 5 , O D 1 0 - O D 1 5 , O D 2 0 - O D 2 5 端子および O I N V 端子に転送されるとともに、データ 2 次反転回路 3 3 に転送される。表示データ D A は、データ 2 次反転回路 3 3 でデータ反転信号 I N V に応じて 2 次反転制御され、データレジスタ 3 4 に転送される。このとき、表示データ D A は、データレジスタ 3 4 に入力される直前で、データ反転信号 I N V に応じた 2 次反転制御がなされるため、内部配線 3 1 における表示データ D A の反転頻度が少なくなり内部配線 3 1 での E M I ノイズや消費電流を低減できる。

【 0 0 3 4 】

データドライバ 4 - 2 の各 R S D S レシーバ 1 1 a , 1 1 b が不動作状態となりバイパスされて、図 7 に示すように、データドライバ 4 - 2 のレシーバ 1 0 は C M O S レシーバとして機能する。従って、データドライバ 4 - 1 からクロック信号 C K 、データ反転信号 I N V および表示データ D A が、データドライバ 4 - 2 へ転送される。データドライバ 4 - 2 内において、クロック信号 C K は、シフトレジスタ 2 0 を介して O C K 端子に転送される。表示データ D A は、データ反転信号 I N V とともにデータ取り込み回路 3 0 に転送される。データ取り込み回路 3 0 に転送された表示データ D A およびデータ反転信号 I N V は、データドライバ 4 - 1 と同様に、O D 0 0 - O D 0 5 , O D 1 0 - O D 1 5 , O D 2 0 - O D 2 5 端子および O I N V 端子に転送されるとともに、データ 2 次反転回路 3 3 に転送される。表示データ D A は、データドライバ 4 - 1 と同様に、データレジスタ 3 4 に転送され、内部配線 3 1 での E M I ノイズや消費電流を低減できる。

【 0 0 3 5 】

3 段目以降のデータドライバ 4 - 3 、 . . . 、 4 - 1 0 についても、データドライバ 4 - 2 と同様に機能し、クロック信号 C K および表示データ D A が、データドライバ 4 - 3 、 . . . 、 4 - 1 0 へ C M O S インタフェース回路を介して順次転送されていく。また、2 段目以降のデータドライバ 4 - 2 、 4 - 3 、 . . . 、 4 - 1 0 の各 R S D S レシーバ 1 1 a , 1 1 b は不動作状態となっているので、これらのレシーバでの消費電流を低減できる。

【 0 0 3 6 】

次に、データドライバ 4 - 3 用の表示データ D A T A がデータドライバ 4 - 1 に入力され、データドライバ 4 - 3 に転送されるまでのタイミング動作について、図 1 0 を参照して説明する。データドライバ 4 - 1 には、例えば、7 5 M H z の R S D S 信号として、クロック信号 C K N / C K P が図 1 0 (a) に示すタイミングで入力され、クロック信号 C K N / C K P に同期して表示データ D N / D P が図 1 0 (c) に示すタイミングで入力される。図 1 0 (a) に示す 2 5 9 番目のクロック信号 C K N / C K P に対応して、図 1 0 (c) に示すデータドライバ 4 - 3 の出力 S 1 ~ S 3 用の表示データ D N / D P が入力され、同様に、2 6 0 番目のクロック信号 C K N / C K P に対応して、データドライバ 4 - 3 の出力 S 4 ~ S 6 用の表示データ D N / D P が入力される。また、データドライバ 4 - 1 には、図示より先のタイミングでスタート信号 S T H 1 が入力されており、図 1 0 (b

)では、I S T H端子は"L"レベルである。

【0037】

クロック信号CKN/CKPは、データドライバ4-1内のレシーバ10で2分周されて37.5MHzのクロック信号CK1(図示せず)となり、データドライバ4-1内を転送され、クロック信号CK2として、図10(d)に示すように、クロック信号CKN/CKPから $t = t_{P1}$ (例えば、 $t_{P1} = 15\text{ ns}$)の遅延でデータドライバ4-2に入力される。表示データDN/DPは、データドライバ4-1内のレシーバ10で2分周されて37.5MHzの表示データD00-D05, D10-D15, D20-D25(図示せず)となり、データドライバ4-1内を転送され、図10(f)に示すように、クロック信号CK2から $t = t_{PLH2}$ (t_{PHL2})の遅延(例えば、 $t_{PLH2}, t_{PHL2} = -3 \sim +1\text{ ns}$)でデータドライバ4-2に入力される。図10(d)に示す2-1番目のクロック信号CK2に対応して、図10(f)に示すデータドライバ4-3の出力S1~S3, S4~S6用の表示データDAが入力され、同様に、2-2番目のクロック信号CK2に対応して、データドライバ4-3の出力S7~S9, S10~S12用の表示データDAが入力される。また、スタート信号STH1は、データドライバ4-1内を転送され、スタート信号STH2として、データドライバ4-2に、図示より先のタイミングで入力されており、図10(e)では、I S T H端子は"L"レベルである。

10

【0038】

クロック信号CK2は、データドライバ4-2内を転送され、クロック信号CK3として、図10(g)に示すように、クロック信号CK2から $t = t_{P2}$ (例えば、 $t_{P2} = 15\text{ ns}$)の遅延でデータドライバ4-3に入力される。スタート信号STH2は、データドライバ4-2内を転送され、スタート信号STH3として、3-1番目のクロック信号CK3の後エッジから $t = t_{PLH1}$ の遅延(例えば、 $t_{PLH1} = -3 \sim +1\text{ ns}$)の前エッジおよび3-2番目のクロック信号CK3の後エッジから $t = t_{PHL1}$ の遅延(例えば、 $t_{PHL1} = -3 \sim +1\text{ ns}$)の前エッジで入力される。表示データDAは、データドライバ4-2内を転送され、図10(i)に示すように、クロック信号CK3から $t = t_{PLH2}$ (t_{PHL2})の遅延でデータドライバ4-3に入力される。図10(g)に示す3-3番目のクロック信号CK3に対応して、図10(g)に示すデータドライバ4-3の出力S1~S3, S4~S6用の表示データDAが入力され、同様に、3-4番目のクロック信号CK3に対応して、データドライバ4-3の出力S7~S9, S10~S12用の表示データDAが入力される。

20

30

【0039】

以上に説明したように、RSDS信号からなる表示データDN/DPが入力されるデータドライバ4-1では、表示データDN/DPはレシーバ10でCMOS信号からなる表示データDAに変換される。そして、内部のレシーバ10でデータ反転信号INVが生成されるとともに、CMOS信号に変換された表示データDAがそのデータ反転信号INVに応じて1次反転制御されてからデータ取り込み回路30へ転送される。1次反転制御された表示データDAは、内部配線31を転送され、データレジスタ34に入力される直前で、元の論理に復帰させるためにデータ反転信号INVに応じた2次反転制御がなされる。これにより、内部配線31における表示データDAの反転頻度が少なくなり内部配線31でのEMIノイズや消費電流を低減できる。

40

【0040】

CMOS信号からなる表示データDAが入力されるデータドライバ4-2, 4-3, ..., 4-10では、データドライバ4-1で1次反転制御された表示データDAがそのままレシーバ10を介してデータ取り込み回路30へ転送される。データ取り込み回路30へ転送された表示データDAは、内部配線31を転送され、データレジスタ34に入力される直前で、元の論理に復帰させるためにデータドライバ4-1で生成されたデータ反転信号INVに応じた2次反転制御がなされる。これにより、データドライバ4-2, 4-3, ..., 4-10においても、内部配線31における表示データDAの反転頻度が少なくなり内部配線31でのEMIノイズや消費電流を低減できる。

50

【0041】

つぎに、本発明の第2の実施形態について、図11を参照して説明する。尚、図1と同一のものについては同一符号を付して、その説明を省略する。図1の液晶表示装置と異なる点は、コントローラ2およびデータドライバ4の替わりにコントローラ102およびデータドライバ104を有し、コントローラ102から初段のデータドライバ104-1には、小振幅差動信号方式のインタフェースとして、RSDSインタフェースの替わりに、min-LVDS (TEXAS INSTRUMENTS社の商標登録)方式のインターフェースを用いてmin-LVDS信号からなる表示データDN/DPおよびクロック信号CKN/CKPが転送される点である。データドライバ104は、図2に示したデータドライバ4とは、レシーバ10のRSDSレシーバ11a, 11bの替わりにmin-LVDSレシーバが用いられる点を除いて同様の回路構成を用いることができ、動作についても同様であり、図示および説明を省略する。

【0042】

つぎに、本発明の第3の実施形態について、図12を参照して説明する。尚、図1と同一のものについては同一符号を付して、その説明を省略する。図1の液晶表示装置と異なる点は、コントローラ2およびデータドライバ4の替わりにコントローラ202およびデータドライバ204を有し、コントローラ202から初段のデータドライバ204-1には、小振幅差動信号方式のインタフェースとして、RSDSインタフェースの替わりに、CMADS (Current Mode Advanced Differential Signaling: 日本電気(株)の商標登録)方式のインターフェースを用いてCMADS信号からなる表示データDN/DPおよびクロック信号CKN/CKPが転送される点である。データドライバ204は、図2に示したデータドライバ4とは、レシーバ10のRSDSレシーバ11a, 11bの替わりにCMADSレシーバが用いられる点を除いて同様の回路構成を用いることができ、動作についても同様であり、図示および説明を省略する。

【0043】

尚、上記第1~第3の実施形態では、データドライバとして、表示データ入力RSDS信号、min-LVDSまたはCMADS信号のうちの1つの小振幅差動信号入力とCMOS信号入力との切り替え可能なものを例に説明したが、これに限定されず、RSDS信号、min-LVDSまたはCMADS信号のうちの1つのみ入力可能なものやCMOS信号のみ入力可能なものであってもよい。RSDS信号、min-LVDSまたはCMADS信号のうちの1つのみ入力可能なデータドライバの場合、データドライバのレシーバを図6に示すレシーバ10のIFM="H"のときの等価回路と同様に、データ反転信号生成回路とデータ1次反転回路を有する回路構成とすればよい。CMOS信号のみ入力可能なデータドライバの場合、データドライバのレシーバを図7に示すレシーバ10のIFM="L"のときの等価回路と同様に、データ反転信号INVの生成とデータ1次反転制御はデータドライバの外部で行い、データ2次反転制御のためのデータ反転信号INVの入力端を有する回路構成とすればよい。この場合、データ反転信号INVの生成とデータ1次反転制御はコントローラで行えばよい。RSDS信号、min-LVDSまたはCMADS信号のうちの1つのみ入力可能なデータドライバやCMOS信号のみ入力可能なデータドライバを用いた液晶表示装置では、上述のチップ間データ転送方式だけでなく、コントローラからの表示データを各データドライバに並列に転送する方式を用いることもできる。また、RSDS信号、min-LVDSおよびCMADS信号の替わりに他の小振幅差動信号を適用可能である。また、液晶表示装置を例として説明したが、これに限定されることなく、表示データが内部配線を転送されデータレジスタに取込まれる他の表示装置にも用いることができる。また、さらに、表示装置に限定されることなく、データが内部配線を転送されデータレジスタに取込まれる他の電子装置にも用いることができる。

【図面の簡単な説明】

【0044】

【図1】本発明の一実施形態の液晶表示モジュールの概略構成を示すブロック図。

【図2】図1に示す液晶表示モジュールに用いられるデータドライバ4の概略構成を示す

ブロック図。

【図 3】図 2 に示すデータドライバ 4 に用いられるレシーバ 10 を示す回路図。

【図 4】図 3 に示すレシーバ 10 に用いられるバイパス回路 12 を示す回路図。

【図 5】図 3 に示すレシーバ 10 に用いられるデータ反転信号生成回路 14 を示す回路図

。

【図 6】図 3 に示すレシーバ 10 の IFM = "H" のときの動作状態を示す図。

【図 7】図 3 に示すレシーバ 10 の IFM = "L" のときの動作状態を示す図。

【図 8】図 2 に示すデータドライバ 4 に用いられるデータ取り込み回路 30 を示す回路図

。

【図 9】図 1 に示すコントローラ 2 とデータドライバ 4 間の各種信号の転送を説明する図 10

。

【図 10】図 9 に示すデータドライバ間におけるクロック信号や表示データのチップ間転送を説明するタイミングチャート。

【図 11】本発明の第 2 の実施形態の液晶表示モジュールの概略構成を示すブロック図。

【図 12】本発明の第 3 の実施形態の液晶表示モジュールの概略構成を示すブロック図。

【符号の説明】

【0045】

1 液晶パネル

2、102、202 コントローラ（制御回路；第 1 の半導体集積回路装置）

4、104、204 データドライバ（データ側駆動回路；第 2 の半導体集積回路装置 20

）

10 レシーバ（受信部）

11a, 11b RSDSレシーバ

12a, 12b バイパス回路

13a, 13b 分周回路

14 データ反転信号生成回路

15 データ 1 次反転回路

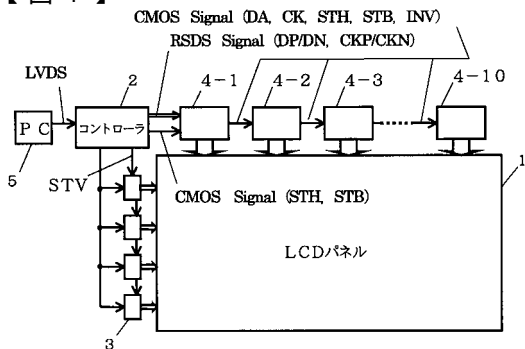
16a, 16b, 16c セレクタ

17 データ反転検出回路

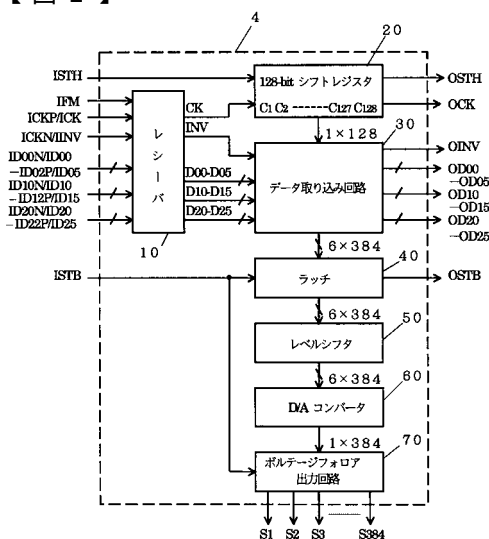
18 第 1 判定回路

19 第 2 判定回路

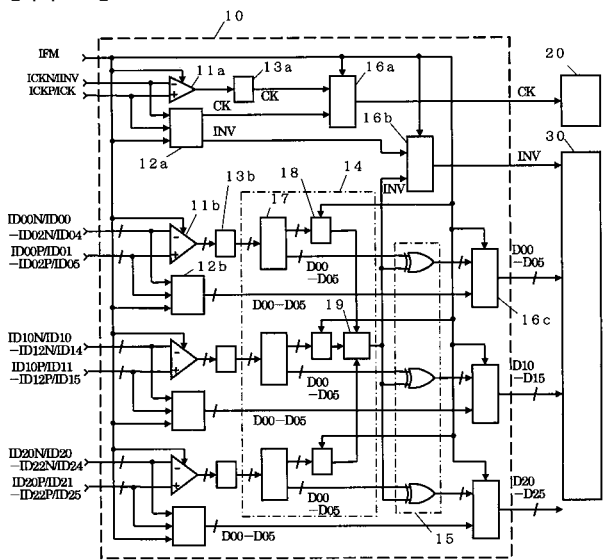
【 図 1 】



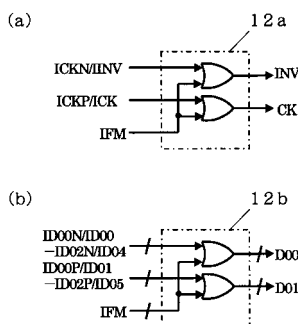
【 図 2 】



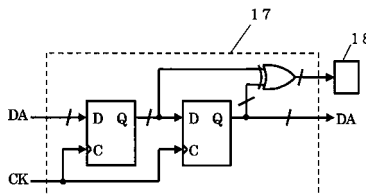
【 図 3 】



【 図 4 】

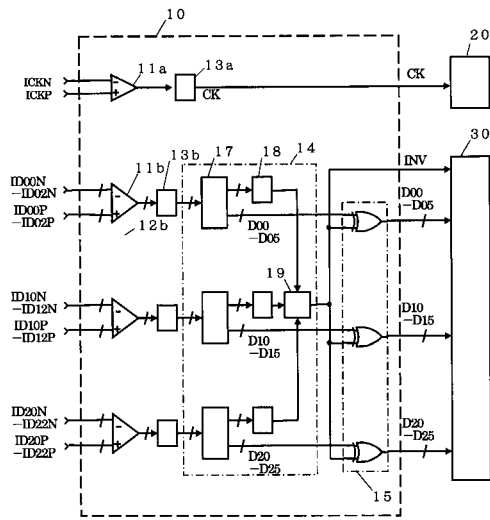


【 図 5 】



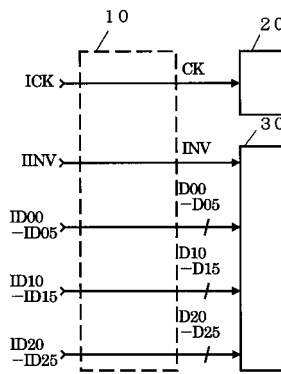
【 図 6 】

IFM="H"

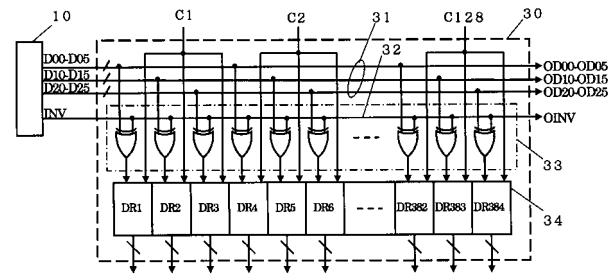


【 図 7 】

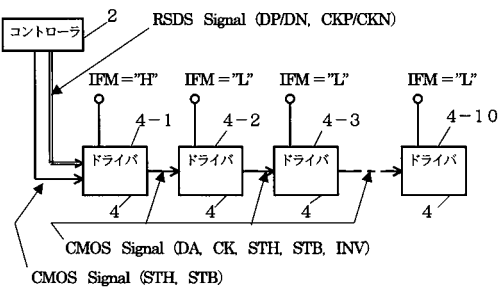
IFM="L"



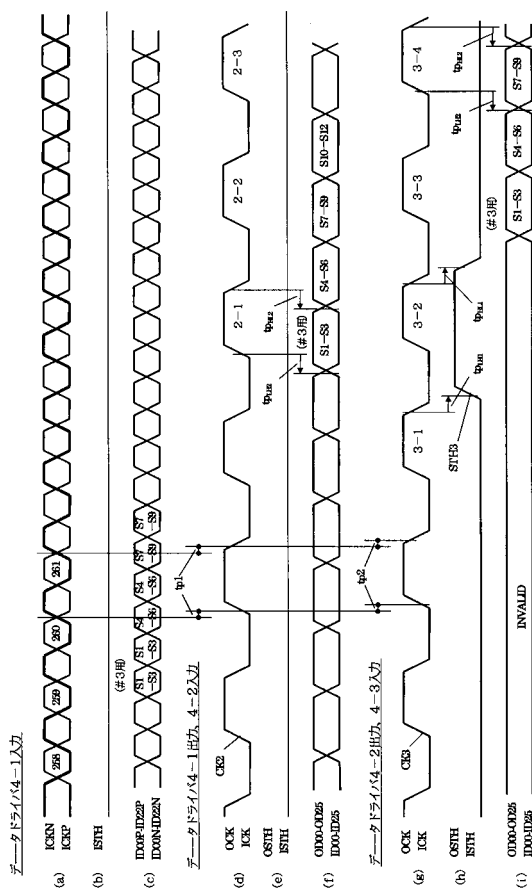
【 図 8 】



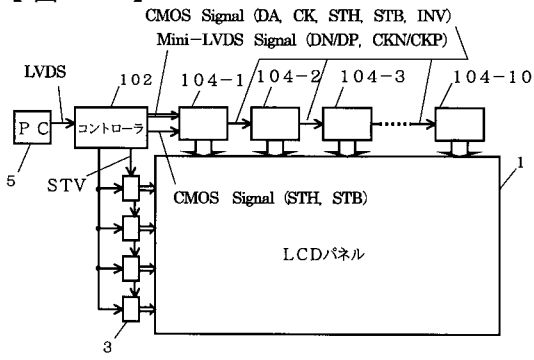
【 図 9 】



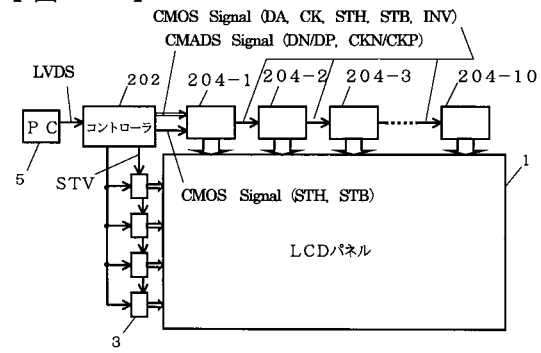
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 3 3 H

G 0 9 G 3/20 6 3 3 P