



(12) 发明专利

(10) 授权公告号 CN 102484342 B

(45) 授权公告日 2015. 02. 18

(21) 申请号 201080037888. 6

(22) 申请日 2010. 08. 19

(30) 优先权数据

12/547, 211 2009. 08. 25 US

(85) PCT国际申请进入国家阶段日

2012. 02. 27

(86) PCT国际申请的申请数据

PCT/US2010/002279 2010. 08. 19

(87) PCT国际申请的公布数据

W02011/028238 EN 2011. 03. 10

(73) 专利权人 泰科电子公司

地址 美国宾夕法尼亚州

(72) 发明人 P. J. 佩普 S. R. 波普

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 吴艳

(51) Int. Cl.

H01R 13/66 (2006. 01)

H01R 24/62 (2011. 01)

(56) 对比文件

US 6464541 B1, 2002. 10. 15, 对比文件 1 说明书第 4 栏第 22 行 - 第 5 栏第 32 行, 说明书附图 2-4, 6, 7.

US 6464541 B1, 2002. 10. 15, 对比文件 1 说明书第 4 栏第 22 行 - 第 5 栏第 32 行, 说明书附图 2-4, 6, 7.

CN 101438468 A, 2009. 05. 20, 对比文件 2 说明书第 4 页第 3 段, 附图 4.

TW 528235 U, 2003. 04. 11, 全文.

US 7575482 B1, 2009. 08. 18, 全文.

GB 2438746 A, 2007. 12. 05, 全文.

CN 101084612 A, 2007. 12. 05, 全文.

审查员 张亚东

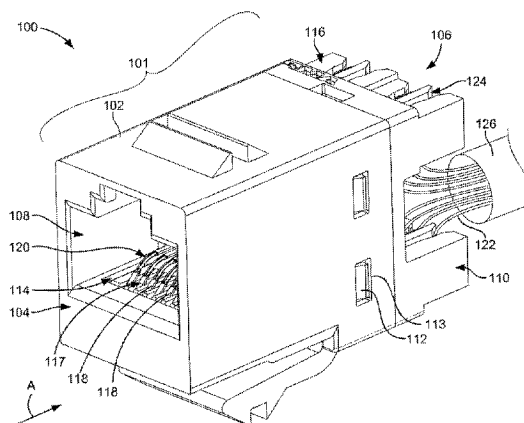
权利要求书2页 说明书14页 附图14页

(54) 发明名称

具有串扰补偿的电连接器

(57) 摘要

一种电连接器 (100) 包括构造成接合模块式插头 (145) 的选定插头触头 (146) 的配合导体 (118)。连接器 (100) 包括将配合导体 (118) 互连至端子触头 (143) 的印刷电路 (132)。印刷电路包括设置在印刷电路端部 (204、206) 间并电连接至配合导体 (118) 的导体过孔 (139) 的第一和第二屏蔽行 (230、232)。第一和第二屏蔽行 (230、232) 分别沿着基本彼此平行延伸的第一和第二行轴线 (240、242) 延伸。印刷电路 (132) 还包括电连接至端子触头 (143) 的外部端子过孔 (141)。每个端部 (204、206) 中具有在沿第一和第二行轴线 (240、242) 的方向上分布的端子过孔 (141)。印刷电路 (132) 还包括在第一和第二屏蔽行 (230、232) 间并沿着基本平行于第一和第二行轴线 (240、242) 延伸的居中对轴线 (244) 设置的一对屏蔽过孔 (151)。



1. 一种电连接器 (100), 包括:

构造成接合模块式插头 (145) 的选定的插头触头 (146) 的配合导体 (118) 的阵列 (117), 所述配合导体 (118) 包括差分对;

构造成电连接至选定的电缆线 (112) 的多个端子触头 (143); 和

将所述配合导体 (118) 互连至所述端子触头 (143) 的印刷电路 (132), 所述印刷电路 (132) 具有相反的端部 (204、206) 并进一步包括:

设置在所述端部 (204、206) 之间并电连接至所述配合导体 (118) 的导体过孔 (139) 的第一屏蔽行 (230) 和第二屏蔽行 (232), 所述第一屏蔽行 (230) 和第二屏蔽行 (232) 中的每个行的所述导体过孔 (139) 分别沿着第一行轴线 (240) 和第二行轴线 (242) 基本上对齐, 所述第一行轴线 (240) 和第二行轴线 (242) 基本上彼此平行;

电连接至所述端子触头 (143) 的外部端子过孔 (141), 每个端部 (204、206) 中具有在沿着所述第一行轴线 (240) 和第二行轴线 (242) 的方向上分布的外部端子过孔 (141), 其中所有的外部端子过孔位于所述端部; 和

电连接至对应的配合导体 (118) 的一对屏蔽过孔 (151), 所述一对屏蔽过孔 (151) 设置在所述第一屏蔽行 (230) 和第二屏蔽行 (232) 之间并且沿着延伸在所述第一屏蔽行 (230) 和第二屏蔽行 (232) 之间的居中对轴线 (244) 设置, 所述居中对轴线 (244) 基本上平行于所述第一行轴线 (240) 和第二行轴线 (242) 延伸, 其中所述第一屏蔽行 (230) 和第二屏蔽行 (232) 的导体过孔 (139) 设置成将所述屏蔽过孔 (151) 与所述端子过孔 (141) 电隔离。

2. 根据权利要求 1 的连接器的 (100), 其中, 所述导体过孔 (139) 包括导体过孔 (139) 的差分对, 所述差分对的每个导体过孔 (139) 距所述屏蔽过孔 (151) 中的至少一个基本上等距, 所述至少一个屏蔽过孔 (151) 与所述差分对的导体过孔 (139) 形成了双极性耦合。

3. 根据权利要求 2 的连接器的 (100), 其中, 所述第一屏蔽行 (230) 和第二屏蔽行 (232) 中的每个包括所述差分对的一个导体过孔 (139)。

4. 根据权利要求 2 的连接器的 (100), 其中, 导体过孔 (139) 的所述差分对为第一差分对, 所述导体过孔进一步包括导体过孔 (139) 的第二差分对, 其中, 所述至少一个屏蔽过孔 (151) 与所述第一差分对的导体过孔 (139) 形成双极性耦合, 并且还与所述第二差分对的导体过孔 (139) 形成双极性耦合。

5. 根据权利要求 2 的连接器的 (100), 其中, 导体过孔 (139) 的所述差分对包括第一导体过孔和第二导体过孔 (139), 所述第一导体过孔和第二导体过孔 (139) 设置成分别与所述至少一个屏蔽过孔 (151) 相距第一距离和第二距离, 所述第一距离和第二距离之间的差值最多为所述第一距离和第二距离中的一个的 30%。

6. 根据权利要求 1 的连接器的 (100), 其中, 所述至少一个屏蔽过孔 (151) 距所述第一行轴线 (240) 和第二行轴线 (242) 基本上等距。

7. 根据权利要求 1 的连接器的 (100), 其中, 所述端子过孔 (141) 包括差分对, 所述差分对的端子过孔 (141) 距所述第一屏蔽行 (230) 和第二屏蔽行 (232) 的导体过孔 (139) 中的一个基本上等距。

8. 根据权利要求 1 的连接器的 (100), 其中, 所述屏蔽过孔 (151) 彼此分开的一个距离, 该距离小于所述屏蔽过孔 (151) 与所述第一行轴线 (240) 和第二行轴线 (242) 分开的最短距离。

9. 根据权利要求1的连接器的(100),其中,所述端子过孔(141)包括彼此间隔开的差分对,所述差分对的相关联的端子过孔(141)定位成彼此相邻。

10. 根据权利要求9的连接器的(100),其中,每个差分对的所述端子过孔(141)被对应的平面经过,所述差分对中的每一个差分对的所述平面面向所述印刷电路(132)的中心,每个平面相对于其它的平面面向不同的方向。

11. 根据权利要求10的连接器的(100),其中,每个平面越过所述印刷电路(132)的中心面向另一个平面。

12. 根据权利要求1的连接器的(100),其中,所述一对屏蔽过孔(151)电连接至配合导体(118)的差分对,配合导体(118)的所述差分对被配合导体(118)的另一个差分对分隔开。

13. 根据权利要求1的连接器的(100),其构造成电互连模块式插头(145)和电缆线(122),所述连接器包括:

具有构造成接收所述模块式插头(145)的内部腔室(108)的连接器的主体(101);

包括具有导体过孔(139)的基板(202)的印刷电路(132);和

构造成沿着配合表面接合所述模块式插头(145)的选定的插头触头(146)的、位于所述内部腔室(108)中的配合导体(118)的阵列,所述配合导体(118)延伸在所述配合表面和所述印刷电路的对应的导体过孔(139)之间,所述配合导体(118)具有包括宽度和厚度的横截面,所述配合导体(118)包括相邻的配合导体(118),所述相邻的配合导体(118)具有各自的彼此电容性地耦合的耦合区域(138),每个耦合区域(138)具有沿着所述厚度延伸的侧部,并且所述侧部面向所述相邻的配合导体(118)的耦合区域(138)的侧部,其中沿着每个耦合区域(138)的所述厚度大于所述宽度。

14. 根据权利要求13的连接器的(100),其中,所述相邻的配合导体(118)包括联接至所述印刷电路(132)的导体过孔(139)的可分开的电路触头,所述电路触头基本上平行所述印刷电路(132)的表面延伸并且包括耦合区域(139)。

具有串扰补偿的电连接器

技术领域

[0001] 本文的主题总体上涉及电连接器,更具体地,涉及使用差分对并经受干扰性的(offending)串扰和/或返程损失的电连接器。

背景技术

[0002] 通常用于电信系统中的诸如模块式插座和模块式插头的电连接器可以提供这样的系统中相继的电缆区段(run)之间以及电缆与电子器件之间的接口。电连接器可以包括根据已知的工业标准布置的配合导体,所述工业标准例如为电子工业联合会/电信工业协会(“EIA/TIA”)-568。然而,例如近端串扰(NEXT)和/或返程损失可不利地影响电连接器的性能。为了改善连接器的性能,人们使用了很多技术以为NEXT损失提供补偿和/或改善返程损失。

[0003] 这样的技术专注于在电连接器内相对于彼此布置配合导体和/或引入部件以提供补偿,例如补偿NEXT。例如,补偿信号可以通过与所述导体交叉(cross)使得两个导体之间的耦合极性反转而产生。补偿信号还可以通过彼此电容性地耦合指状件(digital finger)而产生于电连接器的电路板中。然而,以上技术用于提供串扰补偿和/或改善返程损失的能力是有限的。

[0004] 因此,需要另外的技术以通过减少串扰和/或改善返程损失来改善电连接器的电气性能。

发明内容

[0005] 一种电连接器提供了解决方案,所述电连接器包括配合导体,该配合导体构造成接合模块式插头的选定的插头触头。配合导体包括差分对。所述连接器还包括构造成电连接至选定的电缆线的多个端子触头和将配合导体互连至端子触头的印刷电路。印刷电路具有相反的端部,并且还包括设置在端部之间并且电连接至配合导体的导体过孔的第一屏蔽行和第二屏蔽行。第一屏蔽行和第二屏蔽行中的每个行的导体过孔分别沿着第一行轴线和第二行轴线基本上对齐。第一行轴线和第二行轴线基本上彼此平行。印刷电路还包括电连接至端子触头的外部端子过孔。每个端部中具有在沿着第一行轴线和第二行轴线的方向上分布的端子过孔。印刷电路还包括电连接至对应的配合导体的一对屏蔽过孔。所述一对屏蔽过孔设置在第一屏蔽行和第二屏蔽行之间,并且沿着延伸在第一屏蔽行和第二屏蔽行之间的居中对轴线设置。该居中对轴线基本上平行于第一行轴线和第二行轴线延伸。第一屏蔽行和第二屏蔽行的导体过孔设置成将屏蔽过孔与端子过孔电隔离。

[0006] 一种构造成将模块式插头和电缆线电互连的电连接器也提供了解决方案。所述连接器包括具有构造成接收模块式插头的内部腔室的连接器主体。连接器还包括基板上具有导体过孔的印刷电路。所述连接器进一步包括构造成沿着配合表面接合模块式插头的选定的插头触头并位于内部腔室中的配合导体的阵列。配合导体延伸在所述配合表面和印刷电路的对应的导体过孔之间。配合导体具有包括宽度和厚度的横截面。配合导体包括相邻的

配合导体,相邻的配合导体具有各自的彼此电容性地耦合的耦合区域。每个耦合区域具有沿着厚度延伸的侧部,并且该侧部面向相邻的配合导体的耦合区域的侧部。沿着每个耦合区域的厚度大于宽度。

附图说明

[0007] 现在将参照附图通过示例的方式描述本发明,其中:

[0008] 图 1 为根据一个实施例形成的电连接器的透视图。

[0009] 图 2 为图 1 所示的连接器的触头子组件的示例性实施例的透视图。

[0010] 图 3 为图 2 所示的触头子组件的配合端的放大透视图。

[0011] 图 4 为模块式插头与图 1 的连接器的触头子组件的示意性侧视图。

[0012] 图 5 为与图 1 的连接器的正视图。

[0013] 图 6 为图 5 所示的印刷电路的正视图,示出了过孔相对于彼此的布置。

[0014] 图 7 为可以与图 1 的连接器的正视图一起使用的根据另一个实施例形成的印刷电路的正视图。

[0015] 图 8A 为可以与图 1 的连接器的正视图一起使用的配合导体的阵列和印刷电路的透视图。

[0016] 图 8B 为图 8A 中的相邻的配合导体的桥接部的横截面视图。

[0017] 图 8C 为图 8A 中的相邻的配合导体的耦合区域的横截面视图。

[0018] 图 9A 为根据另一个实施例的配合导体的阵列和印刷电路的透视图。

[0019] 图 9B 为图 9A 中的相邻的配合导体的接合部的横截面视图。

[0020] 图 9C 为图 9A 中的相邻的配合导体的耦合区域的横截面视图。

[0021] 图 9D 为图 9A 中的相邻的配合导体的电路触头部的横截面视图。

[0022] 图 10 为根据另一个实施例的电路触头的阵列和印刷电路的透视图。

[0023] 图 11 为图 10 所示的电路触头的阵列和印刷电路的正视图。

[0024] 图 12 为图 10 所示的印刷电路的正视图,示出了延伸穿过印刷电路的多个迹线。

具体实施方式

[0025] 图 1 为电连接器 100 的示例性实施例的透视图。在该示例性实施例中,连接器 100 为模块式的连接器,例如但不限于 RJ-45 插口或通信插座。然而,这里描述和 / 或示出的主题可以应用于其它类型的电连接器。连接器 100 构造成接收并接合配合插头或模块式插头 145(图 4 所示)(也称为配合连接器)。模块式插头 145 沿着大体上箭头 A 所示的配合方向装载。连接器 100 包括连接器主体 101,其中连接器主体 101 具有构造成接收并接合模块式插头 145 的配合端 104 和构造成电气并机械地接合电缆 126 的装载端 106。连接器主体 101 可以包括自配合端 104 向着装载端 106 延伸的壳体 102。连接器主体 101 或壳体 102 可以至少部分地限定内部腔室 108,其中该腔室 108 延伸穿过壳体 102 并构造成接近于配合端 104 接收模块式插头 145。

[0026] 连接器 100 包括接近于装载端 106 接收在壳体 102 内的触头子组件 110。在该示例性实施例中,触头子组件 110 经由与壳体 102 内的对应的开口 113 协作的突片(tab)112 固定至壳体 102。触头子组件 110 从配合端部 114 延伸至端接端部 116。触头子组件 110 保持在壳体 102 内,使得触头子组件 110 的配合端部 114 接近于壳体 102 的配合端 104 定位。

在该示例性实施例中端接端部 116 接近于装载端 106 设置。如所示的,触头子组件 110 包括配合导体或触头 118 组成的阵列 117。阵列 117 内的每个配合导体 118 包括布置在腔室 108 内的配合表面 120。配合导体 118 延伸在对应的配合表面 120 与印刷电路 132(图 2)中的对应的导体过孔(via)139(图 2)之间。当模块式插头 145 与连接器 100 配合时,每个配合表面 120 接合(即接口连接(interface))模块式插头 145 的选定的配合或插头触头 146(图 4 所示)。

[0027] 在一些实施例中,配合导体 118 的布置可以至少部分地由工业标准确定,该工业标准例如为但不限于国际电工技术委员会(IEC)60603-7 或电子工业联合会/电信工业协会(EIA/TIA)-568。在一个示例性实施例中,连接器 100 包括组成 4 个差分对的 8 个配合导体 118。然而,无论配合导体 118 是否布置为差分对,连接器 100 可以包括任意数量的配合导体 118。

[0028] 在该示例性实施例中,多根电缆线 122 附接至触头子组件 110 的端接部 124。端接部 124 位于触头子组件 110 的端接端部 116 处。每个端接部 124 可以电连接至配合导体 118 中的对应的一个配合导体。线 122 自电缆 126 延伸并且端接在端接部 124 处。可选地,端接部 124 包括用于将线 122 电连接至触头子组件 110 的绝缘移位连接(IDC)。可替代地,线 122 可以经由焊接、压接(crimped connection)等端接至触头子组件 110。在该示例性实施例中,布置为差分对的 8 根线 122 端接至连接器 100。然而,无论线 122 是否布置为差分对,任意数量的线 122 可以端接至连接器 100。每根线 122 电连接至配合导体 118 中的对应的一个配合导体 118。因而,连接器 100 经由配合导体 118 和端接部 124 可以在模块式插头 145 和线 122 之间提供电信号、电接地、和/或电力的通道。

[0029] 图 2 为触头子组件 110 的示例性实施例的透视图。触头子组件 110 包括基部 130,其中该基部 130 从配合端部 114 延伸至接近端接端部 116 的印刷电路 132,当连接器 100(图 1)完全组装时,端接端部 116 接近于装载端 106(图 1)设置。这里使用的术语“印刷电路”包括其中导电路径以预定的图案印刷或以其它方式沉积在电介质基板上的任意电路。例如,印刷电路 132 可以是具有基板 202 的柔性电路或电路板。触头子组件 110 保持配合导体 118 的阵列 117,使得配合导体 118 沿大体上平行于模块式插头 145(图 4)的装载方向(图 1 中箭头 A 所示)的方向延伸。可选地,基部 130 包括接近于印刷电路 132 定位的支撑块 134 和构造成有助于以预定的布置方式支撑或保持配合导体 118 的电介质材料的带(band)133。

[0030] 此外示出了,印刷电路 132 可以通过对应的导体过孔 139 和屏蔽过孔 151(图 5 所示)电接合配合导体 118。具体地,配合导体 118 可以具有接近印刷电路 132 的电路触头部 252,其中该触头部 252 电连接至对应的导体过孔 139 和屏蔽过孔 151。导体过孔 139 和屏蔽过孔 151 通过对应的迹线(例如图 12 所示的迹线 481-488)可以电连接至对应的端子过孔 141。

[0031] 相邻的配合导体 118 可以具有构造成彼此电容性地耦合的耦合区域 138。这里使用的配合导体的“耦合区域”包括构造成实质上影响对应的配合导体与其它的配合导体和/或印刷电路的电磁耦合的范围。在图 2 所示的示例性实施例中,电路触头部 252 包括耦合区域 138,然而,在其它的实施例中耦合区域 138 可以位于配合导体 118 的其它部分。耦合区域 138 可以接近于印刷电路 132 设置。

[0032] 端子过孔 141 可以电连接至多个端子触头 143 (图 4 所示)。每个端子触头 143 可以机械地接合并电连接至接近于装载端 106 (图 1) 的选定的线 122 (图 1)。导体过孔 139 和屏蔽过孔 151 相对于彼此和相对于印刷电路 132 内的端子过孔 141 的布置或布局 (pattern) 可以被构造以得到期望的电气性能。而且,将端子过孔 141 电连接至导体过孔 139 和屏蔽过孔 151 的迹线 (以下描述) 也可以被构造以调整或获得电连接器 100 的期望的电气性能。

[0033] 触头子组件 110 还可以包括延伸在配合端部 114 和端接端部 116 之间的补偿部件 140 (虚线表示)。该补偿部件 140 可以接收于基部 130 的空腔 142 内。配合导体 118 可以接近于配合端部 114 和 / 或端接端部 116 电连接至补偿部件 140。例如,配合导体 118 可以通过接近于配合端部 114 的触头垫 144 电连接至补偿部件 140。尽管没有示出,但配合导体 118 还可以通过补偿部件 140 的、向着端接端部 116 设置的其它触头垫 (未示出) 电连接至补偿部件 140。

[0034] 图 3 为触头子组件 110 的配合端部 114 的放大透视图。举例来说,阵列 117 可以包括布置为多个差分对 P1-P4 的 8 个配合导体。每个差分对 P1-P4 由两个相关联的配合导体 118 组成,其中一个配合导体 118 传输信号电流并且另一个配合导体 118 传输与相关联的配合导体相位相差大约 180° 的信号电流。按照惯例,差分对 P1 包括配合导体 +4 和 -5; 差分对 P2 包括配合导体 +6 和 -3,差分对 P3 包括配合导体 +2 和 -1,并且差分对 P4 包括配合导体 +8 和 -7。这里使用的 (+) 和 (-) 代表配合导体的正极性和负极性。符号 (+) 的配合导体与符号 (-) 的配合导体在极性上相反,因此符号 (-) 的配合导体传送的信号与符号 (+) 的配合导体相位相差大约 180° 。配合导体还可以表征为:所具有的信号通道或返程通道中,信号通道和返程通道传送的信号彼此相位相差大约 180° 。

[0035] 如图 3 所示,差分对 P2 的配合导体 +6 和 -3 被形成差分对 P1 的配合导体 +4 和 -5 分开。这样,差分对 P2 的配合导体 +6 和 -3 被差分对 P1 的配合导体 +4 和 -5 分隔开 (split)。当插头触头 146 沿着对应的配合表面 120 接合选定的配合导体 118 时,差分对 P1 和 P2 之间可形成近端串扰 (NEXT)。

[0036] 图 4 为模块式插头 145 与连接器 100 (图 1) 接合时触头子组件 110 的示意性侧视图。(为了图示的目的,连接器主体 101 未示出并且模块式插头的一部分暴露出来。) 每个配合导体 118 可以沿着配合方向 A 延伸在插头触头接合部 127 和电连接至对应的导体过孔 139 的电路触头部 252 之间。接合部 127 包括配合表面 120。接合部 127 和电路触头部 252 被一定长度的对应的配合导体 118 分开。带 133 和 / 或过渡区域 (以下将讨论) 可以设置在接合部 127 和电路触头部 252 之间。接合部 127 构造成沿着配合表面 120 与对应的插头触头 146 接口连接,并且电路触头部 252 构造成电连接至印刷电路 132。尽管没有示出,但电路触头部 252 还可以电连接至补偿部件 140 (图 2)。

[0037] 模块式插头 145 的插头触头 146 构造成选择性地接合阵列 117 的配合导体 118。当插头触头 146 与配合导体 118 在对应的配合表面 120 处接合时,可以产生引起噪音 / 串扰的干扰性的 (offending) 信号。该干扰性的串扰 (NEXT 损失) 由相邻的或邻近的导体或触头通过电容性的和电感性的耦合造成,其中该耦合产生了第一差分对和 / 或信号导体至第二差分对和 / 或信号导体的不希望的电磁能量交换。

[0038] 此外示出了,电路触头部 252 可以包括端部 149,该端部 149 机械地接合并电连接至印刷电路 132 的对应的导体过孔 139 和屏蔽过孔 151。端接部 124 可以包括电连接至对

应的端子触头 143 的端子过孔 141。导体过孔 139 和屏蔽过孔 151 通过印刷电路 132 的迹线 147 电连接至选定的端子过孔 141。每个端子过孔 141 可以电连接至图 4 中示出为 IDC 的端子触头 143。端子触头 143 机械地接合并电连接至对应的线 122。这样,印刷电路 132 可以将配合导体 118 互连至端子触头 143 并且将信号电流传输通过印刷电路 132。

[0039] 如以下将要更加详细地描述的,耦合区域 138 可以相对于彼此布置和构造以改善连接器 100 的性能(图 1)。而且,导体过孔 139、屏蔽过孔 151 和端子过孔 141 可以相对于彼此布置以改善连接器 100 的性能。此外,印刷电路 132 的迹线 147、补偿部件 140、和配合导体 118 的布置也可以被构造以改善连接器 100 的性能。

[0040] 在所示实施例中,配合导体 118 形成了在配合端 104(图 1)和装载端 106(图 1)之间传输信号电流的至少一个互连通道,例如互连通道 X1。例如,互连通道 X1 可以延伸在配合导体 118 的接合部 127 与电连接至对应的导体过孔 139 和屏蔽过孔 151 的电路触头部 252 之间。尽管没有指示出,另一个互连通道可以延伸在导体过孔 139 和屏蔽过孔 151、PCB 迹线 147、端子过孔 141 至端子触头 143 之间。这里使用的“互连通道”由构造成当电连接器工作时在对应的输入和输出端子或节点之间传输信号电流的差分对的配合导体和 / 或迹线共同地形成。沿着互连通道,配合导体和 / 或迹线经受可以用于补偿以减少或消除干扰性的串扰和 / 或改善连接器的总体性能的彼此耦合的串扰。在一些实施例中,信号电流可以是宽频带信号电流。举例来说,每个不同的差分对 P1-P4(图 3)沿着对应的接合部 127 和对应的电路触头部 252 之间的互连通道 X1 传输信号电流。尽管没有示出,但在一些实施例中,另一个互连通道可以延伸穿过补偿部件 140(图 2)。在美国专利申请 No. 12/190920 中详细描述了这样的实施例,所述美国专利申请通过引用整体结合于此。

[0041] 沿着互连通道 X1 可以使用用于提供补偿的技术,例如反转导体 / 迹线之间的串扰耦合的极性和 / 或使用分离的部件。举例来说,当配合导体 118 在过渡区域 135 处彼此交叉时,电介质材料的带 133 可以支撑配合导体 118。在其它的实施例中,诸如电阻、电容、和 / 或电感之类的非欧姆(non-ohmic)板和分离的部件可以沿着互连通道使用以提供补偿从而减少或消除干扰性的串扰和 / 或改善连接器的总体性能。而且,互连通道 X1 可以包括一个或多个 NEXT 段。这里使用的“NEXT 段”为信号通道之间或不同的差分对的导体对之间或导体之间存在信号耦合(即串扰耦合)并且串扰的量级和相位基本上相近并且没有突然的改变的区域。该 NEXT 段可以是产生干扰性的信号的 NEXT 损失段,或提供 NEXT 补偿的 NEXT 补偿段。如图 4 所示,互连通道 X1 可以包括 NEXT 损失段 0 和 NEXT 补偿段 I。过渡区域 135 将段 0 和段 I 分开。

[0042] 图 5 为从装载端 106(图 1)看到的印刷电路 132 的正视图,该图示出了该示例性实施例中的相对于彼此布置的端子过孔 141、导体过孔 139、和屏蔽过孔 151。印刷电路 132 包括基板 202,其中该基板 202 具有沿着竖直或第一定向轴 190 延伸的长度 L_1 和沿着水平或第二定向轴 192 延伸的宽度 W_1 。术语“水平”和“竖直”仅用来描述定向而不意图限制这里描述的实施例。基板 202 具有基本上矩形的且平面形的主体和沿着主体延伸的表面 S_1 。基板 202 包括侧边缘 210-213。侧边缘 211 和 213 基本上彼此平行地延伸并且沿着第二定向轴 192 在宽度方向上延伸。侧边缘 210 和 212 基本彼此平行地延伸并且沿着第一轴 190 在长度方向上延伸。尽管长度 L_1 示出为大于宽度 W_1 ,然而在替代实施例中,宽度 W_1 可以大于长度 L_1 或者长度 L_1 与宽度 W_1 可以基本上相等。此外,尽管基板 202 示出为基本上矩形

的,然而基板可以具有包括弯曲或平的侧边缘的其它几何形状。

[0043] 基板 202 可以由具有多个层的电介质材料形成并且包括相反的端部 204 和 206 以及延伸在端部 204、206 之间的中部 208。基板 202 构造成将线 122 (图 1) 和配合导体 118 (图 1) 互连,以使电流可以通过其流动。导体过孔 139 和屏蔽过孔 151 构造成与对应的配合导体 118 电连接,并且端子过孔 141 构造成与端子触头 143 (图 1) 电连接。与图 3 所示的配合导体 118 相似,导体过孔 139、屏蔽过孔 151 和端子过孔 141 可以形成差分对 P1-P4 并且可以称为导体过孔 1-8、屏蔽过孔 1-8、或端子过孔 1-8。(在该示例性实施例中,屏蔽过孔 151 电连接至差分对 P2 的配合导体 118。)因此,导体过孔 139、屏蔽过孔 151 和端子过孔 141 构造成传输差分对 P1-P4 (图 3) 的信号电流。

[0044] 基板 202 可以包括电路阵列 224,该电路阵列 224 包括相对于彼此布置以减轻干扰性的串扰和 / 或改善返程损失的多个导体过孔 139、一对屏蔽过孔 151 和多个端子过孔 141。多个导体过孔 139 和一对屏蔽过孔 151 可以形成内部阵列 220,并且多个端子过孔 141 可以形成具有外环部 222A 和 222B 的外环 221 (图 6 所示)。在所示实施例中,屏蔽过孔 151 为与差分对 P2 相关联的过孔 -3 和 +6 (即一对屏蔽过孔 151 电连接至差分对 P2 的配合导体 118)。内部阵列 220 还可以包括设置成将屏蔽过孔 151 与端子过孔 141 隔离和屏蔽的导体过孔 139 的第一屏蔽行 230 和第二屏蔽行 232。导体过孔 139 的第一屏蔽行 230 和第二屏蔽行 232 设置在端部 204 和 206 之间。

[0045] 在所示实施例中,差分对 P2 的屏蔽过孔 -3 和 +6 可以居中地设置在电路阵列 224 中。这里使用的术语“居中地设置”包括屏蔽过孔 -3 和 +6 大体上设置在电路阵列 224 (或图 6 所示的外环 221) 的中心 226 附近并且被导体过孔 139 和端子过孔 141 环绕。屏蔽过孔 151 可以彼此相邻。当两个过孔彼此相对较近并且没有其它过孔设置在其间时,如这里使用的,两个过孔彼此“相邻”。例如,关于图 5,差分对 P2 的屏蔽过孔 -3 和 +6 相邻;差分对 P2 的端子过孔 -3 和 +6 相邻,差分对 P1 的端子过孔 -5 和 +4 相邻;差分对 P4 的端子过孔 -7 和 +8 相邻;差分对 P3 的端子过孔 -1 和 +2 相邻。而且,不是差分对中的过孔可以相邻。例如,导体过孔 -5 相邻于导体过孔 +2 和导体过孔 +8。而且,导体过孔 +2 相邻于端子过孔 +6,并且导体过孔 -7 相邻于端子过孔 -1。

[0046] 第一屏蔽行 230 和第二屏蔽行 232 构造成将屏蔽过孔 151 与环绕的端子过孔 141 的外环 221 (图 6 所示) 电隔离。因此,一对屏蔽过孔 151 设置在第一屏蔽行 230 和第二屏蔽行 232 之间。如所示的,第一屏蔽行 230 的导体过孔 139 沿着第一行轴线 240 在宽度方向上分布 (即彼此间隔开)。第一行轴线 240 可以基本上平行于第二定向轴 192 延伸。第一屏蔽行 230 的导体过孔 139 沿着第一行轴线 240 基本上相对于彼此对齐,使得第一行轴线 240 经过 (intersect) 对应的导体过孔 139。如所示的,第一行轴线 240 经过导体过孔 139 的中心,然而,假如第一行轴线 240 经过第一屏蔽行 230 的每个导体过孔 139 的至少一部分,则导体过孔 139 可以相对于彼此基本上对齐。此外示出了,第二屏蔽行 232 的导体过孔 139 沿着第二行轴线 242 在宽度方向上分布。第一行轴线 240 和第二行轴线 242 可以基本上平行于彼此并平行于第二定向轴 192 延伸。第二屏蔽行 232 的导体过孔 139 沿着第二行轴线 242 相对于彼此基本上对齐。

[0047] 此外示出了,居中设置的屏蔽过孔 151 中的每个距第一屏蔽行 230 和第二屏蔽行 232 可以基本上等距。更具体地,屏蔽过孔 -3 和 +6 可以彼此间隔开并沿着居中对

(central-pair) 轴线 244 设置, 其中该居中对轴线 244 基本上平行于第一行轴线 240 和第二行轴线 242 延伸。从屏蔽过孔 -3 至第一行轴线 240 测得的最短距离 Z_1 可以基本上与从屏蔽过孔 -3 至第二行轴线 242 测得的最短距离 Z_2 等距。在所示实施例中, 距离 Z_1 稍微大于距离 Z_2 。同样地, 屏蔽过孔 +6 距第一屏蔽行 230 和第二屏蔽行 232 可以基本上等距。

[0048] 每个端部 204 和 206 可以分别包括外环部 222A 和 222B 中的一个, 外环部 222A 和 222B 各自包括外环 221 (图 6 所示) 的对应的端子过孔 141。在所示实施例中, 端子过孔 141 的每个差分对 P1-P4 (即分别为端子过孔 -5 和 +4 ; -3 和 +6 ; -1 和 +2 ; -7 和 +8) 设置在基板 202 的选定的或对应的角区域 C_1 - C_4 中。内部阵列 220 设置在外环部 222A 和 222B 的端子过孔 141 之间。

[0049] 如所示的, 每个端部 204 和 206 内的端子过孔 141 在沿着第二定向轴 192 的方向上 (或在沿着第一行轴线 240 和第二行轴线 242 的方向上) 分布。端子过孔 141 可以在沿着第二定向轴 192 的方向上彼此间隔开, 使得端子过孔 141 相对于第二定向轴 192 可以具有多于两个的轴向位置 (即端子过孔 141 可以设置在基本上平行于第一定向轴 190 延伸的多于两个轴线上)。图 5 示出了其中有四个轴向位置 171-174 的具体实施例。具体地, 端子过孔 +6 和 +8 具有第一轴向位置 171 ; 端子过孔 -3 和 -7 具有第二轴向位置 172 ; 端子过孔 +4 和 +2 具有第三轴向位置 173 ; 以及端子过孔 -5 和 -1 具有第四轴向位置 174。因此, 端部 204 内的每个端子过孔 141 相对于第二定向轴 192 具有其自己的轴向位置, 并且端部 206 内的每个端子过孔 141 相对于第二定向轴 192 具有其自己的轴向位置。也就是, 在每个端部 204 和 206 内, 没有两个端子过孔 141 可以沿着基本上平行于第一定向轴 190 的轴线基本上对齐。

[0050] 然而, 在替代实施例中, 端子过孔 141 可以仅具有两个或三个轴向位置。而且, 在其它的实施中, 两个端子过孔可以相对于平行于第一定向轴 190 延伸的轴线基本上对齐。

[0051] 图 6 为图 5 的印刷电路 132 的正视图, 该图还示出了电路阵列 224 中的端子过孔 141、屏蔽过孔 151、和导体过孔 139。此外示出了, 基板 202 可以沿着经过电路阵列 224 的中心 226 的中心轴线 290 和 292 延伸。(电路阵列 224 的中心 226 可以与基板 202 的几何中心重合或不重合。) 中心轴线 290 平行于第一定向轴 190 延伸, 并且中心轴线 292 平行于第二定向轴 192 延伸。端子过孔 141 可以布置成使得端子过孔 141 的差分对 P1-P4 关于中心轴线 290 和 292 彼此对称。

[0052] 此外, 差分对 P1-P4 的端子过孔 141 布置成使得差分对 P1-P4 的端子过孔 141 形成基本上圆形的外环 221 (虚线外廓表示)。外环 221 围绕导体过孔 139 和屏蔽过孔 151 构成的内部阵列 220。而且, 端子过孔 141 的每个差分对 P1-P4 可以分别设置在对应的平面 M_1 - M_4 上。平面 M_1 - M_4 可以基本上面向内部阵列 220 (即垂直于平面 M_1 - M_4 引出的直线向着内部阵列 220 延伸)。每个平面 M_1 - M_4 相对于其它的平面 M_1 - M_4 可以面向不同的方向。每个平面 M_1 - M_4 还可以面向中心 226 或居中设置的屏蔽过孔 -3 和 +6。更具体地, 从沿着相应的平面 M_1 - M_4 的相关联的端子过孔 141 之间的任意点引出至中心 226 的直线可以基本上垂直于相应的平面 M_1 - M_4 (例如, 大约为 $90^\circ \pm 10^\circ$)。在替代实施例中, 仅有一个、两个或三个平面 M 面向中心 226。在一个更具体的实施例中, 至少两个平面 M (例如图 6 中的 M_1 和 M_4 或 M_2 和 M_3) 可以彼此相对 (即面向彼此) 并且中心 226 位于端子过孔 141 之间。图 6 中此外示出了, 平面 M_1 - M_4 可以距中心 226 等距。然而, 在替代实施例中, 一个或多个平面 M 相对于

其它平面不等距。

[0053] 每个差分对 P1-P4 的相关联的端子过孔 141 可以彼此相邻并且彼此分开一分开距离 S_D 。在所示实施例中,差分对 P1-P4 的分开距离 S_{D1} - S_{D4} 分别基本上相等。然而,在替代实施例中,分开距离 S_{D1} - S_{D4} 不是基本上相等。此外,每个分开距离 S_{D1} - S_{D4} 可以具有位于相关联的端子过孔 141 之间设置在相应的平面 M_1 - M_4 上的中点 261-264。每个平面 M_1 - M_4 可以分别在对应的中点 261-264 处相切于外环 221。如图 6 所示,从中点 261-264 引出的直线可以基本上垂直于中心 226。

[0054] 此外,在一些实施例中,一个差分对的端子过孔 141 可以距第一屏蔽行 230 和第二屏蔽行 232 中的导体过孔 139 中的一个基本上等距。例如,屏蔽行 232 的导体过孔 -1 可以距差分对 P4 的端子过孔 +8 和 -7 基本上等距。

[0055] 图 5 示出了第一屏蔽行 230 和第二屏蔽行 232 的每个导体过孔 139 可以与屏蔽过孔 -3 和 +6 分开预定的距离 $D_{\text{via-to-via}}$ 。(从一个过孔的中心至另一个过孔的中心测得距离 $D_{\text{via-to-via}}$) 图 6 示出了每个差分对 P1-P4 的相关联的导体过孔 139 可以彼此分开预定的距离 $D_{\text{via-to-via}}$ 。表 1 列出了图 5 和图 6 中示出的具体实施例中的相应的距离 $D_{\text{via-to-via}}$ 。

[0056] 表 1

[0057]

图 5 和图 6 中示出的导体过孔至导体过孔的距离($D_{\text{via-to-via}}$)(mm)			
D_{25}	3.048	D_{46}	3.335
D_{58}	3.048	D_{67}	3.770
D_{23}	4.155	D_{14}	3.048
D_{35}	3.764	D_{47}	3.048
D_{56}	4.155	D_{12}	6.876
D_{68}	3.764	D_{45}	6.876
D_{13}	3.335	D_{78}	6.876
D_{34}	3.770	D_{36}	3.048

[0058] 如图 5 所示,第一屏蔽行 230 的导体过孔 +2、-5 和 +8 可以沿着第一行轴线 240 彼此均匀地间隔开。第二屏蔽行 232 的导体过孔 -1、+4 和 -7 可以沿着第二行轴线 242 彼此均匀地间隔开。从第一屏蔽行 230 的导体过孔 139 延伸至居中设置的屏蔽过孔 -3 和 +6 的距离 $D_{\text{via-to-via}}$ 可以基本上相等(即大致上在彼此的 30%以内,或者在一个更具体的实施例中,在 20%以内)。而且,从第二屏蔽行 232 的导体过孔 139 延伸至居中设置的屏蔽过孔 -3 和 +6 的距离 $D_{\text{via-to-via}}$ 可以基本上相等(即大致上在彼此的 30%以内,或者在一个更具体的实施例中,在 20%以内)。此外,屏蔽过孔 -3 和 +6 分开的距离 D_{36} (图 6)可以大致上等于沿着每个屏蔽行将导体过孔 139 分开的距离。距离 D_{36} 也沿着居中对轴线 244 延伸。因而,第一屏蔽行 230 的距离或长度(即 $D_{25}+D_{58}$)大于屏蔽过孔 -3 和 +6 分开的距离 D_{36} (图 6)。同样地,第二屏蔽行 232 的距离或长度(即 $D_{14}+D_{47}$)大于距离 D_{36} 。而且,距离 D_{36} 可以小于最短距离 Z_1 和 Z_2 。

[0059] 而且,内部阵列 220 中的一个差分对 P1、P3 和 P4 的相关联的导体过孔 139 分开的距离 $D_{\text{via-to-via}}$ (即 D_{45} 、 D_{12} 、 D_{78}) 可以基本上相等 (例如表 1 中差分对 P1、P3 和 P4 的导体过孔 139 分开的距离 $D_{\text{via-to-via}}$ 等于 6.876mm)。差分对的相关联的导体过孔 139 分开的距离 $D_{\text{via-to-via}}$ 还可以用于确定相关联的导体过孔 139 之间的差分特性阻抗。导体过孔 139 的差分特性阻抗可以由导体过孔 139 的直径和相关联的配合导体 118 之间的 $D_{\text{via-to-via}}$ 确定。

[0060] 图 5 此外示出了,屏蔽过孔 151 中的至少一个可以与两个导体过孔 139 形成“双极性 (dual-polarity)”耦合。在双极性耦合中,相应的屏蔽过孔 151 与两个导体过孔 139 电磁耦合。例如,相应的屏蔽过孔 151 可以与两个导体过孔 139 电磁耦合,其中两个导体过孔 139 相对于彼此具有相反的符号。双极性耦合可以有助于减少可能发生在印刷电路 132 中的导体过孔 139、屏蔽过孔 151、和端子过孔 141 之间的干扰性的串扰耦合。在具体的实施例中,屏蔽过孔 151 可以与相同的差分对的两个导体过孔 139 电磁耦合。例如,屏蔽过孔 -3 与具有相反符号的极性的导体过孔 +2 电磁耦合,并且还与具有相同符号的极性的导体过孔 -1 电磁耦合。而且,屏蔽过孔 +6 与具有相同符号的极性的导体过孔 +8 电磁耦合,并且还与具有相反符号的极性的导体过孔 -7 电磁耦合。在所示实施例中,形成双极性耦合的导体过孔 139 大小相等 (即它们具有同样的直径)。

[0061] 因而,在一些实施例中,屏蔽过孔 151 可以与一差分对的导体过孔 139 形成双极性耦合,其中每个屏蔽行 230 和 232 具有对应的差分对的导体过孔 139 中的一个。

[0062] 而且,在一些实施例中,被电隔离的屏蔽过孔 151 与对应的双极性导体过孔 139 分开的距离可以基本上等距。例如,差分对 P3 的第一导体过孔 +2 和第二导体过孔 -1 可以分别距屏蔽过孔 -3 第一距离和第二距离 (即距离 D_{13} 和 D_{23}) 设置。第一距离和第二距离之间的差值最多可以为第一距离和第二距离中的一个的 30%。在一个具体的实施例中,第一距离和第二距离之间的差值最多可以为第一距离和第二距离中的一个的 20%。另一个例子中,距离 D_{68} 可以基本上等于 D_{67} 。因而,屏蔽过孔 -3 与导体过孔 +2 和 -1 之间的电磁耦合可以基本上平衡,并且屏蔽过孔 -6 与导体过孔 +8 和 -7 之间的电磁耦合可以基本上平衡。

[0063] 除每个屏蔽过孔 -3 和 +6 与选定的一个差分对形成双极性耦合外,每个屏蔽过孔 -3 和 +6 还可以电磁耦合至另外的差分对。例如,屏蔽过孔 -3 和 +6 两个都可以电磁耦合至差分对 P1 的导体过孔 -5 和 +4。因此,屏蔽过孔 -3 和 +6 可以各自与导体过孔 -5 和 +4 形成双极性耦合。因而,第一屏蔽行 230 和第二屏蔽行 232 不仅可以将屏蔽过孔 -3 和 +6 与端子过孔 141 电隔离,而且还可以以平衡的方式电磁耦合至屏蔽过孔 -3 和 +6。

[0064] 图 7 为可以与图 1 的连接器 100 一起使用的、根据一个替代实施例形成的印刷电路 632 的正视图。印刷电路 632 可以具有与图 5 和图 6 所示的印刷电路 132 相似的特征。例如,印刷电路 632 可以具有与基板 202 (图 5) 相似的基板 602。而且,基板 602 可以具有与端子过孔 141 (图 5) 相似地布置的端子过孔 641。然而,印刷电路 632 可以包括不同于印刷电路 132 的内部阵列 220 (图 5) 的导体过孔 639 和屏蔽过孔 651 构成的内部阵列 620。

[0065] 导体过孔 639 和屏蔽过孔 651 可以电连接至形成差分对 P1-P4 (图 3) 的配合导体 118 (图 1)。导体过孔 639 可以形成第一屏蔽行 650 和第二屏蔽行 652。每个屏蔽行 650 和 652 的导体过孔 639 可以相对于彼此基本上对齐。然而,差分对 P3 中的导体过孔 639 可以相对于差分对 P3 的导体过孔 139 (图 5) 互换 (switch)。更具体地,在第一屏蔽行 650 中导体过孔 -1 与导体过孔 -5 和 +8 基本上对齐,并且在第二屏蔽行 652 中导体过孔 +2 与导体

过孔 +4 和 -7 基本上对齐。而且,每个屏蔽行 650 和 652 的导体过孔 639 没有如第一屏蔽行 230 和第二屏蔽行 232(图 5)中的导体过孔 139 一样彼此均匀地间隔开。在一个具体的实施例中,导体过孔 639 和屏蔽过孔 651 的内部阵列 620 可以被表 2 中所列的距离 $D_{\text{via-to-via}}$ 分开。

[0066] 表 2

[0067]

图 7 所示的导体过孔至导体过孔的距离($D_{\text{via-to-via}}$)(mm)			
D_{15}	2.032	D_{46}	3.335
D_{58}	3.048	D_{67}	3.770
D_{23}	3.770	D_{24}	4.064
D_{35}	3.764	D_{47}	3.048
D_{56}	4.155	D_{12}	6.876
D_{68}	3.764	D_{45}	6.876
D_{13}	3.764	D_{78}	6.876
D_{34}	3.770	D_{36}	3.048

[0068] 与图 5 和图 6 的第一屏蔽行 230 和第二屏蔽行 232 相似,导体过孔 639 的第一屏蔽行 650 和第二屏蔽行 652 可以构造成电隔离居中设置的屏蔽过孔 651 与端子过孔 641。而且,每个屏蔽过孔 -3 和 +6 可以与第一屏蔽行 650 和第二屏蔽行 652 的导体过孔 639 形成双极性耦合。如所示的,每个屏蔽过孔 651 可以电磁耦合至一个差分对的导体过孔 639。更具体地,屏蔽过孔 -3 与导体过孔 +2 和 -1(即差分对 P3 的导体过孔 139)电磁耦合,并且屏蔽过孔 +6 与导体过孔 +8 和 -7(即差分对 P4 的导体过孔 139)电磁耦合。在所示实施例中,屏蔽过孔 -3 与导体过孔 +2 和 -1 分开的距离 $D_{\text{via-to-via}}$ 可以基本上相等,并且屏蔽过孔 +6 与导体过孔 +8 和 -7 分开的距离 $D_{\text{via-to-via}}$ 可以基本上相等。导体过孔 639 之间的电磁耦合可以如所期望的构造。

[0069] 尽管图 5-7 示出了用于电隔离差分对 P2 的屏蔽过孔和 / 或用于与屏蔽行的导体过孔形成双极性耦合的具体实施例,然而可以做出具有不同的构造、尺寸、和距离 $D_{\text{via-to-via}}$ 的其它实施例。

[0070] 图 8A 为触头子组件 110(图 1)的配合导体 118 的阵列 117 和印刷电路 132 的分解透视图。配合导体 118 可以自构造成接合触头垫 144(图 2)的远侧末端 250 延伸,并且向着印刷电路 132 延伸。如所示的,每个配合导体 118 可以自对应的远侧末端 250 延伸穿过插头触头接合部 127。配合导体 118 可以延伸穿过过渡区域 135,其中在过渡区域 135 中,可选地,配合导体 118 可以与另一个配合导体互换或交叉。配合导体 118 可以从那儿延伸至桥接部 256,并且然后延伸至机械地且电气地接合印刷电路 132 的电路触头部 252。如将要更加详细描述,当配合导体 118 从接合部 127 向着印刷电路 132 延伸时,配合导体 118 可以形成或成型为耦合区域 138。更具体地,桥接部 256 和 / 或电路触头部 252 可以包括耦

合区域 138。

[0071] 图 8B 和图 8C 显示了两个相邻的配合导体 118A 和 118B 的横截面 CA_1 和 CB_1 。图 8B 示出了取自相邻的配合导体 118A 和 118B 的对应的桥接部 256 (图 8A) 的横截面 CA_1 。图 8C 示出了取自相邻的配合导体 118A 和 118B 的耦合区域 138 (图 8A) 的横截面 CB_1 。在图 8A 中, 耦合区域 138 显示为位于电路触头部 252 内。然而, 在替代实施例中, 耦合区域 138 可以位于配合导体 118 的其它部分, 例如桥接部。

[0072] 如图 8C 所示, 配合导体 118 的耦合区域 138 相对于配合导体 118 的其它部分 (例如, 相对于接合部 127、远侧末端 250) 可以具有沿着侧部 254A 增大的表面面积 SA_1 。作为图 8B 所示的一个例子, 耦合区域 138 可以具有相对于桥接部 256 的表面面积 SA_2 增大的表面面积 SA_1 。在图 8-10 中, 耦合区域的表面面积 SA 呈现为由横截面中的一个尺寸表示。然而, 本领域技术人员理解平面表面的表面面积 SA 为两个尺寸的乘积, 并且图 8-10 的横截面中没有示出的耦合区域的另一个尺寸为长度, 在该长度中相邻的配合导体彼此并排地延伸在耦合区域中。

[0073] 相邻的配合导体 118A 和 118B 的耦合区域 138 可以增加相邻的配合导体 118A 和 118B 之间的电容性耦合, 由此影响连接器 100 的串扰耦合。在一些实施例中, 每个耦合区域 138 的表面面积 SA 可以构造成产生期望的补偿性的串扰, 其中该补偿性的串扰可以减少或消除发生在插头触头 146 和 / 或接合部 127 的配合表面 120 处的干扰性的串扰耦合。在一个更具体的实施例中, 每个耦合区域 138 的表面面积 SA 可以大致上等于当模块式插头 145 (图 4) 接合连接器 100 时面向彼此的插头触头 146 (图 4) 的表面面积。

[0074] 返回图 8B 和图 8C, 配合导体 118A 和 118B 彼此相邻并且彼此并排延伸。如所示的, 配合导体 118A 和 118B 之间具有间隔 S_5 。在替代实施例中, 间隔 S_5 可以根据期望变化, 因为变化间隔 S_5 可以影响相邻的配合导体 118A 和 118B 的电磁耦合。然而, 在所示实施例中, 从过度区域 135 至印刷电路 132, 间隔 S_5 是一致的。而且, 每个配合导体 118 具有相反的侧部 254A 和 254B 以及相反的边缘 258A 和 258B。一个配合导体 118 的侧部 254A 可以面向另一个配合导体 118 的侧部 254B。

[0075] 配合导体 118A 和 118B 在横截面 CA_1 和 CB_1 处具有一致的宽度 W_2 。配合导体 118A 和 118B 可以在横截面 CA_1 处具有厚度 T_1 (图 8B), 在横截面 CB_1 处具有厚度 T_2 (图 8C)。在一些实施例中, 沿着耦合区域 138 的厚度 T_2 大于桥接部 256 处的厚度 T_1 。在桥接部 256 处厚度 T_1 可以小于宽度 W_2 , 但是在耦合区域 138 处厚度 T_2 可以大于宽度 W_2 (并且也大于桥接部 256 中的厚度 T_1)。因此, 在该示例性实施例中, 沿着横截面 CB_1 的侧部 254 的表面面积 SA_1 大于沿着横截面 CA_1 的侧部 254 的表面面积 SA_2 。表面面积 SA_1 的大小和形状可以设计用于获得期望量的串扰耦合。例如, 随着表面面积 SA_1 的增大, 可以产生更大量的串扰耦合。

[0076] 图 9A 为根据另一个实施例形成的触头子组件 (未示出) 的配合导体 318 的阵列 317 和印刷电路 332 的分解透视图。该触头子组件可以结合入电连接器, 例如连接器 100 (图 1)。每个配合导体 318 可以自对应的远侧末端 350 延伸穿过插头触头接合部 327 至阵列 317 的过渡区域 335。每个配合导体 318 可以然后延伸至桥接部 356, 并且然后延伸到机械地且电气地接合印刷电路 332 的电路触头部 352。如图 9A 所示, 桥接部 356 可以包括耦合区域 338。图 9B、图 9C 和图 9D 分别示出了两个相邻的配合导体 318A 和 318B 的横截面 CA_2 、 CB_2 处和 CC。具体地, 图 9B 示出了取自对应的接合部 327 (图 9A) 内的横截面 CA_2 ; 图 9C 示出

了取自桥接部 356 (图 9A) 中的耦合区域 338 内的横截面 CB_2 ; 并且图 9D 示出了取自接合印刷电路 332 (图 9A) 的电路触头部 352 (图 9A) 的横截面 CC。

[0077] 如图 9A-图 9D 所示, 配合导体 318A 和 318B 彼此相邻并且彼此并排延伸。配合导体 318A 和 318B 之间具有一致的间隔 S_2 (图 9B-图 9D)。如图 9B-图 9D 所示, 每个配合导体 318 具有相反的侧部 354A 和 354B 以及相反的边缘 358A 和 358B。一个配合导体 318 的侧部 354A 可以面向另一个配合导体 318 的侧部 354B。配合导体 318 在接合部 327 (图 9B)、耦合区域 338 (图 9C)、和电路触头部 352 (图 9D) 处可以具有一致的宽度 W_3 。配合导体 318 可以在接合部 327 处具有厚度 T_3 (图 9B)、在耦合区域 338 (或桥接部 356) 处具有厚度 T_4 (图 9C)、并且在电路触头部 352 处具有厚度 T_5 (图 9D)。沿着耦合区域 338 的厚度 T_4 大于厚度 T_3 和 T_5 。如所示的, 在接合部 327 处厚度 T_3 小于宽度 W_3 , 并且在电路触头部 352 处厚度 T_5 小于宽度 W_3 。然而, 在桥接部 356 处厚度 T_4 大于宽度 W_3 。

[0078] 与耦合区域 138 (图 8A) 相似, 配合导体 318 的耦合区域 338 相对于配合导体 318 的其它部分可以具有沿着侧部 354 的增大的表面面积 SA。例如, 沿着桥接部 356 的侧部 354 的表面面积 SA_4 大于沿着桥接部 356 的侧部 354 的表面面积 SA_3 , 并且大于沿着电路触头部 352 的侧部 354 的表面面积 SA_5 。表面面积 SA_4 的大小和尺寸可以设计用于获得期望量的串扰耦合。因此, 耦合区域 338 可以定位成与印刷电路 332 间隔开或离开一段距离。

[0079] 图 10 为印刷电路 438 和机械地且电气地接合至印刷电路 438 的电路触头 419 的阵列 417 的透视图。印刷电路 438 和阵列 417 可以是触头子组件 (未示出) 的部件, 其中该触头子组件可以结合入电连接器, 例如连接器 100 (图 1)。电路触头 419 相对于电气地且机械地接合电路触头 419 的配合触头 (未示出) 可以是分开的或分离的。这里使用的术语“配合导体”包括一体的配合导体, 例如配合导体 118 (图 8A-图 8C) 和 318 (图 9A-图 9D), 也包括由分开的电路触头 419 和机械且电气地彼此接合的配合触头形成的配合导体。包括电路触头 419 的这样的实施例描述在随此同时提交的具有代理人案卷号 No. T0-00272 (958-184) 的美国专利申请 No. 12/547321 中, 并且该美国专利申请通过引用整体结合于此。

[0080] 如图 10 所示, 每个电路触头 419 可以具有沿着印刷电路 438 的基板 442 的表面 S_3 延伸的杆 (beam) 440 或 441。杆 440 和 441 直接沿靠 (alongside) 表面 S_3 延伸。每个电路触头 419 可以包括具有由相对的臂 448 和 450 限定的槽 446 的配合触头接合部 444。接合部 444 向着连接器的配合端 (未示出) 延伸远离表面 S_3 。接合部 444 构造成在槽 446 内接收和保持对应的配合触头 (未示出) 的端部, 以将电路触头 419 电气地且机械接合至配合触头。而且, 每个电路触头 419 包括插入基板 442 的导体过孔 454 内的端部 452。例如, 该端部 452 可以是将对应的电路触头 419 机械且电气地接合至印刷电路 438 的针眼 (eye of needle) 式插脚。可选地, 每个电路触头 419 可以包括向着配合端延伸远离表面 S_3 的延伸部 460 和夹持元件 462。延伸部 460 和夹持元件 462 可以彼此间隔开使得电路板 (未示出) 的厚度可以被保持于其间。在一些实施例中, 夹持元件 462 可以构造成接合电路板的下侧上的触头垫。延伸部 460 可以构造成接合连接器的其它部件。这样的实施例描述在分别具有代理人案卷号 No. T0-00272 (958-184) 和 T0-00295 (958-190) 的美国专利申请 12/547321 和 12/547245 中, 其中该美国专利申请通过引用整体结合于此。而且, 相邻的电路触头 419 的延伸部 460 和夹持元件 462 可以构造成彼此电容性耦合以产生串扰耦合。

[0081] 阵列 417 的电路触头 419 可以平行于彼此延伸并且彼此间隔开。更具体地, 两个相

邻的电路触头 419 可以彼此分开一个一致的间隔 S_4 。图 10 中, 电路触头 419 沿着基板 442 的表面 S_3 均匀地分布或彼此均匀地间隔开。然而, 在替代实施例中, 电路触头 419 可以不均匀地分布。电路触头 419 还可以平行与表面 S_3 延伸。

[0082] 与配合导体 118 和 318 相似, 电路触头 419 可以包括耦合区域, 其中该耦合区域构造成电磁耦合至其它的电路触头 419 上的耦合区域。在该示例性的实施例中, 由于电路触头 419 可以具有比配合触头大的尺寸, 所以电路触头 419 的整体可以被看作耦合区域。更具体地, 彼此面对的电路触头 419 的侧部相比内部腔室 (未示出) 中彼此面对的配合触头的侧部可以具有较大的表面面积。而且, 在一些实施例中, 与以上描述的实施例相似, 电路触头 419 可以具有沿着其变化的横截面以产生期望的串扰耦合。例如, 电路触头 419 可以具有如图 10 所示的横截面 CB_3 和 CA_3 , 其中电路触头 419 在横截面 CA_3 处具有的表面面积大于电路触头 419 在横截面 CB_3 处的表面面积。

[0083] 图 11 为沿靠印刷电路 438 的表面 S_3 延伸的电路触头 419 的正视图。印刷电路 438 可以具有与图 5 和图 6 所示的印刷电路 132 相同的过孔构造。尽管以下的描述具体地涉及电路触头 419, 然而电路触头部 252 和 352 可以具有相似的特征。

[0084] 在一些实施例中, 时间延迟可以形成在相邻的电路触头 419 (或电路触头部) 之间以产生相位不平衡并且从而改善连接器 100 (图 1) 的电气性能。例如, 该不平衡可以用于改善返程损失和 / 或产生期望量的串扰耦合。当电流穿过包括电路触头 419 的阵列 417 的连接器传输时, 差分对 P1-P4 (图 3) 的差分信号可以在基准平面 P_{REF} 经过每个电路触头 419 的位置处进行相位匹配 Φ_0 。每个电路触头 419 形成了自基准平面 P_{REF} 延伸预定长度 LC 的互连通道或传导路径。该传导路径可以平行与表面 S_3 并平行与彼此延伸。所述预定长度 LC 对于每个电路触头 419 可以不同, 并且代表了沿着基准平面 P_{REF} 和对应的导体过孔 454 之间的对应的传导路径电流必须流过的长度。自基准平面 P_{REF} 延伸的箭头指示了通过每个电路触头 419 的传导路径。在所示实施例中, 传导路径平行于彼此且平行于表面 S_3 延伸。更具体地, 与电路触头 -3 和 +6 相关联的传导路径可以延伸一段长度 LC_1 并具有相位测量值 Φ_1 ; 与电路触头 +2、-5 和 +8 相关联的传导路径可以延伸一段长度 LC_3 并具有相位测量值 Φ_3 ; 与电路触头 -1、+4 和 -7 相关联的传导路径可以延伸一段长度 LC_2 并具有相位测量值 Φ_2 。

[0085] 此外示出了, 与差分对 P2 相关联的电路触头 -3 和 +6 延伸相同的长度即长度 LC_1 并沿相同的方向远离基准平面 P_{REF} 。然而, 差分对 P1、P3 和 P4 的相关的电路触头 419 可以沿不同的方向 (例如相反) 延伸远离基准平面 P_{REF} 和沿着不同的长度延伸。例如, 与电路触头 +2、-5 和 +8 相关联的传导路径延伸的长度 LC_3 大于与相应的电路触头 -1、+4 和 -7 相关联的传导路径的长度 LC_2 。这样, 在特定的差分对的相关联的电路触头 419 之间可以产生相位不平衡。该相位不平衡可以构造成改善连接器的返程损失。而且, 该相位不平衡可以构造成产生期望量的串扰耦合。

[0086] 在替代实施例中, 电路触头 419 不直接沿靠基板 442 的表面 S_3 延伸, 不过仍然可以产生传导路径之间的相位不平衡。此外, 在其它的实施例中, 电路触头部 252 和 352 可以形成相似的传导路径并且产生相似于就电路触头 419 所描述的相位不平衡。

[0087] 图 12 为印刷电路 438 的基板 442 的后视图。基板 442 可以包括多个迹线 481-488, 其中该多个迹线 481-488 将导体过孔 454 和屏蔽过孔 451 互连至对应的端子触头 456。迹线 481-488 可以构造成弥补 (offset) 由图 11 所示电路触头 439 的构造和布置导致的相位

不平衡。更具体地,沿着迹线 481-488 的传导路径的长度可以构造成弥补所述相位不平衡。例如,迹线 481 相比迹线 482 可以具有较短的传导路径;迹线 485 相比迹线 484 可以具有较短的传导路径;迹线 487 相比迹线 488 可以具有较短的传导路径。然而,在替代实施例中,迹线 481-488 可以具有其它构造。此外,印刷电路 438 可以包括构造成有助于获得期望的电气性能의 其它部件,例如非欧姆板或互连指状件(inter-digital finger)

[0088] 这里详细描述和 / 或示出了示例性的实施例。然而实施例不限于这里描述的具体实施例,确切地说,每个实施例的部件和 / 或步骤可以与这里描述的其它部件和 / 或步骤独立和分开地使用。一个实施例的每个部件和 / 或每个步骤还可以与其它实施例的其它部件和 / 或步骤组合起来使用。例如,关于图 8-12 所描述的耦合区域可以与关于图 5-7 所描述的传导性的和端子过孔的布置联合使用或者不与之联合使用。

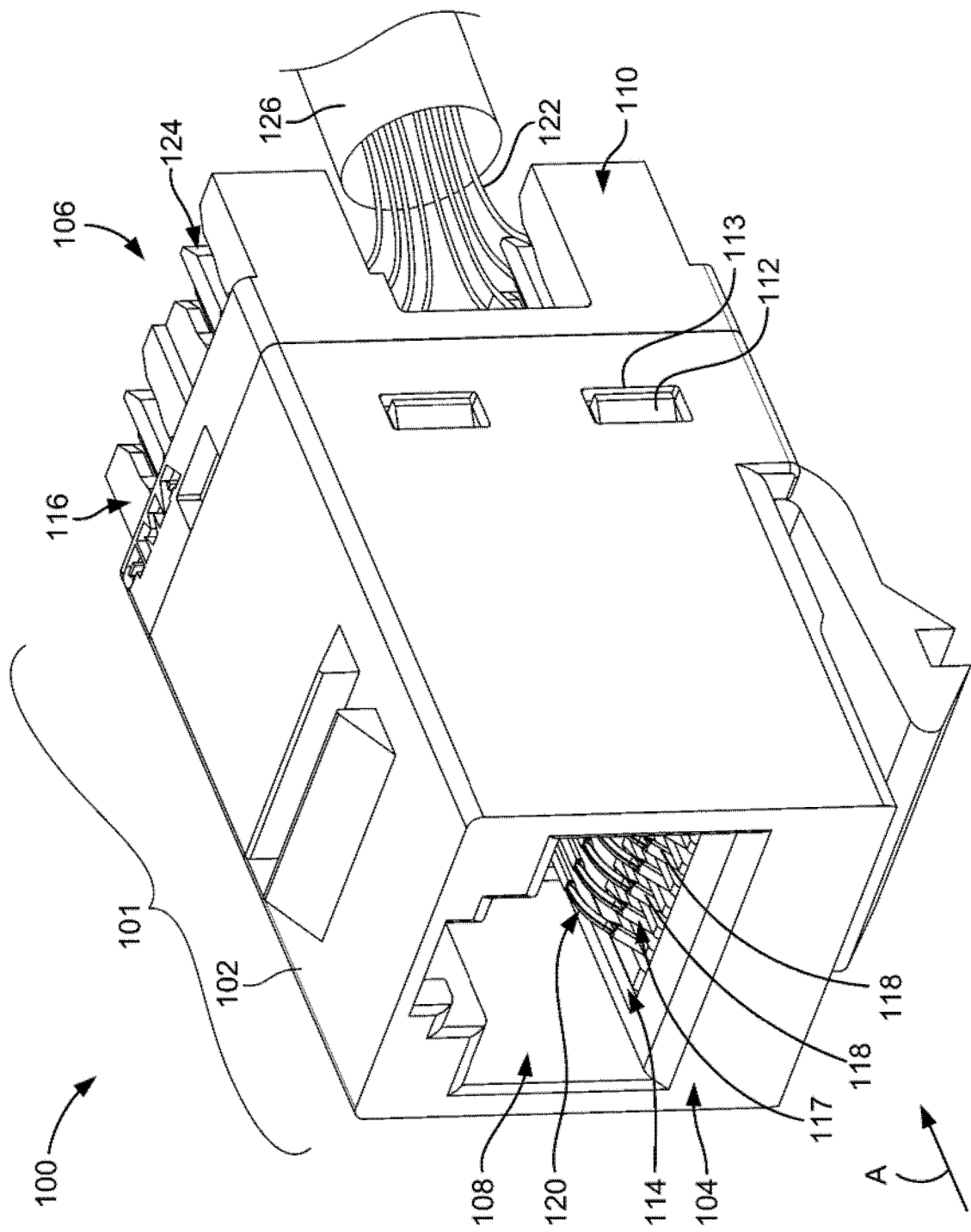


图 1

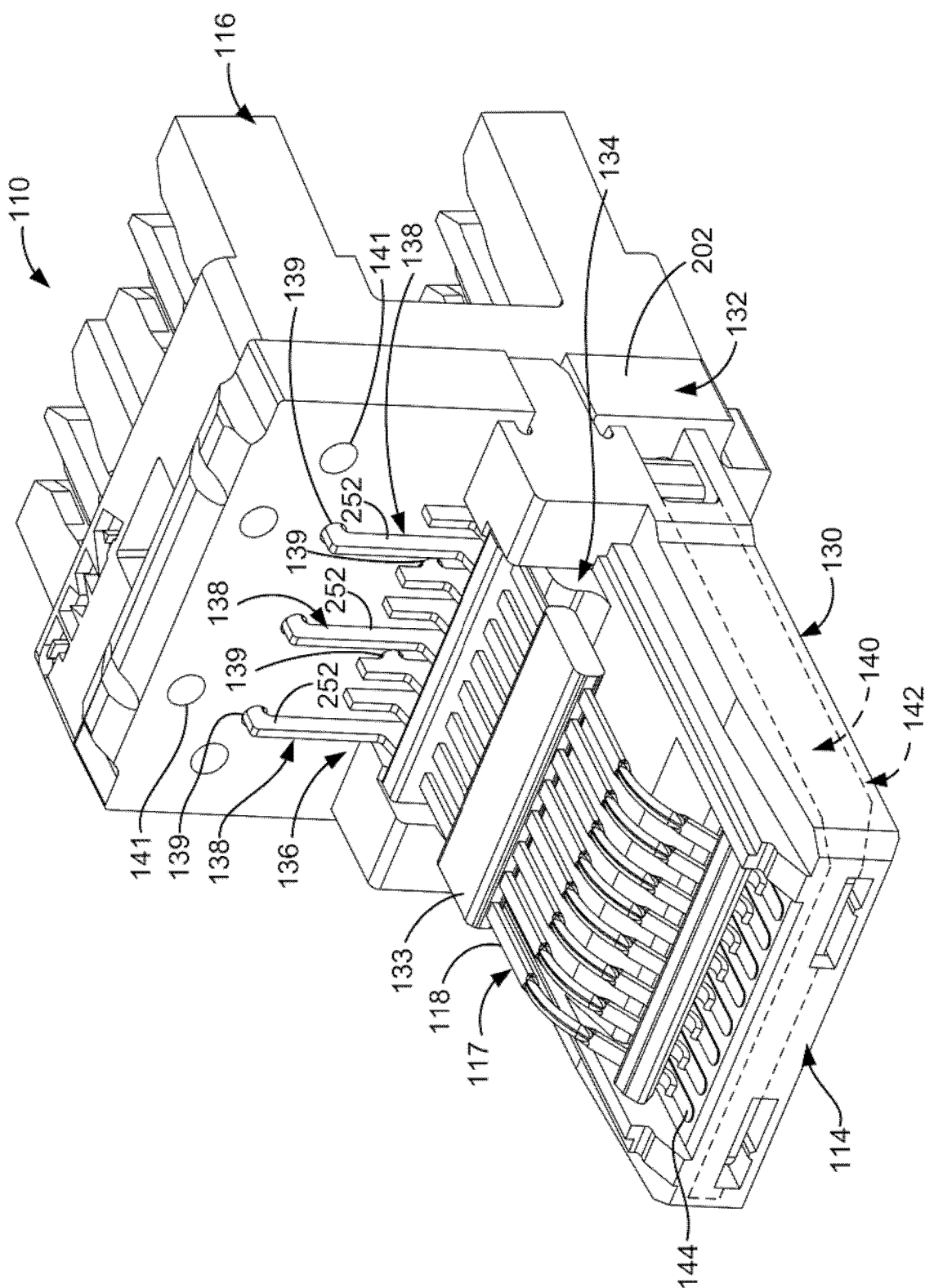


图 2

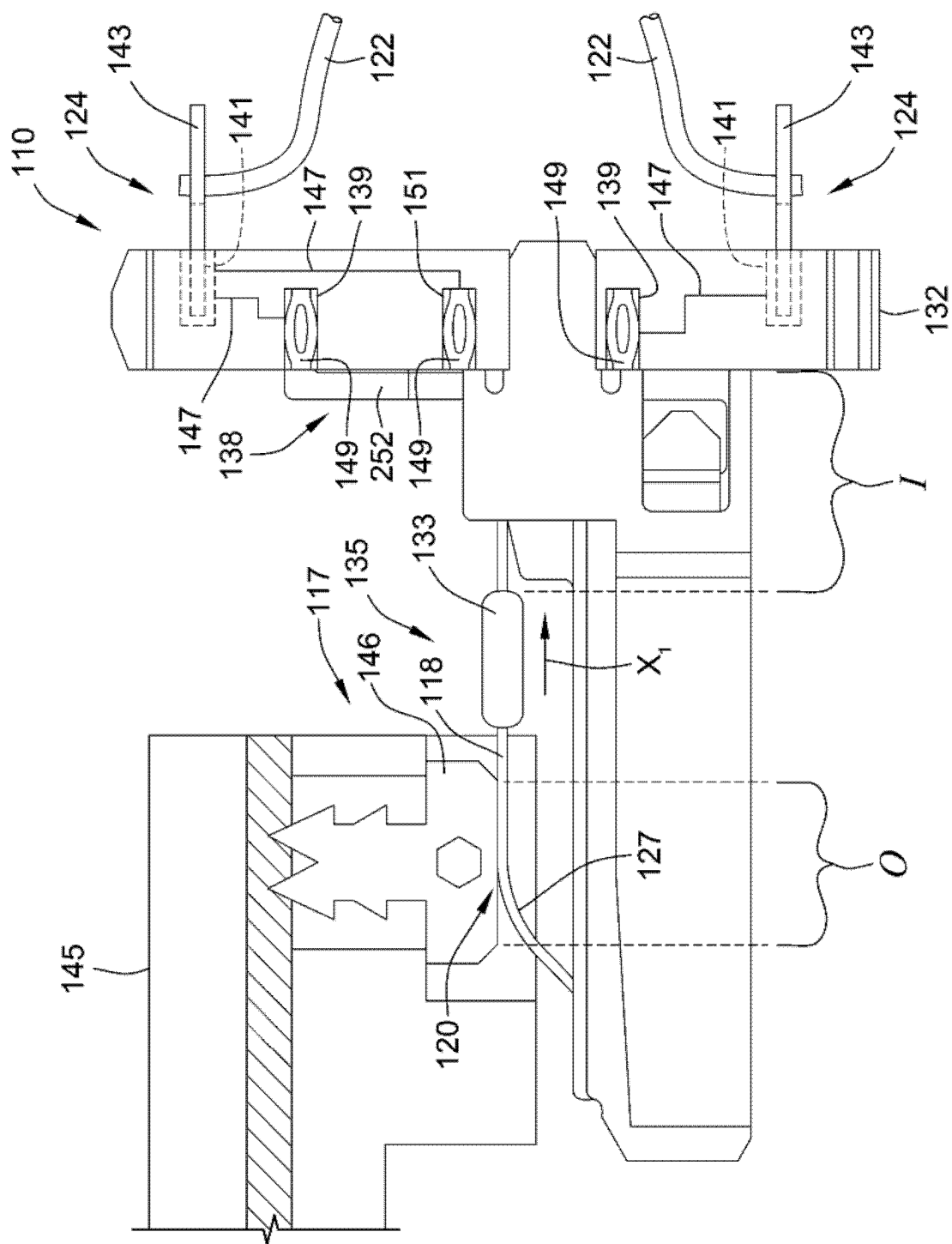


图 4

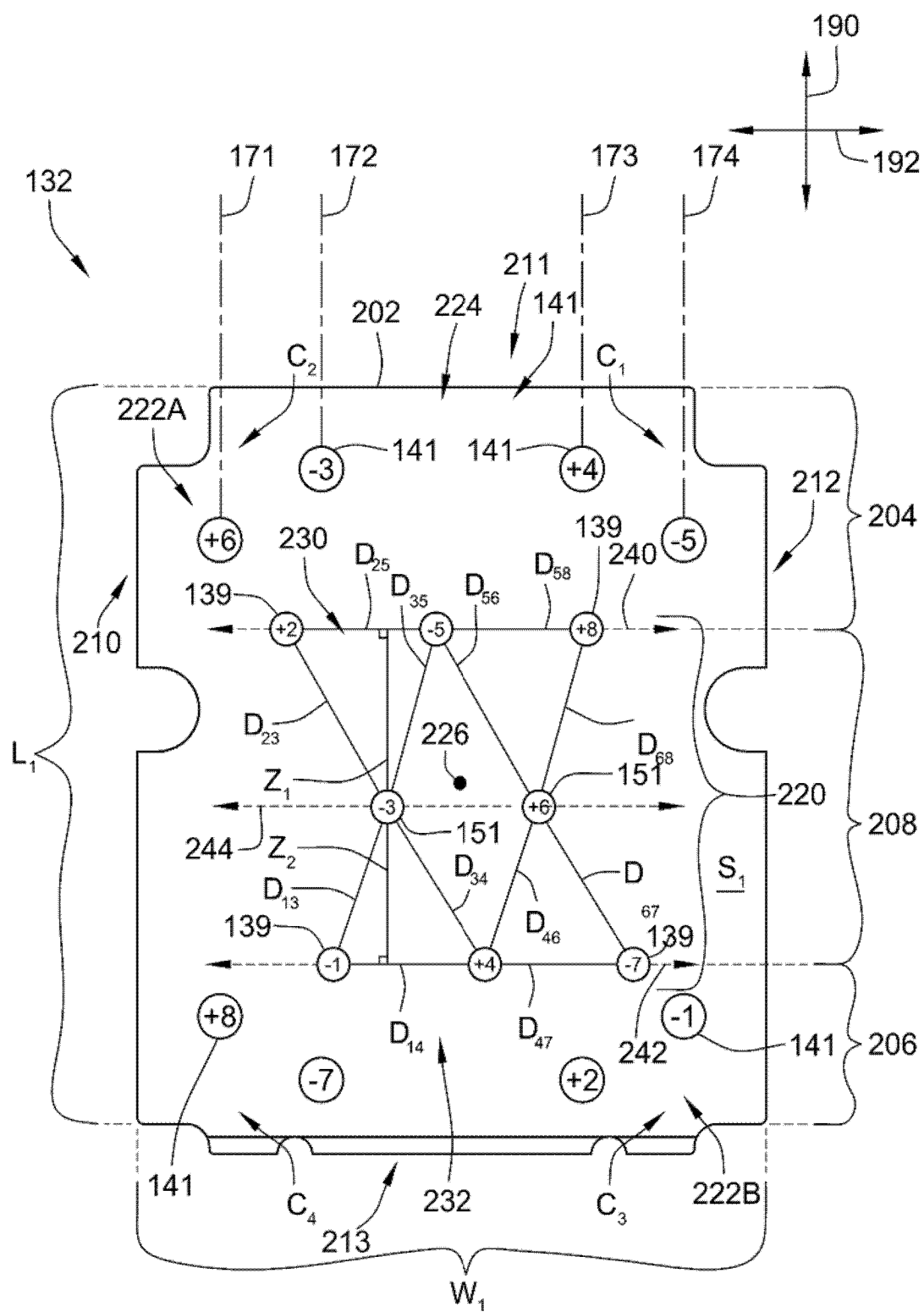


图 5

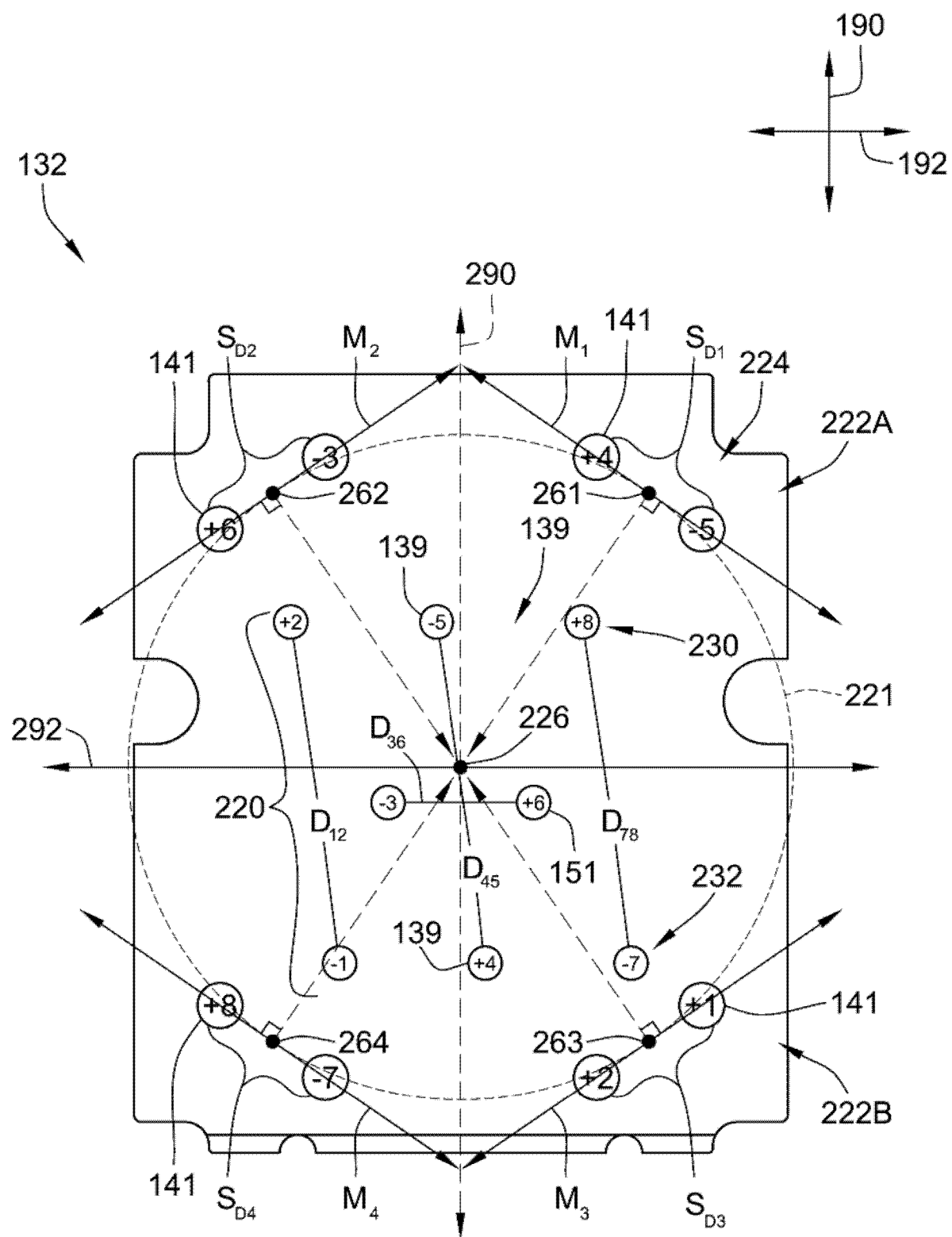


图 6

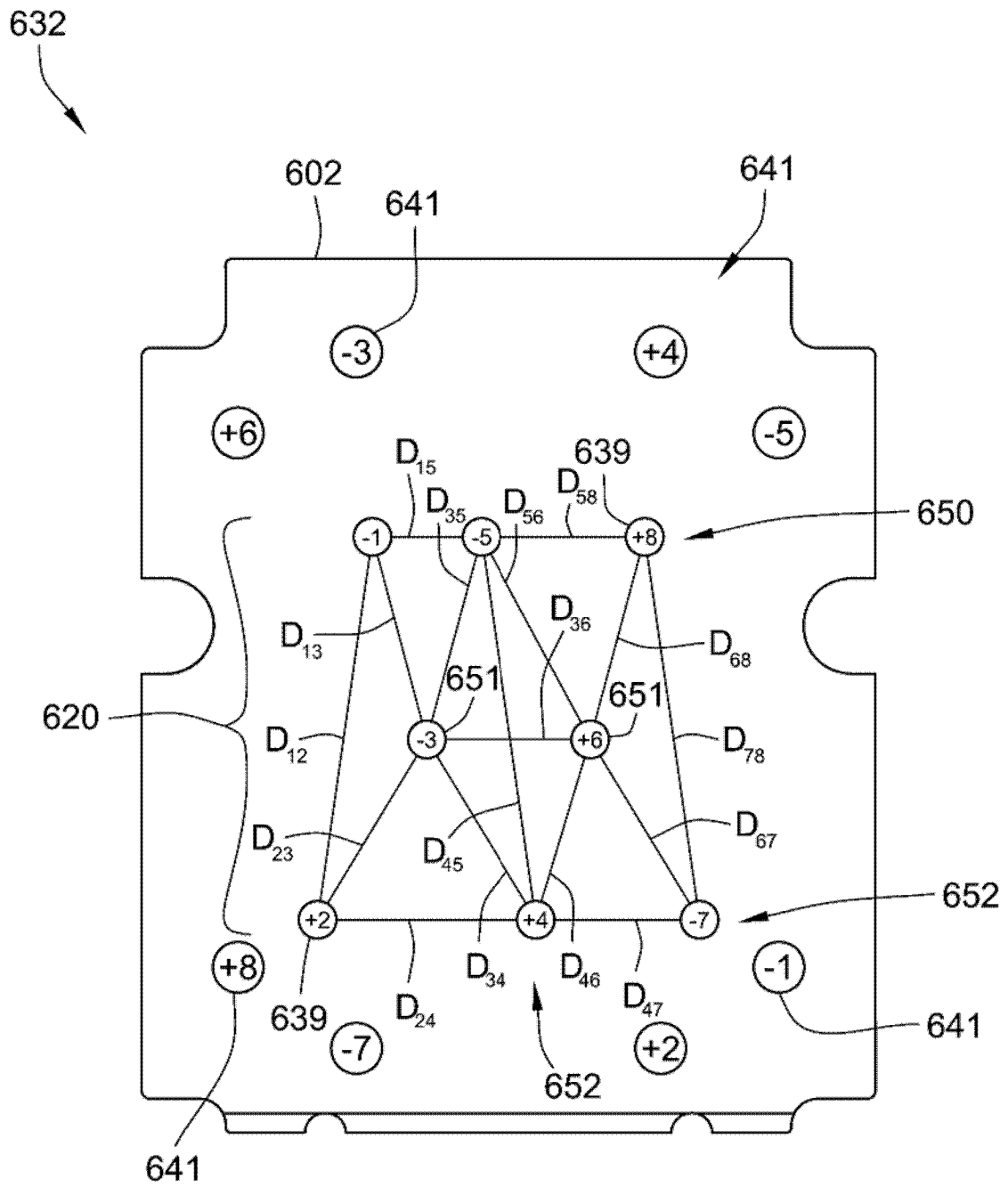


图 7

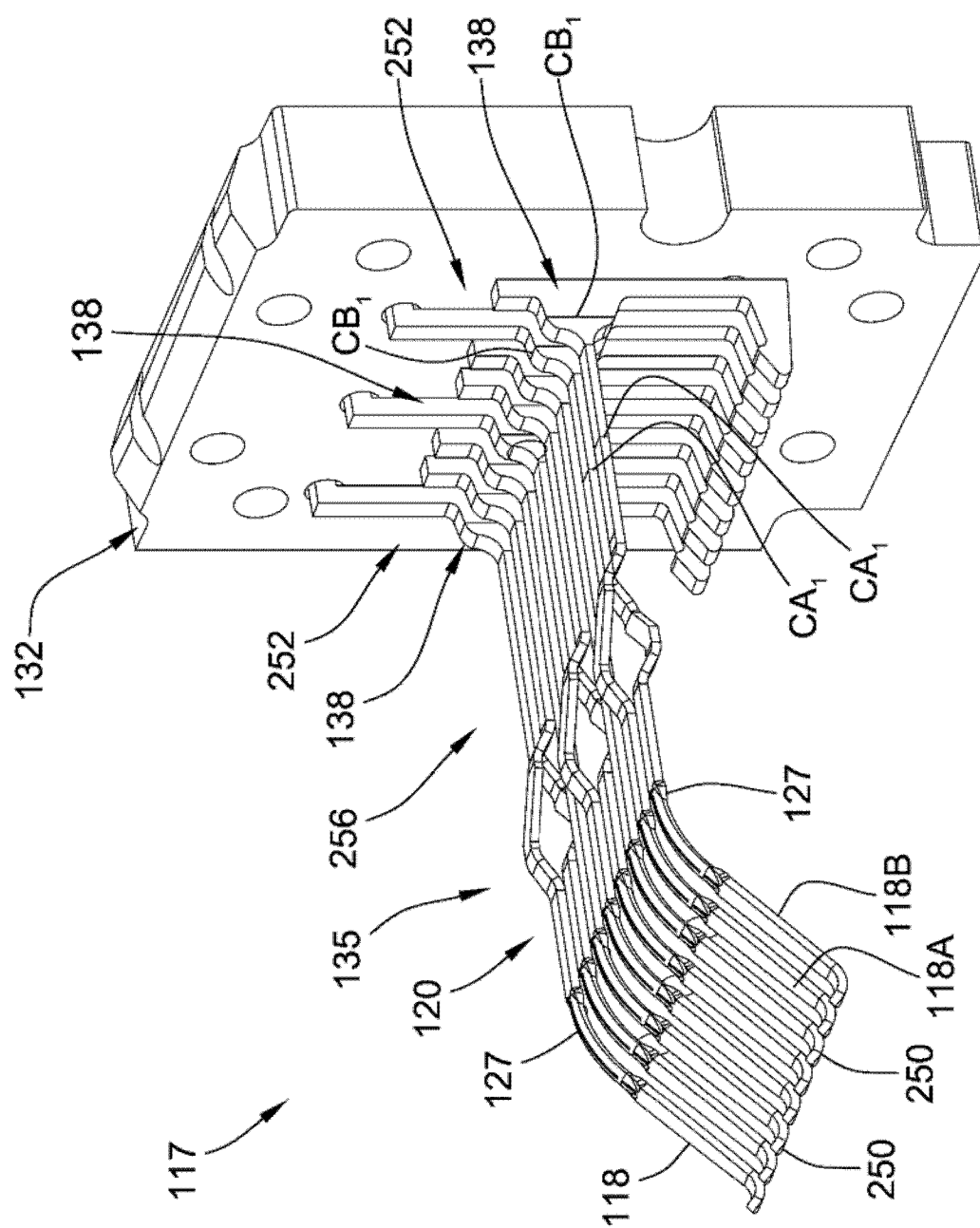


图 8A

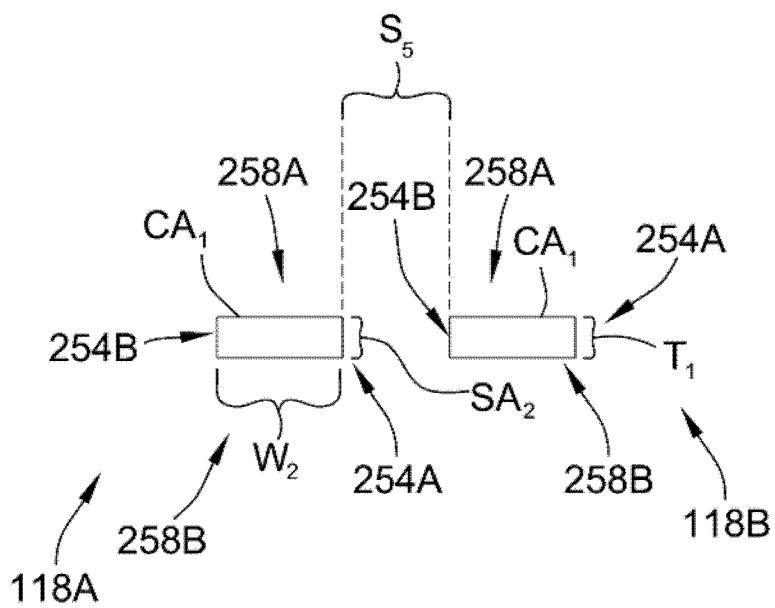


图 8B

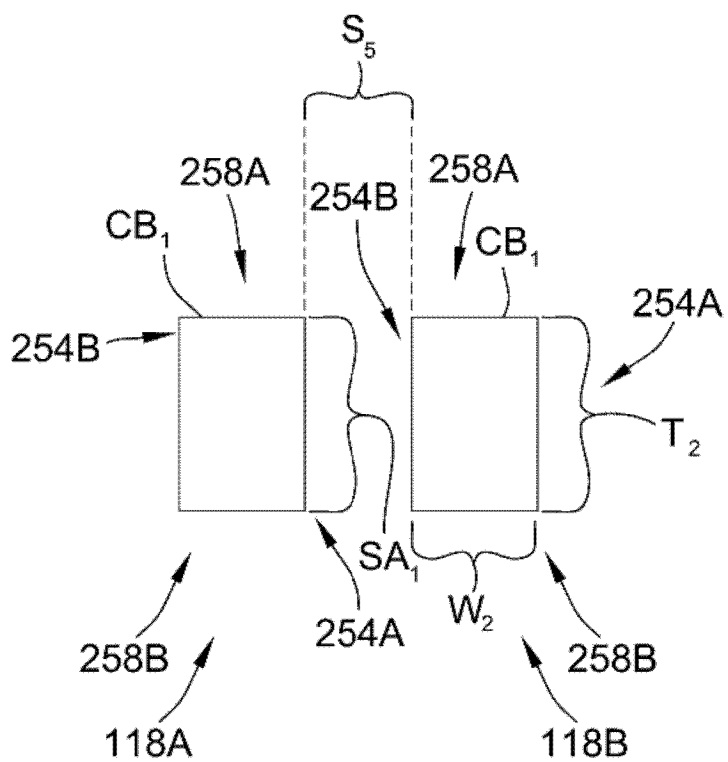


图 8C

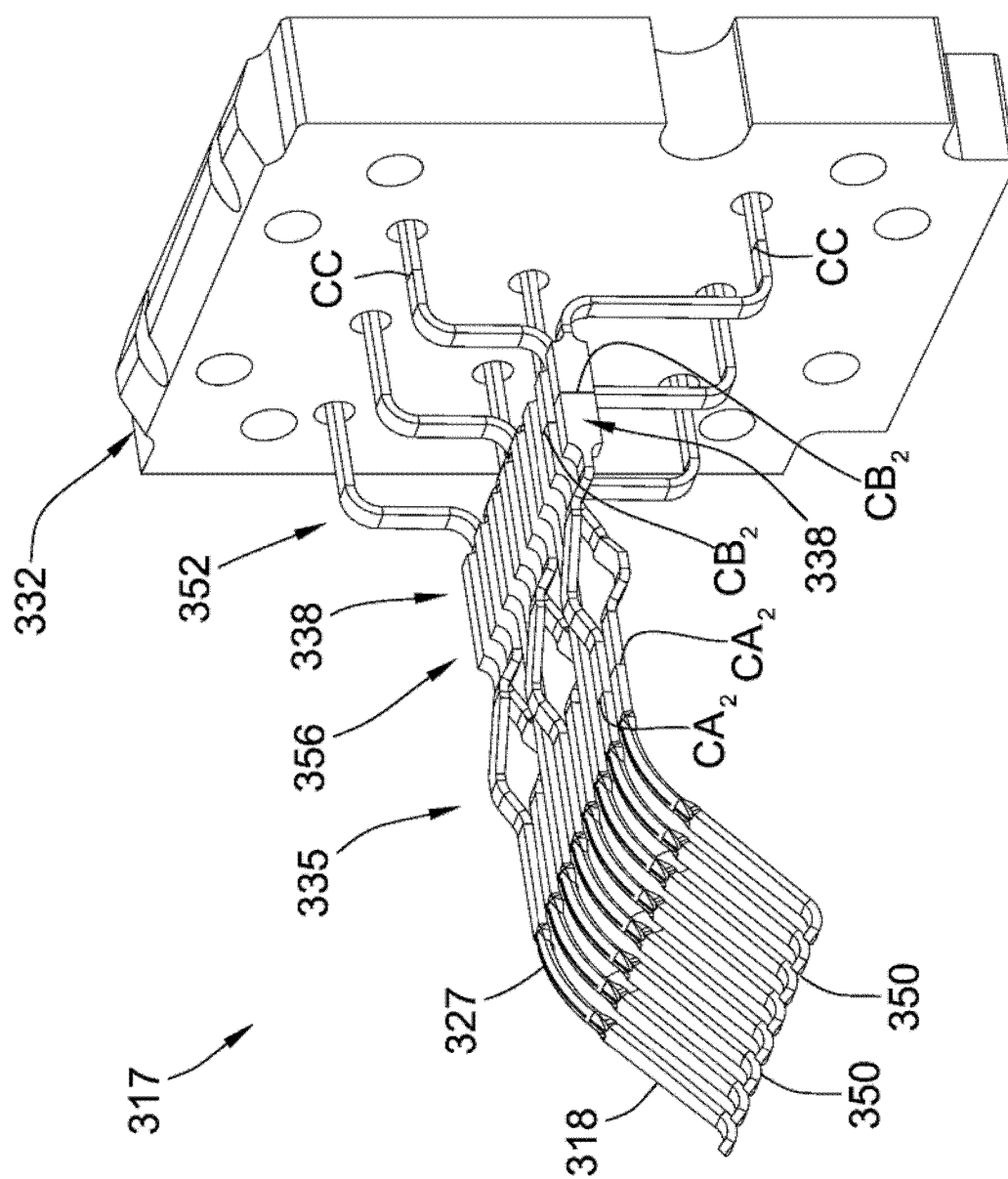


图 9A

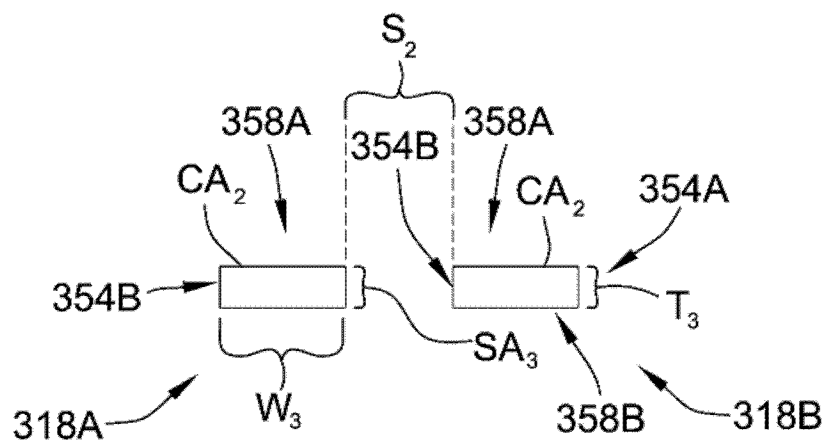


图 9B

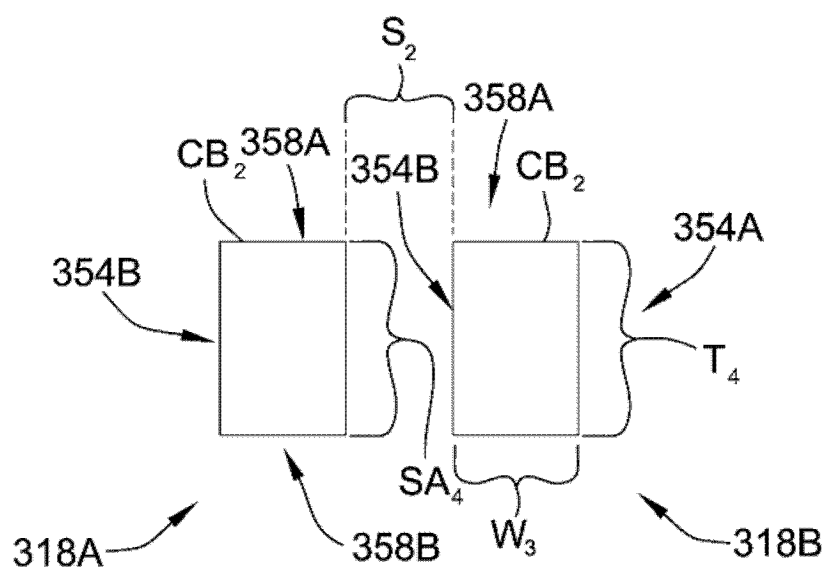


图 9C

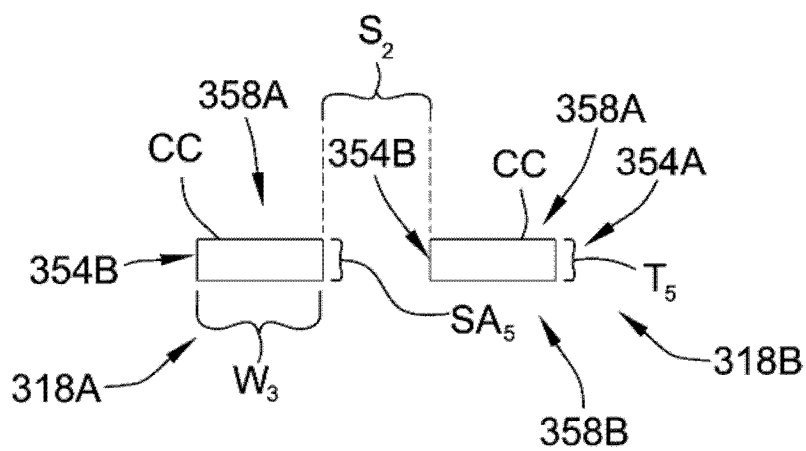


图 9D

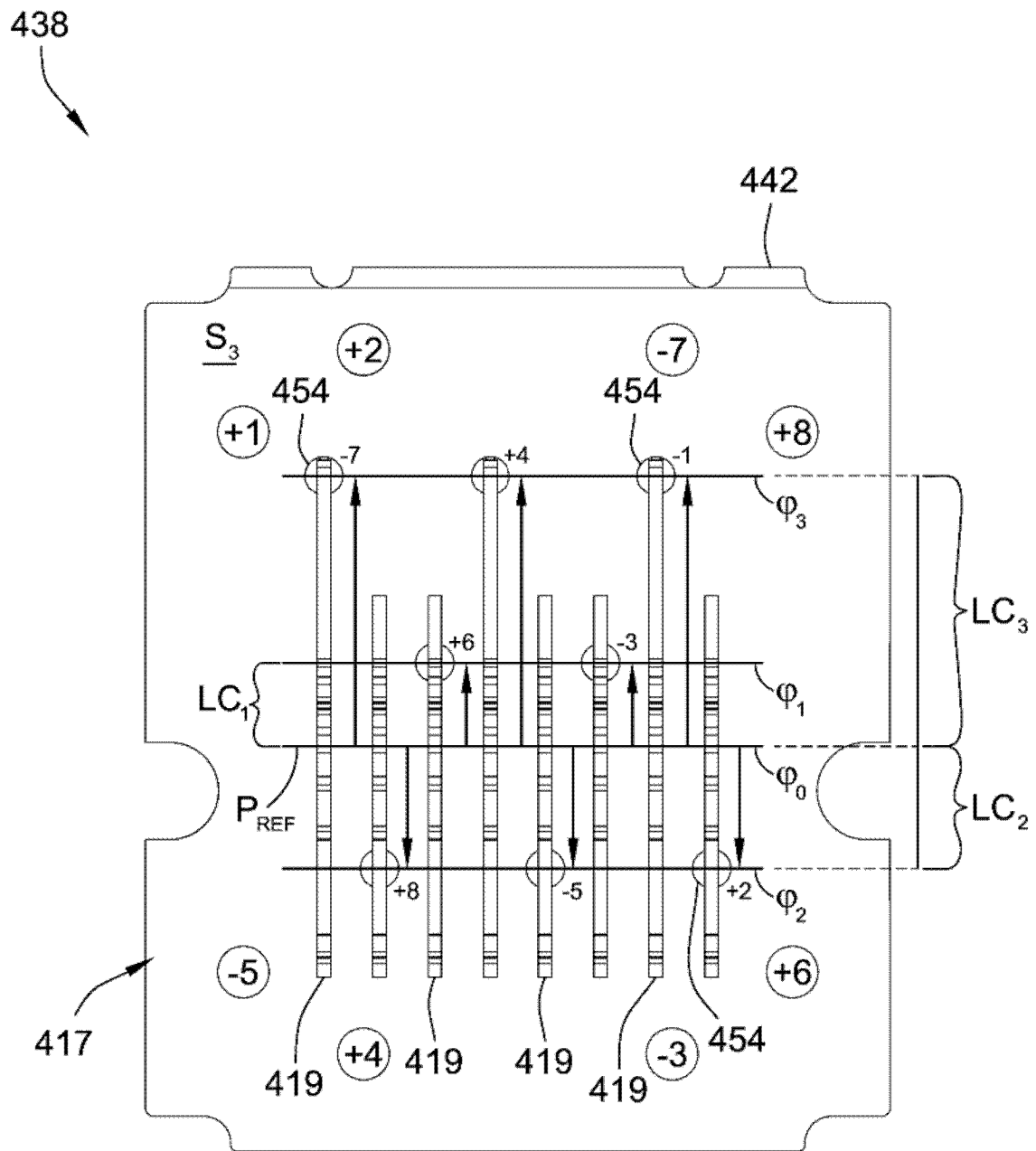


图 11

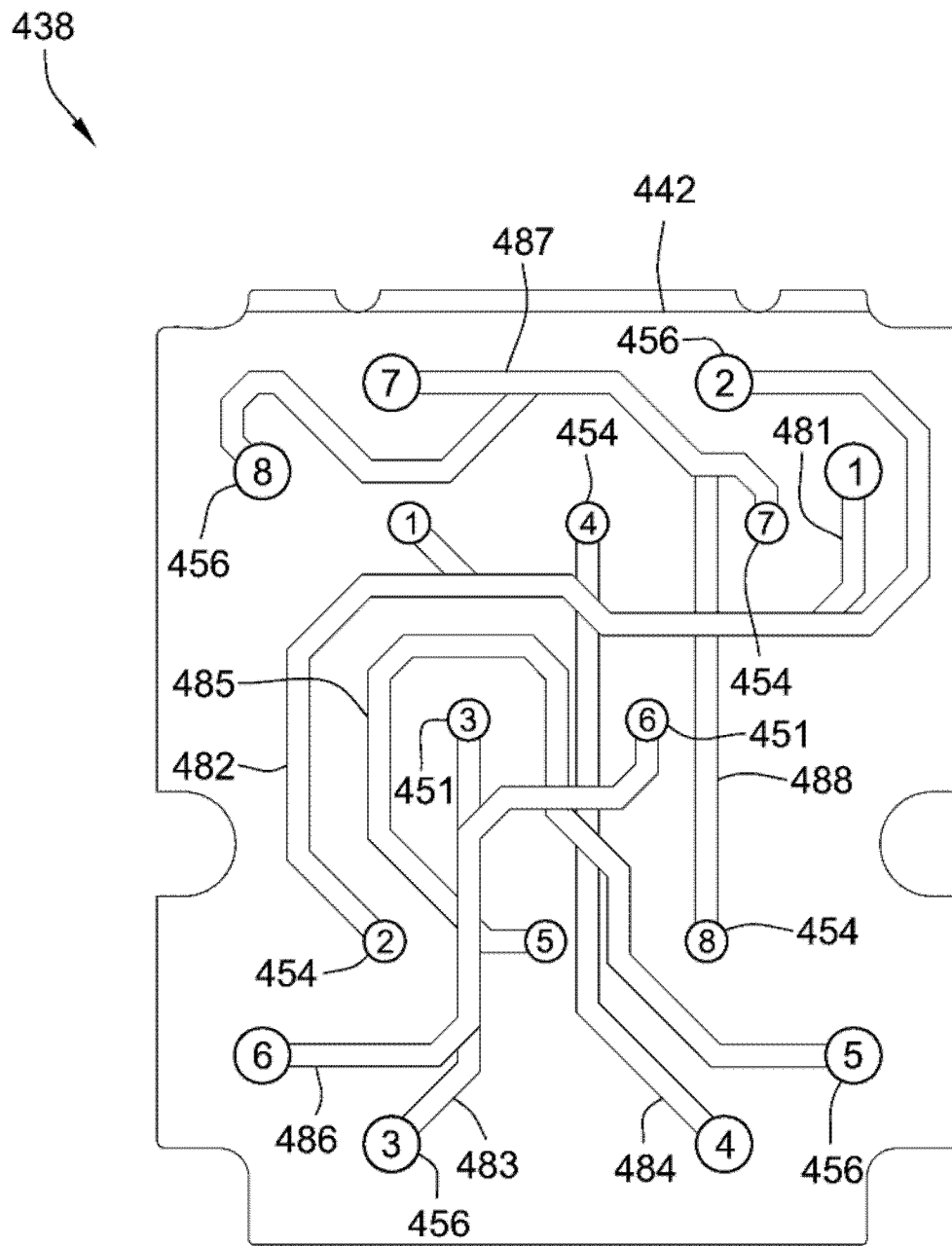


图 12