

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4673893号
(P4673893)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年1月28日(2011.1.28)

(51) Int.Cl.

F I

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 2 3 Z

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2007-532804 (P2007-532804)	(73) 特許権者	505395928
(86) (22) 出願日	平成17年9月14日 (2005.9.14)		オーストリアマイクロシステムス アーゲー
(65) 公表番号	特表2008-515122 (P2008-515122A)		ー
(43) 公表日	平成20年5月8日 (2008.5.8)		オーストリア国、シュロース プレムシュ
(86) 国際出願番号	PCT/EP2005/009881		テッテン、ウンタープレムシュテッテン
(87) 国際公開番号	W02006/034782		A-8141
(87) 国際公開日	平成18年4月6日 (2006.4.6)	(74) 代理人	100095407
審査請求日	平成19年5月21日 (2007.5.21)		弁理士 木村 満
(31) 優先権主張番号	102004046793.5	(72) 発明者	シャッツベルガー、グレーゴル
(32) 優先日	平成16年9月27日 (2004.9.27)		オーストリア国、グラツ A-8052、
(33) 優先権主張国	ドイツ (DE)		シュタインエッカーシュトラーセ 38/ 13
		審査官	外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性記憶素子

(57) 【特許請求の範囲】

【請求項 1】

第1および第2のデータ端子と、

第1の導電型である第1および第2のMOSトランジスタであって、

ソース端子が第2の供給電圧端子に接続されており、

前記第1のMOSトランジスタのドレイン端子が前記第1のデータ端子に接続されており、前記第2のMOSトランジスタのドレイン端子が第2のデータ端子に接続されており、

前記第1および第2のMOSトランジスタはそれぞれの他のMOSトランジスタのドレイン端子に対したすきがけのゲート端子を有するものと、

第2の導電型である第3および第4のフローティングゲートMOSトランジスタであって、

前記第3のフローティングゲートMOSトランジスタのドレイン端子は第1のデータ端子に接続されており、前記第4のフローティングゲートMOSトランジスタのドレイン端子は第2のデータ端子に接続されており、

前記第3および第4のフローティングゲートMOSトランジスタは制御ゲート端子を有し、それらはそれぞれの他のフローティングゲートMOSトランジスタのドレイン端子に対してたすきがけとなるものと、

前記第2の導電型である第5および第6のMOSトランジスタであって、

ソース端子は第1の供給電圧端子に接続され、

10

20

ゲート端子は第 1 の共通制御信号線に接続され、
ウェル端子は、書き込みモードにおいてプログラミング電圧を、読み出しモードにおいて第 1 の供給電圧を、当該ウェル端子に適用するために第 3 の共通制御信号線に接続され、

前記第 5 の MOS トランジスタのドレイン端子は前記第 3 のフローティングゲート MOS トランジスタの前記ソース端子に接続され、前記第 6 の MOS トランジスタのドレイン端子は前記第 4 のフローティングゲート MOS トランジスタの前記ソース端子に接続されるものと、

から構成されることを特徴とする不揮発性記憶素子。

【請求項 2】

10

ゲート端子が前記第 1 の共通制御信号線に接続され、ウェル端子が前記第 3 の共通制御信号線に接続されている前記第 2 の導電型である第 7 および第 8 の MOS トランジスタを備え、

前記第 7 の MOS トランジスタは前記第 1 のデータ端子と前記第 1 の MOS トランジスタのドレイン端子との間にあるロード端子によって接続され、

前記第 8 の MOS トランジスタは前記第 2 のデータ端子と前記第 2 の MOS トランジスタのドレイン端子との間にあるロード端子によって接続され、

前記第 1 の MOS トランジスタのドレイン端子はデータ出力を形成する第 3 のデータ端子に接続され、

前記第 2 の MOS トランジスタのドレイン端子はデータ出力を形成する第 4 のデータ端子に接続される、

20

ことを特徴とする請求項 1 に記載の不揮発性記憶素子。

【請求項 3】

前記第 3 のフローティングゲート MOS トランジスタは第 5 のデータ端子に接続され、前記第 4 のフローティングゲート MOS トランジスタは第 6 のデータ端子に接続されている、

ことを特徴とする請求項 1 または 2 に記載の不揮発性記憶素子。

【請求項 4】

前記第 1 の導電型の第 9 の MOS トランジスタを備え、

当該トランジスタのドレイン端子は前記第 3 のデータ端子に接続され、

30

当該トランジスタのソース端子は前記第 4 のデータ端子に接続され、

当該トランジスタのゲート端子は第 2 の共通制御信号線に接続される、

ことを特徴とする請求項 2 に記載の不揮発性記憶素子。

【請求項 5】

前記第 1 の導電型の第 10 および第 11 の MOS トランジスタによって特徴付けられ、

当該トランジスタのソース端子は前記第 2 の供給電圧端子に接続され、

当該トランジスタのゲート端子は第 2 の共通制御信号線に接続され、

前記第 10 の MOS トランジスタの前記ドレイン端子は前記第 3 のデータ端子に接続され、前記第 11 の MOS トランジスタの前記ドレイン端子は前記第 4 のデータ端子に接続される、

40

ことを特徴とする請求項 2 に記載の不揮発性記憶素子。

【請求項 6】

請求項 2、4 および 5 のいずれか 1 項に記載の不揮発性記憶素子と、

前記第 3 および第 4 のデータ端子に前記入力側から接続されるロジックゲートと、
から構成され、

前記第 3 および第 4 のデータ端子での出力信号の変化は前記ロジックゲートによって検知されることができる、

ことを特徴とする装置。

【請求項 7】

請求項 3 に記載の不揮発性記憶素子と、

50

前記第 3 および前記第 4 のデータ端子に前記入力側から接続されるロジックゲートと、
から構成され、

前記第 3 および前記第 4 のデータ端子での出力信号の変化は前記ロジックゲートによって検知されることができる、
ことを特徴とする装置。

【請求項 8】

フリップフロップを備え、

前記第 4 のデータ端子は前記フリップフロップのデータ入力に接続され、

前記ロジックゲートの出力は前記フリップフロップのクロック入力に接続され、

前記フリップフロップの第 1 の出力は第 1 のスイッチを経由して前記不揮発性記憶素子の前記第 1 のデータ端子および前記不揮発性記憶素子の第 5 のデータ端子に接続され、

前記フリップフロップの第 2 の補完的な出力は第 2 のスイッチを経由して前記不揮発性記憶素子の前記第 2 のデータ端子および前記不揮発性記憶素子の第 6 のデータ端子に接続される、

ことを特徴とする請求項 6 に記載の装置。

【請求項 9】

フリップフロップを備え、

前記第 4 のデータ端子は前記フリップフロップのデータ入力に接続され、

前記ロジックゲートの出力は前記フリップフロップのクロック入力に接続され、

前記フリップフロップの第 1 の出力は第 1 のスイッチを経由して前記不揮発性記憶素子の前記第 1 および第 5 のデータ端子に接続され、

前記フリップフロップの第 2 の補完的な出力は第 2 のスイッチを経由して前記不揮発性記憶素子の前記第 2 および第 6 のデータ端子に接続される、

ことを特徴とする請求項 7 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性記憶素子に関する。

【背景技術】

【0002】

本出願に記載されているような記憶素子は、しばしば“ラッチ”として知られる。これらは、小さなデータ量を保存するために用いられる再書込可能で、不揮発性の記憶素子である。一般にデータ量は 1 ビットから数百ビットまでの範囲を取る。そのデータは、記憶素子への電源供給がスイッチオフされても保持される。より多数のそのような記憶素子は、しばしば、電子集積回路内で用いられる。1 つの記憶素子によって占められる表面領域はそれゆえ、可能な限り小さくなくてはならない。

【発明の開示】

【発明が解決しようとする課題】

【0003】

不揮発性メモリが既に知られている。これらの不揮発性の標準のメモリにおいて、複雑なアドレッシングが、複雑な回路要素に対応して用いられる。さらに、不揮発性メモリからデータを読み出すことを可能にするために、センス増幅器が必要になる。不揮発性の標準メモリの利用は、それゆえ、比較的複雑であって、大きな表面領域を占める。

【0004】

米国特許 6,411,545 号は、不揮発性のラッチであって、その中でソース結合 (source-coupled) 記憶素子および 2 つの書込入力が、高いボルテージ側で、絶縁された (isolated) したデータ出力を加えて提供されるものを開示している。

【0005】

米国特許 5,648,930 号は、RAM において典型的に供給されるドレイン結合記憶素子を有する不揮発性ラッチを開示している。当該ラッチはデータ入力とデータ出力と

10

20

30

40

50

から構成される。これらは電力バスを経由してプログラムされる。

【 0 0 0 6 】

米国特許 5 , 5 2 3 , 9 7 1 号は、 8 個のトランジスタから構成される不揮発性ラッチを開示している。当該不揮発性ラッチは、プログラミング動作中は電力供給と絶縁する (isolate) 。

【 0 0 0 7 】

米国特許 4 , 1 3 2 , 9 0 4 号は、不揮発性ラッチを開示しており、当該ラッチは、しかし、データが再び読み出されたとき、前に書き込まれたデータと比較して反転するという不利益を有する。

【 0 0 0 8 】

米国特許 4 , 3 4 8 , 7 4 5 号は不揮発性ラッチを開示しており、当該ラッチは 1 2 個のトランジスタと 1 7 V のプログラミングボルテージとを要求し、このためこのラッチは比較的複雑になる。

【 0 0 0 9 】

本発明の目的は、シンプルなデザインで小さい領域を占める不揮発性記憶素子を定義することにある。

【課題を解決するための手段】

【 0 0 1 0 】

この目的は、請求項 1 の不揮発性記憶素子により達成される。

【 0 0 1 1 】

本発明にかかる不揮発記憶素子は、それぞれのトランジスタのフローティングゲートがトランジスタペアの他のトランジスタのドレイン端子と容量結合されている (capacitively coupled) フローティングゲート MOS トランジスタから構成される第 1 のトランジスタのペアを用いる。フローティングゲートトランジスタのソース端子は同じ導電型の第 2 のトランジスタペアに接続している。このトランジスタペアのゲート端子は一緒に接続されている。書込モードにおいて、両方のトランジスタが高いインピーダンスを持ち、それから標準の低電圧源からフローティングゲートトランジスタを絶縁させるように、ゲート端子は動かされる。標準の低電圧源から信頼できる絶縁を達成するために、第 2 のトランジスタペアのウェル (well) 端子は、書込中に最大限の電位まで高められる。読み出しモードにおいて、両方のトランジスタはそれらが低いインピーダンスとなるよう動かされる ; トランジスタペアのウェル端子はそれから低電圧源に接続される。フローティングゲートトランジスタのドレイン端子は、第 3 のトランジスタペアのドレイン端子と接続され、そこではこれらのトランジスタが逆の導電型を有する。

【 0 0 1 2 】

第 3 のトランジスタペアのゲート端子は、他のそれぞれのトランジスタのドレイン端子とたすきがけになっている。本発明にかかる記憶素子は、少数のトランジスタのみを要求し、容易に制御ができる。なぜならば、書込動作において、一方のフローティングゲートに荷電し、もう一方のフローティングゲートは放電するというただ 1 つの電圧状態が要求されるからである。

【 0 0 1 3 】

本発明の第 1 の発展例において、フローティングゲートトランジスタのドレイン端子は同じ導電型の第 4 のトランジスタペアに接続され、それは第 1 のトランジスタペアと第 3 のトランジスタペアとの間に接続される。第 4 のトランジスタペアのトランジスタのゲート端子は、一緒に接続される。データの出力を形成するデータ端子は第 3 および第 4 のトランジスタペアの間に供給される。書込モードにおいて、両方のトランジスタが高いインピーダンスを持ち、それゆえデータ出力からフローティングゲートトランジスタが絶縁されるように操作される。さらに、トランジスタペアのウェル端子は、書込モード中、最大限の電位に接続される。読み出しモードにおいて、両方のトランジスタはチャネルが低いインピーダンスを持つように操作される。同時に、トランジスタペアのウェル端子は標準の低電圧源に接続される。第 2 および第 4 のトランジスタペアのトランジスタは同じ信号

10

20

30

40

50

によって操作される。これは、出力および標準の低電圧源が書き込みノードにおける入力に適用された高電圧から絶縁されることを保証する。

【 0 0 1 4 】

本発明の第2の発展形において、同じ導電方の追加のトランジスタが、第3のトランジスタペアのそれぞれのトランジスタに平行に配置される。書き込みモードにおいて、これらのトランジスタは記憶素子の出力が基準電位に短絡されるように操作される。読み出しモードにおいて、両方のトランジスタは、それらが非導電であるように操作される。両方のトランジスタのゲート端子は一緒に結合される。

【 0 0 1 5 】

書き込みモードにおいて、フローティングゲートトランジスタは標準の低電圧源から絶縁され、第2および第4のトランジスタペアの高インピーダンストランジスタによる出力からも絶縁される。データはドレイン端子、ソース端子および第1のフローティングゲートトランジスタの基板 (substrate) に中高電圧を適用し、第2のフローティングゲートトランジスタのゲート端子にも適用することによって書き込まれる。第2のフローティングゲートトランジスタにおいて、ドレイン端子、ソース端子および基板はグランド (ground) まで落とされ、第1のフローティングゲートトランジスタにおいてゲート端子がグランドまで落とされる。これらの電圧状態は、電子がドレイン、ソースおよび基板領域から第2のフローティングゲートトランジスタまでトンネルすることを可能にし、一方で第1のフローティングゲートトランジスタにおいてそれらは電子をフローティングゲートからドレイン、ソースおよび基板領域までトンネルすることを可能にする。これらの電流によって、第1のトランジスタのフローティングゲートが正に帯電することになり、第2のトランジスタのフローティングゲートは負に帯電することになる。記憶素子の出力はその間に一緒に短絡される。

【 0 0 1 6 】

読み出しモードにおいて、第2および第4のトランジスタペアはゲート端子をグランドに接続することにより導通するようにスイッチを切り替えられる。書き込みモードの間、第5のトランジスタペアは、出力をグランドに短絡するものであるが、このペアは開かれている。もし全ての電圧状態が記載したように存在するならば、記載された構造は、フローティングゲート上の荷電に依存する異なったトリガーポイント (trigger point) を有する2つのたすきがけのインバータを形成する。1つのフローティングゲートトランジスタは他のフローティングゲートトランジスタよりも前に導通を開始し、たすきがけのインバータは1つの出力が High でもう1つの出力が Low の状態になる結果となる。

【 0 0 1 7 】

時間ベースの自己監視設備を有する配置が、記憶素子のデータ出力に接続されているさらなるORゲートを用いることにより本発明の第2の発展形にしたがった記憶素子によって実装されることができる。書き込みモードにおいて、ORゲートの出力が常に接地電位にあるように、上述したように出力はグランドに落とされる。読み出しモードにおいて、第1および第2のフローティングゲートトランジスタのフローティングゲート上の荷電にしたがって、1つの出力は操作電位 (operating voltage potential) (High) にあり、他の出力は接地電位 (Low) にある。記憶素子の出力における変化は、ORゲートの出力が接地電位 (Low) から操作電位 (High) へ変化することを引き起こす。

【 0 0 1 8 】

不揮発性記憶素子の自動パワーセービングモード (power-saving mode) は、ORゲートの出力信号および2~3の追加の論理素子によって実装することができる。パワーセービングモードは、標準の読み出しモードと比較して、不揮発性記憶素子の向上したデータ保持能力という利点を有する。自動パワーセービングモードは以下に模範的な実施例を参照することでより詳細に記載される。

【 0 0 1 9 】

本発明にかかる記憶素子は書き込みモードにおいて漏れ電流のみを消費する不揮発性記憶素子を形成し、パワーセービングモードおよび読み出しモードにおいて、一度記憶素子

10

20

30

40

50

から出力されるとプログラムされた状態を消費する。

【 0 0 2 0 】

本発明にかかる記憶素子はそのさまざまな実施例において多くの利点を有する。第1の利点は記憶素子のスイッチをオンに入れた後、フローティングゲートトランジスタの荷電に対応する論理信号がその出力において存在するということである。第2の利点は、書き込みモードの間、メモリセルが完全に標準の低電圧源およびデータ出力から絶縁されるということである。第3の利点は、メモリセルが時間ベースの自己監視設備をもちいることで読み出すことができることである。これは記憶素子がそれ自身で、論理決定がなされたときを認識できるということである。本発明のさらなる利点は不揮発性記憶素子の出力電位が常に読み出しおよび書き込みモードにおける低電圧源の範囲内にあるということである。読み出しモードにおいて、電圧降下 V_{th} がない。書き込みモードにおいて、標準の論理素子が記憶素子の出力の出力において用いられるように、プログラミングに用いられる高電圧が不揮発性記憶素子のデータ出力に現れない。

10

【 0 0 2 1 】

本発明のさらに利益のある実施例がサブクレーム内に与えられる。本発明はさらに詳細に以下の模範的な実施例を参照して記載される。

【 0 0 2 2 】

本発明は模範的な実施例を参照して以下に記載されるが、その模範的な実施例は決して制限をかけるものではない。本発明のさらなる実施例がありえ、また、それらは可能であり、また、クレームによってカバーされる。

20

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

図1および図2は本発明にかかる記憶素子の2つの回路図を示す。回路はp-チャネルトランジスタ40および50を有するトランジスタペアから構成され、それぞれのトランジスタはフローティングゲート44および54を有する。トランジスタ40および50は制御ゲート(control gate)45および55を有し、それらはフローティングゲート44および54と容量的に結合している。第1のフローティングゲートトランジスタ40の制御ゲート45は他のフローティングゲートトランジスタ50のドレイン端子に接続され、一方で、トランジスタ50の制御ゲート端子55はトランジスタ40のドレイン端子に接続されており、結果としてたすきがけの配置となる。フローティングゲートトランジスタ40および50のソース端子はそれぞれ自身のn型基板に接続される。

30

【 0 0 2 4 】

第3および第4のトランジスタ20および30は、第2のトランジスタペアを形成し、そのドレイン端子はトランジスタ40および50のソース端子と接続されている。第2のトランジスタペアのソース端子は供給電圧端子12と接続され、供給電圧 V_{CC} はこの方法でそれらに供給される。ゲート端子は一緒に接続され、また第1の制御信号線14に接続され、そこでは第1の制御信号 WE がそれらに適用される。外部制御ユニット(図示せず)は制御信号 WE を生成するために供給される。

【 0 0 2 5 】

ウェル端子は一緒に結合され、第3の制御信号線5に接続される。書き込みモードにおいて、フローティングゲートトランジスタをプログラムするためにも用いられる中高電圧は、この端子に適用される。読み出しモードにおいて、ウェル端子は標準の低電圧供給源 V_{CC} に接続される。外部制御ユニット(図示せず)は制御信号 V_{WELL} を生成するために用いられる。

40

【 0 0 2 6 】

トランジスタ40および50のドレイン端子は、第5のトランジスタ60および第6のトランジスタ70から構成される第3のトランジスタペアのドレイン端子に接続される。第1および第5のトランジスタ40および60のドレイン端子、および第6のトランジスタのゲート端子70は、第1のデータ端子 I_1/O_1 に接続され、それはデータ入力とデータ出力との両方を形成する。それに対応して、第2および第6のトランジスタ50およ

50

び70のドレイン端子、および第5のトランジスタ60のゲート端子は、第2のデータ端子I2/O2に接続され、それは同様にデータ入力とデータ出力との両方を形成する。第3のトランジスタペアは基準電位 (reference-potential) の端子10に接続される。

【0027】

図1および図2の模範的な実施例において、書き込みモードにおいて、プログラミング電圧は、要求されたプログラミングに依存して、第1のデータ端子I1/O1または第2のデータ端子I2/O2に適用される。読み出しモードにおいて、第1のデータ端子I1/O1の出力信号における出力信号はトランジスタ40および60のドレイン端子により決定され、一方で第2のデータ端子I2/O2における信号はトランジスタ50および70のドレイン端子により決定される。

10

【0028】

書き込みモードにおいて、その用いられたテクノロジーのための標準の操作電圧 (operating-voltage) に等しい供給電圧VCCが、第1の供給電圧端子12に適用される。第3のトランジスタ20と第4のトランジスタ30とが非導通とするために、プログラミング電圧VPPは第1の制御端子14において制御信号WEを提供し、第3の制御信号線5において制御信号VWELLを提供する。プログラミング電圧は10Vから14Vに等しく、フローティングゲートおよび制御ゲートの間の結合係数 (coupling factor) に依存し、また、トンネル酸化層 (tunnel oxide layer) の厚さに依存する。プログラミング電圧VPPは、記憶素子にデータ信号をセーブするために第1のデータ端子I1/O1に適用されなければならない。この場合、n-チャネルトランジスタ70は導通を開始し、フローティングゲートトランジスタ50は導通を停止し、第2のデータ端子I2/O2はグラウンドに落とされる。端子I2/O2が接地電位にあることで、第1のフローティングゲートトランジスタ40は導通を開始し、一方でn-チャネルトランジスタ60は非導通である。この状況では記憶素子の配置を通して直流は流れない。電圧が外部的に第2のデータ端子I2/O2を経由して適用されることができても、フローティングゲートトランジスタの制御ゲート45はグラウンドに落とされる。第2のフローティングゲートトランジスタ50の制御ゲート55はその間、プログラミング電圧VPPに維持される。電位の差は、フローティングゲートが正に荷電されるようにするため、電子がフローティングゲート44からトランジスタ40のチャンネルにトンネルすることを引き起こす。

20

【0029】

同時に、プログラミング電圧VPPは、第2のフローティングゲートトランジスタ50の制御ゲート55に適用され、ドレイン端子はグラウンドに落とされる。制御ゲート55とフローティングゲート54との間の電位の差は、電子がドレイン領域からフローティングゲート54へトンネルすることを引き起こし、そこでは、それは負に荷電する。

30

【0030】

回路の対称性のために、書き込み操作のため唯一の電圧状況は、1つのフローティングゲートを蓄電し、他のフローティングゲートを放電することを要求する。

【0031】

2つの追加のデータ端子I3およびI4は、データ入力を形成し、それゆえ以下で入力端子として参照されるが、これらの端子は図2の模範的な実施例において供給される。書き込みモードにおいて、データ端子I3は低インピーダンスパスによりデータ端子I1/O1に接続され、一方で、データ端子I4は低インピーダンスパスによりデータ端子I2/O2に接続される。両方の基板はそこで書き込みモードの電位になる。もし、データが記載した方法で記憶素子に書き込まれるならば、トンネル電流 (tunnel current) は一方のトランジスタのチャンネルから関連するフローティングゲートへと流れ、他方のトランジスタのフローティングゲートからこのトランジスタに属するチャンネルへと流れる。

40

【0032】

記載された例にしたがって、書き込みアクセスの終わりに、第1のトランジスタ40のフローティングゲート44は正に荷電し、第2のトランジスタ50のフローティングゲート54は負に荷電する。

50

【 0 0 3 3 】

読み出しモードにおいて、制御信号 $VWE L L$ は供給電圧 VCC にスイッチされ、制御信号 WE はグラウンドに落とされ、トランジスタ 20 および 30 から構成される第 2 のトランジスタペアは、第 1 の供給電圧端子 12 に接続されているが、このペアは導通を開始する。正に荷電したフローティングゲートを有するトランジスタは導通せず、一方、負に荷電したフローティングゲートを有するトランジスタは導通する。上記の例において、トランジスタ 20 および 30 は制御信号 WE がグラウンドに落ちている場合導通し、また、制御信号 $VWE L L$ は供給電圧 VCC に接続されている。第 2 のトランジスタ 50 は導通し、第 1 のトランジスタ 40 は導通しない。第 5 のトランジスタ 60 が導通を始めるために、第 2 のトランジスタ 50 を通って流れる電流は、ノード 16 を第 2 のデータ端子 $I2 / O2$ において正に荷電する。トランジスタ 50 の制御ゲート 55 はそこでグラウンドに落とされる、なぜならばトランジスタ 40 は非導通であるからである。制御ゲート 55 が接地電位にあるとき、トランジスタ 70 は非導通であり、第 1 の供給端子 12 における十分な電圧 VCC が制御ゲート 45 に適用される。

10

【 0 0 3 4 】

もしフローティングゲートが、データ端子 $I1 / O1$ および $I2 / O2$ への入力信号を取り替えることでフローティングゲートが反対にチャージされたならば、それから、読み出しモードにおいて、データ端子 $I1 / O1$ および $I2 / O2$ の出力信号もまた逆になるように、逆の信号状態が得られる。

20

【 0 0 3 5 】

図 3 および図 4 は本発明の回路配置の発展例を示す。図 1 および図 2 に示された実施例の一方で、図 3 および図 4 に示される実施例において、第 1 および第 2 のデータ端子 $I1 / O1$ および $I2 / O2$ はそれぞれ、データ入力としての機能およびデータ出力としての機能両方を持ち、追加の絶縁されたデータ端子が供給される。フローティングゲートトランジスタ 40 および 50 のドレイン端子に接続されたデータ端子、および図 1 および 2 において $I1 / O1$ 、 $I2 / O2$ と記載されたものは、以下に記載された記憶素子においてデータ入力機能のみを持ち、また、それゆえ、この模範的な実施例において入力端子として $I1$ および $I2$ としても記され、一方で別のデータ端子 $O1$ および $O2$ が出力を形成し、またそれゆえ出力端子としても以下に参照されるものとして提供される。出力 $O1$ および $O2$ はそれによってプログラミング電圧 VPP とは絶縁されることができる。

30

【 0 0 3 6 】

示された両方の回路配置において、 p -チャネルトランジスタ 80 および 90 から構成される追加の第 4 のトランジスタペアがこの目的のために供給される。トランジスタ 80 および 90 は、トランジスタ 20 および 30 から構成される第 2 のトランジスタペアと類似の方法で配置され、それによってフローティングゲートトランジスタ 40 および 50 を、第 1 の電圧源端子 12 の電圧源から絶縁させる。追加のトランジスタ 80 および 90 のゲート端子は一緒に接続され、また制御信号線 14 を経由して供給される制御信号 WE によって動作される。2 つのトランジスタのウェル端子は一緒に接続され、また、制御信号線を経由して供給される制御信号 $VWE L L$ によって似たように動作される。これらの 2 つのトランジスタのソース端子はたすきがけのフローティングゲートトランジスタ 40 および 50 のドレイン端子に接続される。トランジスタ 80 および 90 のドレイン端子はたすきがけの n -チャネルトランジスタ 60 および 70 のドレイン端子に接続される。

40

【 0 0 3 7 】

書込モードにおいて、制御信号 WE および $VWE L L$ はプログラミング電圧 VPP にあり、トランジスタ 20、30、80 および 90 から構成される第 2 および第 4 のトランジスタペアは非導通である。たすきがけのフローティングゲートトランジスタ 40 および 50 は十分に第 1 の供給電圧ノード 12 における供給電圧 VCC から絶縁される。それらは出力端子 $O1$ および $O2$ から絶縁される。2 つの入力端子 $I1$ および $I2$ における電圧は外部から上述したようにセットされなければならない。出力がプログラミング電圧 VPP から絶縁されていることにより、 n -チャネルトランジスタ 60 および 70 がベースプ

50

ロセス (base process) で製造されるように、たすきがけの n -チャネルトランジスタ 60 および 70 は標準の低電圧のトランジスタとして実装することができる。出力端子 O1 および O2 の出力レベルはグラウンドと供給電圧との間の低電圧範囲内に常にある。記憶素子の出力に接続された論理素子は、それゆえ標準の論理ゲートで実装されることができ、また同様にベースプロセスで製造されることができる。

【0038】

入力端子 I3 および I4 が図 4 に加えられている。書込モードにおいて、入力端子 I3 は低インピーダンスパスにより入力端子 I1 に接続され、入力端子 I4 は低インピーダンスパスにより入力端子 I2 に接続される。読み込みモードにおいて、これらの入力とは両方とも浮遊電位にある。

10

【0039】

図 5 は本発明の別の発展例による回路配置を示すものであり、それはより感度のよい記憶素子を得るためのプレチャージアプローチを採用する。 n -チャネルトランジスタ 100 が図 4 の回路配置に加えられる。このトランジスタのドレイン端子は出力端子 O2 に接続され、ソース端子は出力端子 O1 に接続される。第 2 の制御信号 WE_LV は、これもまた外部の制御ユニットから生成されたものであるが、第 2 の制御信号線 9 を経由してゲートに適用される。制御信号 WE および WE_LV の波形および出力端子 O1 および O2 における信号の波形は図 6 に示されている。

【0040】

書込モードにおいて、制御信号 WE_LV は供給電圧 VCC に位置し、トランジスタ 100 は導通しており、また出力端子 O1 および O2 は低インピーダンスパスにより一緒に接続され、両方の出力端子 O1 および O2 が同じ電位を持つようにしている。データは図 4 を参照して述べたように不揮発性記憶素子に蓄積される。書込モードから読み込みモードに変えることで、信号 WE はグラウンドに落とされ、制御信号 $VWELL$ は供給電圧 VCC に挙げられ、第 2 および第 4 のトランジスタペアのトランジスタ 20、30、80 および 90 は導通している。フローティングゲートトランジスタ 40 は正に荷電しており、トランジスタ 50 は負に荷電している。フローティングゲートトランジスタ 50 はそれによって導通を開始し、出力端子 O1 および O2 の電位は上昇する。トランジスタ 60 および 70 から構成されるたすきがけのトランジスタペアは、それから、導通を開始する。第 2 の制御信号 WE_LV はわずかの遅延の後にグラウンドに落とされる。 n -チャネルトランジスタ 60 のゲートは VCC によって動かされ、出力端子 O1 はそれからグラウンドに落とされる。出力端子 O1 が接地電位にあることによって、 n -チャネルトランジスタ 70 は導通を停止し、第 2 の出力端子 O2 は VCC まで上昇する。

20

30

【0041】

トランジスタ 40 および 50 のフローティングゲート上の非常に小さい荷電の違いは上述の回路配置により評価することができる。この模範的な実施例に従ってデザインされた記憶装置において、読み込みスピードはそれによって上昇する。

【0042】

図 7 は時間ベースの自己監視装置を記憶素子の初期化のために採用した本発明にかかる回路配置の模範的な実施例を示し、それはその出力における信号の変化を非常に単純な手段で検知することができる。記載された不揮発性記憶素子はまた、フローティングゲート上電化における小さい変化に対して、図 4 の回路配置よりもより敏感である。図 5 の回路は位置と図 7 の回路は位置との比較により、2 つの n -チャネルトランジスタ 110 および 120 が供給されていることが示される。第 9 のトランジスタ 100 はもはや供給されない。トランジスタ 120 のドレイン端子は出力端子 O1 に接続されており、ソース端子はグラウンドに接続されている。トランジスタ 110 のドレイン端子は出力端子 O2 に接続されており、ソース端子はグラウンドに接続されている。第 2 の制御信号 WE_LV は制御信号線 9 を介して 2 つのトランジスタ 110 および 120 のゲート端子に適用される。

40

【0043】

書込モードにおいて、制御信号 WE_LV は供給電圧 VCC に位置し、トランジスタ 1

50

10 および 120 の両方は導通し、出力は接地電位にある。データは記憶素子に図4を参照して記載されたやり方で書き込むことができる。記載された例において、フローティングゲートトランジスタ50は負に荷電し、トランジスタ40のフローティングゲートは正に荷電する。

【0044】

書込パルスの終わりにおいて、信号WEは接地電位に落ち、制御信号VWELLは供給電圧まで上がり、トランジスタ20、30、80および90から構成される第2および第4のトランジスタペアは導通を開始する。第2の制御信号WE_LVがVCCに達したとき、フローティングゲートトランジスタ40および50のドレインおよびゲート端子のそれぞれの電位は接地電位になる。トランジスタ50は導通するが、トランジスタ40は導通しない。

10

【0045】

図8は以前に記載された、単純な回路を記憶素子に追加した回路を示す。この場合、不揮発性記憶素子からの2つの出力信号は単一のORゲート200に取り込まれる。ORゲート200の出力信号は、双方の入力信号が“0”のとき“0”になる。

【0046】

書込パルスの終わりにおいて、一度、第1の制御信号WEが接地電位に落ち、第3の制御信号が供給電圧まで上がると、少しの遅延の後第2の制御信号WE_LVもまた接地電位に落ちる。波形は図9に示される。第2の出力端子O2の電圧はそれによってVCCまで上昇し、一方で第1の出力端子O1の電圧は接地電位に落ちる。これはORゲートの出力信号を“0”から“1”にスイッチする、なぜならば、一の入力信号が“1”であって、他は“0”であるからである。記載された記憶素子の出力における信号変化はそれによって検知できる。

20

【0047】

一度蓄積されたデータが記憶素子に接続された標準のフリップフロップ210に転送されると、この事実是不揮発性記憶素子をパワーセービングモードに移行するのに用いることができる。たとえば、ORゲート200の出力信号はフリップフロップ210のトリガとなり、図8に示される不揮発性記憶素子からのデータを導入する。

【0048】

どのように動くかを説明するために、第1の出力端子O1が“0”のレベルであって、第2の出力端子が“1”のレベルであることを仮定する。フリップフロップ210のD-入力211は、接続された出力端子O2に対応して“1”のレベルとなる。記憶素子の2つの出力信号はORゲート200によりOR演算され、もし記憶素子からの出力信号が変化すると、立ち上がり有する信号がORゲート200により生産され、その信号はフリップフロップ210のクロック入力212に対してクロック信号となる。ORゲート200のスイッチングの遅延のため、クロック信号はデータ信号が入力211に届いた後にクロック入力212に届く。フリップフロップ210はそれゆえ自信を持ってセットされる。

30

【0049】

フリップフロップ210の出力213における“1”のために、“1”は入力I1およびI3に適用され、一方で、“0”が入力I2およびI4に適用される。記憶素子の状態を保持するために、これは元のプログラミングに対応する。

40

【0050】

一度フリップフロップ210にデータがセーブされると、不揮発性記憶素子はパワーセービングモードに移行する。このモードにおいて、第1の制御信号WEおよび第3の制御信号VWELLは供給電圧VCCにあがり、トランジスタ20、30、80および90はそえによって非導通となり、フローティングゲートトランジスタ40および50は供給電圧VCCから絶縁される。トランジスタ40および50は出力端子O1およびO2からも絶縁される。もし第2の制御信号WE_LVがVCCにあがるならば、n-チャネルトランジスタ110および120の両方が導通を開始し、出力端子O1およびO2は接地電位

50

に落ちる。制御信号WEおよびWE $\overline{\text{L}}$ Vのレベルはそれゆえ、書込モードにおけるレベルと等しい。

【0051】

フリップフロップ210の出力213は入力端子I1およびI3に接続されている。フリップフロップ210の相補の出力214は入力端子I2およびI4に接続されている。図8に示すスイッチ220および230がこの目的のために閉じられている。上述したパワーセービングモードにおいて、不揮発性記憶素子は漏れ電流のみを消費する。

【0052】

パワーセービングモードは、修正されたデータが記憶素子に書かれたとき終わりになる。これをするために、スイッチ220および230は、書き込み操作のため用いられおよび記憶素子の入力端子I1、I2、I3、I4に適用される高電圧が、フリップフロップ210の出力213および214に届くのを避けるため最初は開かれている。新たなデータはそれから上述のように書き込まれる。

【0053】

制御信号WE、VWE $\overline{\text{L}}$ 、およびWE $\overline{\text{L}}$ Vのようなスイッチ220および230のための駆動信号(drive signal)は、外部の制御ユニットによって供給される。

【0054】

記憶素子およびフリップフロップ210のために記載された端子接続に対する代替として、第3のデータ端子O1が明示的にフリップフロップ210のデータ入力211にも接続されてよい。出力213および214からの接続はそれに応じて取り換える必要があるかもしれない。

【0055】

データ保持に関するパワーセービングモードの更なる利点を理解するために、標準の読み出しモードとパワーセービングモードとにおける電圧状況を考慮することは重要である。パワーセービングモードにおいて、トランジスタ50の制御ゲート55は、ノード18と接続されているが、当該ゲートは供給電圧VCCに持ち上げられ、また、チャンネル領域はグランドに接続されている。フローティングゲート54は、当該フローティングゲートがゲート-チャンネル漏れ電流の結果として長時間の後放電してVCCになっているとしても、その前述した例におけるプログラミングに対応して負の荷電を維持している。トランジスタ40の制御ゲートは、ノード16と接続されているが、当該ゲートは接地電位まで落とされ、チャンネル領域はVCCに持ち上げられる。トランジスタ40のフローティングゲート44は、漏れ電流の結果として長時間の後にフローティングゲートが放電してグランドに落ちているとしても正の荷電を維持している。元々プログラムされたデータはパワーセービングモードにおいて、漏れ電流や熱応力にも関わらず、維持されている。

【0056】

標準の読み出しモードにおいて、トランジスタ50の制御ゲート55は接地電位にあり、チャンネル領域はVCCにある。トランジスタ50のフローティングゲート54はゲート-チャンネルの漏れ電流のために長時間の後正に荷電するであろう。しかしながら、前述の例におけるフローティングゲート54は元々負にプログラムされている。トランジスタ40の制御ゲート45はVCCにあり、チャンネル領域は接地電位にある。フローティングゲート44は、元は正にプログラムされていたのだが、ゲート-チャンネルの漏れ電流のために長時間の後負に荷電するであろう。これは元々のプログラムされた状態が、ゲート-チャンネルの漏れ電流や熱応力によって逆になるという結論となり、つまり蓄積されたデータは失われるということになる。

【0057】

それゆえ標準の読み出しモードと異なって、パワーセービングモードにおいて長時間データを保存することにおいて問題はない。

【0058】

この発明の模範的な実施例および適用は標準のCMOS n型基板プロセスのために記載

10

20

30

40

50

された。p型基板CMOSプロセスにおいてn-チャネルフローティングゲートトランジスタとして記憶素子を製造することも動揺に可能である。本発明の全ての実施例はp型基板プロセスにおける同様の機能を維持するために容易に適用可能である。

【図面の簡単な説明】

【0059】

【図1】フローティングゲートトランジスタが正の供給電圧から絶縁されている、本発明にかかる不揮発性記憶素子の回路図である。

【図2】フローティングゲートトランジスタが正の供給電圧から絶縁されている、本発明にかかる不揮発性記憶素子の回路図である。

【図3】フローティングゲートトランジスタがさらにデータ出力から絶縁されている、不揮発性記憶素子の発展例の回路図である。

10

【図4】フローティングゲートトランジスタがさらにデータ出力から絶縁されている、不揮発性記憶素子の発展例の回路図である。

【図5】プレチャージデバイス（precharge device）を有する不揮発性記憶素子の発展例の回路図である。

【図6】図5の回路のための信号波形を描いた信号図である。

【図7】書き込みモードにおいて出力レベルのモニタ機能を有する不揮発性記憶素子の発展例の回路図である。

【図8】時間ベースの自己モニタ機能を形成するORゲートおよびフリップフロップである図7の記憶素子から構成される配置である。

20

【図9】図8の回路の信号波形を描いた信号図である。

【符号の説明】

【0060】

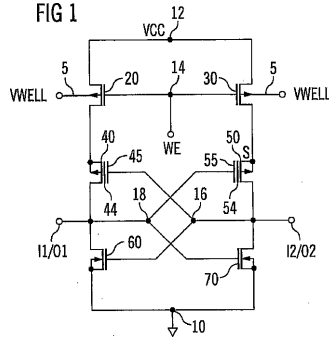
5	第3の制御信号線
9	第2の制御信号線
10	第2の供給電圧端子
12	第1の供給電圧端子
14	第1の制御信号線
16、18	ノード
20、30、40、50、60、70、	トランジスタ
80、90、100、110、120	
44、54	フローティングゲート
200	ロジックゲート
201	ロジックゲートの第1の入力
202	ロジックゲートの第2の入力
203	ロジックゲートの出力
210	フリップフロップ
211	フリップフロップのデータ入力
212	フリップフロップのクロック入力
213	フリップフロップの第1の出力
214	フリップフロップの第2の出力
220、230	スイッチ
I1/O1、I2/O2	データ端子
I1～I4	データ端子
O1、O2	データ端子
WE	第1の制御信号
WE__LV	第2の制御信号
VWELL	第3の制御信号

30

40

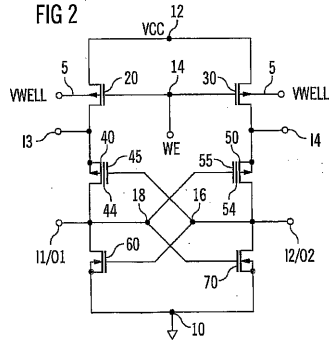
【図 1】

FIG 1



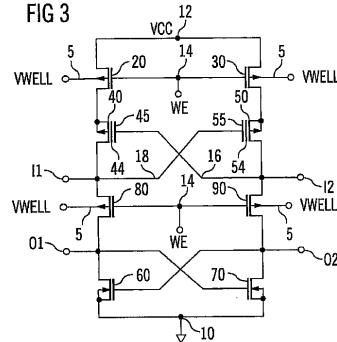
【図 2】

FIG 2



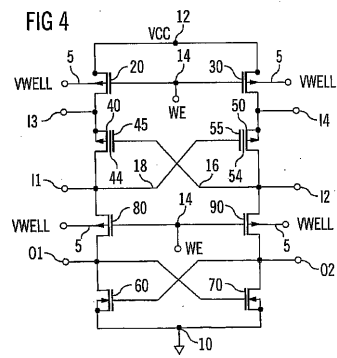
【図 3】

FIG 3



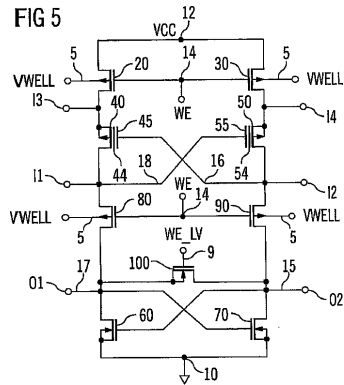
【図 4】

FIG 4



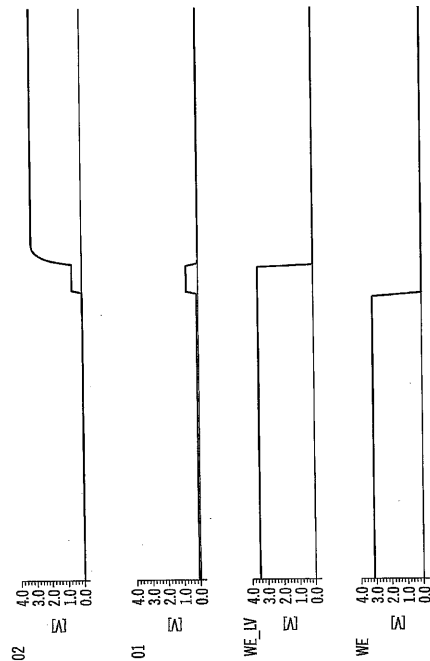
【図 5】

FIG 5



【図 6】

FIG 6



フロントページの続き

(56)参考文献 特開平 0 7 - 2 7 2 4 9 0 (J P , A)
特開平 0 5 - 0 6 2 4 8 7 (J P , A)
特表 2 0 0 6 - 5 2 7 8 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G11C 16/00 - 16/34