



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월03일

(11) 등록번호 10-1565640

(24) 등록일자 2015년10월28일

- (51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) *H01G 4/30* (2006.01)
- (21) 출원번호 10-2013-0038319
- (22) 출원일자 2013년04월08일
 심사청구일자 2013년04월08일
- (65) 공개번호 10-2014-0121725
- (43) 공개일자 2014년10월16일
- (56) 선행기술조사문헌
 KR101141342 B1*
 WO2012023334 A1*
 JP2013098528 A
 JP2003309039 A
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자
 김형준
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
- (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 13 항

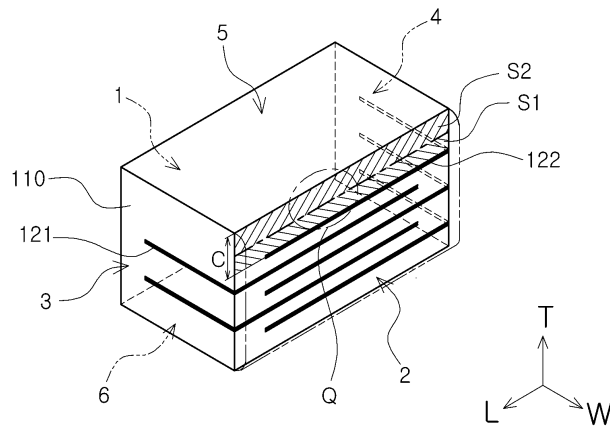
심사관 : 김상철

(54) 발명의 명칭 **적층 세라믹 커패시터 및 그 제조방법**

(57) 요약

본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 상기 제3 단면 또는 제4 단면으로 일단이 노출되는 복수 개의 내부전극; 및 상기 제1 측면 및 제2 측면에서 상기 내부전극의 단부까지의 평균 두께가 18 μ m 이하로 형성된 제1 사이드 마진부 및 제2 사이드 마진부;를 포함하며, 상기 세라믹 본체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1이라 하고, 상기 S1의 기공률을 P1이라 하면, 1 \leq P1 \leq 20을 만족할 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체;

상기 세라믹 본체의 내부에 형성되며, 상기 제3 단면 또는 제4 단면으로 일단이 노출되는 복수 개의 내부전극; 및

상기 제1 측면 및 제2 측면에서 상기 내부전극의 단부까지의 평균 두께가 $18\mu\text{m}$ 이하로 형성된 제1 사이드 마진부 및 제2 사이드 마진부;를 포함하며,

상기 세라믹 본체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 경계면 중 상기 내부전극에 인접한 영역을 S1, 상기 경계면 중 상기 세라믹 본체의 상면 또는 하면에 인접한 영역을 S2라 하고, 상기 S1의 기공률을 P1 및 상기 S2의 기공률을 P2라 하면, 상기 P1은 상기 P2보다 크고, $1 \leq P1 \leq 20$ 을 만족하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 제1 사이드 마진부 및 제2 사이드 마진부는 세라믹 슬러리로 형성되는 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 내부전극은 일단이 상기 제3 단면으로 노출되고, 타단이 상기 제4 단면으로부터 소정의 간격을 두고 형성되는 제1 내부전극 및 일단이 제4 단면으로 노출되고, 타단이 상기 제3 단면으로부터 소정의 간격을 두고 형성되는 제2 내부전극으로 구성되는 적층 세라믹 커패시터.

청구항 4

서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체;

상기 세라믹 본체의 내부에 형성되며, 상기 제3 단면 또는 제4 단면으로 일단이 노출되는 복수 개의 내부전극; 및

상기 제1 측면 및 제2 측면에서 상기 내부전극의 단부까지의 평균 두께가 $18\mu\text{m}$ 이하로 형성된 제1 사이드 마진부 및 제2 사이드 마진부;를 포함하며,

상기 세라믹 본체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 경계면 중 상기 내부전극에 인접한 영역을 S1, 상기 경계면 중 상기 세라믹 본체의 상면 또는 하면에 인접한 영역을 S2라 하고, 상기 S1의 기공률을 P1 및 상기 S2의 기공률을 P2라 하면, 상기 P1은 상기 P2보다 크고, $P1/P2 > 2$ 를 만족하는 적층 세라믹 커패시터.

청구항 5

제4항에 있어서,

상기 제1 사이드 마진부 및 제2 사이드 마진부는 세라믹 슬러리로 형성되는 적층 세라믹 커패시터.

청구항 6

제4항에 있어서,

상기 내부전극은 일단이 상기 제3 단면으로 노출되고, 타단이 상기 제4 단면으로부터 소정의 간격을 두고 형성되는 제1 내부전극 및 일단이 제4 단면으로 노출되고, 타단이 상기 제3 단면으로부터 소정의 간격을 두고 형성되는 제2 내부전극으로 구성되는 적층 세라믹 커패시터.

청구항 7

복수 개의 스트라이프형 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 스트라이프형 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계;

상기 스트라이프형 제1 내부전극 패턴과 상기 스트라이프형 제2 내부 전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층체를 형성하되, 상기 적층체의 상면 및 하면 중 적어도 일면에는 복수 개의 세라믹 그린시트를 적층하여 커버층을 형성하는 단계;

상기 스트라이프형 제1 내부전극 패턴 및 제2 내부전극 패턴을 가로 질러서 제1 내부전극 및 제2 내부전극이 일정 폭을 가지며, 상기 폭 방향으로 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖도록 상기 세라믹 그린시트 적층체를 절단하는 단계; 및

상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면에 세라믹 슬러리로 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계;를 포함하며, 상기 제1 사이드 마진부 및 제2 사이드 마진부는 상기 측면에서 상기 내부전극의 단부까지의 평균 두께가 18 μ m 이하로 형성되며, 상기 적층체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 경계면 중 상기 내부전극에 인접한 영역을 S1, 상기 경계면 중 상기 세라믹 그린시트의 적층체의 상면 또는 하면에 인접한 영역 S2라 하고, 상기 S1의 기공률을 P1 및 상기 S2의 기공률을 P2라 하면, 상기 P1은 P2보다 크고, $1 \leq P1 \leq 20$ 을 만족하는 적층 세라믹 커패시터의 제조 방법.

청구항 8

제7항에 있어서,

상기 세라믹 그린시트 적층체를 형성하는 단계는

상기 스트라이프형 제1 내부 전극 패턴의 중심부와 상기 스트라이프형 제2 내부전극 패턴 사이의 소정의 간격이 중첩되도록 적층되는 적층 세라믹 커패시터의 제조방법.

청구항 9

제7항에 있어서,

상기 세라믹 그린시트 적층체를 절단하는 단계는

상기 세라믹 그린시트 적층체가 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖는 막대형 적층체가 되도록 수행되고,

상기 제1 및 제2 사이드 마진부를 형성하는 단계 이후에, 상기 제1 내부전극의 중심부 및 제2 내부전극 사이의 소정의 간격을 동일한 절단선으로 절단하여 제1 내부전극 또는 제2 내부전극의 일단이 각각 노출된 제3 단면 또는 제4 단면을 갖는 적층체로 절단하는 단계가 수행되는 적층 세라믹 커패시터의 제조방법.

청구항 10

제7항에 있어서,

상기 세라믹 그린시트 적층체를 절단하는 단계는

상기 세라믹 그린시트를 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖는 막대형 적층체로 절단하는 단계, 및 상기 막대형 적층체를 상기 제1 내부전극의 중심부 및 상기 제2 내부전극 사이의 소정의 간격을 동일한 절단선으로 절단하여 제1 내부전극 또는 제2 내부전극의 일단이 각각 노출된 제3 단면 또는 제4 단면을 갖는 적층체로 절단하는 단계로 수행되고,

상기 제1 및 제2 사이드 마진부를 형성하는 단계는 상기 적층체에 대하여 수행되는 적층 세라믹 커패시터의 제조방법.

청구항 11

제7항에 있어서,

상기 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계는 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면에 세라믹 슬러리를 도포하여 수행되는 적층 세라믹 커패시터의 제조방법.

청구항 12

제7항에 있어서,

상기 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계는 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 세라믹 슬러리에 딥핑하여 수행되는 적층 세라믹 커패시터의 제조방법.

청구항 13

제7항에 있어서,

$P1/P2 > 2$ 를 만족하는 적층 세라믹 커패시터의 제조방법.

발명의 설명

기술분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 제조방법에 관한 것으로, 보다 상세하게는 신뢰성이 우수한 고용량 적층 세라믹 커패시터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

[0003] 세라믹 전자부품 중 적층 세라믹 커패시터는 적층된 복수의 유전체층, 일 유전체층을 사이에 두고 대향 배치되는 내부전극, 상기 내부전극에 전기적으로 접속된 외부전극을 포함한다.

[0004] 적층 세라믹 커패시터는 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 이동 통신장치의 부품으로서 널리 사용되고 있다.

- [0005] 최근에는 전자제품이 소형화 및 다기능화됨에 따라 칩 부품 또한 소형화 및 고기능화되는 추세이므로, 적층 세라믹 커패시터도 크기가 작고, 용량이 큰 고용량 제품이 요구되고 있다.
- [0006] 적층 세라믹 커패시터의 용량을 높이는 위해서 유전체층을 박막화하는 방법, 박막화된 유전체층을 고적층화하는 방법, 내부전극의 커버리지를 향상시키는 방법 등이 고려되고 있다. 또한, 용량을 형성하는 내부전극의 중첩 면적을 향상시키는 방법이 고려되고 있다.
- [0007] 일반적으로 적층 세라믹 커패시터는 다음과 같이 제조될 수 있다. 우선, 세라믹 그린시트를 제조하고, 세라믹 그린시트 상에 도전성 페이스트를 인쇄하여 내부전극을 형성한다. 내부전극이 형성된 세라믹 그린시트를 수십 내지 수백층 까지 겹쳐 쌓아 올려 그린 세라믹 적층체를 만든다. 이 후 그린 세라믹 적층체를 고온 및 고압으로 압착하여 딱딱한 그린 세라믹 적층체를 만들고, 절단 공정을 거쳐 그린 칩을 제조한다. 이후 그린 칩을 가소 및 소성하고, 이후 외부전극을 형성하여 적층 세라믹 커패시터를 완성한다.
- [0008] 상기와 같은 제조방법에 의하여 적층 세라믹 커패시터를 형성하는 경우, 내부전극이 형성되지 않는 유전체층의 마진부 영역을 최소화하기 어려워 내부전극의 중첩 면적을 늘리는게 한계가 있다. 또한, 적층 세라믹 커패시터의 모서리부의 마진부는 다른 영역의 마진부보다 두껍게 형성되어 가소 및 소성시 탄소의 제거가 용이하지 않은 문제가 있다.
- [0009] 상기의 문제를 해결하기 위하여 내부전극이 형성되지 않는 마진부 영역을 기제작된 세라믹 적층체에 형성하는 방법이 고안되고 있으나, 세라믹 적층체의 커버 영역과 상기 마진부의 경계면에 발생하는 기공으로 인해 충격에 취약한 문제가 있다.
- [0010] 아래 선행기술문헌은 세라믹 적층체의 커버 영역의 기공률을 조절하고 있으나, 상기의 문제를 해결하지는 못한다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 일본공개특허공보 2005-159056

발명의 내용

해결하려는 과제

- [0012] 본 발명은 신뢰성이 우수한 고용량 적층 세라믹 커패시터 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0013] 본 발명의 일 실시형태는 서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 상기 제3 단면 또는 제4 단면으로 일단이 노출되는 복수 개의 내부전극; 및 상기 제1 측면 및 제2 측면에서 상기 내부전극의 단부까지의 평균 두께가 18 μ m 이하로 형성된 제1 사이드 마진부 및 제2 사이드 마진부;를 포함하며, 상기 세라믹 본체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1이라 하고, 상기 S1의 기공률을 P1이라 하면, $1 \leq P1 \leq 20$ 을 만족하는 적층 세라믹 커패시터를 제공한다.
- [0014] 상기 제1 사이드 마진부 및 제2 사이드 마진부는 세라믹 슬러리로 형성될 수 있다.
- [0015] 상기 내부전극은 일단이 상기 제3 단면으로 노출되고, 타단이 상기 제4 단면으로부터 소정의 간격을 두고 형성되는 제1 내부전극 및 일단이 제4 단면으로 노출되고, 타단이 상기 제3 단면으로부터 소정의 간격을 두고 형성되는 제2 내부전극으로 구성될 수 있다.
- [0016] 본 발명의 다른 실시형태는 서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 상기 제3 단면 또는 제4 단면으로

로 일단이 노출되는 복수 개의 내부전극; 및 상기 제1 측면 및 제2 측면에서 상기 내부전극의 단부까지의 평균 두께가 $18\mu\text{m}$ 이하로 형성된 제1 사이드 마진부 및 제2 사이드 마진부;를 포함하며, 상기 세라믹 본체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1, 상기 세라믹 본체의 상면 또는 하면에 인접한 영역을 S2라 하고, 상기 S1의 기공률을 P1 및 상기 S2의 기공률을 P2라 하면, $P1/P2 > 2$ 를 만족하는 적층 세라믹 커패시터를 제공한다.

- [0017] 상기 제1 사이드 마진부 및 제2 사이드 마진부는 세라믹 슬러리로 형성될 수 있다.
- [0018] 상기 내부전극은 일단이 상기 제3 단면으로 노출되고, 타단이 상기 제4 단면으로부터 소정의 간격을 두고 형성되는 제1 내부전극 및 일단이 제4 단면으로 노출되고, 타단이 상기 제3 단면으로부터 소정의 간격을 두고 형성되는 제2 내부전극으로 구성될 수 있다.
- [0019] 본 발명의 다른 실시형태는 복수 개의 스트라이프형 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 스트라이프형 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계; 상기 스트라이프형 제1 내부전극 패턴과 상기 스트라이프형 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층체를 형성하되, 상기 적층체의 상면 및 하면 중 적어도 일면에는 복수 개의 세라믹 그린시트를 적층하여 커버층을 형성하는 단계; 상기 스트라이프형 제1 내부전극 패턴 및 제2 내부전극 패턴을 가로 질러서 제1 내부전극 및 제2 내부전극이 일정 폭을 가지며, 상기 폭 방향으로 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖도록 상기 세라믹 그린시트 적층체를 절단하는 단계; 및 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면에 세라믹 슬러리로 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계;를 포함하며, 상기 제1 사이드 마진부 및 제2 사이드 마진부는 상기 측면에서 상기 내부전극의 단부까지의 평균 두께가 $18\mu\text{m}$ 이하로 형성되며, 상기 적층체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1이라 하고, 상기 S1의 기공률을 P1이라 하면, $1 \leq P1 \leq 20$ 을 만족하는 적층 세라믹 커패시터의 제조방법을 제공한다.
- [0020] 상기 세라믹 그린시트 적층체를 형성하는 단계는
- [0021] 상기 스트라이프형 제1 내부전극 패턴의 중심부와 상기 스트라이프형 제2 내부전극 패턴 사이의 소정의 간격을 이중첩되도록 적층될 수 있다.
- [0022] 상기 세라믹 그린시트 적층체를 절단하는 단계는
- [0023] 상기 세라믹 그린시트 적층체가 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖는 막대형 적층체가 되도록 수행되고,
- [0024] 상기 제1 및 제2 사이드 마진부를 형성하는 단계 이후에, 상기 제1 내부전극의 중심부 및 제2 내부전극 사이의 소정의 간격을 동일한 절단선으로 절단하여 제1 내부전극 또는 제2 내부전극의 일단이 각각 노출된 제3 단면 또는 제4 단면을 갖는 적층체로 절단하는 단계가 수행될 수 있다.
- [0025] 상기 세라믹 그린시트 적층체를 절단하는 단계는
- [0026] 상기 세라믹 그린시트를 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖는 막대형 적층체로 절단하는 단계, 및 상기 막대형 적층체를 상기 제1 내부전극의 중심부 및 상기 제2 내부전극 사이의 소정의 간격을 동일한 절단선으로 절단하여 제1 내부전극 또는 제2 내부전극의 일단이 각각 노출된 제3 단면 또는 제4 단면을 갖는 적층체로 절단하는 단계로 수행되고,
- [0027] 상기 제1 및 제2 사이드 마진부를 형성하는 단계는 상기 적층체에 대하여 수행될 수 있다.
- [0028] 상기 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계는 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면에 세라믹 슬러리를 도포하여 수행될 수 있다.
- [0029] 상기 제1 사이드 마진부 및 제2 사이드 마진부를 형성하는 단계는 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 세라믹 슬러리에 딥핑하여 수행될 수 있다.
- [0030] 상기 세라믹 그린시트 적층체 내부의 커버층과 상기 사이드 마진부의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 세라믹 그린시트 적층체의 상면 또는 하면에 인접한 영역을 S2라 하고, 상기 S2의 기공률을 P2

라 하면, $P1/P2 > 2$ 를 만족할 수 있다.

발명의 효과

- [0031] 본 발명의 일 실시형태에 의하면, 적층 세라믹 커패시터에 있어서 세라믹 본체 내부의 커버층과 사이드 마진부의 경계면의 기공률을 조절함으로써 열충격, 전해충격 등의 외부 충격을 완화할 수 있어 고신뢰성 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0032] 또한, 적층 세라믹 커패시터에 있어서 내부전극 말단에서 제1 측면 또는 제2 측면까지의 거리는 작게 형성될 수 있다. 이에 따라 상대적으로 세라믹 본체 내에 형성되는 내부전극의 중첩 면적을 넓게 형성할 수 있다.
- [0033] 또한, 상대적으로 잔류 탄소의 제거가 어려운 모서리부인 최외곽에 배치되는 내부전극 말단에서 제1 측면 또는 제2 측면까지의 거리가 매우 작게 형성되어 잔류 탄소의 제거가 용이하게 수행될 수 있다. 이에 따라 잔류 탄소의 농도 산포가 작아져 동일한 미세 구조를 유지할 수 있고, 내부전극의 연결성을 향상시킬 수 있다.
- [0034] 또한, 최외곽에 배치되는 내부전극의 말단에서 상기 제1 측면 또는 제2 측면까지의 최단 거리를 일정 두께로 확보하여 내습 특성을 확보하고, 내부 결함을 줄일 수 있다. 또한, 외부전극 형성시 방사 크랙 발생 가능성을 줄이고, 외부 충격에 대한 기계적 강도를 확보할 수 있다.
- [0035] 본 발명의 일 실시예에 의하면, 적층된 복수 개의 제1 및 제2 내부전극, 세라믹 그린시트는 동시에 절단되어 상기 내부전극의 말단은 일 직선상에 놓일 수 있다. 이후, 내부전극의 말단이 노출되는 면에 제1 및 제2 사이드 마진부가 형성될 수 있다. 상기 사이드 마진부의 두께는 세라믹 슬러리의 양에 따라 용이하게 조절될 수 있다.
- [0036] 상기 내부 전극은 유전체층의 폭 방향에 대해서는 전체적으로 형성될 수 있어 내부전극 간의 중첩 면적을 형성하기 용이하고, 내부전극에 의한 단차의 발생을 줄일 수 있다.

도면의 간단한 설명

- [0037] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
 도 2는 도 1에 도시된 적층 세라믹 커패시터의 세라믹 본체를 나타내는 개략적인 사시도이다.
 도 3은 도 2의 Q 영역 확대도이다.
 도 4는 도 1의 A-A'선에 따른 단면도이고, 도 5는 도 1의 B-B'선에 따른 단면도이며, 도 6은 도 1에 도시된 적층 세라믹 커패시터를 구성하는 일 유전체층을 나타내는 상부 평면도이다.
 도 7a 내지 도 7f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0039] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- [0040] 도 2는 도 1에 도시된 적층 세라믹 커패시터의 세라믹 본체를 나타내는 개략적인 사시도이다.
- [0041] 도 3은 도 2의 Q 영역 확대도이다.
- [0042] 도 4는 도 1의 A-A'선에 따른 단면도이고, 도 5는 도 1의 B-B'선에 따른 단면도이며, 도 6은 도 1에 도시된 적층 세라믹 커패시터를 구성하는 일 유전체층을 나타내는 상부 평면도이다.
- [0043]
- [0044] 도 1 내지 도 6을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터는 세라믹 본체(110); 상기 세라믹 본체

의 내부에 형성되는 복수 개의 내부전극(121, 122); 상기 세라믹 본체의 외표면에 형성되는 외부전극(131, 132)을 포함한다.

- [0045] 상기 세라믹 본체(110)는 서로 대향하는 제1 측면(1) 및 제2 측면(2)과 상기 제1 측면 및 제2 측면을 연결하는 제3 단면(3) 및 제4 단면(4)을 가질 수 있다.
- [0046] 상기 세라믹 본체(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 직방체 형상일 수 있다.
- [0047] 상기 세라믹 본체(110) 내부에 형성된 복수 개의 내부전극(121, 122)은 세라믹 본체의 제3 단면(3) 또는 제4 단면(4)으로 일단이 노출된다.
- [0048] 상기 내부전극(121, 122)은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있다. 제1 내부전극(121)의 일단은 제3 단면(3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 단면(4)으로 노출될 수 있다. 상기 제1 내부전극(121) 및 제2 내부전극(122)의 타단은 제3 단면(3) 또는 제4 단면(4)으로부터 일정 간격을 두고 형성된다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0049] 상기 세라믹 본체의 제3 단면(3) 및 제4 단면(4)에는 제1 및 제2 외부전극(131, 132)이 형성되어 상기 내부전극과 전기적으로 연결될 수 있다.
- [0050] 상기 세라믹 본체의 내부에는 복수 개의 내부전극이 형성되어 있으며, 상기 복수 개의 내부전극의 각 말단에서 상기 제1 측면 또는 제2 측면까지의 거리(d1)는 18 μ m이하일 수 있다. 이는 복수 개의 내부전극의 말단에서 상기 제1 측면 또는 제2 측면까지의 평균 거리(d1)가 평균 18 μ m이하임을 의미할 수 있다.
- [0051] 상기 내부전극의 말단은 상기 세라믹 본체의 제1 측면(1) 또는 제2 측면(2)으로 향하고 있는 내부전극의 일 영역을 의미한다. 상기 내부전극의 말단에서 제1 측면 또는 제2 측면까지의 영역은 제1 사이드 마진부(113) 또는 제2 사이드 마진부(114)로 지칭될 수 있다.
- [0052] 내부전극 말단으로부터 제1 측면(1) 또는 제2 측면(2)까지의 거리(d1)는 복수 개의 내부전극 간에 있어서, 다소 차이가 있을 수 있으나, 본 발명의 일 실시형태에 따르면, 그 편차가 없거나 작은 특징을 갖는다. 이러한 특징은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제조방법에 의하여 보다 명확하게 이해될 수 있다.
- [0053] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(110)는 복수의 유전체층(112)이 적층된 적층체(111)와 상기 적층체의 양 측면에 형성되는 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)로 구성될 수 있다. 이의 경우, 상기 복수 개의 내부전극의 각 말단에서 상기 제1 측면 또는 제2 측면까지의 거리(d1)는 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)에 의하여 형성되는 것으로, 이는 상기 제1 사이드 마진부(113) 또는 제2 사이드 마진부(114)의 두께에 해당하게 된다.
- [0054] 상기 적층체(111)를 구성하는 복수의 유전체층(112)은 소결된 상태로써, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0055] 상기 적층체(111)의 길이는 상기 세라믹 본체(110)의 길이에 해당하며, 상기 세라믹 본체(110)의 길이는 세라믹 본체의 제3 단면(3)에서 제4 단면(4)까지의 거리에 해당한다. 즉, 세라믹 본체(110)의 제3 및 제4 단면은 적층체(111)의 제3 단면 및 제4 단면으로 이해될 수 있다.
- [0056] 상기 적층체(111)는 복수의 유전체층(112)의 적층에 의하여 형성되는 것으로, 상기 유전체층(112)의 길이는 세라믹 본체의 제3 단면(3)과 제4 단면(4) 사이의 거리를 형성한다.
- [0057] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 세라믹 본체의 길이는 400 내지 1400 μ m일 수 있다. 보다 구체적으로, 세라믹 본체의 길이는 400 내지 800 μ m이거나, 600 내지 1400 μ m일 수 있다.

- [0058] 상기 유전체층 상에 내부전극(121, 122)이 형성될 수 있으며, 내부전극(121, 122)은 소결에 의하여 일 유전체층을 사이에 두고, 상기 세라믹 본체 내부에 형성될 수 있다.
- [0059] 도 6을 참조하면, 유전체층(112)에 제1 내부전극(121)이 형성되어 있다. 상기 제1 내부전극(121)은 유전체층의 길이 방향에 대해서는 전체적으로 형성되지 않는다. 즉, 제1 내부전극(121)의 일단은 세라믹 본체의 제4 단면(4)으로부터 소정의 간격(d2)을 두고 형성될 수 있고, 제1 내부전극(121)의 타단은 제3 단면(3)까지 형성되어 제3 단면(3)으로 노출될 수 있다.
- [0060] 적층체의 제3 단면(3)으로 노출된 제1 내부전극의 타단은 제1 외부전극(131)과 연결된다.
- [0061] 제1 내부전극과 반대로 제2 내부전극(122)의 일단은 제3 단면(3)으로부터 소정의 간격을 두고 형성되고, 제2 내부전극(122)의 타단은 제4 단면(4)으로 노출되어 제2 외부전극(132)과 연결된다.
- [0062] 상기 유전체층(112)은 제1 내부전극(121)의 폭과 동일한 폭을 가질 수 있다. 즉, 상기 제1 내부전극(121)은 유전체층(112)의 폭 방향에 대해서는 전체적으로 형성될 수 있다. 유전체층의 폭 및 내부전극의 폭은 세라믹 본체의 제1 측면 및 제2 측면을 기준으로 한다.
- [0063] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 유전체층의 폭 및 내부전극의 폭은 100 내지 900 μm 일 수 있다. 보다 구체적으로, 유전체층의 폭 및 내부전극의 폭은 100 내지 500 μm 이거나, 100 내지 900 μm 일 수 있다.
- [0064] 세라믹 본체가 소형화될수록 사이드 마진부의 두께가 적층 세라믹 커패시터의 전기적 특성에 영향을 미칠 수 있다. 본 발명의 일 실시형태에 따르면 사이드 마진부의 두께가 18 μm 이하로 형성되어 소형화된 적층 세라믹 커패시터의 특성을 향상시킬 수 있다.
- [0065] 본 발명의 일 실시형태에서 내부전극과 유전체층은 동시에 절단되어 형성되는 것으로, 내부전극의 폭과 유전체층의 폭은 동일하게 형성될 수 있다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0066] 본 실시형태에서, 유전체층의 폭은 내부전극의 폭과 동일하게 적층체의 제1 및 제2 측면으로 내부전극의 말단이 노출될 수 있다. 상기 내부전극의 말단이 노출된 적층체의 양 측면에는 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)가 형성될 수 있다.
- [0067] 상술한 바와 같이, 상기 복수 개의 내부전극의 각 말단에서 상기 제1 측면 또는 제2 측면까지의 거리(d1)는 상기 제1 사이드 마진부(113) 또는 제2 사이드 마진부(114)의 두께에 해당하게 된다.
- [0068] 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께는 18 μm 이하일 수 있다. 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께가 작을수록 상대적으로 세라믹 본체 내에 형성되는 내부전극의 중첩 면적이 넓어질 수 있다.
- [0069] 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께는 적층 본체(111)의 측면으로 노출되는 내부전극의 쇼트를 방지할 수 있는 두께를 가지면 특별히 제한되지 않으나, 예를 들면 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께는 2 μm 이상일 수 있다.
- [0070] 상기 제1 및 제2 사이드 마진부의 두께가 2 μm 미만이면 외부 충격에 대한 기계적 강도가 저하될 우려가 있고, 상기 제1 및 제2 사이드 마진부의 두께가 18 μm 를 초과하면 상대적으로 내부전극의 중첩 면적이 감소하여 적층 세라믹 커패시터의 고용량을 확보하기 어려울 수 있다.
- [0071] 본 발명의 일 실시형태에 따르면, 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)는 세라믹 슬러리로

형성될 수 있다. 상기 세라믹 슬러리의 양을 조절함에 따라, 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께의 조절이 용이하며 18 μ m이하로 얇게 형성될 수 있다.

- [0072] 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 두께는 상기 마진부 각각의 평균 두께를 의미할 수 있다.
- [0073] 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 평균 두께는 도 5와 같이 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0074] 예를 들어, 도 5와 같이 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 스캔한 이미지에서 추출된 임의의 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)에 대해서, 세라믹 본체의 두께 방향으로 상, 중, 하 임의의 3개 지점의 두께를 측정하여 평균값을 얻을 수 있다.
- [0075] 적층 세라믹 커패시터의 용량을 극대화하기 위해서 유전체층을 박막화하는 방법, 박막화된 유전체층을 고적층화하는 방법, 내부전극의 커버리지를 향상시키는 방법 등이 고려되고 있다. 또한, 용량을 형성하는 내부전극의 중첩 면적을 향상시키는 방법이 고려되고 있다. 내부전극의 중첩 면적을 늘리기 위해서는 내부전극이 형성되지 않은 마진부 영역이 최소화되어야 한다. 특히, 적층 세라믹 커패시터가 소형화될수록 내부전극의 중첩 영역을 늘리기 위해서는 마진부 영역이 최소화되어야 한다.
- [0076] 본 실시형태에 따르면, 유전체층의 폭 방향 전체에 내부전극이 형성되고, 사이드 마진부의 두께가 18 μ m이하로 설정되어 내부전극의 중첩 면적이 넓은 특징을 갖는다.
- [0077] 일반적으로, 유전체층이 고적층화 될수록 유전체층 및 내부 전극의 두께는 얇아지게 된다. 따라서 내부 전극이 쇼트되는 현상이 빈번하게 발생할 수 있다. 또한, 유전체층 일부에만 내부전극이 형성되는 경우 내부전극에 의한 단차가 발생하여 절연 저항의 가속 수명이나 신뢰성이 저하될 수 있다.
- [0078] 그러나, 본 실시형태에 따르면 박막의 내부전극 및 유전체층을 형성하더라도, 내부전극이 유전체층의 폭방향에 대하여 전체적으로 형성되기 때문에 내부전극의 중첩 면적이 커져 적층 세라믹 커패시터의 용량을 크게 할 수 있다.
- [0079] 또한, 내부 전극에 의한 단차를 감소시켜 절연 저항의 가속 수명이 향상되어 용량 특성이 우수하면서도 신뢰성이 우수한 적층 세라믹 커패시터를 제공할 수 있다.
- [0080] 한편, 상기 세라믹 본체(110) 내부에서 상기 적층체(111)와 상기 제1 사이드 마진부(113) 및 제2 사이드 마진부(114)의 경계면에서는 기공(p)이 발생할 수 있다.
- [0081] 특히, 상기 세라믹 본체(110) 내부의 커버층(C)과 상기 사이드 마진부의 경계면에 발생하는 기공(p)으로 인하여 적층 세라믹 커패시터가 충격에 취약한 문제가 있다.
- [0082] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(110) 내부의 커버층(C)과 상기 사이드 마진부(113, 114)의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1이라 하고, 상기 S1의 기공률을 P1이라 하면, $1 \leq P1 \leq 20$ 을 만족할 수 있다.
- [0083] 상기 S1의 기공률(P1)이 $1 \leq P1 \leq 20$ 을 만족하도록 조절함으로써, 열충격, 전해충격 등의 외부 충격을 완화할 수 있어 고신뢰성, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0084] 상기 S1의 기공률(P1)이 $1 \leq P1 \leq 20$ 을 만족하도록 조절하는 방법은 특별히 제한되지 않으며, 예를 들어 커버층(C)을 형성하는 세라믹 그린 시트 제조시 사용하는 세라믹 페이스트 내에 첨가되는 글라스(glass)의 함량을 조절함으로써 구현할 수 있다.

- [0085] 상기 S1의 기공률(P1)은 상기 내부전극에 인접한 영역(S1)의 면적당 기공의 면적의 비율로 정의할 수 있다.
- [0086] 상기 S1의 기공률(P1)은 도 2와 같이 세라믹 본체(110)의 길이 방향 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0087] 예를 들어, 도 2와 같이 세라믹 본체(110)의 폭 방향에서 적층체(111)와 사이드 마진부(113, 114)의 경계면을 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 스캔한 이미지에서 추출된 임의의 커버층에 대해서, 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역(S1)을 길이 방향으로 등간격인 30개의 영역으로 나누어 임의의 한 영역에서 그 기공율을 측정할 수 있다.
- [0088] 상기 임의의 한 영역은 상기 세라믹 본체의 길이 방향의 중앙부 영역일 수 있으나, 이에 제한되는 것은 아니다.
- [0089] 상기 S1의 기공률(P1)이 1 미만의 경우에는 열충격 및 소성 크랙이 발생할 수 있으며, 20을 초과하는 경우에는 내습 특성이 저하될 수 있고 세라믹 본체의 강도가 저하될 수 있다.
- [0090] 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터는 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, 상기 세라믹 본체(110) 내부의 커버층(C)과 상기 사이드 마진부(113, 114)의 경계면을 두께 방향으로 두 개의 영역으로 구분할 때, 상기 내부전극에 인접한 영역을 S1, 상기 세라믹 본체의 상면(5) 또는 하면(6)에 인접한 영역을 S2라 하고, 상기 S1의 기공률을 P1 및 상기 S2의 기공률을 P2라 하면, $P1/P2 > 2$ 를 만족할 수 있다.
- [0091] 상기 S2의 기공률(P2)은 상기 세라믹 본체(110)의 상면(5) 또는 하면(6)에 인접한 영역(S2)의 면적당 기공의 면적의 비율로 정의할 수 있다.
- [0092] 상기 S1의 기공률(P1) 및 상기 S2의 기공률(P2)이 $P1/P2 > 2$ 를 만족하도록 조절함으로써, 열충격, 전해충격 등의 외부 충격을 완화할 수 있어 고신뢰성, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0093] 상기 P1/P2의 값이 2 이하일 경우에는 열충격 및 소성 크랙의 문제가 발생할 수 있다.
- [0094] 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터는 상기의 특징을 제외하고는 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 특징과 동일하므로 여기서는 생략하도록 한다.
- [0095] 이하, 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 설명한다.
- [0096] 도 7a 내지 도 7f는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 개략적으로 나타내는 단면도 및 사시도이다.
- [0097] 도 7a에 도시된 바와 같이, 세라믹 그린시트(112a) 위에 소정의 간격(d3)을 두고 복수 개의 스트라이프형 제1 내부전극 패턴(121a)을 형성한다. 상기 복수 개의 스트라이프형 제1 내부전극 패턴(121a)은 서로 평행하게 형성될 수 있다.
- [0098] 상기 소정의 간격(d3)은 내부전극이 서로 다른 극성을 갖는 외부전극과 절연되기 위한 거리로써, 도 5에 도시된 $d2 \times 2$ 의 거리로 이해될 수 있다.
- [0099]
- [0100] 상기 세라믹 그린시트(112a)는 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 페이스트로 형성될 수 있다.

- [0101] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨(BaTiO_3)계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬(SrTiO_3)계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨(BaTiO_3) 파우더가 사용될 수 있다. 상기 세라믹 그린시트(112a)가 소성되면 세라믹 본체를 구성하는 유전체층(112)이 된다.
- [0102] 스트라이프형 제1 내부전극 패턴(121a)은 도전성 금속을 포함하는 내부전극 페이스트에 의하여 형성될 수 있다. 상기 도전성 금속은 이에 제한되는 것은 아니나, Ni, Cu, Pd, 또는 이들의 합금일 수 있다.
- [0103] 상기 세라믹 그린시트(121a) 상에 스트라이프형 제1 내부전극 패턴(121a)을 형성하는 방법은 특별히 제한되지 않으나, 예를 들면 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통해 형성될 수 있다.
- [0104] 또한, 도시되지 않았으나, 또 다른 세라믹 그린시트(112a) 위에 소정의 간격을 두고 복수 개의 스트라이프형 제2 내부전극 패턴(122a)을 형성할 수 있다.
- [0105] 이하, 제1 내부전극 패턴(121a)이 형성된 세라믹 그린시트는 제1 세라믹 그린시트로 지칭될 수 있고, 제2 내부전극 패턴(122a)이 형성된 세라믹 그린시트는 제2 세라믹 그린시트로 지칭될 수 있다.
- [0106] 다음으로, 도 7b에 도시된 바와 같이, 스트라이프형 제1 내부전극 패턴(121a)과 스트라이프형 제2 내부전극 패턴(122a)이 교차 적층되도록 제1 및 제2 세라믹 그린시트를 번갈아가며 적층할 수 있다.
- [0107] 이후, 상기 스트라이프형 제1 내부전극 패턴(121a)은 제1 내부전극(121)을 형성할 수 있고, 스트라이프형 제2 내부전극 패턴(122a)은 제2 내부전극(122)을 형성할 수 있다.
- [0108] 도 7c는 본 발명의 일 실시예에 따라 제1 및 제2 세라믹 그린 시트가 적층된 세라믹 그린시트 적층체(210)를 도시하는 단면도이고, 도 7d는 제1 및 제2 세라믹 그린 시트가 적층된 세라믹 그린시트 적층체(210)를 도시하는 사시도이다.
- [0109] 도 7c 및 도 7d를 참조하면, 복수 개의 평행한 스트라이프형 제1 내부전극 패턴(121a)이 인쇄된 제1 세라믹 그린시트와 복수 개의 평행한 스트라이프형 제2 내부전극 패턴(122a)이 인쇄된 제2 세라믹 그린시트는 서로 번갈아가며 적층되어 있다.
- [0110] 보다 구체적으로, 제1 세라믹 그린시트에 인쇄된 스트라이프형 제1 내부 전극 패턴(121a)의 중앙부와 제2 세라믹 그린시트에 인쇄된 스트라이프형 제2 내부전극 패턴(122a) 사이의 간격(d_3)이 증첩되도록 적층될 수 있다.
- [0111] 다음으로, 도 7d에 도시된 바와 같이, 상기 세라믹 그린시트 적층체(210)는 복수개의 스트라이프형 제1 내부전극 패턴(121a) 및 스트라이프형 제2 내부전극 패턴(122a)을 가로지르도록 절단될 수 있다. 즉, 상기 세라믹 그린시트 적층체(210)는 C1-C1 절단선을 따라 막대형 적층체(220)로 절단될 수 있다.
- [0112] 보다 구체적으로, 스트라이프형 제1 내부전극 패턴(121a) 및 스트라이프형 제2 내부전극 패턴(122a)은 길이 방향으로 절단되어 일정한 폭을 갖는 복수 개의 내부전극으로 분할될 수 있다. 이때, 적층된 세라믹 그린시트도 내부전극 패턴과 함께 절단된다. 이에 따라 유전체층은 내부전극의 폭과 동일한 폭을 갖도록 형성될 수 있다.
- [0113] 상기 막대형 적층체(220)의 절단면으로 제1 및 제2 내부전극의 말단이 노출될 수 있다. 상기 막대형 적층체의 절단면은 각각 막대형 적층체의 제1 측면 및 제2 측면으로 지칭될 수 있다.

- [0114] 상기 세라믹 그린시트 적층체를 소성한 이후에 막대형 적층체로 절단될 수 있다. 또한, 상기 세라믹 그린시트를 막대형 적층체로 절단한 이후에 소성을 수행할 수 있다. 이에 제한되는 것은 아니나, 상기 소성은 1100℃ 내지 1300℃의 N₂-H₂ 분위기에서 수행될 수 있다.
- [0115] 다음으로, 도 7e에 도시된 바와 같이, 상기 막대형 적층체(220)의 제1 및 제2 측면 각각에 제1 사이드 부(113a) 및 제2 사이드 마진부(114a)를 형성할 수 있다. 제2 사이드 마진부(114a)는 명확하게 도시되지 않고, 점선으로 그 윤곽을 도시하였다.
- [0116] 상기 막대형 적층체(220)의 제1 및 제2 측면은 도 7c에 도시한 적층 본체(111)의 제1 측면(1) 및 제2 측면(2)에 대응하는 것으로 이해될 수 있다.
- [0117] 상기 제1 및 제2 사이드 마진부(113a, 114a)는 막대형 적층체(220)에 세라믹 분말을 포함하는 세라믹 슬러리로 형성될 수 있다.
- [0118] 상기 세라믹 슬러리는 세라믹 파우더, 유기 바인더 및 유기 용제를 포함하는 것으로, 제1 및 제2 사이드 마진부(113a, 114a)가 원하는 두께를 갖도록 세라믹 슬러리의 양을 조절할 수 있다.
- [0119] 상기 막대형 적층체(220)의 제1 및 제2 측면에 세라믹 슬러리를 도포하여 제1 및 제2 사이드 마진부(113a, 114a)를 형성할 수 있다. 상기 세라믹 슬러리의 도포 방법은 특별히 제한되지 않으며, 예를 들면 스프레이 방식으로 분사하거나, 롤러를 이용하여 도포될 수 있다.
- [0120] 또한, 상기 막대형 적층체를 세라믹 슬러리에 딥핑(dipping)하여 막대형 적층체의 제1 및 제2 측면에 제1 및 제2 사이드 마진부(113a, 114a)를 형성할 수 있다.
- [0121] 상술한 바와 같이, 상기 제1 및 제2 사이드 마진부의 두께는 18 μ m이하로 형성될 수 있다. 상기 제1 및 제2 사이드 마진부의 두께는 상기 내부전극의 말단이 노출되는 막대형 적층체의 제1 측면 또는 제2 측면으로부터 정의될 수 있다.
- [0122] 다음으로, 도 7e 및 도 7f에 도시된 바와 같이, 제1 및 제2 사이드 마진부(113a, 114a)가 형성된 상기 막대형 적층체(220)를 C2-C2 절단선을 따라 개별적인 칩 사이즈에 맞게 절단할 수 있다. 도 7c는 상기 C2-C2 절단선의 위치를 파악하는데 참조될 수 있다.
- [0123] 막대형 적층체(220)를 칩 사이즈로 절단함에 따라, 적층 본체(111)와 적층 본체의 양 측면에 형성된 제1 및 제2 사이드 마진부(113, 114)를 갖는 세라믹 본체가 형성될 수 있다.
- [0124] 상기 막대형 적층체(220)를 C2-C2 절단선을 따라 절단함에 따라 중첩된 제1 내부전극의 중앙부와 제2 내부전극 사이에 형성된 소정의 간격(d3)이 동일한 절단선에 의하여 절단될 수 있다. 다른 관점에서는 제2 내부전극의 중앙부와 제1 내부전극 사이에 형성된 소정의 간격이 동일한 절단선에 의하여 절단될 수 있다.
- [0125] 이에 따라, 제1 내부전극 및 제2 내부전극의 일단은 C2-C2 절단선에 따른 절단면에 교대로 노출될 수 있다. 상기 제1 내부전극이 노출된 면은 도 6에 도시된 적층체의 제3 단면(3)으로 이해되고, 상기 제2 내부전극이 노출된 면은 도 6에 도시된 적층체의 제4 단면(4)으로 이해될 수 있다.
- [0126] 상기 막대형 적층체(220)를 C2-C2 절단선을 따라 절단함에 따라 스프라이트형 제1 내부전극 패턴(121a)간의 소정의 간격(d3)은 반으로 절단되어, 제1 내부전극(121)의 일단이 제4 단면으로부터 소정의 간격(d2)을 형성하도록 해준다. 또한, 제2 내부전극(122)이 제3 단면으로부터 소정의 간격을 형성하도록 해준다.

- [0127] 이후, 상기 제1 및 제2 내부전극의 일단과 연결되도록 상기 제3 단면 및 제4 단면 각각에 외부전극을 형성할 수 있다.
- [0128] 본 실시형태와 같이, 막대형 적층체(220)에 제1 및 제2 사이드 마진부를 형성하고, 칩 사이즈로 절단하는 경우 한번의 공정을 통하여 복수 개의 적층 본체(111)에 사이드 마진부를 형성할 수 있다.
- [0129] 또한, 도시되지 않았으나, 제1 사이드 마진부 및 제2 사이드 마진부를 형성하기 전에 막대형 적층체를 칩 사이즈로 절단하여 복수 개의 적층체를 형성할 수 있다.
- [0130] 즉, 막대형 적층체를 중첩된 제1 내부전극의 중앙부와 제2 내부전극 간에 형성된 소정의 간격이 동일한 절단선에 의하여 절단되도록 절단할 수 있다. 이에 따라, 제1 내부전극 및 제2 내부전극의 일단은 절단면에 교대로 노출될 수 있다.
- [0131] 이후, 상기 적층 본체의 제1 및 제2 측면에 제1 사이드 마진부 및 제2 사이드 마진부를 형성할 수 있다. 제1 및 제2 사이드 마진부의 형성방법은 상술한 바와 같다.
- [0132] 또한, 상기 제1 내부전극이 노출된 적층 본체의 제3 단면과 상기 제2 내부전극이 노출된 적층 본체의 제4 단면에 각각 외부전극을 형성할 수 있다.
- [0133] 본 발명의 다른 실시형태에 따르면, 적층체의 제1 및 제2 측면을 통하여 제1 및 제2 내부전극의 말단이 노출된다. 적층된 복수 개의 제1 및 제2 내부전극은 동시에 절단되어 상기 내부전극의 말단은 일 직선상에 놓일 수 있다. 이후, 상기 적층체의 제1 및 제2 측면에 제1 및 제2 사이드 마진부가 일괄적으로 형성된다. 상기 적층체 및 상기 제1 및 제2 사이드 마진부에 의하여 세라믹 본체가 형성된다. 즉, 상기 제1 및 제2 사이드 마진부는 세라믹 본체의 제1 및 제2 측면을 형성하게 된다.
- [0134] 이에 따라, 본 실시형태에 의하면, 상기 복수 개의 내부전극 말단으로부터 세라믹 본체의 제1 및 제2 측면까지의 거리는 일정하게 형성될 수 있다. 또한, 상기 제1 및 제2 사이드 마진부는 세라믹 페이스트에 의하여 형성되는 것으로, 두께는 얇게 형성될 수 있다.
- [0135] 또한, 세라믹 커패시터의 커버층(C)을 형성하는 세라믹 그린 시트 제조시 사용되는 세라믹 페이스트 내에 첨가되는 글라스(glass)의 함량을 조절함으로써, S1의 기공률(P1)이 $1 \leq P1 \leq 20$ 을 만족할 수 있고, 상기 S1의 기공률(P1) 및 상기 S2의 기공률(P2)이 $P1/P2 > 2$ 를 만족할 수 있다.
- [0136] 이로 인하여, 본 발명의 일 실시형태에 따르면 열충격, 전해충격 등의 외부 충격을 완화할 수 있어 고신뢰성, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0137] 아래의 표 1은 적층 세라믹 커패시터의 사이드 마진부의 평균 두께별 S1의 기공률(P1) 및 S1의 기공률(P1) 및 S2의 기공률(P2)의 비(P1/P2)에 따른 신뢰성을 비교한 표이다.

표 1

[0138]

Sample No.	사이드 마진부의 평균 두께 (μm)	S1 영역의 기공률(P1)	S1 영역의 기공률 및 S2 영역의 기공률의 비(P1/P2)	신뢰성 평가 (크랙 발생 개수/전체 개수)
*1	16	0.5	2.0	3/200
*2	17	0.5	2.0	2/200
*3	18	0.5	2.0	2/200
4	19	0.5	2.0	0/200
5	20	0.5	2.0	0/200
6	21	0.5	2.0	0/200

[0139] 상기 표 1을 참조하면, 시료 1 내지 3은 사이드 마진부의 평균 두께가 18 μm 이하인 경우로서, S1의 기공률(P1) 및 S1의 기공률(P1) 및 S2의 기공률(P2)의 비(P1/P2)가 본 발명의 수치 범위를 벗어날 경우 신뢰성 시험에서 문제가 생길 수 있음을 보인다.

[0140] 시료 4 내지 6은 사이드 마진부의 평균 두께가 18 μm 를 초과하는 경우로서, S1의 기공률(P1) 및 S1의 기공률(P1) 및 S2의 기공률(P2)의 비(P1/P2)가 본 발명의 수치 범위를 벗어나는 경우에도 신뢰성 평가에서 양호한 결과를 보인다.

[0141] 따라서, 후술하는 설명에 따라 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 사이드 마진부의 평균 두께가 18 μm 이하일 때 신뢰성 향상에 효과가 있음을 알 수 있다.

[0142] 아래의 표 2는 사이드 마진부의 평균 두께가 18 μm 이하인 경우 S1의 기공률(P1) 및 S1의 기공률(P1) 및 S2의 기공률(P2)의 비(P1/P2)에 따른 내습 특성 및 신뢰성을 비교한 표이다.

표 2

Sample No.	사이드 마진부의 평균 두께 (μm)	S1 영역의 기공률(P1)	S1 영역의 기공률 및 S2 영역의 기공률의 비(P1/P2)	내습 특성 평가	신뢰성 평가 (크랙 발생 개수/전체 개수)
7	4.5	2	2.3	○	0/200
8	6.2	1.3	7.8	○	0/200
9	10.3	1.5	6.9	○	0/200
10	7.6	10.2	2.5	○	0/200
11	4.5	8.4	3.4	○	0/200
12	9.2	5.8	4.1	○	0/200
*13	7.6	0.56	3.3	×	1/200
*14	4.5	0.9	5.0	×	3/200
*15	9.2	0.82	11.2	×	3/200
*16	8.9	6.5	1.4	×	5/200
*17	9.3	5.6	1.7	×	3/200
*18	5.6	9.2	0.6	×	3/200
19	13.5	4.2	2.3	○	0/200
20	12.9	4.5	2.5	○	0/200
21	12.1	4.2	4.1	○	0/200
22	8.9	6.5	3.4	○	0/200
23	9.3	20.0	3.3	○	0/200
24	5.6	9.2	5.0	○	0/200
25	7.6	18.4	5.7	○	0/200
26	4.5	5.8	6.7	○	0/200
27	9.2	16.5	14.2	○	0/200
*28	13.5	0.82	1.32	×	2/200
*29	12.9	0.52	1.09	×	4/200
*30	12.1	0.38	0.97	×	4/200

[0144] *: 비교예

[0145] 표 2에서 내습 특성 평가는 칩 200개를 기관에 실장한 후 습도 조건 8585(85 $^{\circ}\text{C}$, 85% 습도)에서 수행한 것이며, 신뢰성 평가는 칩을 연마후 파괴분석시 크랙이 발생하는지 여부로서 평가하였으며, 구체적으로 320 $^{\circ}\text{C}$ 납조에 2 초 동안 침지시킨 후 열충격 크랙 발생 여부 시험으로 진행되었다.

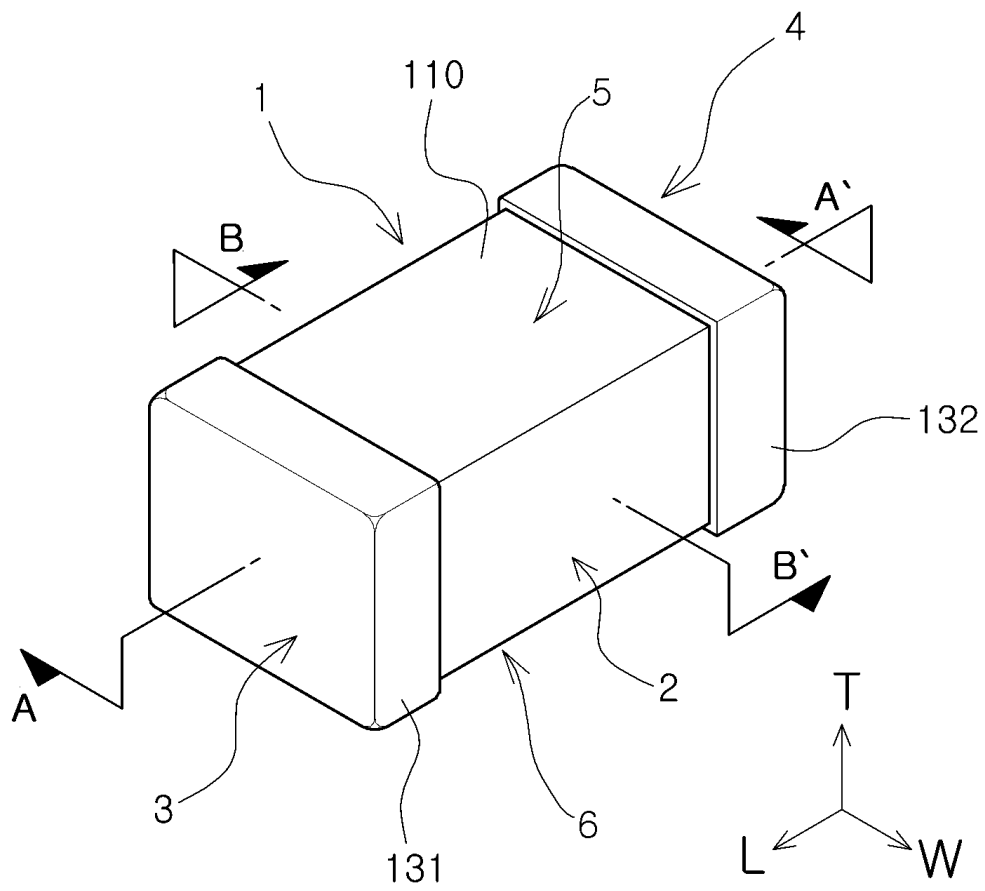
- [0146] 상기 표 2에서 내습 특성 평가에서는 양호한 경우를 ○, 불량인 경우를 ×로 표시하였다.
- [0147] 상기의 표 2를 통해서 알 수 있듯이, 상기 S1의 기공률(P1)이 $1 \leq P1 \leq 20$ 를 만족하고, S1의 기공률(P1) 및 S2의 기공률(P2)의 비(P1/P2)가 $P1/P2 > 2$ 를 만족하는 경우 내습 특성도 향상되며, 신뢰성도 향상됨을 알 수 있다.
- [0148] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

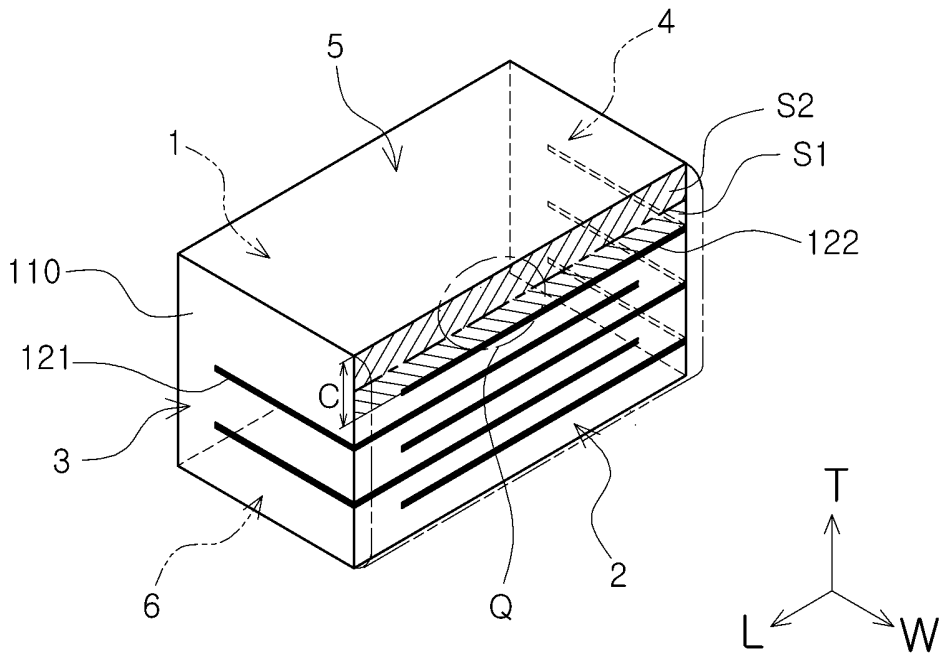
- [0149] 110: 세라믹 본체 111: 적층체
- 112: 유전체층 113, 114: 제1 및 제2 사이드 마진부
- 121, 122: 제1 및 제2 내부전극 131, 132: 제1 및 제2 외부전극
- 112a: 세라믹 그린시트
- 121a, 122a: 스트라이프형 제1 및 제2 내부전극 패턴
- 210: 세라믹 그린시트 적층체 220: 막대형 적층체
- C: 커버층 p: 기공
- S1: 커버층과 사이드 마진부의 경계면에서 내부전극에 인접한 영역
- S1: 커버층과 사이드 마진부의 경계면에서 세라믹 본체의 상면 또는 하면에 인접한 영역
- P1: S1 영역의 기공률 P2: S2 영역의 기공률

도면

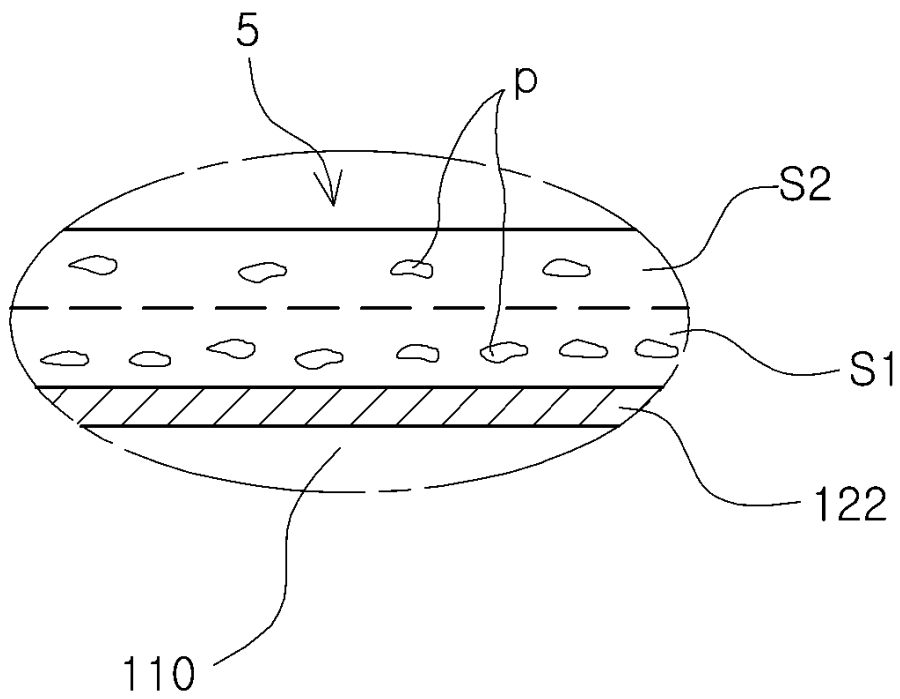
도면1



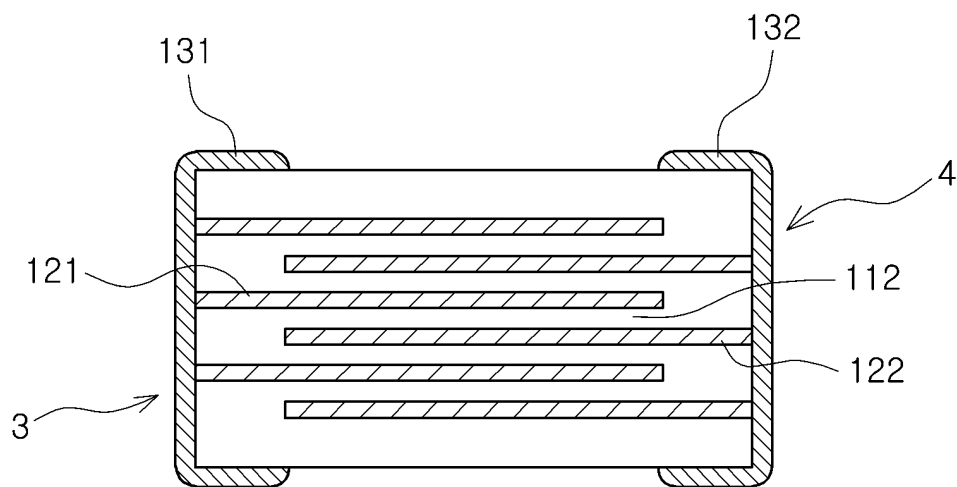
도면2



도면3

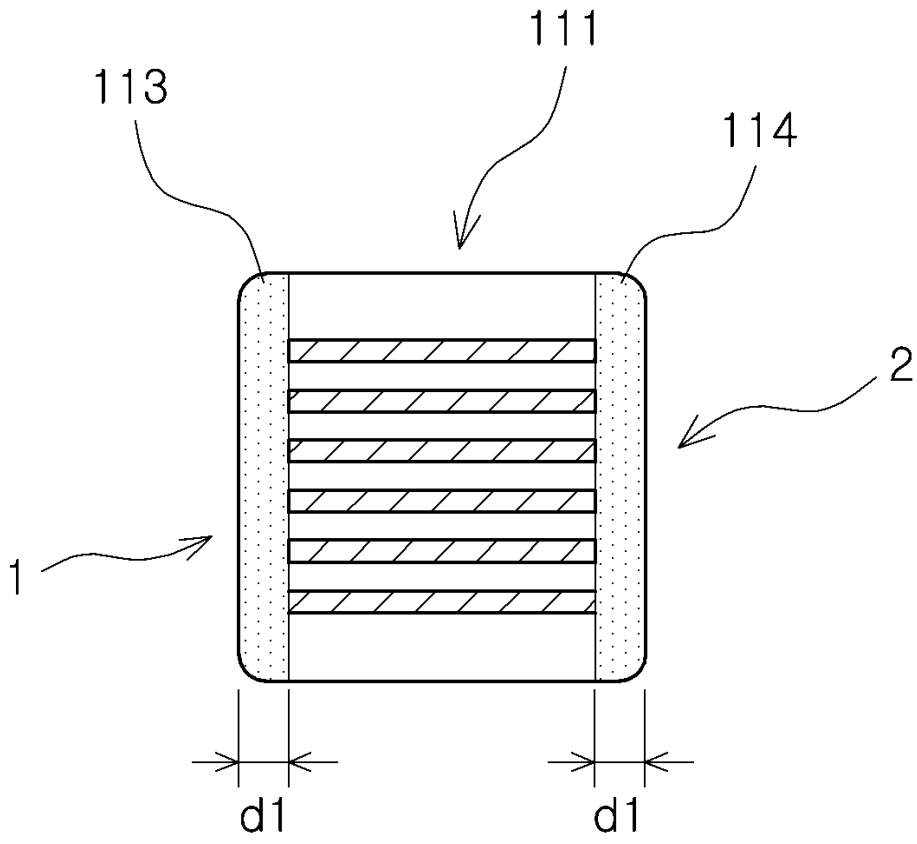


도면4



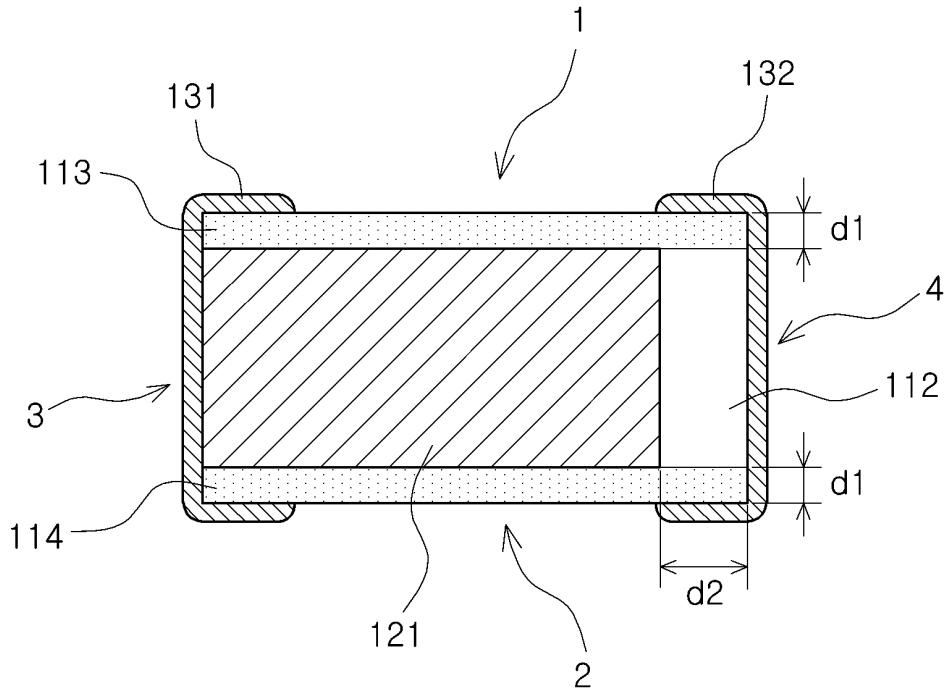
A-A'

도면5

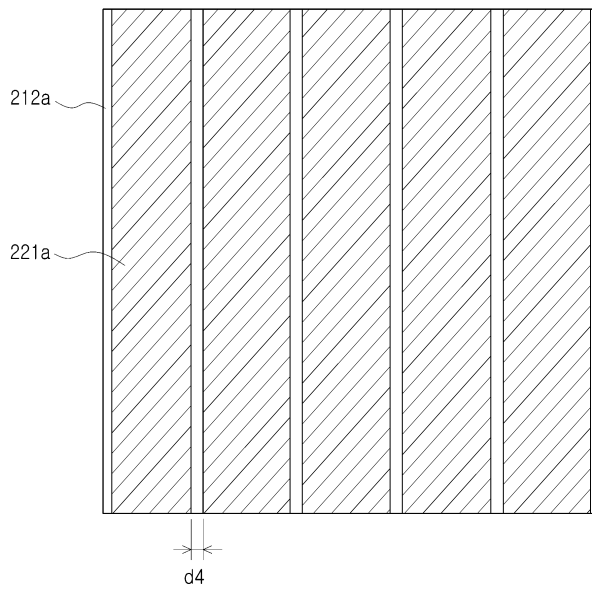


B-B'

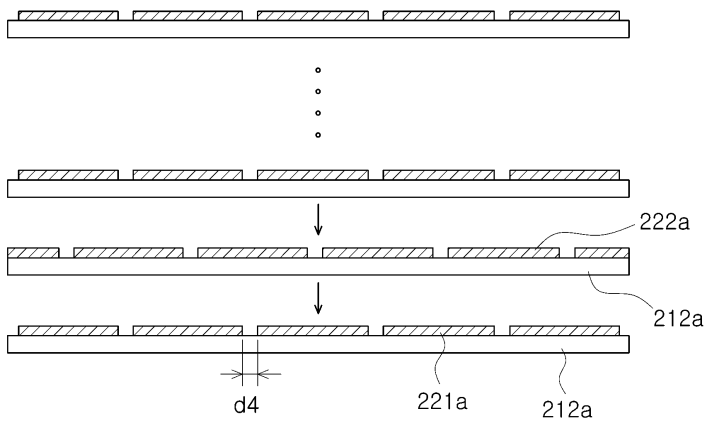
도면6



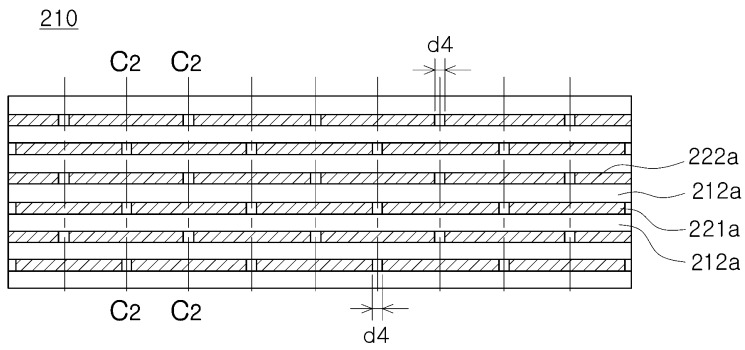
도면7a



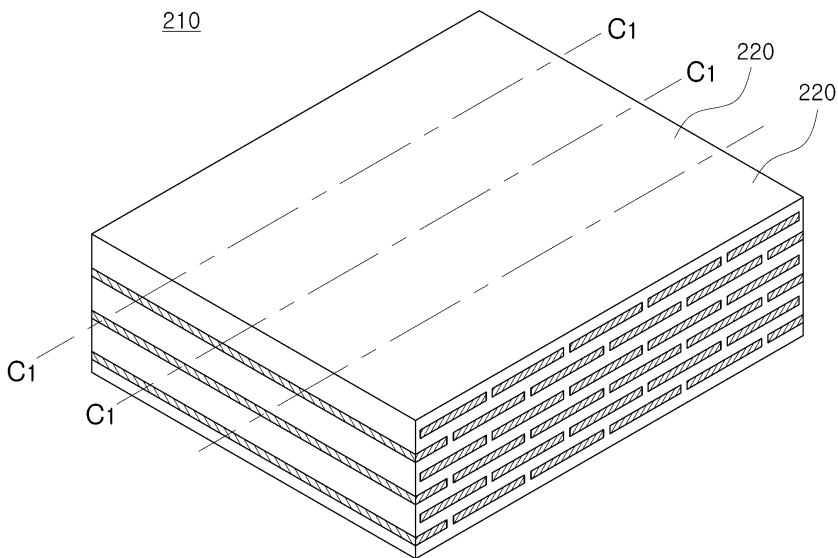
도면7b



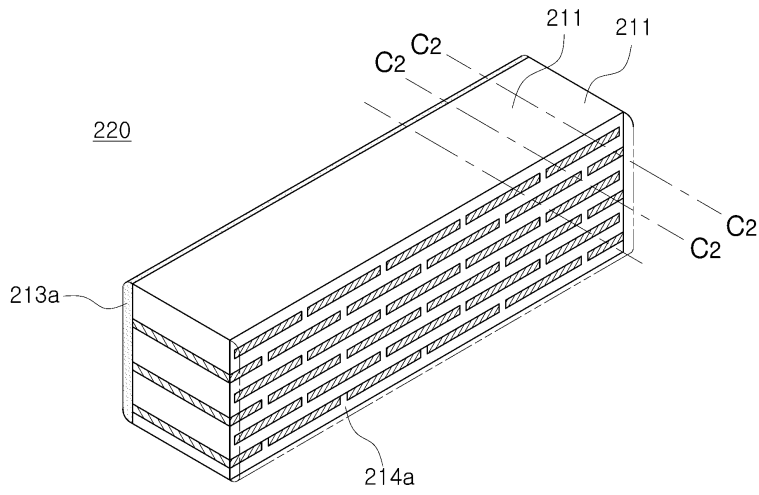
도면7c



도면7d



도면7e



도면7f

