

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/02 (2006.01)

G11C 11/16 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02827370.2

[45] 授权公告日 2009 年 4 月 29 日

[11] 授权公告号 CN 100483549C

[22] 申请日 2002.11.20 [21] 申请号 02827370.2

[30] 优先权

[32] 2001.11.20 [33] US [31] 09/988,627

[86] 国际申请 PCT/US2002/037227 2002.11.20

[87] 国际公布 WO2003/044802 英 2003.5.30

[85] 进入国家阶段日期 2004.7.20

[73] 专利权人 微米技术有限公司

地址 美国爱达荷州

[72] 发明人 G·哈斯 J·巴克

[56] 参考文献

US6314014B1 2001.11.6

US5883827A 1999.3.16

审查员 曾 威

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 王忠忠

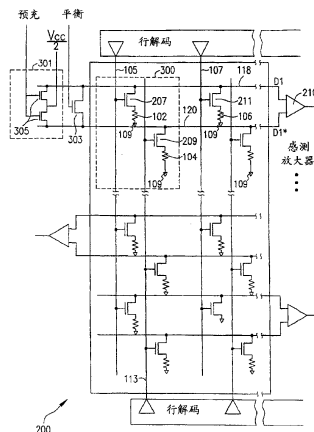
权利要求书 8 页 说明书 6 页 附图 6 页

[54] 发明名称

电阻存储器件及其操作和形成方法及包含它的计算机系统

[57] 摘要

公开了一种方法和设备，用于使用互补 PCRAM 元件来感测可编程导体随机存取存储器 (PCRAM) 的阻态，一个保持被感测的阻态和另一个保持互补阻态。感测放大器通过高和低电阻元件来检测电压释放，以确定被读取元件的阻态。



1. 一种操作可编程导体存储器件的方法，包括：

在第一和第二可编程导体存储元件中存储二进制值为相应的阻态，其中存储在第一可编程导体存储元件中的阻态与同时存储在第二可编程导体存储元件中的阻态互补；

通过经所述存储元件释放相应的电压并比较释放电压，确定存储在所述可编程导体存储元件之一中的二进制值；以及

重写仅在存储了低阻态的所述第一和第二可编程导体存储元件其中之一中存储的二进制值。

2. 如权利要求 1 中的方法，其中所述释放包括：

将互补位线预充到一个电压值；和

通过所述第一和第二可编程导体存储元件来分别释放每个所述互补位线上的电压值。

3. 如权利要求 2 中的方法，其中通过启用分别关联于每个所述存储元件的存取晶体管，所述互补位线上的所述预充电电压值通过所述相应的第一和第二可编程导体存储元件释放。

4. 如权利要求 3 中的方法，还包括在启用所述存取晶体管之前完成所述预充。

5. 如权利要求 4 中的方法，还包括在启用所述存取晶体管之前平衡所述位线。

6. 如权利要求 3 中的方法，其中所述比较包括：

确定与一个存储元件关联的释放电压是否是两个释放电压中的较高者或者较低者，如果与所述一个存储元件关联的释放电压为较高电压则输出第一二进制值，如果与所述一个存储元件关联的释放电压为较低电压则输出第二二进制值。

7. 如权利要求 6 中的方法，还包括将具有较高释放电压的位线设定为第一预设电压态，并且将具有较低释放电压的位线设定为第二预设电压态。

8. 如权利要求 7 中的方法，其中所述第一预设电压比所述第二预设电压更高。

9. 如权利要求 8 中的方法，其中所述第二预设电压为地电压。

10. 如权利要求 7 中的方法，还包括在所述位线被设为所述第一

和第二预设电压态之前，禁用所述存取晶体管。

11. 如权利要求 7 中的方法，还包括当所述位线被设为所述第一和第二预设电压态时，启用至少其中一个所述存取晶体管。

12. 如权利要求 1 的方法，其中所述重写的操作包括：

在执行所述确定操作中所使用的传感放大器电路的操作期间，将耦合到所述一个可编程导体存储元件的行线的电压电平从地电平增大到系统电压电平。

13. 一种可编程电阻存储器件，包括：

第一和第二位线；

与一对互补存储单元相关联的第一和第二可编程电阻存储元件，用于分别存储数据位的互补二进制数字值为不同的电阻值；

第一和第二存取器件，用于分别将所述第一和第二存储元件耦合到所述第一和第二位线；以及

传感放大器，具有分别耦合到所述第一和第二位线的输入端，用于读取在所述存储元件其中之一中存储为电阻值的所述数据位。

14. 如权利要求 13 的器件，还包括预充电电路，用于在读操作之前将所述位线预充电到公共预充电电压。

15. 如权利要求 13 的器件，还包括一对分别耦合到所述第一和第二存取器件的行线；以及

用于同时激活所述第一和第二行线、并因此激活所述第一和第二存取器件的电路。

16. 如权利要求 15 的器件，其中所述第一和第二存取器件是存取晶体管。

17. 如权利要求 15 的器件，其中当所述存取器件被激活时，所述位线上的所述预充电电压通过所述第一和第二可编程电阻存储元件的相应电阻来释放，所述传感放大器确定所述可编程电阻存储元件中所述的一个是否存储高阻态或是低阻态，并且输出对应于所存储阻态的二进制值。

18. 如权利要求 14 的器件，其中所述位线具有存储了所述预充电电压的相关的寄生电容。

19. 如权利要求 18 的器件，其中所述寄生电容存储了大于所述预充电电压的电压值。

20. 如权利要求 15 的器件, 其中以在读操作期间防止所述可编程电阻存储元件中的至少一个自动刷新的方式, 来激活所述行线。

21. 如权利要求 13 的器件, 其中所述第一和第二可编程电阻存储元件位于不同的存储器阵列中。

22. 如权利要求 14 的器件, 还包括平衡电路, 用于平衡所述位线上的电压。

23. 一种存储器件, 包括:

多个第一和第二可编程电阻存储单元对, 每对存储单元包括:

与一对互补存储单元相关联的第一和第二可编程电阻存储元件, 用于分别存储数据位的互补二进制数字值为不同的电阻值;

第一和第二存取器件, 用于分别将所述第一和第二可编程电阻存储元件耦合到第一和第二位线; 以及

传感放大器, 具有分别耦合到所述第一和第二位线的输入端, 用于读取在所述第一和第二可编程电阻存储元件其中之一中存储为电阻值的所述数据位。

24. 如权利要求 23 的器件, 还包括预充电电路, 用于在读操作之前将所述位线预充电到公共预充电电压。

25. 如权利要求 23 的器件, 还包括一对分别耦合到所述第一和第二存取器件的行线; 以及

用于同时激活所述第一和第二行线、并因此激活所述第一和第二存取器件的电路。

26. 如权利要求 25 的器件, 其中所述第一和第二存取器件是存取晶体管。

27. 如权利要求 25 的器件, 其中当所述存取器件被激活时, 所述位线上的所述预充电电压通过所述第一和第二可编程电阻存储元件的相应电阻来释放, 所述传感放大器确定所述第一和第二可编程电阻存储元件中所述的一个是否存储高阻态或是低阻态, 并且输出对应于所存储阻态的二进制值。

28. 如权利要求 27 的器件, 其中所述位线具有存储了所述预充电电压的相关的寄生电容。

29. 如权利要求 28 的器件, 其中所述寄生电容存储了大于所述预充电电压的电压值。

30. 如权利要求 23 的器件, 其中所述第一和第二可编程电阻存储元件位于公共的存储器阵列中。

31. 如权利要求 23 的器件, 其中所述第一和第二可编程电阻存储元件位于不同的存储器阵列中。

32. 如权利要求 24 的器件, 还包括平衡电路, 用于平衡所述位线上的预充电电压。

33. 如权利要求 23 的器件, 其中所述存储器件设置在存储器模块上。

34. 如权利要求 33 的器件, 其中所述存储器模块是插入式存储器模块。

35. 一种计算机系统, 包括:

处理器;

耦合到所述处理器的存储器系统, 所述存储器系统包括:

第一和第二位线;

与一对互补存储单元相关联的第一和第二可编程电阻存储元件, 用于分别存储数据位的互补二进制数字值为不同的电阻值;

第一和第二存取器件, 用于分别将所述第一和第二可编程电阻存储元件耦合到所述第一和第二位线; 以及

传感放大器, 具有分别耦合到所述第一和第二位线的输入端, 用于读取在所述第一和第二可编程电阻存储元件其中之一中存储为电阻值的所述数据位。

36. 如权利要求 35 的系统, 还包括预充电电路, 用于在读操作之前将所述位线预充电到公共预充电电压。

37. 如权利要求 35 的系统, 还包括一对分别耦合到所述第一和第二存取器件的行线; 以及

用于同时激活所述第一和第二行线、并因此激活所述第一和第二存取器件的电路。

38. 如权利要求 37 的系统, 其中所述第一和第二存取器件是存取晶体管。

39. 如权利要求 37 的系统, 其中当所述存取器件被激活时, 所述位线上的所述预充电电压通过所述第一和第二可编程电阻存储元件的相应电阻来释放, 所述传感放大器确定所述第一和第二可编程电阻存储元件中所述的一个是否存储高阻态或是低阻态, 并且输出对应于所

存储阻态的二进制值。

40. 如权利要求 36 的系统，其中所述位线具有存储了所述预充电电压的相关的寄生电容。

41. 如权利要求 40 的系统，其中所述寄生电容存储了大于所述预充电电压的电压值。

42. 如权利要求 35 的系统，其中所述第一和第二可编程电阻存储元件位于公共的存储器阵列中。

43. 如权利要求 35 的系统，其中所述第一和第二可编程电阻存储元件位于不同的存储器阵列中。

44. 如权利要求 35 的系统，还包括平衡电路，用于平衡所述位线上的电压。

45. 一种操作可编程电阻存储器件的方法，包括：

在第一和第二可编程电阻存储元件中存储二进制值为相应的阻态，其中存储在第一可编程电阻存储元件中的阻态与同时存储在第二可编程电阻存储元件中的阻态互补；

通过经所述可编程电阻存储元件释放相应的电压并比较释放电压，确定存储在所述可编程电阻存储元件之一中的二进制值；以及

在用于执行所述确定操作的传感放大器的激活期间，将耦合到所述第一和第二可编程电阻存储元件每一个的字线的电压电平维持在地电平。

46. 一种操作可编程电阻存储器件的方法，包括：

在第一和第二可编程电阻存储元件中存储二进制值为相应的不同阻态，

通过经所述第一和第二可编程电阻存储元件释放相应的电压并比较释放电压，确定存储在所述存储元件之一中的二进制值。

47. 如权利要求 46 的方法，其中所述释放包括：

预充电互补的位线，其分别可切换地耦合到所述第一和第二可编程电阻存储元件、耦合到公共电压值；以及

通过所述第一和第二可编程电阻存储元件中的每一个，分别释放所述互补位线每一个上的公共电压值。

48. 如权利要求 47 的方法，其中通过启用分别与每个所述可编程电阻存储元件相关联的存取晶体管，将所述互补位线上的所述预充电

电压值通过所述相应的可编程电阻存储元件而释放。

49. 如权利要求 48 的方法，还包括在启用所述存取晶体管之前完成所述预充电。

50. 如权利要求 49 的方法，还包括在启用所述存取晶体管之前平衡所述位线。

51. 如权利要求 48 的方法，其中所述比较包括：

确定与一个存储元件关联的释放电压是否是两个释放电压中的较高者或者较低者，如果与所述一个存储元件关联的释放电压为较高电压则输出第一二进制值，如果与所述一个存储元件关联的释放电压为较低电压则输出第二二进制值。

52. 如权利要求 51 中的方法，还包括将具有较高释放电压的位线设定为第一预设电压态，并且将具有较低释放电压的位线设定为第二预设电压态。

53. 如权利要求 52 中的方法，其中所述第一预设电压比所述第二预设电压更高。

54. 如权利要求 53 中的方法，其中所述第二预设电压为地电压。

55. 如权利要求 52 中的方法，还包括在所述位线被设为所述第一和第二预设电压态之前，禁用所述存取晶体管。

56. 如权利要求 52 中的方法，还包括在当所述位线被设为所述第一和第二预设电压态的时间期间，启用至少其中一个所述存取晶体管。

57. 一种制造可编程电阻存储器件的方法，所述方法包括：

形成第一和第二位线；

形成与一对互补存储单元相关联的第一和第二可编程电阻存储元件，用于分别存储数据位的互补二进制数字值为不同的电阻值；

形成第一和第二存取晶体管，用于分别将所述第一和第二存储元件耦合到所述第一和第二位线；

形成预充电电路，用于将所述第一和第二位线预充电到第一电压；

形成相应的行线，用于操作所述存取晶体管以将所述存储元件耦合到相应的位线；以及

形成传感放大器，其具有分别耦合到所述位线的输入端。

58. 如权利要求 57 的方法，还包括形成行解码器，用于解码行地址信号，并且选择性地且同时地启用所述字线。

59. 如权利要求 57 的方法, 其中所述可编程电阻存储元件是制作在公共的存储器阵列中的。

60. 如权利要求 57 的方法, 其中所述可编程电阻存储元件是制作在不同的存储器阵列中的。

61. 如权利要求 57 的方法, 还包括形成用于平衡所述位线的平衡电路。

62. 一种操作可编程电阻存储器件的方法, 该方法包括:  
在与一对互补存储单元相关联的第一和第二可编程电阻存储元件中, 分别存储数据位的互补二进制数字值为不同的电阻值; 以及  
读取在所述存储元件其中之一中存储为电阻值的所述数据位。

63. 如权利要求 62 的方法, 还包括:  
在所述读操作之前, 将可切换地耦合到所述第一和第二可编程电阻存储元件的相应位线预充电到公共预充电电压。

64. 如权利要求 63 的方法, 还包括:  
通过所述第一和第二可编程电阻存储元件的相应电阻, 来释放所述位线上的所述预充电电压;  
确定所述其中一个存储元件是否存储高阻态或是低阻态; 以及  
输出对应于所存储阻态的二进制值。

65. 如权利要求 63 的方法, 其中所述预充电的操作还包括:  
以与所述位线相关联的寄生电容来存储所述预充电电压。

66. 如权利要求 63 的方法, 还包括:  
平衡所述位线上的所述预充电电压。

67. 一种形成存储器件的方法, 该方法包括:  
形成存储单元阵列, 其中所述形成操作还包括:  
形成第一和第二位线;  
形成与一对互补存储单元相关联的第一和第二可编程电阻存储元件, 用于分别存储数据位的互补二进制数字值为不同的电阻值;  
形成第一和第二存取晶体管, 用于分别将所述第一和第二存储元件耦合到所述第一和第二位线;  
形成预充电电路, 用于将所述第一和第二位线预充电到第一电压;  
形成相应的行线, 用于操作所述存取晶体管以将所述存储元件耦合到相应的位线; 以及



形成传感放大器，其具有分别耦合到所述位线的输入端。

68. 如权利要求 67 的方法，其中所述第一形成操作还包括形成行解码器，用于解码行地址信号，并且选择性地且同时地启用所述字线。

69. 如权利要求 67 的方法，其中所述第一形成操作还包括形成用于平衡所述位线的平衡电路。

## 电阻存储器件及其操作和形成方法及包含它的计算机系统

### 技术领域

本发明涉及一种用于感测可编程导体随机存取存储器 (PCRAM) 元件的电阻的方法和设备。

### 背景技术

PCRAM 器件将二进制数据存储为两个不同的阻值，一个比另一个更高。该阻值代表特定的二进制值逻辑“0”或逻辑“1”。当感测 PCRAM 器件的阻值时，一般将经历读操作的存储单元电阻与参考单元电阻作比较来确定被读取单元的阻值，以及它的逻辑态。此方法在美国专利 No. 5, 883, 827 中被公开。然而，此方法具有一些局限性。

如果参考单元有缺陷，并且阵列中的一列存储单元使用相同的缺陷参考单元，则整列存储单元将得到错误的阻值读取结果。另外，需要专用电路来将阻值写入参考单元，这样设置的感测放大器的电路将复杂而庞大。

典型地，PCRAM 器件的感测方案还倾向于具有不同于一般使用在典型 DRAM 电路中的独特结构。尽管 PCRAM 与 DRAM 的不同之处在于它们在电阻性存储元件中存储二进制值而不是存储为电容器上的电荷，尽管 PCRAM 为非易失性的，其中 DRAM 中使用的电容器结构是易失性的，然而期望的是，如果两种器件的读取和写入电路尽可能的类似，这样现有的 DRAM 存储器件结构可以容易地适应于读取和写入 PCRAM 器件。

### 发明内容

本发明提供一种 PCRAM 存储器件和其操作方法，其利用了类似于一些 DRAM 存储器件中使用的读取结构。使用了包括第一和第二可编程导体存储元件的一对互补 PCRAM 存储单元，每个连接到相应的存取晶体管。写操作期间，第一和第二存储元件以互补二进制值写入，就是说：如果第一存储元件被写入高阻态，那么第二存储元件被写入低阻态；反之，如果第一存储元件被写入低阻态，则第二存储元件被写入较高的阻态。

例如在第一存储元件的读操作期间，感测放大器被连接使得其相应的输入被耦合以接收通过第一和第二存储元件释放的相应的预充电电压。感测放大器读取通过两个存储元件的释放电压来确定哪一个是更大的电压，从而确定被读取存储单元的阻值(高或低)和逻辑态(高或低)。

### 附图说明

通过下面联系相应附图提供的本发明的典型实施例的详细描述，本发明的上述和其他特征与优点将变得更加明晰。附图中：

图 1 显示一种实例性的 PCRAM 器件；

图 2 为描述本发明一个方面的示意图。

图 3 为描述本发明另一方面的示意图。

图 4 为描述本发明另一方面的示意图。

图 5 显示了本发明使用的电容器的放电率特性曲线。

图 6 显示计算机系统中使用的本发明。

### 具体实施方式

本发明使用一种感测放大器结构，它与一些常规 DRAM 器件中使用的结构有些类似，用来感测 PCRAM 存储单元的阻态。在本发明中，二进制值在第一 PCRAM 单元中存储为阻值，同时其互补阻值存储在第二 PCRAM 单元中。在第一 PCRAM 单元读出期间，两个 PCRAM 单元均被使用以将预充电电压释放到各自的感测放大器的输入，该感测放大器读取释放电压来确定阻值，从而确定经历读操作的第一 PCRAM 单元中存储的二进制值。

图 1 图示了一种提供在根据本发明构造的一部分 PCRAM 存储器件内部的示例性单元设置。图中的 PCRAM 存储元件 102 具有一个硫属化合物玻璃体和下方 103 和上方 104 导体。众所周知，可编程存储单元具有两个稳定的阻态：一个高阻和一个低阻。一般地，当闲置时存储器具有高阻态，但是可以在导体 103 和 104 上适当地施加偏置电压来将其编程为低阻态。典型地，PCRAM 存储元件的低阻态其特征在于，在导体 103 和 104 之间穿过硫属化合物玻璃体或沿硫属化合物玻璃体表面的树枝晶生长。当没有这种树枝晶生长时高阻态存在。生长的树

枝晶是相对不易失的，原因在于在除去偏置电压后树枝晶将保持在适当的位置持续相对长的时间，例如几天或几周。

图 1 进一步显示，PCRAM 存储元件 102 通过导电栓塞 101 耦合到存取晶体管 207 上，此晶体管通过形成晶体管 207 的栅极结构的字线 105 驱动。存取晶体管通过导电栓塞 101 耦合到 PCRAM 存储元件的其中一个导体 103 上。PCRAM 元件的另一个导体 104 通过一个公共单元板 109 连接到偏置电压上，其是对于存储器件中提供的其他 PCRAM 存储元件所共用的。

图 1 图示了一个普通的 PCRAM 结构，其中两个相邻的存储单元 207、211 耦合到公共位线 118 上。这样，图 1 还显示了另一个通过字线 107 驱动的存取晶体管 211，它通过导电栓塞 99 与另一个 PCRAM 存储元件 104 相连接，该 PCRAM 存储元件 104 还依次连接到公共单元板 109。存取晶体管 211 还具有连接到位线 118 的一个端子。

图 2 显示一个使用图 1 描述的单元结构的存储器阵列的电路图方案。这样，图 2 的上面部分图示了耦合到相应的 PCRAM 存储元件 102 和 106 的晶体管 207 和 211，该存取晶体管 207 和 211 将存储元件 102 和 106 耦合到位线 118。

同样在图 2 中显示的，在存储阵列中还配置有互补位线  $D1'120$ ，另一组存取晶体管连接到其上，其依次连接到其他 PCRAM 存储元件。为了简化讨论，一个单独互补 PCRAM 单元对表示为 300。它包括晶体管 207 和关联的 PCRAM 存储元件 102，其耦合到位线 118 ( $D1$ )，还包括存取晶体管 209 和关联的 PCRAM 存储元件 124，其耦合到位线 120 ( $D1'$ )。

写操作期间，耦合到晶体管 207 的行线 105 和耦合到晶体管 209 的行线 113 被启动，以使如果 PCRAM 存储元件 102 被写为高阻态，PCRAM 元件 124 被写为低阻态，反之亦然。用这种方法，PCRAM 存储元件 102 和 124 一起被存取并总是存储互补的电阻数字值。因而假设 PCRAM 存储元件 102 是被写入和读取的基本元件，耦合到位线 118 和 120 的感测放大器 210 将通过比较存储器读操作期间位线 118 上释放的预充电电压与位线 120 上释放的预充电电压来读取 PCRAM 存储元件 102 的值。

因而，存储器读取之前，预充电电压通过预充电电路 301 施加到互补位线 118 和 120 上。通过启动晶体管 305 的预充线上的逻辑电路来启动预充电电路，以提供电压（例如  $V_{cc}/2$ ）到两个位线 118 和 120。

还可以提供平衡电路 303, 该平衡电路 303 是在预充电路启动后通过平衡信号而被启动的, 以确保线 118 和 120 上的电压相同。线 118 和 120 上的电压通过线上的寄生电容保持。预充和平衡(如果存在的话)电路被启动之后, 可以在互补单元对 300 上执行读操作。在图 3 中更详细地说明了此读操作, 图 3 为感测放大器 210 输入通路的简化。

对于互补位线 118 和 120 的寄生电容表示为  $C_1$  和  $C_1'$ 。相应的存取晶体管 207 和 209 如图示连接到它们各自的字线 105 和 113。还示出了 PCRAM 存储元件 102 和 124。正如注意到的, 二进制值在例如存储器 PCRAM 存储元件 102 中被存储为阻值。它或为高阻值或为低阻值, 而互补阻值将被存储在 PCRAM 存储元件 124 中。

在读操作期间, 施加在互补位线 118 和 120 上的预充电电压被允许通过存取晶体管 207 和 209 和通过存储元件 102 和 124 的相应阻值来释放。因为阻值不同, 一个高一个低, 因此位线  $D_1$  和  $D_1'$  (118, 120) 上的电压在读操作期间将分开。尽管初始施加在互补位线 118 和 120 上的电压为  $V_{CC}/2$ , 但是在读操作期间此电压实际上会稍微高出大约  $3\text{mV}$ , 原因是位线 118 和 120 上的寄生电容  $C_1$  和  $C_1'$  的存在, 以及晶体管 207 和 209 内部固有的栅-漏电容。

图 5 图示了读操作期间互补位线 118 和 120 上的电压。字线 105 和 113 的启动示出为脉冲信号, 并且最初存在于两个位线  $D_1$  和  $D_1'$  上的  $V_{CC}/2 + \text{大约 } 3\text{mV}$  的电压开始衰减。因为一个 PCRAM 存储元件, 如 102, 具有比另一个更高的电阻, 与低电阻如 124 相关联的位线上的电压将比耦合到更高阻值的位线如  $D_1$  上的电压衰减更快。这在图 5 中示出。

线  $D_1$  和  $D_1'$  上的两个电压的偏差逐渐增加。在字线 105 和 113 启动后预设时间处, 感测放大器 210 被启动。感测放大器具有如图 4 所示 DRAM 排列中通常使用的结构。这样的感测放大器包括 N 感测放大器锁存器 302 和 P 感测放大器锁存器 304。此结构如图 4 所示。

再回到图 5, N 感测放大器在  $t_1$  时刻首先被启动。当 N 感测放大器启动时, 具有较低电压的位线, 在本例中如  $D_1'$ , 立即被拉到地。随后, P 感测放大器在  $t_2$  时刻被启动, 其驱动较高电压线(如  $D_1$ )到  $V_{CC}$ 。因此在  $t_2$  时刻, 感测放大器 210 输出表示 PCRAM 存储元件 102 在高阻态的值  $V_{CC}$ 。

尽管图 5 图示了当 PCRAM 存储元件 102 具有比存储元件 104 更高

的电阻时产生的信号时序，但是显然，如果 PCRAM 存储元件 102 具有低阻态并且 PCRAM 存储元件 124 具有高阻态，则信号电平将颠倒。也就是说，图 5 中示出的信号图将使得位线 D1' 朝向 Vcc 而位线 D1 朝向地。

图 5 还说明了本发明的另一个方面。如图所示，对于读操作，行线 105、113 的电压从接近地电平升高到接近 Vcc 的正电平。此电压在感测放大器被使能之前 (t1 之前) 回到接近地电平。结果，没有读 PCRAM 存储元件的重写。如果期望这种 PCRAM 单元的重写，那么在感测放大器 210 工作期间，具有被写到低阻态的存储元件的行线 105、113 上的电压可能处于接近 Vcc 的电压电平，这会自动地将读单元重写 (刷新) 到低阻态。

因为可编程导体存储元件为电阻性的而不是电容性的存储元件，可能它们会比 DRAM 中典型的电容性存储元件花费更长的时间将位线拉高到 Vcc 和到地。假如这是真实的，比最新一代 DRAM 感测放大器运行稍慢的老式 DRAM 感测放大器设计还可以用于 PCRAM 存储单元。这样做的好处在于，这些老式的 DRAM 感测放大器已经表明可以有效率地进行工作，并且它们的测试架构是已经证实的。因此，可以制作由使用 DRAM 感测放大器的 PCRAM 存储元件构成的混合存储器，这样既具有 PCRAM 技术的优点，还可以快速和廉价的生产。

尽管如图 2 所示，互补可编程接触存储元件 102 和 106 以及相关联的存取晶体管和位线 D 和 D' 被配置在同一存储阵列中，但是，互补存储单元、存取晶体管和位线还可以被配置在相应的不同存储阵列中。

图 6 为使用根据本发明一个实施例建立的 PCRAM 存储器件 200 的基于处理器的系统 400 的框图。基于处理器的系统 400 可以是计算机系统、处理控制系统或使用处理器和关联存储器的任意其他系统。系统 400 包括中央处理单元 (CPU) 402，例如，通过总线 420 与 PCRAM 存储器件 408 和 I/O 器件 404 进行通信的微处理器。需要注意总线 420 可以是通常用在基于处理器系统中的一系列总线和桥，但仅仅为方便起见，总线 420 表示为单一总线。第二 I/O 器件 406 也被表示出来，但并不是实现本发明所必须的。基于处理器的系统 400 还包括只读存储器 (ROM) 410，并可以包括如本领域公知的，通过总线 420 还与 CPU 402 进行通信的外围设备，例如软驱 412 和光盘 (CD) ROM 驱动器 414。

为了容易与总线 420 连接或断开，一个或更多的存储设备 200 可以配置在插入式的存储模块 256 上，如 SIMM、DIMM 或者其他插入式存储模块。虽然参考特定的典型实施例已经描述和说明本发明，但应该理解只要不脱离本发明的精神和范围，很多修正和替换都可以进行。因此，本发明并不受前述的限制，而仅受到附属的权利要求书的限定。

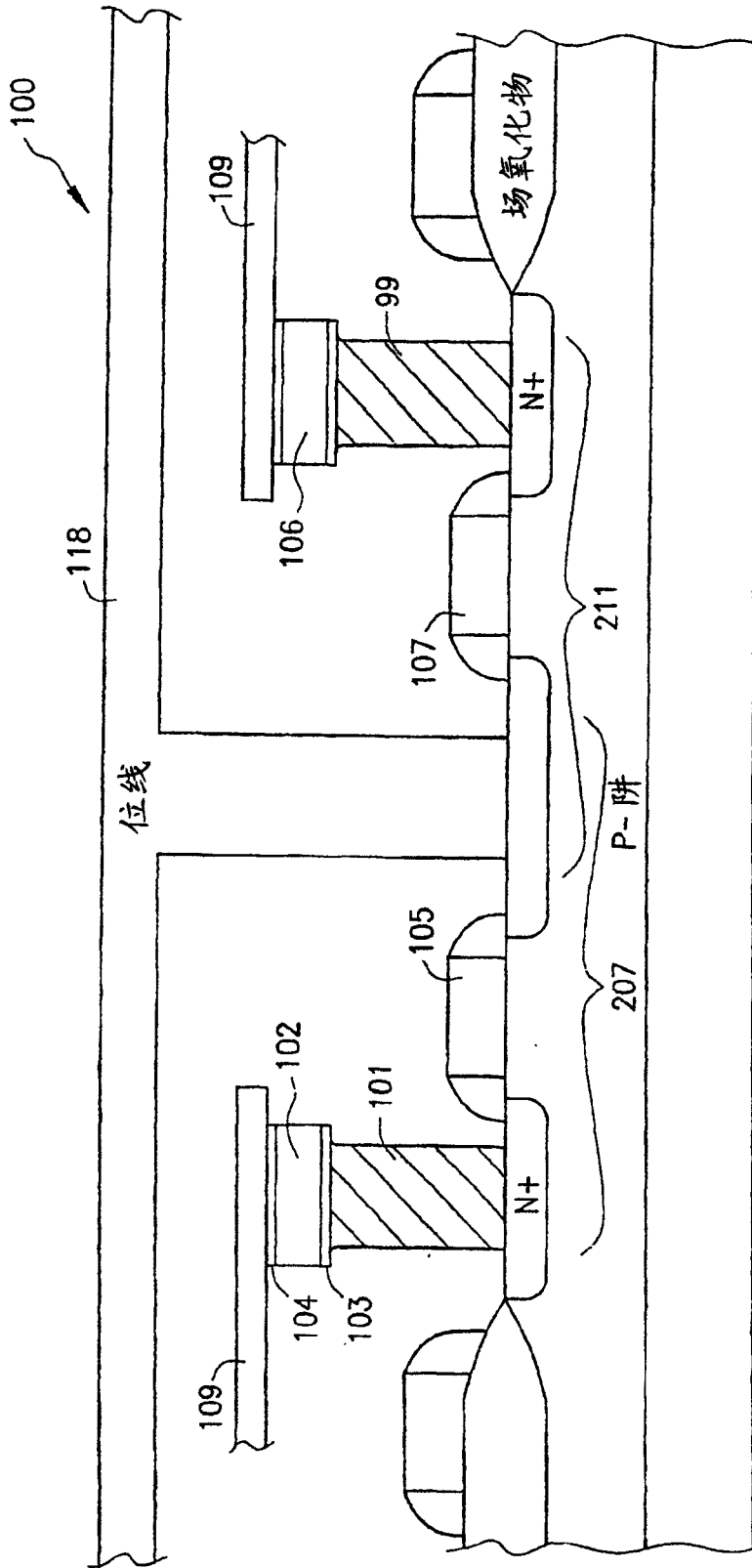


图 1



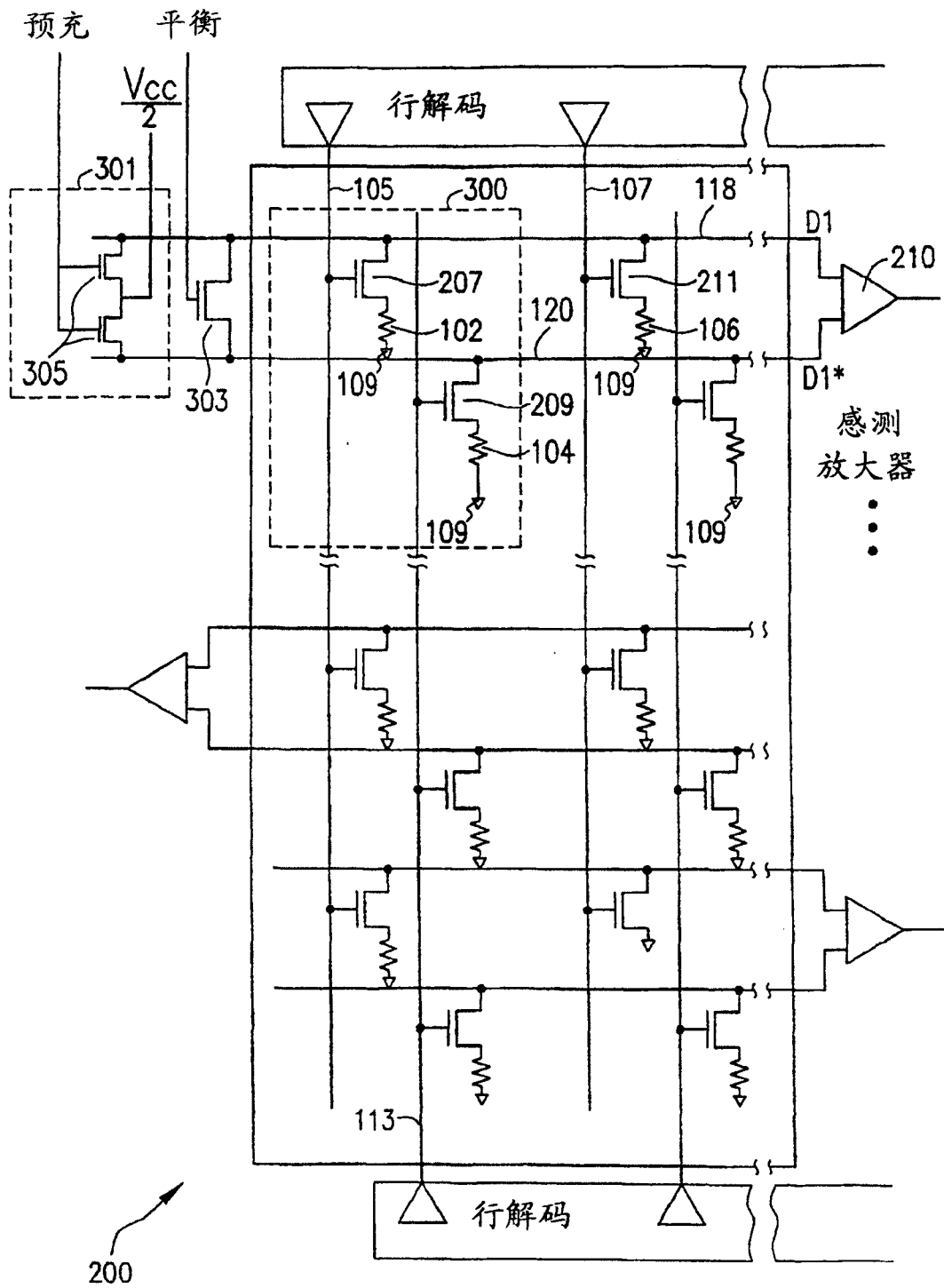


图 2

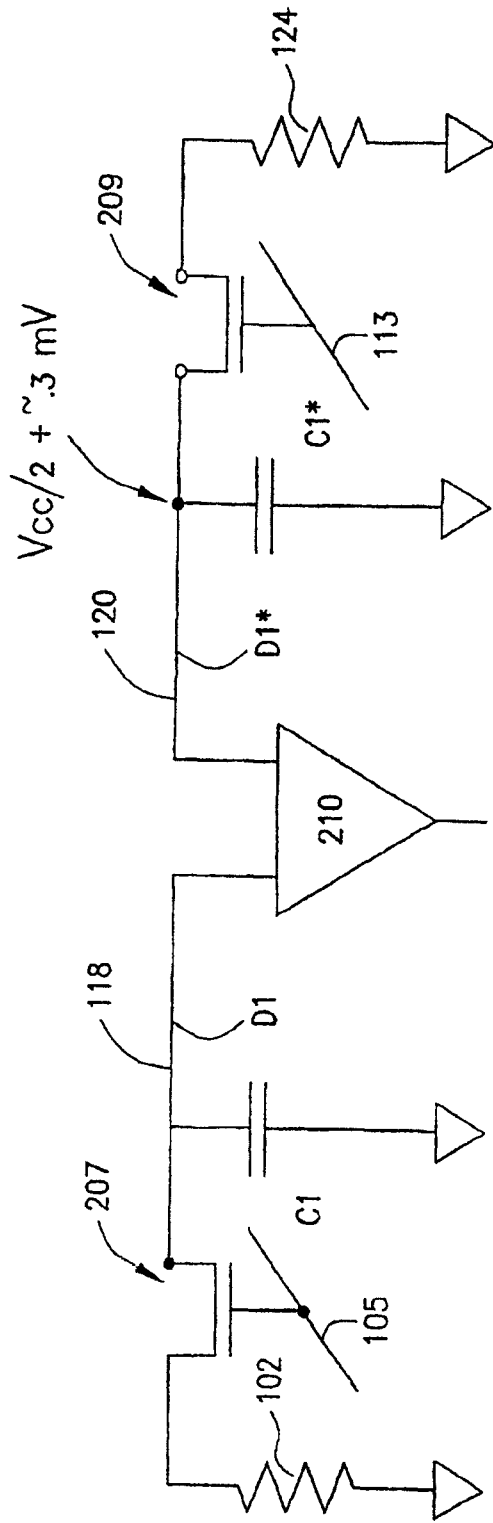


图 3

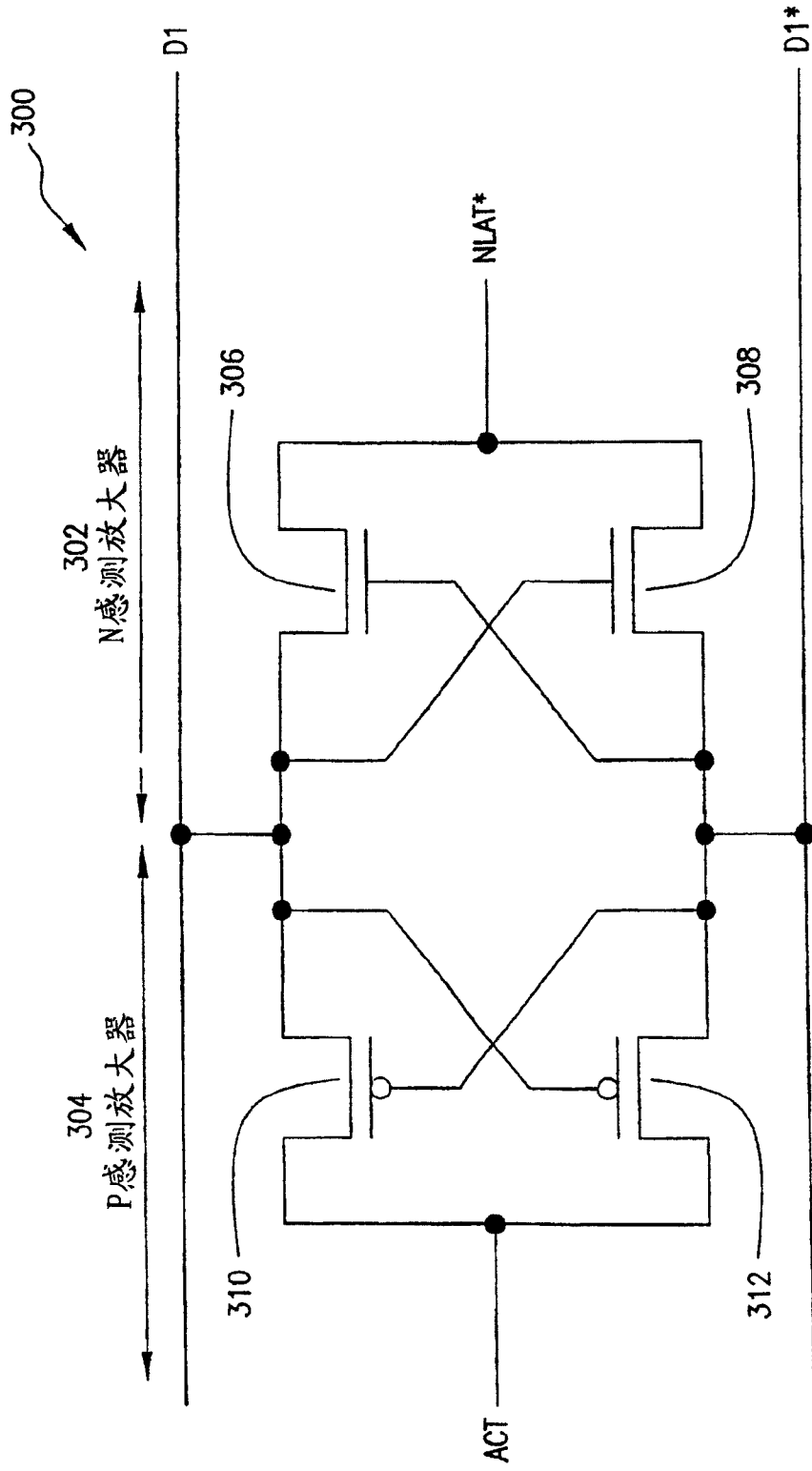


图 4

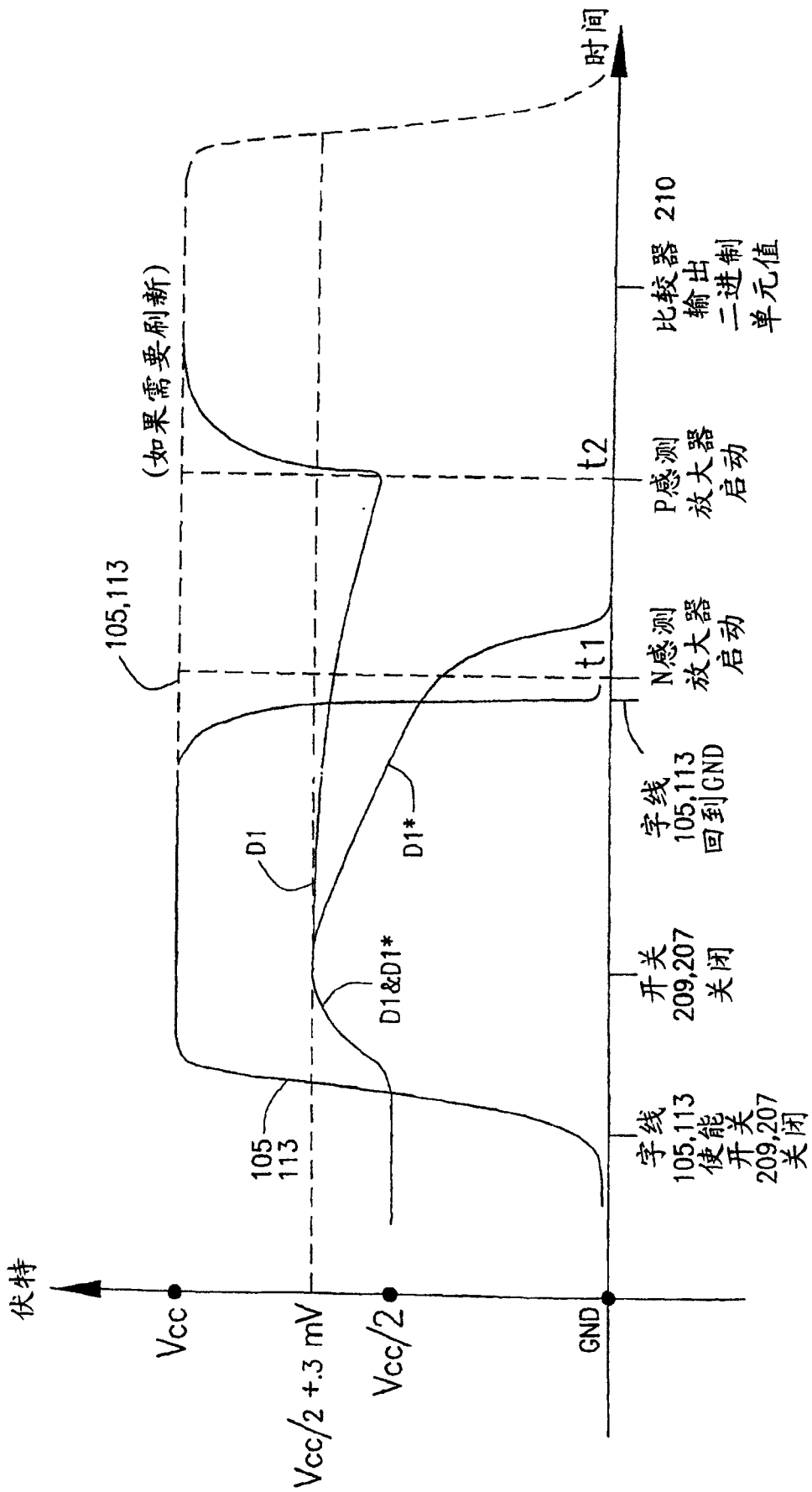


图 5

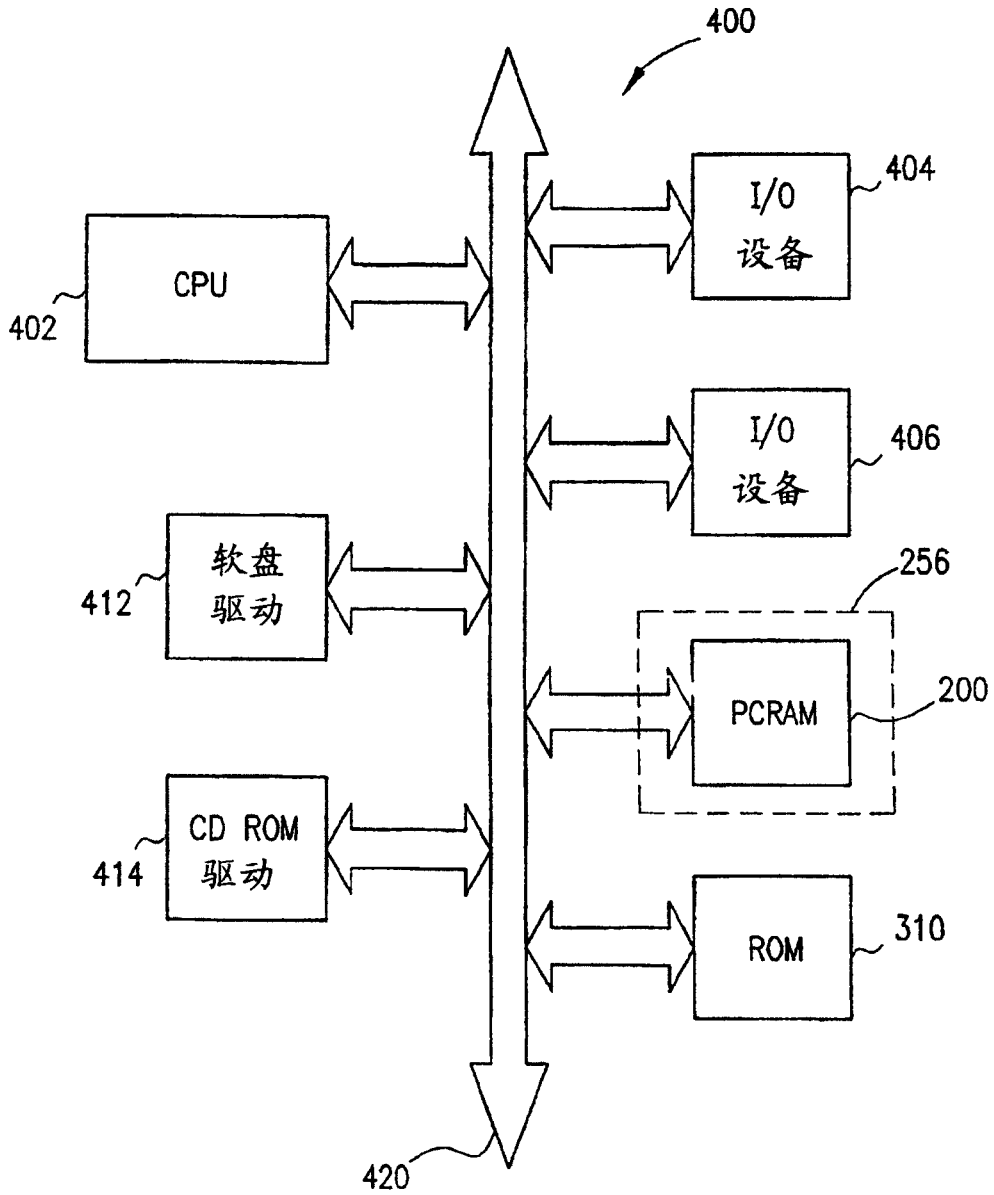


图 6