

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 5 月 11 日 (11.05.2017)



(10) 国际公布号
WO 2017/075820 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2015/094035
- (22) 国际申请日: 2015 年 11 月 6 日 (06.11.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510730916.7 2015 年 11 月 2 日 (02.11.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 刘桓 (LIU, Huan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路 21 号南油第二工业区 206 栋 6 层 611 室 (恒裕中心 B 座), Guangdong 518054 (CN)。

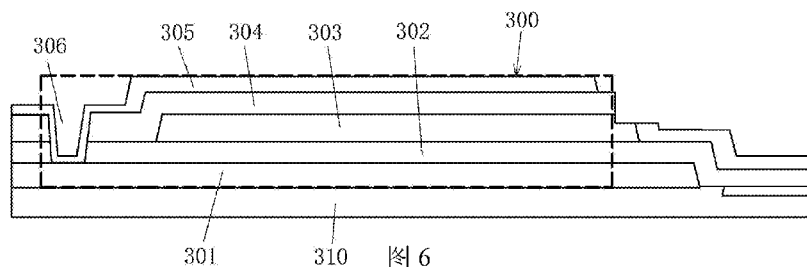
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: CHARGE SHARING CAPACITOR, PIXEL AND ARRAY SUBSTRATE COMPRISING CHARGE SHARING CAPACITOR

(54) 发明名称: 一种分担电容器、包括该分担电容器的像素及阵列基板



(57) Abstract: Provided is a charge sharing capacitor, a pixel and an array substrate comprising the charge sharing capacitor. The charge sharing capacitor (300) comprises: a first electrode layer (301); a first dielectric layer (302) disposed on the first electrode layer (301); a second electrode layer (303) disposed on the first dielectric layer (302) and electrically insulated from the first electrode layer (301) via the first dielectric layer (302); a second dielectric layer (304) disposed on the second electrode layer (303); a third electrode layer (305) disposed on the second dielectric layer (304) and electrically insulated from the second electrode layer (303) via the second dielectric layer (304); wherein, the third electrode layer (305) is electrically connected with the first electrode layer (301). The charge sharing capacitor and the pixel comprising the charge sharing capacitor can improve an aperture ratio of the pixel, thus improving product quality of a liquid crystal display of a thin film transistor.

(57) 摘要: 提供一种分担电容器、包括该分担电容器的像素及阵列基板。该分担电容器 (300) 包括: 第一电极层 (301); 第一介电层 (302), 设置在第一电极层 (301) 上; 第二电极层 (303), 设置在第一介电层 (302) 上并通过第一介电层 (302) 与第一电极层 (301) 电绝缘; 第二介电层 (304), 设置在第二电极层 (303) 上; 第三电极层 (305), 设置在第二介电层 (304) 上并且通过第二介电层 (304) 与第二电极层 (303) 电绝缘; 其中, 第三电极层 (305) 与第一电极层 (301) 电连接。该分担电容器及包括该分担电容器的像素, 能够提高像素开口率, 从而提高薄膜晶体管液晶显示器的产品品质。



WO 2017/075820 A1

一种分担电容器、包括该分担电容器的像素及阵列基板

技术领域

5 本发明涉及薄膜晶体管液晶显示器领域，具体来说，涉及一种分担电容器、包括该分担电容器的像素及阵列基板。

背景技术

在采用垂直配向技术（即，VA 技术）的薄膜晶体管液晶显示器（TFT-LCD）中，通常将像素分为主区与副区，通过使副区的像素电压低于主区的像素电压，
10 使得副区的液晶取向与主区的液晶取向不同，从而改善大视角色偏。

为了使副区的像素电压低于主区的像素电压，通常采用电荷分担（Charge-sharing）技术。图 1 中示出了采用电荷分担技术的像素结构。如图 1 所示，像素包括主区（Main 区）和副区（Sub 区）并且包括主薄膜晶体管 2、副薄膜晶体管 3、充电栅线 4、分担栅线 5 和分担薄膜晶体管 6。当充电栅线 4
15 开启时，信号线向主区和副区的像素电极 ITO 充电后，充电栅线 4 关闭，分担栅线 5 开启，使得分担电容器 1 与副区的像素电极 ITO 导通，从而使分担电容器 1 分担一部分副区像素电极上原本充满的电荷，因此，副区的像素电极的电压降低到适当比例，实现副区与主区电压值不同。

现有技术中的分担电容器一般包括 MII 结构和 MIS 结构这两种结构。

20 图 2 示出了根据现有技术的分担电容器的 MII 结构的截面图，图 3 示出了图 2 的分担电容器的电路图。如图 2 所示，分担电容器 100 包括依次设置在阵列基板 110 上的第一金属层 101、第一介电层 102、第二介电层 103 和像素电极层 104。其中，第一金属层 101 和像素电极层 104 分别是分担电容器 100 的两个极板，像素电极层 104 可以由氧化铟锡形成。如图 3 所示，第一金属板 101
25 连接到 $V_{\text{共}}$ 电位，并且，由于像素电极层 104 通过通孔 106 连接到第二金属层 105，使得像素的副区电荷通过分担薄膜晶体管 6（见图 1）被分担到像素电极层 104 上，则像素电极层 104 的电位为 $V_{\text{分担}}$ 。

图 4 示出了根据现有技术的分担电容器的 MIS 结构的截面图，图 5 是图 4

的分担电容器的电路图。如图 4 所示，分担电容器 200 包括依次设置在阵列基板 210 上的第一金属层 201、第一介电层 202 和第二金属层 203，另外，在第二金属层 203 上还设置有第二介电层 220。其中，第一金属层 201 和第二金属层 203 分别是分担电容器 200 的两个极板。如图 5 所示，第一金属层 201 连接到 $V_{\text{共}}$ 电位，第二金属层连接到分担薄膜晶体管 6（见图 1），其电位为 $V_{\text{分担}}$ 。

但是，在像素中设置以上分担电容器会损失像素的开口率，而且分担电容器的极板面积越大，像素开口率损失越大。

虽然在同样电容大小下减小极板面积能够提高像素开口率，从而提高 TFT-LCD 产品的穿透率，最终提升产品品质。但为了使副区电压降到合适的值，必须使分担电容器能够分担合适的电荷量 Q 。分担电容器分担的电荷量可以由下式（1）表示：

$$Q = C \cdot V \quad (\text{式 1})$$

其中， C 为分担电容器的电容值， V 为分担电容器的两极板的电位差。对于每一个固定的灰阶电压而言， V 的值是固定的，因此需要将分担电容器的电容设计为合适的值，才能获得合适的大视角色偏效果。分担电容器的电容可以由下式 2 表示：

$$C = \frac{\epsilon A}{d} \quad (\text{式 2})$$

其中， ϵ 为电解质介电系数， A 为极板面积， d 为两极板间的距离。

因此，如果减小分担电容器的极板的面积，虽然能够增大像素开口率，但是，如上式可知，分担电容器的电容也会减小，从而无法分担足够的电荷。

发明内容

为克服现有技术的不足，本发明提供分担电容器、包括该分担电容器的像素及阵列基板。

本发明的分担电容器包括：第一电极层；第一介电层，设置在第一电极层

上；第二电极层，设置在第一介电层上并通过第一介电层与第一电极层电绝缘；第二介电层，设置在第二电极层上；第三电极层，设置在第二介电层上并且通过第二介电层与第二电极层电绝缘；其中，第三电极层与第一电极层电连接。

5 根据本发明的一个实施例，分担电容器还可以包括设置在第一电极层之上的通孔，第三电极层通过通孔与第一电极层电连接。

根据本发明的一个实施例，通孔可以贯穿第一介电层和/或第二介电层。

根据本发明的一个实施例，第一介电层可以包括氮化硅（SiN_x）。

根据本发明的一个实施例，第二介电层可以包括氮化硅。

根据本发明的一个实施例，第三电极层可以包括氧化铟锡。

10 本发明还提供一种像素，该像素包括上述分担电容器。

根据本发明的一个实施例，像素还可以包括主区和副区，分担电容器电连接到副区，使得副区的像素电压低于主区的像素电压。

本发明还提供一种阵列基板，上述分担电容器可以设置在该阵列基板上。

根据本发明的一个实施例，上述阵列基板可以是玻璃基板。

15 通过本发明提供的分担电容器及包括该分担电容器的像素，能够提高像素开口率，从而提高薄膜晶体管液晶显示器的产品品质。

附图说明

通过下面结合附图进行的对实施例的描述，本发明的上述和/或其他目的和优点将会变得更加清楚，其中：

20 图 1 示出了采用电荷分担技术的像素结构的示意图。

图 2 示出了根据现有技术的分担电容器的 MII 结构的截面图。

图 3 是图 2 的分担电容器的电路图。

图 4 示出了根据现有技术的分担电容器的 MIS 结构的截面图。

图 5 是图 4 的分担电容器的电路图。

图 6 示出了根据本发明实施例的分担电容器的截面图。

图 7 是图 6 的分担电容器的电路图。

具体实施方式

5 现在在下文中将参照附图更充分地描述示例实施例，然而，示例实施例可以以不同的形式来实施，并不应该被解释为限于在此阐述的实施例。相反，提供这些实施例是为了使这公开将是彻底的和完整的，并将把示例性实施方式充分地传达给本领域技术人员。

10 将理解的是，当元件或层被称作“在”另一元件或层“上”、“连接到”或“结合到”另一元件或层时，它可以直接在另一元件或层上、直接连接到或直接结合到另一元件或层，或者可存在中间元件或中间层。相反，当元件被称作“直接在”另一元件或层上、“直接连接到”或“直接结合到”另一元件或层时，不存在中间元件或中间层。

15 将理解的是，尽管在这里可使用术语第一、第二等来描述不同的元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分并不受这些术语的限制。这些术语仅是用来将一个元件、组件、区域、层和/或部分与另一个元件、组件、区域、层和/或部分区分开来。因此，在不脱离本发明的教导的情况下，下面讨论的第一元件、组件、区域、层或部分可被命名为第二元件、组件、区域、层或部分。

20 在这里可使用空间相对术语，如“在…下方”、“在…下面”、“下面的”、“在…上方”、“上面的”等，用来轻松地描述如图中所示的一个元件或特征与其它元件或特征的关系。应该理解的是，空间相对术语意在包含除了在附图中描述的方位之外的装置在使用或操作中的不同方位。

25 本发明的分担电容器包括：第一电极层；第一介电层，设置在第一电极层上；第二电极层，设置在第一介电层上并通过第一介电层与第一电极层电绝缘；第二介电层，设置在第二电极层上；第三电极层，设置在第二介电层上并且通过第二介电层与第二电极层电绝缘；其中，第三电极层与第一电极层电连接。

而根据本发明提供的分担电容器，在保持相同的电容值的情况下，能够减小极板面积，从而增大像素的开口率。

下面将结合图 6 和图 7 来详细说明根据本发明实施例的分担电容器 300 的截面图和电路图。其中，图 6 示出了根据本发明实施例的分担电容器 300 的截面图，图 7 是图 6 的分担电容器 300 的电路图。如图 6 所示，根据本实施例的分担电容器包括设置在阵列基板 310 上的第一电极层 301、设置在第一电极层 301 上的第一介电层 302、设置在第一介电层 302 上的第二电极层 303、设置在第二电极层 303 上的第二介电层 304、以及设置在第二介电层 304 上的第三电极层 305，其中，第二电极层 303 通过第一介电层 302 与第一电极层 301 电绝缘，第三电极层 305 通过第二介电层 304 与第二电极层 303 电绝缘，第三电极层 305 通过通孔 306 与第一电极层 301 电连接。

本发明中的阵列基板 310 可以是玻璃基板，但本发明不限于此。另外，在本实施例中，通孔 306 贯穿第一介电层 302 和第二介电层 304，使得第一电极层 301 暴露在第三电极层 305 中，从而使第三电极层 305 与第一电极层 301 电连接。需要说明的是，通孔 306 只要在保证第三电极层 305 与第二电极层 303 绝缘的情况下，使得第三电极层 305 与第一电极层 301 电连接即可，其形状和设置位置没有特别的限制。

在本实施例中，第一介电层 302 可以包括氮化硅 (SiN_x)。第二介电层 304 也可以包括氮化硅。另外，第三电极层 305 可以用作像素电极层并包括氧化铟锡 (ITO)。

由图 6 可知，根据本实施例的分担电容器与传统分担电容器结构完全不同。根据本实施例的分担电容器采用第一电极层 301 (M1) || 第二电极层 303 (M2) || 第三电极层 305 (ITO) 这种三层的电容器结构，通过通孔 306 将第三电极层 305 连接至第一电极层 301。这样，如图 7 所示，使第三电极层 305 和第一电极层 301 连接到 $V_{\text{共}}$ 电位，将第二电极层 303 连接分担薄膜晶体管 6 (见图 1)，使其处于 $V_{\text{分担}}$ 电位。这种“层叠”的电容器结构能够减小分担电容器的极板面积，从而增大像素开口率，提升产品穿透率，从而提升产品品质。

本发明还提供一种像素，在该像素中，设置有本发明的分担电容器。在该像素中，除设置有本发明的分担电容器以外，其它结构与图 1 所示的像素基本相同，在此不再赘述。

如上所述，本发明分担电容器采用如图所示的 M1||M2||ITO 三层电容器结构。由此，第一电极层 301 与第二电极层 303 间形成子电容器 C1，第二电极层 303 与第三电极层 305 间形成子电容器 C2，C1 与 C2 实质上呈并联关系，因此最终的分担电容器 300 的电容的大小为 $C=C1+C2$ 。这样，同样的极板面积下，C 大于 C1 或者 C2。因此，相比于传统的分担电容器结构，对于同样像素，本发明的分担电容器结构需要更小的极板面积，从而能够提高像素的开口率，从而提升产品穿透率，提升产品品质。另外，其实施也非常简单，不需要其他新增制程。

综上所述，通过本发明提供的分担电容器及包括该分担电容器的像素，能够提高像素开口率，从而提高薄膜晶体管液晶显示器的产品品质。

虽然已经参照本发明的示例性实施例具体地示出并描述了本发明，但是本领域普通技术人员将理解，在不脱离如所附权利要求和它们的等同物所限定的本发明的精神和范围的情况下，可以在此做出形式和细节上的各种改变。应当仅仅在描述性的意义上而不是出于限制的目的来考虑实施例。因此，本发明的范围不是由本发明的具体实施方式来限定，而是由权利要求书来限定，该范围内的所有差异将被解释为包括在本发明中。

权利要求书

1、一种分担电容器，其中，所述分担电容器包括：

第一电极层；

5 第一介电层，设置在第一电极层上；

第二电极层，设置在第一介电层上并通过第一介电层与第一电极层电绝缘；

第二介电层，设置在第二电极层上；

10 第三电极层，设置在第二介电层上并且通过第二介电层与第二电极层电绝缘；

其中，第三电极层与第一电极层电连接。

2、根据权利要求1所述的分担电容器，其中，所述分担电容器还包括设置在第一电极层之上的通孔，所述第三电极层通过通孔与第一电极层电连接。

15 3、根据权利要求1所述的分担电容器，其中，所述通孔贯穿第一介电层和/或第二介电层。

4、根据权利要求1所述的分担电容器，其中，所述第一介电层包括氮化硅。

5、根据权利要求1所述的分担电容器，其中，所述第二介电层包括氮化硅。

20 6、根据权利要求1所述的分担电容器，其中，所述第三电极层包括氧化铟锡。

7、一种像素，其中，所述像素包括分担电容器，所述分担电容器包括：

第一电极层；

第一介电层，设置在第一电极层上；

第二电极层，设置在第一介电层上并通过第一介电层与第一电极层电绝缘；

第二介电层，设置在第二电极层上；

5 第三电极层，设置在第二介电层上并且通过第二介电层与第二电极层电绝缘；

其中，第三电极层与第一电极层电连接。

8、根据权利要求 7 所述的像素，其中，所述像素还包括主区和副区，分担电容器电连接到副区，使得副区的像素电压低于主区的像素电压。

10 9、一种阵列基板，其中，在所述阵列基板上设置分担电容器，所述分担电容器包括：

第一电极层；

第一介电层，设置在第一电极层上；

15 第二电极层，设置在第一介电层上并通过第一介电层与第一电极层电绝缘；

第二介电层，设置在第二电极层上；

第三电极层，设置在第二介电层上并且通过第二介电层与第二电极层电绝缘；

其中，第三电极层与第一电极层电连接。

20 10、根据权利要求 9 所述的阵列基板，其中，所述阵列基板是玻璃基板。

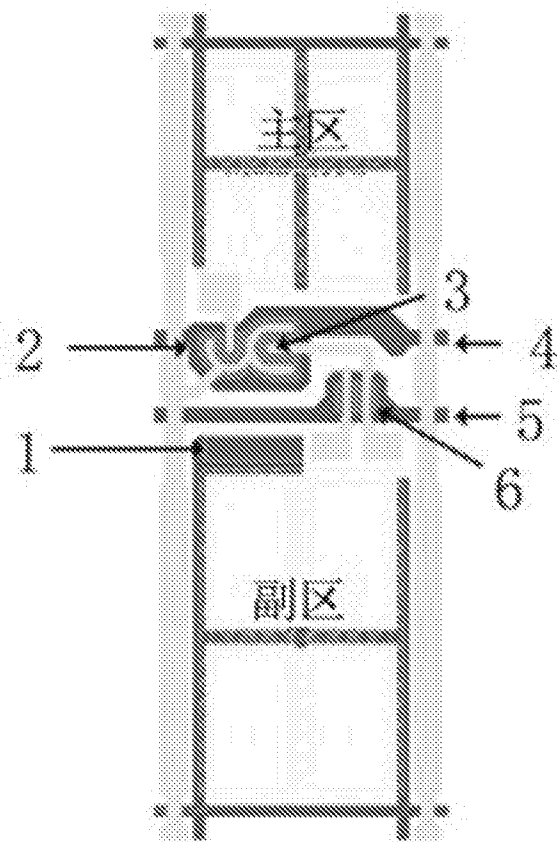


图 1

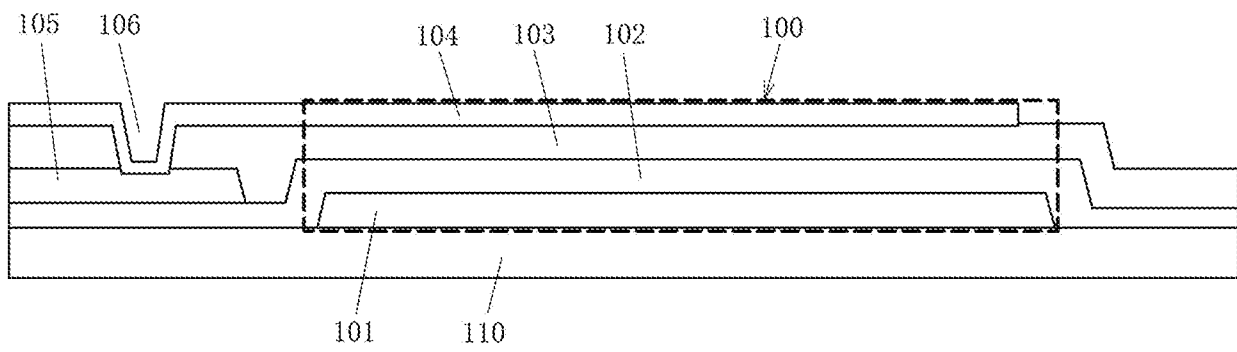


图 2

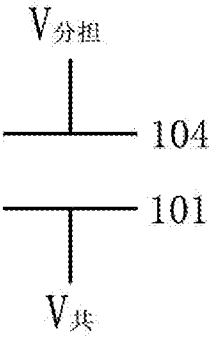


图 3

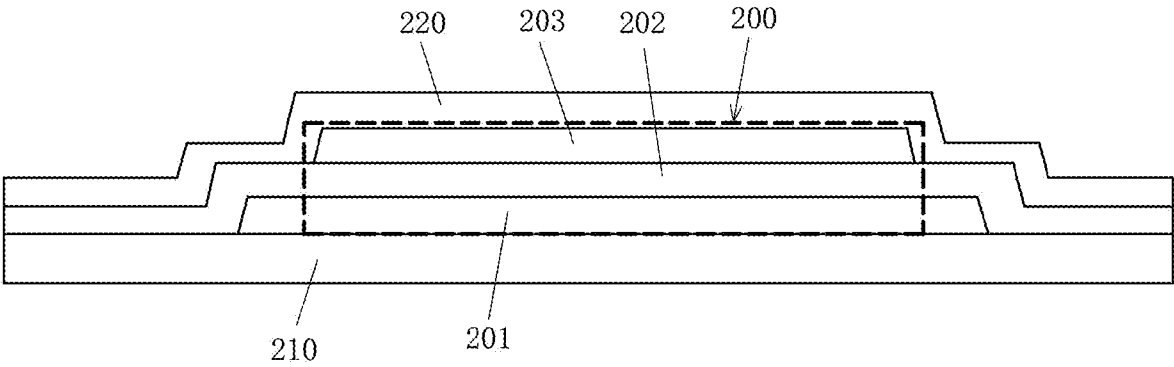


图 4

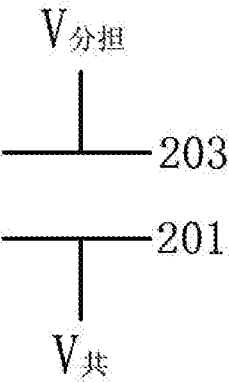


图 5

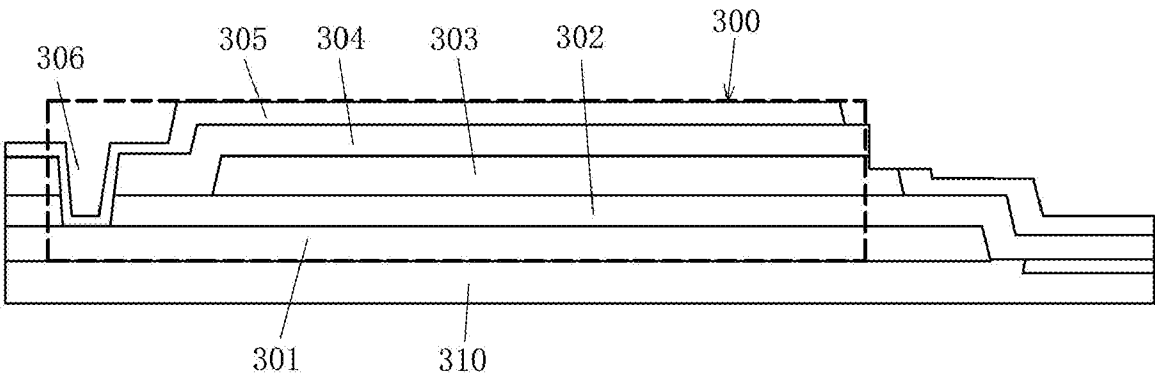


图 6

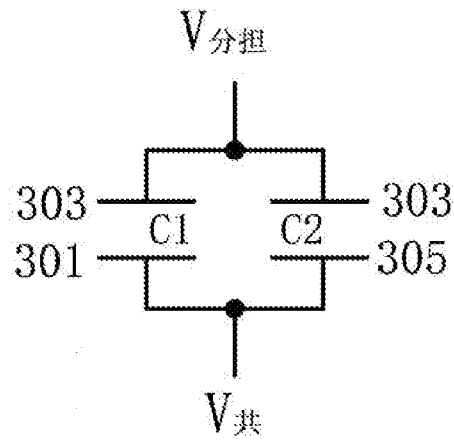


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/094035**A. CLASSIFICATION OF SUBJECT MATTER**

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT: share capacitance, pixel, opening ratio, electrode, parallel connection

VEN: share, capacitor, capacitance, pixel, opening ratio, electrode, parallel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101738804 A (AU OPTRONICS CORP.), 16 June 2010 (16.06.2010), description, paragraphs [0036]-[0089], and figures 2-3	1-10
A	CN 103676384 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), the whole document	1-10
A	CN 201222151 Y (SVA OPTRONICS CO., LTD.), 15 April 2009 (15.04.2009), the whole document	1-10
A	US 6232589 B1 (PACE et al.), 15 May 2001 (15.05.2001), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 August 2016 (01.08.2016)	Date of mailing of the international search report 17 August 2016 (17.08.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DAI, Lijuan Telephone No.: (86-10) 62411578

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/094035

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101738804 A	16 June 2010	CN 101738804 B	05 October 2011
CN 103676384 A	26 March 2014	WO 2015096243 A1	02 July 2015
		US 2015185548 A1	02 July 2015
CN 201222151 Y	15 April 2009	None	
US 6232589 B1	15 May 2001	None	

国际检索报告

国际申请号

PCT/CN2015/094035

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT: 分担电容, 共享电容, 共用电容, 分享电容, 像素, 象素, 开口率, 电极, 并联
capacitor, capacitance, pixel, opening ratio, electrode, parallel

VEN: share,

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101738804 A (友达光电股份有限公司) 2010年 6月 16日 (2010 - 06 - 16) 说明书第[0036]段至[0089]段, 附图2-3	1-10
A	CN 103676384 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-10
A	CN 201222151 Y (上海广电光电子有限公司) 2009年 4月 15日 (2009 - 04 - 15) 全文	1-10
A	US 6232589 B1 (PACE 等) 2001年 5月 15日 (2001 - 05 - 15) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 8月 1日

国际检索报告邮寄日期

2016年 8月 17日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

戴丽娟

传真号 (86-10)62019451

电话号码 (86-10)62411578

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/094035

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101738804	A	2010年 6月 16日	CN	101738804	B	2011年 10月 5日
CN	103676384	A	2014年 3月 26日	WO	2015096243	A1	2015年 7月 2日
				US	2015185548	A1	2015年 7月 2日
CN	201222151	Y	2009年 4月 15日	无			
US	6232589	B1	2001年 5月 15日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)