

# 公告本

申請日期：

案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

552684

|            |                    |                                              |
|------------|--------------------|----------------------------------------------|
| 一、<br>發明名稱 | 中文                 | 半導體元件                                        |
|            | 英文                 |                                              |
| 二、<br>發明人  | 姓名<br>(中文)         | 1. 有馬裕                                       |
|            | 姓名<br>(英文)         | 1. Yutaka ARIMA                              |
|            | 國籍                 | 1. 日本                                        |
|            | 住、居所               | 1. 日本國福岡縣飯塚市川津680-4 九州工業大學微電子化總合技術中心內        |
| 三、<br>申請人  | 姓名<br>(名稱)<br>(中文) | 1. ENG股份有限公司                                 |
|            | 姓名<br>(名稱)<br>(英文) | 1. Exploitation of Next Generation Co., Ltd. |
|            | 國籍                 | 1. 日本                                        |
|            | 住、居所<br>(事務所)      | 1. 日本國福岡縣福岡市早良區百道浜2丁目1-22                    |
|            | 代表人<br>姓名<br>(中文)  | 1. 廣津總吉                                      |
|            | 代表人<br>姓名<br>(英文)  | 1. Fusayoshi HIROTSU                         |



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/01/26

案號

2001-18133

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

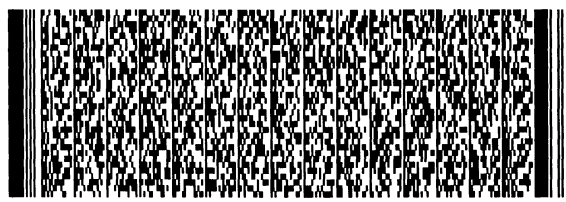
發明所屬的技術領域：

本發明是有關於可以將MOS電晶體的增益係數 $\beta$ 類比地以電壓來調整的半導體元件，特別是有關於將此半導體元件整合在LSI中，可以在晶片上對各個元件調整其特性，可以實現自動補正隨著LSI的大規模化在內藏機能電路間的動作時脈，或隨著元件的縮小化而增大的元件特性差異的構造，以藉由將每個晶片最佳化來得到高性能的LSI之半導體元件。

背景技術：

半導體積體電路所代表的LSI(Large Scale Integrated circuit)元件，從發明以來經過約30年，主要是將元件縮小來確實地增進其性能。但是，現在在元件縮小化上明顯地有著種種的物理上的限制，使得要安定且均質地來製造積體電路元件變得越來越困難。已經使得只依靠元件的縮小化來達到LSI元件的高性能化越來越受限制，以均質的元件製造為前提的先前的LSI設計手法也到了該修正的時候。

最近的LSI元件，隨著元件縮小化的進展，越來越大規模化及高密度化，當系統單晶片化變成現實後，在晶片內部也不得不放入許多各種各樣的機能電路。在此種大型LSI元件的設計上，為了要使所整合的多數的機能電路彼此間能正確地動作，對機能電路間的動作時脈等作最佳化調整尤其重要。但是隨著整合在LSI中機能的多樣化及複雜化，為了能包容在LSI製造過程上所無法避免的製程變



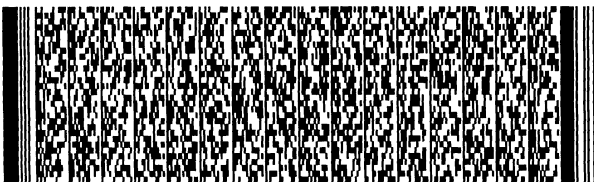
## 五、發明說明 (2)

動，確保正確動作範圍，逐漸阻礙今後的大規模LSI元件更高性能化。亦即，今後要使LSI元件更高性能化，必須要在某種程度上以較大的元件特性偏差為前提來開發新的LSI設計及製造手段。

如此，隨著LSI元件的高性能化已經變得不可忽視的，在晶片內的元件特性的空間的差異及製程變動所引起的元件特性中央值變動等，隨著每個被製造的LSI晶片而變動的元件不均一性有關的問題，可以藉由對每個LSI晶片自動地調整及補償其整合元件的特性差異來提高元件性能，將所謂的自身適應機能或自身最佳化機能整合在LSI晶片自身，來很有效地解決。

但是，以先前的技術並不容易將其實現。先前將自身調整機能整合在LSI晶片上的手段，有使用複數的MOS電晶體，以開關來切換其並聯連接數等電路的方法來實現。但是，以電路來實現的方法從其調整的精度及電路規模的點來看很沒有效率。

在圖12到圖15A，15B中，說明使用複數個MOS電晶體來構成可在電性上調整MOS電晶體的實質的增益係數的電路例子。在圖12中說明將2個MOS電晶體11，12並聯連接的電路構成例子。在電晶體11的閘極電極上加上通常的信號電壓，電晶體12的閘極電極隨著開關13來決定加上信號電壓或是關電壓(MOS電晶體在關狀態的電壓)。開關13通常是由CMOS開關(將pMOS與nMOS並聯連接)與產生其閘極信號的反相器1個與保持開關狀態的栓鎖器所構成，合計需要



## 五、發明說明 (3)

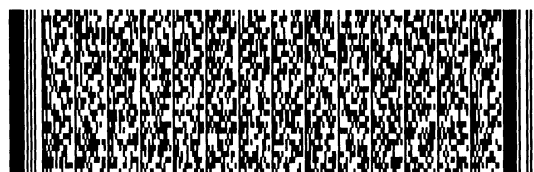
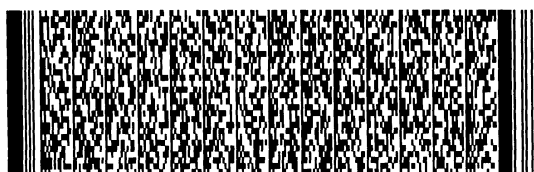
約24個電晶體。在開關13將電晶體12的閘極電極與信號電壓連接的狀態下，此電路成為電晶體11與12並聯連接的MOS電晶體來動作，在開關13將電晶體12的閘極電極與開電壓相連接的狀態下，此電路中僅有電晶體11在動作。

在圖13中說明將5個電晶體並聯連接的電路構成例子。以4個開關13的狀態，可以實現16種變化。將4個電晶體12的增益係數分別設為2的幾次方，便可以等間格地設定16階段的係數值。

在圖14A中說明將2個電晶體串聯連接的電路構成例子。在此例中，電晶體12的閘極電極隨著開關13來決定加上信號電壓或是開電壓(MOS電晶體在開狀態的電壓)。如圖14B所示，在開關13將電晶體12的閘極電極與信號電壓連接的狀態下，此電路成為電晶體11與12串聯連接的MOS電晶體來動作，與其相對，如圖14C所示，在開關13將電晶體12的閘極電極與開電壓相連接的狀態下，電晶體11與電晶體12的開阻抗相串聯的電路來動作。

在圖15A中說明在電晶體12的閘極電極上加上控制電壓，隨著其控制電壓值來調整與電晶體11串聯的阻抗值得構成例子。亦即如圖15B中所示，電晶體12成為隨著控制電壓改變電阻值得可變電阻。

在圖12, 13所示並聯連接的電路構成例中，可以調整特性的精度與電路規模有著不能兩全的關係，要提高調整精度，便會使得電路規模變大。在圖14A到14C, 15A, 15B所示的串聯連接的電路構成例中，除了電路規模變大的問題



## 五、發明說明 (4)

之外，因為將對輸入信號具有非線形特性的電阻成分串聯在其中，會使得有效的特性調整範圍受到限制。

以此種電路構成來達到電晶體的電性上進行特性調整的方式，因為需要耗用所要調整的元件數的數倍到數十倍的元件數目的本質上的限制，使得推進高密度化以達到LSI的高性能化為目的之自身調整機能的實現很難被接受。所以，希望能夠開發出在不妨礙高密度化且能得到高精度的電氣特性調整的新的半導體元件。

發明的概述：

此發明的目的是在提供一種新的半導體元件，在不妨礙高密度化的前提下，可以得到高精度的電性上的特性調整，能夠將在晶片上自動調整元件參數以補正特性差異的機構電路整合在所有的LSI中，以實現容許某種程度大的元件特性差異之自身最佳化LSI及自身適應型LSI等的全新的主動型LSI。

依據此發明的半導體元件的特徵在於：藉由控制對閘極或通道的電場的方向(角度)，來調整電晶體的增益係數。

依據此發明的另一種構造的半導體元件，包括：第1閘極，形成矩形或平行四邊形的通道區域；及第2閘極，在第1閘極下形成的通道區域與源極區域之間，及在第1閘極下形成的通道區域與汲極區域之間，分別形成具有實質上為三角形或實質上包含三角形的梯形的通道區域(略三角形狀的通道區域或略梯形狀的通道區域)。



## 五、發明說明 (5)

最好是包含第1閘極下形成的通道區域，及其兩側的第2閘極下所形成的通道區域之全部的通道區域，實質上成為矩形或平行四邊形。

或者最好是，在第1閘極下形成的通道區域的電導，與在第2閘極下形成的通道區域的電導各不相同。

此外最好是與在第1閘極下形成的通道區域的電導相較，在第2閘極下形成的通道區域的電導較大。

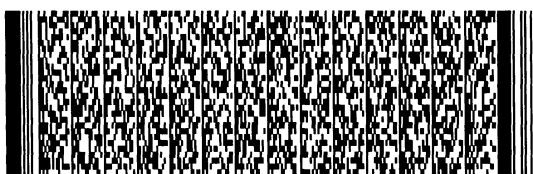
或者最好是在第1閘極下形成的通道區域的電導，與在第2閘極下形成的通道區域的電導相同。

或者最好是第1閘極與第2閘極分別以互不相同的步驟來製造及形成。

或者最好是第1閘極與第2閘極是以相同的步驟來製造及形成。

因此，將MOS電晶體的增益係數 $\beta$ 類比地以電壓來調整的半導體元件，可以用先前的製程技術容易地製造，將其整合在以CMOS電路所構成的先前的所有LSI中。此結果是可以將在晶片上自動調整元件參數，以補正特性差異的機構電路整合在所有的LSI中，以實現可以容許某種程度的元件特性差異之自身最佳化LSI及自身適應型LSI等的全新主動型LSI。亦即，可以大幅度地改善成為阻礙大型LSI的高性能化的原因，亦即由於元件縮小化引起之特性差異及隨著製程變動引起的元件特性變動等的特性不均一性所造成的限制。

實施此發明之最佳形態：



## 五、發明說明 (7)

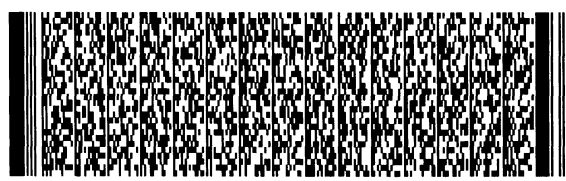
在製造依據本實施形態1之半導體元件時，除了形成新追加的控制閘極102與其下方的控制通道105的步驟之外，與形成先前的MOS電晶體的製程步驟完全相同，並不需要為了整合此元件而大幅地改變先前的製造步驟。

依據本實施形態1之半導體元件的特徵為在先前的MOS電晶體上追加控制閘極後的形狀，在電性上是在先前的MOS電晶體上追加一個控制閘極用電極，合計4個電極(包含背面閘極共計5個)。在此半導體元件上，如圖2所示，具有以下的3個值作為決定元件特性的元件形狀參數，包括：MOS閘極101的"閘極長度L"及"閘極寬度W"、控制閘極102與MOS閘極101間"形成的角度 $\theta$ "。

特性調整機制：

依據本實施形態1之半導體元件，隨著加在控制閘極102上的電壓值，來控制在控制閘極102下的控制通道105的電阻值(電導)，可以調整加在MOS閘極101下的通道上所加的通道方向的電場的角度，藉由改變有效的閘極長及閘極寬度，使得能夠以電壓來控制電晶體的增益係數 $\beta$ 。

接著，說明依據本實施形態1之半導體元件，在電性上調整增益係數B的機制。在圖3中，控制閘極102下的控制通道105的電阻值(電導)，與MOS閘極101的開電阻值(MOS閘極101上所形成的電晶體的開電阻值)為相同程度，與相當低時的電場的方向以箭頭來顯示。當控制通道105與MOS閘極101下的通道的開電阻值相比相當低時，如圖3的箭頭1所示，電場的方向與MOS閘極101大略垂直(與MOS



## 五、發明說明 (8)

開極101下的通道方向為平行)，有效的增益係數 $\beta$ 與 $W/L$ 成比例。與其相對，當控制通道105與MOS開極101的開電阻值為相同程度時，如圖3的箭頭2所示，電場的方向與控制開極102與源極103及汲極104間的邊界線成垂直的方向，在實質上 $L$ 變長， $W$ 變短， $\beta$ 變小。如圖4中所示，當控制通道電阻與MOS開極的開電阻為相同程度時，有效的開極長度 $L'$ 與開極寬度 $W'$ 可以近似的以下式(1)(2)來表示， $\beta'$ 與下式(3)成比例。

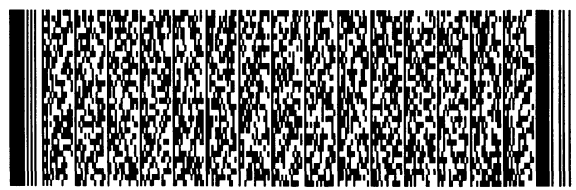
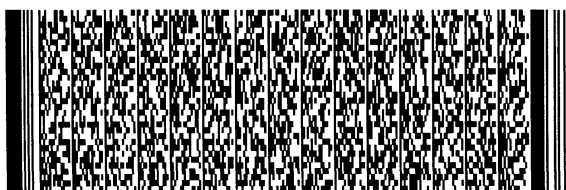
$$W' = \cos \theta * (W - L * \tan \theta) \quad (1)$$

$$L' = \cos \theta * (L + W * \tan \theta) \quad (2)$$

$$\beta' \propto (W/L - \tan \theta) / (1 + W/L * \tan \theta) \quad (3)$$

此處是將控制通道105的最大電阻值設為MOS開極101的開電阻值，當較此值大時，增益係數 $\beta$ 會變得更小。但是，當MOS開極101與控制開極102的通道電導為同等的元件，且使控制通道105較MOS開極101的開電阻值大時，汲極104側的部分的控制通道區域105成為飽和狀態，使得上式所示的近似將不成立，而無法以單純的關係式來表示。但是無論如何，當控制通道105的電阻值變大時，可以得知增益係數 $\beta$ 實質上會變小。

由這些式子可以了解，本實施形態1中之半導體元件，藉由調整加在控制開極102上的電壓來改變控制通道105的電阻值，可以將增益係數 $\beta$ 從 $W/L$ 到大約 $(W/L - \tan \theta) / (1 + W/L * \tan \theta)$ （使控制通道電阻最大是與MOS的開電壓為相同程度時）為止連續的加以調整。而且藉由調整3



## 五、發明說明 (9)

個元件形狀參數值，如以下的說明，其可調整範圍大約可以任意地加以設定。

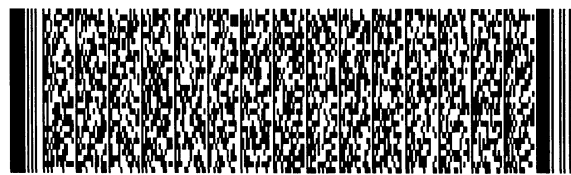
調整特性預測：

依據本實施形態的半導體元件中，如前所述是以MOS閘極的閘極長 $L$ 及閘極寬度 $W$ 、MOS閘極與控制閘極間所成的角度 $\theta$ ，來決定 $\beta$ 的可調整範圍。在圖5中，依據本實施形態之半導體元件的 $\beta$ 可調整範圍所對應的 $\beta$ 比(最大值/最小值)，以元件形狀參數的MOS閘極的 $W/L$ 來設定，以角度 $\theta$ 作為參數來說明。然而在此，為了使用上述的近似式，將控制通道的最大電阻值設成大約為MOS閘極的開電阻值。

從圖5中可以了解，依據本實施形態之半導體元件的 $\beta$ 可調整範圍為，與 $W/L$ 成比例來增大的成分及當 $W/L$ 變小時突然增大的成分的组合，兩者都具有與 $\theta$ 成比例來變大的特徵。與 $W/L$ 成比例的成分，是起因於隨著電場的方向變化造成實質的閘極通道長 $L$ 的變化，另一方面，當 $W/L$ 變小時突然增大的成分是起因於隨著電場的方向的變化造成實質的閘極通道寬度 $W$ 的變化。因為角度 $\theta$ 是與電場方向的最大調整的量成比例，與二者的成分成比例。由這些特徵來看，可知隨著用途與可接受的元件大小等，可以得到比較高自由度的 $\beta$ 調整範圍設定。

效果：

如以上所述，依據本實施形態1之半導體元件，其增益係數 $\beta$ ，可以依加在控制閘極102上的電壓來連續的調



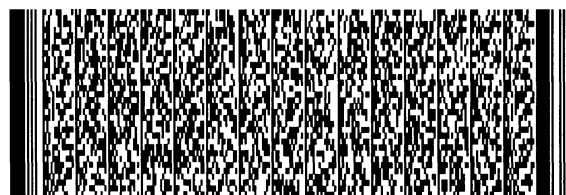
## 五、發明說明 (10)

整。以電壓來調整的 $\beta$ 的控制範圍，是由3個元件形狀參數，亦即MOS閘極101的閘極長度 $L$ 及閘極寬度 $W$ 、MOS閘極101與控制閘極102間的角度 $\theta$ 所決定，在現實的元件尺寸（只增加控制閘極的面積）上，最小的 $\beta$ 與最大的 $\beta$ 間的比可以從數倍到超過數百倍的值來比較自由地設定。用來調整本實施形態1中之半導體元件中的 $\beta$ 所需消耗的電力，因為只有控制閘極的漏電流非常小，在實用上不會構成問題。此外，依據本實施形態1之半導體元件，如圖6A及圖6B中所示，可以nMOS電晶體3與pMOS電晶體4來一起以相同的構成來實現。因此，如圖7A及圖7B中所示的反向器電路5一般，可以在電性上調整由CMOS電路所構成的各種閘極的驅動能力，可以應用在將來的自身適應型LSI的基本元件。

## 實施形態2：

圖8中說明依據本發明的實施形態2中之半導體元件的構成。在實施形態2中，與實施形態1相比，在控制閘極102的下方所形成的控制通道105的形狀略有不同。在此例子中，各控制通道105的形狀實質上是成為梯形。但是即使其形狀為梯形，只要包含上述各控制通道105與MOS閘極101下通道區域的全部通道區域實質上形成平行四邊形，便可以實現相同的元件特性。但是，在上述的近似式(1)~(3)上，需要加上一些修正，分別成為以下的(4)(5)一般， $\beta'$ 將與下式成比例。

$$W' = \cos \theta * (W - (L + a + b) * \tan \theta) \quad (4)$$



## 五、發明說明 (11)

$$L' = \cos \theta * (L + a + b + W * \tan \theta) \quad (5)$$

$$\beta' \propto (W/L - (1 + a/L + b/L) * \tan \theta) / (1 + a/L + b/L + W/L * \tan \theta) \quad (6)$$

但是，上式中的a及b，是沿著圖8所示的各控制通道內的矩形部分的通道方向的長度。在此實施形態中，控制通道區域的形狀未必限定在三角形。

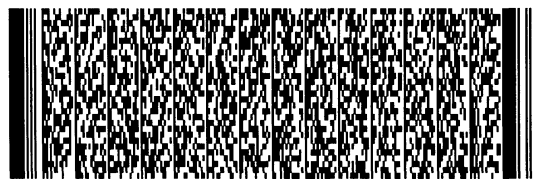
實施形態3：

圖9中說明依據本發明的實施形態3的半導體元件的構成。在此實施形態3中，與實施形態1相較，控制閘極102與MOS閘極101是以相同的閘極層來形成。當控制閘極102與MOS閘極101是以相同的閘極層來形成時，為了在電性上加以分離，不能加以重疊，如圖9所示，控制閘極102與MOS閘極101之間需要空出某種程度(可以分離加工的程度)的空隙。

在此時，因為其控制閘極102與MOS閘極101間的空隙是和源極及汲極以相同步驟所形成，其電阻值非常低，此元件的結構在電性上與實施形態1的特性並無不同。增益係數 $\beta$ 的調整近似式，若是將控制閘極102與MOS閘極101間的空隙設為a與b，便相當於上述式(4)~(6)。在此實施形態3的構成中，在形成控制閘極102時，不需要增加另外的閘極層形成步驟。

實施形態4：

圖10中說明依據本發明的實施形態4的半導體元件的構成。在此實施形態4中，與實施形態1相比，是對控制閘



## 五、發明說明 (12)

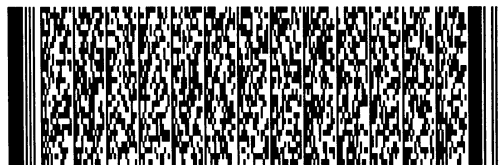
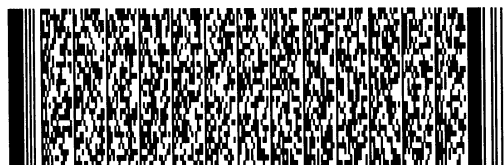
極102與MOS閘極101採取不同的佈局的例子。與圖1中所示的實施形態1間的不同，只在於相對於電晶體的活性區域成垂直的閘極是MOS閘極101或是控制閘極102的不同，其實質的效果則相同。由此實施形態4可知，本發明的半導體元件的特徵，只在於控制閘極102與MOS閘極101間所成的相對角度，並不限於相對於分別的源極與汲極等的角度。

## 實施形態5：

圖11中說明依據本發明的實施形態5之半導體元件的構成。在此實施形態5中，說明使控制閘極102與MOS閘極101間的角度 $\theta$ 很大，同時使MOS閘極寬度 $W$ 非常大時的構成。亦即成為將實施形態4之半導體元件加以連續並聯排列的構成，MOS閘極101成為傾斜的折回形狀(鋸齒形狀)。當要使本發明的半導體元件的增益係數 $\beta$ 增大時，此實施形態5在抑制元件的尺寸上很有效。

## 產業上的利用可能性

此發明中的半導體元件，可以應用成為大規模，高密度LSI電路元件。



## 圖式簡單說明

圖1是說明依據本發明的實施形態1之半導體元件的構成圖。

圖2是說明決定本實施形態1之半導體元件的特性之形狀參數圖。

圖3是說明依據本實施形態1之半導體元件的MOS通道上所加的電場圖。

圖4是說明依據本實施形態1之半導體元件的特性調整機制的圖。

圖5是說明依據本實施形態1之半導體元件的特性調整性能的圖。

圖6A及圖6B是說明依據本實施形態1之半導體元件所構成的CMOS電路構成例子。

圖7A及圖7B是說明依據本實施形態1之半導體元件所構成的CMOS電路構成例子。

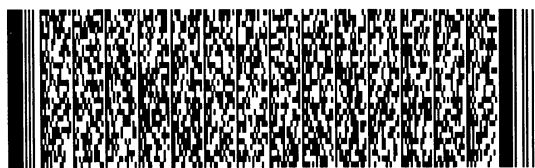
圖8是說明依據本發明的實施形態2之半導體元件的構成圖。

圖9是說明依據本發明的實施形態3之半導體元件的構成圖。

圖10是說明依據本發明的實施形態4之半導體元件的構成圖。

圖11是說明依據本發明的實施形態5之半導體元件的構成圖。

圖12是用來說明可以控制實質增益係數的半導體元件的第1個先前例子的圖。



## 圖式簡單說明

圖13是用來說明可以控制實質增益係數的半導體元件的第2個先前例子的圖。

圖14A到圖14C是用來說明可以控制實質增益係數的半導體元件的第3個先前例子的圖。

圖15A及圖15B是用來說明可以控制實質增益係數的半導體元件的第4個先前例子的圖。

## 符號說明：

- 101 閘極
- 102 第2閘極
- 103 源極區域
- 104 汲極區域
- 105 通道區域
- 106 接觸窗(Contact)
- 11, 12 MOS電晶體
- 13 開關

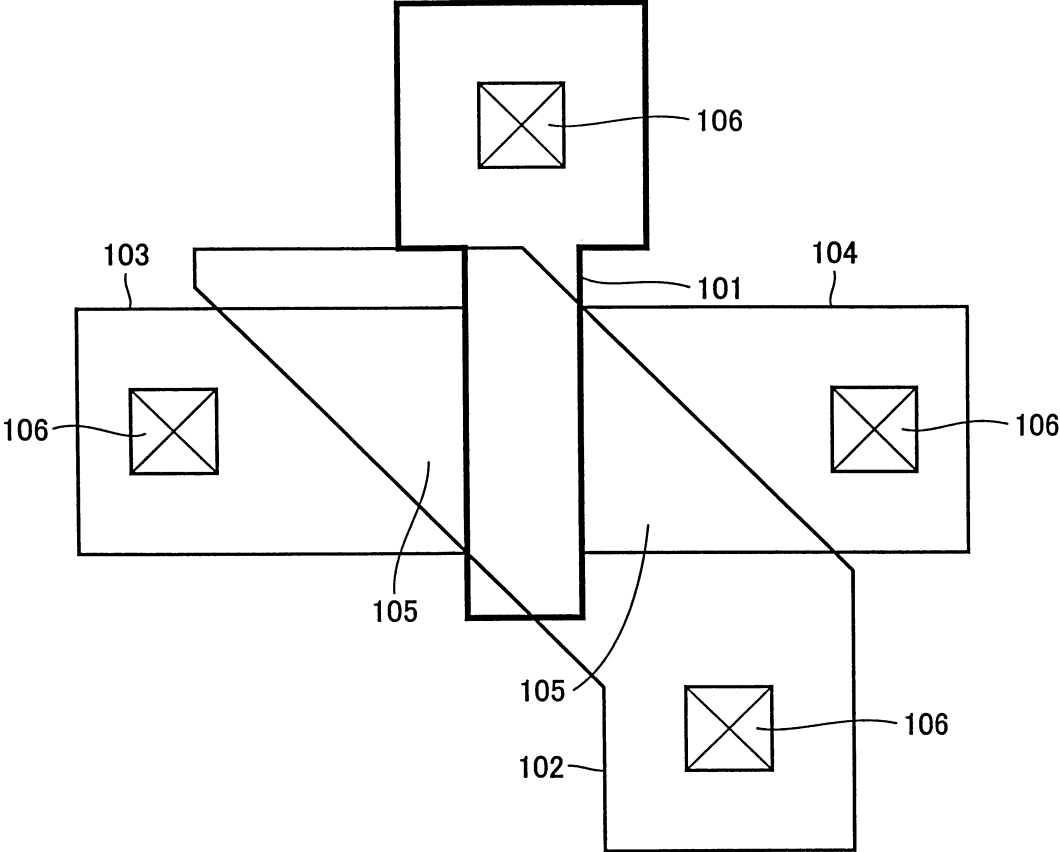


## 四、中文發明摘要 (發明之名稱：半導體元件)

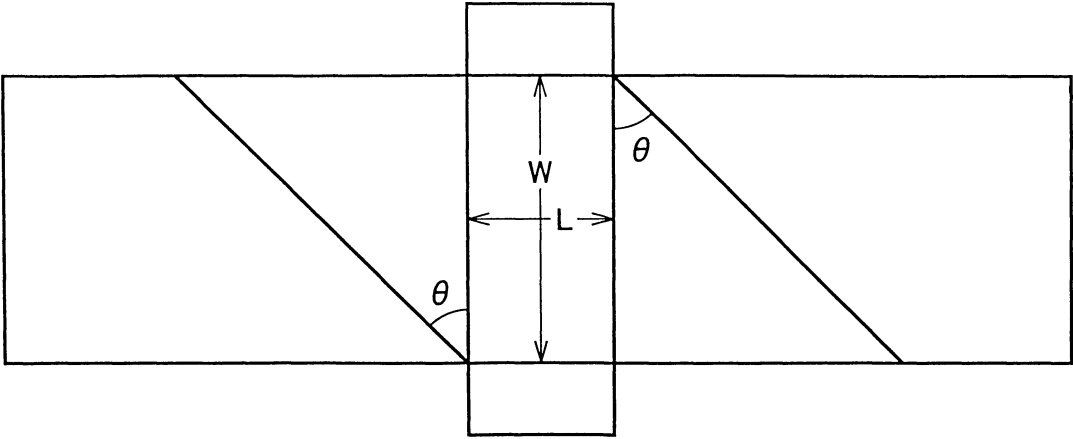
在半導體元件上，藉由控制相對於閘極(101)或通道的電場的方向，亦即藉由控制電場的角度來調整電晶體的增益係數。最好是包括形成矩形或平行四邊形的通道區域的第1閘極(101)，與在第1閘極下形成的通道區域與源極區域(103)及汲極區域(104)之間，分別形成實質上包含三角形通道區域的第2閘極(102)。此外最好是，包括在第1閘極下形成的通道區域，及在其兩側上的第2閘極下形成的通道區域的全部的通道區域實質上成為矩形或平行四邊形。因此，能夠類比地以電壓來調整MOS電晶體的增益係數 $\beta$ 的半導體元件，可以用先前的製程技術容易地加以製造，而整合在由CMOS電路所構成的先前的所有的LSI中。

## 英文發明摘要 (發明之名稱：)

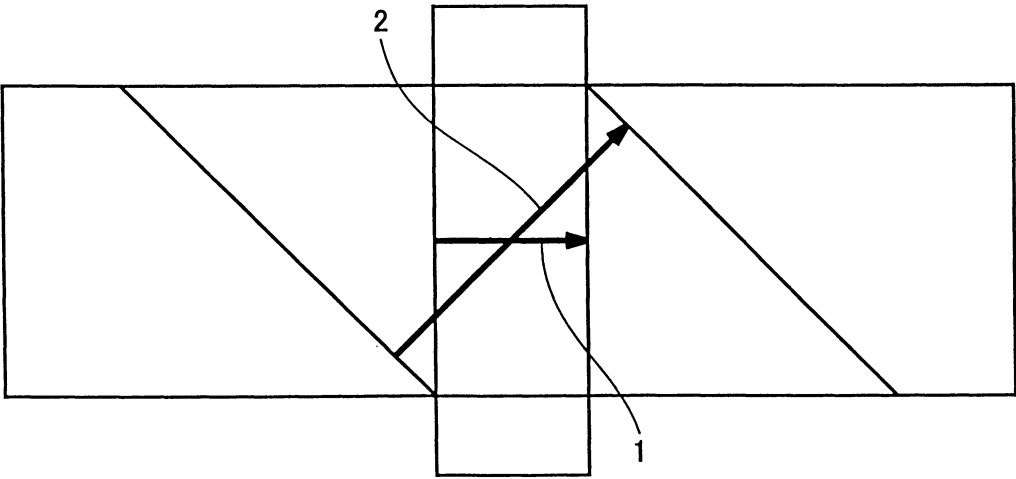




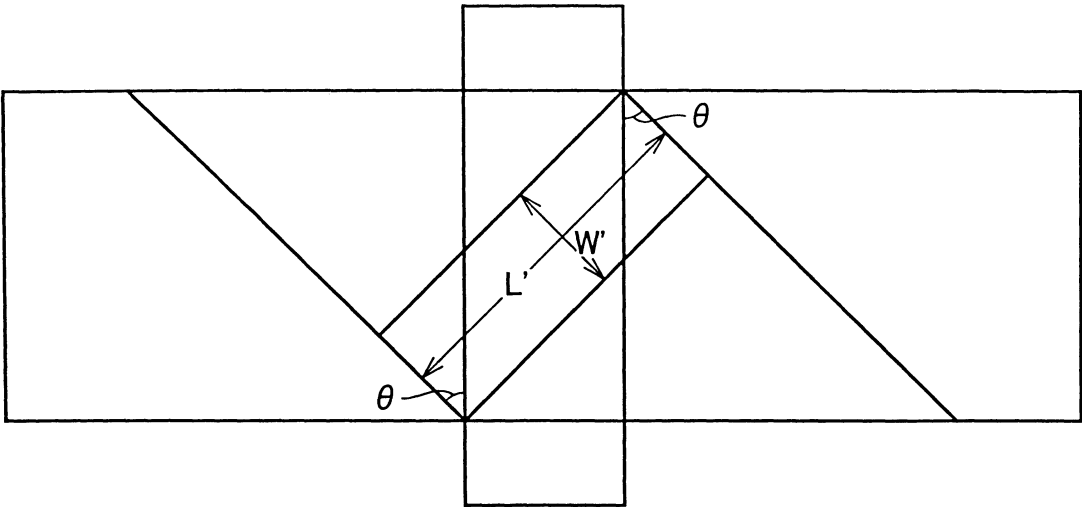
第 1 圖



第 2 圖

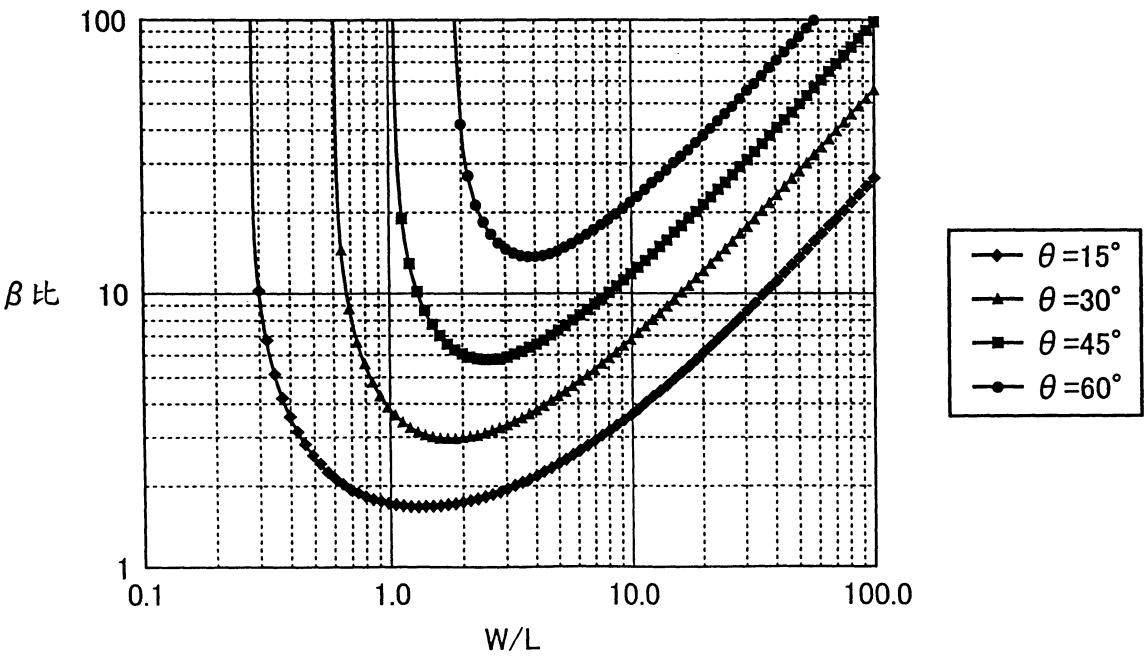


第 3 圖

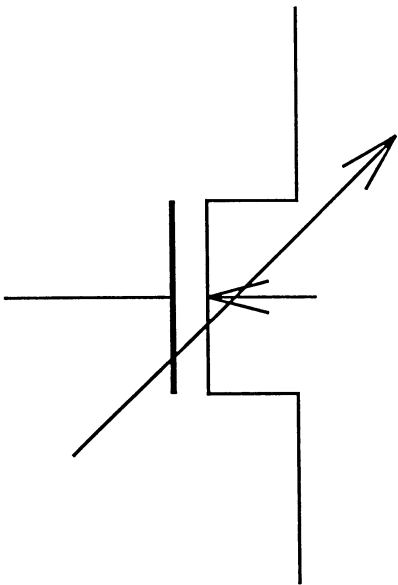


第 4 圖

元件  $\beta$  調整特性

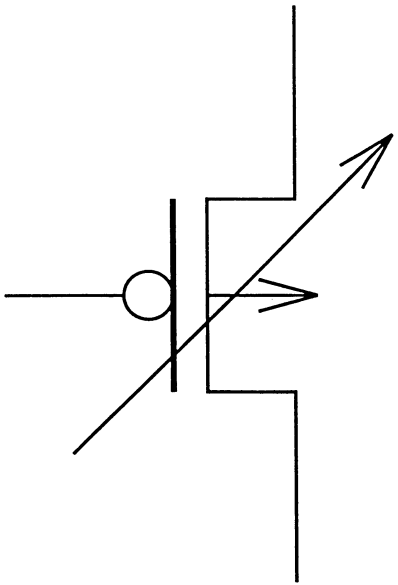


第 5 圖



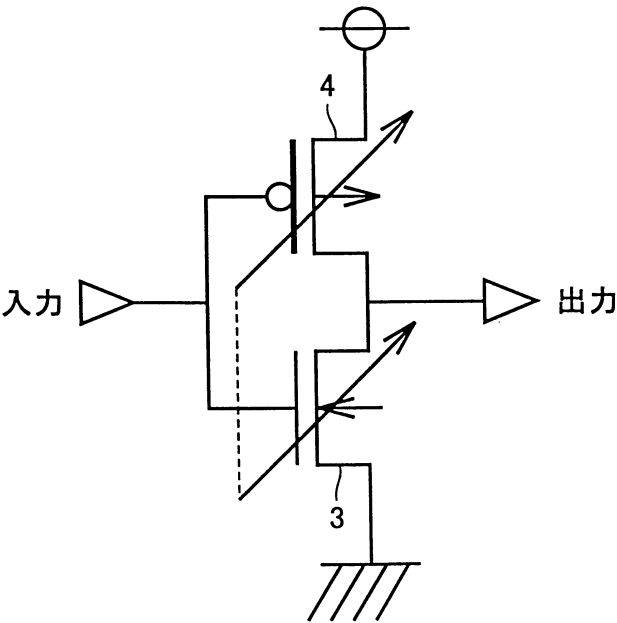
3

第 6A 圖



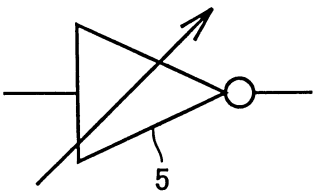
4

第 6B 圖

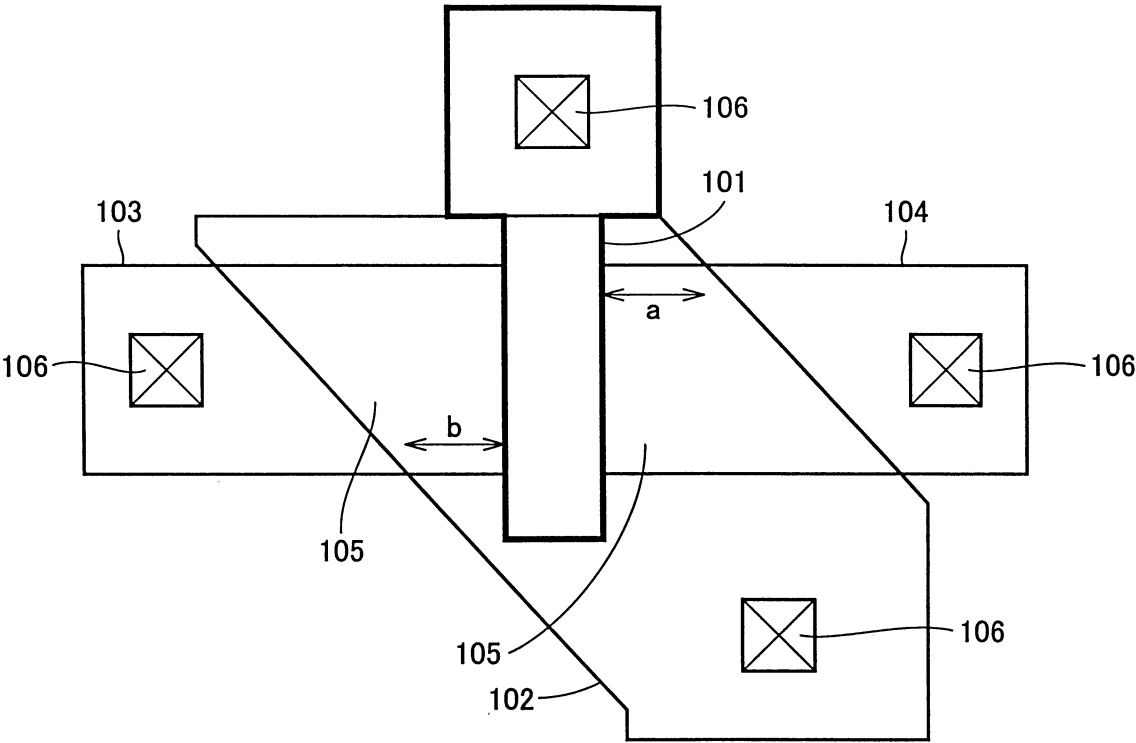


5

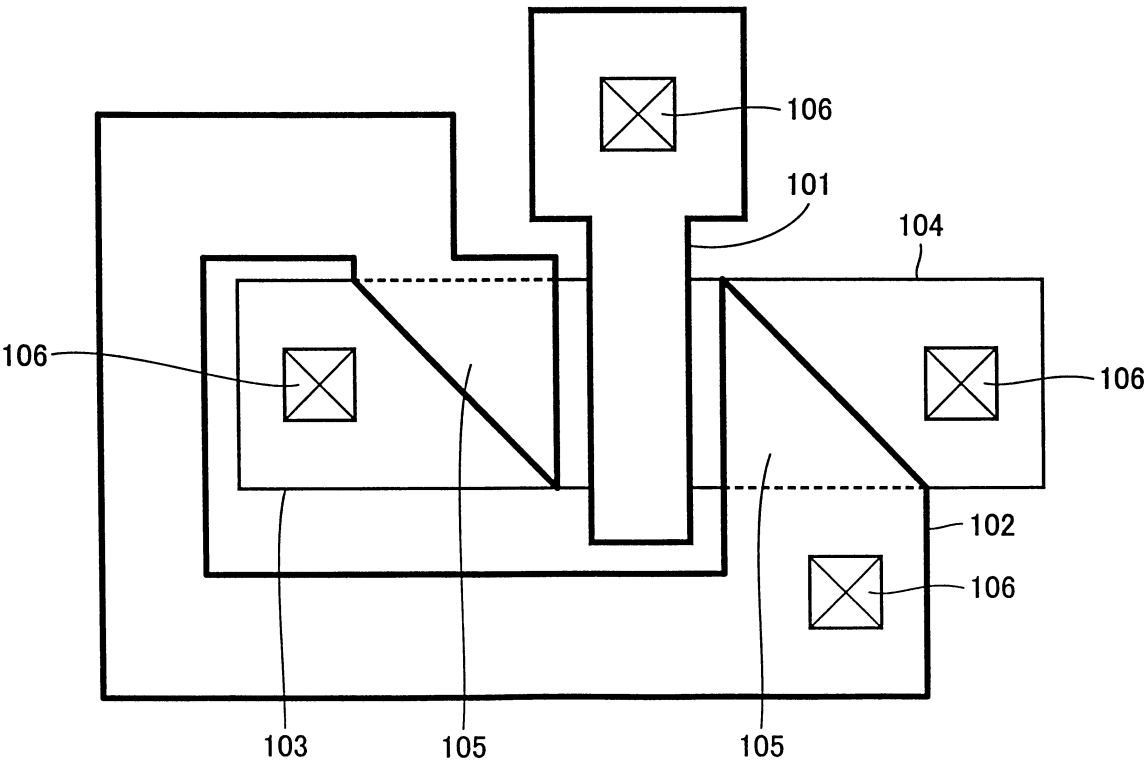
第 7A 圖



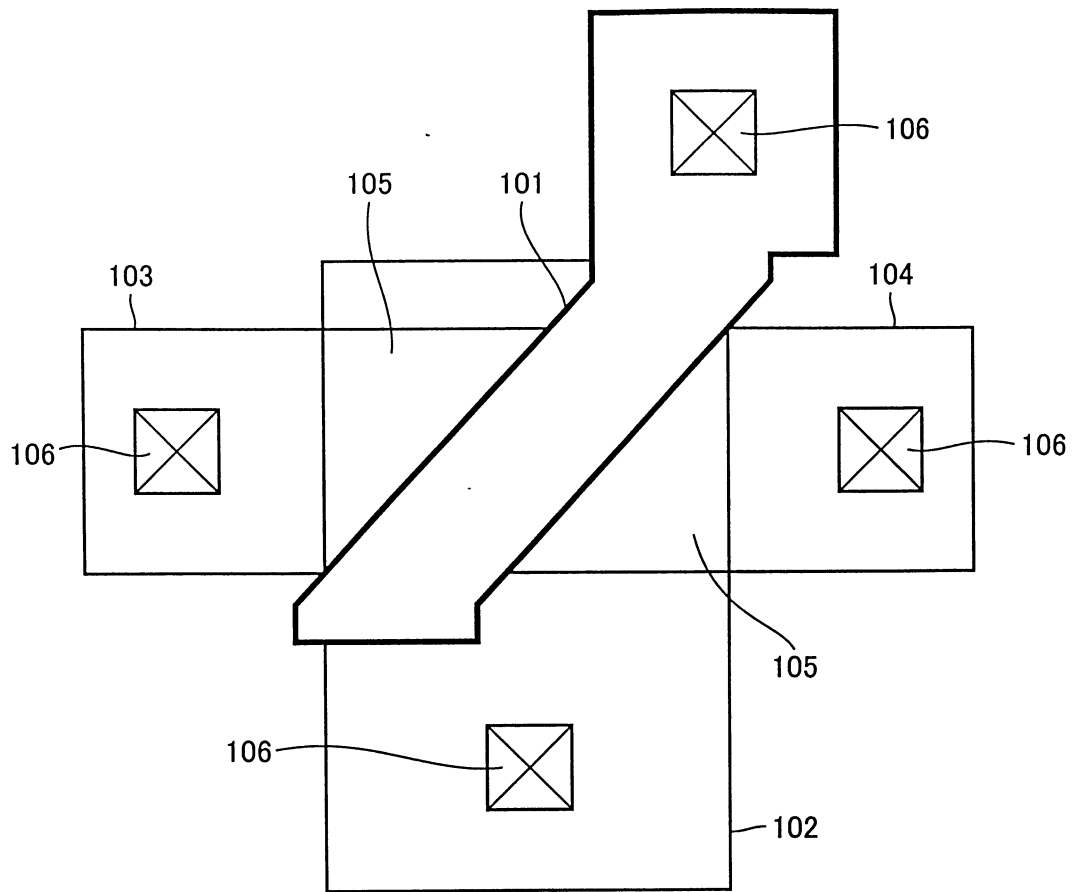
第 7B 圖



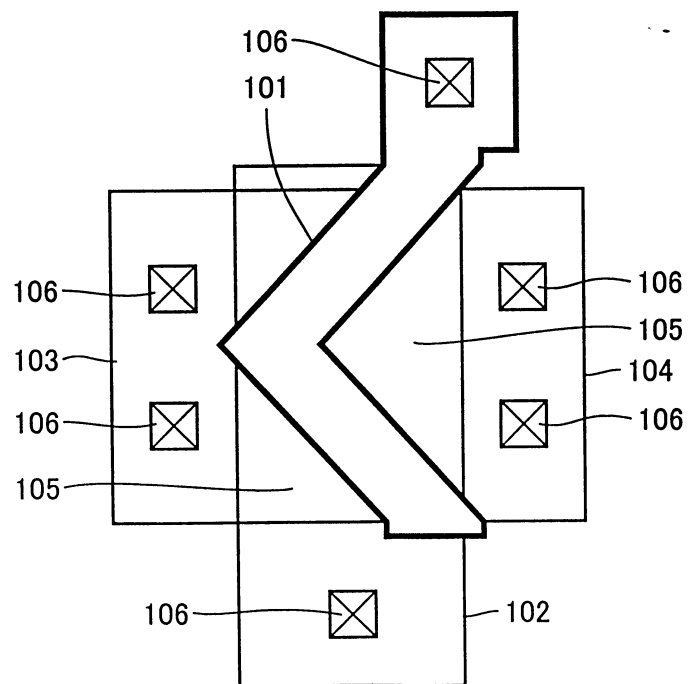
第 8 圖



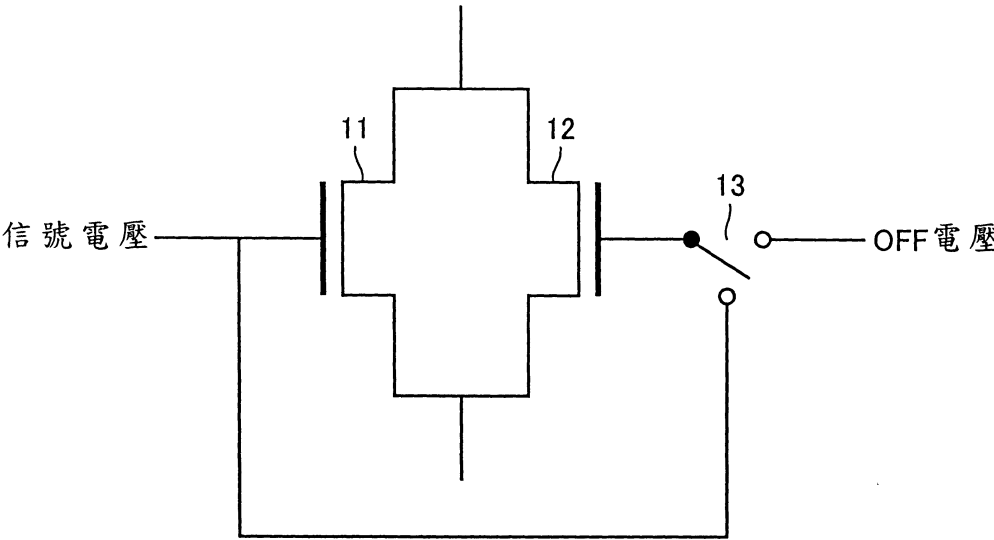
第 9 圖



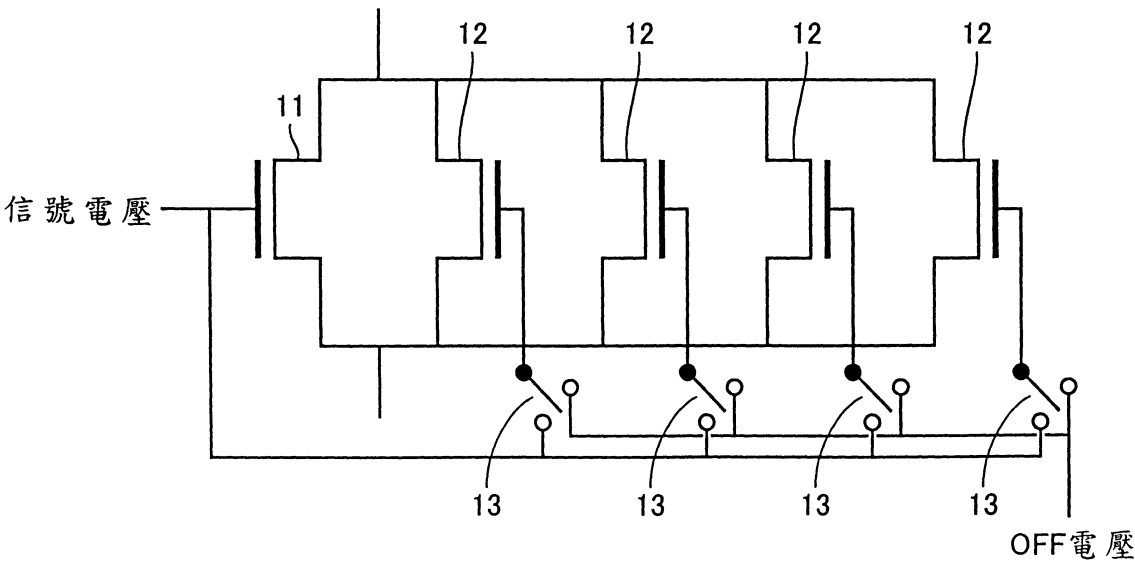
第 10 圖



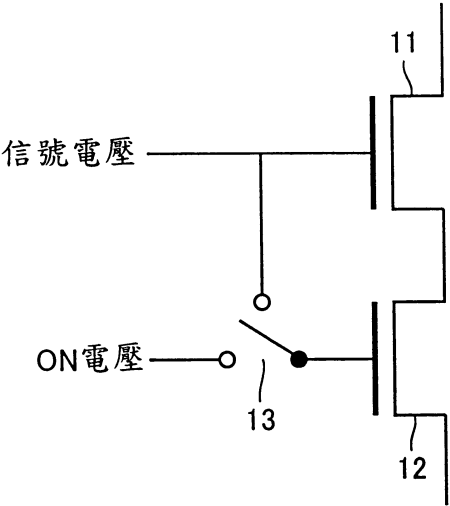
第 11 圖



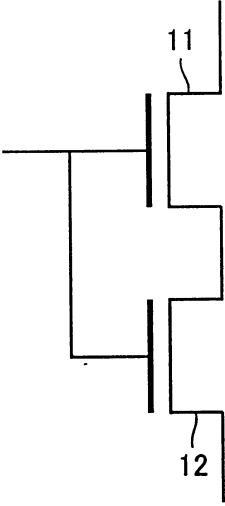
第 12 圖



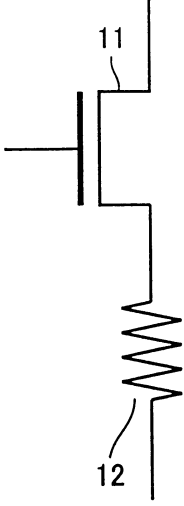
第 13 圖



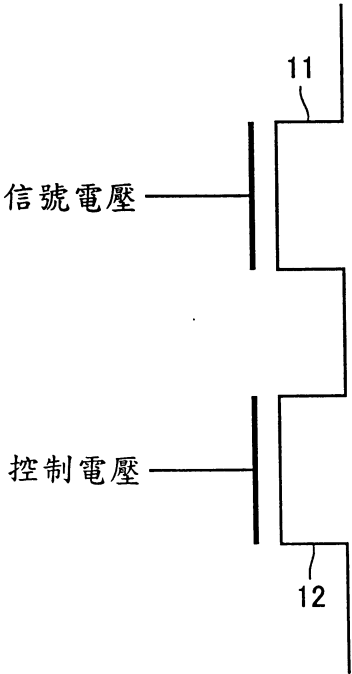
第 14A 圖



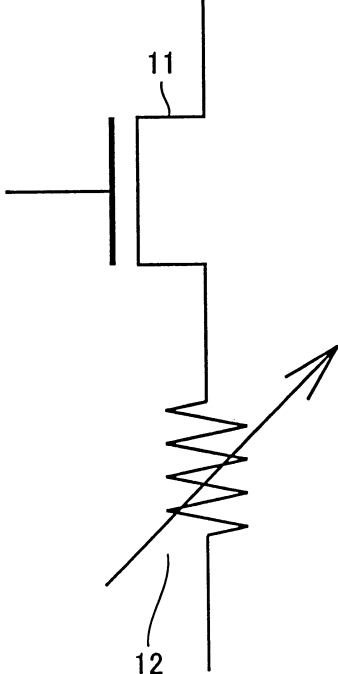
第 14B 圖



第 14C 圖



第 15A 圖



第 15B 圖

## 五、發明說明 (6)

以下參照圖面來詳細說明此發明的實施形態中的半導體元件。對圖中相同或類似的部分則標示以相同的符號，不重複其說明

實施形態1：

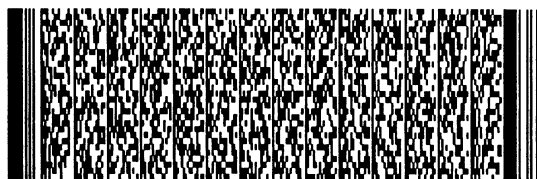
元件構造：

首先為了明確地指出依據本實施形態1之半導體元件中的基本構造的特徵，在圖1中說明關於元件的基本構成要素之佈局構成例子。依據本實施形態1之半導體元件的構造上的特徵，是對通常的MOS閘極追加設置形成一定角度的控制閘極。

在圖1中，101為通常的MOS閘極、102為控制閘極、103為源極區域、104為汲極區域、105為控制通道區域、106為用來拉出電極，與金屬導線在電性上連接的接觸窗(Contact)區域。

依據本實施形態1之半導體元件，在通常的MOS閘極101與源極103或汲極104之間，在控制閘極102下的控制通道區域105分別在實質上形成三角形，包含上述控制閘極102下的控制通道區域105與MOS閘極101下的通道區域的全部通道區域實質上形成平行四邊形。

控制閘極102如圖1中所示，可以與MOS閘極101使用不同的閘極層，在MOS閘極101的上方重疊地來形成。或者在控制閘極102下的控制通道區域105與通常的MOS閘極101下的通道以相同特性來形成亦可，也可以在MOS閘極101下改變不純物濃度，使得通道電導能夠獨立地加以調整。



## 六、申請專利範圍

## 1. 一種半導體元件，包括：

源極區域(103)和汲極區域(104)；

第一閘極(101)，在上述源極區域與汲極區域之間，供形成通道區域；

第二閘極(105)，根據施加的電壓，對在上述通道區域之電場的方向做調變。

## 2. 一種半導體元件，包括：

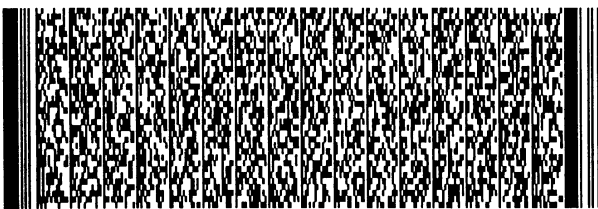
第1閘極(101)，形成有著矩形或平行四邊形的四角形的通道區域；及

第2閘極(102, 101)，在上述第1閘極下形成的通道區域與源極區域(103)之間，及在上述第1閘極下形成的上述通道區域與汲極區域(104)之間，分別形成有著實質上包含三角形的形狀或實質上包含三角形的梯形形狀的通道區域(105)。

3. 如申請專利範圍第2項中所述的半導體元件，其中包括上述第1閘極(101)下形成的通道區域與位於其兩側的上述第2閘極(102)下形成的通道區域(105)的全部的通道區域，實質上為矩形或平行四邊形的形狀。

4. 如申請專利範圍第2項中所述的半導體元件，其中上述第1閘極(101)下形成的通道區域的電導與上述第2閘極(102)下形成的通道區域(105)的電導互不相同。

5. 如申請專利範圍第2項中所述的半導體元件，其中上述第1閘極(101)下形成的通道區域的電導與上述第2閘極(102)下形成的通道區域(105)的電導為相同。



## 六、申請專利範圍

6. 如申請專利範圍第2項中所述的半導體元件，其中上述第1閘極(101)與上述第2閘極(102)分別以不同的步驟來製造及形成。

7. 如申請專利範圍第2項中所述的半導體元件，其中上述第1閘極(101)與上述第2閘極(102)是以相同的步驟來製造及形成。

8. 如申請專利範圍第4項中所述的半導體元件，其中上述第2閘極(102)下所形成的通道區域(105)的電導較上述第1閘極(101)下所形成的通道區域的電導大。

9. 一種半導體元件，包括：

源極區域(103)和汲極區域(104)；

第一閘極(101)，在上述源極區域與汲極區域之間，供形成通道區域；

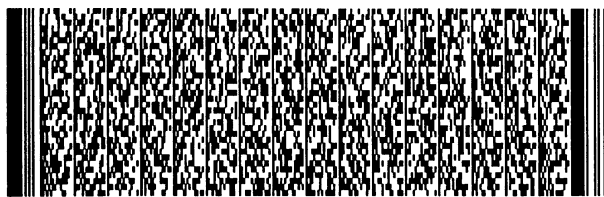
第二閘極(105)，根據施加的電壓，對在上述通道區域之電場的角度做調變。

10. 如申請專利範圍第1項之半導體元件，其中上述第二閘極與上述第一閘極為不同的層，並與上述第一閘極於同一平面可見，部分地重疊而形成。

11. 如申請專利範圍第1項之半導體元件，其中上述第二閘極與上述第一閘極為同一層，互相電氣分離而形成。

12. 如申請專利範圍第9項之半導體元件，其中上述第二閘極與上述第一閘極為不同的層，並與上述第一閘極於同一平面可見，部分地重疊而形成。

13. 如申請專利範圍第1項之半導體元件，其中上述第



## 六、申請專利範圍

二閘極與上述第一閘極為同一層，互相電氣分離而形成。

