



特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 B41J 29/00, 29/38, G06F 3/12 G06K 17/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 93/16882 (43) 国際公開日 1993年9月2日 (02.09.1993)</p>
--	-----------	---

(21) 国際出願番号 PCT/JP92/00228
(22) 国際出願日 1992年2月26日(26. 02. 92)

(71) 出願人
セイコーエプソン株式会社
(SEIKO EPSON CORPORATION)[JP/JP]
〒160 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)

(72) 発明者
若林謙一(WAKABAYASHI, Ken-ichi)
高山智敏(TAKAYAMA, Chitoshi)
塩崎 正(SHIOZAKI, Tadashi)
〒392 長野県諏訪市大和三丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)

(74) 代理人
弁理士 五十嵐孝雄, 外(IGARASHI, Takao et al.)
〒460 愛知県名古屋市中区栄一丁目16番15号 伏見ドゥービル6階
Aichi, (JP)

(81) 指定国
AT(欧州特許), BE(欧州特許), CH(欧州特許), DE(欧州特許),
DK(欧州特許), ES(欧州特許), FR(欧州特許), GB(欧州特許),
GR(欧州特許), IT(欧州特許), JP, LU(欧州特許),
MC(欧州特許), NL(欧州特許), SE(欧州特許).

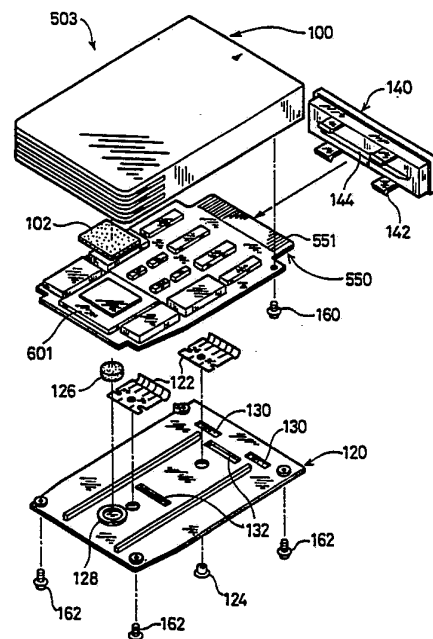
添付公開書類 国際調査報告書

(54) Title : ADDITIONAL ELECTRONIC DEVICE AND ELECTRONIC SYSTEM

(54) 発明の名称 付加電子装置および電子システム

(57) Abstract

On a printed board (550) of a cartridge (503) are arranged a microprocessor (601), a ROM storing a processing program for the microprocessor (601), and a ROM storing a processing program for a processor in a printer body. When the cartridge (503) is inserted in the printer body, the processor in the printer body reads discrimination data stored in the ROM in the cartridge, and the processor in the printer body performs the processing according to the predetermined processing program in response to the discrimination data. The microprocessor (601) is arranged at the rear end of the cartridge when inserted so that it can effectively dissipate heat outside.



(57) 要約

カートリッジ (503) のプリント基板 (550) には、マイクロプロセッサ (601) と、マイクロプロセッサ (601) 用の処理プログラムを記憶したROMと、プリンタ本体内のプロセッサ用の処理プログラムを記憶したROMとが設置されている。カートリッジ (503) がプリンタ本体に挿入されると、プリンタ本体内のプロセッサがカートリッジ内のROMに記憶された識別データを読み取り、この識別データに応じて、プリンタ本体内のプロセッサが所定の処理プログラムに従った処理を行なう。マイクロプロセッサ (601) は、カートリッジの挿入方向の後端に配置されているので、マイクロプロセッサの熱を効率よく外部に放出できる。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュージーランド
BF	ブルキナ・ファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コート・ジボアール	LI	リヒテンシュタイン	SU	ソヴェエト連邦
CM	カメルーン	LK	スリランカ	TD	チャド
CS	チェコスロヴァキア	LU	ルクセンブルグ	TG	トーゴ
CZ	チェッコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

明細書

付加電子装置および電子システム

【技術分野】

本発明は、プロセッサを備える付加電子装置および該付加電子装置を含む電子システムに関し、特にその冷却対策に関する。

【背景技術】

近年、パーソナルコンピュータ、ワードプロセッサ、ワークステーションなどのデジタル演算に基礎を置く電子装置、あるいはマイクロプロセッサを組み込んだプリンタ、ファクシミリ、電子手帳、電子楽器、電子調理器、電子カメラなどが、社会の広範な領域で用いられている。また、自動車、ロボット、工作機械、あるいは各種電化製品においても、マイクロプロセッサを利用したものが、広く実用に供されている。

こうしたデジタルな論理演算に基礎を置く機器は、ハードウェアのみで実現された単純なフィードバック制御と比べて柔軟な制御が可能であることの他、ソフトウェアの変更により実質的な機能を変更することができるという利点を有する。従って、同一のハードウェアであっても、処理手順を記憶したROMの中身を変更するだけで、全く異なった制御を実現することも可能である。更に、ソフトウェアの変更のみで機能のバージョンアップが可能であるという利点も有するのである。

しかしながら、実際に制御を行なうプロセッサの能力は、ハードウェア、例えば時間当たりの処理回数、一度に取り扱えるビット数、データの転送を行なうバス幅などにより決まるから、ソフトウェアのバージョンアップによって改善されるのは、たかだか使い勝手の向上など、限定されたものに過ぎず、現実に既存の電子装置の能力を大幅に向上させることはできなかった。また、ソフトウェアの変更によるバージョンアップも、ソフトウェアはROMに焼き付けられていることが多く、ソフトウェアの変更にはROMの交換作業を必要としたため、困難な

場合が多い。このため、ソフトウェアのバージョンアップは、設計当初からROM交換を予定している機種やソフトウェアをフレキシブルディスクなど交換可能な媒体で供給するもの以外では困難であった。

もとより、パーソナルコンピュータなどにおいて、マイクロプロセッサなどをそっくり入れ替えて、コンピュータ全体の機能を向上しようとするいわゆるアクセラレータなども存在するが、マザーボード上のCPUの交換が必要になるなど、誰にでも簡単に行なえるというものではなかった。マイクロプロセッサを組み込んだプリンタ、ファクシミリ、電子手帳、電子楽器、電子調理器、電子カメラなどの民生用電子装置、あるいは自動車の電装品、ロボット、工作機械などの産業用電子装置、更には各種電化製品となると、こうした機能の向上、変更については、何等考慮されていないのが通常である。かかる問題を、ページプリンタを例にとつて詳細に説明する。

近年、レーザプリンタ等のページプリンタの普及にはめざましいものがあり、コンピュータからのデータの高速な出力機器の主流になろうとしている。レーザプリンタの場合、240から800DPIの解像度を持ち、一分当たり数ページの印字能力を持つものが開発されている。こうしたプリンタは、印刷用のエンジンとして感光ドラムを用いたゼログラフィユニットを使用しており、帯電、露光、トナー塗布、転写の各工程を感光ドラムの回転に同期して連続的に行なうことから、1ページ分の画像をメモリに蓄えた後、印刷処理を起動する。

従って、ページプリンタに備えられた画像展開用のメモリは、少なくとも1ページ分の画像をメモリに蓄える容量が必要となり、画像データの圧縮を行っていないならば、その容量は解像度と処理可能な用紙の大きさとから決まる。例えば、解像度300DPI、用紙の大きさを横8インチ、縦10インチの場合を考えると、全部で $8 \times 10 \times 300 \times 300 = 7,200,000$ ドットの画素を取り扱うことになり、少なくとも0.9メガバイトのメモリを用意しなければならない。

また、外部のコンピュータから受け取る印字データが印刷しようとする画像のビットイメージそのものであれば、プリンタはデータを受け取ってこれをメモリに順次記憶する処理を行なうだけであり、処理速度は主にデータの転送速度に依

抛する。並列転送、例えばセントロニクス社規格準拠の転送方式はかなり高速なので、転送速度がゼログラフィユニットの印刷能力を下回ることはほとんど考えられない。

しかしながら、印字データとして文字のコードと行および桁ピッチなどの情報を受け取りこれを画像として展開する機能を備えたプリンタでは、あるいはページ記述言語で記述されたプログラムを受け取ってこれを解釈して展開するプリンタでは、印字データに基づいてビットイメージを演算・生成する処理が必要となり、単純なビットイメージの転送と較べて全体の処理速度が大きく低下するという問題があった。即ち、プリンタの処理速度が、主に処理を行なうプロセッサの能力およびメモリのアクセスタイム等により決まることになり、ゼログラフィユニット自体の印刷能力を大幅に下回ってしまうのである。

例えば、1分間に10枚印刷可能なページプリンタを考えると、1枚の印刷物用の画像データを準備するのに許された時間はわずか6秒しかなく、この時間に0.9メガバイトのデータを総て展開しようとするれば、1バイト当たり許容される処理時間は、わずか6.67マイクロセカンドに過ぎない(6秒/0.9メガバイト)。この処理速度は、現在市場に供給されている高速のRISCタイプのプロセッサで実現可能かどうかという程度である。これに対してゼログラフィユニットは、10枚/分程度の印刷能力を既に備えていることが多い。従って、現状では、印字データを処理する制御部の処理能力が、全体の印字速度を向上する上でのネックとなっている。

ページプリンタの中には、内部のメモリ容量を増大可能なものや、予め拡張スロットを用意し、ここにフォントやプログラムを内蔵したカートリッジなどを装着することにより機能を向上しようとするものがあるが、メモリの拡張に伴う処理速度の向上は望めても、処理能力自体を向上させることはできなかった。例えば、特定のページ記述言語しかサポートしていないレーザープリンタに、他のページ記述言語を処理する機能を拡張するため、ICカードその他のカートリッジの形態で他のページ言語インタープリタのプログラムを供給するものが知られている。このカートリッジは、プログラムをマスクROMの形態で内蔵しており、プリンタの拡張スロットに装着される。

ページ言語インタープリタのプログラムを提供するこのカートリッジについて説明する。プリンタ本体の制御部は、電源投入直後などのタイミングで、カートリッジに割り当てられた所定のアドレスを読みに行く。ページ言語プログラムを収納したカートリッジが装着されている場合には、特定のコードが返されるので、制御部は、カートリッジがページ言語プログラムであることを知る。これにより、プリンタの制御は、カートリッジ内部におかれているインタープリタプログラムに移る。この結果、プリンタは外部から受け取るデータをそのページ言語に従って解釈することができるようになるが、処理速度自体が向上する訳ではなく、むしろ高級なページ記述言語を改めて採用することで、全体の印刷速度は低下することが多い。

そこで、上述の問題を解決するために、プリンタ本体とは別個のマイクロプロセッサを備えるカートリッジを発明した。このカートリッジは、プリンタ本体から印字データを受取る機能を有しており、また、カートリッジ内のマイクロプロセッサは、受け取った印字データに基づいて画像データを展開する機能を有している。

ところで、マイクロプロセッサは、数万個から数十万個の素子を含む電子回路であり、それらの素子が20~40MHzあるいはそれ以上の周波数を有するクロック信号に応じてスイッチング動作などを行なっている。従って、マイクロプロセッサは動作中にかなりの熱を発生する。このため、マイクロプロセッサで発生した熱を外部に放出しないとマイクロプロセッサの温度が上がり、マイクロプロセッサが誤動作を起こしたり、内部の素子が破壊されてしまったりすることがある。

誤動作や素子の破壊を防止するために、マイクロプロセッサのケースに対しては80℃程度の最大許容温度が設定されている。ケースの表面温度を許容値以下に保つためには、カートリッジの構造を工夫して、マイクロプロセッサから外部に放熱しやすい構造にすることが重要となる。

しかし、従来はプリンタに装着されるカートリッジであってマイクロプロセッサを備えるものが存在しなかったため、カートリッジの放熱構造も知られていなかった。このようなカートリッジの放熱構造の問題は、プリンタに装着されるカ

ートリッジに限らず、一般に、電子装置に付加される付加電子装置に共通の問題である。

この発明は、従来技術における上述の課題を解決するためになされたものであり、内部の回路素子を効率的に冷却することのできる付加電子装置および該付加電子装置を含む電子システムを提供することを目的とする。

【発明の開示】

上述の課題を解決するため、この発明は、論理演算可能な第1のプロセッサと、該プロセッサが実行する処理を記憶した第1の記憶手段と、前記第1のプロセッサの少なくともアドレス信号線が接続されたコネクタと、外部に転送すべきデータをアドレス信号に反映させるとともに該アドレス信号を前記コネクタを介して出力するアドレス出力手段とを備えた電子装置に、所定の挿入口を介して挿入される付加電子装置であって、前記第1のプロセッサとは別個の処理を実行する第2のプロセッサと、該第2のプロセッサが実行する処理手順を記憶した第2の記憶手段と、前記電子装置から出力されたアドレス信号から該アドレスに反映されたデータを取り出すデータ取出手段とを備えており、付加電子装置内において最も発熱量の多い回路素子が、付加電子装置の挿入方向において、付加電子装置のほぼ中央と後端との間に配置されている。

最も発熱量の多い回路素子を中央と後端との間に配置したので、電子装置内に付加電子装置を比較的深く挿入した場合にも、最も発熱量の多い回路素子が電子装置の外部付近に置かれることになり、従って、その回路素子を効率良く冷却できると。

一実施例においては、最も発熱量の多い回路素子は第2のプロセッサを含んでいる。

付加電子装置は、付加電子装置内の回路素子を配置した回路基板を備えるのが好ましい。

また、付加電子装置内の回路素子と回路基板とを収納する筐体を備えるのが好ましい。

さらに、筐体の少なくとも一面が金属で形成されているのが好ましい。こうす

れば、金属部分を通して熱を効率的に外部に放出できる。

また、筐体の全体は金属製であるのが特に好ましい。筐体の全体を金属で形成すれば筐体全体の熱伝導率が高くなり、また、筐体がヒートシンクとしても機能するので回路素子の熱をさらに効率よく放出することができる。

あるいは、筐体を熱伝導率が約 $1 \text{ W/m} \cdot \text{K}$ 以上の材料で形成してもよい。筐体を熱伝導率が約 $1 \text{ W/m} \cdot \text{K}$ 以上の材料で形成すれば、比較的効率よく外部に放熱できる。

また、筐体の内部において、第2のプロセッサの上面に対向する面に設置された金属製の放熱部材を有することが好ましい。こうすれば、この放熱部材を介してさらに効率よく外部に放熱できる。

さらに、第2のプロセッサの上面と前記筐体との間に介装され、前記第2のプロセッサと前記筐体とに密着する介装部材を備えるのが好ましい。介装部材は第2のプロセッサと筐体とを密着させるので、これらの間の熱抵抗を低減することができる。なお、この介装部材は前記第2のプロセッサの上面と前記放熱部材との間に介装されるものであってもよい。介装部材はゴム状物質または液状物質であるのが特に好ましい。

また、第2のプロセッサを、該第2のプロセッサの上面と対向する前記筐体の方向に押すための弾性部材を備えるのが好ましい。弾性部材は、第2のプロセッサから筐体までの各部材の密着性を高めるので、これらの間の熱抵抗をさらに低減できる。

なお、この弾性部材は、前記回路基板に設けられた開口を貫通し、前記第2のプロセッサの下面と前記筐体との間に介装されているようにしてもよい。こうすれば、弾性部材を介して筐体側に放熱でき、さらに効率よく放熱することができる。この弾性部材はシリコンゴム製であるのが特に好ましい。シリコンゴムは、熱伝導率が高く、かつ、弾力があるので、さらに効率的に放熱することができる。

また、少なくとも前記第2のプロセッサに対向する前記筐体の部分に開口部が設けられているのが好ましい。開口部を介して空気が流通するので、付加電子装置内の回路素子を空気の対流によって効率よく冷却することができる。

なお、筐体がプラスチックで形成されている場合にも、少なくとも前記第2のプロセッサに対向する前記筐体の部分に開口部が設けられていることが好ましい。

また、回路基板は、前記筐体内の空間を比較的広い第1の空間と、比較的狭い第2の空間とに仕切るように前記筐体内に設置されており、前記第2のプロセッサは、前記第1の空間側に設置されているのが好ましい。これは、第2のプロセッサを比較的狭い第2の空間に設置した場合に比べて、第2のプロセッサの周囲における空気抵抗を少なくすることができ、従って、筐体内において第2のプロセッサをより効率的に冷却できる。

付加電子装置は、さらに、付加電子装置内の所定の回路素子にクロック信号を与える発振回路と、前記所定の回路素子が所定時間以上動作していないことを検出するとともに、この検出に応じて前記クロック信号の周波数を調整する周波数調整回路と、を備えることが好ましい。こうすれば、所定の回路素子が動作していない場合にその発熱量を低減することができる。

好ましくは、前記第1のプロセッサが前記所定の回路素子が所定時間以上動作していないことを検出して前記周波数調整回路に通知し、この通知に応じて前記周波数調整回路が前記クロック信号の周波数を調整する。。

あるいは、前記第2のプロセッサが前記所定の回路素子が所定時間以上動作していないことを検出して前記周波数調整回路に通知し、この通知に応じて前記周波数調整回路が前記クロック信号の周波数を調整する。

一実施例においては、前記所定の回路素子は、前記第2のマイクロプロセッサを含んでいる。

前記周波数調整回路は、前記クロック信号の周波数を所定の周波数レベルに低減する回路を備えるのが好ましい。

また、前記周波数調整回路は、前記クロック信号の周波数をゼロにする回路を備えていてもよい。

この発明は、さらに、上記の付加電子装置と電子装置とを備える電子システムとしても実現される。

【図面の簡単な説明】

- 図1は、この発明の一実施例としてのカートリッジの構造を示す分解斜視図、
図2は、プリント基板の上面側と下面側の素子の配置を示す平面図、
図3は、上部ケースを示す図、
図4は、組み立てた状態におけるカートリッジの断面図、
図5は、カートリッジのマイクロプロセッサの部分を拡大して示す要部断面図、
図6は、下部ケースのバネ部材を示す図、
図7は、第1のタイプのプリンタ本体にカートリッジを挿入した状態を示す斜視図、
図8は、第2のタイプのプリンタ本体にカートリッジを挿入した状態を示す斜視図、
図9は、第1のタイプのプリンタ本体に挿入した状態におけるカートリッジとプリンタ本体のフレームの縦断面図、
図10は、第2のタイプのプリンタ本体に挿入した状態におけるカートリッジとプリンタ本体のフレームの縦断面図、
図11は、マイクロプロセッサをカートリッジの中央に配置した場合の断面図、
図12は、マイクロプロセッサをカートリッジの中央に配置した場合のプリント基板上の素子の配置を示す平面図、
図13は、上部ケースを経由する放熱経路の等価回路を示す図、
図14は、温度上昇試験時における温度測定点を示す概念図、
図15は、プラスチック製のカートリッジケースを示す図、
図16は、カートリッジの挿入方向に長いバネ部材を示す斜視図、
図17は、マイクロプロセッサを直接押す押圧用シリコンゴムを用いたカートリッジ示す要部断面図、
図18は、プリンタとカートリッジの全体構成を示すブロック図、
図19は、コネクタCN11における信号線の構成を示す説明図、
図20は、電子制御装置501側からみたカートリッジ503のアドレスマッ

ブを示す説明図、

図21は、マイクロプロセッサ601側からみたカートリッジ503のアドレスマップを示す説明図、

図22は、カートリッジ503の内部構成を示すブロック図、

図23は、割込要求レジスタ640の構成例を示す回路図、

図24は、ポーリング・コマンドレジスタ643の構成例を示す回路図、

図25は、ステータスレジスタ645の内容を示す説明図、

図26は、読出制御回路620の構成例を示す回路図、

図27は、読出制御回路620を用いたデータ転送を実現する電子制御装置501側の処理を示すフローチャート、

図28は、ROM671内のデータの構造を示す説明図である

図29は、読出制御回路620を用いたデータ転送を実現するカートリッジ503側の処理を示すフローチャート、

図30は、FIFO制御回路623を用いたデータ転送を実現する電子制御装置501側の処理を示すフローチャート、

図31は、FIFO制御回路623を用いたデータ転送を実現するカートリッジ503側の処理を示すフローチャート、

図32は、ダブルバンク制御回路624の構成例を示す回路図、

図33は、ダブルバンク制御回路624を用いたデータ転送の開始のための処理を示すフローチャート、

図34は、同じく電子制御装置501側におけるその応答処理を示すフローチャート、

図35は、ダブルバンク制御回路624を用いたデータ転送を実現する電子制御装置501側の処理を示すフローチャート、

図36は、ダブルバンク制御回路624を用いたデータ転送を実現するカートリッジ503側の処理を示すフローチャート、

図37は、レーザエンジン505を制御して行なわれる画像データの印刷のタイミングを示すタイミングチャート、

図38は、マイクロプロセッサの動作周波数を低減する回路を示すブロック図

である。

【符号の説明】

- 1, 1 a, 1 b プリンタ本体
- 15 ゼログラフィユニット
- 34 データバス
- 36 バスドライバ
- 50 カートリッジ
- 56 ROM
- 68 データセレクタ
- 100, 101 上部ケース
- 102 放熱用シリコンゴム
- 104 台座部
- 106 端面
- 108 段差部
- 110 金属板
- 120 下部ケース
- 122 バネ部材
- 123 屈曲部
- 124 リベット
- 126 押圧用シリコンゴム
- 128 ゴム保持部
- 130 段差部
- 132 開口部
- 134 バネ部材
- 136 下部ケース
- 140 キャップ
- 142 ツメ
- 144 開口部

- 160 ネジ
- 162 ネジ
- 180 金属フレーム
- 182 金属フレーム
- 500 プリンタ
- 501 電子制御装置
- 503 カートリッジ
- 505 レーザエンジン
- 507 ワークステーション
- 510 CPU
- 511 ROM
- 512 RAM
- 514 データ入力ポート
- 515 ラインバッファ
- 516 バスライン
- 517 レジスタ
- 518 コンソールパネル
- 519 コンソールパネル I/F
- 520 ダブルバッファ回路
- 550 プリント基板
- 551 プラグ部
- 601 マイクロプロセッサ
- 602 メモリ部
- 603 ASIC
- 603 データ転送制御部
- 606 ROM
- 608 ROM
- 610 セレクタ
- 610 データセレクタ

- 611 RAM
- 615 拡張RAMインタフェース
- 617 トライステートバッファ
- 618 ROM
- 619 トライステートバッファ
- 620 読出制御回路
- 621 FIFOメモリ
- 623 FIFO制御回路
- 624 ダブルバンク制御回路
- 635 バス制御部
- 637 リセット素子
- 640 割込要求レジスタ
- 643 コマンドレジスタ
- 645 ステータスレジスタ
- 647 転送フラグレジスタ
- 649 PROMコントロールレジスタ
- 650 コントロールレジスタ
- 651 ラッチ
- 653 FIFOレジスタ
- 654 FIFO書込回路
- 655 FIFO読出レジスタ
- 657 ラッチ
- 658 バッファ
- 661 発振器
- 665 発振器
- 670 EEPROM
- 671 ROM
- 674 D型フリップフロップ
- 680 NANDゲート

681 データセレクト
682 データセレクト
684~686 トライステートバッファ
691 RAM
694, 695 オアゲート
696 インバータ
1100 D型フリップフロップ
1104 D型フリップフロップ
1106 データセレクト
1108 カウンタ
1110 インバータ
1110 カウンタ
520A RAM
520B RAM
520C メモリ書込コントローラ
520D メモリ読出コントローラ
601p ビン
640a フリップフロップ
640a 割込要求レジスタ
643a オクタルD型フリップフロップ
643c D型フリップフロップ
6521 ラッチ
7900 ユーザブルゲート
AAB アドレスバス
CAB アドレスバス
CDB データバス
CN10 コネクタ
CN11 コネクタ
OP 開口

- Pw 発熱量
- Ta 環境温度
- Tc パッケージ温度
- Tc 上面温度
- θf 熱抵抗
- θt 合成熱抵抗

【発明を実施するための最良の形態】

実施例を以下の各項に分けて説明する。

- [i] カートリッジの放熱構造
 - A. カートリッジの構造
 - B. 熱設計計算と温度上昇試験結果
 - C. カートリッジ構造の変形例
- [ii] プリンタおよびカートリッジの電氣的構成
 - A. プリンタおよびカートリッジの全体構成
 - B. カートリッジのアドレス空間
 - C. カートリッジの内部構成
 - D. データ転送制御部603の説明
 - E. 各レジスタの説明
 - F. 読出制御回路620の構成と働き
 - G. FIFO制御回路623の構成と働き
 - H. ダブルバンク制御回路624の構成と働き
 - I. 画像データの印刷
- [iii] その他

[i] カートリッジの放熱構造

- A. カートリッジの構造

図1は、この発明の一実施例としてのプリンタ用カートリッジの構造を示す分解斜視図である。このカートリッジ503は、プリンタ本体のフォント用カート

リッジ挿入口に挿入されるカートリッジとして設計されている。ただし、このカートリッジは、後述するように、プリンタ本体から印字データを受け取り、受け取った印字データを画像データに展開する機能を有している。

このカートリッジ503は、内部が凹状の上部ケース100と、板状の下部ケース120との間に多層プリント基板550（以下、単に「プリント基板」と呼ぶ）が挿入された構造を有しており、プリント基板550のコネクタ側にはキャップ140がはめ込まれる。プリント基板550には、マイクロプロセッサ601などの回路素子を取り付けられている。上部ケース100と下部ケース120とはどちらもアルミニウム製である。アルミニウムは熱伝導率が高いので、内部の素子からの発熱を効率的に外部に伝達し、放出することができる。

下部ケース120には、プリンタ本体とのアース接続を確保するための2枚のアース用バネ部材122がリベット124でそれぞれ固定されており、また、プリント基板550を上方に押すための円柱状の押圧用シリコンゴム126が下部ケース内面のゴム保持部128にはめ込まれている。押圧用シリコンゴム126は、マイクロプロセッサ601の直下にあたるプリント基板550を上方に押す。マイクロプロセッサ601の上面と上部ケース100の内面との間には、密着性と熱伝導性を改善するためのシート状の放熱用シリコンゴム102が介装される。押圧用シリコンゴム126がプリント基板550を上方に押すことによって、マイクロプロセッサ601も上方に押しつけられ、マイクロプロセッサ601と放熱用シリコンゴム102、および、放熱用シリコンゴム102と上部ケース100の密着性がそれぞれ高められる。この結果、マイクロプロセッサ601から上方への放熱が効率よく行なわれる。

組立の際には、まず上部ケース100を裏返し、放熱用シリコンゴム102を上部ケース100の所定の位置に置いた後、プリント基板550を1本のネジ160によって上部ケース100内に固定する。さらに、下部ケース120を上部ケース100にはめてその四隅をネジ162でそれぞれ固定する。その後、上部ケース100と下部ケース120との間に形成されたキャップ口にキャップ140を挿入することによって、カートリッジ503が完成する。

図2(A)はプリント基板550の上面側を示す平面図であり、(B)はプリ

ント基板550の下面側を示す平面図である。

図2(A)に示すように、プリント基板550の上面側の一端にはマイクロプロセッサ601が取り付けられており、他端にはプリンタ本体のコネクタと接続するための複数の電極が並行に配列された差し込みプラグ部551が形成されている。

マイクロプロセッサ601に近いプリント基板550の両側部には、マイクロプロセッサ601用の制御プログラムなどを記憶する2つのROM606~609がそれぞれ配置されている。また、プリント基板550の中央部には、マイクロプロセッサ601と隣接して4つのトライステートバッファ617が正方状に配列されている。ROM606~609とプラグ部551との間、および、トライステートバッファ617とプラグ部551との間には、4つのダイナミックRAM611~614が並行に配列されている。なお、図示の便宜上、プリント基板550の表面上に形成された配線パターンは省略されている。

マイクロプロセッサ601はピングリッドアレイ(PGA)タイプの素子であり、他はSOJタイプ、SOPタイプまたはQFPタイプの素子である。マイクロプロセッサ601としては、例えば、RISCプロセッサであるAMD社製のAm29030(クロック周波数25MHz)が使用される。

図2(B)に示すように、プリント基板550の下面側の一端にもプラグ部551が形成されている。また、その他端部には、マイクロプロセッサ601のピン601pがそのまま突出してきている。マイクロプロセッサ601の両側には、トライステートバッファ619が2つずつそれぞれ配置されている。プリント基板550の中央部でややプラグ部551寄りの位置には、マイクロプロセッサ601用の制御回路やレジスタなどを含むASIC(特定用途向けLSI)603が配置されている。

ASIC603に近いプリント基板550の側部には、プリンタ本体のコンフィグレーション(印刷枚数、用紙サイズ、マージン、フォント、通信パラメータなどのプリンタの動作に関連するパラメータ)を記憶するEEPROM670が配置されている。また、EEPROM670に隣接して、プリンタ本体のマイクロプロセッサを動作させるためのプログラムを記憶したROM618が配置され

ている。

EEPROM670と反対側の端部には、2つの発振器661、665が設置されている。第1の発振器661はマイクロプロセッサ601用のクロック信号の基となる信号を発信する回路であり、例えば50MHzのクロック信号を発信する。第2の発振器665は後述するインターバルタイマ処理部に利用されるクロック信号を発信する回路であり、例えば5MHzのクロック信号を発信する。このように、マイクロプロセッサ601専用の発振器661を設けておけば、この発振器661を交換するだけでマイクロプロセッサ601のクロック周波数を容易に変更できるという利点がある。

発振器665の隣には、リセット素子637と、FIFOメモリ621と、NANDゲート680とがプリント基板550の側端に沿って配列されている。さらに、プラグ部551に並行に、5つのトライステートバッファ684~688が配列されている。

図2に示すように、プリント基板550の上面側も下面側も共に、長方形の素子の長手方向が、カートリッジ503の挿入方向に揃えられている。このような配列は、矢印で示すように、プラグ部551からマイクロプロセッサ601の方向に向かう空気の流れを容易にしておき、マイクロプロセッサ601の冷却に寄与している。

前述したように、このカートリッジ503はプリンタ本体のフォント用カートリッジ挿入口に挿入される。通常のフォント用カートリッジは、フォントデータを記憶したROMを収納したものに過ぎない。これに対して、この実施例のカートリッジ503は、マイクロプロセッサ601と、マイクロプロセッサ601の処理プログラムを記憶したROM606~609と、プリンタ本体内のプロセッサの処理プログラムを記憶したROM618と、ASIC603を含む制御回路とを備えている点が特徴的である。

このカートリッジ503が挿入されるプリンタ本体側のコネクタは、フォント用カートリッジと接続される仕様で構成されているので、データをカートリッジからプリンタ本体側に読出すための読出し専用線は備えているが、データをプリンタ本体からカートリッジ側に転送するための信号線を有していない。一方、こ

の実施例のカートリッジ503では、プリンタ本体から印字データを受けとって、この印字データをマイクロプロセッサ601によって画像データに展開する機能を有している。この際、コネクタが有する読出し専用線を用いて、印字データをプリンタ本体からカートリッジに転送する必要があり、このため、次に示すようにプリンタ本体のマイクロプロセッサに特別な処理を実行させる。

カートリッジ503がプリンタ本体に挿入されていると、プリンタの起動時にプリンタ本体内のプロセッサがROM618に記憶された識別データを読み取り、この識別データに応じて、プリンタ本体内のプロセッサがROM618内の処理プログラムに従った処理を行なう。

プリンタ本体内のプロセッサは、ROM618内の処理プログラムに従って、特別な処理を実行する。この特別な処理とは、1バイト分の印字データ（ページ記述言語プログラム）を実質的に含むようなアドレスを生成し、このアドレスをアドレスバスに乗せてプリンタ本体からカートリッジ503に伝える処理である。カートリッジ側のASIC603は、このアドレスを受け取るとともに、これを解読することによってアドレスに含まれている1バイト分の印字データを抽出し、RAM611～614に収納する。マイクロプロセッサ601は、RAM611～614に記憶された1ページ分の印字データを画像データに展開する処理を行なう。こうして展開された画像データはカートリッジ503からプリンタ本体に転送され、ゼログラフィユニットによって画像がプリントされる。

マイクロプロセッサ601としては、プリンタ本体よりも高速のプロセッサを使用するのが好ましい。こうすれば、プリンタ本体が実行すべき画像の展開処理を、高速のマイクロプロセッサ601で行なうので、実質的にプリンタの処理速度を向上させることができる。なお、カートリッジ503内の回路と、その動作の詳細については、さらに後述する。

図3(A)は、上部ケース100の下面図、(B)はその右側面図、(C)はC-C断面図、(D)はD-D断面図である。マイクロプロセッサ601に対向する部分は、図3の(A)および(D)から解るように、他の部分よりも高い台座部104として形成されている。この台座部104とマイクロプロセッサ601との間に放熱用シリコンゴム102(図1参照)が介装されて組み立てられ

る。

図3 (C) に示すように、上部ケース100は台座部104の付近における厚みが大きくなっている。この肉厚部は、マイクロプロセッサ601から外部への熱抵抗を少なくしてスムーズに熱を分散し、マイクロプロセッサ601を冷却するヒートシンクとして機能する。

図3 (B) に示す上部ケース100の端面106には、多数の穴が配列されており、空気が流通し易い構造となっている。これらの穴も、カートリッジ503内部の熱を放出するのに有効である。また、多数の穴を開けることによって、端面106の表面積が増加しており、この点からも放熱効率を改善している。なお、他の放熱対策が十分な場合には、端面106に穴を開ける必要はない。

図3 (A) および (C) に示すように、キャップ140が挿入される側には、2つの段差部108が形成されている。これらの段差部108には、キャップ140のツメ142 (図1参照) が引っ掛かる。なお、下部ケース120にも同様な段差部130 (図1) が設けられている。上部ケース100と下部ケース120とをネジ162で固定した後に、キャップ140を差し込むと、ツメ142が段差部108, 130に引っ掛かり、引き抜けないようになる。なお、キャップ140には細長い開口部144が設けられており、プリント基板550のプラグ部551がこの開口部144を通してキャップ140の外部に突出する。

図4は、組み立てた状態におけるカートリッジ503の断面図であり、図3 (A) のD-D断面に相当する部分の図である。図4から解るように、組み立てた状態において、プラグ部551側のプリント基板550の端面は、上部ケース100の端面と下部ケース120の端面から少し内側に引っ込んだ位置にある。さらに、プラグ部551のあるプリント基板550の端部は面取りされており、プラグ部の電極は、図2に示すようにプリント基板550の端面から少し内側のところで留まっている。このような構造は、カートリッジ503を持ち運ぶ際などに誤ってプラグ部551の電極に接触する可能性を低減している。

図5は、図4におけるマイクロプロセッサ601の部分を拡大して示す要部断面図である。下部ケース120のゴム保持部128には押圧用シリコーンゴム126がはめ込まれており、押圧用シリコーンゴム126がプリント基板550を

上方に押し上げている。プリント基板550の上にはマイクロプロセッサ601のピン601pが半田付けされている。そして、マイクロプロセッサ601の上面と上部ケース100の台座部104との間には放熱用シリコンゴム102が介装されている。マイクロプロセッサ601で発生した熱は、放熱用シリコンゴム102と上部ケース100を通して外部に排出される。

押圧用シリコンゴム126がプリント基板550を上方に押すことによって、マイクロプロセッサ601と放熱用シリコンゴム102と台座部104との密着性が良好になり、これらの間の熱伝導性が改善される。

放熱用シリコンゴム102としては、熱伝導率の良好な材料が用いられる。例えば、信越ポリマー株式会社製のシエツシリコシート（商品名）、信越化学工業株式会社製の放熱用シリコンゴムシートTC-CGタイプ（商品名）または富士高分子工業株式会社製のサーコン（商品名）などが用いられる。これらは、いずれも約 $1\text{W}/\text{m}\cdot\text{K}$ 以上の比較的高い熱伝導率を有している。

また、信越化学工業株式会社製のRTVゴムコンパウンド（商品名）のように、粘性な液体状、パテ状、グリース状などの非固体状であって、使用時に固化させるタイプの材料もマイクロプロセッサ601の上面に介装する材料として利用できる。このような非固体状のものをを用いれば、僅かな厚みでマイクロプロセッサ601と上部ケース100との密着性を確保できるので、熱伝導率が比較的低い材料であっても放熱用材料として良好である。

下部ケース120に取り付けられる2つのバネ部材122（図1参照）もカートリッジ503の放熱性能の改善に寄与している。図6（A）は、バネ部材122の平面図であり、（B）はその左側面図である。バネ部材122の先端付近には屈曲部123が形成されている。この屈曲部123は、下部ケース120に形成されている長方形の開口部132に挿入される。図4に示されるように、カートリッジ503を組み立てた状態では、屈曲部123が下部ケース120よりも下方に突出する。2つのバネ部材122の少なくとも一方は、プリンタ本体の導電性のフレームと接触し、これによって、カートリッジ503のアースが確保される。また、カートリッジ503内で発生した熱が、下部ケース120とバネ部材122とを通過してプリンタ本体側に排出される。バネ部材122とプリンタ本

体との接触面積を拡大すれば、放熱性能はさらに向上する。

バネ部材122の屈曲部123は、図6(A)に示すように複数のスリットで分割されており、これらのスリットの間を通過して外部の空気がカートリッジ503内に流れ込む。流れ込んだ空気は、上部ケース100の端部の開口部(図3(B)参照)を通過して外部に排出される。このような空気の流れは、カートリッジ503内の素子の冷却に有効である。また、バネ部材122をスリットによって分割しているため、バネ部材122とプリント本体のフレームとの接触ポイントが増大し、安定したアースを確保できるとともに、熱伝導性も向上している。

図7および図8は、第1と第2のタイプのプリント本体1a、1bにカートリッジ503を挿入した状態をそれぞれ示す斜視図である。また、図9と図10は、挿入状態におけるカートリッジ503とプリント本体1a、1bのフレームの縦断面図である。ただし、図9と図10では、図示の便宜上、断面を示すための斜線の一部を省略している。

図9において、プリント基板のプラグ部551がプリント側のコネクタCN11に挿入されている。この時、カートリッジ503の後方側(コネクタと反対側)にあるバネ部材122がプリント本体1aの金属フレーム180に接触する。図10では、カートリッジ503の前方側(コネクタ側)にあるバネ部材122がプリント本体1の金属フレーム182に接触している。

図7ないし図10に示されているように、カートリッジ503の挿入時において、マイクロプロセッサ601はカートリッジ用の挿入口の入口部分に位置する。マイクロプロセッサ601を挿入方向の後端部近くに設けるようにすれば、カートリッジ503がプリント本体に比較的深く挿入された場合にも、マイクロプロセッサ601が存在する部分をプリントの外部に突出させておくことができる場合が多い。この結果、マイクロプロセッサ601が発生した熱を効率よく外部に放出することができる。

図10の場合には、マイクロプロセッサ601が位置するカートリッジ部分が完全に外部に露出しているため、マイクロプロセッサ601の放熱は図9の場合よりも効率よく行なわれる。

図11は、マイクロプロセッサ601をカートリッジ503の先端(プラグ側

)と後端との中央に配置した場合の断面図である。図11に示す場合にも、マイクロプロセッサ601がプリント本体1bの外部に近い位置にあるので、マイクロプロセッサ601からの発熱は十分に外部に放出される。従って、マイクロプロセッサ601をカートリッジのほぼ中央から後端の間に配置しておけば、十分効率よく放熱することが可能である。

ただし、前述した図9のようにカートリッジがプリント本体にかなり深く挿入される場合には、マイクロプロセッサ601をカートリッジ503の後端(すなわち、プリント基板550上のプラグ部と反対側の端部)に配置する方がより効率的に放熱することができる。

図12はマイクロプロセッサ601をカートリッジ503の中央に配置した場合におけるプリント基板550上の素子の配置を示す平面図であり、図2に対応する図である。図12の配置では、図2の配置におけるマイクロプロセッサ601と4つのトライステートバッファ617の位置を交換し、また、ASIC603をカートリッジの後端側に変更している。

B. 熱設計計算と温度上昇試験結果

図13は、上部ケース100を經由する放熱経路の等価回路を示す図である。なお、図13に使用されている各記号の定義と熱設計における数値は次の通りである。

P_w : マイクロプロセッサ601の発熱量 (= 2.9W)

T_j : マイクロプロセッサ601内の素子の温度

T_c : マイクロプロセッサ601のパッケージの温度

T_a : カートリッジ外部の環境温度 (= 40℃)

θ_{jc} : マイクロプロセッサ601のパッケージの熱抵抗

θ_{ca} : マイクロプロセッサ601のパッケージと外部環境との間の熱抵抗 (= 18℃/W。パッケージが他の部材に接触していない場合の設計値)

θ_s : 放熱用シリコンゴム102の熱抵抗 (= 1℃/W)

θ_f : 上部ケース100の熱抵抗 (= 5.5℃/W)

マイクロプロセッサ601の発熱量 P_w は次のようにして算出された値である。マイクロプロセッサ601としてCMOSで構成された半導体素子を用いた場合には、その発熱量 P_w はクロック信号の周波数にほぼ比例する。例えば、AMD社のAm29030を使用した場合、素子内を流れる電流は22mA/MHzであり、25MHzの周波数を有するクロック信号を利用すると、約550mA(=22×25)の電流が流れる。印加電圧を5.25Vとすれば、マイクロプロセッサ601の発熱量 P_w は約2.9ワット(=5.25×0.55)になる。

上部ケース100の熱抵抗 θ_f は、上部ケース100を90×140×1.6mmのアルミニウム板として算出した値である。

図13の等価回路において、環境温度 T_a とパッケージの上面温度 T_c との間の合成熱抵抗 θ_t は、次のように算出される。

$$\begin{aligned}\theta_t &= \theta_{ca} \times (\theta_s + \theta_f) / \{ \theta_{ca} + (\theta_s + \theta_f) \} \\ &= 4.8 \quad [^\circ\text{C}/\text{W}]\end{aligned}$$

また、マイクロプロセッサ601の発熱によるパッケージ温度 T_c の上昇値 ΔT_c は次のように算出される。

$$\begin{aligned}\Delta T_c &= P_w \times \theta_t = 2.9 [\text{W}] \times 4.8 [^\circ\text{C}/\text{W}] \\ &= 14 \quad [^\circ\text{C}]\end{aligned}$$

この結果、パッケージ温度 T_c は次のように与えられる。

$$\begin{aligned}T_c &= \Delta T_c + T_a = 14 + 40 \\ &= 54 \quad [^\circ\text{C}]\end{aligned}$$

カートリッジ内に存在するマイクロプロセッサ601以外の素子からの発熱による温度上昇を20°と仮定すれば、パッケージ温度 T_c の最大値は74°C(=54+20)となる。

パッケージ温度 T_c の許容温度が74°C以上のマイクロプロセッサ601を用いた場合には、90×140×1.6mmのアルミニウム板で製作された上部ケース100を用いれば、約80°C程度のマイクロプロセッサ601の許容温度値を満足することができる。従って、マイクロプロセッサ601の誤動作や破壊を防止することができる。

実施例における上部ケース100の上面の寸法は、約90×140×1.6mm（厚さ1.6mmは最も薄い部分の値）であり、またAMD社製のAm29030のケース温度の許容値は85℃である。従って、上記の計算によればマイクロプロセッサ601のケース温度は許容値内に保たれる。

上記のカートリッジ503について、動作時の温度上昇試験を行なった。

図14は、温度上昇試験時における温度測定点を示す概念図である。表1はカートリッジ503単体で動作させた場合の温度測定結果を示している。

表1 カートリッジ単体の温度上昇試験結果（室温28℃）

測定点		最大値 (℃)	室温と の差	室温40℃ 時の予想値	許容値 (℃)	判 定
T1	プロセッサ表面 (セラミック部)	57.2	29.2	69.2	85	○
T2	プロセッサ表面 (金属部)	44.3	16.3	56.3	85	○
T3	ASIC表面	50.1	22.1	62.1	85	○
T4	上部ケース表面	41.2	13.2	53.2	60	○
T5	上部ケース横面	41.3	13.3	53.3	60	○

表1から、動作時の各部の温度は許容最大温度以下になっており、カートリッジ503の放熱構造が良好であることがわかる。

表2は、カートリッジ503をプリンタ本体に挿入して動作させた場合の温度測定結果を示している。

表2 プリント挿入時の温度上昇試験結果 (室温28℃)

測定点	最大値 (℃)	室温と の差	室温40℃ 時の予想値	許容値 (℃)	判定
T1 プロセッサ表面 (セラミック部)	55.4	27.4	67.4	85	○
T2 プロセッサ表面 (金属部)	46.9	18.9	58.9	85	○
T3 ASIC表面	47.6	19.6	59.6	85	○
T4 上部ケース表面	39.1	11.1	51.1	60	○
T6 上部ケース内面	40.6	12.6	52.6	60	○

表2においても動作時の各部の温度は許容最大温度以下になっており、放熱構造が良好であることが確認された。

C. カートリッジ構造の変形例

(1) 上部ケース100と下部ケース120は両方ともアルミニウムで製造されていたが、アルミニウムに限らず、一般に熱伝導率の高い物質でカートリッジケースを作成すればよい。

アルミニウム製のカートリッジケースは、マイクロプロセッサ601から発生する高周波ノイズを遮断する電磁シールドとしての役割も果たしている。このように、カートリッジケースを導電材料で製作すれば、放熱の機能とともに電磁シールドの機能も果たすことができるという利点がある。導電材料としては、アルミニウムのほかに、導電線材料として一般に用いられているアルミニウム合金や銅合金などが好ましい。特に、アルミニウムやアルミニウム合金は一般に軽量なので、持ち運び易いカートリッジを製作できるという利点がある。

(2) 上述の熱設計では、 $90 \times 140 \times 1.6$ mmのアルミニウム板製のヒートシンクを設けた場合を想定している。このアルミニウム板は、上部ケース100の上表面(約 90×140 mm)の広さを有し、上部ケース100の最も薄い部分の厚み(1.6 mm)を有する板である。従って、放熱設計上は上部ケース100のみをアルミニウムなどの導電材料で製作し、下部ケース120はプラスチックなどの非金属材料を用いてもよい。

(3) また、カートリッジケースをプラスチックなどの非金属材料で製作することも可能である。図15(A)は、プラスチック製の上部ケース101を示す底面図であり、ケース内部には放熱用の金属板110が設けられている。図15(B)は、カートリッジケースを組み立てた状態における縦断面図であり、図15(A)の線B-Bの位置に相当している。上部ケース101の上面には、図15(B)に示すように、多数の開口OPが設けられている。これらの開口OPは、マイクロプロセッサ601から放熱用シリコンゴム102を介して金属板110に伝えられた熱を外部に放出する機能を有している。

なお、金属板110にも開口を設け、その開口のすくなくとも一部を上部ケース100の開口OPと同じ位置に設けるようにすれば、カートリッジ内部の空気を外部に逃がすことができるので、さらに放熱性能が向上する。また、プリント基板550に開口を形成することによっても、放熱性能を向上させることができる。なお、上部ケース101は全体がアルミニウム等の金属でなくともよく、上記の程度の放熱特性を満たせば、一部を金属とし、一部をプラスチックとする 것도可能である。

このように、カートリッジケース自体をプラスチックなどの非金属材料で製作すれば、ケースを安価にできるとともに、カートリッジを軽量で持ち運び易いものにできるという利点がある。ただし、カートリッジケースの材料として、約 $1 \text{ W/m} \cdot \text{K}$ 以上の比較的大きな熱伝導率を有する材料を選択すれば、より効率的に放熱することができる。例えば、プラスチックの一種であるFRPは使用条件によっては数 $\text{W/m} \cdot \text{K}$ 程度の熱伝導率を示すので、カートリッジケース用のプラスチック材料としても好ましい。ただし、金属は、一般に $10 \text{ W/m} \cdot \text{K}$ 程度以上の熱伝導率を有しているので放熱設計上からは、金属性のケースが最も好ま

しい。

(4) 図15のカートリッジケースにおいて、金属板110を省略してもよい。また、金属板110と上部ケース101との間にギャップを設けるようにしてもよい。金属板110と上部ケース101との間にギャップを設けた場合には、金属板110の周囲が空気によって冷却され、暖められた空気が上部ケース100の穴から上方に排出されるので、マイクロプロセッサ601を効率よく冷却することができる。この場合には、放熱用シリコンゴム102を省略してもよい。

(5) 図4および図15(B)に示すように、プリント基板550の位置は、カートリッジケースの厚み方向の中央から少し下方に寄っている。これは、カートリッジがプリンタ本体に誤挿入されるのを防止するためである。すなわち、カートリッジを正規の向きとは逆向きに誤って挿入しようとしたときには、プラグ部551がプリンタ本体のコネクタに入らないので、誤挿入が防止される。

マイクロプロセッサ601は、プリント基板550で仕切られるカートリッジ内の2つの空間の中で、比較的広い上部側の空間に設置されている。従って、比較的狭い下部側の空間に設置した場合に比べて、マイクロプロセッサ601の周囲における空気抵抗が少なく、従って、マイクロプロセッサ601をより効率的に冷却できる。

また、比較的広い上部側の空間では、プリント基板550上にピンソケットを設置し、ピンソケットにマイクロプロセッサ601を差し込むだけの空間的余裕を取ることができる場合がある。従って、マイクロプロセッサ601をより広い側の空間に配置するようになれば、ピンソケットを利用してマイクロプロセッサ601をプリント基板550に接続するのが容易になるという利点もある。

(6) 図1のカートリッジでは、下部ケース120に2枚のバネ部材122を設置していた。これは、2枚の内のどちらかがプリンタ本体のカートリッジ挿入口にある金属フレームに確実に接触できるように考慮したものである。このようにバネ部材を複数枚設ける代わりに、図16のように、カートリッジの挿入方向に長いバネ部材134を使用してもよい。このバネ部材134は、波板状の部分を有しており、この波板部が下部ケース136の開口部から外部に突出する。カートリッジの挿入方向に長いバネ部材134を使用すれば、カートリッジがプリン

ト本体に深く挿入される場合にも、浅く挿入される場合にも、どちらも確実にプリント本体内の金属フレームに接触することができる。

(7) 放熱用シリコンゴム102は、マイクロプロセッサ601の上面と上部ケース100の下面とに密着し、マイクロプロセッサ601の熱を上部ケース100に伝える介装部材として用いられている。従って、シリコンゴムの代わりに、熱を効率よく伝える他の材料を用いて介装部材を製作してもよい。他の材料としては、雲母、シリコンペースト、エポキシ樹脂などの比較的熱伝導率の高い樹脂、ウレタンなどの比較的軟質で密着性の良い樹脂、金属板などが考えられる。シリコンゴムや樹脂などは、スプレー塗布や、ペースト状のものを塗布するようにしてもよい。これらの中で、約 $1\text{ W/m}\cdot\text{K}$ 以上の比較的高い熱伝導率を有する材料が特に好ましい。また、介装部材の厚みが大きいと熱伝導を悪化させるので、介装部材の厚みとしては約 1 mm 以下が好ましい。

また、マイクロプロセッサ601と上部ケース100との間に、上記のような介装部材を設けず、両者を直接接触させるようにしてもよい。マイクロプロセッサ601と上部ケース100とを直接接触させるようにすれば、放熱性能を向上させることができる。

ただし、マイクロプロセッサ601の上面と上部ケース100の内面はどちらも硬質なので、両者が十分に密着しない場合も考えられる。従って、マイクロプロセッサ601と上部ケース100との密着性を確保するために、上述のような密着性の良い介装部材を用いるのが好ましい。

(8) 押圧用シリコンゴム126は、プリント基板550を下方から押す役割を有する部材である。従って、シリコンゴムの代わりに、他の弾性材料を用いてもよい。

また、図17に示すように、押圧用シリコンゴム126の位置にあたるプリント基板550の部分に開口部を設け、押圧用シリコンゴム126でマイクロプロセッサ601を直接押すようにしてもよい。このように押圧用シリコンゴム126をマイクロプロセッサ601に直接接触させるようにすれば、このシリコンゴムからも放熱することができるので、更に放熱性能を向上させることができる。

一方、押圧用シリコンゴム126を省略することも考えられる。プリント基板550は弾力のあるプラスチック板で構成されているので、プリント基板550の弾力のみでマイクロプロセッサ601を上方に押すことも可能である。

(9) 図17にも示すように、マイクロプロセッサ601の上方に当たる上部ケース100の部分は、小高い台座部104になっている。しかし、マイクロプロセッサ601の上面を、プリント基板550の同じ側にある他の素子(図2に示す素子)の上面よりも高くしておけば、このような台座部104を設ける必要はない。台座部104を設けなければ、上部ケース100の内面の凹凸をより単純にすることができ、ダイキャストや加工による上部ケース100の製作が容易になるという利点がある。

(10) 以上の実施例では、マイクロプロセッサ601をカートリッジの挿入方向において、カートリッジのほぼ中央と後端との間に配置することとしたが、マイクロプロセッサ601よりも発熱量の多い回路素子がカートリッジ内に存在する場合には、その回路素子をカートリッジのほぼ中央と後端との間に配置するようにしてもよい。すなわち、一般には、最も発熱量の多い回路素子をカートリッジのほぼ中央と後端との間に配置するようにすればよい。

[ii] プリンタおよびカートリッジの電氣的構成

A. プリンタとカートリッジの全体構成

図18は、実施例に適用されるレーザプリンタ500とこれに装着されたカートリッジ503の概略構成を示すブロック図である。

レーザプリンタ500は、レーザプリンタ500全体の制御を司る電子制御装置501と、用紙Pに画像を形成するレーザエンジン505とを備えている。レーザプリンタ500はワークステーション507に接続されており、電子制御装置501がワークステーション507から送られる印字データに基づいて画像データ(ビットマップデータ)を展開し、コネクタCN10を介して展開した画像データをレーザエンジン505に転送する。レーザエンジン505は、これに応じてゼログラフィユニット15を駆動し、用紙Pに画像を印刷する。

電子制御装置501の内部には、図18に示すように、周知のCPU(本実施

例ではモトローラ社製MC68000) 510、CPU510が実行するプログラムを記憶したROM511、印字データや展開後の画像データを蓄えるRAM512、ホストであるワークステーション505からの印字データを受け取るデータ入力ポート514、カートリッジ503とのデータのやり取りを行なうバスライン516に介装されたラインバッファ515、レーザエンジン505とのコマンドやステータス情報のやり取りを行なうためのレジスタ517、レーザプリンタ500のコンソールパネル518とのインタフェースを司るコンソールパネルI/F519、レーザエンジン505に転送する画像データを保存するダブルバッファ回路520、を備える。

ダブルバッファ回路520は、レーザエンジン505による印刷の8ライン分、即ち4Kバイトの記憶容量を有する2つのRAM520A、520Bを備え、CPU510側からは、メモリ書込コントローラ520Cを介して交互に画像データを書き込む。一方、レーザエンジン505は、メモリ読出コントローラ520Dを介して、この2つのRAM520A、520Bを交互に読み出すことで、感光ドラムの回転に同期して画像データをビデオ信号に変換し、印刷を実行することができる。2つのRAM520A、520Bを設けて交互にデータを書き込んだり読み出したりするのは、CPU510からのアクセスとレーザエンジン505側からのアクセスを独立して行なわねばならないためである。

CPU510は一方のRAMにデータを書き込んだ後、レジスタ517の所定ビットにフラグを立てる。これを対してレーザエンジン505はこのフラグをチェックして、データが書き込まれた側のRAMに記憶された画像データを読み出す。読み出し中は、レジスタ517の別のビットを立ててCPU510にいずれのRAMが読み出し中であるかを知らせる。この時、他方のRAMはレーザエンジン505からアクセスされないから、この間に、CPU510は、他方のRAMに次の8ライン分の画像データを書き込んでおく。レーザエンジン505は、一方のRAMからの読出が完了すると、フラグをリセットし、他方のRAMからの読み出しに切り換える。CPU510からのデータの書き込むの速度は、レーザエンジン505からのデータの読み出し速度、即ち印刷の実行速度より速いので、両者によるメモリへのアクセスの衝突を回避しつつ、1ページ分の画像デー

タの転送を確実にかつ簡易に実現している。

カートリッジ503は、コネクタCN11を介して電子制御装置501に接続されている。ラインバッファ515は、データバス34の途中に介装されたバスドライバ（図示せず）を有している。このバスドライバは、コネクタCN11からCPU510の方向のみにデータを転送する一方向のバッファである。言い換えれば、CPU510から見た場合、コネクタCN11に接続されたカートリッジ503は読み出し専用のデバイスとなっている。

電子制御装置501は電源投入時にカートリッジ503がコネクタCN11に装着されているか否かを判断し、装着されていると判断した場合には、電子制御装置501内部のリセット等を行なった後、カートリッジ503内に用意されたROM（後述）の所定番地にジャンプして、それ以降はカートリッジ503内に用意された処理を順に実行する。カートリッジ503は、ワークステーション507からレーザプリンタ500に出力されたページ記述言語によるプログラムを解釈し、画像データに展開してレーザエンジン505により印刷を行なわせる。

図19は、プリント基板550の一端に形成されたプラグ部551とコネクタCN11の結線関係を示す図である。プラグ部551は、両面プリント基板の2つの面（A面とB面）にそれぞれ形成された25個の端子を有している。図19において、プラグ部551の各端子に対応して信号名が記載されている。なお、信号名の前に付けられた符号「/」は、信号がロウアクティブであることを示している。各信号の意味は、次の通りである。

信号/ASB：CPU510（モトローラ社製MC68000）が出力するアドレスストロープ信号。

信号/UDS：CPU510が出力する上位データストロープ信号。

信号/LDS：CPU510が出力する下位データストロープ信号。

信号/ADS：電子制御装置501内においてアドレスストロープ信号/ASBに基づいて生成されるアドレスストロープ補助信号。このアドレスストロープ補助信号/ADSは、プリンタの起動時（イニシャライズ時）において、異なるタイプのプリンタでは異なる挙動を示す。この実施例では、後述するように、このアドレスストロープ補助信号/ADSのイニシャライズ時の挙動に基づいて、

プリンタのタイプを判別している。

信号/ODTACK：カートリッジ503から電子制御装置501側にデータを転送する際のアウトプットデータアクナリッジ信号。

信号/CTRGSEL：CPU510がカートリッジ503を選択して、その内部のアドレス空間に割り付けられたROMやレジスタ等にアクセスする際のカートリッジセレクト信号。

信号A1～A20：CPU510が出力するアドレス信号。

信号D1～D15：カートリッジ503側からの出力信号。

信号R/W：CPU510が出力するリード/ライト信号。

信号SCLK：レーザプリンタ500に内蔵された発振器（図示せず）から出力されるクロック信号。

なお、レーザプリンタ500側に与えられる信号/CTRGSは、カートリッジ503が挿入されるとLレベルに引き下げられ、CPU510は、これによってカートリッジ503がコネクタCN11に挿入されていることを検出する。

CPU510は、23ビットのアドレス信号A1ないしA23を用いてワードアドレスを指定し、また、信号/UDS，/LDSを用いて各ワードの上位バイトと下位バイトを指定する。この結果、CPU510は000000h からFFFFFFFFh までの16Mバイトのアドレス空間を扱うことができる。ここで、アドレスの後に付した記号「h」は16進数表示であることを示している。

B. カートリッジのアドレス空間

このカートリッジ503は、電子制御装置501のCPU510の扱うアドレス空間の一部に割り付けられる。CPU510は、000000h からFFFFFFFFh までの16Mバイトのアドレス空間を扱うが、その一部をROMカートリッジ用に割り当てている。カートリッジ503に割り当てられる空間は、レーザプリンタの機種により異なるが、ヒューレッドパッカー社製のレーザプリンタの場合、図20左欄に示すように、200000h ないし3FFFFFFh あるいは400000h ないし5FFFFFFh といった2Mバイトの空間が通常である。

一方、本実施例のカートリッジ503の内部に設けられたマイクロプロセッサ

601は、AMD社製AMD29030-25MHzであり、その扱えるアドレス空間は00000000hからFFFFFFFhまでの4Gバイトである。このアドレス空間には、ROMやRAMのみならず、プリンタ側の電子制御装置501側とのデータのやり取りに用いる各種レジスタ等が割り当てられる。これを、図21に示した。以下、カートリッジ503内部の電気的な構成を、両マイクロプロセッサにとってのアドレス空間の割付と共に説明する。

C. カートリッジの内部構成

カートリッジ503の内部構成を、図22に示す。図示するように、カートリッジ503は、全体の制御を司るマイクロプロセッサ601を中心に構成されており、大きくは、ROM、RAMとその周辺回路からなるメモリ部602と、電子制御装置501とのデータのやり取りの一切を司るデータ転送制御部603と、その他の回路とから構成されている。

メモリ部602は、このマイクロプロセッサ601が実行するプログラムを記憶する計2MバイトのROM606ないし609、このROM606ないし609をバンク切替で使用するためのセレクト610、電子制御装置501から受け取った印字データを保存したり展開した後の画像データを保存する計2MバイトのRAM611ないし614、から構成されている。2MバイトのROM606ないし609は、各々16ビット×256キロ=4MビットのマスクROMであり、図21に示したように、アドレス空間の00000000hから001FFFFFFFhに割り当てられている。ROM606および607、ROM608および609は、各々バンクを構成し、2個一組の1バンクで、各々32ビットのデータバスを構成している。ROM606ないし609とマイクロプロセッサ601とは、アドレスバスAABおよび制御信号バスにより接続されている。また、ROM606ないし609のデータバスIDBは、データセレクト610を介してデータバスDB29に接続されており、これを介してマイクロプロセッサ601はROM606ないし609からのデータを読み取ることができる。

ROM606および607、ROM608および609には、マイクロプロセッサ601からのアドレスバスAABの最下位の3ビット(A0, A1, A2)

を除く全アドレス信号が入力されている。最下位の2ビット(A0, A1)が入力されていないのは、マイクロプロセッサ601からのデータの読み取りが、1ワード=32ビット単位(4バイト単位)で行なわれることによる。また、アドレスのA2が付与されていないから、所定の領域のデータを読み取る場合、4個のROM606ないし609は同時にデータを出力することになる。同時に出力されたデータを調整しているのが、データセクタ610である。即ち、マイクロプロセッサ601からのROMへのアクセスは、連続した番地に対して行なわれることが多いから、32ビットを1ワードとして連続する2ワードを一度にROM606ないし609から読み出しおき、実際に連続したワードの読み取りである場合には、データセクタ610によりROMの属するバンクを順次切り換えて、連続してデータを読み取るのである。この結果、連続する2ワードに対するデータの読出は、極めて高速になる。

一方、RAM611ないし614は、16ビット×256キロ=4MビットDRAMであり、図21に示したように、アドレス空間の20000000hから201FFFFFFhの2Mバイトに割り当てられている。カートリッジ503内には、更に2Mバイトのメモリが増設可能であり、このために拡張RAMインタフェース615が設けられている。この拡張RAMインタフェース615は、アドレス空間の20200000hから203FFFFFFhに割り当てられている。拡張RAMインタフェース615には、SIMMタイプのRAMが最大2Mバイト分装着可能である。RAM611ないし614および拡張RAMインタフェース615のデータラインは、マイクロプロセッサ601のデータバスDB29と直接接続されており、そのアドレスラインはデータ転送制御部603を介してマイクロプロセッサ601のアドレスバスAABに接続されている。なお、後述する各種レジスタ等のI/Oは、アドレス空間の80000000hからに割り当てられている。

一方、このカートリッジ503をプリンタ500の電子制御装置501側から見た場合、図20の右欄に示したように、先頭の128Kバイトには、ROMが割り当てられている。即ち、このカートリッジ503は、電子制御装置501のCPU510が実行するプログラムも内蔵しており、電子制御装置501のCP

U510は、カートリッジ503が装着されている場合には、初期化の処理の完了後、このROMの所定の番地へのジャンプ命令を実行する。それ以後、CPU510は、このROMに記憶された処理手順に従って動作する。

CPU510がカートリッジ503に割り当てられたこの2Mバイトの空間の先頭から128Kバイトの空間をアクセスすると、カートリッジ503のコネクタ側アドレスバスCABに設けられたアドレスバッファ617を介して出力されるアドレス信号によりROM618がアクセスされ、このROM618に記憶された命令やデータが、コネクタ側のデータバスCDBに設けられたデータバッファ619を介して電子制御装置501側のCPU510に送られる。なお、図20において、「X」は、割り当てられた空間の先頭アドレスの最上位の4ビットの値を示している。

D. データ転送制御部603の説明

図20、図21に示したアドレスマップにおいてROMやRAMが割り当てられたアドレス以外のアドレスには、種々のコントロールレジスタ、ステータスレジスタが置かれている。これらのレジスタは、データ転送制御部603により実現されているので、次にこのデータ転送制御部603について説明する。回路の説明が中心となるが、アドレスマップ(図20、図21)を適宜参照する。

図22に示すデータ転送制御部603は、ユーザブルゲート7900のASICにより実現されている。このASICは、セイコーエプソン社製、型番SSC3630のスタンダードセルであり、CMOSプロセスにより作られた電力消費の小さな素子である。データ転送制御部603は、CADシステムであるセイコーエプソン社製ASICデザインシステム「LADSNET」を用いて設計された。このCADシステムは、論理回路設計に使用するラッチ、フリップフロップ、カウンタ、プログラマブルロジックアレイ等の要素をライブラリの形で用意しており、これらを用いて必要な論理回路の設計を行なった後、ASICとしてのパターンを自動生成することができる。

ASICとして実現されたデータ転送制御部603は、カートリッジ503がプリンタ500のコネクタCN11に装着された状態で、プリンタ500の電子

制御装置501のCPU510と、カートリッジ503のマイクロプロセッサ601との間のデータのやり取りを制御するものである。両者間のデータのやり取りは、電子制御装置501側からカートリッジ503側に読み出し専用のデータバスを介してデータを送るための読出制御回路620と、同じく読出制御回路620の一部の構成を利用しFIFOメモリ621を介してデータを受け渡すFIFO制御回路623、カートリッジ503側が用意したデータを電子制御装置501の側から読み取り可能とするダブルバンク制御回路624により実現される。なお、FIFOメモリ621は、ファーストインファーストアウトの手順でデータを記憶し読み出すRAMであり、本実施例では、三菱電機社製M66252FPを使用した。

また、データ転送制御部603には、電子制御装置501側との信号線として、そのアドレスバスCABがアドレスバッファ617を介して、一方、データバスCDBがデータバッファ619を介して、各々接続されている。データ転送制御部603内には、このアドレスバスCABの信号をおよびカートリッジセレクトの信号CSELを受けて、データ転送制御部603内の各部に選択信号を出力する第1のデコーダ631が構成されている。同様に、マイクロプロセッサ601からのアドレスバスAABおよびコントロール信号CCCもデータ転送制御部603に接続されており、データ転送制御部603内には、このアドレスバスAABを受けて、内部の各回路に選択信号を出力する第2のデコーダ632が構成されている。更に、このアドレスバスAABおよびコントロール信号CCCを受けて、ROM606ないし609、RAM611ないし614および拡張RAMインタフェース615にアドレス信号および制御信号を出力するバス制御部635も、構成されている。

これらの他、データ転送制御部603内部には種々のレジスタが構成されているが、レジスタへの読み書きは、通常のリード・ライト動作によるもの他、特定の処理を行なったとき、自動的に書き込まれるものも少なくない。これらの特殊なレジスタの構成については、後述する。また、カートリッジ503が電子制御装置501側から見て読出専用のデバイスとして扱われている関係で、電子制御装置501側から書込可能なレジスタは、所定の番地からの読み取り動作を行

なうことで書き込まれる構成となっている。即ち、所定の番地を指定することで第1のデコード631から選択信号が出力され、この信号によりレジスタにデータが書き込まれるのである。レジスタからの読出は、通常のリードサイクルにより行なわれる。また、マイクロプロセッサ601側からは、通常読出・書込動作によりデータのリード・ライトが行なわれる。図22では、レジスタは読み取り可能なバスに接続した状態で描き、書込動作は単なる矢印で示した。こうしたレジスタとしては、割込要求レジスタ640、ポーリング・コマンドレジスタ643、ステータスレジスタ(図20レジスタSTATUS)645、転送フラグレジスタ(図21レジスタBPOLL)647、PROMコントロールレジスタ649、コントロールレジスタ650がある。

これらのレジスタのうち、ステータスレジスタ645と転送フラグレジスタ647を除くレジスタは、電子制御装置501のCPU510もしくはカートリッジ503のマイクロプロセッサ601にメモリマップドI/Oとして割り当てられた複数のレジスタの総称である。複数のレジスタは、必ずしも連続したアドレスに割り当てられている訳ではない。割込要求レジスタ640には、図20、図21に示したレジスタAMDINT0, 1, 2およびレジスタAMDCLR0, 1, 2が属する。また、ポーリング・コマンドレジスタ643には、レジスタPOLLおよびレジスタMCONTCSが属する。PROMコントロールレジスタ649には、レジスタEEPSC, EEP SK, EEPDIが属する。

コントロールレジスタ650には、読出制御回路620, FIFO制御回路623, ダブルバンク制御回路624に属さないレジスタで、以上の説明に挙げなかった総てのレジスタが属する。これらは、図20、図21に示したレジスタADDMUXA, ADDMUXB, CLKDIV, RTCVAL, RTCON, RTCSEL, RTCCLR, SYSKEEPである。

また、図20、図21のメモリマップに示したうち、各々512バイトの領域EWWRL, EWWRHは、電子制御装置501側から読出制御回路620の第1, 第2のラッチ651, 652への書込に用いる領域であり、レジスタEWRDはこのラッチ651, 652を1ワードとしてマイクロプロセッサ601側から見たものに相当する。レジスタFIFOREQ, FIFORST, FIFOW

RはFIFO制御回路623のFIFOレジスタ653に相当し、レジスタFIRCLK, RDCLK, FIFORD, RDRSTはFIFO制御回路623のFIFO読出レジスタ655に相当する。なお、FIFO制御回路623には、FIFOメモリ621に書き込むデータを、読出制御回路620の機能の一部を用いて保持するラッチ657も備えられている。

図20に符号DPRAMA, DPRAMBで示した領域は、32バイトの容量を有するバッファであり、ダブルバンク制御回路624の第1, 第2のバッファ658, 659を電子制御装置501側から見たものに相当する。このバッファ658, 659をマイクロプロセッサ601側から見たのが、図21に示すバンクDPWROA, DPWROBである。なお、ダブルバンク制御回路624を介したデータのやり取りには、ステータスレジスタ645の所定ビットd1, d2も用いられるが、その詳細は後述する。

E. 各レジスタの説明

割込要求レジスタ640は、電子制御装置501側からマイクロプロセッサ601への割込の要求を発生させ、これを保持するレジスタである。電子制御装置501からマイクロプロセッサ601への割込は3レベル用意されており、図20に示すように、3つのレジスタ(AMDINT0, 1, 2)が設けられている。電子制御装置501側からこの割込要求レジスタ640のいずれかを読み取ることで、マイクロプロセッサ601に対する割込要求が発生する。このレジスタのセットは、電子制御装置501からの読み取り動作により行なわれるが、読み取られるデータには意味がなく、割込要求に発生には無関係である。

この割込要求レジスタ640の具体的な構成例を図23に示す。これらのレジスタは、D型フリップフロップから構成されており、電子制御装置501からの上記レジスタの読み取り動作により第1のデコーダ631が出力する信号/AMDINT0, 1, 2により、各フリップフロップ640a, b, cの出力端子Qはアクティブロウにセットされ、割込信号/INT0, 1, 2が出力される。なお、信号名の前に付けられた符号「/」は、信号がロウアクティブであることを示す(以下、同じ)。これらのフリップフロップ640a, b, cの出力をクリ

アするレジスタは、図21に示すように、読み取り専用の3のレジスタ（AMD CLR0, 1, 2）として所定のアドレスに割り当てられている。従って、マイクロプロセッサ601からこのレジスタが割り当てられた各アドレスに対する読み取り動作を行なうと、第2のデコーダ632は信号/INTCLR0, 1, 2を各々出力し、対応するフリップフロップはプリセットされる。

電子制御装置501側から割込要求をかける場合には、割込要求レジスタ640のいずれかをアクセスすれば良く、マイクロプロセッサ601は優先順位を判定して、割込要求に応える処理を行なう。この場合に、マイクロプロセッサ601は、対応する割込要求レジスタ640a, b, cをクリアする。なお、信号PUP2等のように符号「PUP」で始まる信号は、リセット信号出力回路637から出力される信号であり、リセット時等にロウになる信号である。図23に示した信号PUP2は、3つの割込要求を一度にクリアするための信号である。

ポーリング・コマンドレジスタ643は、マイクロプロセッサ601側から電子制御装置501側へコマンドを引き渡すレジスタであり、マイクロプロセッサ601側から書込可能でかつ電子制御装置501側から読み取り可能なレジスタである。このレジスタのハードウェア上の構成例を、図24に示す。図示するように、ポーリング・コマンドレジスタ643は、16ビット幅のデータラッチを構成する2個のオクタルD型フリップフロップ643a, b、および1個のD型フリップフロップ643cから構成することができる。

オクタルD型フリップフロップ643a, bのデータ入力端子1Dないし8Dには、マイクロプロセッサ601からのデータバスDB29（バス幅16ビット）が接続されており、その出力端子1Qないし8Qには、電子制御装置501側からのデータバスDB68（バス幅16ビット）に接続されている。オクタルD型フリップフロップ643a, bのクロック端子CKには、マイクロプロセッサ601側からのポーリング・コマンドレジスタ643のアクセス（図21、レジスタMCONTCS）に際して第2のデコーダ632から出力される信号/MCONTCSが接続されており、この信号がアクティブロウとなったとき、マイクロプロセッサ601側のデータバスDB29の内容がオクタルD型フリップフロップ643a, bにラッチされる。また、オクタルD型フリップフロップ643

a, b の出力を有効にするアウトプットイネーブル端子OEには、電子制御装置501側からのポーリング・コマンドレジスタ643のアクセス(図20、レジスタPOLL)に際して第1のデコード631から出力される信号/POLLが接続されており、この信号がロウアクティブとなったとき、オクタルD型フリップフロップ643a, bに保持されたデータが電子制御装置501側のデータバスDB68に出力される。

なお、信号/MCONTCSおよび信号/POLLは、D型フリップフロップ643cのクロック端子Cおよびプリセット端子PRに接続されており、その出力端子Qからの信号CMDRDは、オクタルD型フリップフロップ643a, bによるデータのラッチが行なわれると(信号/MCONTCSがロウ)、ハイレベルにセットされ、このデータを電子制御装置501側から読み出すと(信号/POLLがロウ)、ロウレベルにリセットされる。D型フリップフロップ643cの出力信号であるCMDRDは、電子制御装置501側から読出可能なステータスレジスタ645の所定ビットd3(以下、フラグCMDRDとも呼ぶ)となっている。従って、電子制御装置501側からこのステータスレジスタ645を読み取ることで、電子制御装置501は、マイクロプロセッサ601からポーリング・コマンドレジスタ643にコマンドがセットされたことを知ることができる。

電子制御装置501は、ステータスレジスタ645のビットd3であるフラグCMDRDを見て、コマンドがセットされたことを知ると、通常のリードサイクルによりポーリング・コマンドレジスタ643の内容、即ちマイクロプロセッサ601から送られるコマンドを読み取る。コマンドの内容としては、印字データのデータ転送制御部603側への転送開始の指示、印刷の開始の指示あるいはコンソールパネル518へのメッセージの表示等がある。電子制御装置501がポーリング・コマンドレジスタ643の内容を読み取ると、図24に示したように、D型フリップフロップ643cの出力信号CMDRDは、信号/POLLによりハイレベルに反転する。従って、マイクロプロセッサ601は、この転送フラグレジスタ647の所定ビットd2を監視することで、自己の出力したコマンドが電子制御装置501側に読み取られた否かを知ることができる。

ステータスレジスタ645は、マイクロプロセッサ601からコマンドがセットされたか否かを示す上述した情報以外に、図25に示す情報を保持するレジスタである。各ビットの内容について説明する。ビットd0は、後述する読出制御回路620に電子制御装置501側からデータが書き込まれたとき、読出制御回路620内で生成される信号EWRDYによりロウレベルにセットされ、そのデータがマイクロプロセッサ601側によって読み取られたとき、第2のデコーダ632からの信号によりハイレベルにリセットされる。このビットをフラグEWRDYと呼ぶ。

ビットd1, d2は、ダブルバンク制御回路624が電子制御装置501側とマイクロプロセッサ601側のいずれからアクセス可能な状態であることを示すものであり、それぞれフラグADDMUXA, ADDMUXBと呼ぶ。2つのビットは、ダブルバンク制御回路624に内蔵された2つの転送用バンクの各々に対応している。このビットd1, d2は、マイクロプロセッサ601が、図21に示したように、コントロールレジスタ650に含まれるレジスタADDMUXA, ADDMUXABのビットd0にデータを書き込むことでセット・リセットされる。従って、マイクロプロセッサ601側からは、ダブルバンク制御回路624の一方のバンクへのデータの書込に先だって、このフラグをロウレベルにセットし、書込完了後にハイレベルにリセットし、電子制御装置501側からは、このフラグがハイレベルである側のバンクからデータを読み出すものとするれば、2つのバンクに交互にデータを書き込み、読み出すことで、マイクロプロセッサ601側から電子制御装置501側に連続してデータを受け渡すことができる。

ビットd3 (フラグCMDRD) については、既に説明した。ビットd5は、マイクロプロセッサ601の動作クロックに基づいてセットされるフラグCLKDIVである。マイクロプロセッサ601の動作クロックは、外付けの水晶発振子CRC1を用いた第1の発振器661から出力されるクロックCLKが使用されるが、マイクロプロセッサ601側からコントロールレジスタ650のレジスタCLKDIVの所定ビットd0に値0を書き込むと、マイクロプロセッサ601の動作クロックCLKは25MHzとなり、ビットd0に値1を書き込むと、動作クロックは12.5MHzとなる。電子制御装置501側からみたステータ

レジスタ645のフラグCLKDIVは、このクロックCLKが25MHzの場合にロウレベルにセットされ、12.5Mの場合にハイレベルにセットされる。電子制御装置501側は、データ転送のタイミング等を合わせるためにマイクロプロセッサ601の動作クロックの周波数、つまり動作速度を知る必要がある場合、ステータスレジスタ645のこのビットをチェックする。

ビットd6は、マイクロプロセッサ601が動作している場合にハイレベルにセットされ、スリープモードに入った場合にロウレベルにセットされるフラグADMONである。本実施例では、マイクロプロセッサ601は、ページ記述言語を電子制御装置501側から受け取り、これを展開して画像データにする処理を行なうから、電子制御装置501側から処理すべきページ記述言語が送られて来ないまま所定時間が経過した場合には、マイクロプロセッサ601は、省電力を図るため、最初動作周波数を1/2、即ち12.5MHzとし、更に時間が経過すると自らの動作を止めていわゆるスリープモードに入る。この時マイクロプロセッサ601は、コントロールレジスタ650のレジスタADMONに値0を書き込む。この結果、電子制御装置501側からみて、ステータスレジスタ645のこのビットd6がロウレベルとなり、電子制御装置501側からこのビットをチェックすることにより、マイクロプロセッサ601の動作モードを知ることができるのである。

なお、こうした時間の計測等には、データ転送制御部603に組み込まれたリアルタイムクロックが用いられる。このリアルタイムクロック用のクロックRCLKは、外付けの水晶発振器665を用いて構成された第2の発振器667からのクロックが用いられている。リアルタイムクロックは、バス制御部635内に構成されており、マイクロプロセッサ601からの指示を受けて、所定時間の経過を計測する。水晶発振器および発振器を2組設けているのは、マイクロプロセッサ601の動作クロックCLKを、リアルタイムクロックの動作クロックRCLKとは独立に変更可能とするためである。

リアルタイムクロックは、コントロールレジスタ650に属するレジスタRTCV AL, RTCSELのd1ビットをロウまたはハイにすることで、4種類のインターバルタイマを指定することができ、レジスタRTC ONの所定ビットd

0に値1を書き込むことでそのタイマをスタートさせることができる。スタートされたタイマは、レジスタRTC CONのビットd0に値0が書き込まれて停止されるまで、所定のインターバルでマイクロプロセッサ601に対して割込要求信号を出力する。マイクロプロセッサ601は、この割込要求信号を受け付けると、レジスタRTC CLRを読み取って割込要求をクリアする。これらのインターバルタイマの出力は、ページ記述言語処理におけるユーザタイム等のカウントに利用している。

次にPROMコントロールレジスタ649の構成について説明する。PROMコントロールレジスタ649には、図21に示す3のレジスタEEP CS, EEP SK, EEP DIが含まれるが、これらのレジスタは、カートリッジ503に内蔵されたメモリであって電氣的にデータを消去・書換可能なEEPROM670とのデータのやり取りに用いられる。

本実施例のカートリッジ503は、レーザプリンタ500の動作に必要な諸変数(コンフィグレーション)を、EEPROM670に記憶する。このEEPROM670は、シリアル転送によりデータの読出、消去、書込を行なうタイプのものであり、本実施例では、ナショナルセミコンダクター社製NMC93C66X3を使用している。このEEPROM670は、記憶容量として16ビット×256バイト(レジスタ数)の容量を持ち、指定された任意のレジスタの内容を読出、消去、書込可能である。EEPROM670は、チップセレクト信号CSにより選択状態にされると、シリアルデータ入力端子Dinに送り込まれる「0」「1」のデータをシリアルデータクロックSLに同期して取り込むが、データの転送の最初の3ビットはEEPROMへの命令として解釈され、次の8ビットがデータの読出、消去もしくは書込が行なわれるレジスタ番号と解釈される。データの書込の場合には、これらの命令およびレジスタの指定に続いて、シリアルデータクロックSLに同期して記憶すべきデータがデータ入力端子Dinに与えられることになる。

レジスタEEP CSは、チップセレクト信号を切り換えるものであり、マイクロプロセッサ601がこのレジスタのビットd0に値1を書き込むと、EEPROM670は選択状態となる。レジスタEEP SKは、シリアルデータクロック

SKを生成するレジスタであり、マイクロプロセッサ601はこのレジスタに値0と値1とを交互に書き込むことで、EEPROM670用のシリアルデータクロックを生成する。レジスタEEPDIは、EEPROM670に書き込まれるべき1ビットのデータを保持するレジスタであり、マイクロプロセッサ601は、レジスタEESKを書き換えてシリアルデータクロックSKを生成するのに同期して、このレジスタEEPDIの所定ビットd0を、書き込むべきデータに従って書き換える。EEPROM670のデータ出力端子Doutは、先に説明した転送フラグレジスタ647の所定ビットd0になっており、マイクロプロセッサ601は、EEPROM670にデータ読出命令と読み出すレジスタの番号を出力した後、シリアルデータクロックSKに同期して転送フラグレジスタ647のビットd0を読み取れば、指定したレジスタの内容を読み込むことができる。EEPROM670に記憶されたデータは、電源をオフとしても保存されるから、レーザプリンタ500に電源を投入した直後に、EEPROM670の内容を読み出して、コンフィグレーションを電源断の直前の状態に戻すことができる。

F. 読出制御回路620の構成と働き

次に、読出制御回路620の構成例と読出制御回路620によるデータ転送の手順について説明する。読出制御回路620は、8ビット×2個の第1, 第2のラッチ651, 652と共に、図26に示すように、転送に必要なデータを出力するROM671、3入力アンドゲート672、ステータスレジスタ645のフラグEWRDY(ビットd0)を生成するD型フリップフロップ674を備える。読出制御回路620を電子制御装置501側から見ると、このラッチ651, 652が、図20に示したように、8ビット単位でデータを転送する2つのレジスタEWWRL, EWWRHに相当する。これらのレジスタは、各々1ワード16ビットのデータの下位バイト, 上位バイトの転送に用いられる。なお、第1, 第2のラッチ651, 652は、マイクロプロセッサ601側から見ると、図21に示すレジスタEWRDに相当する。即ち、マイクロプロセッサ601側からは、データバスDB290介して、両ラッチ6521, 652を1ワードとして読み取ることができる。

読出制御回路620のROM671は、256バイトのデータを記憶するROMであり、例えばヒューズROM、小容量のPROM等により実現することができる。もとより、記憶容量の大きなROMの一部として実現してもよく、RAMを用いる場合には予めデータを転送しておくことで同等の機能を実現することができる。このROM671のアドレス端子A0ないしA7には、コネクタ側アドレスバスCABからのアドレスラインのうち下位の8ビット(AC1ないしAC8)が接続されており、データ端子00ないし07は、第1のラッチ651および第2のラッチ652の入力側1Dないし8Dに接続されている。なお、ROM671の出力は、FIFO制御回路623にとってのデータバスZ0ないしZ7として、FIFO制御回路623にも出力されている。

第1のラッチ651、第2のラッチ652の出力側は、データバスDB29に接続されており、マイクロプロセッサ601から、レジスタEWRDとして読み取り可能である。ROM671のチップセレクトCEおよびアウトプットイネーブルOEには、3入力アンドゲート672の出力信号/EWROMが入力されており、3入力アンドゲート672の各入力に入る信号/EWWRH、/FIFOWR、/EWWRLのいずれかがアクティブロウとなったとき、アクティブとなり、この時ROM671は、コネクタ側アドレスバスCABの下位8ビットにより指定されたアドレスのデータを出力する。

信号/EWWRHは、読出制御回路620による上位バイトの転送が指定された時にロウレベルになる信号であり、信号/EWWRLは、同じくその下位はバイトの転送が指定された時にロウレベルになる信号であり、信号/FIFOWRは、FIFO制御回路623によるデータ転送が指定された時にロウレベルになる信号である。信号/EWWRLおよび信号/EWWRHは、各々第1のラッチ651および第2のラッチ652のクロック端子CKに入力されているから、これらの信号がアクティブとなってROM671からデータが出力されたとき、そのデータは、第1のラッチ651、第2のラッチ652に保持される。しかも、信号/EWWRLは、D型フリップフロップ674のクロック端子Cにも入力しているから、下位バイトの転送時には、D型フリップフロップ674の出力Qはロウレベルに反転する。この出力EWRDYは、既述したステータスレジス64

5のビットd0および転送フラグレジスタ647のビットd1、即ちフラグEWRDYとして扱われている。

第1のラッチ651、第2のラッチ652は、マイクロプロセッサ601側からはレジスタEWRDとして扱われるから、第1のラッチ651および第2のラッチ652に保持されたデータを読み取ろうとする場合、マイクロプロセッサ601はレジスタEWRDに対する読み取り動作を行なう。この時、信号/EWRDがロウアクティブとなり、この信号がアウトプットイネーブル端子に接続された第1のラッチ651、第2のラッチ652の出力側、即ちデータバスDB29には、先に保持されたデータが出力される。この信号/EWRDは、D型フリップフロップ674のプリセット端子PRに接続されているから、マイクロプロセッサ601側から第1のラッチ651、第2のラッチ652のデータが読み取られると同時に、D型フリップフロップ674のQ出力である信号EWRDYはハイレベルに反転する。即ち、ステータスレジスタ645のビットd0および転送フラグレジスタ647のビットd1であるフラグEWRDYは、値1にセットされる。

かかるハードウェアを前提として、電子制御装置501およびマイクロプロセッサ601は、以下の手順で、電子制御装置501側からマイクロプロセッサ601側へのデータの転送を行なう。電子制御装置501側からマイクロプロセッサ601側に転送されるデータは、電子制御装置501がワークステーション507から受け取った印字データであり、カートリッジ503側のマイクロプロセッサ601で、処理しようとするページ記述言語のプログラムである。読出制御回路620によるデータ転送は、電子制御装置501側のCPU510が実行するカートリッジへのデータ転送処理ルーチン(図27)、およびカートリッジ503側のマイクロプロセッサ601が実行するのデータ読み込み割込処理ルーチン(図29)により行なわれる。

カートリッジ503側に転送すべき印字データが整うと、CPU510は、図27のフローチャートに示す処理を起動し、まずステータスレジスタ645のフラグEWRDY(ビットd0)を読み取る処理を行なう(ステップS700)。このフラグEWRDYは、読出制御回路620の第1のラッチ651、第2のラ

ラッチ652にデータがセットされると値0となり、そのデータがマイクロプロセッサ601により読み取られると値1にセットされるから、次にこのフラグEWRDYが値1であるか否かの判断を行なう（ステップS705）。

フラグEWRDYが値1となるまで待機し、値1となると、次に（領域EWRHの先頭アドレス+転送したいデータD×2）のアドレスを読み取る処理を行なう（ステップS710）。領域EWRHに対する読取処理を行なうと、ROM671からデータが読出される。ROM671には、図28に示すように、その先頭番地EWRHからの偶数番地に00hからFFhまでの256のデータが、順に書き込まれている。奇数番地にデータを置かないのは、CPU510のデータアクセスは1ワード（16ビット）で行なうのが基本であり、奇数番地から始まるワード単位のアクセスはできない（アドレスバスエラー要因となる）からである。領域EWRHの先頭からD×2だけ隔たったアドレスに対して読出処理を行なうと、ROM671からはデータDが読出され、これが図26に示したように、第2のラッチ652にラッチされる。

こうして転送したいデータの上位バイトの転送（第2のラッチ652がデータを保持）が行なわれると、CPU510は、同様に下位バイトの転送（第1ラッチ651がデータを保持）を行なう（ステップS715）。以上の処理により、1ワード分のデータが第1、第2のラッチ651、652に保持されたとして、CPU510は、割込要求レジスタのひとつ（本実施例ではAMDINT0）をセットする処理を行なう（ステップS720）。

CPU510は、引き続き図27に示した転送処理ルーチンを繰り返し実行するが、第1のラッチ651によるデータの保持が行なわれると、図26に示したように、フラグEWRDYはロウレベルにセットされるから、このフラグEWRDYがハイレベル（値1）となるまで、次のデータの転送処理は行なわれない（ステップS700、705）。

CPU510が割込要求レジスタ（AMDINT0）をセットすると、マイクロプロセッサ601は、この割込要求を受け付けて、図29に示すデータ読み込み割込処理ルーチンを起動する。この処理が起動されるのは、読取制御回路620の第1、第2のラッチ651、652にデータが保持された直後であり、マイ

クロプロセッサ601は、レジスタEWRDを読み込むことにより、電子制御装置501側が用意した1ワードのデータを読み取る(ステップS730)。その後、マイクロプロセッサ601は、読み取ったこのデータをRAM611ないし614の所定の領域に転送する(ステップS735)。

以上説明した処理により、電子制御装置501側は、読出専用線であるデータバスCDBで接続されているに過ぎないカートリッジ503側にデータを転送することができる。しかも、データの書込はバイト単位で行ない、読出はワード単位で行なうので、マイクロプロセッサ601は効率良くデータを取り込むことができる。なお、ここでは1ワードのデータを転送する場合を例にとって説明したが、データの転送はワード単位である必要はなく、バイト単位で転送するものとしてもよい。そのばあいには、領域EWWRL側を用いた転送のみを行ない、マイクロプロセッサ601側で上位の8ビットのデータを捨てればよい。

G. FIFO制御回路623の構成と働き

FIFO制御回路623は、FIFOメモリ621に書き込むデータをラッチするラッチ657、このFIFOメモリ621へのデータの書込を制御するFIFO書込レジスタ653、同じく読出を制御するFIFO読出レジスタ655を備える。このFIFOメモリ621は、2048バイトのデータを蓄えることができ、内部に書き込み用アドレスカウンタと読み出し用カウンタとを備える。FIFOメモリ621には、これらのカウンタをそれぞれリセットする書込側リセット端子、読出側リセット端子、書込側の8ビットのデータバスと読出側の8ビットのデータバス、書込用のクロック端子、読出用のクロック端子が設けられている。

このFIFOメモリ621を用いてデータを電子制御装置501側からマイクロプロセッサ601側に転送するには、電子制御装置501のCPU510は図30に示す転送処理ルーチンを、カートリッジ503のマイクロプロセッサ601は図31に示す処理ルーチンを、各々実行する。まず、図30のフローチャートに示した処理ルーチンを説明する。

電子制御装置501側のCPU510は、FIFO制御回路623を用いて、

複数バイトのデータ転送を行なう。

電子制御装置501のCPU510が図30に示したデータ転送処理ルーチンを起動すると、まずFIFO制御回路623のFIFO書込回路654に属するレジスタFIFORSTを読み出す処理を行ない、書込側のアドレスカウンタをリセットする処理を行なう(ステップS750)。続いて、送り出すデータの数をカウントするために変数Nを値0にリセットする(ステップS755)。その後、(レジスタFIFOWRの先頭アドレス+転送したいデータD×2)番地を読み出す処理を行なう(ステップS760)。このアドレスを読み出すと、読出制御回路620と同様に、ROM671の所定の番地がアクセスされて(図28参照)、CPU510が転送しようとしたデータDが出力され、これが図26に示すバスZ0ないしZ7を介してラッチ657にラッチされる。

続いて、FIFO制御回路623のレジスタFIFOREQを読み出してラッチ657に保持されたデータDをFIFOメモリ621に転送する処理を行なう(ステップS765)。レジスタFIFOREQを読み出すと、FIFOメモリ621の書込側のクロック端子に書込クロックが出力され、ラッチ657に保持されたデータDが、FIFOメモリ621の書込側アドレスカウンタが示す番地に書き込まれる。と同時にFIFOメモリ621内の書込側アドレスカウンタの内容は、値1だけインクリメントされる。こうして1バイトのデータを書き込むと、転送したデータ数を示す変数Nを値1だけインクリメントし(ステップS770)、変数Nが転送しようとするデータの総バイト数Xと等しくなったか否かの判断を行なう(ステップS775)。従って、転送したデータのバイト数Nがデータの総数Xに一致するまで、上述したステップS760ないしS775の処理を繰り返す。

全データの転送が完了すると、CPU510は、割込要求レジスタの一つ(AMDINT1)をセットし、データの転送が完了したことをマイクロプロセッサ601側に通知し(ステップS780)、「NEXT」に抜けて本処理ルーチンを終了する。

一方、マイクロプロセッサ601は、この割込要求AMDINT1を受けて図31にフローチャートを示すデータ受信割込ルーチンを起動する。このルーチン

を起動すると、マイクロプロセッサ601は、まずFIFO制御回路623のFIFO読出レジスタ655に属するレジスタRDRSTを読み出して、FIFOメモリ621の読出側のアドレスカウンタをリセットする処理を行なう（ステップS800）。続いて、受信したデータ数をカウントするための変数Mに値0をセットする処理を行なう（ステップS805）。

その後、FIFO読出レジスタ655に属するレジスタFIRCLKを読み込む処理を行ない（ステップS810）、読み取ったデータをRAM611ないし614の所定の領域に転送する処理を行なう（ステップS815）。レジスタFIRCLKを読み出すと、FIFOメモリ621の読出側のクロック端子に読出クロックが出力され、その時の読出側アドレスカウンタの示す番地のデータDが、読み出される。と同時にFIFOメモリ621内の読出側アドレスカウンタの内容は、値1だけインクリメントされる。なお、通常FIFO制御回路623を介して転送されるのは、ページ記述言語のプログラムであることから、受信されたデータは、直ちにRAMの所定の領域に転送され、画像データの展開に備えられるのである。

1バイトのデータを受信すると、変数Mを値1だけインクリメントし（ステップS820）、この変数Mが転送するデータの総バイト数Xに等しくなっか否かの判断を行なう（ステップS825）。従って、受信したデータのバイト数Mがデータの総数Xに一致するまで、上述したステップS810ないしS825の処理を繰り返す。

全データの受信が完了したと判断されると、マイクロプロセッサ601は、データの読み込みの完了を示すコマンドをポーリング・コマンドレジスタ643に書き込む処理を行なう（ステップS630）。電子制御装置501側のCPU510は、このポーリング・コマンドレジスタ643の内容を読み取ることで、FIFO制御回路623によるデータ受信の完了を知ることができる。その後、マイクロプロセッサ601は、「RNT」に抜けて本処理ルーチンを終了する。

以上説明した処理により、電子制御装置501側からマイクロプロセッサ601側に、大量のデータを効率よく転送することができる。転送されたデータは、データ転送制御部603のRAM611ないし614の所定の領域に保存され、

マイクロプロセッサ601による処理を待つ。マイクロプロセッサ601は、電子制御装置501側から展開すべき印字データ（ページ記述言語により記述されたプログラム）を総て受け取ると、ROM606ないし609に記憶したページ記述言語のインタープリタを起動し、RAM611ないし614の所定の領域に保存されたこの印字データを処理する。かかる処理により画像の展開がなされ、展開された結果は、RAM611ないし614の所定の領域に画像データとして記憶される。

H. ダブルバンク制御回路624の構成と働き

画像の展開が完了して得られた画像データは、次に電子制御装置501側に転送され、そのRAM512に記憶され、所定のタイミングでレーザエンジン505により印刷されることになる。かかる画像データの転送を行なうのが、ダブルバンク制御回路624である。ダブルバンク制御回路624は、マイクロプロセッサ601側から電子制御装置501側に転送するものであり、32バイト（16ワード）のデータを蓄えるバンクを2セット備える。これをAバンク、Bバンクと呼ぶが、両者はハードウェアとしては全く同一なので、Aバンク側の構成例のみを図32に示す。

この各バンクは、そのアドレスおよびデータバスを、マイクロプロセッサ601側からと電子制御装置501側からとに切り換えられる構成になっており、図示するように、アドレスラインを選択するデータセクタ681、682、2個一組で用いられデータバス（16ビット幅）を選択する2組計4個のオクタラインバッファ684ないし687、32バイト分の記憶容量を有するRAM691、692、その他の構成ゲートであるオアゲート694、695およびインバータ696から構成されている。図32では、32バイト分の記憶容量を有するメモリチップを2個用いた構成としているが、単一のメモリチップの上位アドレスを切り換えることで実現しても差し支えない。

データセクタ68は、電子制御装置501側のアドレスバスCABの最下位4ビット（AC1ないしAC4）と、マイクロプロセッサ601側のアドレスバスAABの下位の4ビット（A2ないしA5）とを選択して出力する構成となっ

ており、アドレスバスの選択は、セレクト端子Sに接続された信号ADDMUX A (レジスタADDMUXAのビットd0) により行なわれる。データセクタ682は、アドレスバスの選択に合わせて、RAM691, 692のリード・ライトの信号を切り換えるものであり、同じくセレクト端子Sに接続された信号ADDMUXAにより、いずれかの信号がRAM691, 692のチップセレクト端子CE1, 2、アウトプットイネーブル端子OEに接続されるかを切り換えている。

オクタルラインバッファ684, 685をデータバスDB29に介装されたトリステートタイプのラインバッファであり、ゲート端子1G, 2Gがロウレベルとなったとき、マイクロプロセッサ601側のデータバスDB29とRAM691, 692のデータバスを接続し、マイクロプロセッサ601側からRAM691, 692へのデータの書込が可能な状態とする。オクタルラインバッファ684, 685のゲート端子1G, 2Gには、信号/DPWROAと信号ADDMUXAとを入力とするオアゲート694の出力が接続されている。信号/DPWROAは、マイクロプロセッサ601側がAバンクにデータを書き込もうとするときロウレベルになる信号である。従って、Aバンクへのデータの書込を行なうとして、予めレジスタADDMUXAのビットd0をロウレベルにしておけば、マイクロプロセッサ601側からAバンクへのデータの書込処理を行なうと、オクタルラインバッファ684, 685のゲートが開き、データバスDB29に出力されたデータは、RAM691, 692のデータバスに出力され、これに書き込まれる。

一方、オクタルラインバッファ686, 687は、そのゲート端子1G, 2Gがロウレベルとなったとき、電子制御装置501側のデータバスDB68とRAM691, 692のデータバスを接続し、RAM691, 692から電子制御装置501へのデータの読出が可能な状態とする。オクタルラインバッファ686, 687のゲート端子1G, 2Gには、信号/DPOE1Aと信号ADDMUXAをインバータ696で反転した信号とを入力とするオアゲート695の出力が接続されている。信号/DPOE1Aは、電子制御装置501側がAバンクのデータを読み取ろうとするときロウレベルになる信号である。従って、Aバンクの

データの読出を行なうとして、予めレジスタADDMUXAのビットd0をハイレベルにしておけば、電子制御装置501側からAバンクに対する読出処理を行なうと、オクタルラインバッファ686, 687のゲートが開き、RAM691, 692のデータバスに出力されたデータは、データバスDB68に出力される。

かかるハードウェアを前提として、マイクロプロセッサ601が行なう画像データの転送処理と電子制御装置501のCPU510が行なうその受け取り処理とを説明する。図33は、マイクロプロセッサ601が行なう画像データの転送開始処理ルーチンを示すフローチャートである。図示するように、マイクロプロセッサ601は、画像データの転送に先立って、ポーリング・コマンドレジスタ643に転送開始のコマンドをセットする(ステップS850)。

電子制御装置501側のCPU510は、このポーリング・コマンドレジスタ643のコマンドを読み取って、図34に示す応答処理ルーチンを実行する。即ち、電子制御装置501は、レーザプリンタ500が印刷可能な状態にあるか否かの判断を行ない(ステップS860)、印刷できる状態にあると判断した場合には、割込要求レジスタの一つ(AMDINT2)をセットし(ステップS865)、「NEXT」に抜けて本ルーチンを一旦終了する。印刷できる状態にない場合には、これをカートリッジ503のマイクロプロセッサ601に通知する処理を行なう(ステップS870)。印刷できない状態とは、例えばレーザエンジン505がまだウォーミングアップされていない状態、紙づまりなどが生じた状態など、画像データの転送を受けても印刷できない場合を言う。

電子制御装置501側からの割込要求信号AMDINT2を受け付けると、マイクロプロセッサ601は、図35に示す画像データ転送割込処理ルーチンを起動する。この処理を起動すると、マイクロプロセッサ601は、まずレジスタADDMUXAのビットd0に値1を書き込む処理を行なう(ステップS900)。このレジスタADDMUXAのビットd0が値1の場合には、図32を用いて説明したように、Aバンクを構成するRAM691, 692のデータバスはマイクロプロセッサ601側のデータバスDB29側に接続され、電子制御装置501側からのアクセスはできない状態となる。

続いて、マイクロプロセッサ601はAバンクDPWROAに16ワード(32バイト)分のデータを転送する処理を行なう(ステップS902)。AバンクDPWROAへのデータの書込処理を行なうと、図32に示した信号/DPWROAがロウレベルとなり、オクタルラインバッファ684, 685を介してデータがRAM691, 692に書き込まれる。16ワードのデータ転送が完了すると、マイクロプロセッサ601はレジスタADDMUXAのビットd0に値1を書き込み(ステップS904)、Aバンクを構成するRAM691, 692のデータバスを電子制御装置501のデータバスDB68に接続する。

その後、マイクロプロセッサ601はポーリング・コマンドレジスタ643にAバンクへの転送の完了を知らせるコマンドデータを書き込む処理を行なう(ステップS906)。以上で、Aバンクへのデータの転送処理を完了し、マイクロプロセッサ601は、引き続きBバンクについて上述した処理と同一の処理を実行する(ステップS910)。Bバンクへのデータ転送が完了した場合には、マイクロプロセッサ601はポーリング・コマンドレジスタ643に、同様に転送が完了したことを知らせるコマンドデータを書き込む。こうしてカートリッジ503側からA, Bバンク、計32ワード(64バイト)のデータの転送が完了する。

以上説明したマイクロプロセッサ601の処理に対して、電子制御装置501のCPU510は、図36に示す画像データ受け取り処理ルーチンを実行する。即ち、CPU510は、まずステータスレジスタ645のビットd3、即ちフラグCMDRDを読み取り(ステップS920)、これが値0であるか否かの判断を行なう(ステップS925)。マイクロプロセッサ601側からポーリング・コマンドレジスタ643にコマンドデータが書き込まれた場合、このフラグCMDRDは、値0にセットされるので、この時、CPU510はポーリング・コマンドレジスタ643のコマンドデータを読み取る(ステップS930)。

読み取ったコマンドデータをチェックし、Aバンクのデータ転送が完了したことを示すコマンドデータであるか否かの判断を行ない(ステップS935)、違う場合には、その他の処理を実行する(ステップS940)。ポーリング・コマンドレジスタ643のコマンドデータがAバンクのデータ転送の完了を示すもの

であった場合には、電子制御装置501はAバンクDPRAMA（図20参照）の16ワードを読み込む処理を行ない（ステップS945）、読み取ったデータをRAM512に転送する（ステップS950）。

以上の処理によりAバンクの16ワードのデータの読み取りが完了するので、マイクロプロセッサ601から次の16ワードの転送を許可すべく、電子制御装置501は、割込要求レジスタの一つ（AMDINT2）をセットする。続いて、Bバンクについて上述したステップS920ないしS955の処理を実行する。即ち、Bバンクに対するマイクロプロセッサ601からのデータの転送が完了したことをポーリング・コマンドレジスタ643のコマンドデータにより判断すると、BバンクDPRAMBの16ワードのデータを読み取り、これをRAM512に転送した後、割込要求レジスタの一つをセットして、マイクロプロセッサ601に対して割込要求を立てるのである。

かかる割込要求を受けて、マイクロプロセッサ601は図35に示した割込処理ルーチンを再度実行することになるから、マイクロプロセッサ601およびCPU510が両ルーチン（図35、図36）を実行することで、全画像データの転送が完了する。全画像データの転送後、新たな印字データを電子制御装置501側から受け取らなければ、マイクロプロセッサ601は、所定時間が経過すると、コントロールレジスタ650のレジスタCLKDIVに値1を書き込んで、自らの動作周波数を半分の12.5MHzに切り換え、消費電力ひいては発熱量を低減する。

I. 画像データの印刷

一方、全画像データの転送を受けた電子制御装置501は、既述したダブルバッファ回路520およびレジスタ517を用いてレーザエンジン505と信号をやり取りしつつ、画像データによる印刷を行なう。電子制御装置501とレーザエンジン505との信号のやり取りを図37に簡略に示した。この図を参照しつつ、印刷の概要について説明する。

カートリッジ503から展開された後の画像データを受け取ると、電子制御装置501は、レーザエンジン505が印刷可能な状態か否かを問い合わせ、ウォ

ーミングアップなどが完了して印刷可能な状態にあると判断すると、図37に示すプリント信号をレジスタ517を介してレーザーエンジン505に出力する。レーザーエンジン505は、この信号を受けて、直ちに用紙搬送用のモータを起動する。これに同期して、感光ドラムの回転、帯電処理等が開始される。

印刷される用紙が感光ドラムに対して所定距離だけ離間した位置に至ったとき、レーザーエンジン505は用紙の先端を検出し、信号VREQをレジスタ517を介して電子制御装置501に出力する。電子制御装置501はこの信号VREQを受け取ると、所定時間、即ち感光ドラムがレーザービームによる潜像形成の開始される位置まで回転するのに必要とされる時間だけ待機してから、信号VSYNCをレジスタ517を介して出力する。レーザーエンジン505はこの信号VSYNCを受けて、レーザービームの水平同期信号HSYNCをレジスタ517を介して出力する。この信号HSYNCは、1ライン分の画像データの読み取り開始を指示する信号に相当するので、レーザーエンジン505は、この信号に同期して画像データをダブルバッファ回路520の一方のRAM520Aもしくは520Bから読み取る。なお、トップマージンを形成する場合には、トップマージンに対応するライン数だけ、信号VSYNCを無視する制御が行なわれる。この制御はボトムマージンを形成する場合も同様である。

と同時に、CPU510はこの信号をカウントしつつ、必要な画像データをダブルバッファ回路520のRAM520AもしくはRAM520Bに転送する。レーザーエンジン505が用紙後端を検出してから所定時間が経過するか、水平同期信号のカウント値が予め用紙サイズに合わせて設定された値に等しくなるかすると、CPU510は、画像データのダブルバッファ回路520への転送を終了する。以上の処理により、1ページ分の画像データはレーザーエンジン505に転送され、用紙にその画像が印刷される。

[i i i] その他

(1) 前述したように、マイクロプロセッサ601は、全画像データの転送後、新たな印字データを電子制御装置501側から受け取ることなく所定時間が経過すると、スリープモードに入り発熱量を低減する。すなわち、自らの動作周波数

を通常の半分の12.5MHzに切り換える。図38は、50MHzの発振器661のクロック信号CLKに基づいて、マイクロプロセッサ601のクロック信号INCLKの周波数を切換えるための回路を示すブロック図である。この周波数切換回路は、3つのD型フリップフロップ1100, 1102, 1104と、データセクタ1106と、4ビットバイナリカウンタ1108と、インバータ1110とを備えている。

データセクタ1106の入力端子はそれぞれプルアップまたはプルダウンされており、これによって第1の入力端子群4A~1Aにはデータ「1110」が与えられており、第2の入力端子群4B~1Bにはデータ「1100」が与えられている。また、データセクタ1106のセレクト入力端子Sには第2のD型フリップフロップ1102のQ出力が与えられている。データセクタ1106は、セレクト端子Sがロウレベルの場合に第1の入力端子群4A~1Aのデータを出力し、セレクト端子Sがハイレベルの場合には第2の入力端子群4B~1Bのデータを出力する。

マイクロプロセッサ601の動作時には、レジスタCLKDIVの値は0であり、第2のD型フリップフロップ1102のQ出力もロウレベルに保たれている。この結果、データセクタ1106の第1の入力端子群4A~1Aのデータ「1110」が、カウンタ1108にプリセット値として与えられる。カウンタ1108は、発振器661から与えられる50MHzのクロック信号をカウントする。この時、プリセット値が「1110」なので、カウンタ1110は1/2分周器として機能する。カウンタ1108のキャリー出力は第3のD型フリップフロップ1104のD入力端子に与えられ、クロック信号CLKに同期して端子Qに出力される。この結果、発振器661の50MHzの信号が1/2分周され、25MHzのクロック信号INCLKとしてD型フリップフロップ1104から出力される。。

一方、マイクロプロセッサ601が一定時間動作しない時には、レジスタCLKDIVの値が1に書き換えられるので、データセクタ1106の第2の入力端子群4B~1Bのデータ「1100」が、カウンタ1108にプリセット値として与えられる。この場合には、プリセット値が「1100」なので、カウンタ

1110は1/4分周器として機能する。この結果、発振器661の50MHzの信号が1/4分周されて、12.5MHzのクロック信号INCLKが第3のD型フリップフロップ1104から出力される。

以上の例では、スリープモードにおいて動作周波数を1/2に低減するとしたが、マイクロプロセッサ601の特性が許容する場合には、動作周波数をさらに低減するようにしてもよく、また、動作周波数を0に（すなわち、クロックを停止）してもよい。

また、スリープモードに入る際の判断基準を上記の基準（マイクロプロセッサ601が所定時間以上、新たな印字データを電子制御装置501側から受け取っていないこと）以外のものにしてもよい。例えば、RAM611～614が所定時間以上アクセスされていないなどを判断基準にしてもよい。なお、マイクロプロセッサ601が所定時間動作していないことを検出するのは、マイクロプロセッサ601自身でもよく、他の検出回路でもよい。

一般には、マイクロプロセッサ601が所定時間以上動作していないことを示す事象を検出し、この検出に応じて動作周波数を所定のレベルに低減するようにすれば、マイクロプロセッサ601やその他の素子の発熱量を低減することができる。

なお、スリープモードに入るのは、マイクロプロセッサ601が動作していない場合なので、マイクロプロセッサ601自身の温度は余り高くなっていないことが多い。しかし、一般に、半導体素子は、長時間にわたって比較的高温に保たれると寿命が短くなることが知られている。従って、スリープモードに入ることによってマイクロプロセッサの寿命を伸ばすことが可能である。

なお、マイクロプロセッサが長時間にわたって動作した場合や環境温度が高くなった場合には、マイクロプロセッサなどの発熱量の多い素子の温度が許容値以上になることも考えられる。そこで、マイクロプロセッサなどの発熱量の多い素子の温度を熱電対などの温度計で検出し、所定の温度以上になった場合には、その動作周波数を所定のレベルに低減するようにしてもよい。こうすれば、素子の破壊を防止することができる。

(2) 以上、本発明をプリンタに適用した実施例について説明したが、本発明は

、プリンタへの適用にに限るものではなく、例えばワープロやパーソナルコンピュータ、あるいはワークステーションなどにも適用することができる。近年、こうしたコンピュータ関連機器は、拡張スロットはもとより、ICカードといったカートリッジタイプの拡張装置が取り付け可能となっていることが多い。こうした拡張スロットやICカードなどを備えたワープロ、パーソナルコンピュータ等では、ここに本発明の付加制御装置を装着し、本体側のプロセッサの処理を、モニタコマンドなどで付加制御装置に内蔵したメモリに記憶した処理に移し、付加制御装置に備えられたプロセッサと共に情報を処理するものとするれば、情報処理機能の向上、追加あるいは変更を実現することが容易である。更に、制御を付加制御装置側に移してしまえば、処理の内容はいかようにも変更することができるから、既に販売した機器の機能の変更や向上、ワープロなど各種専用機におけるソフトのバージョンアップなどを実現することができる。

このように、本発明は、プロセッサを用いたあらゆる装置、例えば車載の電装品、ファクシミリ、電話、電子手帳、電子楽器、電子カメラ、翻訳器、ハンディコピー、キャッシュディスペンサ、リモコン装置、電卓など、コネクタにより付加制御装置が接続可能なあらゆる情報処理装置に適用可能である。こうした情報処理装置では、本体側のプロセッサが付加制御装置を認識してその処理を付加制御装置側に用意したアドレスに移行する機能を備えていれば、既存の電子装置においても、本発明の付加制御装置および情報処理装置を実現することは容易である。かかる機能を備えていない場合でも、本体側プロセッサを付加制御装置に記憶した処理に移行させる手法は種々考えられる。

68000系のプロセッサは、データを所定のアドレスから読み込む処理を行なう際、データバス上のデータが確立しているか否かをデータを出力する機器（スレーブ）がプロセッサに応答する信号DTACKにより判断している。そこで、本体側のプロセッサが本体側に備えるROMに記憶した処理を実行中に、絶対番地へのジャンプ命令を実行しようとしたとき、絶対番地へのジャンプ命令の実行であることを付加制御装置側でインストラクションを解析して検出しておき、本体側の本来のROMがデータバスにジャンプ先の絶対番地を出力するタイミングより先に、付加制御装置側に内蔵したROMの実行アドレスをデータバスに出

力すると共に信号D T A C Kを本体側プロセッサに返し、強制的に付加制御装置内の所定アドレス以降に処理を移行させる構成が取り得る。一旦、処理が付加制御装置側のROMに移ってしまえば、その後の処理はいかようにも構成することができる。

この例では、本体側のプロセッサが絶対アドレスへのジャンプ命令を実行することを前提としているが、ジャンプ命令そのものも本体側のROMから読出していることに着目し、電源投入後最初にROMからインストラクションを読出すとき、該インストラクションの読出より先に、付加制御装置側からジャンプ命令に相当するコードをデータバスに載せると共に信号D T A C Kを返す構成とする 것도可能である。これらの手法では、信号D T A C Kの競合という問題を生じる恐れはあるが、バスのタイミングを細かく解析すれば、実現可能である。

(3) また、以上説明した実施例では、付加制御装置は筐体内にプリント基板を収納し単体で取り扱い可能なカートリッジとして構成したが、拡張スロットに装着される基板単体の構成としても差しつかえない。また、複数のコネクタを占有してひとつの付加制御装置を実現するものであっても差しつかえない。更に、筐体自体をプリント基板として構成したのも、本発明の一態様として実現可能である。

(4) 本発明は以上の実施例に何等限定されるものではなく、例えば、アウトラインフォントを内蔵したカートリッジにおいてプリンタ本体から文字のポイント数等のデータを受け取りその文字の指定ポイント数のビットイメージを生成してプリンタ本体に転送する構成、電子装置から受け取ったデータを付加制御装置で特に複雑な処理をすることなく単に記憶したり表示したりする構成、あるいはプリンタ本体がインクジェットプリンタである構成など、本発明の要旨を逸脱しない範囲内において、種々なる態様で実施し得ることは勿論である。

【産業上の利用可能性】

この発明にかかる付加電子装置および電子システムは、プロセッサを用いたあらゆる装置、例えばワープロ、パーソナルコンピュータ、ワークステーション、車載の電装品、ファクシミリ、電話、電子手帳、電子楽器、電子カメラ、翻訳器

、ハンディコピー、キャッシュディスペンサ、リモコン装置、電卓など、コネクタにより付加制御装置が接続可能なあらゆる情報処理装置に適用可能である。

請求の範囲

1. 論理演算可能な第1のプロセッサと、該プロセッサが実行する処理を記憶した第1の記憶手段と、前記第1のプロセッサの少なくともアドレス信号線が接続されたコネクタと、外部に転送すべきデータをアドレス信号に反映させるとともに該アドレス信号を前記コネクタを介して出力するアドレス出力手段とを備えた電子装置に、所定の挿入口を介して挿入される付加電子装置であって、

前記第1のプロセッサとは別個の処理を実行する第2のプロセッサと、該第2のプロセッサが実行する処理手順を記憶した第2の記憶手段と、前記電子装置から出力されたアドレス信号から該アドレスに反映されたデータを取り出すデータ取出手段とを備え、

付加電子装置内において最も発熱量の多い回路素子が、付加電子装置の挿入方向において、付加電子装置のほぼ中央と後端との間に配置されていることを特徴とする付加電子装置。

2. 請求項1記載の付加電子装置であって、

前記最も発熱量の多い回路素子は、前記第2のプロセッサを含む付加電子装置

3. 請求項1記載の付加電子装置であって、さらに、

付加電子装置内の回路素子を配置した回路基板を備える付加電子装置。

4. 請求項3記載の付加電子装置であって、さらに、

前記付加電子装置内の回路素子と前記回路基板とを収納する筐体を備える付加電子装置。

5. 請求項4記載の付加電子装置であって、

前記筐体の少なくとも一面が金属で形成されている付加電子装置。

6. 請求項5記載の付加電子装置であって、
前記筐体の全体が金属製である付加電子装置。

7. 請求項4記載の付加電子装置であって、
前記筐体は熱伝導率が約 $1\text{ W/m}\cdot\text{K}$ 以上の材料で形成されている付加電子装置。

8. 請求項7記載の付加電子装置であって、
前記筐体の内部において、前記第2のプロセッサの上面に対向する面に設置された金属製の放熱部材を有する付加電子装置。

9. 請求項4記載の付加電子装置であって、
前記第2のプロセッサの上面と前記筐体との間に介装され、前記第2のプロセッサと前記筐体とに密着する介装部材を備える付加電子装置。

10. 請求項8記載の付加電子装置であって、
前記第2のプロセッサの上面と前記放熱部材との間に介装され、前記第2のプロセッサと前記放熱部材とに密着する介装部材を備える付加電子装置。

11. 請求項9又は10記載の付加電子装置であって、
前記介装部材はゴム状物質である付加電子装置。

12. 請求項9又は10記載の付加電子装置であって、
前記介装部材は液状物質である付加電子装置。

13. 請求項4記載の付加電子装置であって、
前記第2のプロセッサを、該第2のプロセッサの上面と対向する前記筐体の方向に押すための弾性部材を備える付加電子装置。

14. 請求項13記載の付加電子装置であって、
前記弾性部材は、前記回路基板に設けられた開口を貫通し、前記第2のプロセッサの下面と前記筐体との間に介装されている付加電子装置。

15. 請求項13又は14記載の付加電子装置であって、
前記弾性部材はシリコンゴム製である付加電子装置。

16. 請求項4記載の付加電子装置であって、
少なくとも前記第2のプロセッサに対向する前記筐体の部分に開口部が設けられている付加電子装置。

17. 請求項4記載の付加電子装置であって、
前記筐体がプラスチックで形成されており、少なくとも前記第2のプロセッサに対向する前記筐体の部分に開口部が設けられている付加電子装置。

18. 請求項4記載の付加電子装置であって、
前記回路基板は、前記筐体内の空間を比較的広い第1の空間と、比較的狭い第2の空間とに仕切るように前記筐体内に設置されており、
前記第2のプロセッサは、前記第1の空間側に設置されている付加電子装置。

19. 請求項1記載の付加電子装置であって、さらに、
付加電子装置内の所定の回路素子にクロック信号を与える発振回路と、
前記所定の回路素子が所定時間以上動作していないことを検出するとともに、
この検出に応じて前記クロック信号の周波数を調整する周波数調整回路と、を備える付加電子装置。

20. 請求項19記載の付加電子装置であって、
前記第1のプロセッサが前記所定の回路素子が所定時間以上動作していないことを検出して前記周波数調整回路に通知し、この通知に応じて前記周波数調整回

路が前記クロック信号の周波数を調整する付加電子装置。

21. 請求項19記載の付加電子装置であって、

前記第2のプロセッサが前記所定の回路素子が所定時間以上動作していないことを検出して前記周波数調整回路に通知し、この通知に応じて前記周波数調整回路が前記クロック信号の周波数を調整する付加電子装置。

22. 請求項19ないし21のいずれかに記載の付加電子装置であって、

前記所定の回路素子は、前記第2のマイクロプロセッサを含む付加電子装置。

23. 請求項19ないし21のいずれかに記載の付加電子装置であって、

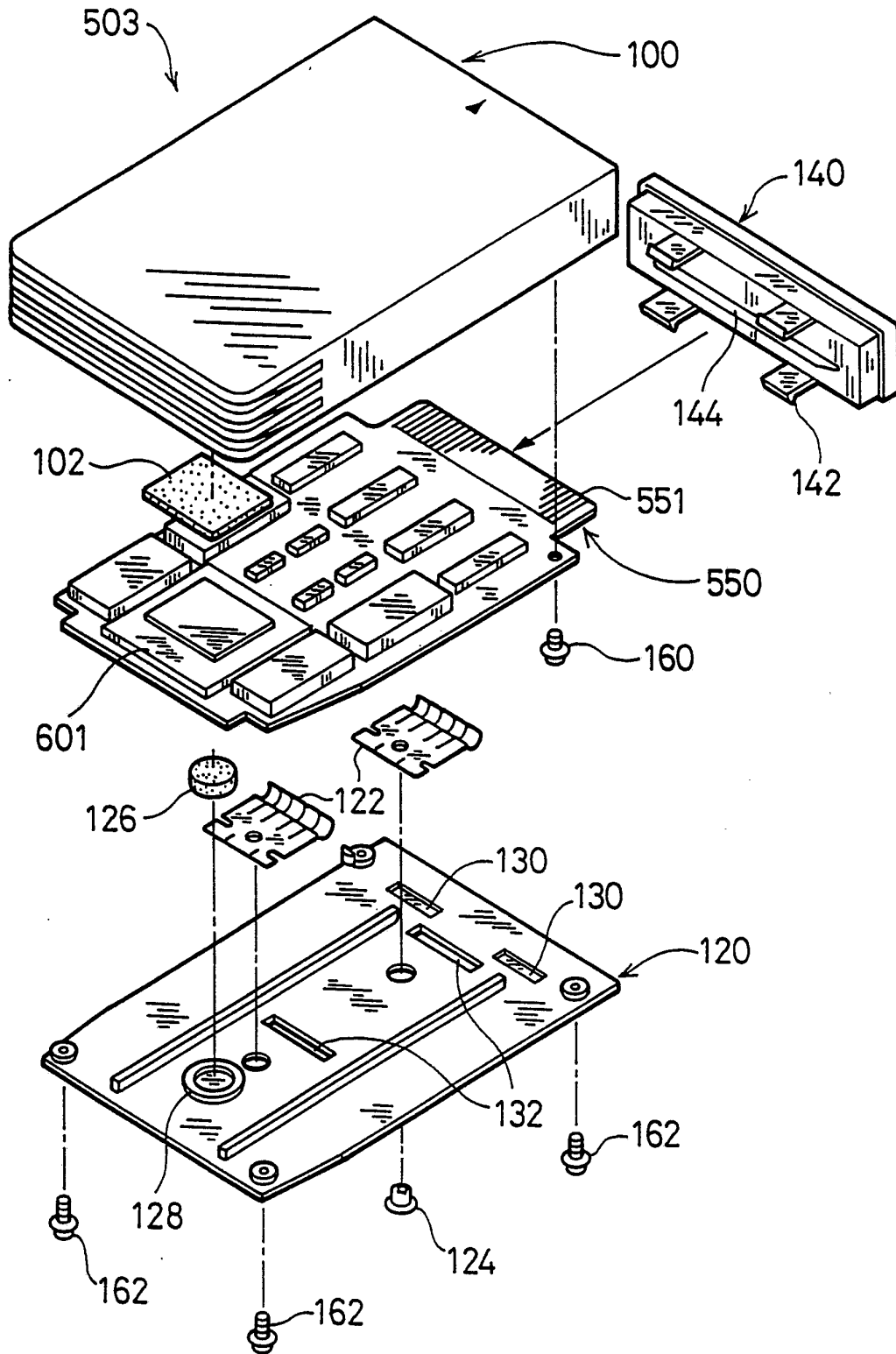
前記周波数調整回路は、前記クロック信号の周波数を所定の周波数レベルに低減する回路を備える付加電子装置。

24. 請求項19ないし21のいずれかに記載の付加電子装置であって、

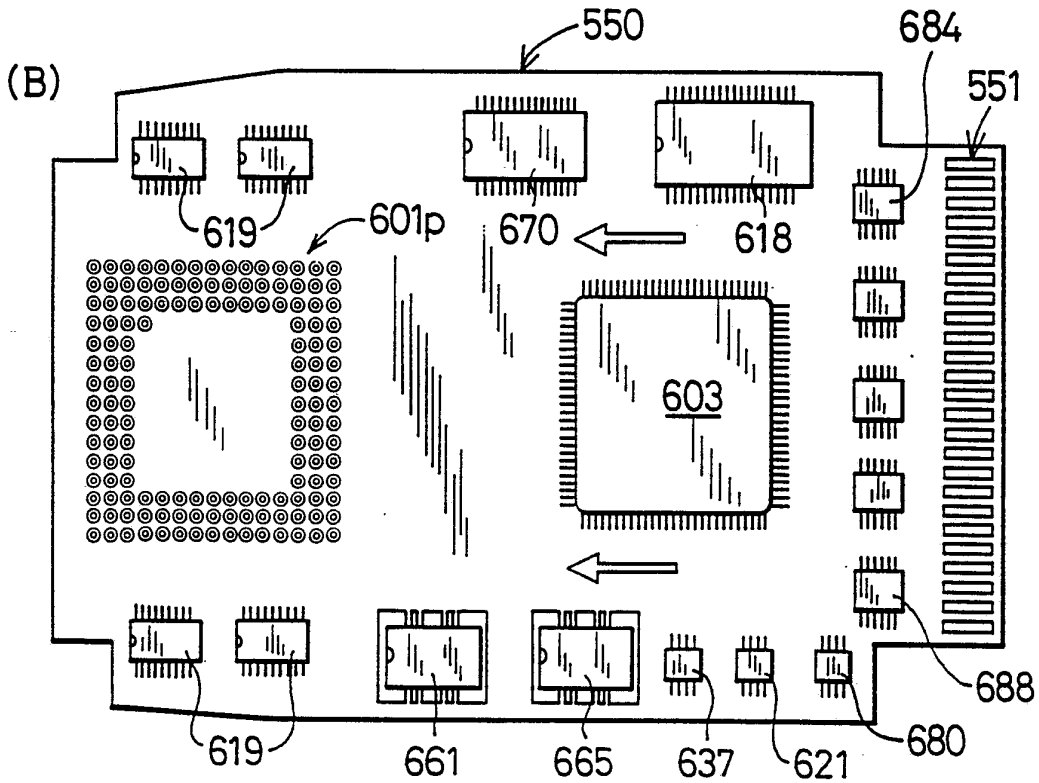
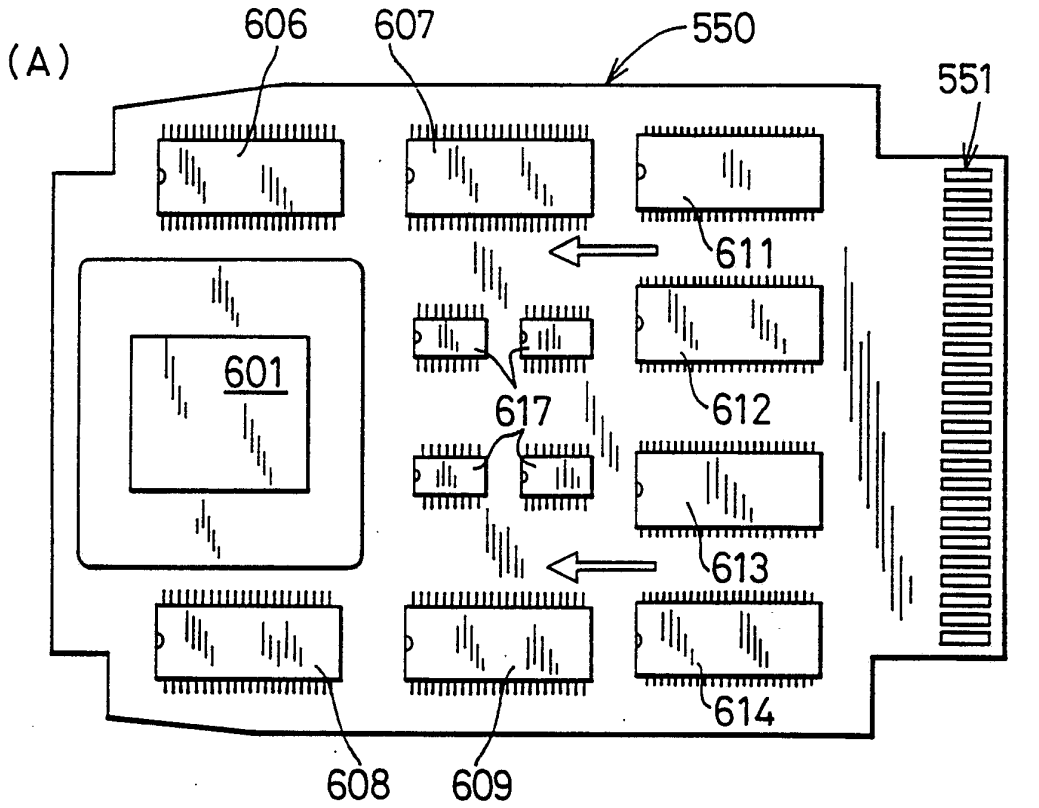
前記周波数調整回路は、前記クロック信号の周波数をゼロにする回路を備える付加電子装置。

25. 請求項1記載の付加電子装置と、前記電子装置とを備える電子システム

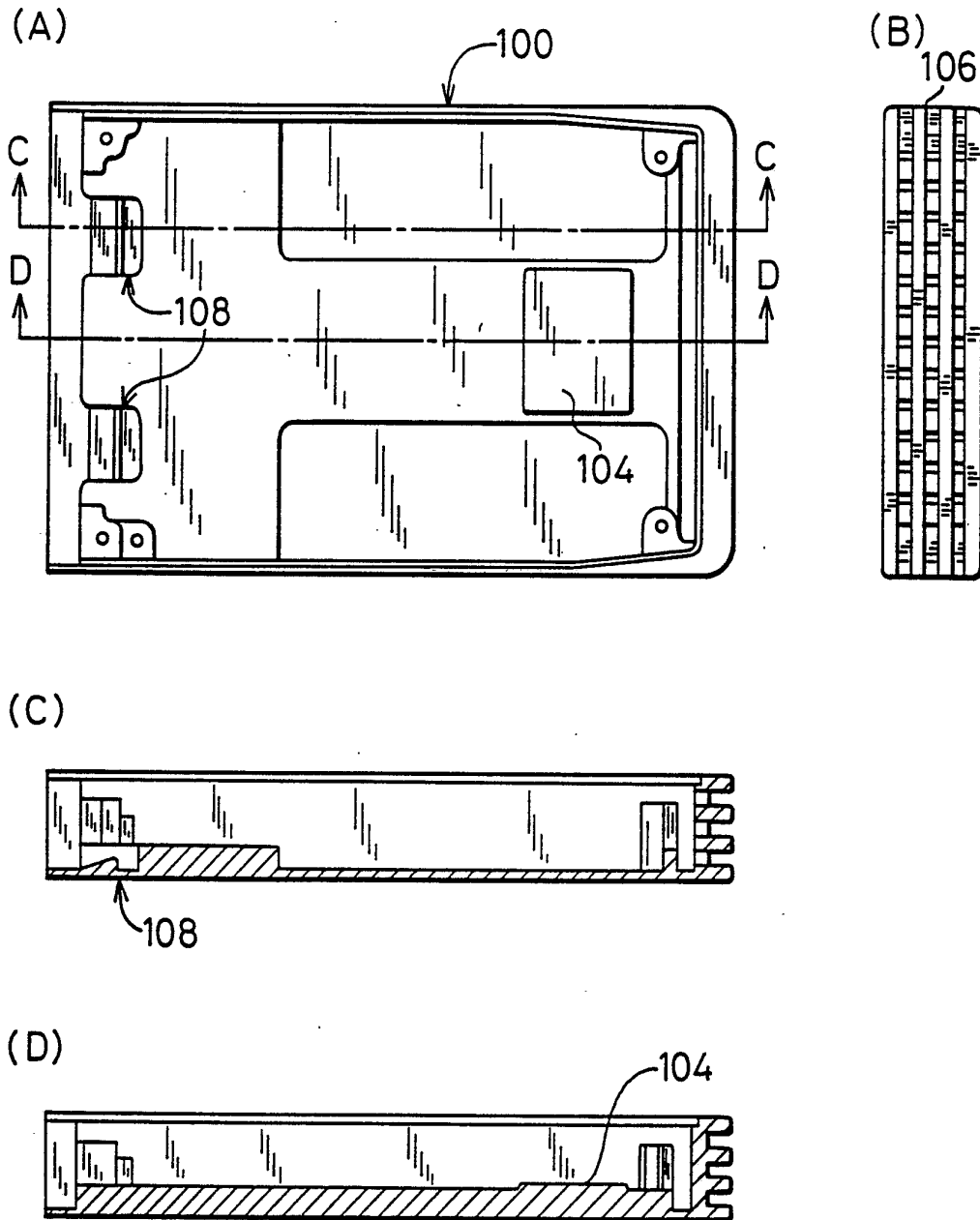
【図1】



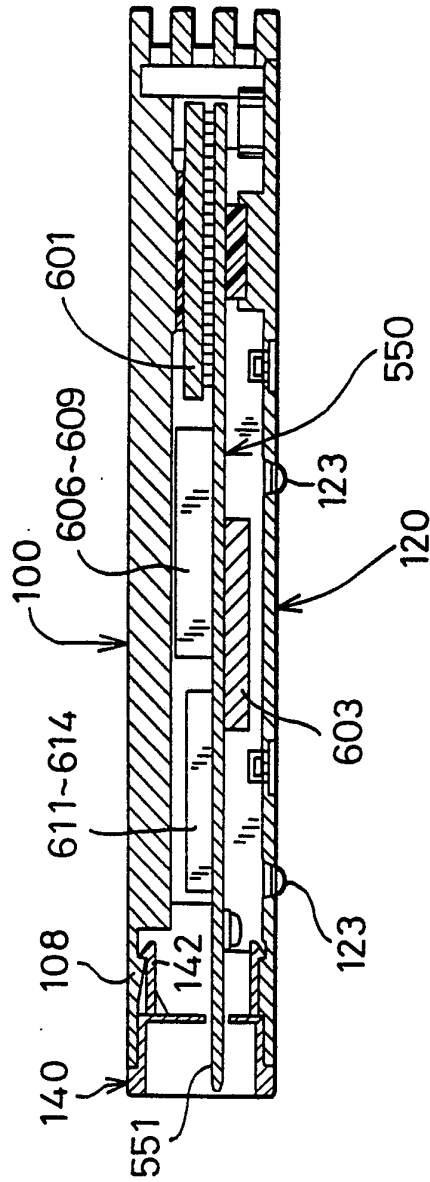
[図 2]



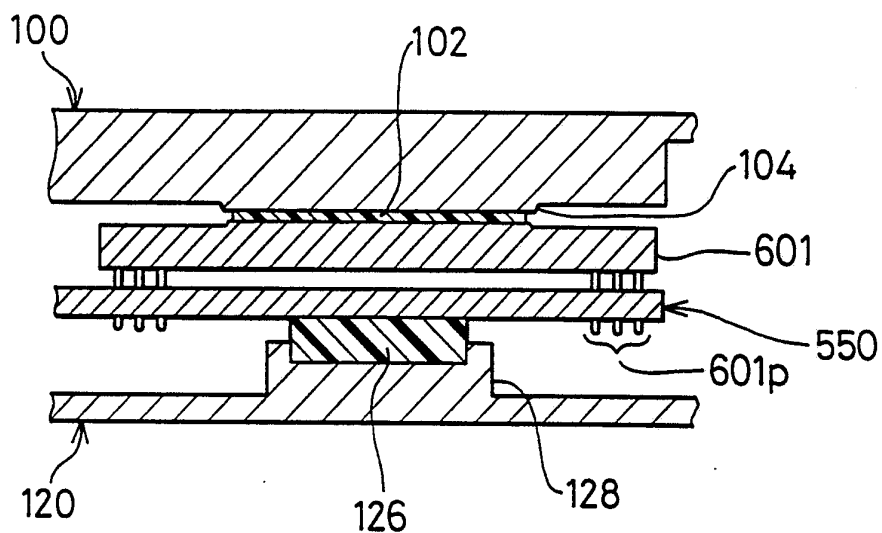
[図 3]



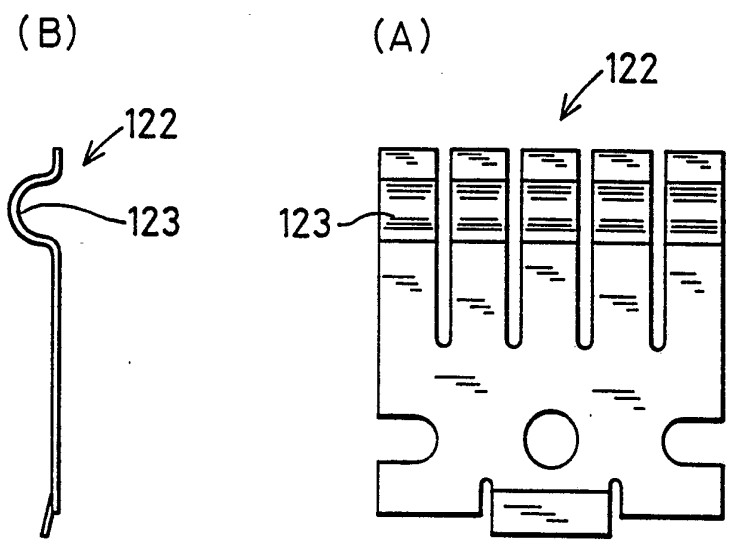
[図 4]



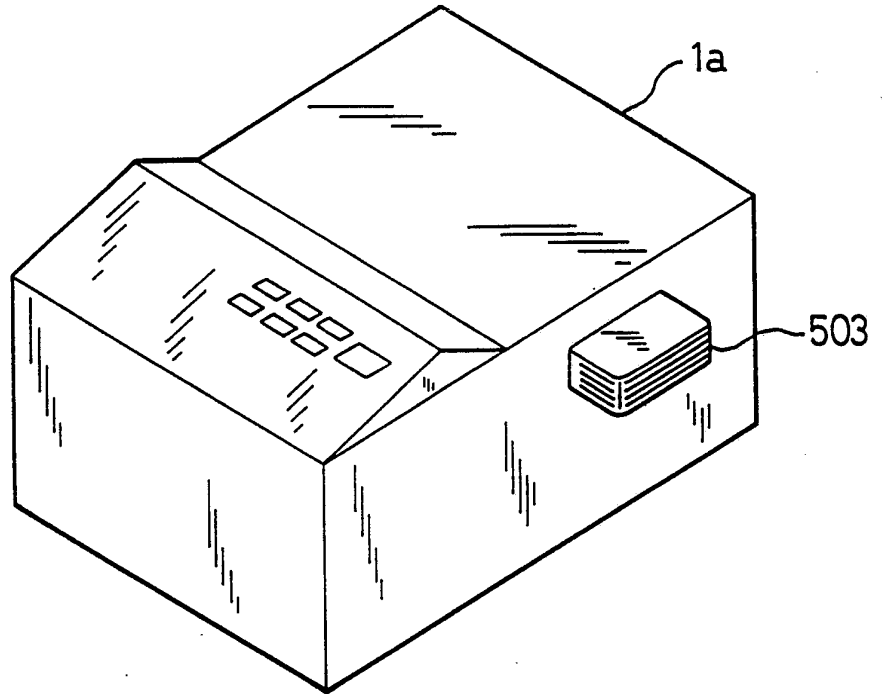
【 図 5 】



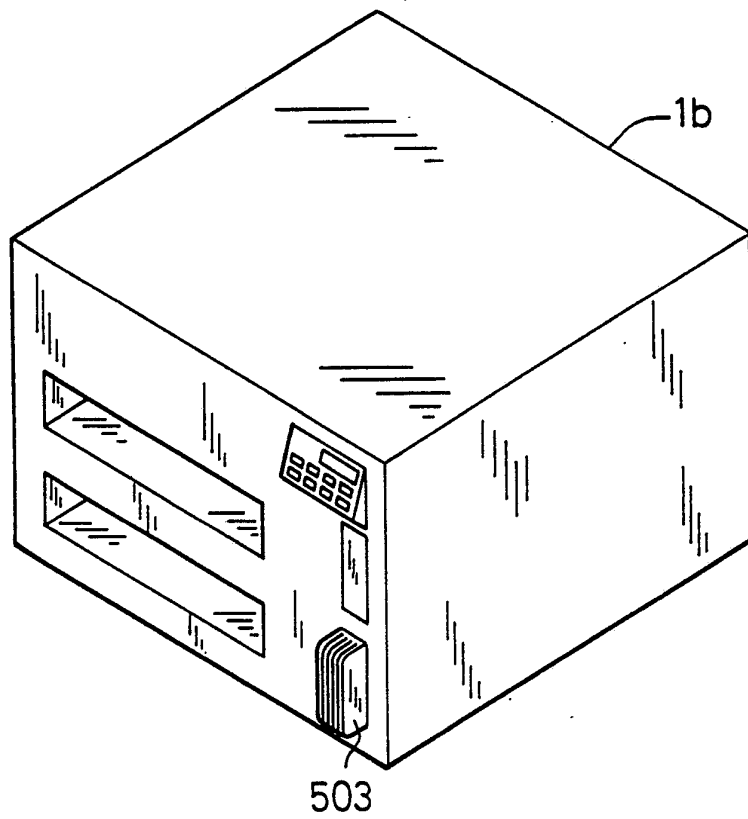
【 図 6 】



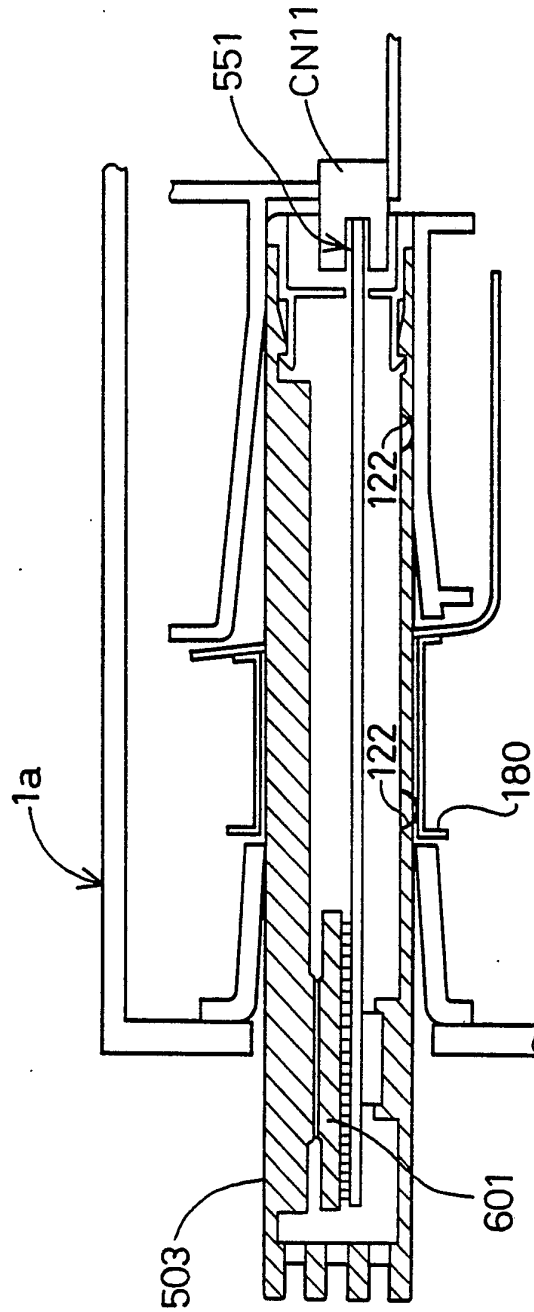
【 図 7 】



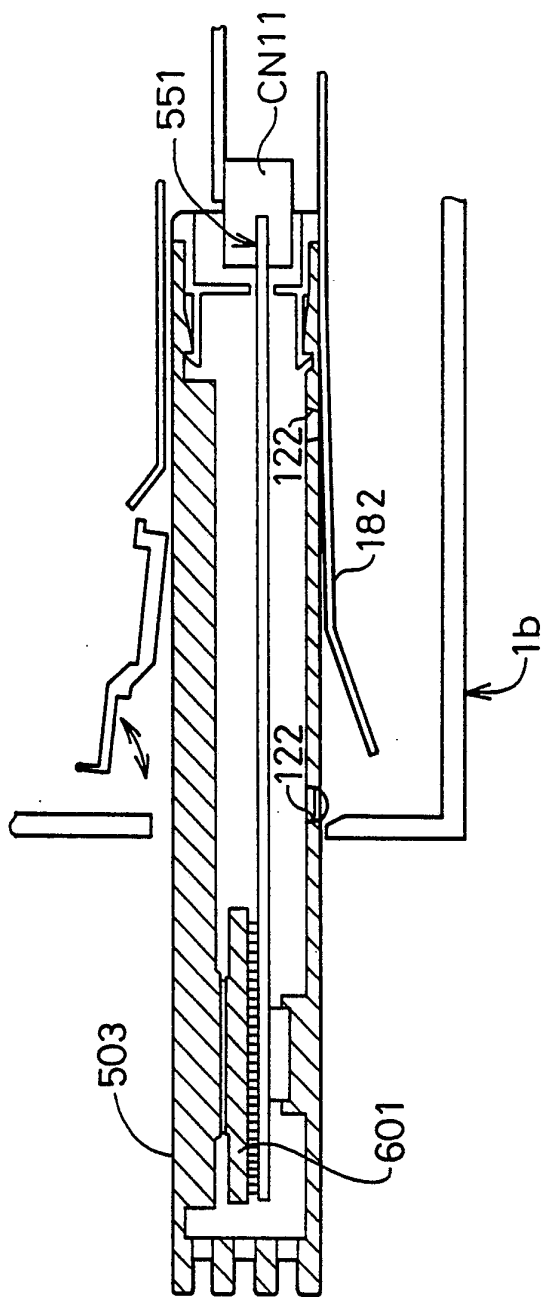
【 図 8 】



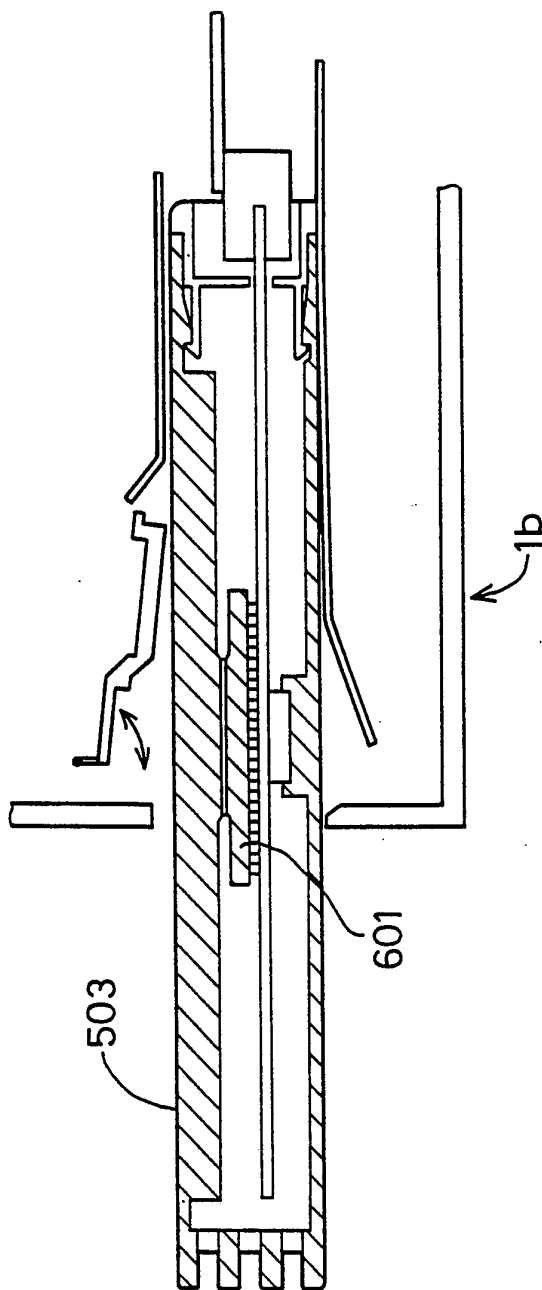
[9]



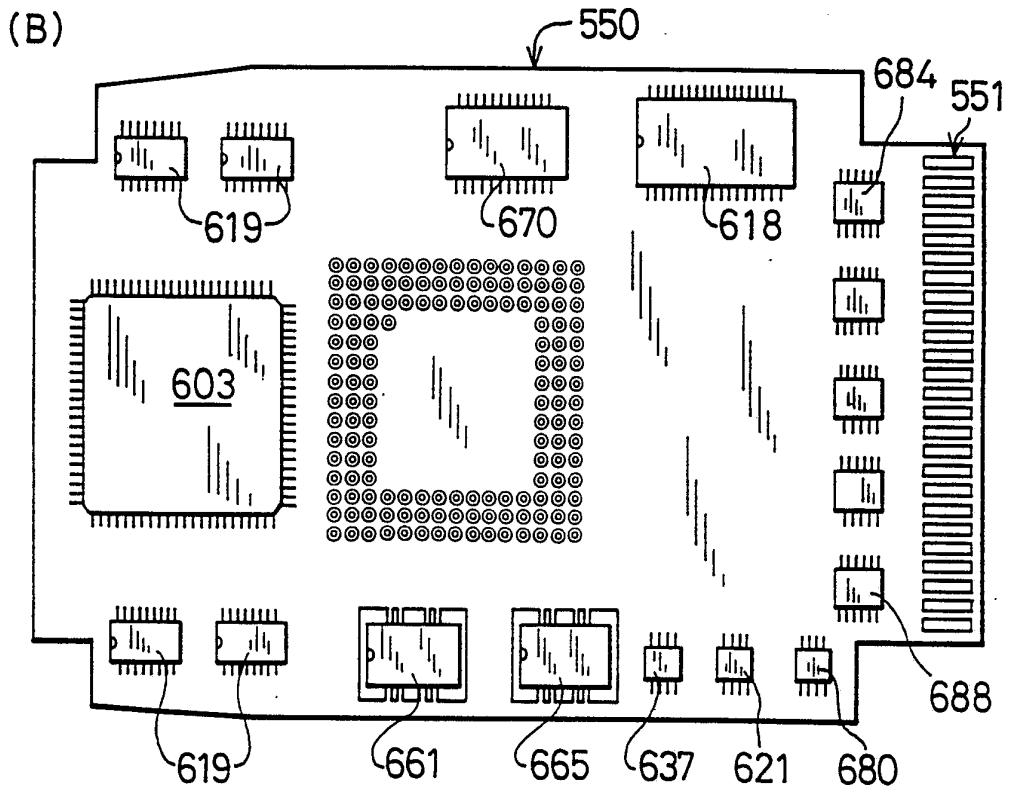
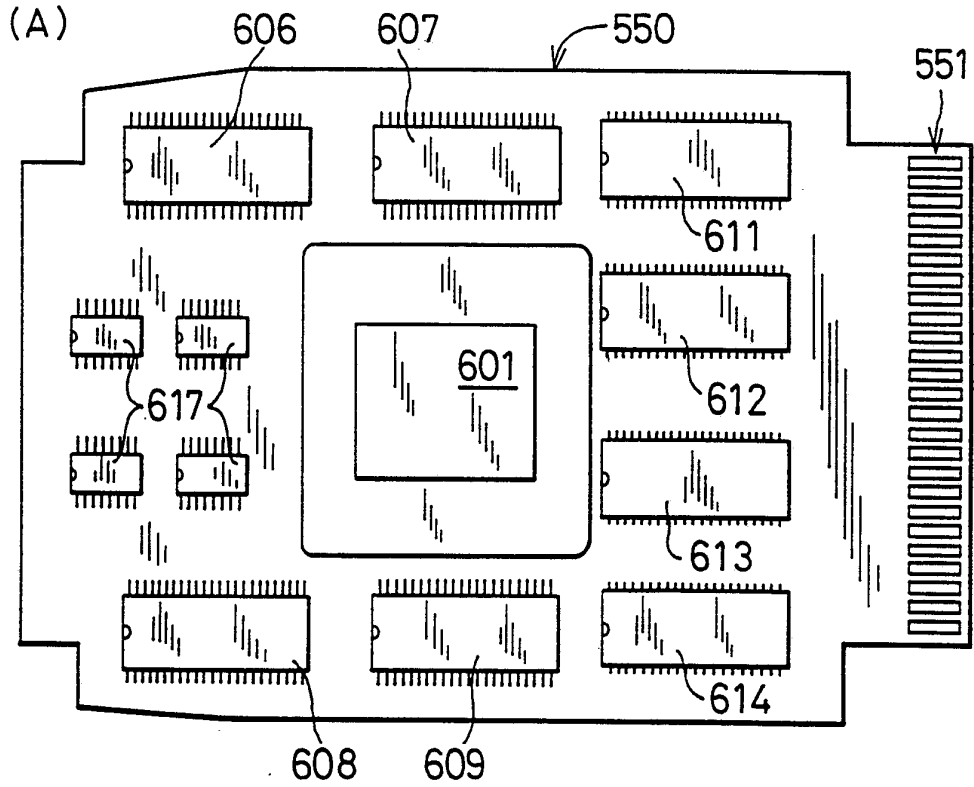
【 図 1 0 】



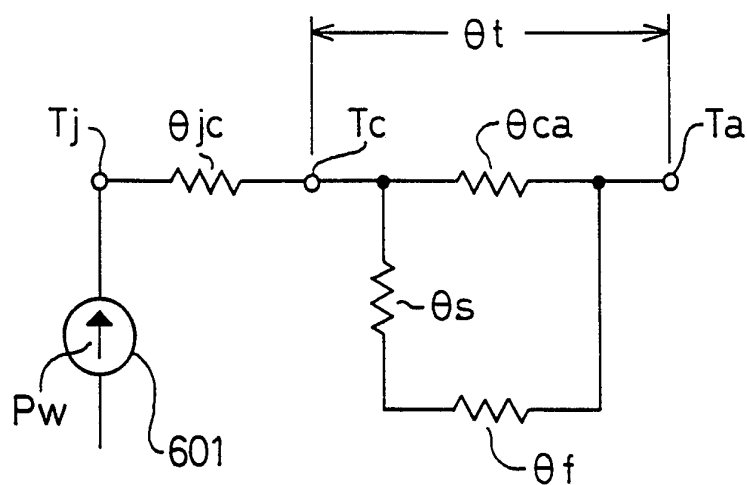
【 図 1 1 】



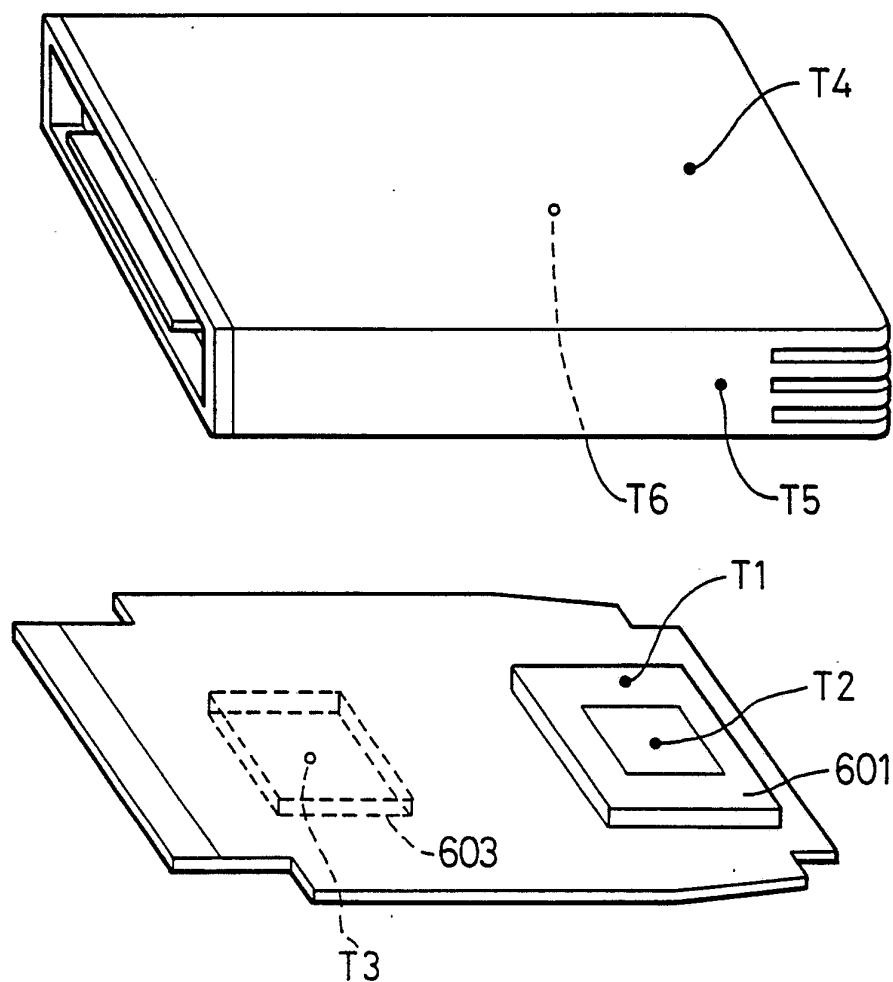
【 図 1 2 】



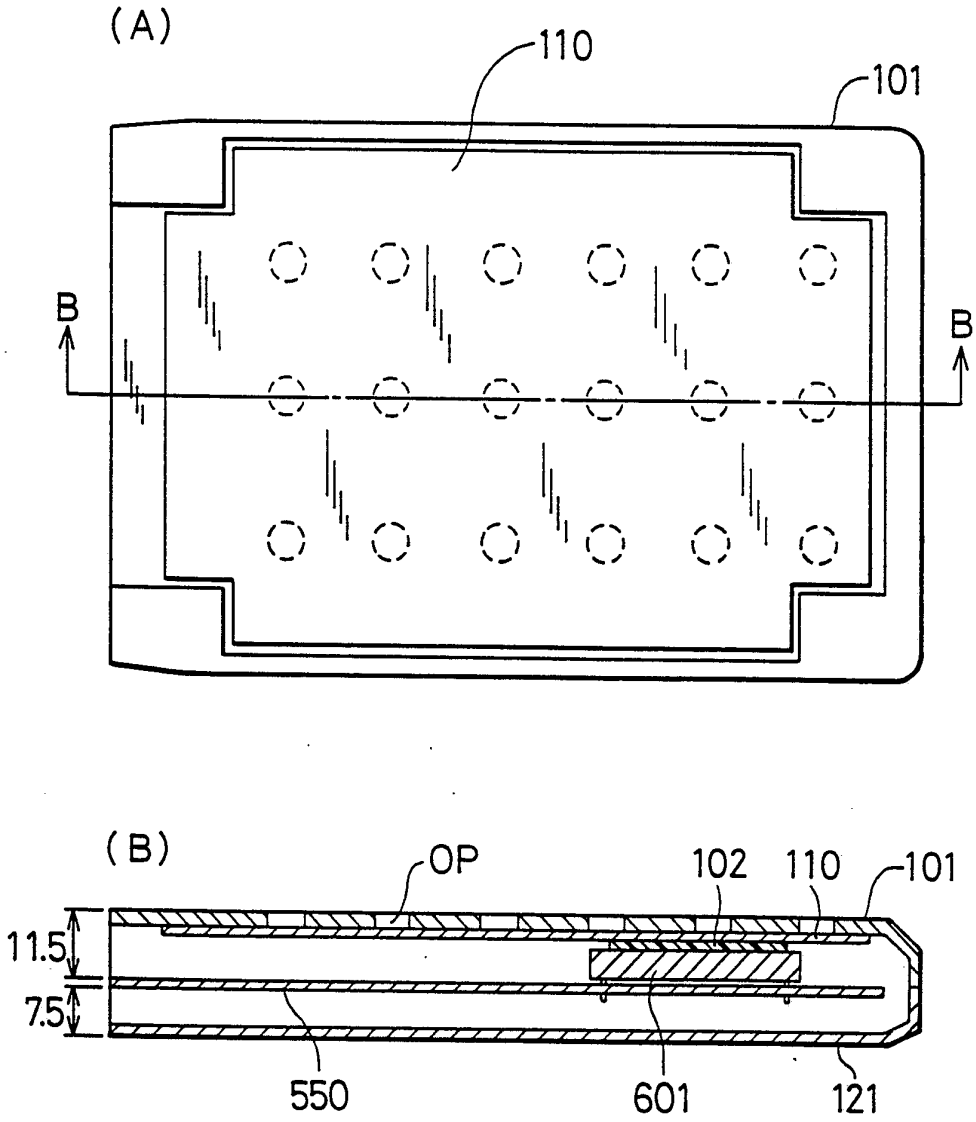
【 図 1 3 】



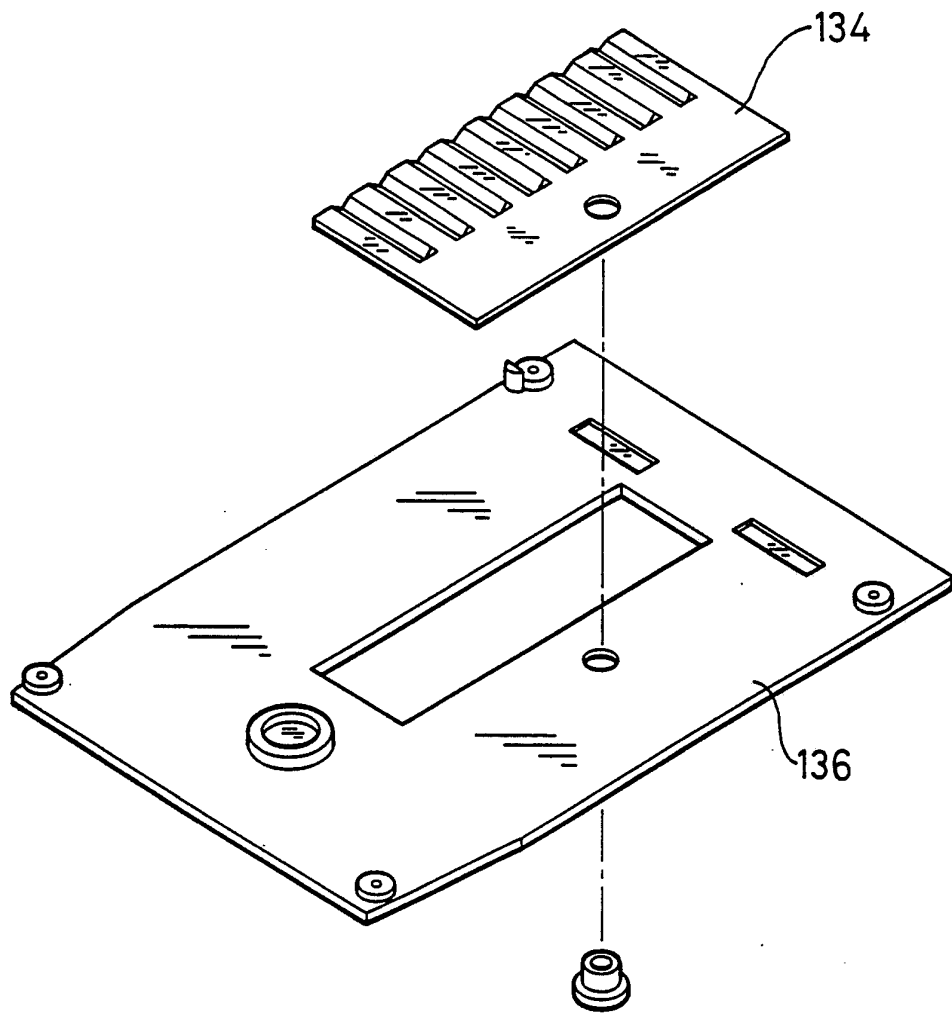
【 図 1 4 】



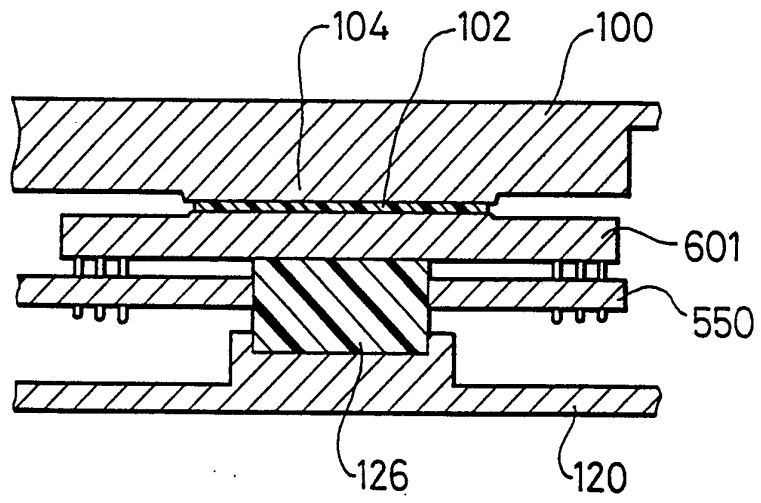
【 図 1 5 】



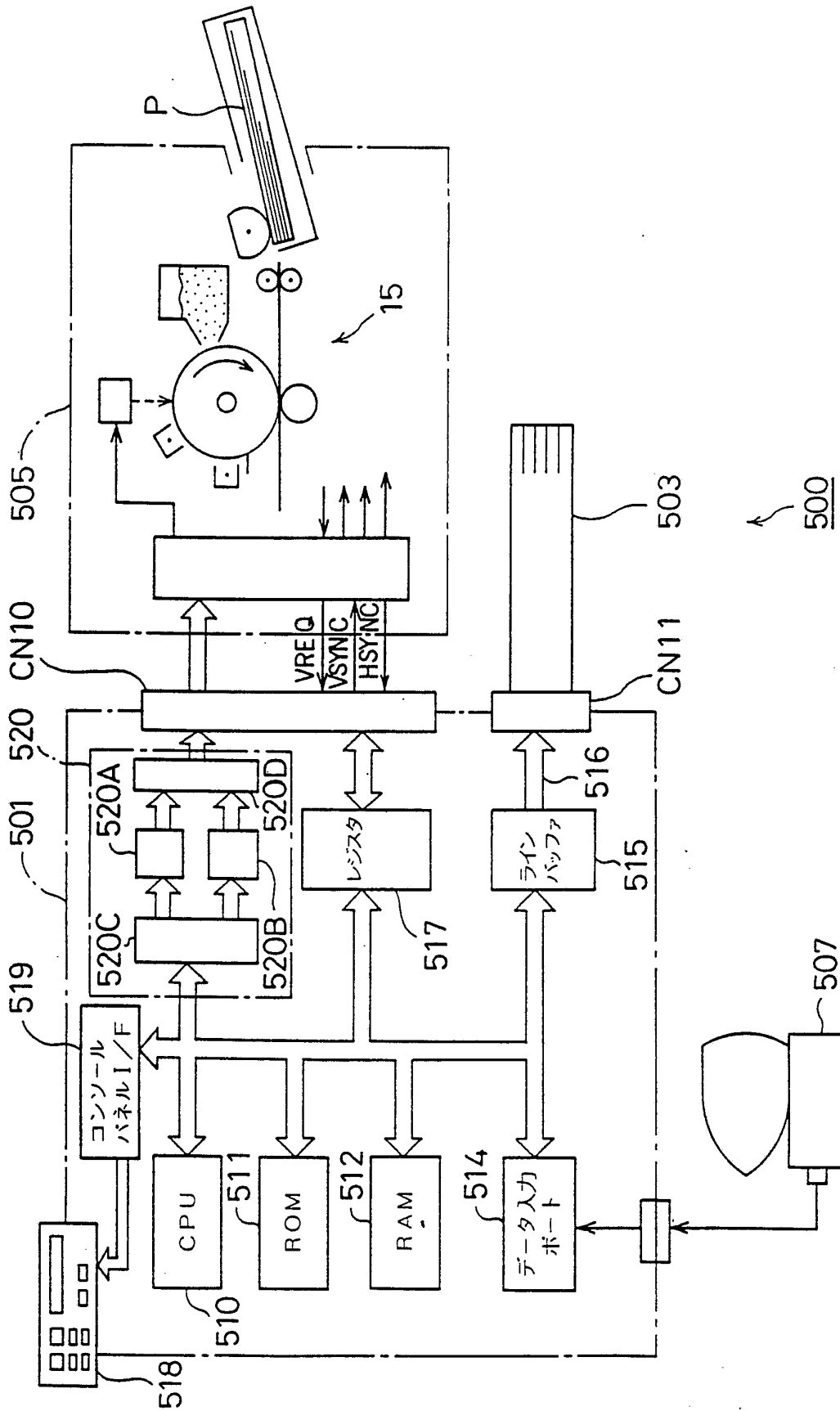
[16]



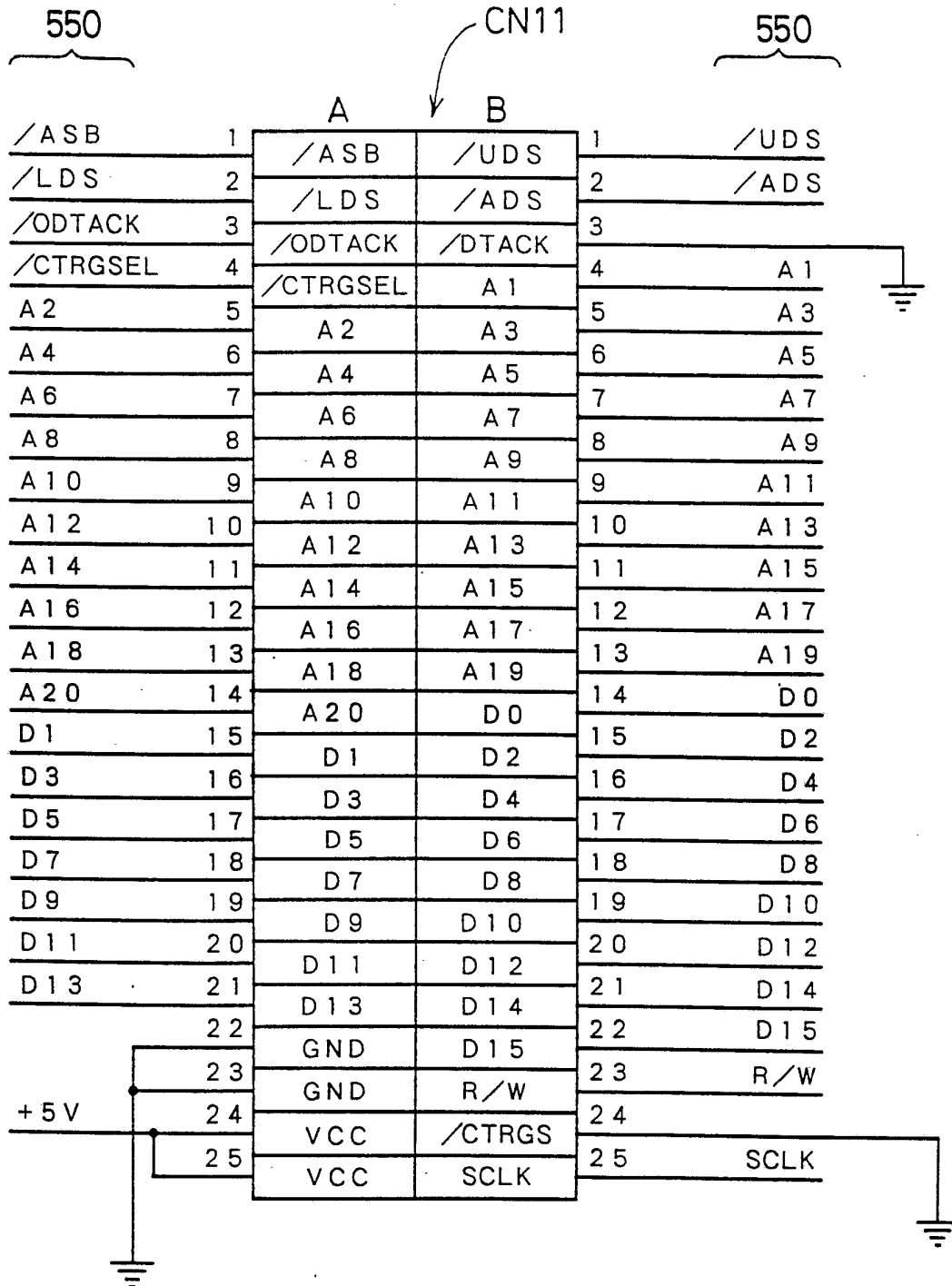
【 図 17 】



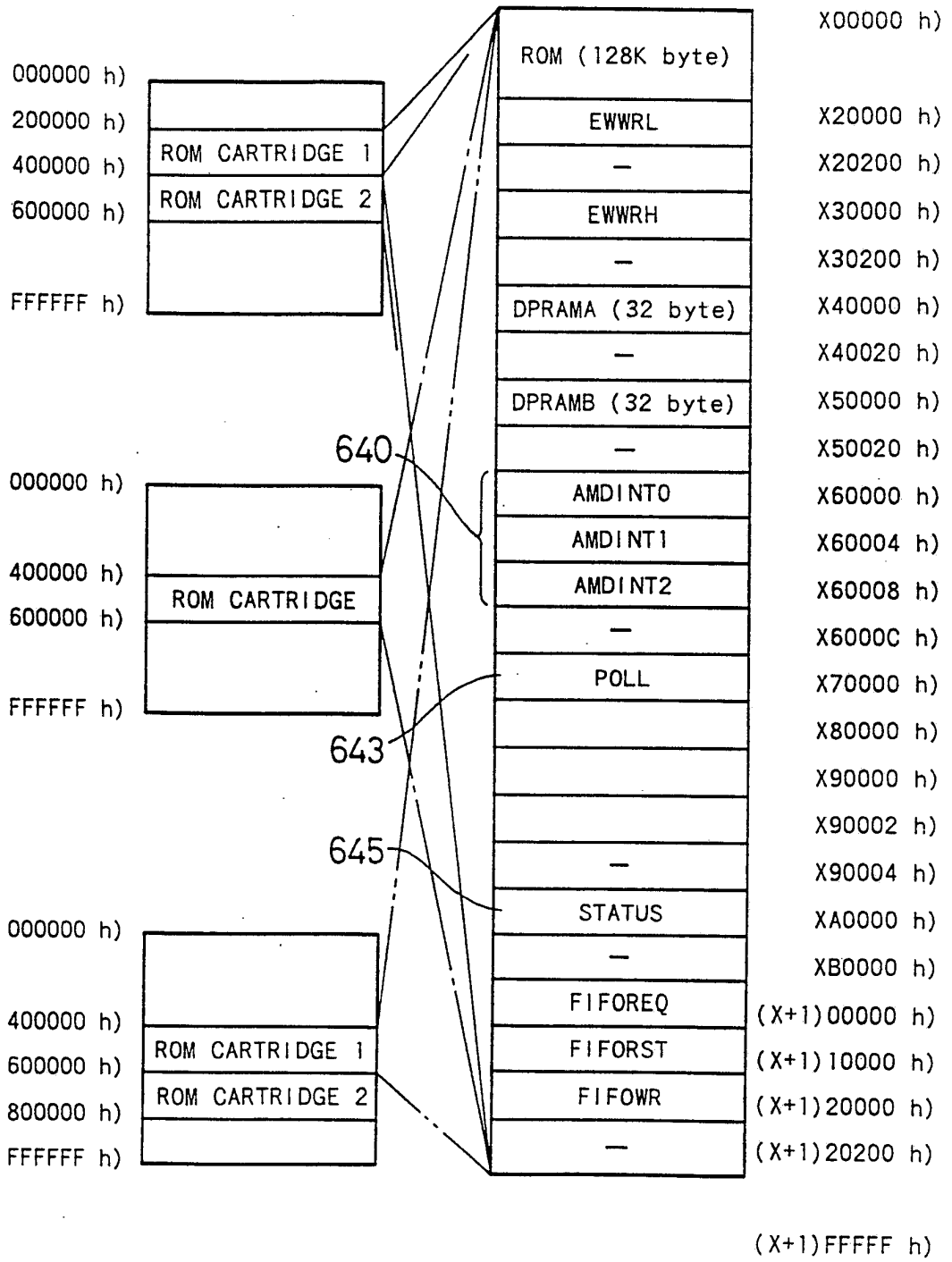
【図18】



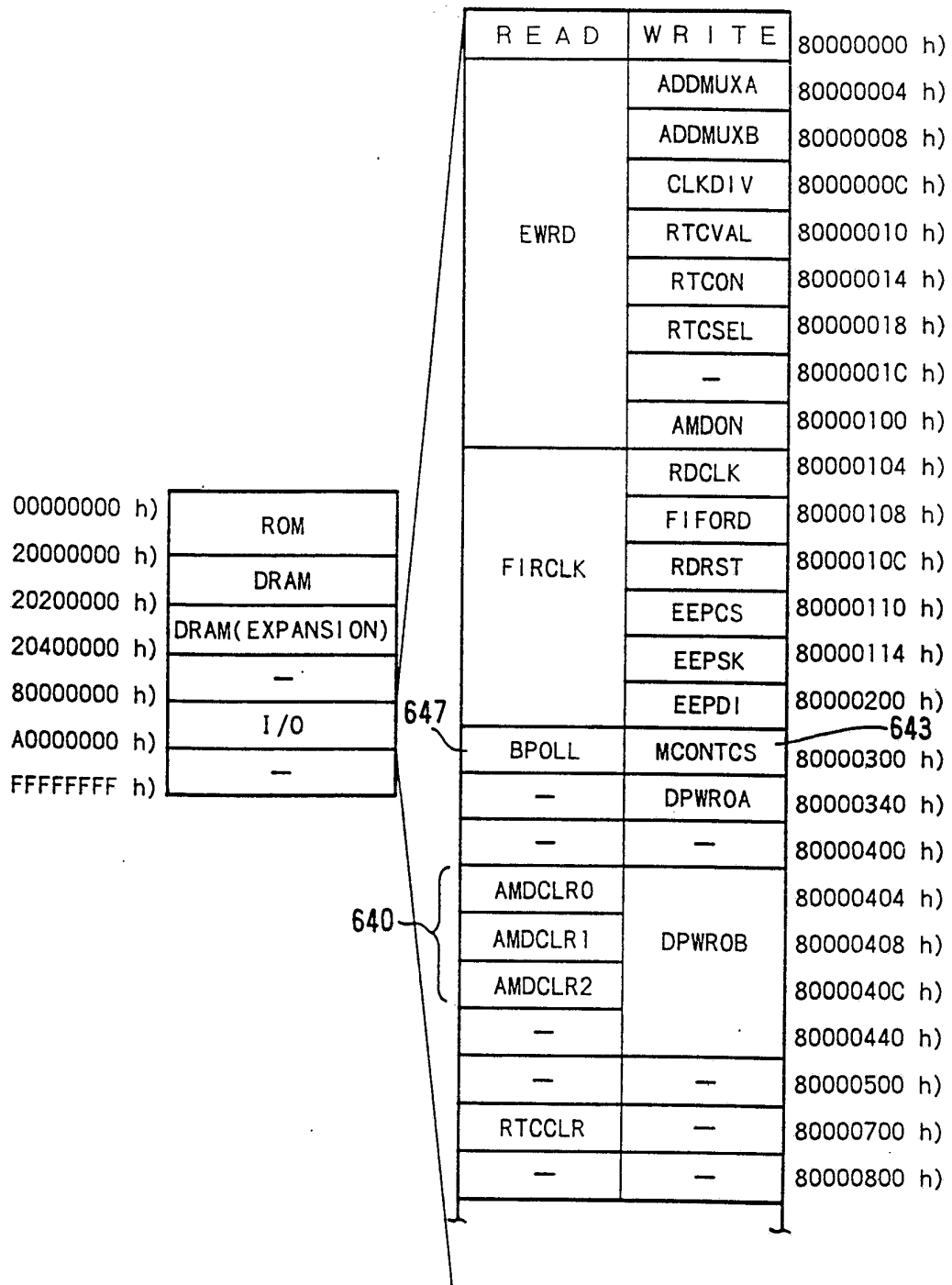
【 図 1 9 】



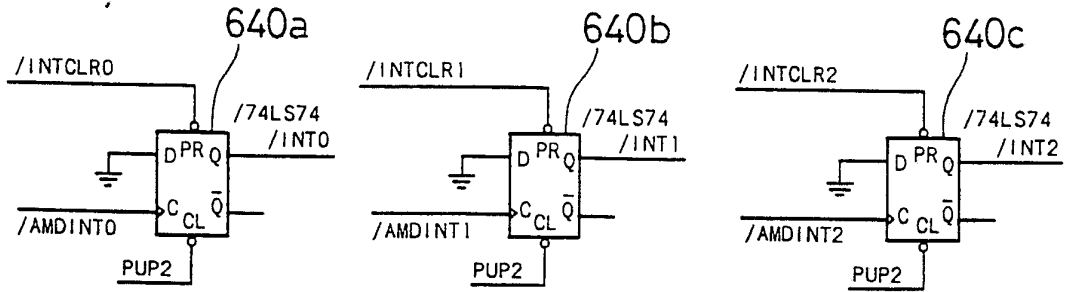
【 図 2 0 】



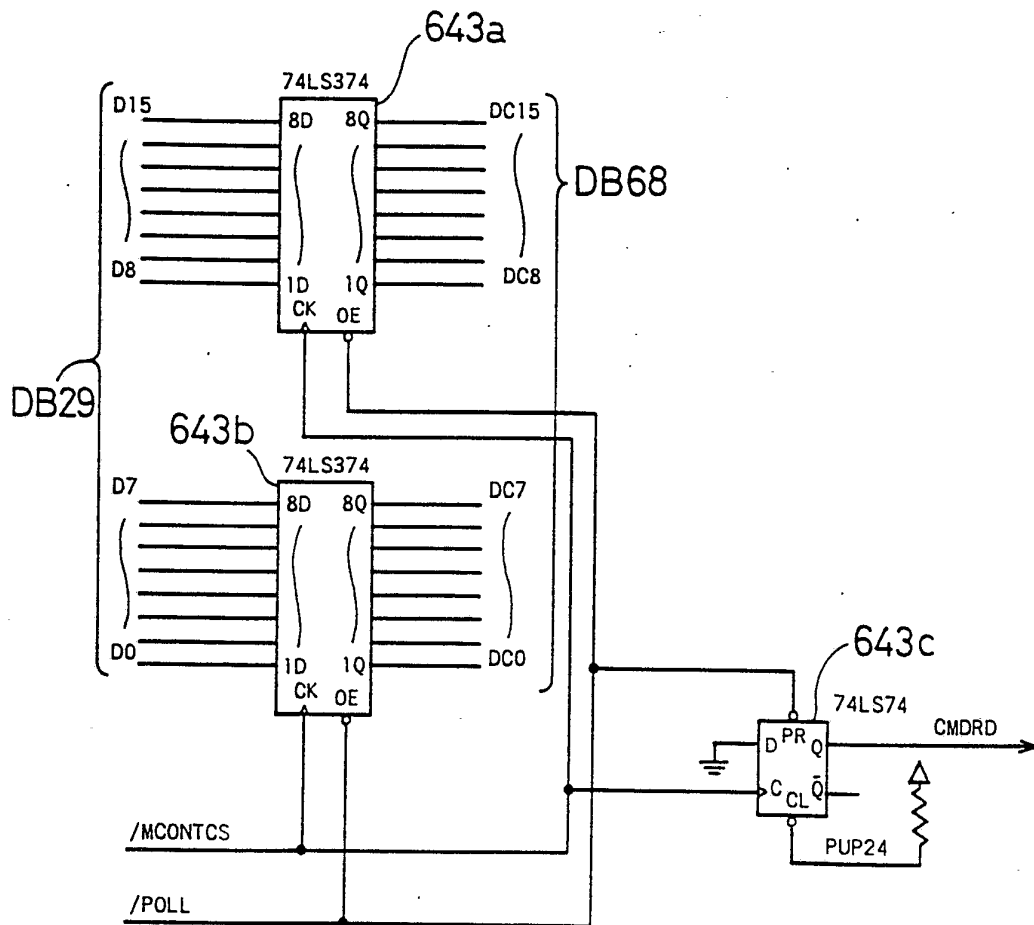
【図 21】



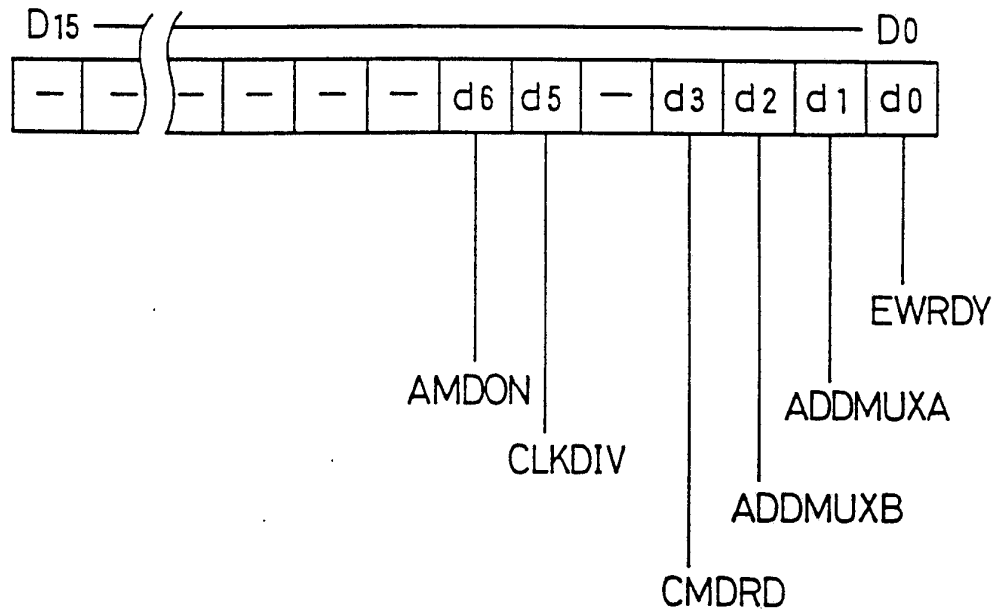
【 図 2 3 】



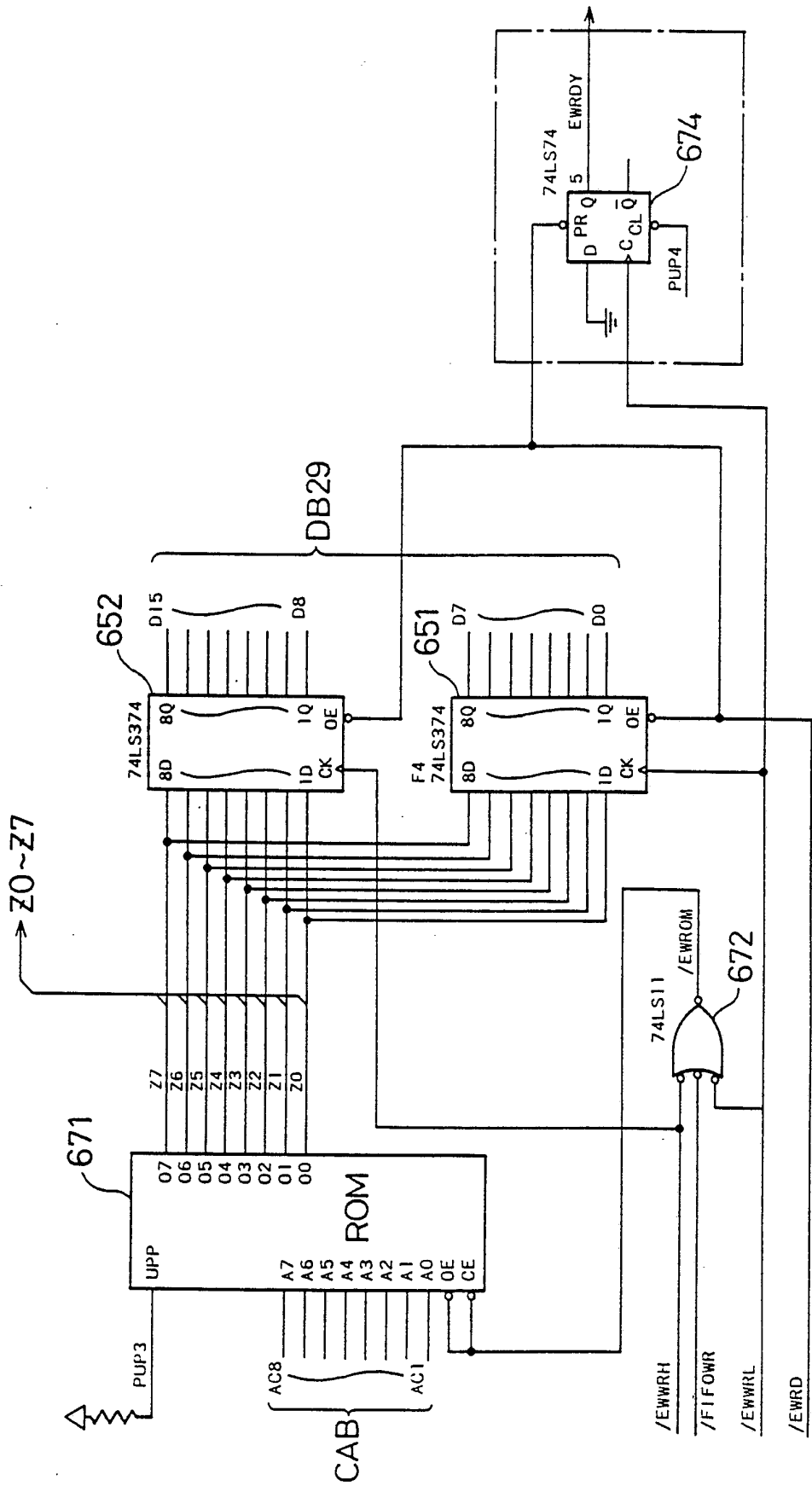
【 図 2 4 】



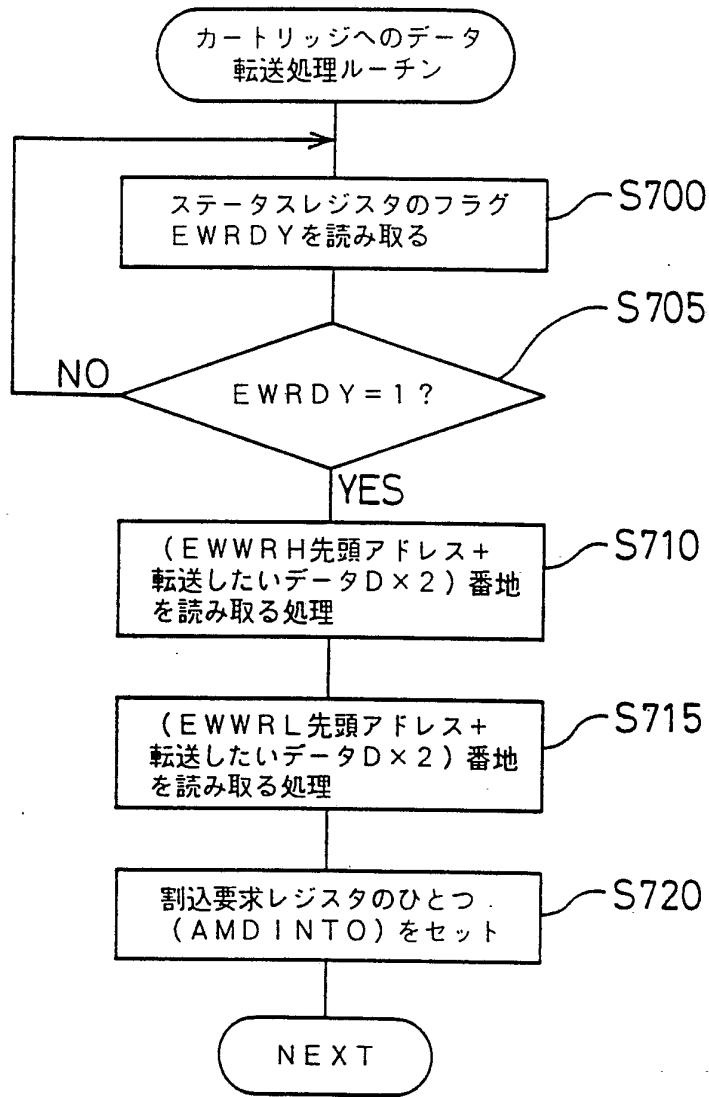
[25]



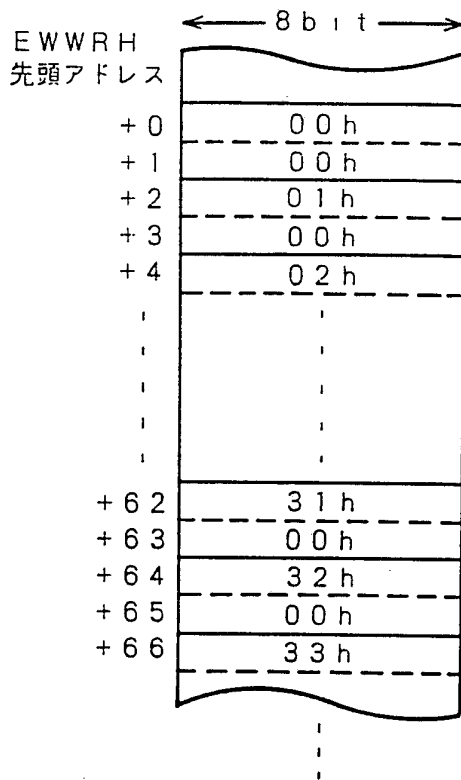
[26]



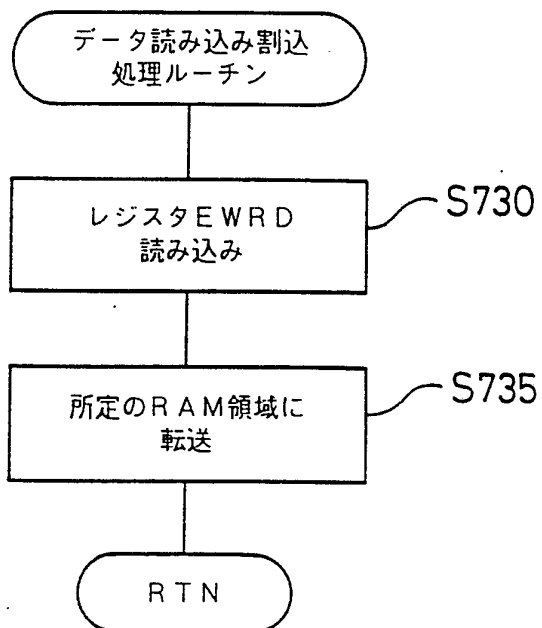
【図27】



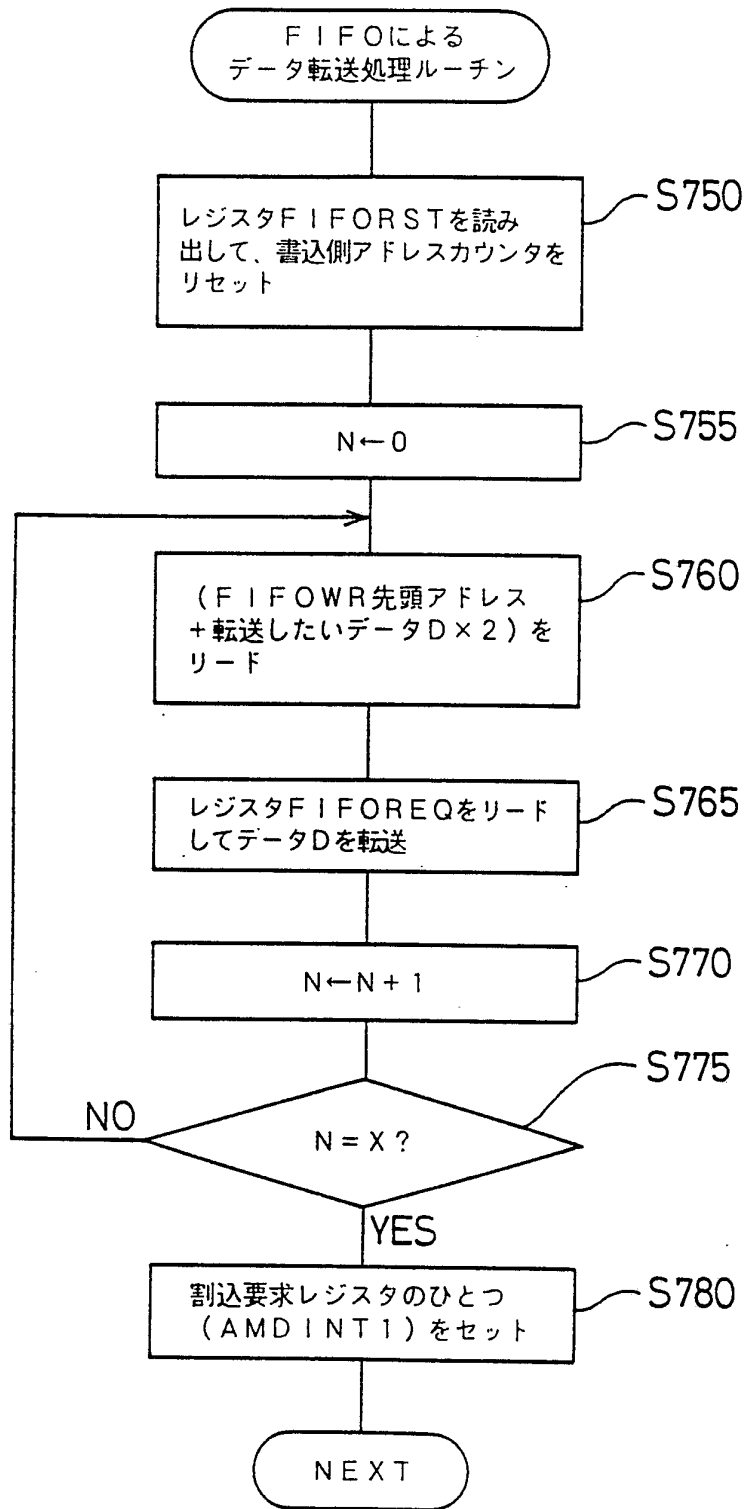
【図28】



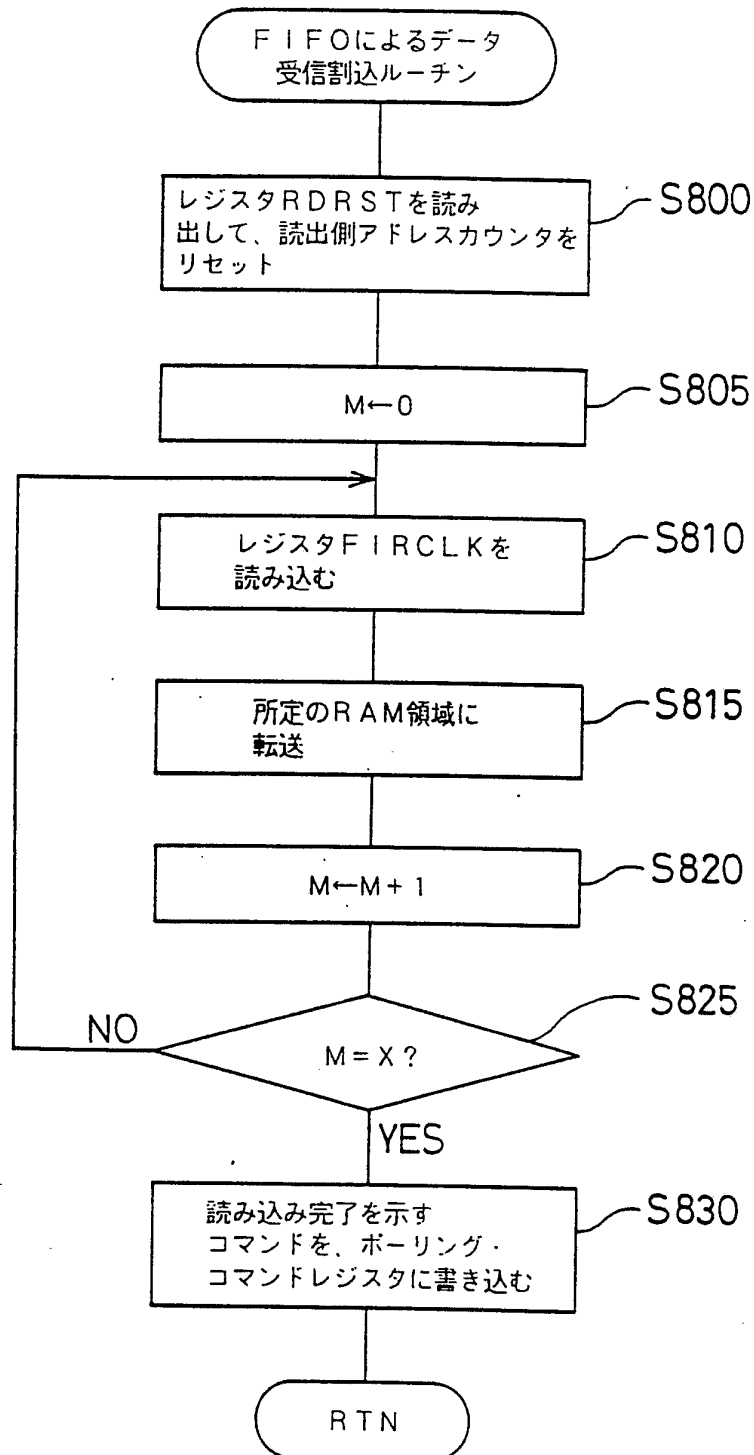
【図29】



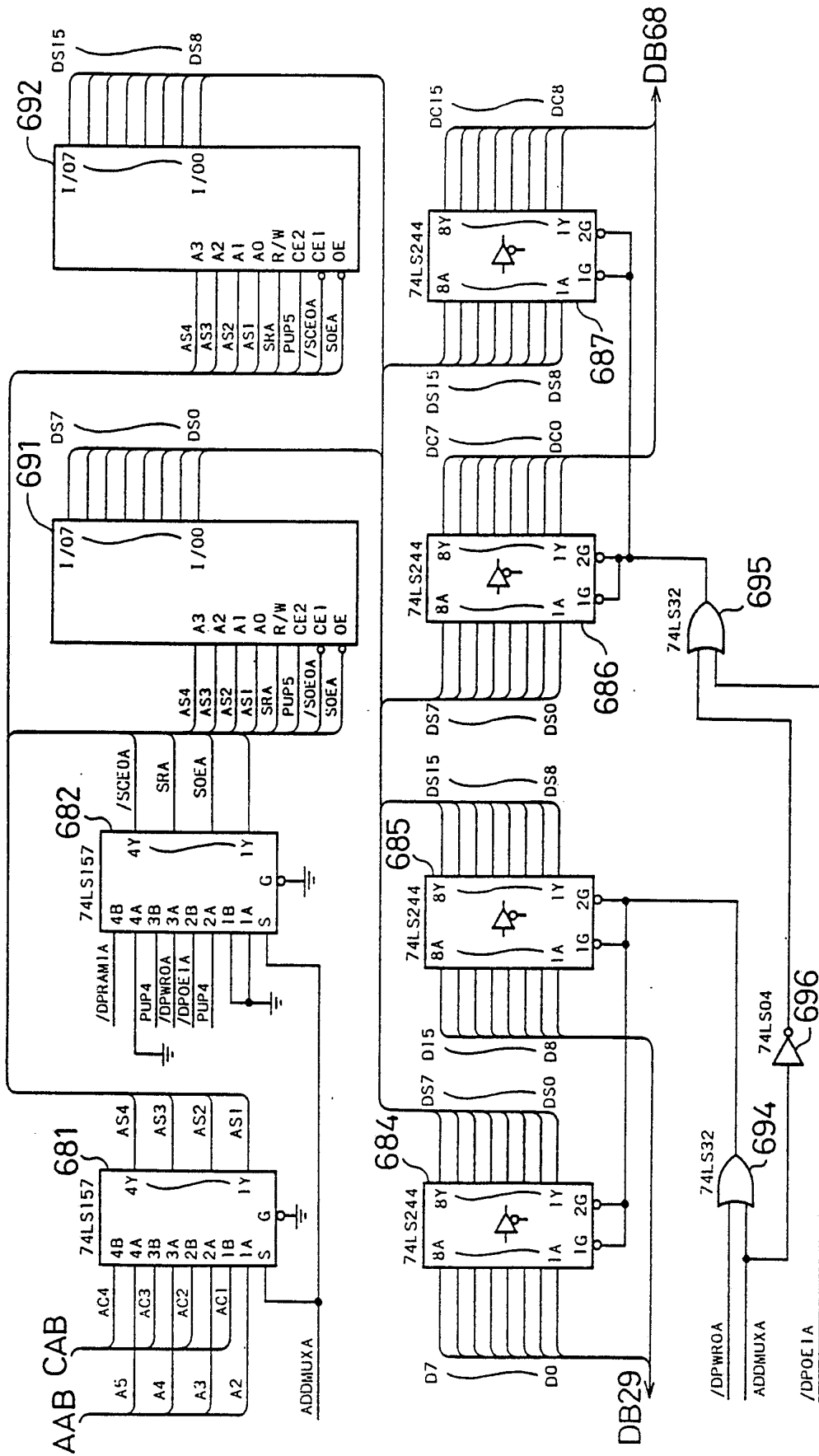
【図30】



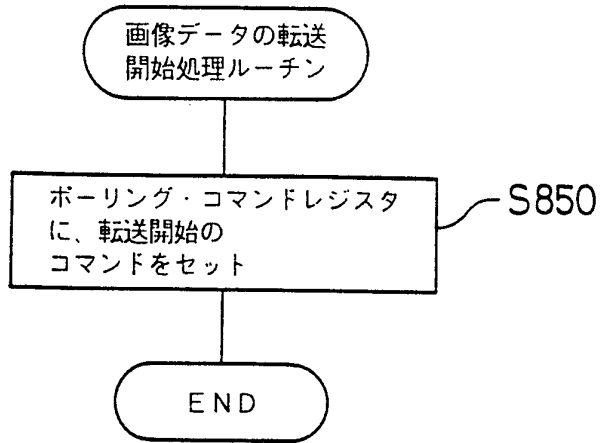
【図31】



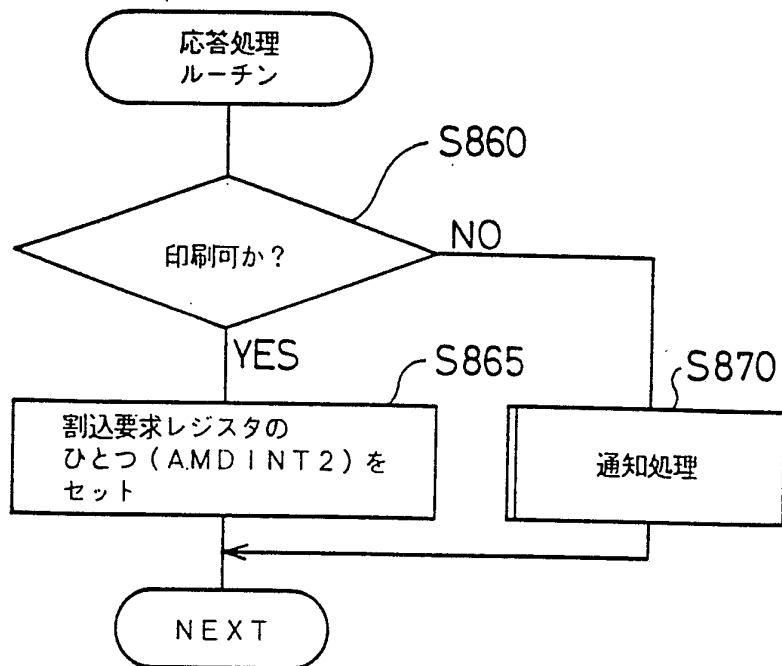
[3 2]



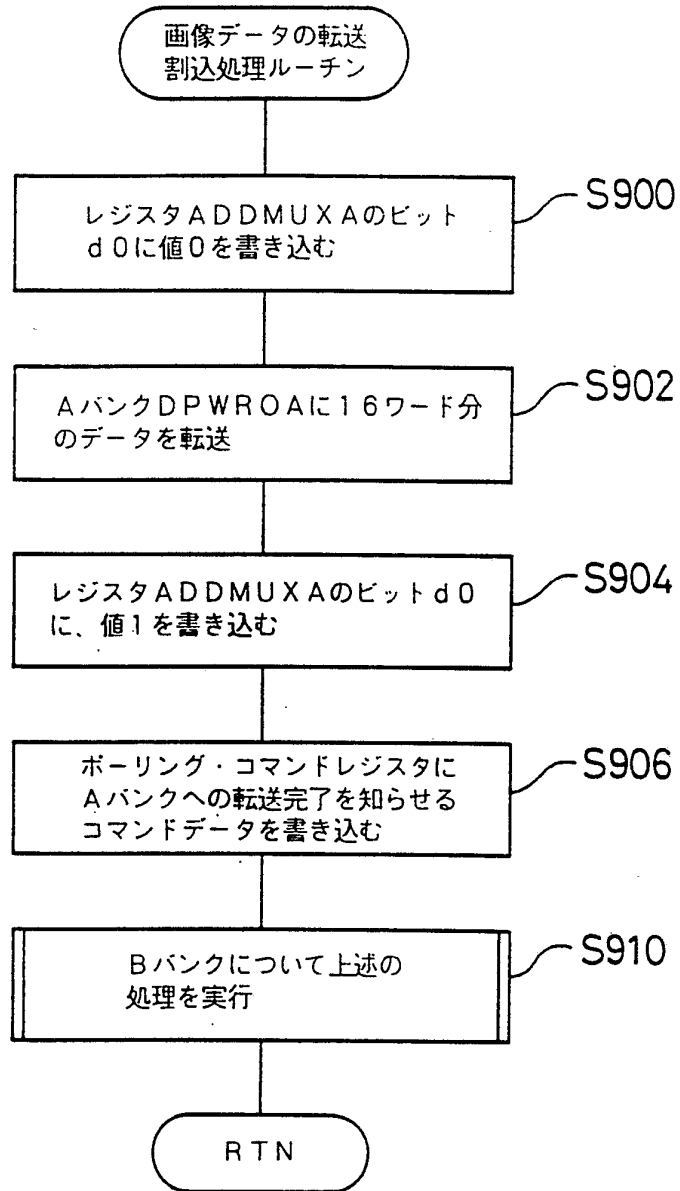
【図33】



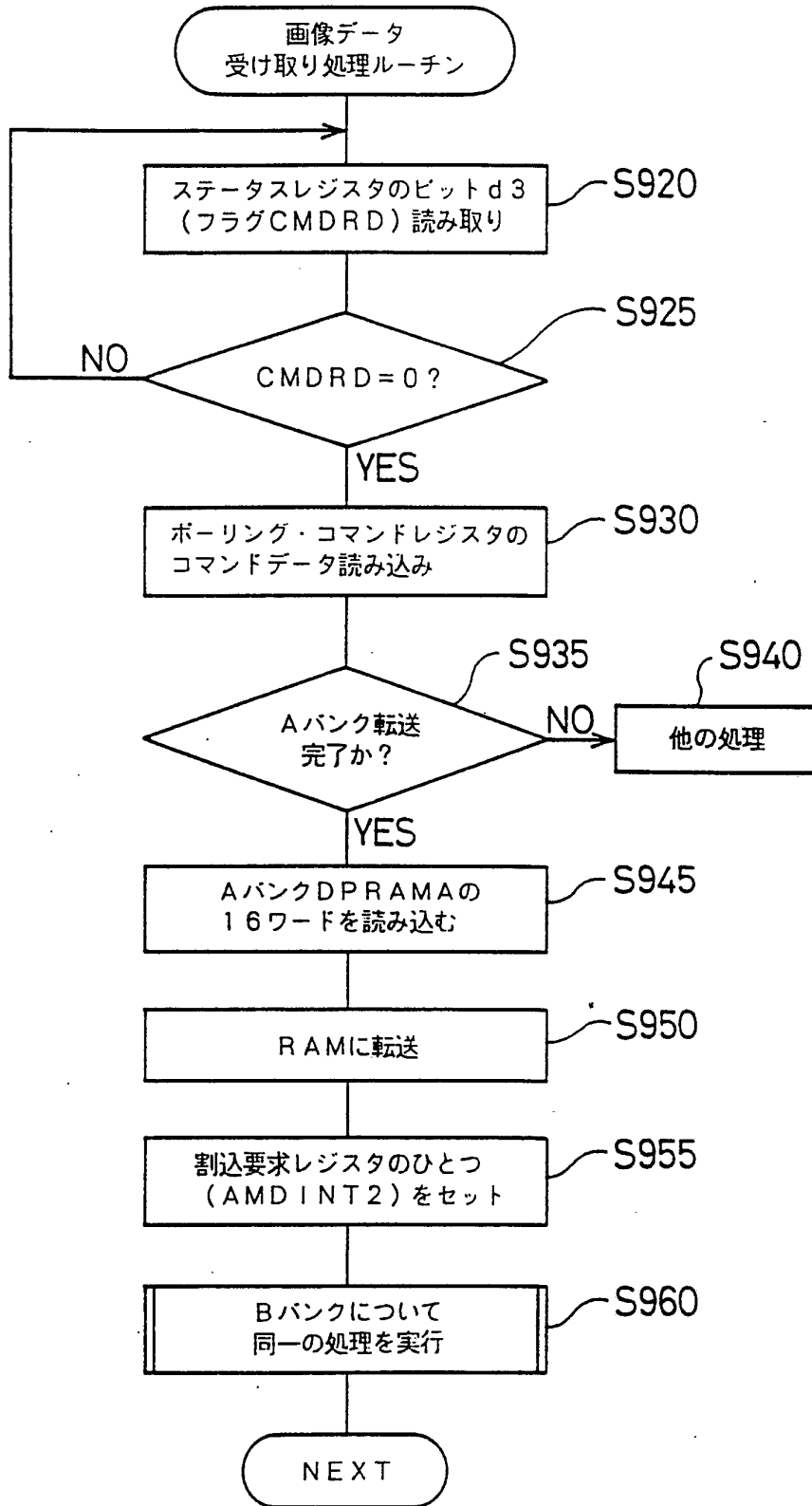
【図34】



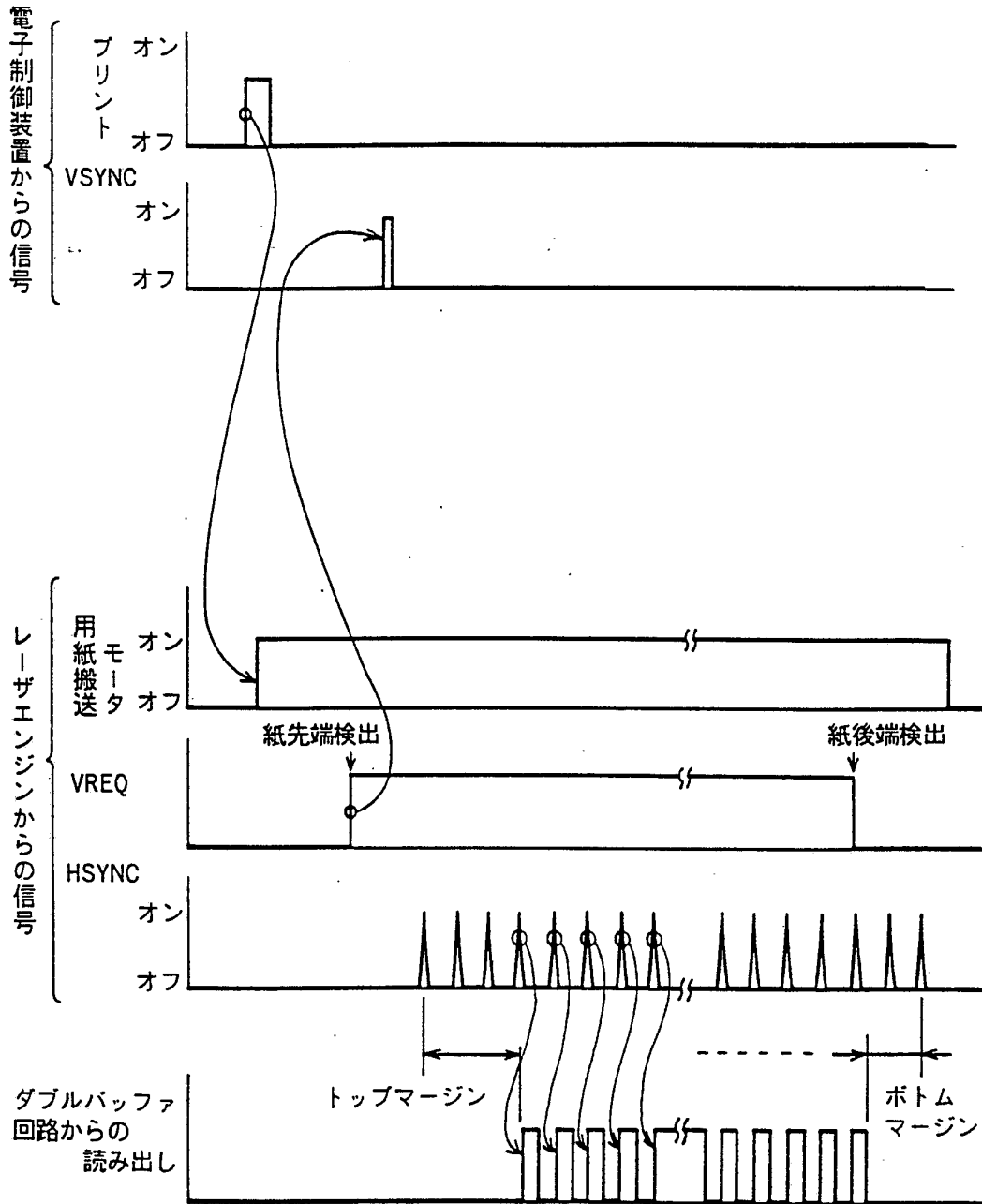
【図35】



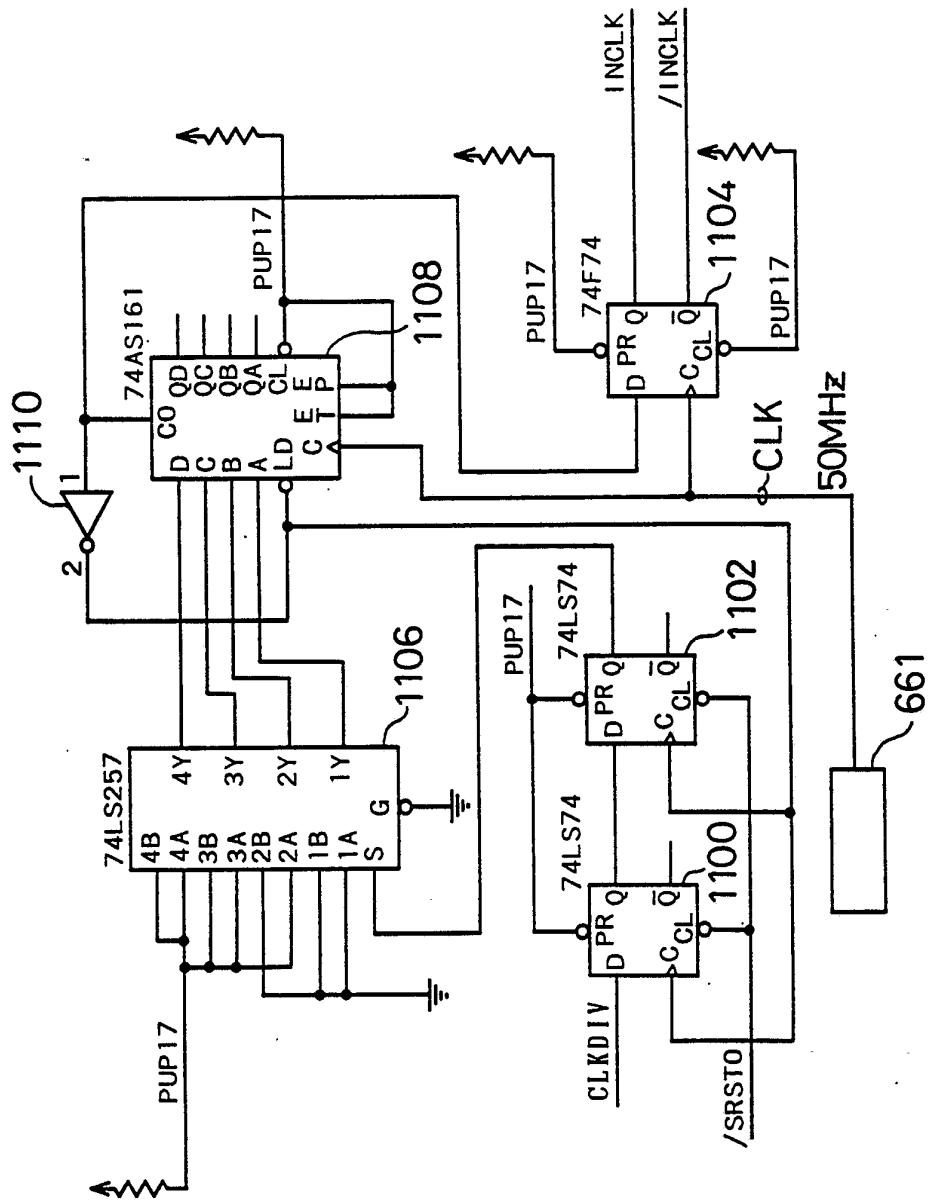
【図36】



【図 37】



[図 38]



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/00228

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶				
According to International Patent Classification (IPC) or to both National Classification and IPC				
Int. Cl ⁵ B41J29/00, 29/38, G06F3/12, G06K17/00				
II. FIELDS SEARCHED				
Minimum Documentation Searched ⁷				
Classification System	Classification Symbols			
IPC	B41J29/00, 29/38, 5/44, 5/48, 5/50, G06F3/12, G06K17/00			
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸				
Jitsuyo Shinan Koho	1920 - 1991			
Kokai Jitsuyo Shinan Koho	1971 - 1991			
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹				
Category *	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³		
Y	JP, A, 62-1181 (Ricoh Co., Ltd.), January 7, 1987 (07. 01. 87), & US, A, 4784906 & DE, A1, 3630978	1-4, 25		
Y	JP, A, 3-22160 (Fuji Electric Co., Ltd. and another), January 30, 1991 (30. 01. 91), (Family: none)	1-3, 25		
Y	JP, A, 2-253289 (Canon Inc.), October 12, 1990 (12. 10. 90), (Family: none)	1, 16-18		
Y	JP, A, 53-91375 (Hitachi, Ltd.), August 11, 1978 (11. 08. 78), & JP, B2, 59-15399	1, 18		
Y	JP, A, 61-222763 (Seiko Epson Corp.), October 3, 1986 (03. 10. 86), & FR, A1, 2566327 & DE, A1, 3521723 & GB, A, 2161005 & GB, B, 2161005 & US, A, 4826332 & FR, B1, 2566327 & DE, C3, 3521723	1-4, 18, 25		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none; vertical-align: top;"> <p>* Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width: 50%; border: none; vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </td> </tr> </table>			<p>* Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
<p>* Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>			
IV. CERTIFICATION				
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report		
April 10, 1992 (10. 04. 92)		April 28, 1992 (28. 04. 92)		
International Searching Authority		Signature of Authorized Officer		
Japanese Patent Office				

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET		
Y	JP, A, 2-119299 (Mitsubishi Electric Corp.), May 7, 1990 (07. 05. 90), (Family: none)	5-7
Y	JP, A, 1-165415 (Mitsubishi Densen Kogyo K.K.), June 29, 1989 (29. 06. 89), (Family: none)	5
Y	JP, A, 63-119554 (NEC Corp.), May 24, 1988 (24. 05. 88), & EP, A2, 236065 & EP, A3, 236065 & US, A, 4781244	8, 9, 10, 11

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers . because they relate to subject matter not required to be searched by this Authority, namely:

2. Claim numbers . because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claim numbers . because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

The additional search fees were accompanied by applicant's protest.

No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, A, 2-66962 (Mitsui Petrochemical Industries, Ltd.), March 7, 1990 (07. 03. 90), (Family: none)	9, 10, 11, 13, 14, 15
Y	JP, A, 63-278261 (NEC Corp.), November 15, 1988 (15. 11. 88), (Family: none)	8, 9, 10, 11
Y	JP, A, 1-298753 (NEC Corp.), December 1, 1989 (01. 12. 89), (Family: none)	8, 9, 10, 12
Y	JP, A, 60-254641 (Fujitsu Ltd.),	8, 9, 10, 12

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers _____, because they relate to subject matter not required to be searched by this Authority, namely:
2. Claim numbers _____, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. Claim numbers _____, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

	December 16, 1985 (16. 12. 85), (Family: none)	
Y	JP, A, 63-50096 (Fanuc Ltd.), March 2, 1988 (02. 03. 88), (Family: none)	17
Y	JP, U, 3-6724 (Ricoh Co., Ltd.), January 23, 1991 (23. 01. 91), (Family: none)	19-23
Y	JP, A, 3-11409 (Oki Electric Industry Co., Ltd.), January 18, 1991 (18. 01. 91), (Family: none)	24

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers _____, because they relate to subject matter not required to be searched by this Authority, namely:
2. Claim numbers _____, because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. Claim numbers _____, because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl ⁵ B41J29/00, 29/38, G06F3/12, G06K17/00		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	B41J29/00, 29/38, 5/44, 5/48, 5/50, G06F3/12, G06K17/00	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1920-1991年 日本国公開実用新案公報 1971-1991年		
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 62-1181 (株式会社 リコー), 7. 1月. 1987 (07. 01. 87) & US, A, 4784906 & DE, A1, 3630978	1-4, 25
Y	JP, A, 3-22160 (富士電機株式会社, 他1名), 30. 1月. 1991 (30. 01. 91), (ファミリーなし)	1-3, 25
Y	JP, A, 2-253289 (キヤノン株式会社), 12. 10月. 1990 (12. 10. 90), (ファミリーなし)	1, 16-18
Y	JP, A, 53-91375 (株式会社 日立製作所), 11. 8月. 1978 (11. 08. 78) & JP, B2, 59-15399	1, 18
Y	JP, A, 61-222763 (セイコーエプソン株式会社), 3. 10月. 1986 (03. 10. 86)	1-4, 18, 25
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日 10. 04. 92	国際調査報告の発送日 28.04.92	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 松川直樹	2C 8804

第2ページから続く情報

(III欄の続き)

& FR, A1, 2566327 & DE, A1, 3521723
 & GB, A, 2161005 & GB, B, 2161005
 & US, A, 4826332 & FR, B1, 2566327
 & DE, C3, 3521723

Y JP, A, 2-119299 (三菱電機株式会社), 5-7
 7. 5月. 1990 (07. 05. 90). (ファミリーなし)

Y JP, A, 1-165415 (三菱電線工業株式会社), 5
 29. 6月. 1989 (29. 06. 89). (ファミリーなし)

V. 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。
2. 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. 請求の範囲 _____ は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. 追加して納付すべき手数料が指定した期間内に一部しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲 _____
3. 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲 _____
4. 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

Ⅲ. 関連する技術に関する文献 (第2ページからの続き)		
引用文献の カテゴリ*	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 63-119554 (日本電気株式会社), 24. 5月. 1988 (24. 05. 88) & EP, A2, 236065 & EP, A3, 236065 & US, A, 4781244	8, 9, 10, 11
Y	JP, A, 2-66962 (三井石油化学工業株式会社), 7. 3月. 1990 (07. 03. 90), (ファミリーなし)	9, 10, 11, 13, 14, 15
Y	JP, A, 63-278261 (日本電気株式会社), 15. 11月. 1988 (15. 11. 88), (ファミリーなし)	8, 9, 10, 11
Y	JP, A, 1-298753 (日本電気株式会社), 1. 12月. 1989 (01. 12. 89), (ファミリーなし)	8, 9, 10, 12
Y	JP, A, 60-254641 (富士通株式会社), 16. 12月. 1985 (16. 12. 85), (ファミリーなし)	8, 9, 10, 12
Y	JP, A, 63-50096 (ファナック株式会社), 2. 3月. 1988 (02. 03. 88), (ファミリーなし)	17
Y	JP, U, 3-6724 (株式会社 リコー), 23. 1月. 1991 (23. 01. 91), (ファミリーなし)	19-23
Y	JP, A, 3-11409 (沖電気工業株式会社), 18. 1月. 1991 (18. 01. 91), (ファミリーなし)	24