

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3730455号
(P3730455)

(45) 発行日 平成18年1月5日(2006.1.5)

(24) 登録日 平成17年10月14日(2005.10.14)

(51) Int. Cl.

G06F 9/38 (2006.01)

F I

G06F 9/38 370X

請求項の数 7 (全 36 頁)

(21) 出願番号	特願平11-281957	(73) 特許権者	000005223
(22) 出願日	平成11年10月1日(1999.10.1)		富士通株式会社
(65) 公開番号	特開2001-100997(P2001-100997A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成13年4月13日(2001.4.13)	(74) 代理人	100070150
審査請求日	平成15年12月18日(2003.12.18)		弁理士 伊東 忠彦
		(72) 発明者	三宅 英雄
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	須賀 敦浩
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	中村 泰基
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 情報処理装置及び情報処理方法

(57) 【特許請求の範囲】

【請求項 1】

命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する情報処理装置であって、

供給される前記基本命令に応じた処理を並列的に実行する複数の命令実行部と、

前記命令区切り情報に応じて前記命令語を一つずつ取り込む命令取り込み部と、

前記命令取り込み部から供給された前記命令語に含まれる前記基本命令毎に、前記基本命令を実行すべきいずれか一つの前記命令実行部へ、選択的に前記基本命令を発行する命令発行部と、を有し、

前記命令取り込み部は、取り込んだ前記命令語毎に、前記命令語に含まれる前記基本命令を、前記複数の命令実行部に対応づけた前記基本命令と前記基本命令の発行の有無を示す有効ビットの対の形式に並び替える、

ことを特徴とする情報処理装置。

【請求項 2】

前記複数の命令実行部の少なくとも二つは、同一の構成を有する請求項 1 に記載の情報処理装置。

【請求項 3】

前記命令取り込み部は、予め複数の命令実行部の構成に応じた順序に並べられた基本命令が含まれる命令語を取り込む請求項 1 又は 2 に記載の情報処理装置。

【請求項 4】

前記命令発行部は、所定の場合には、前記命令実行部における実行が完了する前に次の前記基本命令を発行する請求項 1 ないし 3 いずれかに記載の情報処理装置。

【請求項 5】

前記所定の場合とは、前記命令発行に供給された基本命令が前記命令実行部において実行中の基本命令に対してデータ依存関係を持たず、かつ、制御依存関係を持たず、かつ、資源競合も生じないものである場合あること、

を特徴とする請求項 4 記載の情報処理装置。

【請求項 6】

命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する情報処理装置であって、

供給される前記基本命令に応じた処理を並列的に実行する複数の命令実行部と、

前記命令区切り情報に応じて前記命令語を一つずつ取り込む命令取り込み部と、

前記命令取り込み部から供給された前記命令語に含まれる前記基本命令毎に、前記基本命令を実行すべきいずれか一つの前記命令実行部へ、選択的に前記基本命令を発行する命令発行部と、を有し、

前記命令発行部は、前記命令語に含まれる前記基本命令を、前記複数の命令実行部の構成に応じて、前記基本命令と前記基本命令の発行の有無を示す有効ビットの対の形式に並び替えた後に、前記命令実行部へ発行する、

ことを特徴とする情報処理装置。

【請求項 7】

命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を、前記命令区切り情報に応じて取り出し、

前記命令語に含まれる一つあるいは複数の基本命令を、前記複数の命令実行部の構成に応じて並び替え、前記命令発行部に供給し、

前記複数の命令実行部に対応づけた前記基本命令と前記基本命令の発行の有無を示す有効ビットの対の形式の前記基本命令を複数の命令実行部へ選択的に発行し、

前記一つあるいは複数の基本命令を並列的に実行すること、

を特徴とする情報処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置及び情報処理方法に関し、さらに詳しくは複数の基本命令を並列的に実行する情報処理装置及び情報処理方法に関するものである。

【0002】

【従来の技術】

一般に、従来の計算機システムにおいてはパイプライン処理等で複数の基本命令を並列に実行することで、処理能力の向上を図っている。また従来においては、複数の基本命令をまとめて固定長の命令語とし、一つの命令語に含まれた複数の基本命令を並列に実行する方式として超長命令語 (Very Long Instruction Word - VLIW) 方式が採用されている。また、スーパースカラ (super-scalar) 方式等では、命令並列度に応じて基本命令を並列に実行することが行われている。

【0003】

図 1 は、従来の並列処理プロセッサの構成を示す図である。図 1 に示されるように、従来の並列処理プロセッサ 10 は、メモリ 7 に接続された命令読出部 1 と、命令読出部 1 に接続された命令発行部 3 と、それぞれが命令発行部 3 に接続された命令実行部 EU0 ~ EU_n と、全ての命令実行部 EU0 ~ EU_n に接続されたレジスタ部 5 とを備える。

【0004】

ここで、命令読出部 1 はメモリ 7 から命令語を読み出して、該命令語を命令発行部 3 に供給する。また、命令発行部 3 は供給された命令語に含まれる基本命令を、命令実行部 EU0 ~ EU_n へ発行する。なお、このとき命令実行部 EU0 ~ EU_n が既に先の基本命令を

10

20

30

40

50

実行中である場合には、その実行の完了を待った後に対応する命令実行部へ次の基本命令を供給する。

【0005】

そして、命令実行部 E U 0 ~ E U n は供給された基本命令を実行するとともに、該実行が完了した場合にはその旨を命令発行部 3 へ通知する。また、レジスタ部 5 は必要に応じて命令実行部 E U 0 ~ E U n へデータを供給し、かつ各命令実行部 E U 0 ~ E U n における実行結果を保持する。なお、外部接続されたメモリ 7 は並列処理プロセッサ 10 で実行する命令語列を記憶すると共に、命令実行部 E U 0 ~ E U n が命令の実行にあたり必要とするデータ及び該実行の結果得られたデータを記憶する。

【0006】

図 2 は、4 個の命令実行部 E U 0 ~ E U 3 を備えた上記の並列処理プロセッサに供給される命令語の形式を示す図である。図 2 に示されるように、命令語は基本命令 E I と、無操作命令 n o p とからなる。ここで、一つの命令語に含まれ並列的に実行される基本命令の数が命令実行部 E U 0 ~ E U 3 の数に達しない場合には、無操作命令の割合が多くなることがわかる。

【0007】

すなわち、従来の V L I W による複数の基本命令の並列処理方式は、命令語が固定長であったため、並列に実行する基本命令の数が所定の数に達しない場合には、無操作命令を付加して所定の長さにする必要があった。このことから、命令並列度の低いプログラムに対しては、無操作命令が多くなると共に命令コード量が増大するため、メモリの使用効率の悪化やキャッシュメモリのヒット率の低下、命令読み出し機構の負荷の増大などを招くという問題があった。

【0008】

一方、スーパースカラ方式については、プログラム実行時に並列実行される命令の数を増やすには、必要とされる回路規模が大きくなるという問題がある。

【0009】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、効率よい情報処理を実現する情報処理装置及び情報処理方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記の目的は、命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する並列処理プロセッサであって、供給される基本命令に応じた処理を並列的に実行する複数の命令実行部と、命令区切り情報に応じて命令語を一つずつ取り込む命令取り込み部と、命令取り込み部から供給された命令語に含まれる基本命令毎に、基本命令を実行すべきいずれか一つの命令実行部へ選択的に基本命令を発行する命令発行部とを備え、命令取り込み部は、取り込んだ前記命令語毎に、前記命令語に含まれる前記基本命令を、前記複数の命令実行部に対応づけた前記基本命令と前記基本命令の発行の有無を示す有効ビットの対の形式に並び替える、ことを特徴とする情報処理装置を提供することにより達成される。

【0011】

また、本情報処理装置において、複数の命令実行部の少なくとも二つは、同一の構成を有するものとしてすることができる。

【0012】

また、本情報処理装置において、命令取り込み部は、予め複数の命令実行部の構成に応じた順序に並べられた基本命令が含まれる命令語を取り込むものとしてすることができる。

また、本情報処理装置において、命令発行部は、所定の場合には、命令実行部における実行が完了する前に次の基本命令を発行するものとしてすることができる。所定の場合とは、命令発行に供給された基本命令が前記命令実行部において実行中の基本命令に対してデータ依存関係を持たず、かつ、制御依存関係を持たず、かつ、資源競合も生じないものである

10

20

30

40

50

場合ある。

【 0 0 1 3 】

また、上記目的は、命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する情報処理装置であって、供給される基本命令に応じた処理を並列的に実行する複数の命令実行部と、命令区切り情報に応じて命令語を一つずつ取り込む命令取り込み部と、命令取り込み部から供給された命令語に含まれる基本命令毎に、基本命令を実行すべきいずれか一つの命令実行部へ、選択的に基本命令を発行する命令発行部と、を有し、命令発行部は、命令語に含まれる基本命令を、複数の命令実行部の構成に応じて、基本命令と基本命令の発行の有無を示す有効ビットの対の形式に並び替えた後に、命令実行部へ発行する、ことを特徴とする情報処理装置を提供することにより達成される。

10

また、上記目的は、命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を、命令区切り情報に応じて取り出し、命令語に含まれる一つあるいは複数の基本命令を、複数の命令実行部の構成に応じて並び替え、命令発行部に供給し、複数の命令実行部に対応づけた基本命令と基本命令の発行の有無を示す有効ビットの対の形式の基本命令を複数の命令実行部へ選択的に発行し、一つあるいは複数の基本命令を並列的に実行すること、を特徴とする情報処理方法を提供することにより達成される。

【 0 0 1 4 】

【 発明の実施の形態 】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は、同一または相当部分を示す。

20

〔 実施の形態 1 〕

図 3 及び図 6 に示されるように、本実施の形態 1 に係る並列処理プロセッサ 2 0 , 2 1 は、それぞれ、メモリ 1 2 に接続された命令読出部 4 6 , 4 7 と、命令読出部 4 6 , 4 7 にそれぞれ接続された命令発行部 7 2 , 7 3 と、命令発行部 7 2 , 7 3 に接続され同じ構成からなる二つの命令実行部 E U 0 , E U 1 と、全ての命令実行部 E U 0 , E U 1 に接続されたレジスタ部 9 8 とを備えたものである。

【 0 0 1 5 】

以下において、本実施の形態 1 に係る並列処理プロセッサを、一命令語の最大基本命令語長が 2 の場合を例として説明する。なお、一命令語の最大基本命令語長が 3 以上の場合も同様に説明できる。

30

（ 実施例 1 ）

図 4 は、図 3 に示された命令読出部 4 6 と命令発行部 7 2 の構成を示す図である。図 4 に示されるように、命令読出部 4 6 は固定長フェッチ部（ F P C ） 3 0 0 と、加算器 3 2 4 , 3 2 5 と、命令バッファ 3 0 8 と、切出部 3 1 6 と、実行フェッチ部（ E P C ） 3 3 9 とを備える。

【 0 0 1 6 】

ここで、 F P C 3 0 0 はメモリ 1 2 及び命令実行部 E U 0 , E U 1 に接続され、加算器 3 2 4 は F P C 3 0 0 に接続される。また、命令バッファ 3 0 8 はメモリ 1 2 に接続され、切出部 3 1 6 は命令バッファ 3 0 8 に接続される。そして、加算器 3 2 5 は切出部 3 1 6 に接続され、 E P C 3 3 9 は加算器 3 2 5 及びレジスタ部 9 8 に接続される。そして、上記 F P C 3 0 0 へはメモリ 1 2 から命令語に含まれたフェッチアドレスが供給され、命令バッファ 3 0 8 へはメモリ 1 2 から命令語に含まれたフェッチデータが供給される。さらに F P C 3 0 0 へは、分岐命令に対応する分岐先のアドレス等が命令実行部 E U 0 , E U 1 から供給される。

40

【 0 0 1 7 】

一方、命令発行部 7 2 は命令レジスタ 3 4 7 と、セレクタ 3 5 5 , 3 5 6 と、制御部 3 7 0 と、 A N D ゲート 3 7 8 を備える。ここで、命令レジスタ 3 4 7 は切出部 3 1 6 に接続され、セレクタ 3 5 5 , 3 5 6 は共に命令レジスタ 3 4 7 に接続される。そして、セレクタ 3 5 5 は命令実行部 E U 0 に接続され、セレクタ 3 5 6 は命令実行部 E U 1 に接続され

50

る。また、制御部 370 は AND ゲート 378 及びセクタ 355, 356 に接続され、AND ゲート 378 は命令実行部 EU0, EU1 に接続される。ここで、命令の実行完了を示す命令完了信号 EUc0, EUc1 が、それぞれ命令実行部 EU0, EU1 から AND ゲート 378 へ供給される。以下において、本実施例に係る並列処理プロセッサの動作について説明する。

【0018】

図 5 は、本実施例 1 に係る並列処理プロセッサに供給される命令語の形式を示すものである。図 5 に示されるように、該命令語は命令実行部で実行される基本命令語 EI 及び命令語区切りフィールド 0, 1 からなり、その基本命令語長が 1 の場合と 2 の場合とがある。すなわち図 5 の上段は、命令語区切りフィールド 0 及び基本命令 EI からなる基本命令語と、命令語区切りフィールド 1 及び基本命令 EI からなる基本命令語との並びからなる基本命令語長が 2 の命令語を示し、図 5 の下段は、命令語区切りフィールド 1 及び基本命令 EI からなる基本命令語長 1 の命令語を示す。

10

【0019】

上記のような命令語は、予めメモリ 12 に記憶され、プロセッサ 20 の命令読出部 46 に含まれた加算器 324 によって固定長 disp だけアドレスがインクリメントされることにより、順次読み出される。ここで、命令読出部 46 に含まれた切出部 316 は上記命令語を読み出した時、命令語区切りフィールド 1 に続く基本命令 EI までを一つの命令語と認識した上で、一命令語毎に、すなわち例えば上記基本命令語長 2 の一つの命令語を命令語列から切り出し、命令読出部 46 に取り込む。なお、ここで加算器 325 は切出部 316 から供給された命令語長を示す信号 SL に基いて実行される基本命令 EI に対応する番地を算出し、EPC 339 はこれを一時的に保持する。そしてさらにレジスタ部 98 は、所定の場合において EPC 339 に保持されている上記基本命令 EI の再実行のための戻り番地を格納する。

20

【0020】

そして、命令発行部 72 は切出部 316 から供給された上記一つの命令語に含まれる命令語区切りフィールド 0, 1 に基づいて、各基本命令 EI を認識し、該各基本命令 EI をいずれか一つの命令実行部 EU0, EU1 へセクタ 355, 356 を介して選択的に発行する。従って、例えば命令語区切りフィールド 0 に続く基本命令 EI は命令実行部 EU0 に発行され、命令語区切りフィールド 1 に続く基本命令 EI は命令実行部 EU1 に発行される。なおここで、セクタ 355, 356 は制御部 370 により制御され、一命令語の実行が完了したときにセクタ 355, 356 を介して命令実行部 EU0, EU1 へ基本命令 EI が供給される。

30

【0021】

また同様に、命令読出部 46 により上記基本命令語長 1 の一つの命令語がプロセッサ 20 の命令バッファ 308 に取り込まれた場合には、切出部 316 は供給された上記命令語に含まれる命令語区切りフィールド 1 に基づいて、命令語区切りフィールド 1 に続く基本命令 EI を切出し、命令レジスタ 347 によりいずれか一つの命令実行部、例えば命令実行部 EU0 へ発行される。

【0022】

なお、上記命令語区切りフィールド 0, 1 は一ビットで示されるが、命令語を区切る情報であればどのようなデータを命令語区切りフィールドに書込んでも良い。また、本実施例においては、同じ構成を有する命令実行部 EU0, EU1 が二つ備えられる場合を説明したが、三つ以上備えられたものも同様に考えられる。

40

【0023】

以上より、本実施例に係る並列処理プロセッサ 20 によれば、命令読出部 46 は命令区切りフィールド 1 に応じて命令語を一つずつ取り込むため、該命令語を可変長とすることができる。そして、一つの命令発行部 72 は取り込まれた命令語に含まれる基本命令 EI 毎に、複数の命令実行部 EU0, EU1 のうち該基本命令 EI に対応するいずれか一つの命令実行部 EU0, EU1 へ基本命令 EI を発行することから、命令語中に無操作命令 no

50

pを含ませる必要は生じず、基本命令E Iを命令語により効率的に含ませることができる。そして、このような命令語に応じて基本命令E Iを実行することにより、並列処理プロセッサの並列処理能力を向上させることができる。

(実施例2)

図6は、本実施例2に係る並列処理プロセッサ21の構成を示す図である。図6に示されるように、該並列処理プロセッサ21は図3に示された並列処理プロセッサ20と同様の構成を有するが、命令発行部73には供給された基本命令E Iがいずれかの命令実行部E U0, E U1において実行されている基本命令E Iに対し、データ依存関係や制御依存関係を有するものであるか否か、若しくは資源競合を生じさせるものであるか否かを判断する判断部103が含まれている点で相違するものである。

10

【0024】

ここで、判断部103は既に実行中の基本命令E I中に指定されているデスティネーション・レジスタ番号(書込みレジスタ番号)と、これから命令実行部E U0, E U1へ発行する基本命令E I中に指定されているソース・レジスタ番号(読み出しレジスタ番号)とを比較し、それらの番号が一致した場合にはデータ依存関係を有し、一致しない場合にはデータ依存関係を有さないものとして処理を進める。

【0025】

また、判断部103は既に実行中の基本命令E Iが、分岐命令を含むか、あるいは0による除算等の処理の例外を発生させる可能性があるかと判断した場合には、制御依存関係を有し、そうでない場合には制御依存関係を有さないものとして処理を進める。

20

さらに、判断部103は各基本命令E Iの内容から、既に実行中の基本命令E Iが必要とする資源(例えば命令実行部E U0, E U1等)と、これから発行する基本命令E Iが必要とする資源とを比較し、それらの資源が一致した場合には資源競合を生じさせ、一致しない場合には資源競合を生じさせるものとして処理を進める。

【0026】

以上のような判断により、命令発行部73は、これから発行しようとする基本命令E Iが命令実行部E U0, E U1において実行中の基本命令E Iに対してデータ依存関係を持たず、かつ制御依存関係を持たず、かつ資源競合も生じないものであると判断した場合には、上記実行が完了する前に該基本命令E Iを対応する命令実行部E U0, E U1へ発行する。従って、この場合には命令発行部73による命令発行動作と、命令実行部E U0, E U1における命令実行動作とは時分割型並列処理となる。

30

【0027】

一方、これから発行しようとする基本命令E Iが命令実行部E U0, E U1において実行中の基本命令E Iに対してデータ依存関係や制御依存関係、あるいは資源競合を生じさせるものであると判断した場合には、上記実行の完了を待って該基本命令E Iを対応する命令実行部E U0, E U1へ発行する。

なお、本実施例においては、同じ構成を有する命令実行部E U0, E U1が二つ備えられる場合を説明したが、三つ以上備えられたものも同様に考えられる。

【0028】

これより、本実施例に係る並列処理プロセッサ21によれば、上記実施例1に係る並列処理プロセッサ20と同様な効果を奏するとともに、さらに基本命令E Iの並列処理を確実かつ効率的に遂行することができ、動作の信頼性を高めることができる。

40

[実施の形態2]

図7及び図12から図21に示されるように、本実施の形態2に係る並列処理プロセッサ22~27は、それぞれ、メモリ12に接続された命令読出部48~53と、命令読出部48~53にそれぞれ接続された命令発行部74~79と、命令発行部74~79に接続される命令実行部L U0, I U0, I U1, F U0, F U1, B U0と、全ての命令実行部に接続されたレジスタ部99とを備えたものである。

【0029】

ここで、命令実行部L U0はロードストア命令実行部であり、ロード命令及びストア命令

50

を実行する。なお、これらの実行が完了した時には命令実行部 L U 0 は命令発行部 7 4 ~ 7 9 へ通知する。また、命令実行部 I U 0 , I U 1 は整数演算命令実行部であり、整数演算命令を実行する。なお、この実行が完了した時には命令実行部 I U 0 , I U 1 は命令発行部 7 4 ~ 7 9 へ通知する。

【 0 0 3 0 】

また、命令実行部 F U 0 , F U 1 は浮動小数点演算命令実行部であり、浮動小数点演算命令を実行する。なお、この実行が完了した時には命令実行部 F U 0 , F U 1 は命令発行部 7 4 ~ 7 9 へ通知する。また、命令実行部 B U 0 は分岐命令実行部であり、分岐命令を実行する。なお、この実行が完了した時には命令実行部 B U 0 は命令発行部 7 4 ~ 7 9 へ通知する。

10

【 0 0 3 1 】

以下において、本実施の形態 2 に係る並列処理プロセッサを、一命令語に含まれる最大基本命令語長が 2 の場合を例として説明する。なお、一命令語の最大基本命令語長が 3 以上の場合も同様に説明できる。

(実施例 1)

図 7 は、本実施例 1 に係る並列処理プロセッサの構成を示す図である。図 7 に示されるように、この並列処理プロセッサ 2 2 は、命令読出部 4 8 に変換部 1 1 5 を備える。この変換部 1 1 5 は、以下に詳述するように、取り込んだ一命令語毎に、該命令語に含まれる基本命令を複数の命令実行部 L U 0 , I U 0 , I U 1 , F U 0 , F U 1 , B U 0 の構成に応じて並び替えた上で命令発行部 7 4 に供給するものである。なお、変換部 1 1 5 においてこのような並び替えを行なうのは、命令発行部 7 4 における基本命令の発行を容易にするためである。

20

【 0 0 3 2 】

ここで、上記の「基本命令の発行を容易にする」との意味を説明する。本発明に係る並列処理プロセッサは、その構成をプリント基板上あるいは L S I 上に表現することになる。すなわち、二次元平面に各構成要素が配置され、その間が配線により接続される。この時、配線が交差しそうな状況が想定されるが、一般にプリント基板あるいは L S I は複数の配線層を持つので、その際は異なる配線層を使用して交差しそうな配線を迂回するように配線する。従って、論理的にはいかなる配置に対しても配線可能と考えられるが、回路の動作速度の観点からは上記迂回は配線の延長を意味するため、迂回が少ないほど動作速度を低下させる要因が少なくなる。このため、迂回が少なくて済むような配線が好ましいといえる。以上より、上記の「基本命令の発行を容易にする」とは、命令発行部 7 4 に供給された命令語に含まれる各基本命令に対応する命令実行部に発行するための配線を短縮し、動作速度を向上させるという意味である。

30

【 0 0 3 3 】

図 8 は、図 7 に示された命令読出部 4 8 と命令発行部 7 4 の構成を示す図である。図 8 に示されるように、この命令読出部 4 8 と命令発行部 7 4 は、それぞれ図 4 に示された命令読出部 4 6 及び命令発行部 7 2 と同様な構成を有するが、命令読出部 4 8 は切出部 3 1 7 に接続された上記変換部 1 1 5 をさらに備える点で相違する。なお F P C 3 0 1 へは、分岐命令に対応する分岐先のアドレス等が命令実行部 B U 0 から供給される。

40

【 0 0 3 4 】

また、図 8 においては図を簡略化して見やすくするために、命令レジスタ 3 4 8 から二つの命令実行部 L U 0 , I U 0 へ命令が発行される経路のみを記しているが、図 7 に示される他の命令実行部 I U 1 , F U 0 , F U 1 , B U 0 への命令発行経路も同様に描くことができる。そしてこのことは、AND ゲート 3 7 9 へ供給される信号として二つの命令完了信号 L U c , I U c 0 のみが示されている点についても同様である。

【 0 0 3 5 】

以下に、本実施例に係る並列処理プロセッサ 2 2 の動作について説明する。まず、命令読出部 4 8 の切出部 3 1 7 は上記実施の形態 1 に係る並列処理プロセッサと同様に、命令語区切りフィールド 1 までの基本命令を一命令語として、該命令語を一つずつ取り込む。こ

50

ここで、命令読出部 48 に供給される命令語の形式 13 が、図 9 に示される。図 9 に示されるように、この命令語は図 5 に示された命令語と同様に、基本命令の区切りを示す命令語区切りフィールド 0 あるいは 1 と、整数演算命令 I I と、浮動小数点演算命令 F I と、ロードストア命令 L I と、分岐命令 B I とからなる。

【 0036 】

また、命令発行部 74 の命令実行部 L U 0 , I U 0 , I U 1 , F U 0 , F U 1 , B U 0 に対するインタフェース 15 は、図 9 に示されるように、基本命令の発行における有効ビット V と、整数演算命令を実行する上で必要な情報 I I と、浮動小数点演算命令を実行する上で必要な情報 F I と、ロードストア命令を実行する上で必要な情報 L I と、分岐命令を実行する上で必要な情報 B I とによって記述される。すなわちインタフェース 15 は、その左から順に、命令発行部 74 から命令実行部 L U 0 へは有効ビット V 及び情報 L I を、命令実行部 I U 0 , I U 1 へは有効ビット V 及び情報 I I を、命令実行部 F U 0 , F U 1 へは有効ビット V 及び情報 F I を、命令実行部 B U 0 へは有効ビット V 及び情報 B I をそれぞれ供給することを意味する。

【 0037 】

ここで、有効ビット V における 0 は基本命令を発行しないことを意味し、1 は基本命令を発行することを意味する。そして、係る有効ビット V と情報 I I , F I , L I , B I とは対となり、それぞれ命令実行部に対応付けられる。

そして、図 9 に示されるように命令語の形式 13 は、命令読出部 48 に含まれる変換部 115 において、命令実行部 L U 0 , I U 0 , I U 1 , F U 0 , F U 1 , B U 0 の構成に応じた命令語の形式 17 に並び替えられ、命令発行部 74 の命令レジスタ 348 に供給される。これより命令レジスタ 348 は、有効ビット V が 1 の基本命令に対応する命令実行部へ発行する。すなわち例えば、命令語の形式 17 の一番上に記された命令語が命令発行部 74 に供給されたとき、命令発行部 74 は有効ビット V が 1 の浮動小数点演算命令 F I を命令実行部 F U 0 へ発行し、分岐命令 B I を命令実行部 B U 0 へ発行する。

【 0038 】

この結果、命令実行部 F U 0 は浮動小数点演算命令 F I を実行し、命令実行部 B U 0 は分岐命令 B I を実行する。なおこの場合には、他の命令実行部 L U 0 , I U 0 , I U 1 , F U 1 は、基本命令を何ら実行しないことになる。

図 10 は、図 8 に示された変換部 115 の構成を示す回路図である。図 10 に示されるように、変換部 115 は伝送線 L 1 , L 2 と、B I 検出器 B D 1 , B D 2 と、F I 検出器 F D 1 , F D 2 と、I I 検出器 I D 1 , I D 2 と、L I 検出器 L D 1 , L D 2 と、バッファ 155 ~ 158 と、AND ゲート 163 ~ 166 , 185 , 186 と、排他的 OR ゲート 187 ~ 190 と、セクタ 209 ~ 212 と、OR ゲート 199 ~ 202 とを含む。

【 0039 】

ここで、伝送線 L 1 は一命令語内に含まれる第一番目の基本命令を伝送し、伝送線 L 2 は一命令語内に含まれる第二番目の基本命令を伝送する。また、B I 検出器 B D 1 は伝送線 L 1 に接続され、B I 検出器 B D 2 は伝送線 L 2 に接続される。そして、バッファ 155 は B I 検出器 B D 1 に接続され、AND ゲート 163 は B I 検出器 B D 1 , B D 2 に接続され、セクタ 209 は伝送線 L 1 , L 2 とバッファ 155 及び AND ゲート 163 に接続される。また、OR ゲート 199 はバッファ 155 及び AND ゲート 163 に接続される。

【 0040 】

また、F I 検出器 F D 1 は伝送線 L 1 に接続され、F I 検出器 F D 2 は伝送線 L 2 に接続される。そして、バッファ 156 は F I 検出器 F D 1 に接続され、AND ゲート 164 は F I 検出器 F D 1 , F D 2 に接続され、排他的 OR ゲート 187 の二つの入力端はそれぞれバッファ 156 の入力ノードと出力ノードとに接続される。さらには、排他的 OR ゲート 188 の二つの入力端はそれぞれ AND ゲート 164 の出力ノードと F I 検出器 F D 2 に接続され、AND ゲート 185 は二つの排他的 OR ゲート 187 , 188 に接続される。また、セクタ 210 は伝送線 L 1 , L 2 とバッファ 156 及び AND ゲート 164 に

10

20

30

40

50

接続され、ORゲート200はバッファ156及びANDゲート164に接続される。

【0041】

また、II検出器ID1は伝送線L1に接続され、II検出器ID2は伝送線L2に接続される。そして、バッファ157はII検出器ID1に接続され、ANDゲート165はII検出器ID1, ID2に接続され、排他的ORゲート189の二つの入力端はそれぞれバッファ157の入力ノードと出力ノードとに接続される。さらには、排他的ORゲート190の二つの入力端はそれぞれANDゲート165の出力ノードとII検出器ID2に接続され、ANDゲート186は二つの排他的ORゲート189, 190に接続される。また、セクタ211は伝送線L1, L2とバッファ157及びANDゲート165に接続され、ORゲート201はバッファ157及びANDゲート165に接続される。

10

【0042】

また、LI検出器LD1は伝送線L1に接続され、LI検出器LD2は伝送線L2に接続される。そして、バッファ158はLI検出器LD1に接続され、ANDゲート166はLI検出器LD1, LD2に接続され、セクタ212は伝送線L1, L2とバッファ158及びANDゲート166に接続される。また、ORゲート202はバッファ158及びANDゲート166に接続される。

【0043】

なお、二つのBI検出器BD1, BD2によりBI検出器ブロック147が形成され、二つのFI検出器FD1, FD2によりFI検出器ブロック149が形成される。また、二つのII検出器ID1, ID2によりII検出器ブロック151が形成され、二つのLI

20

【0044】

以上のような構成を有する変換部115の動作を、図9に示された命令語の形式13の一番上に示された基本命令BI, FIからなる命令語が、変換部115へ供給された場合を例として以下に説明する。まず第一番目の基本命令BIが伝送線LIを伝送するため、BI検出器BD1は該基本命令BIを検出して論理レベルが1の検出信号をバッファ155へ供給する。なおこの時、ANDゲート163からは論理レベルが0の信号が出力される。これより、セクタ209はバッファ155から供給された検出信号に応じて第一番目の基本命令BIを選択し該基本命令BIを命令実行部BU0で実行すべき命令として、命令発行部74へ出力する。一方、基本命令BIの出力と同時に、ORゲート199からは

30

バッファ155から供給された検出信号に応じて論理レベルが1の有効ビットVが出力される。なお、上記第一番目の基本命令BIに対してFI検出器FD1とII検出器ID1及びLI検出器LD1からは共に論理レベルが0の非検出信号が出力されるため、セクタ210, 211, 212は共に、伝送線L1を伝送する第一番目の基本命令を選択しない。

【0045】

次に、伝送線L2を上記命令語の第二番目の基本命令FIが伝送する。このとき、上記第一番目の基本命令BIの場合と同様にFI検出器FD2は該基本命令FIを検出して論理レベルが1の検出信号をANDゲート164へ供給する。このとき、ANDゲート164の出力は論理レベルが1の信号となる。そして、セクタ209はANDゲート164から供給された該論理レベルが1の信号に応じて第二番目の基本命令FIを選択して該基本命令FIを命令実行部FU0で実行すべき命令として出力する。一方、基本命令FIの出力と同時に、ORゲート200からはANDゲート164から供給された検出信号に応じて論理レベルが1の有効ビットVが出力される。

40

【0046】

なお、上記第二番目の基本命令FIに対してBI検出器BD2, ID2, LD2からは論理レベルが0の非検出信号が出力されるため、セクタ209, 211, 212は共に、伝送線L2を伝送する第二番目の基本命令を選択しない。また、命令実行部LU0, IU0, IU1, FU1で実行されるべき基本命令は上記第一番目と第二番目のいずれの基本命令においても検出されなかったため、それぞれORゲート202, 201やANDゲ

50

ト 1 8 6 , 1 8 5 からは有効ビット V として論理レベルが 0 の信号が出力される。

【 0 0 4 7 】

命令読出部 4 8 における変換部 1 1 5 の以上のような動作により、図 9 に示された命令語の形式 1 3 が命令語の形式 1 7 へ並び替えられる。

図 1 1 は、メモリ 1 2 から命令読出部 4 8 へ供給される命令語の最大基本命令語長が 4 の場合における変換部 1 1 5 の構成を示す回路図である。図 1 1 に示されるように、この場合の変換部 1 1 5 の構成は図 1 0 に示された最大命令語長が 2 の場合における変換部 1 1 5 の構成と同様であるが、最大基本命令語長が 4 であることに対応して 4 つの伝送線 L 1 ~ L 4 が備えられ、それぞれの伝送線 L 1 ~ L 4 に接続される 4 つの B I 検出器 B D 1 ~ B D 4、F I 検出器 F D 1 ~ F D 4、I I 検出器 I D 1 ~ I D 4、そして L I 検出器 L D 1 ~ L D 4 が備えられる点で相違する。また、基本命令 F I に対しては最大命令語長が 4 であることに応じて、二つのセクタ 2 1 4 , 2 1 5 が備えられ、基本命令 I I に対しても同様に二つのセクタ 2 1 6 , 2 1 7 が備えられる点で相違する。

10

【 0 0 4 8 】

さらにこの回路は、バッファ 1 5 9 ~ 1 6 2 と、AND ゲート 1 6 7 ~ 1 8 4 と、排他的 OR ゲート 1 9 1 ~ 1 9 8 と、OR ゲート 2 0 3 ~ 2 0 8 と、セクタ 2 1 3 , 2 1 8 とを備える。なお、四つの B I 検出器 B D 1 ~ B D 4 により B I 検出器ブロック 1 4 8 が形成され、四つの F I 検出器 F D 1 ~ F D 4 により F I 検出器ブロック 1 5 0 が形成される。また、四つの I I 検出器 I D 1 ~ I D 4 により I I 検出器ブロック 1 5 2 が形成され、四つの L I 検出器 L D 1 ~ F D 4 により F I 検出器ブロック 1 5 4 が形成される。

20

【 0 0 4 9 】

以上のような構成を有する変換部 1 1 5 は、図 1 0 に示された変換部 1 1 5 と同様に動作するが、以下において同じ基本命令が含まれる命令語、例えば基本命令 B I , F I , F I , I I から構成される命令語が変換部 1 1 5 に供給された場合の動作について説明する。まず第一番目の基本命令 B I が伝送線 L I を伝送するため、B I 検出器 B D 1 は該基本命令 B I を検出して論理レベルが 1 の検出信号をバッファ 1 5 9 へ供給する。なおこの時、AND ゲート 1 6 7 ~ 1 6 9 からは論理レベルが 0 の信号が出力される。これより、セクタ 2 1 3 はバッファ 1 5 9 から供給された検出信号に応じて第一番目の基本命令 B I を選択し該基本命令 B I を命令実行部 B U 0 で実行すべき命令として、命令発行部 7 4 へ出力する。一方、基本命令 B I の出力と同時に、OR ゲート 2 0 3 からはバッファ 1 5 9 から供給された検出信号に応じて論理レベルが 1 の有効ビット V が出力される。なお、上記第一番目の基本命令 B I に対して F I 検出器 F D 1 と I I 検出器 I D 1 及び L I 検出器 L D 1 からは共に論理レベルが 0 の非検出信号が出力されるため、セクタ 2 1 4 , 2 1 6 , 2 1 8 は共に、伝送線 L 1 を伝送する第一番目の基本命令を選択しない。

30

【 0 0 5 0 】

次に、伝送線 L 2 を上記命令語の第二番目の基本命令 F I が伝送する。このとき、上記第一番目の基本命令 B I の場合と同様に F I 検出器 F D 2 は該基本命令 F I を検出して論理レベルが 1 の検出信号を AND ゲート 1 7 0 へ供給する。このとき、AND ゲート 1 7 0 の出力は論理レベルが 1 の信号となる。そして、セクタ 2 1 4 は AND ゲート 1 7 0 から供給された該論理レベルが 1 の信号に応じて第二番目の基本命令 F I を選択して該基本命令 F I を命令実行部 F U 0 で実行すべき命令として出力する。一方、基本命令 F I の出力と同時に、OR ゲート 2 0 4 からは AND ゲート 1 7 0 から供給された検出信号に応じて論理レベルが 1 の有効ビット V が出力される。

40

【 0 0 5 1 】

なお、上記第二番目の基本命令 F I に対して B I 検出器 B D 2 , I I 検出器 I D 2 , L I 検出器 L D 2 からは論理レベルが 0 の非検出信号が出力されるため、セクタ 2 1 3 , 2 1 6 , 2 1 8 は共に、伝送線 L 2 を伝送する第二番目の基本命令を選択しない。

次に、伝送線 L 3 を上記命令語の第三番目の基本命令 F I が伝送する。このとき、上記第一番目の基本命令 B I の場合と同様に F I 検出器 F D 3 は該基本命令 F I を検出して論理レベルが 1 の検出信号を AND ゲート 1 7 1 へ供給する。このとき、AND ゲート 1 7 1

50

へはF I 検出器F D 2 から論理レベルが1の検出信号が供給されているので、その出力は論理レベルが0の信号となる。このため、排他的O R ゲート1 9 3からは論理レベルが1の信号が出力されA N D ゲート1 7 4からは論理レベルが1の信号が出力される。そして、セクタ2 1 5はA N D ゲート1 7 4から供給された該論理レベルが1の信号に応じて第三番目の基本命令F I を選択して該基本命令F I を命令実行部F U 1で実行すべき命令として出力する。一方、基本命令F I の出力と同時に、O R ゲート2 0 5からはA N D ゲート1 7 4から供給された信号に応じて論理レベルが1の有効ビットVが出力される。

【0 0 5 2】

なお、上記第三番目の基本命令F I に対してB I 検出器B D 3 , I I 検出器I D 3 , L I 検出器L D 3 からは論理レベルが0の非検出信号が出力されるため、セクタ2 1 3 , 2 1 6 , 2 1 8は共に、伝送線L 3を伝送する第三番目の基本命令を選択しない。

そして、次に、伝送線L 4を上記命令語の第四番目の基本命令I I が伝送する。このとき、上記第一番目の基本命令B I の場合と同様にI I 検出器I D 4は該基本命令I I を検出して論理レベルが1の検出信号をA N D ゲート1 7 8へ供給する。このとき、A N D ゲート1 7 8の出力は論理レベルが1の信号となる。そして、セクタ2 1 6はA N D ゲート1 7 8から供給された該論理レベルが1の信号に応じて第四番目の基本命令I I を選択して該基本命令I I を命令実行部I U 0で実行すべき命令として出力する。一方、基本命令I I の出力と同時に、O R ゲート2 0 6からはA N D ゲート1 7 8から供給された信号に応じて論理レベルが1の有効ビットVが出力される。

【0 0 5 3】

以上より、本実施例に係る並列処理プロセッサによれば、命令読出部4 8は供給された命令語に含まれる基本命令を命令実行部の配置に応じて並び替えた上で、該命令語を命令発行部7 4に供給するため、命令実行部への命令発行部7 4による基本命令の発行を容易にし、動作速度を向上させることができる。

なお上記実施例においては、命令読出部4 8は、予め複数の命令実行部の構成に応じた順序に並べられた基本命令が含まれる命令語を、メモリ1 2から取り込むこととすることも有用である。すなわち、上記の命令読出部4 8における並び替えを実現する上で要する回路規模が小さくなるように予め基本命令の並びを制約する。

【0 0 5 4】

具体的には、同等の機能を果たす命令語は一方のみを採用する。例えば、図9における命令語の形式1 3の一番上及び上から四番目に示された命令語については、並び替えられた命令語の形式1 7が同一となる。従って、このような場合には一方のみを採用し、他方を予め禁止とする。また、命令読出部2 2の配線の迂回が多くなるような命令語を禁止することが考えられる。例えば、上記の二つの命令語に着目すると、基本命令B I , F I の並んでいる順序が逆の関係にある。ここで、回路の構成要素は二次元平面に配置されるので、いずれか一方の命令語の並べ替えにおいては他方より配線の迂回を多く必要とする。従って、このような配線の迂回をより多く必要とする命令語の並びを予め禁止する。

【0 0 5 5】

以上のように、命令読出部4 8に供給する命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ2 2の回路規模を小さくすることができる。

(実施例2)

図1 2は、本実施の形態2の実施例2に係る並列処理プロセッサの構成を示す図である。図1 2に示されるように、この並列処理プロセッサ2 3は図7に示された上記実施例1に係る並列処理プロセッサ2 2と同様な構成を有するが、変換部1 1 6が命令発行部7 5に内蔵される点で相違するものである。ここで変換部1 1 6の構成及び動作は、図1 0及び図1 1に示された変換部1 1 5の構成及び動作と同様なものである。

【0 0 5 6】

また図1 3は、図1 2に示された命令読出部4 9と命令発行部7 5の構成を示す図である。図1 3に示されるように、この命令読出部4 9と命令発行部7 5は、それぞれ図4に示された命令読出部4 6及び命令発行部7 2と同様な構成を有するが、命令発行部7 5は命

10

20

30

40

50

令レジスタ349に接続された上記変換部116をさらに備える点で相違する。なお、図13においても図を簡略化して見やすくするために、変換部116から二つの命令実行部LU0, IU0へ命令が発行される経路のみを記しているが、図12に示される他の命令実行部IU1, FU0, FU1, BU0への命令発行経路も同様に描くことができる。またこのことは、ANDゲート380へ供給される信号として二つの命令完了信号LUc, I Uc 0のみが示されている点についても同様である。

【0057】

このような本実施例に係る並列処理プロセッサによれば、命令発行部75の変換部116は命令レジスタ349から供給された命令語に含まれる基本命令を、複数の命令実行部の構成に応じて並び替えた後に該命令実行部へ各基本命令を発行するため、全体としての配線長を短くして動作速度を向上させることができる。

10

【0058】

なお、命令読出部49に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ23の回路規模を小さくすることも、上記実施例1に係る並列処理プロセッサ22と同様である。

(実施例3)

図14は、本実施の形態2の実施例3に係る並列処理プロセッサの構成を示す図である。図14に示されるように、この並列処理プロセッサ24は図7に示された上記実施例1に係る並列処理プロセッサ22と同様な構成を有するが、命令読出部50は取り込んだ命令語毎に、該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替える第一変換部117を含み、命令発行部76は命令読出部50から供給された命令語に含まれる基本命令を該複数の命令実行部の構成に応じてさらに並び替える第二変換部118を含む点で相違するものである。

20

【0059】

また図15は、図14に示された命令読出部50と命令発行部76の構成を示す図である。図15に示されるように、この命令読出部50と命令発行部76は、それぞれ図4に示された命令読出部46及び命令発行部72と同様な構成を有するが、命令読出部50は切出部319に接続された上記第一変換部117をさらに備え、命令発行部76は命令レジスタ350に接続された上記第二変換部118をさらに備える点で相違する。なお、図15においても図を簡略化して見やすくするために、第二変換部118から二つの命令実行部LU0, IU0へ命令が発行される経路のみを記しているが、図14に示される他の命令実行部IU1, FU0, FU1, BU0への命令発行経路も同様に描くことができる。またこのことは、ANDゲート381へ供給される信号として二つの命令完了信号LUc, I Uc 0のみが示されている点についても同様である。

30

【0060】

ここで、上記第一変換部117においては基本命令の並び替えのいわゆる前処理が行われ、上記第二変換部118においては基本命令の並び替えにおけるいわゆる後処理が行われる。

なお、実際の回路では並列処理プロセッサの処理能力を向上させるために、命令読出部50と命令発行部76における処理がパイプライン化される。このため、命令読出部50における処理時間と命令発行部76における処理時間の差が少ないほど、パイプライン化した効果が期待できる。従って、命令読出部50における処理時間と命令発行部76における処理時間の差が少なくなるように、上記前処理と後処理を分割する。

40

【0061】

より具体的には、一例として、図10及び図11に示されたBI検出器ブロック147, 148、FI検出器ブロック149, 150、II検出器ブロック151, 152、LI検出器ブロック153, 154に相当する回路を第一変換部117に備えると共に、図10及び図11に示されたそれ以外の回路については第二変換部118に備えることができる。

【0062】

50

以上のような構成を有する本実施例に係る並列処理プロセッサによっても、全体として配線長を短くすることができ、動作速度を向上させることができる。

なお、命令読出部 5 0 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 2 4 の回路規模を小さくすることができることは、上記実施例 1 及び 2 に係る並列処理プロセッサと同様である。

(実施例 4)

図 1 6 は、本実施の形態 2 の実施例 4 に係る並列処理プロセッサの構成を示す図である。図 1 6 に示されるように、この並列処理プロセッサ 2 5 は図 7 に示された上記実施例 1 に係る並列処理プロセッサ 2 2 と同様な構成を有するが、変換部 1 1 9 が命令読出部 5 1 に内蔵されると共に、判断部 1 0 4 が命令発行部 7 7 に内蔵される点で相違するものである。

10

【0063】

また図 1 7 は、図 1 6 に示された命令読出部 5 1 と命令発行部 7 7 の構成を示す図である。図 1 7 に示されるように、この命令読出部 5 1 と命令発行部 7 7 は、それぞれ図 8 に示された命令読出部 4 8 及び命令発行部 7 4 と同様な構成を有するが、命令発行部 7 7 が命令レジスタ 3 5 1 と制御部 3 7 4 との間に接続された判断部 1 0 4 をさらに備える点で相違する。ここで、判断部 1 0 4 は供給された基本命令に基いて、発行対象とされる基本命令が上記データ依存性や制御依存性を有するものであるか否か、または資源競合を生じさせるものであるか否かを判断し、その結果を制御部 3 7 4 へ通知する。ここで、発行対象とされる基本命令が上記データ依存性あるいは制御依存性を有し、または資源競合を生じさせるものであると判断される場合には、命令の実行完了を示す命令完了信号 L U c , I U c 0 が供給されるのを待って命令発行部 7 7 から基本命令が発行される。

20

【0064】

なお、図 1 7 においても図を簡略化して見やすくするために、命令レジスタ 3 5 1 から二つの命令実行部 L U 0 , I U 0 へ命令が発行される経路のみを記しているが、図 1 6 に示される他の命令実行部 I U 1 , F U 0 , F U 1 , B U 0 への命令発行経路も同様に描くことができる。またこのことは、判断部 1 0 4 へ供給される信号として二つの命令完了信号 L U c , I U c 0 のみが示されている点についても同様である。

【0065】

ここで変換部 1 1 9 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものであり、判断部 1 0 4 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

30

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 1 の実施例 2 に係る並列処理プロセッサと、上記実施の形態 2 の実施例 1 に係る並列処理プロセッサの両者における効果を得ることができる。すなわち、命令発行部 7 7 に判断部 1 0 4 を内蔵することにより基本命令の並列処理を確実にかつ効率的に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 5 1 に変換部 1 1 9 を内蔵することにより、命令実行部への命令発行部 7 7 による基本命令の発行を容易にし、動作速度を向上させることができる。

【0066】

40

なお、命令読出部 5 1 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 2 5 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例 5)

図 1 8 は、本実施の形態 2 の実施例 5 に係る並列処理プロセッサの構成を示す図である。図 1 8 に示されるように、この並列処理プロセッサ 2 6 は図 1 6 に示された上記実施例 4 に係る並列処理プロセッサ 2 5 と同様な構成を有するが、変換部 1 2 0 が命令発行部 7 8 に内蔵される点で相違するものである。

【0067】

また図 1 9 は、図 1 8 に示された命令読出部 5 2 と命令発行部 7 8 の構成を示す図である

50

。図 19 に示されるように、この命令読出部 52 と命令発行部 78 は、それぞれ図 13 に示された命令読出部 49 及び命令発行部 75 と同様な構成を有するが、命令発行部 78 が命令レジスタ 352 と制御部 375 との間に接続された判断部 105 をさらに備える点で相違する。ここで、判断部 105 は供給された基本命令に基いて、発行対象とされる基本命令が上記データ依存性や制御依存性を有するものであるか否か、または資源競合を生じさせるものであるか否かを判断し、その結果を制御部 375 へ通知する。ここで、発行対象とされる基本命令が上記データ依存性あるいは制御依存性を有し、または資源競合を生じさせるものであると判断される場合には、命令の実行完了を示す命令完了信号 LUC, IUC0 が供給されるのを待って命令発行部 78 から基本命令が発行される。

【0068】

なお、図 19 においても図を簡略化して見やすくするために、命令レジスタ 352 から二つの命令実行部 LU0, IU0 へ命令が発行される経路のみを記しているが、図 18 に示される他の命令実行部 IU1, FU0, FU1, BU0 への命令発行経路も同様に描くことができる。またこのことは、判断部 105 へ供給される信号として二つの命令完了信号 LUC, IUC0 のみが示されている点についても同様である。

【0069】

ここで変換部 120 の構成及び動作は、図 10 及び図 11 に示された変換部 115 の構成及び動作と同様なものであり、判断部 105 の構成および動作は図 16 に示された判断部 104 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施例 4 に係る並列処理プロセッサと同様な効果を得ることができる。すなわち、命令発行部 78 に判断部 105 を内蔵することにより基本命令の並列処理を確実にかつ効率的に遂行することができ、動作の信頼性を高めることができるとともに、命令発行部 78 にさらに変換部 120 を内蔵することにより、命令実行部への基本命令の発行を容易にし、動作速度を向上させることができる。

【0070】

なお、命令読出部 52 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 26 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例 6)

図 20 は、本実施の形態 2 の実施例 6 に係る並列処理プロセッサの構成を示す図である。図 20 に示されるように、この並列処理プロセッサ 27 は図 14 に示された上記実施例 3 に係る並列処理プロセッサ 24 と同様な構成を有するが、判断部 106 がさらに命令発行部 79 に内蔵される点で相違するものである。

【0071】

また図 21 は、図 20 に示された命令読出部 53 と命令発行部 79 の構成を示す図である。図 21 に示されるように、この命令読出部 53 と命令発行部 79 は、それぞれ図 15 に示された命令読出部 50 及び命令発行部 76 と同様な構成を有するが、命令発行部 79 が命令レジスタ 353 と制御部 376 との間に接続された判断部 106 をさらに備える点で相違する。ここで、判断部 106 は供給された基本命令に基いて、発行対象とされる基本命令が上記データ依存性や制御依存性を有するものであるか否か、または資源競合を生じさせるものであるか否かを判断し、その結果を制御部 376 へ通知する。ここで、発行対象とされる基本命令が上記データ依存性あるいは制御依存性を有し、または資源競合を生じさせるものであると判断される場合には、命令の実行完了を示す命令完了信号 LUC, IUC0 が供給されるのを待って命令発行部 79 から基本命令が発行される。

【0072】

なお、図 21 においても図を簡略化して見やすくするために、命令レジスタ 353 から二つの命令実行部 LU0, IU0 へ命令が発行される経路のみを記しているが、図 20 に示される他の命令実行部 IU1, FU0, FU1, BU0 への命令発行経路も同様に描くことができる。またこのことは、判断部 106 へ供給される信号として二つの命令完了信号

10

20

30

40

50

L U c , I U c 0 のみが示されている点についても同様である。

【 0 0 7 3 】

ここで、第一変換部 1 2 1 と第二変換部 1 2 2 の構成及び動作は、図 1 4 に示された第一変換部 1 1 7 と第二変換部 1 1 8 の構成及び動作と同様なものであり、判断部 1 0 6 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 1 の実施例 2 に係る並列処理プロセッサと、上記実施の形態 2 の実施例 3 に係る並列処理プロセッサの両者における効果を得ることができる。すなわち、命令発行部 7 9 に判断部 1 0 6 を内蔵することにより基本命令の並列処理を確実にかつ効率的に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 5 3 に第一変換部 1 2 1 を含むと共に命令発行部 7 7 に第二変換部 1 2 2 を含むことにより、命令実行部への命令発行部 7 9 による基本命令の発行を容易にし、動作速度を向上させることができる。

10

【 0 0 7 4 】

なお、命令読出部 5 3 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 2 7 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

[実施の形態 3]

図 2 2 から図 2 7 に示されるように、本実施の形態 3 に係る並列処理プロセッサ 2 8 ~ 3 3 は、メモリ 1 2 に接続された命令読出部 5 4 ~ 5 9 と、命令読出部にそれぞれ接続された命令発行部 8 0 ~ 8 5 と、命令発行部に接続される命令実行部 L U 0 , I U 0 , I U 1 , F U 0 , F U 1 , M U 0 , M U 1 , B U 0 と、全ての命令実行部に接続されたレジスタ部 1 0 0 とを備えたものである。ここで、命令実行部 M U 0 , M U 1 は特定用途向け専用演算命令実行部であり、特定用途向け専用演算命令を実行する。なお、これらの実行が完了した時には命令実行部 M U 0 , M U 1 は命令発行部 8 0 ~ 8 5 へ通知する。

20

【 0 0 7 5 】

以下において、本実施の形態 3 に係る並列処理プロセッサを、一命令語に含まれる最大基本命令語長が 2 の場合を例として説明する。なお、一命令語の最大基本命令語長が 3 以上の場合も同様に説明できる。

(実施例 1)

図 2 2 は、本実施の形態 3 の実施例 1 に係る並列処理プロセッサの構成を示す図である。図 2 2 に示されるように、この並列処理プロセッサ 2 8 は、命令読出部 5 4 に変換部 1 2 3 を備える。そしてこの変換部 1 2 3 の構成及び動作は、上記実施の形態 2 の実施例 1 で詳述した変換部 1 1 5 の構成及び動作と同じものである。すなわち変換部 1 2 3 は、取り込んだ一命令語毎に、該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替えた上で命令発行部 8 0 に供給する。

30

【 0 0 7 6 】

以上のような構成を有する並列処理プロセッサ 2 8 においても、上記実施の形態 2 の実施例 1 に係る並列処理プロセッサ 2 2 と同様な効果を得ることができる。

すなわち、命令実行部への命令発行部 8 0 による基本命令の発行を容易にし、動作速度を向上させることができる。

40

【 0 0 7 7 】

なお、命令読出部 5 4 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 2 8 の回路規模を小さくすることができることは、上記実施の形態に係る並列処理プロセッサと同様である。

(実施例 2)

図 2 3 は、本実施の形態 3 の実施例 2 に係る並列処理プロセッサの構成を示す図である。図 2 3 に示されるように、この並列処理プロセッサ 2 9 は図 1 2 に示された並列処理プロセッサ 2 3 と同様な構成を有し、変換部 1 2 4 が命令発行部 8 1 に含まれる。ここで変換部 1 2 4 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものである。

50

【0078】

このような本実施例に係る並列処理プロセッサによれば、命令発行部81は命令読出部55から供給された命令語に含まれる基本命令を、複数の命令実行部の構成に応じて並び替えた後に該命令実行部へ各基本命令を発行するため、全体としての配線長を短くして動作速度を向上させることができる。

なお、命令読出部55に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ29の回路規模を小さくすることができることも、上記の並列処理プロセッサと同様である。

(実施例3)

図24は、本実施の形態3の実施例3に係る並列処理プロセッサの構成を示す図である。 10

図24に示されるように、この並列処理プロセッサ30は図14に示された上記の並列処理プロセッサ24と同様な構成を有し、命令読出部56は取り込んだ命令語毎に該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替える第一変換部125を含む。そして、命令発行部82は命令読出部56から供給された命令語に含まれる基本命令を該複数の命令実行部の構成に応じてさらに並び替える第二変換部126を含む。

【0079】

ここで、上記第一変換部125においては基本命令の並び替えのいわゆる前処理が行われ、上記第二変換部126においては基本命令の並び替えにおけるいわゆる後処理が行われる。

なお、実際の回路では並列処理プロセッサの処理能力を向上させるために、命令読出部56と命令発行部82における処理がパイプライン化される。このため、命令読出部56における処理時間と命令発行部82における処理時間の差が少ないほど、パイプライン化した効果が期待できる。従って、命令読出部56における処理時間と命令発行部82における処理時間の差が少なくなるように、上記前処理と後処理を分割する。 20

【0080】

以上のような構成を有する本実施例に係る並列処理プロセッサにより、全体として配線長を短くすることができ、動作速度を向上させることができる。

なお、命令読出部56に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ30の回路規模を小さくすることができることは、上記実施例1及び2に係る並列処理プロセッサと同様である。 30

(実施例4)

図25は、本実施の形態3の実施例4に係る並列処理プロセッサの構成を示す図である。

図25に示されるように、この並列処理プロセッサ31は図16に示された上記の並列処理プロセッサ25と同様な構成を有し、変換部127が命令読出部57に内蔵されると共に、判断部107が命令発行部83に内蔵される。

【0081】

ここで変換部127の構成及び動作は、図10及び図11に示された変換部115の構成及び動作と同様なものであり、判断部107の構成および動作は図6に示された判断部103の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態2の実施例4に係る並列処理プロセッサと同様の効果を得ることができる。すなわち、命令発行部83に判断部107を内蔵することにより基本命令の並列処理を確実にかつ効率的に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部57に変換部127を内蔵することにより、命令実行部への命令発行部83による基本命令の発行を容易にし、動作速度を向上させることができる。 40

【0082】

なお、命令読出部57に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ31の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例5)

図 2 6 は、本実施の形態 3 の実施例 5 に係る並列処理プロセッサの構成を示す図である。図 2 6 に示されるように、この並列処理プロセッサ 3 2 は図 1 8 に示された上記実施の形態 2 の実施例 5 に係る並列処理プロセッサ 2 6 と同様な構成を有し、変換部 1 2 8 及び判断部 1 0 8 が命令発行部 8 4 に内蔵される。

【 0 0 8 3 】

ここで変換部 1 2 8 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものであり、判断部 1 0 8 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 5 に係る並列処理プロセッサと同様な効果を得ることができる。すなわち、命令発行部 8 4 に判断部 1 0 8 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令発行部 8 4 にさらに変換部 1 2 8 を内蔵することにより、命令実行部への基本命令の発行を容易にし、動作速度を向上させることができる。

【 0 0 8 4 】

なお、命令読出部 5 8 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 2 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

（実施例 6）

図 2 7 は、本実施の形態 3 の実施例 6 に係る並列処理プロセッサの構成を示す図である。図 2 7 に示されるように、この並列処理プロセッサ 3 3 は図 2 0 に示された上記の並列処理プロセッサ 2 7 と同様な構成を有するものである。

【 0 0 8 5 】

ここで、第一変換部 1 2 9 と第二変換部 1 3 0 の構成及び動作は、図 1 4 に示された第一変換部 1 1 7 と第二変換部 1 1 8 の構成及び動作と同様なものであり、判断部 1 0 9 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 6 に係る並列処理プロセッサと同様な効果を得ることができる。すなわち、命令発行部 8 5 に判断部 1 0 9 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 5 9 に第一変換部 1 2 9 を含むと共に命令発行部 8 5 に第二変換部 1 3 0 を含むことにより、命令実行部への命令発行部 8 5 による基本命令の発行を容易にし、動作速度を向上させることができる。

【 0 0 8 6 】

なお、命令読出部 5 9 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 3 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

〔実施の形態 4〕

図 2 8 から図 3 3 に示されるように、本実施の形態 4 に係る並列処理プロセッサ 3 4 ~ 3 9 は、メモリ 1 2 に接続された命令読出部 6 0 ~ 6 5 と、命令読出部にそれぞれ接続された命令発行部 8 6 ~ 9 1 と、命令発行部に接続される命令実行部 L U 0 , L U 1 , I U 0 , I U 1 , F U 0 , F U 1 , B U 0 , B U 1 と、全ての命令実行部に接続されたレジスタ部 1 0 1 とを備えたものである。ここで、命令実行部 L U 1 はロードストア命令実行部であり、ロード命令及びストア命令を実行する。なお、これらの実行が完了した時には命令実行部 L U 1 は命令発行部 8 6 ~ 9 1 へ通知する。また、命令実行部 B U 1 は分岐命令実行部であり、分岐命令を実行する。なお、この実行が完了した時には命令実行部 B U 1 は命令発行部 8 6 ~ 9 1 へ通知する。

【 0 0 8 7 】

以下において、本実施の形態 4 に係る並列処理プロセッサを、一命令語に含まれる最大基本命令語長が 4 の場合を示した図を用いて説明する。なお、図 2 8 から図 3 3 においては

10

20

30

40

50

、一命令語の最大基本命令語長が4であることが命令読出部60～65から命令発行部86～91への四本の矢印で示されている。

また、本実施の形態4は、一命令語の最大基本命令語長が4の場合に限られるものでないことはいうまでもない。

(実施例1)

図28は、本実施の形態4の実施例1に係る並列処理プロセッサの構成を示す図である。

図28に示されるように、この並列処理プロセッサ34は、命令読出部60に変換部131を備える。そしてこの変換部131の構成及び動作は、上記実施の形態2の実施例1で詳述した変換部115の構成及び動作と同じものである。すなわち変換部131は、取り込んだ一命令語毎に、該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替えた上で命令発行部86に供給する。

10

【0088】

以上のような構成を有する並列処理プロセッサ34においても、上記実施の形態2の実施例1に係る並列処理プロセッサ22と同様な効果を得ることができる。

すなわち、命令実行部への命令発行部86による基本命令の発行を容易にし、動作速度を向上させることができる。

【0089】

なお、命令読出部60に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ34の回路規模を小さくすることができることは、上記実施の形態に係る並列処理プロセッサと同様である。

20

(実施例2)

図29は、本実施の形態4の実施例2に係る並列処理プロセッサの構成を示す図である。

図29に示されるように、この並列処理プロセッサ35は図12に示された並列処理プロセッサ23と同様な構成を有し、変換部132が命令発行部87に含まれる。ここで変換部132の構成及び動作は、図10及び図11に示された変換部115の構成及び動作と同様なものである。

【0090】

このような本実施例に係る並列処理プロセッサによれば、命令発行部87は命令読出部61から供給された命令語に含まれる基本命令を、複数の命令実行部の構成に応じて並び替えた後に該命令実行部へ各基本命令を発行するため、全体としての配線長を短くして動作速度を向上させることができる。

30

なお、命令読出部61に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ35の回路規模を小さくすることができることも、上記の並列処理プロセッサと同様である。

(実施例3)

図30は、本実施の形態4の実施例3に係る並列処理プロセッサの構成を示す図である。

図30に示されるように、この並列処理プロセッサ36は図14に示された上記の並列処理プロセッサ24と同様な構成を有し、命令読出部62は取り込んだ命令語毎に該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替える第一変換部133を含む。そして、命令発行部88は命令読出部62から供給された命令語に含まれる基本命令を該複数の命令実行部の構成に応じてさらに並び替える第二変換部134を含む。

40

【0091】

ここで、上記第一変換部133においては基本命令の並び替えのいわゆる前処理が行われ、上記第二変換部134においては基本命令の並び替えにおけるいわゆる後処理が行われる。

なお、実際の回路では並列処理プロセッサの処理能力を向上させるために、命令読出部62と命令発行部88における処理がパイプライン化される。このため、命令読出部62における処理時間と命令発行部88における処理時間の差が少ないほど、パイプライン化した効果が期待できる。従って、命令読出部62における処理時間と命令発行部88における処理時間の差が少なくなるように、上記前処理と後処理を分割する。

50

【 0 0 9 2 】

以上のような構成を有する本実施例に係る並列処理プロセッサにより、全体として配線長を短くすることができ、動作速度を向上させることができる。

なお、命令読出部 6 2 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 6 の回路規模を小さくすることができることは、上記実施例 1 及び 2 に係る並列処理プロセッサと同様である。

(実施例 4)

図 3 1 は、本実施の形態 4 の実施例 4 に係る並列処理プロセッサの構成を示す図である。図 3 1 に示されるように、この並列処理プロセッサ 3 7 は図 1 6 に示された上記の並列処理プロセッサ 2 5 と同様な構成を有し、変換部 1 3 5 が命令読出部 6 3 に内蔵されると共に、判断部 1 1 0 が命令発行部 8 9 に内蔵される。

10

【 0 0 9 3 】

ここで変換部 1 3 5 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものであり、判断部 1 1 0 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 4 に係る並列処理プロセッサと同様の効果を得ることができる。すなわち、命令発行部 8 9 に判断部 1 1 0 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 6 3 に変換部 1 3 5 を内蔵することにより、命令実行部への命令発行部 8 9 による基本命令の発行を容易にし、動作速度を向上させることができる。

20

【 0 0 9 4 】

なお、命令読出部 6 3 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 7 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例 5)

図 3 2 は、本実施の形態 4 の実施例 5 に係る並列処理プロセッサの構成を示す図である。図 3 2 に示されるように、この並列処理プロセッサ 3 8 は図 1 8 に示された上記実施の形態 2 の実施例 5 に係る並列処理プロセッサ 2 6 と同様な構成を有し、変換部 1 3 6 及び判断部 1 1 1 が命令発行部 9 0 に内蔵される。

30

【 0 0 9 5 】

ここで変換部 1 3 6 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものであり、判断部 1 1 1 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 5 に係る並列処理プロセッサと同様な効果を得ることができる。すなわち、命令発行部 9 0 に判断部 1 1 1 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令発行部 9 0 にさらに変換部 1 3 6 を内蔵することにより、命令実行部への基本命令の発行を容易にし、動作速度を向上させることができる。

40

【 0 0 9 6 】

なお、命令読出部 6 4 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 8 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例 6)

図 3 3 は、本実施の形態 4 の実施例 6 に係る並列処理プロセッサの構成を示す図である。図 3 3 に示されるように、この並列処理プロセッサ 3 9 は図 2 0 に示された上記の並列処理プロセッサ 2 7 と同様な構成を有するものである。

【 0 0 9 7 】

ここで、第一変換部 1 3 7 と第二変換部 1 3 8 の構成及び動作は、図 1 4 に示された第一

50

変換部 1 1 7 と第二変換部 1 1 8 の構成及び動作と同様なものであり、判断部 1 1 2 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 6 に係る並列処理プロセッサと同様の効果を得ることができる。すなわち、命令発行部 9 1 に判断部 1 1 2 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 6 5 に第一変換部 1 3 7 を含むと共に命令発行部 9 1 に第二変換部 1 3 8 を含むことにより、命令実行部への命令発行部 9 1 による基本命令の発行を容易にし、動作速度を向上させることができる。

【 0 0 9 8 】

なお、命令読出部 6 5 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 3 9 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

[実施の形態 5]

図 3 4 から図 3 9 に示されるように、本実施の形態 5 に係る並列処理プロセッサ 4 0 ~ 4 5 は、メモリ 1 2 に接続された命令読出部 6 6 ~ 7 1 と、命令読出部にそれぞれ接続された命令発行部 9 2 ~ 9 7 と、命令発行部に接続される命令実行部 L U 0 , L U 1 , I U 0 , I U 1 , F U 0 , F U 1 , M U 0 , M U 1 , B U 0 , B U 1 と、全ての命令実行部に接続されたレジスタ部 1 0 2 とを備えたものである。

【 0 0 9 9 】

以下において、本実施の形態 5 に係る並列処理プロセッサを、一命令語に含まれる最大基本命令語長が 4 の場合を示した図を用いて説明する。なお、図 3 4 から図 3 9 においては、一命令語の最大基本命令語長が 4 であることが命令読出部 6 6 ~ 7 1 から命令発行部 9 2 ~ 9 7 への四本の矢印で示されている。

また、本実施の形態 5 は、一命令語の最大基本命令語長が 4 の場合に限られるものでないことはいうまでもない。

(実施例 1)

図 3 4 は、本実施の形態 5 の実施例 1 に係る並列処理プロセッサの構成を示す図である。図 3 4 に示されるように、この並列処理プロセッサ 4 0 は、命令読出部 6 6 に変換部 1 3 9 を備える。そしてこの変換部 1 3 9 の構成及び動作は、上記実施の形態 2 の実施例 1 で詳述した変換部 1 1 5 の構成及び動作と同じものである。すなわち変換部 1 3 9 は、取り込んだ一命令語毎に、該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替えた上で命令発行部 9 2 に供給する。

【 0 1 0 0 】

以上のような構成を有する並列処理プロセッサ 4 0 においても、上記実施の形態 2 の実施例 1 に係る並列処理プロセッサ 2 2 と同様な効果を得ることができる。

すなわち、命令発行部 9 2 による命令実行部への基本命令の発行を容易にし、動作速度を向上させることができる。

【 0 1 0 1 】

なお、命令読出部 6 6 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 4 0 の回路規模を小さくすることができることは、上記実施の形態に係る並列処理プロセッサと同様である。

(実施例 2)

図 3 5 は、本実施の形態 5 の実施例 2 に係る並列処理プロセッサの構成を示す図である。図 3 5 に示されるように、この並列処理プロセッサ 4 1 は図 1 2 に示された並列処理プロセッサ 2 3 と同様な構成を有し、変換部 1 4 0 が命令発行部 9 3 に含まれる。ここで変換部 1 4 0 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものである。

【 0 1 0 2 】

このような本実施例に係る並列処理プロセッサによれば、命令発行部 9 3 は命令読出部 6

10

20

30

40

50

7から供給された命令語に含まれる基本命令を、複数の命令実行部の構成に応じて並び替えた後に該命令実行部へ各基本命令を発行するため、全体としての配線長を短くして動作速度を向上させることができる。

なお、命令読出部67に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ41の回路規模を小さくすることができることは、上記の並列処理プロセッサと同様である。

(実施例3)

図36は、本実施の形態5の実施例3に係る並列処理プロセッサの構成を示す図である。図36に示されるように、この並列処理プロセッサ42は図14に示された上記の並列処理プロセッサ24と同様な構成を有し、命令読出部68は取り込んだ命令語毎に該命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替える第一変換部141を含む。そして、命令発行部94は命令読出部68から供給された命令語に含まれる基本命令を該複数の命令実行部の構成に応じてさらに並び替える第二変換部142を含む。

10

【0103】

ここで、上記第一変換部141においては基本命令の並び替えのいわゆる前処理が行われ、上記第二変換部142においては基本命令の並び替えにおけるいわゆる後処理が行われる。

なお、実際の回路では並列処理プロセッサの処理能力を向上させるために、命令読出部68と命令発行部94における処理がパイプライン化される。このため、命令読出部68における処理時間と命令発行部94における処理時間の差が少ないほど、パイプライン化した効果が期待できる。従って、命令読出部68における処理時間と命令発行部94における処理時間の差が少なくなるように、上記前処理と後処理を分割する。

20

【0104】

以上のような構成を有する本実施例に係る並列処理プロセッサにより、全体として配線長を短くすることができ、動作速度を向上させることができる。

なお、命令読出部68に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ42の回路規模を小さくすることができることは、上記実施例1及び2に係る並列処理プロセッサと同様である。

(実施例4)

図37は、本実施の形態5の実施例4に係る並列処理プロセッサの構成を示す図である。図37に示されるように、この並列処理プロセッサ43は図16に示された上記の並列処理プロセッサ25と同様な構成を有し、変換部143が命令読出部69に内蔵されると共に、判断部113が命令発行部95に内蔵される。

30

【0105】

ここで変換部143の構成及び動作は、図10及び図11に示された変換部115の構成及び動作と同様なものであり、判断部113の構成および動作は図6に示された判断部103の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態2の実施例4に係る並列処理プロセッサと同様の効果を得ることができる。すなわち、命令発行部95に判断部113を内蔵することにより基本命令の並列処理を確実にかつ効率的に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部69に変換部143を内蔵することにより、命令実行部への命令発行部95による基本命令の発行を容易にし、動作速度を向上させることができる。

40

【0106】

なお、命令読出部69に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ43の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例5)

図38は、本実施の形態5の実施例5に係る並列処理プロセッサの構成を示す図である。図38に示されるように、この並列処理プロセッサ44は図18に示された上記実施の形

50

態 2 の実施例 5 に係る並列処理プロセッサ 2 6 と同様な構成を有し、変換部 1 4 4 及び判断部 1 1 4 が命令発行部 9 6 に内蔵される。

【 0 1 0 7 】

ここで変換部 1 4 4 の構成及び動作は、図 1 0 及び図 1 1 に示された変換部 1 1 5 の構成及び動作と同様なものであり、判断部 1 1 4 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 5 に係る並列処理プロセッサと同様な効果を得ることができる。すなわち、命令発行部 9 6 に判断部 1 1 4 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令発行部 9 6 にさらに変換部 1 4 4 を内蔵することにより、命令実行部への基本命令の発行を容易にし、動作速度を向上させることができる。

10

【 0 1 0 8 】

なお、命令読出部 7 0 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 4 4 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。

(実施例 6)

図 3 9 は、本実施の形態 5 の実施例 6 に係る並列処理プロセッサの構成を示す図である。図 3 9 に示されるように、この並列処理プロセッサ 4 5 は図 2 0 に示された上記の並列処理プロセッサ 2 7 と同様な構成を有するものである。

20

【 0 1 0 9 】

ここで、第一変換部 1 4 5 と第二変換部 1 4 6 の構成及び動作は、図 1 4 に示された第一変換部 1 1 7 と第二変換部 1 1 8 の構成及び動作と同様なものであり、判断部 1 1 2 の構成および動作は図 6 に示された判断部 1 0 3 の構成及び動作と同様なものである。

以上のような構成を有する本実施例に係る並列処理プロセッサによれば、上記実施の形態 2 の実施例 6 に係る並列処理プロセッサと同様の効果を得ることができる。すなわち、命令発行部 9 7 に判断部 2 1 9 を内蔵することにより基本命令の並列処理を確実に遂行することができ、動作の信頼性を高めることができるとともに、命令読出部 7 1 に第一変換部 1 4 5 を含むと共に命令発行部 9 7 に第二変換部 1 4 6 を含むことにより、命令実行部への命令発行部 9 7 による基本命令の発行を容易にし、動作速度を向上させることができる。

30

【 0 1 1 0 】

なお、命令読出部 7 1 に供給される命令語に含まれた基本命令の並びを予め制約することにより、並列処理プロセッサ 4 5 の回路規模を小さくすることができることは、上記実施例に係る並列処理プロセッサと同様である。最後に、本発明に係る課題を解決するための手段について付記する。

(1) 命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する情報処理装置であって、供給される前記基本命令に応じた処理を並列的に実行する複数の命令実行部と、命令区切り情報に応じて前記命令語を一つずつ取り込む命令取り込み部と、命令取り込み部から供給された命令語に含まれる基本命令毎に、基本命令を実行すべきいずれか一つの命令実行部へ、選択的に前記基本命令を発行する命令発行部と、を有し、命令取り込み部は、取り込んだ命令語毎に、命令語に含まれる基本命令を、複数の命令実行部に対応づけた基本命令と基本命令の発行の有無を示す有効ビットの対の形式に並び替える、ことを特徴とする情報処理装置。

40

(2) 複数の命令実行部の少なくとも二つは、同一の構成を有する (1) に記載の情報処理装置。

(3) 命令取り込み部は、予め複数の命令実行部の構成に応じた順序に並べられた基本命令が含まれる命令語を取り込む (1) 又は (2) に記載の情報処理装置。

(4) 命令発行部は、所定の場合には、命令実行部における実行が完了する前に次の前記基本命令を発行する (1) ないし (3) いずれかに記載の情報処理装置。

50

(5) 所定の場合とは、命令発行に供給された基本命令が命令実行部において実行中の基本命令に対してデータ依存関係を持たず、かつ、制御依存関係を持たず、かつ、資源競合も生じないものである場合あること、を特徴とする情報処理装置。

(6) 命令区切り情報によって区切られた命令語に含まれる一つあるいは複数の基本命令を並列的に実行する情報処理装置であって、供給される前記基本命令に応じた処理を並列的に実行する複数の命令実行部と、命令区切り情報に応じて命令語を一つずつ取り込む命令取り込み部と、命令取り込み部から供給された命令語に含まれる基本命令毎に、基本命令を実行すべきいずれか一つの命令実行部へ、選択的に基本命令を発行する命令発行部と、を有し、命令発行部は、命令語に含まれる基本命令を、複数の命令実行部の構成に応じて、基本命令と前記基本命令の発行の有無を示す有効ビットの対の形式に並び替えた後に、命令実行部へ発行する、ことを特徴とする情報処理装置。

10

このような手段によれば、命令取り込み部は予め複数の命令実行部の構成に応じた順序に並べられた基本命令が含まれる命令語を取り込むため、並列処理プロセッサの回路規模を小さくすることができ、動作の高速化を図ることができる。

【 0 1 1 1 】

上述の如く、本発明によれば、命令取り込み部は命令区切り情報に応じて命令語を一つずつ取り込むため該命令語を可変長とすることができ、命令発行部は取り込まれた命令語に含まれる基本命令毎に、命令語に含まれる基本命令を複数の命令実行部の構成に応じて並び替えた上で命令実行部に発行するものとすれば、並列処理プロセッサの回路規模を小さくすることができると共に、動作の高速化を図ることができる。

20

また、命令語中に基本命令をより効率的に含ませることができるので、並列処理プロセッサの並列処理能力を向上させることができる。

上記において複数の命令実行部のうち少なくとも二つが構成を異にするものとすれば、命令語の実行のため過剰な回路規模が必要とされず、並列処理プロセッサの小型化を実現することができる。

また、命令発行部が、命令実行部において実行中の基本命令の種類に応じて、該実行が完了する前に次の基本命令を発行することとすれば、さらなる並列処理の効率化を図ることができる。

【 0 1 1 2 】

【発明の効果】

30

上述の如く、本発明によれば、効率良い情報処理を実現する情報処理装置及び情報処理方法を提供することができる。

【図面の簡単な説明】

【図 1】従来の並列処理プロセッサの構成を示す図である。

【図 2】4 個の命令実行部を備えた図 1 に示される並列処理プロセッサに供給される命令語の形式を示す図である。

【図 3】実施の形態 1 の実施例 1 に係る並列処理プロセッサの構成を示す図である。

【図 4】図 3 に示された命令読出部と命令発行部の構成を示す図である。

【図 5】実施の形態 1 に係る並列処理プロセッサに供給される命令語の形式を示すものである。

40

【図 6】実施の形態 1 の実施例 2 に係る並列処理プロセッサの構成を示す図である。

【図 7】実施の形態 2 の実施例 1 に係る並列処理プロセッサの構成を示す図である。

【図 8】図 7 に示された命令読出部と命令発行部の構成を示す図である。

【図 9】実施の形態 2 に係る並列処理プロセッサにおける基本命令の並び替えを説明するための図である。

【図 10】図 7 に示された変換部の構成を示す回路図である。

【図 11】最大基本命令語長が 4 の場合における変換部の構成を示す回路図である。

【図 12】実施の形態 2 の実施例 2 に係る並列処理プロセッサの構成を示す図である。

【図 13】図 12 に示された命令読出部と命令発行部の構成を示す図である。

【図 14】実施の形態 2 の実施例 3 に係る並列処理プロセッサの構成を示す図である。

50

- 【図 1 5】図 1 4 に示された命令読出部と命令発行部の構成を示す図である。
- 【図 1 6】実施の形態 2 の実施例 4 に係る並列処理プロセッサの構成を示す図である。
- 【図 1 7】図 1 6 に示された命令読出部と命令発行部の構成を示す図である。
- 【図 1 8】実施の形態 2 の実施例 5 に係る並列処理プロセッサの構成を示す図である。
- 【図 1 9】図 1 8 に示された命令読出部と命令発行部の構成を示す図である。
- 【図 2 0】実施の形態 2 の実施例 6 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 1】図 2 0 に示された命令読出部と命令発行部の構成を示す図である。
- 【図 2 2】実施の形態 3 の実施例 1 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 3】実施の形態 3 の実施例 2 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 4】実施の形態 3 の実施例 3 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 5】実施の形態 3 の実施例 4 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 6】実施の形態 3 の実施例 5 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 7】実施の形態 3 の実施例 6 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 8】実施の形態 4 の実施例 1 に係る並列処理プロセッサの構成を示す図である。
- 【図 2 9】実施の形態 4 の実施例 2 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 0】実施の形態 4 の実施例 3 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 1】実施の形態 4 の実施例 4 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 2】実施の形態 4 の実施例 5 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 3】実施の形態 4 の実施例 6 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 4】実施の形態 5 の実施例 1 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 5】実施の形態 5 の実施例 2 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 6】実施の形態 5 の実施例 3 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 7】実施の形態 5 の実施例 4 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 8】実施の形態 5 の実施例 5 に係る並列処理プロセッサの構成を示す図である。
- 【図 3 9】実施の形態 5 の実施例 6 に係る並列処理プロセッサの構成を示す図である。

【符号の説明】

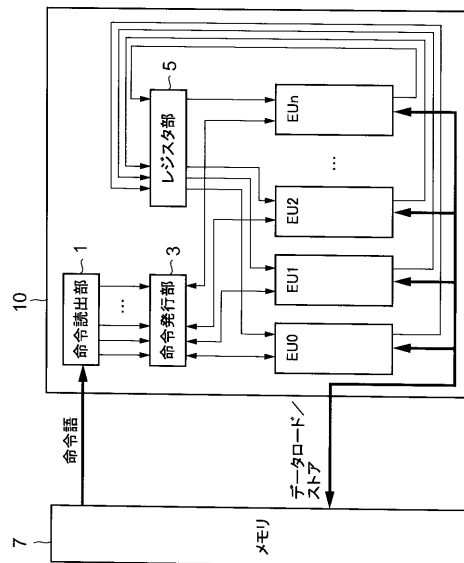
- 1, 4 6 ~ 7 1 命令読出部
- 3, 7 2 ~ 9 7 命令発行部
- 5, 9 8 ~ 1 0 2 レジスタ部
- 7, 1 2 メモリ
- 1 0 並列処理プロセッサ
- 1 3, 1 7 命令語の形式
- 1 5 インタフェース
- 2 0 ~ 4 5 プロセッサ
- 1 0 3 ~ 1 1 4, 2 1 9 判断部
- 1 1 5 ~ 1 4 6 変換部
- 1 4 7, 1 4 8 分岐命令 (B I) 検出器ブロック
- 1 4 9, 1 5 0 浮動小数点演算命令 (F I) 検出器ブロック
- 1 5 1, 1 5 2 整数演算命令 (I I) 検出器ブロック
- 1 5 3, 1 5 4 ロードストア命令 (L I) 検出器ブロック
- 1 5 5 ~ 1 6 2 バッファ
- 1 6 3 ~ 1 8 6 A N D ゲート
- 1 8 7 ~ 1 9 8 排他的 O R ゲート
- 1 9 9 ~ 2 0 8 O R ゲート
- 2 0 9 ~ 2 1 8, 3 5 5 ~ 3 6 8 セレクタ
- 3 0 0 ~ 3 0 6 固定長フェッチ部 (F P C)
- 3 0 8 ~ 3 1 4 命令バッファ
- 3 1 6 ~ 3 2 2 切出部
- 3 2 4 ~ 3 3 7 加算器
- 3 3 9 ~ 3 4 5 実行フェッチ部 (E P C)

3 4 7 ~ 3 5 3 命令レジスタ
 3 7 0 ~ 3 7 6 制御部
 3 7 8 ~ 3 8 1 ANDゲート
 E U 0 ~ E U n , L U 0 , L U 1 , I U 0 , I U 1 , F U 0 , F U 1 , M U 0 , M U 1 ,
 B U 0 , B U 1 命令実行部
 B D 1 ~ B D 4 分岐命令 (B I) 検出器
 F D 1 ~ F D 4 浮動小数点演算命令 (F I) 検出器
 I D 1 ~ I D 4 整数演算命令 (I I) 検出器
 L D 1 ~ L D 4 ロードストア命令 (L I) 検出器
 L 1 ~ L 4 伝送線

10

【 図 1 】

従来の並列処理プロセッサの構成を示す図



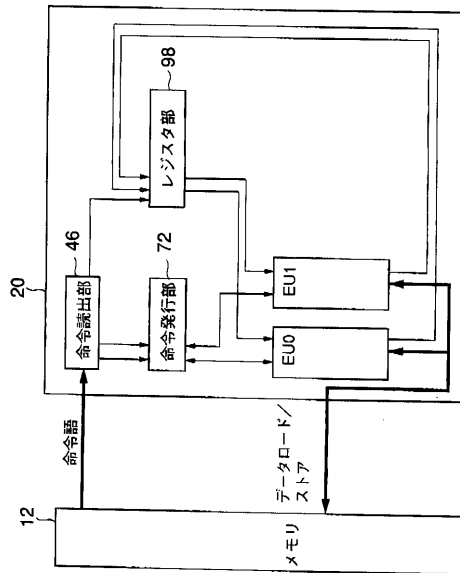
【 図 2 】

4 個の命令実行部を備えた図 1 に示される並列処理
 プロセッサに供給される命令語の形式を示す図

nop	nop	nop	nop
EI	nop	nop	nop
nop	EI	nop	nop
nop	nop	EI	nop
nop	nop	nop	EI
EI	EI	nop	nop
EI	nop	EI	nop
EI	nop	nop	EI
nop	EI	EI	nop
nop	EI	nop	EI
nop	nop	EI	EI
EI	EI	EI	nop
EI	EI	nop	EI
EI	nop	EI	EI
nop	EI	EI	EI
EI	EI	EI	EI

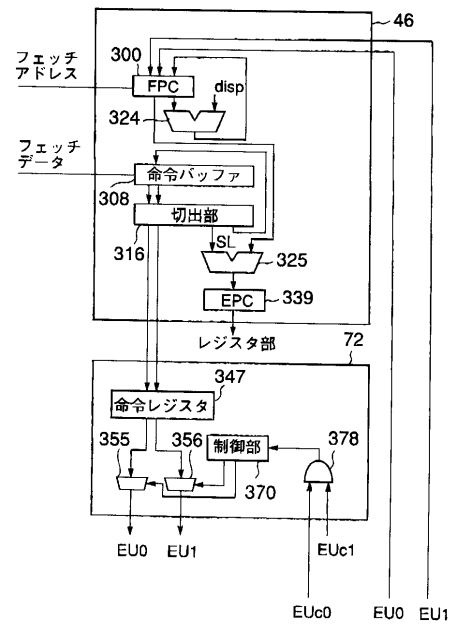
【図 3】

実施の形態1の実施例1に係る並列処理プロセッサの構成を示す図



【図 4】

図3に示された命令読出部と命令発行部の構成を示す図



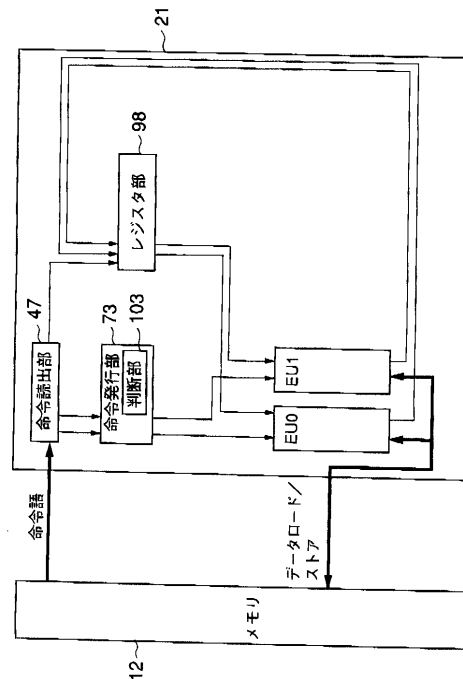
【図 5】

実施の形態1に係る並列処理プロセッサ
に供給される命令語の形式を示す図

0	EI	1	EI
1	EI		

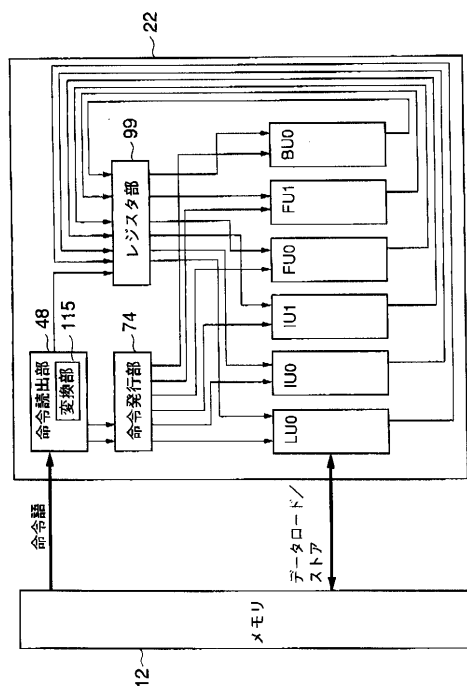
【図 6】

実施の形態1の実施例2に係る並列処理プロセッサの構成を示す図



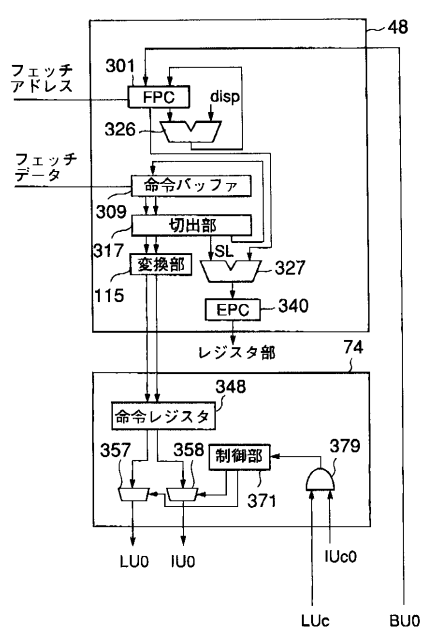
【 図 7 】

実施の形態2の実施例1に係る並列処理プロセッサの構成を示す図



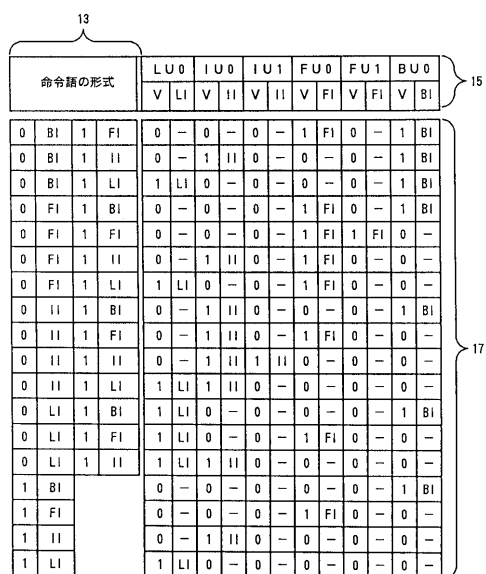
【 図 8 】

図7に示された命令読出部と命令発行部の構成を示す図



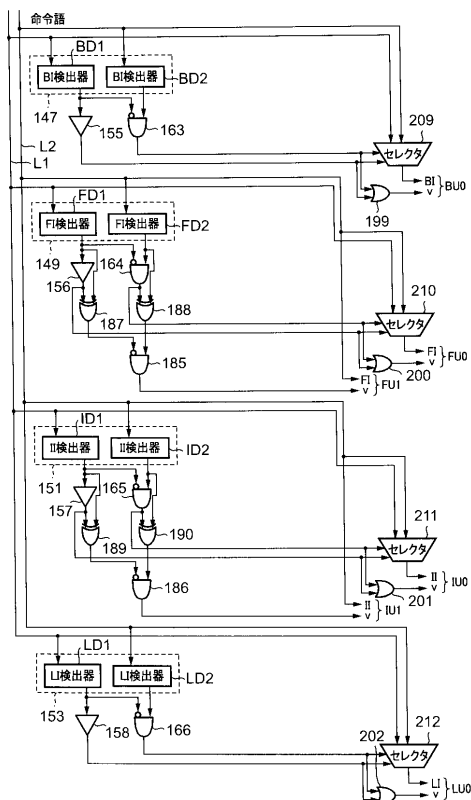
【 図 9 】

実施の形態 2 に係る並列処理プロセッサにおける
基本命令の並び替えを説明するための図



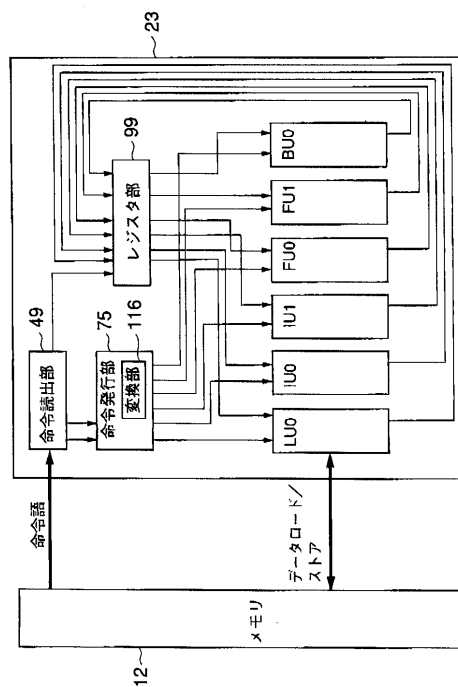
【 図 1 0 】

図7に示された変換部 10 の構成を示す回路図



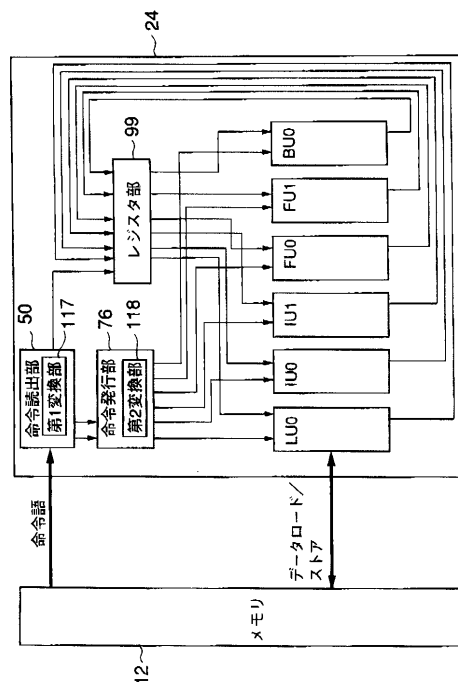
【 図 1 2 】

実施の形態2の実施例2に係る並列処理プロセッサの構成を示す図



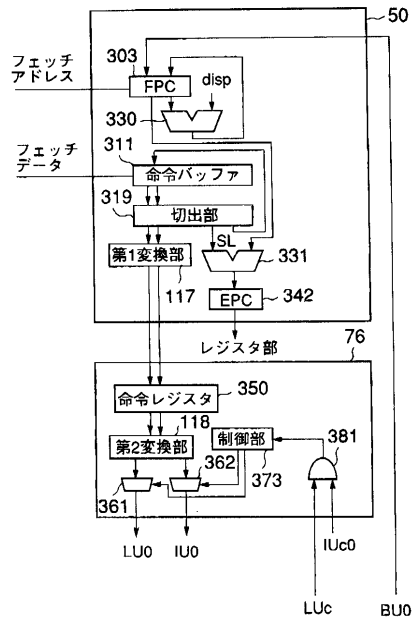
【 図 1 4 】

実施の形態2の実施例3に係る並列処理プロセッサの構成を示す図



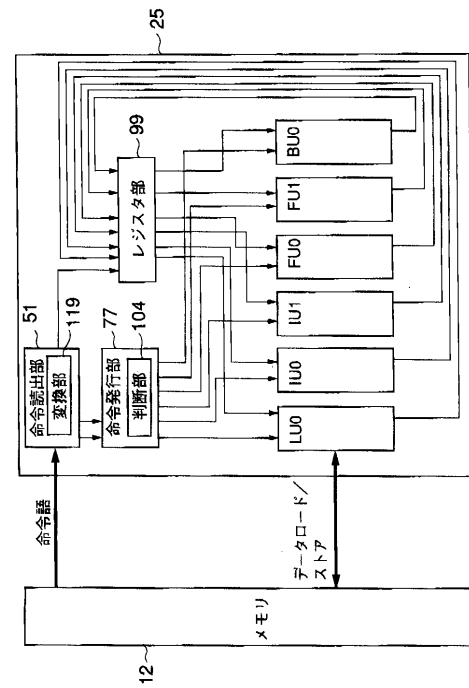
【図 15】

図14に示された命令読出部と命令発行部の構成を示す図



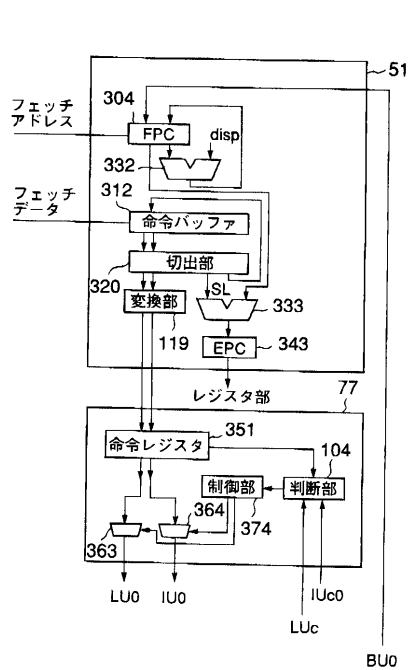
【図 16】

実施の形態2の実施例4に係る並列処理プロセッサの構成を示す図



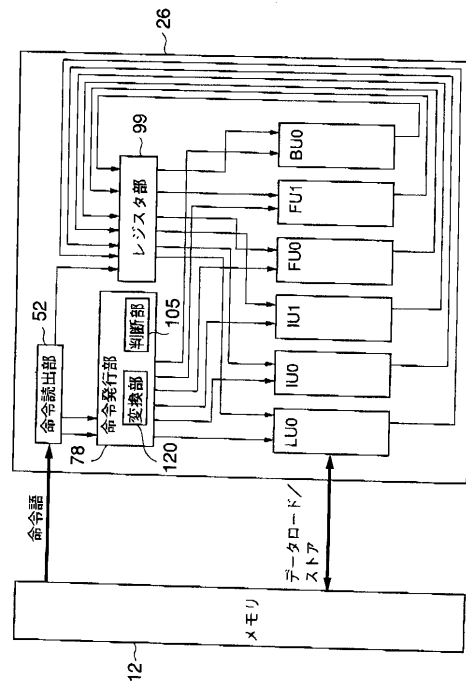
【図 17】

図16に示された命令読出部と命令発行部の構成を示す図



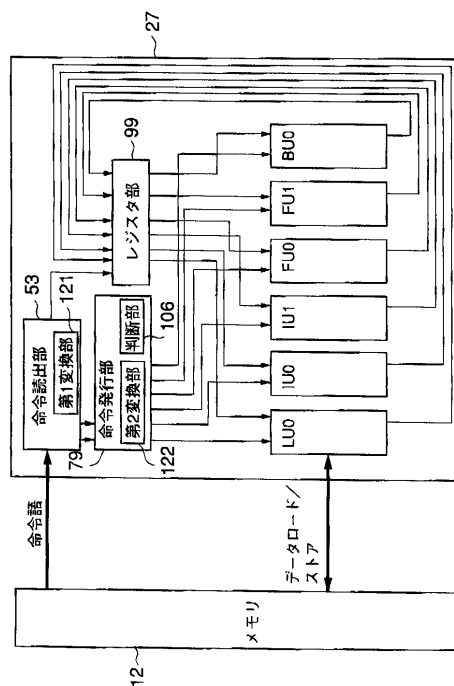
【図 18】

実施の形態2の実施例5に係る並列処理プロセッサの構成を示す図



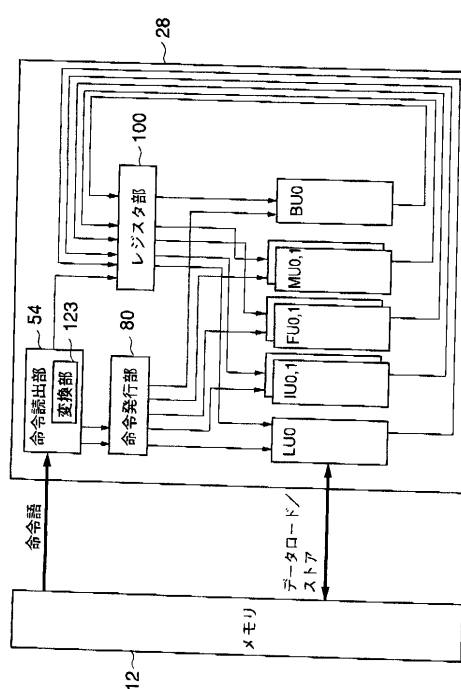
【 ㄨ 2 0 】

実施の形態2の実施例6に係る並列処理プロセッサの構成を示す図



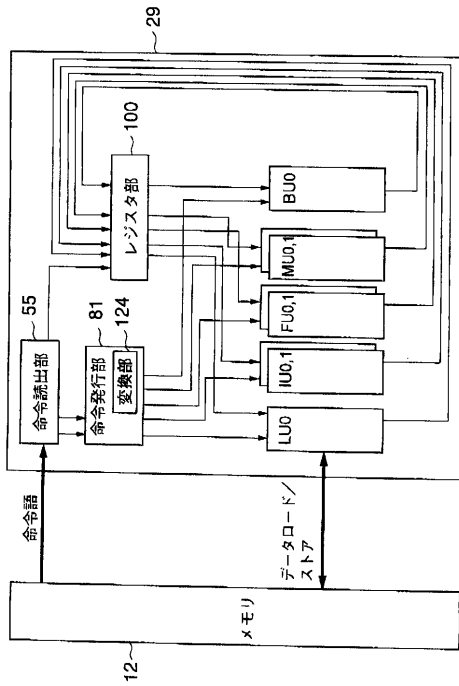
【 図 2 2 】

実施の形態3の実施例1に係る並列処理プロセッサの構成を示す図



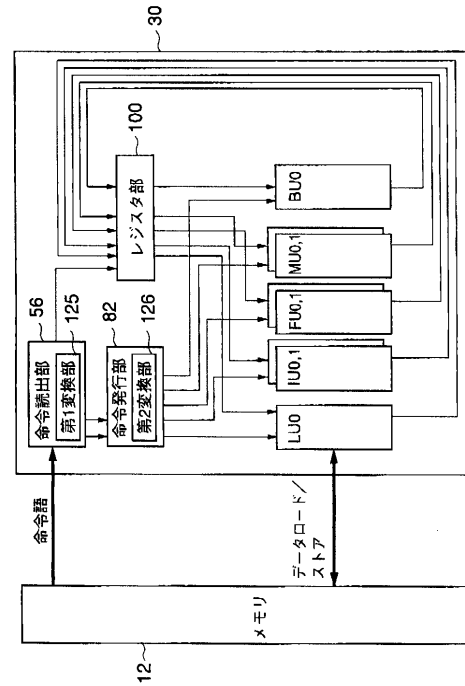
【図 23】

実施の形態3の実施例2に係る並列処理プロセッサの構成を示す図



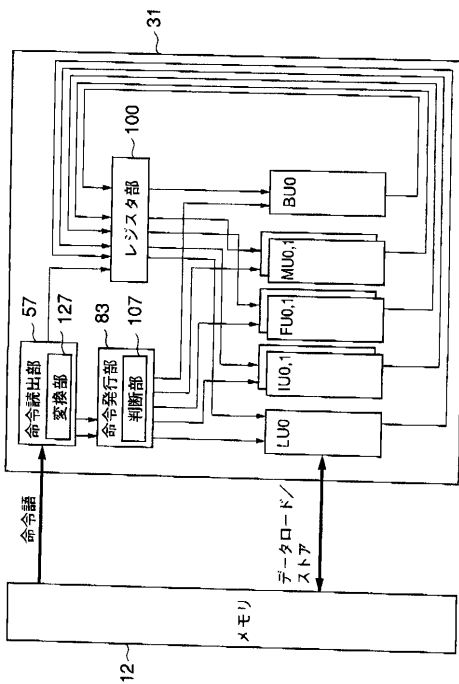
【図 24】

実施の形態3の実施例3に係る並列処理プロセッサの構成を示す図



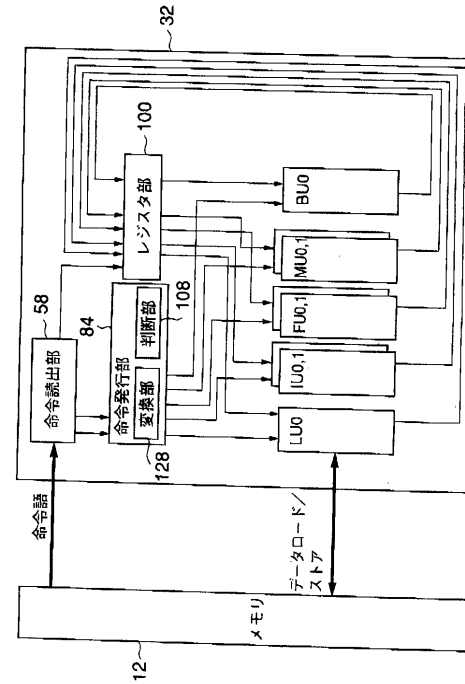
【図 25】

実施の形態3の実施例4に係る並列処理プロセッサの構成を示す図



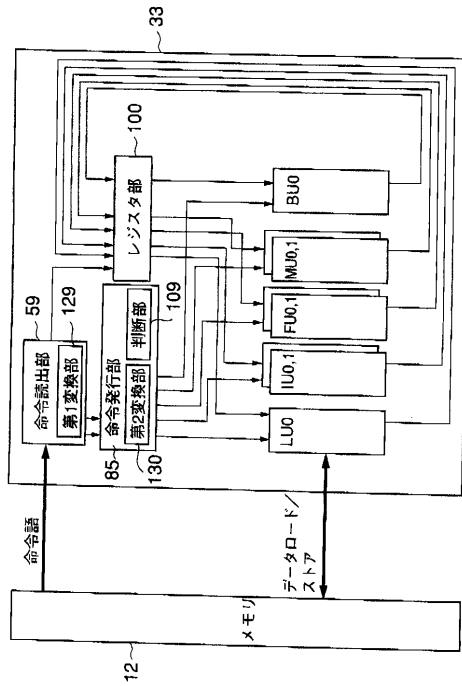
【図 26】

実施の形態3の実施例5に係る並列処理プロセッサの構成を示す図



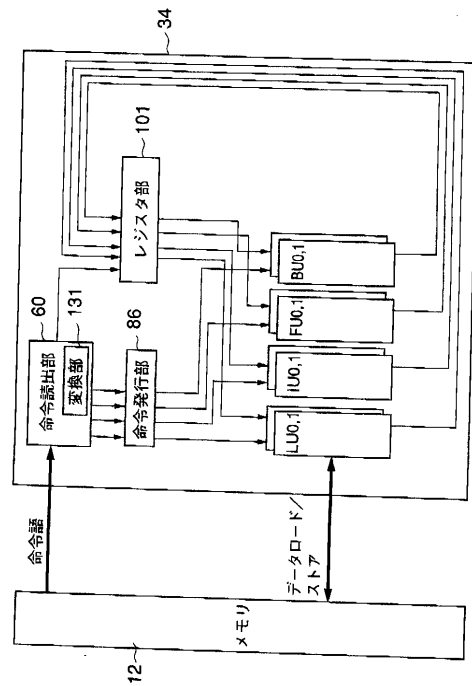
【図 27】

実施の形態3の実施例6に係る並列処理プロセッサの構成を示す図



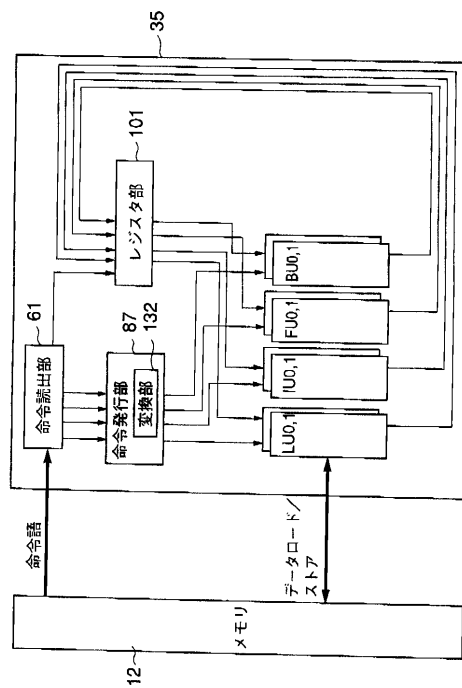
【図 28】

実施の形態4の実施例1に係る並列処理プロセッサの構成を示す図



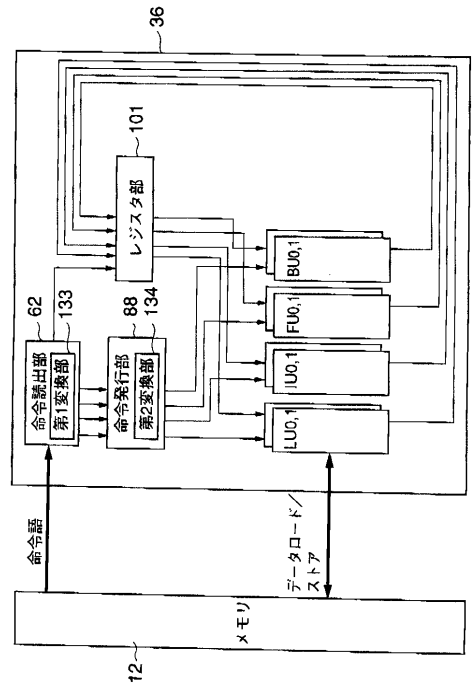
【図 29】

実施の形態4の実施例2に係る並列処理プロセッサの構成を示す図



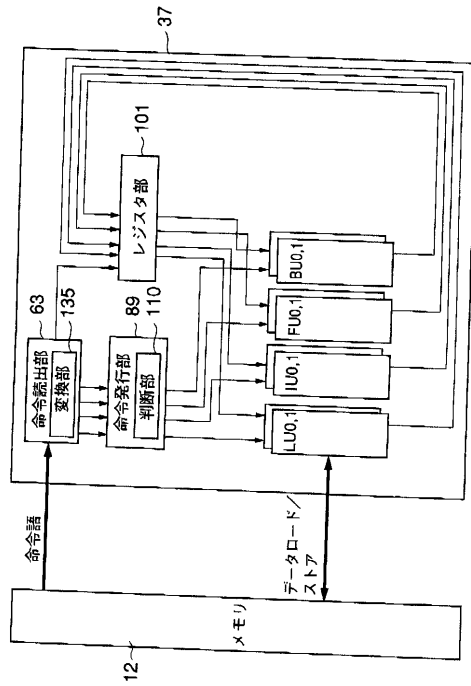
【図 30】

実施の形態4の実施例3に係る並列処理プロセッサの構成を示す図



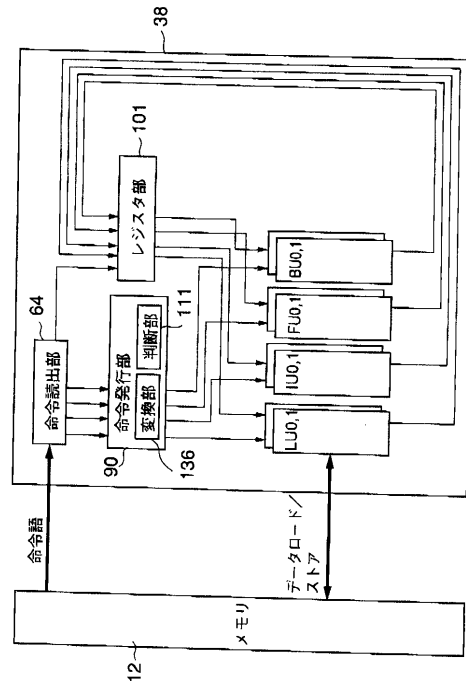
【図 3 1】

実施の形態4の実施例4に係る並列処理プロセッサの構成を示す図



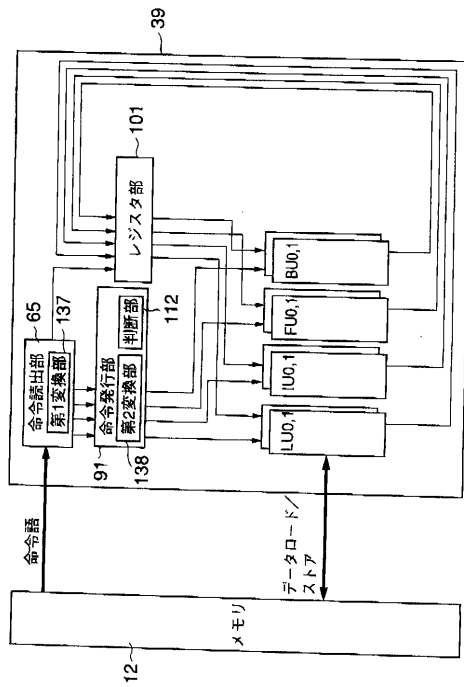
【図 3 2】

実施の形態4の実施例5に係る並列処理プロセッサの構成を示す図



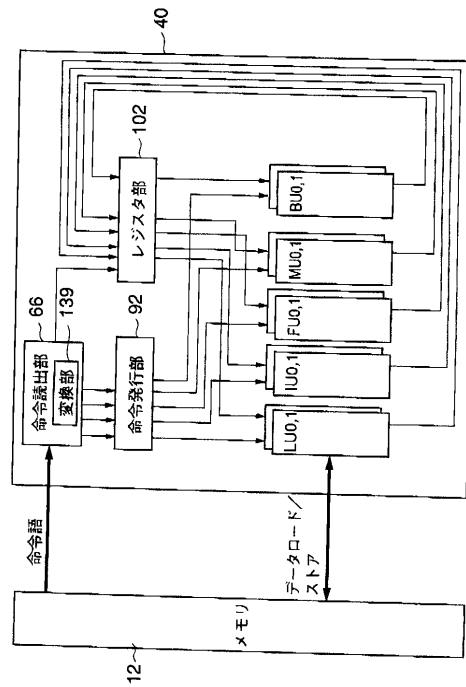
【図 3 3】

実施の形態4の実施例6に係る並列処理プロセッサの構成を示す図



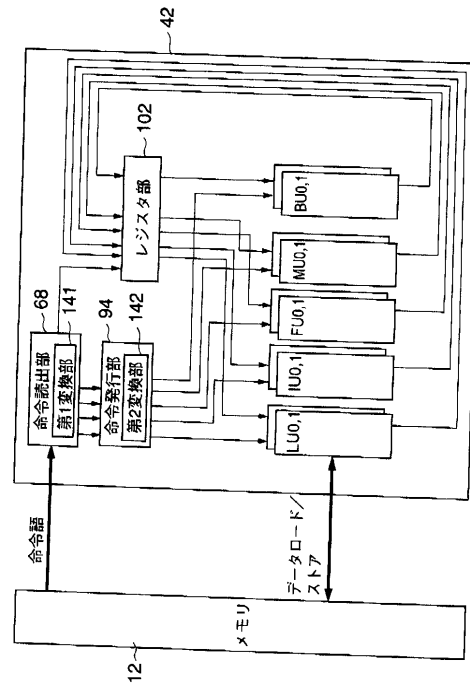
【図 3 4】

実施の形態5の実施例1に係る並列処理プロセッサの構成を示す図



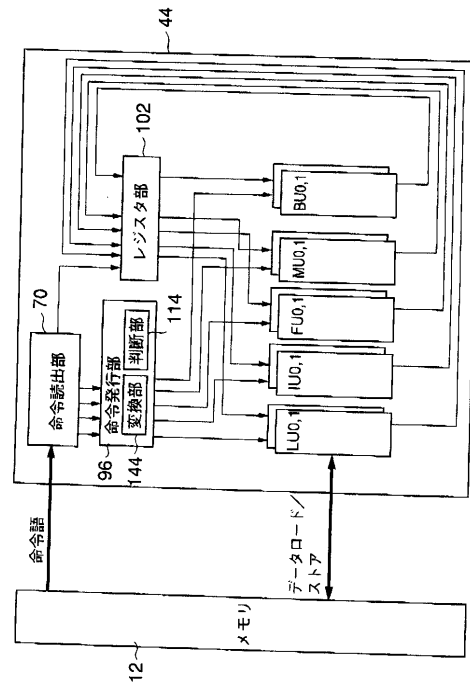
【 図 3 6 】

実施の形態5の実施例3に係る並列処理プロセッサの構成を示す図



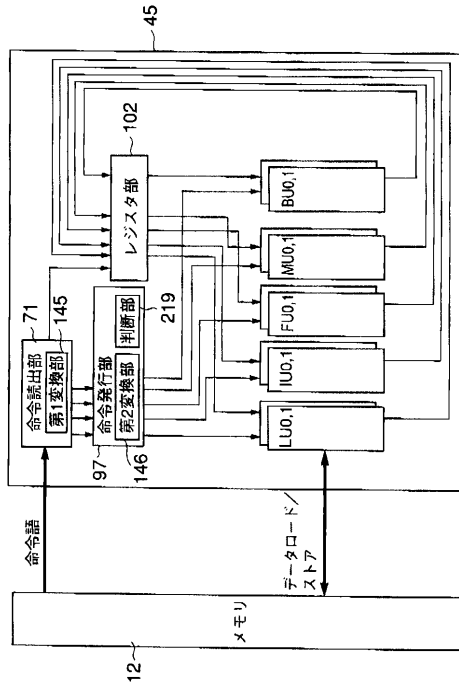
【 図 3 8 】

実施の形態5の実施例5に係る並列処理プロセッサの構成を示す図



【図 39】

実施の形態5の実施例6に係る並列処理プロセッサの構成を示す図



フロントページの続き

(72)発明者 竹部 好正

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 後藤 彰

(56)参考文献 特開平8 - 234978 (JP, A)
特開平10 - 232779 (JP, A)
特開平10 - 74145 (JP, A)
特開平4 - 40525 (JP, A)
特開平5 - 197547 (JP, A)
特開平11 - 282674 (JP, A)
特開平5 - 289870 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/38