

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4388606号
(P4388606)

(45) 発行日 平成21年12月24日(2009.12.24)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl.		F I
H03M 1/00	(2006.01)	H03M 1/00
H03M 1/18	(2006.01)	H03M 1/18

請求項の数 4 (全 10 頁)

(21) 出願番号	特願平8-351515	(73) 特許権者	391000771
(22) 出願日	平成8年12月27日(1996.12.27)		トムソン マルチメディア ソシエテ ア ノニム
(65) 公開番号	特開平9-205366		THOMSON multimedia S. A.
(43) 公開日	平成9年8月5日(1997.8.5)		フランス国 ブローニュ＝ビランクル ケ ア. ル ガロ 46
審査請求日	平成15年12月25日(2003.12.25)		46, Quai A. Le Gallo, F-92100 Boulogne-Bi llancourt, France
審判番号	不服2006-23955(P2006-23955/J1)		
審判請求日	平成18年10月23日(2006.10.23)	(74) 代理人	100070150
(31) 優先権主張番号	9515745		弁理士 伊東 忠彦
(32) 優先日	平成7年12月29日(1995.12.29)	(72) 発明者	クリスチャン デルマ
(33) 優先権主張国	フランス(FR)		フランス国 38120 サン＝エグルヴ アモ・デ・シャルメッテ 39
			最終頁に続く

(54) 【発明の名称】 利得制御付デジタル処理回路

(57) 【特許請求の範囲】

【請求項 1】

デジタル処理回路であって、
 当該デジタル処理回路の入力側に位置するアナログ／デジタル変換器と、
 前記アナログ／デジタル変換器から出力される信号をデジタル処理する装置と、
 当該デジタル処理回路の出力側に位置し、デジタル処理する前記装置から出力される信
 号をアナログ形式に変換するデジタル／アナログ変換器と、
 基準電圧源からの基準電圧VBにตอบสนองし、前記アナログ／デジタル変換器の基準入力部に
 基準入力電圧(V2)を与える第1利得制御回路(A2)と、
 前記基準電圧(VB)にตอบสนองし、前記デジタル／アナログ変換器の基準入力部に基準入力電
 流(Iref)を与える第2利得制御回路(A3)と
 を有し、前記アナログ／デジタル変換器の入力電圧(V1)は前記基準入力電圧(V2)に比例
 し、該基準入力電圧(V2)は前記基準電圧(VB)に比例し、
 前記デジタル／アナログ変換器の出力電流(IS)は前記基準入力電流(Iref)に比例し、該
 基準入力電流(Iref)は前記基準電圧(VB)に比例し、
 当該デジタル処理回路の利得は前記出力電流(IS)及び前記入力電圧(V1)の比率で表現さ
 れる
 ことを特徴とするデジタル処理回路。

【請求項 2】

当該デジタル処理回路の利得が、前記基準電圧(VB)とは独立している

10

20

ことを特徴とする請求項1記載のデジタル処理回路。

【請求項3】

デジタル処理回路であって、

アナログ／デジタル変換器と、

前記アナログ／デジタル変換器に結合され、該アナログ／デジタル変換器から出力される信号をデジタル処理する装置と、

当該デジタル処理回路の出力側に位置し、デジタル処理する前記装置から出力される信号を変換する電流制御型のデジタル／アナログ変換器と、

基準電圧源からの基準電圧 V_B に応答し、 $V_2 = G_2 \times V_B$ である制御電圧 V_2 を前記アナログ／デジタル変換器の基準入力に与える利得 G_2 の第1増幅器と、

前記基準電圧(V_B)を受ける正の入力端子及び抵抗(R_1)を介してアースに接続される負の入力端子を有する差動増幅器と、

前記差動増幅器の出力に接続されたゲート、前記抵抗(R_1)を介してアースに接続されたソース及び前記デジタル／アナログ変換器の基準入力に接続されたドレインを有するトランジスタと

を有し、前記アナログ／デジタル変換器の入力電圧(V_1)は前記制御電圧(V_2)に比例し、前記デジタル／アナログ変換器の出力電流(I_S)は前記基準入力に流れる基準入力電流(I_{ref})に比例し、該基準入力電流(I_{ref})は前記基準電圧(V_B)に比例し、

当該デジタル処理回路の利得は前記出力電流(I_S)及び前記入力電圧(V_1)の比率で表現される

ことを特徴とするデジタル処理回路。

【請求項4】

デジタル処理回路であって、

アナログ／デジタル変換器と、

前記アナログ／デジタル変換器に結合され、該アナログ／デジタル変換器から出力される信号をデジタル処理する装置と、

当該デジタル処理回路の出力側に位置し、デジタル処理する前記装置から出力される信号を変換する電圧制御型のデジタル／アナログ変換器と、

基準電圧源からの基準電圧(V_B)に応答し、前記アナログ／デジタル変換器の基準入力部に第1制御電圧(V_2)を与える第1利得制御回路(A_2)と、

前記基準電圧(V_B)に応答し、前記デジタル／アナログ変換器の基準入力部に第2制御電圧(V_{ref})を与える第2利得制御回路(A_3)と

を有し、前記アナログ／デジタル変換器の入力電圧(V_1)は前記第1制御電圧(V_2)に比例し、該第1制御電圧(V_2)は前記基準電圧(V_B)に比例し、

前記デジタル／アナログ変換器の出力電圧(V_S)は前記第2制御電圧(V_{ref})に比例し、該第2制御電圧(V_{ref})は前記基準電圧 V_B に比例し、

当該デジタル処理回路の利得は前記出力電圧(V_S)及び前記入力電圧(V_1)の比率で表現される

ことを特徴とするデジタル処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力がアナログ／デジタル変換器よりなり、出力がデジタル／アナログ変換器よりなるデジタル処理回路に係る。特に、本発明は上述の様なデジタル処理回路の利得を制御しうる回路に係る。

本発明は例えばテレビジョン受像機、ビデオレコーダ、又は衛星デコーダ等の様な回路を用いるいかなるオーディオ又はビデオ装置にも適用される。従って、本発明による処理回路は3つの基本的回路：即ちアナログ／デジタル変換器、デジタル処理装置、及びデジタル／アナログ変換器よりなる。

【0002】

【従来の技術】

これらの処理回路を作成するために現在のところ２つの型の構成が当業者に知られている。

第１の構成は、３つの基本的回路を別々に作り、処理回路を構成するようにこれらを組合わせるものである。第１の構成によれば、各アナログ／デジタル及びデジタル／アナログ変換器はそれに特有の基準により制御される利得を有する。これは変換器により構成される基本的回路と一体化されてもよく、されなくてもよい制御回路を含む。

【０００３】

一般に、利得制御を可能にする基準は特定の回路により変換器の供給電圧から作られる。利得制御に必要な正確さに応じて、多かれ少なかれ複雑で嵩の大きい特別な回路を作る必要がある。

10

利得制御を行なう他の方法は変換器により構成される部品内の基準電圧を用いることである。この内部基準電圧は当業者にはバンドギャップ電圧として知られている。しかし乍ら、例えばＣＭＯＳ技術の様なある技術によれば、バンドギャップ電圧は一つの部品から他の部品に再現することは困難である。２つの異なった部品に対し生じた２つのバンドギャップ電圧間の差は実際に１０％の値に達してもよく、或いは越えてもよい。これは種々の回路についての利得に大きな拡がりをもたらす。

【０００４】

第２の構成は３つの基本的回路を２つの部品の助けで作ることからなり；アナログ／デジタル変換器は第１の部品とデジタル処理装置により構成される組立体とよりなり、デジタル／アナログ変換器は第２の部品よりなる。処理回路の利得制御は２つの部品の各々に関しての利得制御によりなされる。

20

【０００５】**【発明が解決しようとする課題】**

各部品の利得制御を行なわせる基準は上記の如く形成される。即ち良い正確性を有するが比較的複雑で嵩の大きい特定の回路を用いるか、或いは形成するのが難しいバンドギャップ電圧を用いるかである。本発明はこれらの欠点を有さない。

【０００６】**【課題を解決するための手段】**

本発明は、回路の入力側に位置するアナログ／デジタル変換器と、アナログ／デジタル変換器から出力される信号をデジタル処理する装置と、回路の出力側に位置しデジタル処理装置から出力される信号を変換するデジタル／アナログ変換器とよりなるデジタル処理回路を提供する。デジタル処理回路は、該回路の利得を単一電圧基準から制御する手段を有する。

30

【０００７】

上記の手段は本発明による処理回路の利得が単一基準電圧とは独立である様なものであり、有利である。望ましくは、単一基準電圧はバンドギャップ電圧であり、回路はＣＭＯＳ技術で作られる。より一般的には、本発明による回路は他の技術を利用しても作られうる。

本発明の他の特徴及び利点は以下図面と共にするこれに限定されることはない例示としての望ましい実施例の説明より明らかとなろう。

40

【０００８】**【発明の実施の形態】**

図１及び図２中、同一部分には同一符号を付す。図１は本発明の第１実施例を示す。処理回路は、アナログ／デジタル変換器１と、デジタル処理装置２と、デジタル／アナログ変換器３とよりなる。図１の実施例によれば、デジタル／アナログ変換器３はスイッチング動作を容易にするために電流－制御される。有利なことに、アナログ／デジタル変換器用基準電圧 V_2 とデジタル／アナログ変換器用基準電流 I_{ref} との両方を供給するのに単一基準電圧 V_B を用いる。

【０００９】

50

基準電圧 V_2 は電圧 V_B を入力に受ける利得 G_2 の増幅器 A_2 から生ずる。従って、これは次のようになる。

$$V_2 = G_2 \times V_B$$

電圧 V_B は、負の入力が一方で抵抗 R_1 を介して回路のアースに接続され、他方でトランジスタ T のソースに接続された差動増幅器 A_3 の正の入力に送られる。トランジスタ T のゲート及びドレインは夫々差動増幅器 A_3 の出力に接続され、デジタル／アナログ変換器の基準電流 I_{ref} が取り出される点に接続されている。非常に高い利得 G_3 の差動増幅器は、 V^+ 及び V^- が夫々正の入力に印加された電圧及び差動増幅器 A_3 の負の入力に印加された電圧であるとき、 $V^+ = V^-$ とされている。

【 0 0 1 0 】

10

従って、抵抗 R_1 の端子に集められた電圧 V_3 は電圧 V_B に等しい。基準電流 I_{ref} は次の通りである：

【 0 0 1 1 】

【数 1】

$$I_{ref} = \frac{V_B}{R_1}$$

【 0 0 1 2 】

当業者には知られている様に、デジタル／アナログ変換器 3 の出力の負荷となる抵抗 R_S を通る出力電流 I_S 以下の如く表わされる：

20

【 0 0 1 3 】

【数 2】

$$I_S = I_m \times \frac{N}{2^n - 1},$$

【 0 0 1 4 】

ここで、

30

- $I_m = k \times I_{ref}$ であり、 I_m は処理装置の出力に得られる最大電流を表わし、 k はデジタル／アナログ変換器の構成に関する係数である。

- N は変換される二進コードの桁数値、即ち n ビット変換器に対しては 0 から $2^n - 1$ の間の整数を表わす。

- $2^n - 1$ は変換された二進コードが取りうる最大桁数値を表わす。

【 0 0 1 5 】

処理回路の出力 S に集められた電圧 V_S は次の如く表わされる：

【 0 0 1 6 】

【数 3】

40

$$V_S = R_S \times k \times I_{ref} \times \frac{N}{2^n - 1}$$

【 0 0 1 7 】

ここで、

【 0 0 1 8 】

【数 4】

$$I_{ref} = \frac{V_B}{R_1},$$

【 0 0 1 9 】

従って、次の如くなる：

【 0 0 2 0 】

【 数 5 】

10

$$V_S = R_S \times k \times \frac{V_B}{R_1} \times \frac{N}{2^n - 1}$$

【 0 0 2 1 】

望ましくは、その入力において、処理回路は利得 G_1 の増幅器 A_1 よりなる。アナログ / デジタル変換器 1 の入力での電圧 V_1 は次の通りである：

$$V_1 = G_1 \times V_E,$$

ここで、 V_E は処理回路の入力 E に印加された電圧である。

当業者に知られている様に、変換器 1 の入力での電圧 V_1 は次の様に書ける：

20

$$V_1 = N \times \Delta V,$$

ここで、 N は前述の如き二進コードの桁数値であり、 ΔV は変換されるべきアナログ電圧のエレメンタリステップである。

【 0 0 2 2 】

従って、次の様になる：

【 0 0 2 3 】

【 数 6 】

$$V_E = \frac{N \times \Delta V}{G_1},$$

30

【 0 0 2 4 】

ここで

【 0 0 2 5 】

【 数 7 】

$$\Delta V = \frac{V_2}{2^n - 1}$$

40

【 0 0 2 6 】

であり、 $V_2 = G_2 \times V_B$ である。

そこで次の様になる。

【 0 0 2 7 】

【 数 8 】

$$VE = \frac{N \times G2 \times VB}{G1 \times 2^n - 1}$$

【 0 0 2 8 】

従って、処理回路の利得は次の様に書き表わされる。

【 0 0 2 9 】

【 数 9 】

10

$$G = \frac{VS}{VE},$$

【 0 0 3 0 】

又は

【 0 0 3 1 】

【 数 1 0 】

$$G = \frac{RS}{R1} \times \frac{G1}{G2} \times k$$

20

【 0 0 3 2 】

利得 G を与える式から得られる如く、G の値は基準電圧 V B の値に依存しない。

有利なことに、本発明による処理回路の利得の値は電圧 V B の値を再生する際おこりうる困難性に影響されない。

望ましい実施例によれば、増幅器 A 1 , A 2 , A 3 、トランジスタ T 、変換器 1 及び 3 、デジタル処理装置 2 で構成される種々の要素は C M O S 技術で作られた一つの同一の部品に集積される。前述の如く、基準電圧 V B は部品内部のバンドギャップ電圧であり、その変化は一つの部品と他とで 1 0 % に達するかそれ以上である。

30

【 0 0 3 3 】

有利なことに、C M O S 技術で作られた種々の処理回路に関する利得値はバンドギャップ値の変化によって影響されない。

本発明によれば、抵抗 R 1 及び R S は処理回路により構成された部品と集積化されても、されなくてもよい。

抵抗 R 1 及び R S が部品と集積化されない場合、処理回路の利得の値は抵抗の値を変更することにより調整可能である。有利なことに、本発明による利得の値の調整は従来回路で用いられる調整よりも簡単化される。

【 0 0 3 4 】

40

利得 G の値の正確さは、抵抗 R S 及び R 1 、利得 G 1 及び G 2 、係数 k の正確さに依存する。一般に、G 1 及び G 2 及び係数 k の値は容易に再現される。利得 G の値の正確さは通常抵抗 R S 及び R 1 の正確さにのみ依存する。かくて、使用者は例えば高い正確さを要求されない適用に対し 5 % で抵抗を選ぶことができ、逆に高い正確さを必要とする適用に対しては 0 . 1 % で抵抗を選び得る。後者の場合、即ち抵抗が高正確度のものである場合、種々の処理回路に対し得られた利得は 2 % 以下のブラケット内で再現されうる値を有する。

【 0 0 3 5 】

特別な実施例によれば、処理回路は増幅器 A 1 及び A 2 を含まない。この場合、G なる表示で現われる利得 G 1 及び G 2 は両方共 1 に等しくなる。この適用は、V 2 が V B に等し

50

いので基準電圧に等しいコーディングダイナミックレンジに相当する。処理回路の利得は専ら抵抗 R_S , R_1 及び係数 k にのみ依存する。1つの回路から他の回路への利得 G の変化は極めて小さくなる。

【0036】

図2は本発明の第2実施例を示す。この第2実施例によれば、出力デジタル/アナログ変換器4は基準電圧 V_{ref} により制御される。基準電圧 V_{ref} は電圧 V_B から得られる。

この目的のため、電圧 V_B は、負の入力が一方では抵抗 R_3 を介して回路のアースに接続され、他方で R_2 を介して増幅器 A_3 の出力に接続されている差動増幅器 A_3 の正の入力に送られる。

【0037】

基準電圧 V_{ref} は増幅器 A_3 の出力に得られる電圧である。

そこで次の様になる。

$$V_{ref} = G_0 \times V_B$$

ここで G_0 は

【0038】

【数11】

$$1 + \frac{R_2}{R_3}$$

10

20

【0039】

に等しい。

デジタル/アナログ変換器の出力電圧 V_S は次の式で与えられる：

【0040】

【数12】

$$V_S = \frac{N}{2^n - 1} \times V_{ref}$$

【0041】

入力アナログ/デジタル変換器に関して、図2に示す回路は図1に示す回路と同じである。従って、入力電圧 V_E に対する式は下記の様にも表わされうる：

【0042】

【数13】

$$V_E = \frac{N \times G_2 \times V_B}{G_1 \times 2^n - 1}$$

30

【0043】

従って、電圧 V_S の電圧 V_E に対する比である利得 G に対する式は下記のように表わされうる：

【0044】

【数14】

$$G = \frac{G_1}{G_2} \times G_0$$

40

【0045】

図1の場合の様に、種々の要素、即ち増幅器 A_1 , A_2 , A_3 、変換器1及び4、デジタ

50

ル処理装置 2 は一の同じ部品内に集積されえ、一の同じ技術、例えば C M O S 技術を使って形成される。有利なことに、抵抗 R 2 及び R 3 は処理回路により構成される部品と集積化されえ、或いは部品外部の要素とされてもよい。

抵抗 R 2 及び R 3 が部品と集積化されない場合、処理回路の利得の値は抵抗の値を変更することにより調整可能である。

【 0 0 4 6 】

本発明による処理回路の実施例に拘らず、特に興味のある適用は、信号がデジタル処理がなされる第 1 のパス又はデジタル処理が行なわれない第 2 のパスのいずれかに印加される装置に係る。これはパスに信号が通るのに拘らず実質的に同じである信号の利得に対し屢々必要である。

10

上述の様な典型的な装置は、映像信号が P A L 型であるか S E C A M 型であるかにより映像信号輝度成分と色度成分に分離するフィルタに係る。P A L 型信号に対して、第 1 のパスはフィルタされたパス即ちアナログ / デジタル変換、デジタル処理、デジタル / アナログ変換を受けるものである。S E C A M 型信号に対して、第 2 のパスは上述のデジタル処理を受けない通常「バイパス」と称されるパスである。2 つのパスの利得は実質的に同じであるべきである。有利なことに、本発明はかかる装置を作ることができる。

【 0 0 4 7 】

上述の本発明の実施例は、入力デジタル / アナログ変換回路が電圧制御され、出力デジタル / アナログ変換回路が電圧制御又は電流制御される利得制御回路に係る。より一般的には、本発明は入力アナログ / デジタル変換器が出力デジタル / アナログ変換の様に電圧制

20

御又は電流制御されるデジタル処理利得回路を提供する。

【 0 0 4 8 】

【発明の効果】

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す図である。

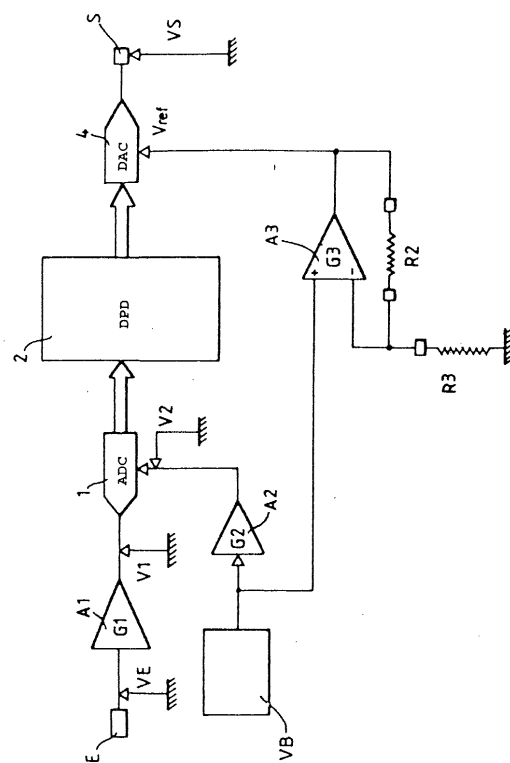
【図 2】本発明の第 2 実施例を示す図である。

【符号の説明】

- 1 アナログ / デジタル変換器
- 2 デジタル処理装置
- 3 , 4 デジタル / アナログ変換器
- A 1 , A 2 増幅器
- A 3 差動増幅器

30

【圖 2】



フロントページの続き

合議体

審判長 竹井 文雄

審判官 萩原 義則

審判官 小宮 慎司

- (56)参考文献 特開平 2 - 1 8 8 0 8 0 (J P , A)
特開平 6 - 2 6 0 9 3 6 (J P , A)
特開平 8 - 1 1 1 6 4 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H03M1/00