

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-5785

(P2010-5785A)

(43) 公開日 平成22年1月14日(2010.1.14)

|                                     |                  |             |
|-------------------------------------|------------------|-------------|
| (51) Int.Cl.                        | F I              | テーマコード (参考) |
| <b>B 8 1 B</b> 3/00 (2006.01)       | B 8 1 B 3/00     | 3 C 0 8 1   |
| <b>B 8 1 C</b> 3/00 (2006.01)       | B 8 1 C 3/00     | 4 M 1 1 2   |
| <b>G 0 1 P</b> 15/125 (2006.01)     | G 0 1 P 15/125 Z | 5 J 1 0 8   |
| <b>G 0 1 P</b> 9/04 (2006.01)       | G 0 1 P 9/04     |             |
| <b>H 0 1 L</b> 29/84 (2006.01)      | H 0 1 L 29/84 Z  |             |
| 審査請求 有 請求項の数 17 O L (全 51 頁) 最終頁に続く |                  |             |

|              |                                     |          |                                   |
|--------------|-------------------------------------|----------|-----------------------------------|
| (21) 出願番号    | 特願2009-225250 (P2009-225250)        | (71) 出願人 | 000004260                         |
| (22) 出願日     | 平成21年9月29日 (2009. 9. 29)            |          | 株式会社デンソー                          |
| (62) 分割の表示   | 特願2007-257840 (P2007-257840)<br>の分割 | (74) 代理人 | 100106149                         |
| 原出願日         | 平成19年10月1日 (2007. 10. 1)            |          | 弁理士 矢作 和行                         |
| (31) 優先権主張番号 | 特願2007-42619 (P2007-42619)          | (74) 代理人 | 100121991                         |
| (32) 優先日     | 平成19年2月22日 (2007. 2. 22)            |          | 弁理士 野々部 泰平                        |
| (33) 優先権主張国  | 日本国 (JP)                            | (74) 代理人 | 100145595                         |
|              |                                     |          | 弁理士 久保 貴則                         |
|              |                                     | (72) 発明者 | 藤井 哲夫                             |
|              |                                     |          | 愛知県刈谷市昭和町 1 丁目 1 番地 株式会<br>社デンソー内 |
|              |                                     | (72) 発明者 | 杉浦 和彦                             |
|              |                                     |          | 愛知県刈谷市昭和町 1 丁目 1 番地 株式会<br>社デンソー内 |
|              |                                     | 最終頁に続く   |                                   |

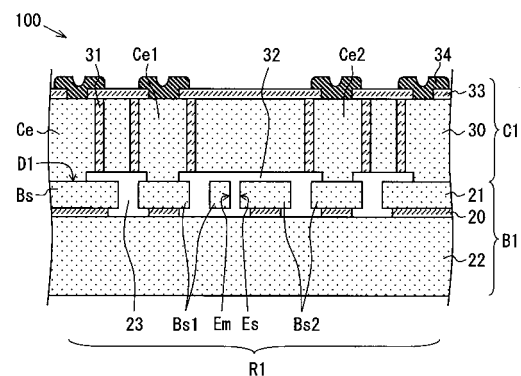
(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置およびその製造方法を提供する。

【解決手段】絶縁分離された複数個のベース半導体領域 B s が表層部に形成されてなるベース基板 B 1 と、ベース基板 B 1 に貼り合わされる導電性を有したキャップ基板 C 1 であって、当該キャップ基板 C 1 を貫通する絶縁分離トレンチ 3 1 により、複数個のキャップ導電領域 C e が形成されてなるキャップ基板とを有してなり、ベース基板 B 1 における所定領域 R 1 とキャップ基板 C 1 における凹部 3 2 とで構成される空間 2 3 , 3 2 が密封されると共に、所定のキャップ導電領域 C e 1 , C e 2 が、所定のベース半導体領域 B s 1 , B s 2 に電氣的に接続されてなる半導体装置 1 0 0 とする。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

半導体からなるベース基板であって、絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板と、

前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板とを有してなり、

前記キャップ基板が、前記ベース基板の表層部における所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、

所定の前記キャップ導電領域が、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能することを特徴とする半導体装置。

10

## 【請求項 2】

前記キャップ基板において、前記ベース基板の前記所定領域に対向して凹部が形成され、

前記キャップ基板が、前記凹部の周りで前記ベース基板に貼り合わされてなることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記キャップ基板の凹部における所定の領域に、絶縁膜が形成されてなることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記ベース基板において、前記所定領域のベース半導体領域上に導電性を有する凸部が形成され、

前記キャップ基板が、前記凸部に貼り合わされてなることを特徴とする請求項 1 に記載の半導体装置。

20

## 【請求項 5】

前記凸部が、単結晶シリコン、多結晶シリコンまたは金属のいずれかからなることを特徴とする請求項 4 に記載の半導体装置。

## 【請求項 6】

前記キャップ基板において、前記ベース基板の前記所定領域に対向して導電性を有する凸部が形成され、

前記キャップ基板が、前記凸部で前記ベース基板に貼り合わされてなることを特徴とする請求項 1 に記載の半導体装置。

30

## 【請求項 7】

前記凸部が、絶縁膜を介して前記キャップ導電領域に接続する配線パターンからなることを特徴とする請求項 6 に記載の半導体装置。

## 【請求項 8】

前記配線パターンが、前記キャップ基板の両面に形成され、

該キャップ基板が、複数枚積層されて、前記ベース基板に貼り合わされてなることを特徴とする請求項 7 に記載の半導体装置。

## 【請求項 9】

前記ベース基板が、単結晶シリコン基板からなることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

40

## 【請求項 10】

前記ベース基板が、埋め込み酸化膜を有する SOI 基板からなり、

前記ベース半導体領域が、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離された、SOI 層からなる領域であることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

## 【請求項 11】

前記半導体装置が、力学量センサ素子を有してなり、

前記複数個のベース半導体領域のうち、

50

少なくとも一個のベース半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより、変位可能に形成された可動電極を有する可動半導体領域であり、

少なくとももう一個のベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、

前記可動電極と固定電極の対向面間における前記空間を誘電体層とする静電容量が形成され、

前記可動半導体領域と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、

前記可動電極が、印加される力学量に応じて前記対向面に対して垂直方向に変位し、

前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して、前記印加される力学量を検出することを特徴とする請求項 10 に記載の半導体装置。 10

【請求項 12】

前記力学量が、加速度または角速度であることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記半導体装置が、MEMS共振器を有してなり、

前記複数個のベース半導体領域のうち、

少なくとも一個のベース半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより、変位可能に形成された共振子を有する共振半導体領域であり、

前記共振子が前記空間内に配置され、 20

前記引き出し導電領域を用いて給電し、前記共振子を共振させることにより、所定周波数の電圧を発振することを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】

前記半導体装置が、赤外線センサ素子を有してなり、

前記ベース基板の所定領域に、前記赤外線センサ素子が配置されてなり、

入射した赤外線による前記赤外線センサ素子の出力電圧を、前記引き出し導電領域を介して検出することを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 15】

前記半導体装置が、磁気センサ素子を有してなり、

前記ベース基板の所定領域に、前記磁気センサ素子が配置されてなり、 30

前記空間内に配置された前記磁気センサ素子の出力電圧を、

前記引き出し導電領域を介して検出することを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 16】

前記ベース基板の所定領域に、IC回路が形成されてなり、

前記IC回路が、前記引き出し導電領域を介して、外部の回路と電氣的に接続されることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 17】

前記キャップ基板が、単結晶シリコン基板からなることを特徴とする請求項 1 乃至 16 のいずれか一項に記載の半導体装置。 40

【請求項 18】

前記複数個のキャップ導電領域のうち、

一方のキャップ導電領域が、単結晶シリコンからなる単結晶導電領域であり、

もう一方のキャップ導電領域が、多結晶シリコンからなる多結晶導電領域であり、

前記引き出し導電領域が、前記多結晶導電領域からなることを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】

前記キャップ基板が、埋め込み酸化膜を有するSOI基板からなり、

前記キャップ導電領域が、前記埋め込み酸化膜に達する絶縁分離トレンチにより、周囲から絶縁分離されてなることを特徴とする請求項 1 乃至 16 のいずれか一項に記載の半導 50

体装置。

【請求項 20】

前記複数個のキャップ導電領域のうち、  
一方のキャップ導電領域が、埋め込み酸化膜上の S O I 層からなる単結晶導電領域であり、  
もう一方のキャップ導電領域が、多結晶シリコンからなる多結晶導電領域であり、  
前記引き出し導電領域が、前記多結晶導電領域からなることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】

前記複数個のキャップ導電領域のうち、所定のキャップ導電領域に、I C 回路が形成されてなることを特徴とする請求項 17 乃至 20 のいずれか一項に記載の半導体装置。

10

【請求項 22】

前記複数個のキャップ導電領域のうち、前記引き出し導電領域を取り囲むキャップ導電領域が、所定電位に設定されてなることを特徴とする請求項 1 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 23】

前記所定電位が、接地電位 ( G N D ) であることを特徴とする請求項 22 に記載の半導体装置。

【請求項 24】

前記ベース基板と前記キャップ基板が、シリコン ( S i ) からなり、  
前記ベース基板と前記キャップ基板が、シリコン ( S i ) 直接接合により貼り合わされてなることを特徴とする請求項 1 乃至 6 および請求項 9 乃至 23 のいずれか一項に記載の半導体装置。

20

【請求項 25】

前記ベース基板と前記キャップ基板が、シリコン ( S i ) からなり、  
前記ベース基板と前記キャップ基板が、金 ( A u ) - シリコン ( S i ) 共晶接合により貼り合わされてなることを特徴とする請求項 1 乃至 6 および請求項 9 乃至 23 のいずれか一項に記載の半導体装置。

【請求項 26】

前記ベース基板と前記キャップ基板が、導電性接着剤により貼り合わされてなることを特徴とする請求項 1 乃至 23 のいずれか一項に記載の半導体装置。

30

【請求項 27】

半導体からなるベース基板であって、絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板と、

前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板とを有してなり、

前記キャップ基板が、前記ベース基板の表層部における所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、

所定の前記キャップ導電領域が、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能する半導体装置の製造方法であって、

40

前記絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板を準備するベース基板準備工程と、

前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板を準備するキャップ基板準備工程と、

前記キャップ基板を、前記ベース基板の所定領域に対向するようにして、前記ベース基板に貼り合わせ、

前記空間を密封すると共に、前記引き出し導電領域を前記所定のベース半導体領域に電氣的に接続する基板貼り合わせ工程とを有してなることを特徴とする半導体装置の製造方

50

法。

【請求項 28】

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、

前記 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程とを有してなり、

10

前記基板貼り合わせ工程において、

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 29】

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程と、

20

前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 30】

前記キャップ基板が、単結晶シリコン基板からなり、

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の一方の面側に、トレンチを形成し、前記トレンチに側壁酸化膜を形成した後、前記トレンチ内を多結晶シリコンで埋め戻し、前記側壁酸化膜が前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

30

前記 1 次基板のもう一方の面側から研削して、前記トレンチ内に埋め込まれた多結晶シリコンの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程と、

前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなり、

前記基板貼り合わせ工程において、

40

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 31】

前記キャップ基板が、埋め込み酸化膜を有する SOI 基板からなり、

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の SOI 層のある一方の面側に、前記埋め込み酸化膜を貫通するトレンチを形成し、前記トレンチに側壁酸化膜を形成した後、前記トレンチ内を多結晶シリコンで埋め戻し、前記側壁酸化膜が前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

50

前記１次基板のもう一方の面側からエッチングして、前記埋め込み酸化膜および前記側壁酸化膜を露出することにより、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、

前記１次基板のもう一方の面側から研削して、前記トレンチ内に埋め込まれた多結晶シリコンの端部を露出し、前記１次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記１次基板を前記キャップ基板とするキャップ基板形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項２７に記載の半導体装置の製造方法。

10

【請求項３２】

前記ベース基板準備工程が、

前記ベース基板となる１次基板の前記表層部における所定領域に導電性を有する凸部を形成する凸部形成工程と、

前記１次基板の前記表層部における所定領域に、絶縁分離された複数個のベース半導体領域を形成して、前記１次基板を前記ベース基板とするベース基板形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板を、前記凸部に貼り合わせることを特徴とする請求項２７に記載の半導体装置の製造方法。

20

【請求項３３】

前記キャップ基板準備工程が、

前記キャップ基板となる１次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの１次絶縁トレンチを形成する１次絶縁トレンチ形成工程と、

前記１次基板のもう一方の面側から研削して、前記１次絶縁トレンチの端部を露出し、前記１次絶縁トレンチを前記絶縁分離トレンチとする絶縁分離トレンチ形成工程と、

前記１次基板において、前記ベース基板の所定領域に対向するように導電性を有する凸部を形成し、前記１次基板を前記キャップ基板とするキャップ基板形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板の凸部を、前記ベース基板に貼り合わせることを特徴とする請求項２７に記載の半導体装置の製造方法。

30

【請求項３４】

前記凸部を、絶縁膜を介して前記キャップ導電領域に接続する配線パターンで形成することを特徴とする請求項３３に記載の半導体装置の製造方法。

【請求項３５】

前記ベース基板と前記キャップ基板が、シリコン（Si）からなり、

前記基板貼り合わせ工程において、前記ベース基板と前記キャップ基板を、常温で、シリコン（Si）直接接合により貼り合わせることを特徴とする請求項２７乃至３３のいずれか一項に記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法に関する。

【背景技術】

【０００２】

半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法が、例

50

えば、特開 2 0 0 4 - 3 3 3 1 3 3 号公報（特許文献 1）と米国特許第 6 , 9 3 6 , 4 9 1 号明細書（特許文献 2）に開示されている。

【 0 0 0 3 】

図 2 6 ( a ) , ( b ) は、特許文献 1 に開示された半導体装置（慣性力センサ）を示す図で、図 2 6 ( a ) は、慣性力センサの平面図であり、図 2 6 ( b ) は、図 2 6 ( a ) に示す A - A での断面図である。なお、以下では便宜上、図 2 6 ( a ) 及び図 2 6 ( b ) における位置関係における左右方向を「横方向」といい、平面視でこれと垂直な方向を「縦方向」といつている。

【 0 0 0 4 】

図 2 6 ( a ) 、 ( b ) に示す慣性力センサには、一体加工により、バネ 1 と、アンカー 2 と、梁 3 と、質量体 4 と、アイランド電極 7 a 、 7 b と、枠 1 0 とが一体形成されたデバイス層 1 1 が設けられている。そして、デバイス層 1 1 の下面と上面とには、それぞれ、下面基板 1 2 と上面基板 1 3 とが接合され、デバイス層 1 1 は、両基板 1 2 、 1 3 により密封されている。

【 0 0 0 5 】

アイランド電極 7 a は、可動電極 5 を外部に電氣的に接続するためのもの（可動電極用電極部）であり、アイランド電極 7 b は、固定電極 6 を外部に電氣的に接続するためのもの（固定電極用電極部）である。そして、各アイランド電極 7 a 、 7 b の上面には、それぞれ、外部機器との電気接続のための電極パッド 8 が付設されている。なお、上面基板 1 3 には、各電極パッド 8 と対応する位置にそれぞれ貫通穴 9 が設けられ、各電極パッド 8 は外部に露出している。図示していないが、各電極パッド 8 は、貫通穴 9 を通り抜けるワイヤボンディングを介して外部の IC 等に電氣的に接続される。

【 0 0 0 6 】

図 2 6 ( a ) 、 ( b ) に示す慣性力センサでは、アンカー 2 は下面基板 1 2 に固定（接合）され、アイランド電極 7 a 、 7 b 及び枠 1 0 は、両基板 1 2 、 1 3 に固定（接合）されている。なお、バネ 1 、梁 3 及び質量体 4 は、いずれの基板 1 2 、 1 3 にも固定されていない。ここで、各梁 3 は、それぞれ対応するアンカー 2 によって支持され、質量体 4 は 2 つの梁 3 によって横方向に変位可能に支持されている。また、各バネ 1 は、それぞれ対応するアンカー 2 とアイランド電極 7 a とを連結している。そして、アンカー 2 とアイランド電極 7 a とは、対応するバネ 1 によって電氣的に接続されている。

【 0 0 0 7 】

縦方向にみて質量体 4 の両側にはそれぞれ可動電極 5 が付設されている。他方、固定電極用の各アイランド電極 7 b には、それぞれ固定電極 6 が付設されている。そして、質量体 4 の両側では、それぞれ、可動電極 5 と固定電極 6 とが横方向に対向している。ここで、慣性力センサに横方向の慣性力が作用すると、該慣性力により質量体 4 が横方向に変位し、可動電極 5 と固定電極 6 との横方向の位置関係（間隔）が変化する。これに伴って、可動電極 5 と固定電極 6 との間の静電容量が変化するので、この静電容量変化により該慣性力センサに作用する慣性力を検出することができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 4 - 3 3 3 1 3 3 号公報

【 特許文献 2 】 米国特許第 6 , 9 3 6 , 4 9 1 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

図 2 6 ( a ) 、 ( b ) に示す慣性力センサにおいては、各アイランド電極 7 a 、 7 b は、互いに電氣的に絶縁されている。そして、質量体 4 に付設された可動電極 5 は、順に、梁 3 と、アンカー 2 と、ばね 1 とを介して可動電極用のアイランド電極 7 a に電氣的に接続されている。なお、アイランド電極 7 a は、その上面の電極パッド 8 と、貫通穴 9 を通

10

20

30

40

50

り抜けるワイヤボンディング（図示せず）とを介して、外部のＩＣ等に電氣的に接続されている。他方、固定電極用の各アイランド電極７ｂに付設された固定電極６は、該各アイランド電極７ｂと、その上面の電極パッド８と、貫通穴９を通り抜けるワイヤボンディング（図示せず）とを介して、外部のＩＣ等に電氣的に接続される。

【００１０】

以上のように、図２６（ａ）、（ｂ）に示す慣性力センサにおいては、上面基板１３に形成された貫通穴９を介して、各アイランド電極７ａ、７ｂ上の電極パッド８にワイヤボンディングし、外部のＩＣ等に電氣的接続を行っている。しかしながら、このワイヤボンディングを行うためには、ボンディングツールが上面基板１３と接触しないように大きな貫通穴９を形成する必要がある。このため、チップサイズが大きくなり、コスト的な問題がある。また、図２６（ｂ）からわかるように、上記構造ではフェースダウンボンディング（ボールボンディング）は困難であり、実装面での制約もある。

10

【００１１】

そこで本発明は、半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置およびその製造方法を提供することを目的としている。

【課題を解決するための手段】

【００１２】

20

請求項１に記載の半導体装置は、半導体からなるベース基板であって、絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板と、前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板とを有してなり、前記キャップ基板が、前記ベース基板の表層部における所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、所定の前記キャップ導電領域が、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能することを特徴としている。

【００１３】

上記半導体装置においては、ベース基板に貼り合わされる導電性を有したキャップ基板が、ベース基板の表層部の所定領域に形成される各種の素子を保護するための密封キャップとして機能する。

30

【００１４】

上記キャップ基板には、絶縁分離された複数個のキャップ導電領域が形成されており、所定のキャップ導電領域が、ベース基板に形成された所定の絶縁分離されてなるベース半導体領域に電氣的に接続されて、引き出し導電領域として機能する。このため、ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する引き出し導電領域へワイヤボンディング等の電氣的な接続を行うことで、引き出し導電領域を介してベース基板の表層部の所定領域に形成される各種の素子への電氣的な接続を行うことができる。従って、上記半導体装置においては、従来の半導体装置のようにワイヤボンディングのための大きな貫通穴をキャップ基板に形成する必要がない。このため、チップサイズを小さくでき、小型で安価な半導体装置とすることができる。また、上記キャップ基板の外部に露出する引き出し導電領域への電氣的な接続は、フェースダウンボンディング（ボールボンディング）であってもよく、実装面での制約も少ない。

40

【００１５】

さらに、上記半導体装置におけるキャップ基板は、ベース基板上に堆積層として形成されたものではなく、一枚の基板を加工して形成されたものである。従って、例えばキャップ基板の厚さを任意に設定できるため、高い強度を確保することができる。また、後述する種々の構造を当該キャップ基板に一般的な基板加工方法を用いて容易に形成することができるため、例えば密封キャップをベース基板上に堆積層として形成する場合に較べて製

50

造コストを低減することができ、安価な半導体装置とすることができる。

【0016】

以上のようにして、上記半導体装置は、半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

【0017】

上記半導体装置は、例えば請求項2に記載のように、前記キャップ基板において、前記ベース基板の前記所定領域に対向して凹部が形成され、前記キャップ基板が、前記凹部の周りで前記ベース基板に貼り合わされてなる構成とすることができる。

10

【0018】

この場合、請求項3に記載のように、前記キャップ基板の凹部における所定の領域に、絶縁膜が形成されてなることが好ましい。これによれば、半導体からなるベース基板の所定領域と導電性を有したキャップ基板の凹部とで構成される前記空間内において、前記凹部における所定の領域に形成された絶縁膜により、空間内に残った水分やキャップ凹部の汚染物質等による短絡（ショート）等の不具合を抑制することができる。

【0019】

上記半導体装置は、請求項4に記載のように、前記ベース基板において、前記所定領域のベース半導体領域上に導電性を有する凸部が形成され、前記キャップ基板が、前記凸部に貼り合わされてなる構成としてもよい。これによれば、キャップ基板の貼り合わせ面を平坦にすることができる。この場合、例えば請求項5に記載のように、前記凸部は、単結晶シリコン、多結晶シリコンまたは金属のいずれかとすることができる。

20

【0020】

上記半導体装置は、請求項6に記載のように、前記キャップ基板において、前記ベース基板の前記所定領域に対向して導電性を有する凸部が形成され、前記キャップ基板が、前記凸部で前記ベース基板に貼り合わされてなる構成としてもよい。この場合、例えば請求項7に記載のように、前記凸部が、絶縁膜を介して前記キャップ導電領域に接続する配線パターンからなる構成とすることができる。さらにこの場合には、請求項8に記載のように、前記配線パターンが、前記キャップ基板の両面に形成され、該キャップ基板が、複数枚積層されて、前記ベース基板に貼り合わされてなる構成とすることが可能である。これによれば、ベース基板と複数枚のキャップ基板で、立体的な回路を構成することが可能である。

30

【0021】

上記半導体装置におけるベース基板は、例えば請求項9に記載のように、単結晶シリコン基板とすることができる。この場合には、上記絶縁分離された複数個のベース半導体領域を、例えばPN接合分離で形成することができる。

【0022】

また、上記半導体装置におけるベース基板は、例えば請求項10に記載のように、埋め込み酸化膜を有するSOI（Silicon On Insulator）基板とすることができ、前記ベース半導体領域を、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離された、SOI層からなる領域とすることができる。

40

【0023】

上記ベース基板としてSOI基板を用いる場合には、例えば請求項11に記載のように、上記半導体装置を、以下に示す慣性力を利用した力学量センサ素子を有してなる半導体装置とすることができる。すなわち、前記ベース基板における前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより、変位可能に形成された可動電極を有する可動半導体領域であり、少なくとももう一個のベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、前記可動電極と固定電極の対向面で静電容量が形成され、前記可動電極を覆うようにして、前記キャップ基板の凹部が配置され、前記可動半導体領域

50

と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、前記可動電極が、印加される力学量に応じて前記対向面に対して垂直方向に変位し、前記可動電極と固定電極の間の距離変化に伴う前記静電容量の変化を測定して、前記印加される力学量を検出するように、上記半導体装置を構成する。尚、上記半導体装置における前記力学量は、例えば請求項 12 に記載のように、加速度または角速度とすることができる。

【0024】

上記力学量センサ素子を有してなる半導体装置は、半導体からなるベース基板の表層部に形成された力学量センサ素子を保護するために、前記ベース基板の力学量センサ素子上に密封キャップが配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

10

【0025】

また、上記ベース基板として S O I 基板を用いる場合には、請求項 13 に記載のように、上記半導体装置を、以下に示す M E M S (Micro Electro Mechanical System) 共振器を有してなる半導体装置とすることもできる。すなわち、前記ベース基板における前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより、変位可能に形成された共振子を有する共振半導体領域であり、前記共振子を覆うようにして、前記キャップ基板の凹部が配置され、前記引き出し導電領域を用いて給電し、前記共振子を共振させることにより、所定周波数の電圧を発振するように、上記半導体装置を構成する。

20

【0026】

上記 M E M S 共振器を有してなる半導体装置も、半導体からなるベース基板の表層部に形成された M E M S 共振器を保護するために、前記ベース基板の M E M S 共振器上に密封キャップが配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。尚、上記 M E M S 共振器を有してなる半導体装置は、一般的な水晶共振器を有してなる半導体装置に較べて、小型化とコストダウンが可能である。

【0027】

上記半導体装置は、例えば請求項 14 に記載のように、以下に示す赤外線センサ素子を有してなる半導体装置としてもよい。すなわち、前記ベース基板の所定領域に、前記赤外線センサ素子が配置されてなり、入射した赤外線による前記赤外線センサ素子の出力電圧を、前記引き出し導電領域を介して検出するように、上記半導体装置を構成する。また、請求項 15 に記載のように、以下に示す磁気センサ素子を有してなる半導体装置としてもよい。すなわち、前記ベース基板の所定領域に、前記磁気センサ素子が配置されてなり、前記空間内に配置された前記磁気センサ素子の出力電圧を、前記引き出し導電領域を介して検出するように、上記半導体装置を構成する。

30

【0028】

上記赤外線センサ素子を有してなる半導体装置も、半導体からなるベース基板の表層部に形成された赤外線センサ素子を保護するために、前記ベース基板の赤外線センサ素子上に密封キャップが配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

40

【0029】

また、上記半導体装置は、請求項 16 に記載のように、前記ベース基板の所定領域に、I C (Integrated Circuit) 回路が形成されてなり、前記 I C 回路が、前記引き出し導電領域を介して、外部の回路と電氣的に接続される半導体装置であってもよい。

【0030】

前記 I C 回路が形成されてなる半導体装置も、半導体からなるベース基板の表層部に形成された前記 I C 回路を保護するために、前記 I C 回路上に密封キャップが配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダ

50

ウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。尚、前記ＩＣ回路は、前記キャップ基板により、非接触で密封保護される。従って、例えば前記ＩＣ回路上に保護膜を形成して保護する場合に較べて、前記ＩＣ回路が応力等の影響を受けやすい場合に好適である。

【００３１】

上記半導体装置における前記キャップ基板は、例えば請求項１７に記載のように、単結晶シリコン基板からなることが好ましい。これによれば、ベース基板だけでなく、当該キャップ基板にも各種の半導体素子を形成することができる。

【００３２】

キャップ基板として単結晶シリコン基板を用いる場合、前記絶縁分離トレンチにより分離された複数個のキャップ導電領域の全てを単結晶シリコンからなる領域としてもよい。しかしながら、後述する製造方法によって例えば請求項１８に記載のように、前記複数個のキャップ導電領域のうち、一方のキャップ導電領域が、単結晶シリコンからなる単結晶導電領域であり、もう一方のキャップ導電領域が、多結晶シリコンからなる多結晶導電領域であり、前記引き出し導電領域が、前記多結晶導電領域からなるように、上記キャップ基板を構成してもよい。これによれば、単結晶シリコン基板（単結晶導電領域）の不純物濃度によらず、例えば高不純物濃度の多結晶シリコンからなる多結晶導電領域を形成することで、当該多結晶導電領域を引き出し導電領域として好適に機能させることができる。

【００３３】

上記半導体装置における前記キャップ基板は、例えば請求項１９に記載のように、埋め込み酸化膜を有するＳＯＩ基板からなり、前記キャップ導電領域が、前記埋め込み酸化膜に達する絶縁分離トレンチにより、周囲から絶縁分離されてなるように構成してもよい。

【００３４】

この場合にも、例えば請求項２０に記載のように、前記複数個のキャップ導電領域のうち、一方のキャップ導電領域が、埋め込み酸化膜上のＳＯＩ層からなる単結晶導電領域であり、もう一方のキャップ導電領域が、多結晶シリコンからなる多結晶導電領域であり、前記引き出し導電領域が、前記多結晶導電領域からなるように、上記キャップ基板を構成することができる。

【００３５】

キャップ基板としてＳＯＩ基板を用いる場合には、単結晶シリコン基板を用いる場合に較べて、例えば当該キャップ基板に形成する各種の半導体素子の高速化や高密度化を図ることができる。

【００３６】

以上のようにして、キャップ基板として単結晶シリコン基板またはＳＯＩ基板を用いる場合には、ベース基板だけでなく、請求項２１に記載のように、キャップ基板における前記複数個のキャップ導電領域のうち、所定のキャップ導電領域に、ＩＣ回路を形成することが可能である。

【００３７】

また、上記半導体装置においては、請求項２２に記載のように、キャップ基板における前記複数個のキャップ導電領域のうち、前記引き出し導電領域を取り囲むキャップ導電領域が、所定電位に設定されてなるように、上記半導体装置を構成することができる。前記所定電位は、例えば請求項２３に記載のように、接地電位（ＧＮＤ）とすることができる。これによれば、前記引き出し導電領域を取り囲む接地電位（ＧＮＤ）に設定されたキャップ導電領域を、シールドとして機能させることができる。

【００３８】

上記半導体装置において、前記ベース基板と前記キャップ基板が、シリコン（Ｓｉ）からなる場合には、例えば請求項２４に記載のように、前記ベース基板と前記キャップ基板が、シリコン（Ｓｉ）直接接合により貼り合わされてなる構成とすることができる。

【００３９】

上記Ｓｉ直接接合によって、ベース基板とキャップ基板が導電性を確保した状態で強固

10

20

30

40

50

に貼り合わされると共に、前記ベース基板の所定領域とキャップ基板の凹部とで構成される空間を完全密封することができる。尚、上記 Si 直接接合は、高温で行われたものであってもよいし、常温で行われたものであってもよい。

【0040】

また、前記ベース基板と前記キャップ基板が、シリコン (Si) からなる場合には、請求項 25 に記載のように、前記ベース基板と前記キャップ基板が、金 (Au) - シリコン (Si) 共晶接合により貼り合わされてなる構成としてもよい。これによって、ベース基板とキャップ基板が導電性を確保した状態で強固に貼り合わされると共に、前記ベース基板の所定領域とキャップ基板の凹部とで構成される空間を完全密封することができる。

【0041】

尚、上記半導体装置においては、請求項 26 に記載のように、導電性接着剤により貼り合わされてなる構成であってもよい。

【0042】

請求項 27 ~ 請求項 35 に記載の発明は、上記半導体装置の製造方法に関する発明である。

【0043】

請求項 27 に記載の発明は、半導体からなるベース基板であって、絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板と、前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板とを有してなり、前記キャップ基板が、前記ベース基板の表層部における所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、所定の前記キャップ導電領域が、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能する半導体装置の製造方法であって、前記絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板を準備するベース基板準備工程と、前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板を準備するキャップ基板準備工程と、前記キャップ基板を、前記ベース基板の所定領域に対向するようにして、前記ベース基板に貼り合わせ、前記空間を密封すると共に、前記引き出し導電領域を前記所定のベース半導体領域に電氣的に接続する基板貼り合わせ工程とを有してなることを特徴としている。

【0044】

これによって、上記請求項 1 に記載の半導体装置を製造することができる。

【0045】

上記製造方法においては、例えば請求項 28 に記載のように、前記キャップ基板準備工程が、前記キャップ基板となる 1 次基板の一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、前記 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにすることができる。

【0046】

これによって、上記請求項 2 に記載の半導体装置を製造することができる。

【0047】

また、請求項 29 に記載のように、前記キャップ基板準備工程が、前記キャップ基板となる 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、前記 1 次基板のもう一方の面側から研削して、

前記１次絶縁トレンチの端部を露出し、前記１次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記１次基板を前記キャップ基板とするキャップ基板形成工程と、前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにしてもよい。

【００４８】

これによっても、上記請求項２に記載の半導体装置を製造することができる。

【００４９】

上記製造方法において、請求項３０に記載のように、前記キャップ基板が、単結晶シリコン基板からなる場合には、前記キャップ基板準備工程が、前記キャップ基板となる１次基板の一方の面側に、トレンチを形成し、前記トレンチに側壁酸化膜を形成した後、前記トレンチ内を多結晶シリコンで埋め戻し、前記側壁酸化膜が前記絶縁分離トレンチとなる所定深さの１次絶縁トレンチを形成する１次絶縁トレンチ形成工程と、前記１次基板のもう一方の面側から研削して、前記トレンチ内に埋め込まれた多結晶シリコンの端部を露出し、前記１次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記１次基板を前記キャップ基板とするキャップ基板形成工程と、前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにしてもよい。

【００５０】

これによれば、上記請求項１８に記載の半導体装置を製造することができる。

【００５１】

上記製造方法において、請求項３１に記載のように、前記キャップ基板が、埋め込み酸化膜を有するＳＯＩ基板からなる場合には、前記キャップ基板準備工程が、前記キャップ基板となる１次基板のＳＯＩ層のある一方の面側に、前記埋め込み酸化膜を貫通するトレンチを形成し、前記トレンチに側壁酸化膜を形成した後、前記トレンチ内を多結晶シリコンで埋め戻し、前記側壁酸化膜が前記絶縁分離トレンチとなる所定深さの１次絶縁トレンチを形成する１次絶縁トレンチ形成工程と、前記１次基板のもう一方の面側からエッチングして、前記埋め込み酸化膜および前記側壁酸化膜を露出することにより、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、前記１次基板のもう一方の面側から研削して、前記トレンチ内に埋め込まれた多結晶シリコンの端部を露出し、前記１次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記１次基板を前記キャップ基板とするキャップ基板形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにしてもよい。

【００５２】

これによって、上記請求項２０に記載の半導体装置を製造することができる。

【００５３】

上記製造方法においては、例えば請求項３２に記載のように、前記ベース基板準備工程が、前記ベース基板となる１次基板の前記表層部における所定領域に導電性を有する凸部を形成する凸部形成工程と、前記１次基板の前記表層部における所定領域に、絶縁分離された複数個のベース半導体領域を形成して、前記１次基板を前記ベース基板とするベース基板形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板を、前記凸部に貼り合わせるようにしてもよい。

【００５４】

これによって、上記請求項４に記載の半導体装置を製造することができる。

## 【 0 0 5 5 】

また、上記製造方法においては、例えば請求項 3 3 に記載のように、前記キャップ基板準備工程が、前記キャップ基板となる 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとする絶縁分離トレンチ形成工程と、前記 1 次基板において、前記ベース基板の所定領域に対向するように導電性を有する凸部を形成し、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凸部を、前記ベース基板に貼り合わせるようにしてもよい。

10

## 【 0 0 5 6 】

これによって、上記請求項 6 に記載の半導体装置を製造することができる。

## 【 0 0 5 7 】

この場合、例えば請求項 3 4 に記載のように、前記凸部を、絶縁膜を介して前記キャップ導電領域に接続する配線パターンで形成することが可能である。

## 【 0 0 5 8 】

上記半導体装置の製造方法において、前記ベース基板と前記キャップ基板が、シリコン ( S i ) からなる場合には、請求項 3 5 に記載のように、前記基板貼り合わせ工程において、前記ベース基板と前記キャップ基板を、常温で、シリコン ( S i ) 直接接合により貼り合わせることが好ましい。

20

## 【 0 0 5 9 】

これによれば、高温の S i 直接接合でベース基板とキャップ基板を貼り合わせる場合に較べて、製造プロセスに関する温度制約が少ないため、例えばベース基板とキャップ基板を貼り合わせる前に、ベース基板とキャップ基板に種々の素子を形成しておくことが可能である。

## 【 0 0 6 0 】

尚、以上の製造方法により製造される半導体装置の効果については、前述したとおりであり、その説明は省略する。

## 【 図面の簡単な説明 】

## 【 0 0 6 1 】

30

【 図 1 】 本発明の半導体装置の一例で、半導体装置 1 0 0 の模式的な断面を示す図である。

【 図 2 】 ( a ) ~ ( c ) は、ベース基板準備工程を説明する図で、図 1 の半導体装置 1 0 0 におけるキャップ基板 C 1 と貼り合わせる前のベース基板 B 1 を準備する工程である。

【 図 3 】 ( a ) ~ ( d ) は、キャップ基板の準備工程の一例を説明する図で、図 1 におけるベース基板 B 1 と貼り合わせる前のキャップ基板 C 1 を準備する工程である。

【 図 4 】 ( a ) ~ ( d ) は、キャップ基板の準備工程の一例を説明する図で、図 1 におけるベース基板 B 1 と貼り合わせる前のキャップ基板 C 1 を準備する工程である。

【 図 5 】 ( a ) ~ ( d ) は、キャップ基板 C 1 に関する別の準備工程の例を示す図である。

40

【 図 6 】 ( a ) , ( b ) は、基板貼り合わせ工程を説明する図で、先の工程において準備したベース基板 B 1 とキャップ基板 C 1 を互いに貼り合わせる工程を示す図である。

【 図 7 】 別構成の半導体装置の一例で、( a ) は半導体装置 1 1 0 の模式的な断面図であり、( b ) は半導体装置 1 1 0 の模式的な上面図である。

【 図 8 】 半導体装置 1 1 0 のベース基板 B 1 0 を示す図で、( a ) はベース基板 B 1 0 の断面図であり、( b ) はベース基板 B 1 0 の上面図である。

【 図 9 】 半導体装置 1 1 0 のキャップ基板 C 1 0 を示す図で、( a ) はキャップ基板 C 1 0 の断面図であり、( b ) はキャップ基板 C 1 0 の上面図である。

【 図 1 0 】 半導体装置 1 1 0 の製造方法の一例を示す工程別の断面図で、( a ) ~ ( d ) は、半導体装置 1 1 0 におけるキャップ基板 C 1 0 と貼り合わせる前のベース基板 B 1 0

50

を準備する工程である。

【図 1 1】半導体装置 1 1 0 の製造方法の一例を示す工程別の断面図で、( a ) ~ ( c ) は、半導体装置 1 1 0 におけるベース基板 B 1 0 と貼り合わせる前のキャップ基板 C 1 0 を準備する工程である。

【図 1 2】半導体装置 1 1 0 の製造方法の一例を示す工程別の断面図で、( a ) , ( b ) に示す基板貼り合わせ工程において、先の工程において準備したベース基板 B 1 0 とキャップ基板 C 1 0 を互いに貼り合わせる。

【図 1 3】別の半導体装置の例で、半導体装置 1 1 1 の模式的な断面図である。

【図 1 4】半導体装置 1 1 1 の製造方法を説明するための図で、キャップ基板 C 1 0 と貼り合わせる前のベース基板 B 1 1 を準備する途中の工程を示した断面図である。

10

【図 1 5】別の半導体装置の例で、半導体装置 1 1 2 の模式的な断面図である。

【図 1 6】半導体装置 1 1 2 の製造方法を説明するための図で、( a ) ~ ( d ) は、ベース基板 B 1 と貼り合わせる前のキャップ基板 C 1 1 を準備する工程を示した工程別の断面図である。

【図 1 7】半導体装置 1 1 2 の製造方法を説明するための図で、( a ) , ( b ) は、ベース基板 B 1 とキャップ基板 C 1 1 の貼り合わせ工程を示した図である。

【図 1 8】( a ) , ( b ) は、それぞれ、半導体装置 1 1 2 の変形例で、半導体装置 1 1 3 , 1 1 4 の模式的な断面図である。

【図 1 9】MEMS 共振器を有してなる半導体装置 1 0 1 の模式的な断面を示す図である。

20

【図 2 0】赤外線センサ素子を有してなる半導体装置の例で、( a ) は、半導体装置 1 0 2 の模式的な断面を示す図であり、( b ) は、( a ) 中の破線 F で囲った赤外線センサ素子の周りの拡大図であり、( c ) は、( b ) の要部の配置を示した模式的な上面図である。

【図 2 1】別の半導体装置の例で、半導体装置 1 0 3 の模式的な断面を示す図である。

【図 2 2】キャップ基板の変形の一例を説明する図で、キャップ基板 C 5 の模式的な断面を示す図である。

【図 2 3】キャップ基板の別の変形例を説明する図で、キャップ基板 C 6 を用いた半導体装置 1 0 4 の模式的な断面を示す図である。

【図 2 4】キャップ基板の別の変形例を説明する図で、キャップ基板 C 7 を用いた半導体装置 1 0 5 の模式的な断面を示す図である。

30

【図 2 5】キャップ基板の別の変形例を説明する図で、( a ) は、キャップ基板 C 8 を用いた半導体装置 1 0 6 の模式的な断面を示す図であり、( b ) は、キャップ基板準備工程におけるキャップ基板 C 8 の形成途中状態にある 1 次基板 C 8 a を示す図である。

【図 2 6】従来の半導体装置（慣性力センサ）を示す図で、( a ) は、慣性力センサの平面図であり、( b ) は、( a ) に示す A - A での断面図である。

【発明を実施するための形態】

【0062】

以下、本発明を実施するための形態を、図に基づいて説明する。

【0063】

40

図 1 は、本発明の半導体装置の一例で、半導体装置 1 0 0 の模式的な断面を示す図である。

【0064】

図 1 に示す半導体装置 1 0 0 は、半導体からなるベース基板 B 1 と、ベース基板 B 1 に貼り合わされる導電性を有したキャップ基板 C 1 とを有している。

【0065】

図 1 の半導体装置 1 0 0 におけるベース基板 B 1 は、埋め込み酸化膜 2 0 を有する S O I (Silicon On Insulator) 基板で、埋め込み酸化膜 2 0 を挟んで、S O I 層 2 1 と支持基板 2 2 とで構成されている。ベース基板 B 1 には、絶縁分離された複数個のベース半導体領域 B s が表層部に形成されている。図 1 の半導体装置 1 0 0 におけるベース半導体領

50

域 B s は、埋め込み酸化膜 2 0 に達するトレンチ 2 3 により周囲から絶縁分離された、S O I 層 2 1 からなる領域である。

【 0 0 6 6 】

図 1 に示す半導体装置 1 0 0 は、図 2 6 に示した半導体装置（慣性力センサ）と同様の慣性力を利用した力学量センサ素子を有してなる半導体装置で、ベース基板 B 1 の表層部に形成されている複数個のベース半導体領域 B s で、加速度や角速度を測定するための力学量センサ素子が構成されている。すなわち、ベース基板 B 1 における複数個のベース半導体領域 B s のうち、図中に示したベース半導体領域 B s 1 が、埋め込み酸化膜 2 0 の一部を犠牲層エッチングすることにより、変位可能に形成された可動電極 E m を有する可動半導体領域となっている。また、図中に示したもう一つのベース半導体領域 B s 2 が、可動電極 E m と対向する固定電極 E s を有する固定半導体領域となっている。尚、半導体装置 1 0 0 の力学量センサ素子に関する平面構造は、図 2 6 と同様であり図示を省略したが、図 1 の断面図に示す 2 個の可動半導体領域 B s 1 と 2 個の固定半導体領域 B s 2 は、それぞれ、平面構造において連結した一体の領域である。半導体装置 1 0 0 においては、可動半導体領域 B s 1 の可動電極 E m と固定半導体領域 B s 2 の固定電極 E s の対向面で静電容量が形成され、可動電極 E m が、印加される力学量に応じて前記対向面に対して垂直方向に変位し、可動電極 E m と固定電極 E s の間の距離変化に伴う静電容量の変化を測定して、印加される力学量を検出するようにしている。

10

【 0 0 6 7 】

図 1 の半導体装置 1 0 0 におけるキャップ基板 C 1 は、単結晶シリコン基板 3 0 からなり、複数個のキャップ導電領域 C e が形成されている。図 1 の半導体装置 1 0 0 におけるキャップ導電領域 C e は、当該キャップ基板 C 1（単結晶シリコン基板 3 0）を貫通する絶縁分離トレンチ 3 1 により分割されてなる領域である。また、キャップ基板 C 1 には、ベース基板 B 1 の表層部における所定領域 R 1 に対向して、凹部 3 2 が形成されている。尚、キャップ基板 C 1 において、符号 3 3 の部分は酸化シリコン（ $\text{SiO}_2$ ）膜等からなる表面保護層であり、符号 3 4 の部分はアルミニウム（Al）等からなる電極パッドである。

20

【 0 0 6 8 】

図 1 に示すように、キャップ基板 C 1 は、ベース基板 B 1 の可動電極 E m を覆うようにして凹部 3 2 が配置され、凹部 3 2 の周りでベース基板 B 1 に貼り合わされて、接合面 D 1 が形成されている。ベース基板 B 1 とキャップ基板 C 1 の接合面 D 1 は、ベース基板 B 1 の所定領域 R 1 において環状となるように設定されており、上記ベース基板 B 1 とキャップ基板 C 1 の貼り合わせによって、ベース基板 B 1 における所定領域 R 1 の表面とキャップ基板 C 1 における凹部 3 2 の表面とで構成される空間 2 3、3 2 が、高真空状態で密封されている。また、上記貼り合わせによって、図中に例示した所定のキャップ導電領域 C e 1、C e 2 が、それぞれ、所定のベース半導体領域 B s 1、B s 2 に電氣的に接続されてなる、引き出し導電領域として機能する。すなわち、ベース基板 B 1 における可動半導体領域 B s 1 と固定半導体領域 B s 2 に、それぞれ、引き出し導電領域 C e 1、C e 2 が接続されている。

30

【 0 0 6 9 】

図 1 に示す半導体装置 1 0 0 においては、ベース基板 B 1 に貼り合わされる導電性を有したキャップ基板 C 1 が、ベース基板 B 1 の表層部の所定領域 R 1 に形成される力学量センサ素子を保護するための密封キャップとして機能する。

40

【 0 0 7 0 】

キャップ基板 C 1 には、絶縁分離された複数個のキャップ導電領域 C e が形成されており、所定のキャップ導電領域 C e 1、C e 2 が、ベース基板 B 1 に形成された所定の絶縁分離されてなるベース半導体領域 B s 1、B s 2 に電氣的に接続されて、引き出し導電領域として機能する。このため、図 1 の半導体装置 1 0 0 では、図 2 6（b）に示した従来の半導体装置と異なり、ベース基板 B 1 に貼り合わされたキャップ基板 C 1 の貼り合わせ面と反対側の外部に露出する引き出し導電領域 C e 1、C e 2（にある電極パッド 3 4）

50

ヘワイヤボンディング等の電氣的な接続を行うことができる。これによって、図 1 の半導体装置 100 では、引き出し導電領域  $Ce1$  ,  $Ce2$  を介してベース基板  $B1$  の表層部の所定領域  $R1$  に形成されている力学量センサ素子への電氣的な接続を行うことができる。従って、図 1 の半導体装置 100 においては、図 26 (b) に示した従来の半導体装置のようにワイヤボンディングのための大きな貫通穴をキャップ基板に形成する必要がない。このため、チップサイズを小さくでき、小型で安価な半導体装置とすることができる。また、上記キャップ基板  $C1$  の外部に露出する引き出し導電領域  $Ce1$  ,  $Ce2$  (にある電極パッド 34) への電氣的な接続は、フェースダウンボンディング (ボールボンディング) であってもよく、実装面での制約も少ない。

#### 【0071】

さらに、半導体装置 100 におけるキャップ基板  $C1$  は、ベース基板  $B1$  上に堆積層として形成されたものではなく、後述するように、一枚の基板を加工して形成されたものである。従って、例えばキャップ基板の厚さを任意に設定できるため、高い強度を確保することができる。また、後述する種々の構造を当該キャップ基板  $C1$  に一般的な基板加工方法を用いて容易に形成することができるため、例えば密封キャップをベース基板  $B1$  上に堆積層として形成する場合に較べて製造コストを低減することができ、安価な半導体装置とすることができる。

#### 【0072】

以上のようにして、半導体装置 100 は、半導体からなるベース基板  $B1$  の表層部に形成された力学量センサ素子を保護するために、ベース基板  $B1$  の力学量センサ素子上に密封キャップ (基板)  $C1$  が配置されてなる半導体装置であって、小型で安価に製造することができる。フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

#### 【0073】

次に、図 1 に示す半導体装置 100 の製造方法について説明する。図 2 ~ 図 6 は、半導体装置 100 の製造方法の一例を示す工程別の断面図である。

#### 【0074】

図 2 (a) ~ (c) は、ベース基板準備工程を説明する図で、図 1 の半導体装置 100 におけるキャップ基板  $C1$  と貼り合わせる前のベース基板  $B1$  を準備する工程である。

#### 【0075】

最初に、図 2 (a) に示すように、埋め込み酸化膜 20 を挟んで、 $SOI$  層 21 と支持基板 22 とで構成される  $SOI$  基板  $B1a$  を準備する。 $SOI$  基板  $B1a$  は、例えば基板貼り合わせ技術により形成し、埋め込み酸化膜 20 を酸化シリコン ( $SiO_2$ ) 膜とし、支持基板 22 を比抵抗  $0.001 \sim 1 \Omega \cdot cm$  の単結晶シリコン基板とする。また、各種の素子形成に用いる  $SOI$  層 21 は、厚さが  $1 \sim 50 \mu m$  の砒素 ( $As$ ) やリン ( $P$ ) 等を含んだ比抵抗  $0.001 \sim 1 \Omega \cdot cm$  の高濃度単結晶シリコン層で、力学量センサ素子を形成する図 1 の半導体装置 100 では、 $SOI$  層 21 の厚さを  $10 \sim 20 \mu m$  とした。図 1 のベース半導体領域  $Bs$  の一部をそれぞれ可動電極  $Em$  や固定電極  $Es$  が形成されてなる可動半導体領域  $Bs1$  や固定半導体領域  $Bs2$  として利用する上では、特に、 $SOI$  層 21 は、不純物濃度ができるだけ高い、すなわち比抵抗の小さいものが好ましい。

#### 【0076】

次に、図 2 (b) に示すように、フォトリソグラフィと深堀エッチングにより、ほぼ垂直の壁を持ち埋め込み酸化膜 20 に達するトレンチ 23 を形成する。これにより、 $SOI$  層 21 が分割されて、周囲から絶縁分離された複数個のベース半導体領域  $Bs$  が、 $SOI$  基板  $B1a$  の表層部に形成される。

#### 【0077】

次に、図 2 (c) に示すように、トレンチ 23 を介してフッ化水素 ( $HF$ ) ガスによるエッチングにより、 $SiO_2$  膜からなる埋め込み酸化膜 20 の一部を除去し、可動電極  $Em$  を有する可動半導体領域  $Bs1$  や固定電極  $Es$  を有する固定半導体領域  $Bs2$  等を形成する。尚、この際に、可動半導体領域  $Bs1$  における可動電極  $Em$  が形される部分の下方

10

20

30

40

50

の埋め込み酸化膜 20 は、図 2 ( c ) に示すように、完全に除去するようにする。

【 0 0 7 8 】

以上の図 2 に示した工程により、次に示すキャップ基板 C 1 と貼り合わす前のベース基板 B 1 が準備できる。

【 0 0 7 9 】

図 3 ( a ) ~ ( d ) と図 4 ( a ) ~ ( d ) は、キャップ基板の準備工程の一例を説明する図で、図 1 におけるベース基板 B 1 と貼り合わせる前のキャップ基板 C 1 を準備する工程である。

【 0 0 8 0 】

最初に、図 3 ( a ) , ( b ) に示す凹部形成工程において、キャップ基板 C 1 となる 1 次基板 C 1 a の一方の面 ( ベース基板 B 1 との貼り合わせ面 ) S 1 側に、図 1 に示す凹部 3 2 を形成する。

【 0 0 8 1 】

図 3 ( a ) に示すように、例えば、結晶方位 ( 1 0 0 ) で、砒素 ( A s ) やリン ( P ) を高濃度を含んだ比抵抗  $0.001 \sim 1 \Omega \text{cm}$  の単結晶シリコン基板 30 からなる 1 次基板 C 1 a を準備する。図 1 のキャップ導電領域 C e の一部を引き出し導電領域 C e 1 , C e 2 として利用する上では、特に、単結晶シリコン基板 30 は、不純物濃度ができるだけ高い、すなわち比抵抗の小さいものが好ましい。次に、熱酸化により、酸化シリコン ( S i O <sub>2</sub> ) 膜 35 を、 $0.1 \sim 1 \mu\text{m}$  の厚さで形成する。次に、フォトリソグラフィとエッチングにより、部分的に S i O <sub>2</sub> 膜 35 を除去し、所定のパターンに加工する。次に、図 3 ( b ) に示すように、所定パターンの S i O <sub>2</sub> 膜 35 をマスクとして、1 次基板 C 1 a をドライエッチングし、深さが  $0.1 \sim 10 \mu\text{m}$  の凹部 3 2 を形成する。

【 0 0 8 2 】

次に、図 3 ( c ) , ( d ) と図 4 ( a ) に示す 1 次絶縁トレンチ形成工程において、凹部 3 2 を形成した 1 次基板 C 1 a の一方の面 S 1 側に、図 1 の絶縁分離トレンチ 3 1 となる所定深さの 1 次絶縁トレンチ 3 1 a を形成する。

【 0 0 8 3 】

図 3 ( c ) に示すように、S i O <sub>2</sub> 膜 35 を除去した後、所定パターンのマスクを 1 次基板 C 1 a の一方の面 S 1 側に再び形成し、図 2 ( b ) に示した S O I 基板 B 1 a におけるトレンチ 2 3 の形成と同様に、フォトリソグラフィと深堀エッチングにより、ほぼ垂直の壁を持つトレンチ 3 6 を所定の深さに形成する。次に、図 3 ( d ) に示すように、熱酸化により酸化シリコン ( S i O <sub>2</sub> ) 膜 37 を形成し、トレンチ 3 6 内を S i O <sub>2</sub> 膜 37 で埋め込んで、1 次絶縁トレンチ 3 1 a を形成する。尚、熱酸化の代わりに、C V D ( Chemical Vapor Deposition ) 法等によりトレンチ 3 6 内を S i O <sub>2</sub> 膜 37 で埋め込んで、1 次絶縁トレンチ 3 1 a を形成するようにしてもよい。

【 0 0 8 4 】

次に、図 4 ( a ) に示すように、ドライエッチング法によるエッチバックで、1 次絶縁トレンチ 3 1 a の S i O <sub>2</sub> 膜のみを残すようにして、図 3 ( d ) の 1 次基板 C 1 a 上にある S i O <sub>2</sub> 膜 37 を除去する。

【 0 0 8 5 】

次に、図 4 ( b ) に示すキャップ基板形成工程において、1 次基板 C 1 a のもう一方の面 S 2 側から研削して、1 次絶縁トレンチ 3 1 a の端部を露出するまで、1 次基板 C 1 a の厚さを薄する。これによって、1 次基板 C 1 a を、図 1 にある所定厚さのキャップ基板 C 1 とすると共に、1 次絶縁トレンチ 3 1 a を、図 1 にあるキャップ基板 C 1 を貫通した絶縁分離トレンチ 3 1 とする。また、これによって、引き出し導電領域 C e 1 , C e 2 としてベース基板 B 1 との電氣的接続に一部利用する、絶縁分離トレンチ 3 1 によって絶縁分離された複数個のキャップ導電領域 C e が、キャップ基板 C 1 に同時に形成される。尚、上記 1 次基板 C 1 a の薄厚化は、研削に限らず、研磨やエッチング等、あるいはこれら組み合わせであってもよい。

10

20

30

40

50

## 【 0 0 8 6 】

次に、図 4 ( c ) に示すように、キャップ基板 C 1 のもう一方の面 S 2 側に、図 1 の表面保護層 3 3 となる  $\text{SiO}_2$  膜を、CVD 法により形成する。尚、 $\text{SiO}_2$  膜 3 3 は、CVD 法によらず、熱酸化等により形成してもよい。尚、熱酸化により  $\text{SiO}_2$  膜 3 3 を形成する場合は、キャップ基板 C 1 の一方の面 S 1 側に形成される  $\text{SiO}_2$  膜をエッチバックにより除去する。

## 【 0 0 8 7 】

次に、図 4 ( d ) の上下反転図に示すように、キャップ基板 C 1 のもう一方の面 S 2 側に形成した  $\text{SiO}_2$  膜 3 3 に、単結晶シリコン基板 3 0 と電氣的接続をとるためのコンタクト穴を形成し、アルミニウム ( Al ) 膜をスパッタ法等により堆積した後にパターニングして、電極パッド 3 4 や配線層 ( 図示せず ) を形成する。

10

## 【 0 0 8 8 】

以上の図 3 と図 4 に示した工程により、ベース基板 B 1 と貼り合わす前の上記一方の面 S 1 側を接合面とするキャップ基板 C 1 が準備できる。

## 【 0 0 8 9 】

図 5 ( a ) ~ ( d ) に、キャップ基板 C 1 に関する別の準備工程の例を示す。

## 【 0 0 9 0 】

最初に、図 5 ( a ) に示す 1 次絶縁トレンチ形成工程において、キャップ基板 C 1 となる単結晶シリコン基板 3 0 からなる 1 次基板 C 1 a を準備し、1 次基板 C 1 a の一方の面 S 3 側に、図 1 の絶縁分離トレンチ 3 1 となる所定深さの 1 次絶縁トレンチ 3 1 a を図 3 ( c ) , ( d ) と図 4 ( a ) において説明した方法で形成する。

20

## 【 0 0 9 1 】

次に、図 5 ( b ) に示すように、上記と同じ 1 次基板 C 1 a の一方の面 S 3 側に、図 1 の表面保護層 3 3 となる  $\text{SiO}_2$  膜 3 3 と電極パッド 3 4 や配線層 ( 図示せず ) を、図 4 ( c ) , ( d ) において説明した方法で形成する。

## 【 0 0 9 2 】

次に、図 5 ( c ) に示すキャップ基板形成工程において、1 次基板 C 1 a のもう一方の面 S 4 側から研削して、1 次絶縁トレンチ 3 1 a の端部を露出し、1 次絶縁トレンチ 3 1 a を絶縁分離トレンチ 3 1 とすると共に、1 次基板 C 1 a をキャップ基板 C 1 とする。これによって、絶縁分離トレンチ 3 1 によって絶縁分離された複数個のキャップ導電領域 C e がキャップ基板 C 1 に同時に形成される。

30

## 【 0 0 9 3 】

最後に、図 5 ( d ) に示す凹部形成工程において、キャップ基板 C 1 のもう一方の面 S 4 側に、凹部 3 2 を形成する。

## 【 0 0 9 4 】

以上の図 5 に示した工程により、ベース基板 B 1 と貼り合わす前の上記もう一方の面 S 4 側を接合面とするキャップ基板 C 1 が準備できる。

## 【 0 0 9 5 】

次に、図 6 ( a ) , ( b ) に示す基板貼り合わせ工程において、先の工程において準備したベース基板 B 1 とキャップ基板 C 1 を互いに貼り合わせる。

40

## 【 0 0 9 6 】

図 6 ( a ) に示すように、キャップ基板の凹部 3 2 を、ベース基板 B 1 の力学量センサ素子が形成された所定領域 R 1 に対向するようにして位置決めし、これらを積層する。次に、図 6 ( b ) に示すように、キャップ基板 C 1 を、凹部 3 2 の周りでベース基板 B 1 に貼り合わせる。この貼り合わせには、ベース基板 B 1 とキャップ基板 C 1 がシリコン ( Si ) からなるため、シリコン ( Si ) 同士の直接接合を用いることができる。この Si 直接接合によって、ベース基板 B 1 とキャップ基板 C 1 が接合面 D 1 で導電性を確保した状態で強固に貼り合わされると共に、ベース基板 B 1 における所定領域 R 1 の表面とキャップ基板 C 1 における凹部 3 2 の表面とで構成される空間 2 3 , 3 2 を完全密封することができる。

50

## 【 0 0 9 7 】

上記 S i 直接接合は、8 0 0 ~ 1 2 0 0 の高温で行ってもよいし常温（室温 ~ 5 0 0 ）で行ってもよいが、特に常温で行うことが好ましい。特に、図 1 に示す半導体装置 1 0 0 のように、微少量の信号出力を扱う力学量センサ素子が形成されている場合には、対向する電極 E m , E s 間の変位の基づく容量変化を加速度や角速度の出力としている。従って、高精度の力学量センサ素子を製造するためには、キャップ基板 C 1 の接合によってベース基板 B 1 に発生する熱応力をできるだけ小さくする必要があり、このためには室温近くでの接合が好ましい。また、常温の S i 直接接合でベース基板 B 1 とキャップ基板 C 1 を貼り合わせる場合は、高温で貼り合わせる場合に較べて、製造プロセスに関する温度制約が少ない。このため、例えば、ベース基板 B 1 とキャップ基板 C 1 を貼り合わせる前に、ベース基板 B 1 とキャップ基板 C 1 に種々の素子を形成しておくことが可能である。

10

## 【 0 0 9 8 】

常温での S i 直接接合による図 6 ( a ) , ( b ) に示したベース基板 B 1 とキャップ基板 C 1 の貼り合わせは、具体的には、以下のように実施する。上記工程により準備したベース基板 B 1 とキャップ基板 C 1 を真空チャンパ内に入れ、接合面となるキャップ基板 C 1 の凹部 3 2 が形成された面 S 1 , S 4 側の表面とベース基板 B 1 の力学量センサ素子が形成されている側の表面を、アルゴン等の不活性ガスによるスパッタエッチングやイオンビームエッチングで、軽くエッチングする。これによって、上記表面に形成されている自然酸化膜や吸着している水および有機物分子（汚染物）等を除去する。この結果、各々のシリコン表面には、結合手を持った S i 原子が露出し、他の S i 原子との結合力が大きい活性な状態となる。ベース基板 B 1 とキャップ基板 C 1 の上記シリコン表面を図 6 ( a ) に示したように位置決めし、真空状態を保ったままでこれら表面を常温で接触させることで、これら表面のシリコン ( S i ) 同士が結合して一体となり、強固な接合を形成することができる。

20

## 【 0 0 9 9 】

また、ベース基板とキャップ基板がシリコン ( S i ) からなる場合には、シリコン ( S i ) 直接接合に限らず、金 ( A u ) - シリコン ( S i ) 共晶接合により貼り合わせるようにしてもよい。これによっても、ベース基板 B 1 とキャップ基板 C 1 が、導電性を確保した状態で接合面 D 1 において強固に貼り合わされると共に、ベース基板 B 1 の所定領域 R 1 とキャップ基板の凹部 3 2 とで構成される空間 2 3 , 3 2 を完全密封することができる。尚、ベース基板 B 1 とキャップ基板 C 1 を、銀 ( A g ) ペースト等の導電性接着剤により貼り合わせるようにしてもよい。導電性接着剤は、ベース基板とキャップ基板がシリコン ( S i ) 以外の材料からなる場合にも適用することができる。

30

## 【 0 1 0 0 】

上記ベース基板 B 1 とキャップ基板 C 1 の強固な貼り合わせによって、ベース基板 B 1 における所定領域 R 1 の表面とキャップ基板 C 1 における凹部 3 2 の表面とで構成される空間 2 3 , 3 2 が密封されると共に、引き出し導電領域 C e 1 , C e 2 が所定のベース半導体領域 B s 1 , B s 2 に電氣的に接続する。これによって、キャップ基板 C 1 の表面に形成された電極パッド 3 4 から、ベース基板 B 1 に形成された力学量センサ素子の出力を外部に取り出せるようになる。

40

## 【 0 1 0 1 】

以上の図 2 ~ 図 6 に示した工程により、図 1 に示した半導体装置 1 0 0 が製造を製造することができる。尚、上記図 2 ~ 図 6 による説明は、図 1 の半導体装置 1 0 0 の製造方法を説明するために力学量センサ素子が形成されたベース基板 B 1 の所定領域 R 1 の周りの製造方法を説明したものであるが、ベース基板 B 1 には他の領域に別の素子や回路が形成されていてもよく、また実際の半導体装置 1 0 0 の製造においては、ベース基板 B 1 となる一枚のウエハに半導体装置 1 0 0 が形成されたチップを数百個搭載した状態で製造するものである。

## 【 0 1 0 2 】

50

次に、本発明における別構成の半導体装置の例をいくつか説明する。

【0103】

図7は別構成の半導体装置の一例で、図7(a)は半導体装置110の模式的な断面図であり、図7(b)は半導体装置110の模式的な上面図である。図7(a)の断面図は、図7(b)の一点鎖線B-Bでの断面について、分かり易くするために切断線に沿って任意に伸縮して簡略化して示した図となっている。尚、図7の半導体装置110において、図1の半導体装置100と同様の部分については同じ符号を付した。また、図7(b)においては、半導体装置110の可動電極Emと固定電極Esを簡略化して示しているが、実際には図26に示すように、それぞれ櫛歯状になっている。

【0104】

図8は、図7の半導体装置110のベース基板B10を示す図で、図8(a)はベース基板B10の断面図であり、図8(b)はベース基板B10の上面図である。また、図9は、図7の半導体装置110のキャップ基板C10を示す図で、図9(a)はキャップ基板C10の断面図であり、図8(b)はキャップ基板C10の上面図である。尚、図7～図9では、(a)の断面図と(b)の上面図は、各図で対応したものとなっている。また、一点鎖線B-Bで示した切断線も、各図で対応したものとなっている。

【0105】

図1の半導体装置100では、ベース基板B1の表層部における所定領域R1に対向して、キャップ基板C1に凹部32が形成されていた。そして、このキャップ基板C1が、該凹部32の周りでベース基板B1に貼り合わされて、接合面D1が形成されていた。

【0106】

一方、図7に示す半導体装置110は、ベース基板B10の所定領域R1のベース半導体領域Bs上に、多結晶シリコンや金属等の導電膜50からなる凸部T1が形成されている。そして、キャップ基板C10が、ベース基板B10の該凸部T1に貼り合わされて、接合面D1が形成されている。

【0107】

図1の半導体装置100と同様に、図7の半導体装置110においても、ベース基板B10に貼り合わされる導電性を有したキャップ基板C10が、ベース基板B10の表層部の所定領域R1に形成される力学量センサ素子を保護するための密封キャップとして機能する。また、キャップ基板C10に形成されたキャップ導電領域Ce1, Ce2が、ベース基板B10に形成されたベース半導体領域Bs1, Bs2に電氣的に接続されて、引き出し導電領域として機能し、ここにある電極パッド34へワイヤボンディング等の電氣的な接続を行うことができる。また、フェースダウンボンディング(ボールボンディング)であってもよく、実装面での制約も少ない。さらに、キャップ基板C10は、任意の厚さに設定でき高い強度を確保することができると共に、安価に製造することができる。一方、図7の半導体装置110におけるキャップ基板C10は、図1の半導体装置100におけるキャップ基板C1と異なり、ベース基板B10への貼り合わせ面を平坦にすることができる。このため、キャップ基板C10の製造が、キャップ基板C1に較べて、以下に示すようにさらに容易となる。

【0108】

以上のようにして、図7の半導体装置110についても、図1の半導体装置100と同様に、半導体からなるベース基板B10の表層部に形成された力学量センサ素子を保護するために、ベース基板B10の力学量センサ素子上に密封キャップ(基板)C10が配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

【0109】

図10～図12は、半導体装置110の製造方法の一例を示す工程別の断面図である。

【0110】

図10(a)～(d)は、ベース基板準備工程を説明する図で、図7の半導体装置110におけるキャップ基板C10と貼り合わせる前のベース基板B10を準備する工程であ

10

20

30

40

50

る。

#### 【0111】

最初に、図10(a)に示すように、図2(a)と同様のSOI基板B1aを準備し、SOI基板B1a上に、多結晶シリコンや金属等からなる導電膜50を堆積する。例えば、N+導電型の単結晶シリコン層からなるSOI層21上に、N+導電型の多結晶シリコン層からなる導電膜50を1~10 $\mu$ mの厚さでCVD法により形成する。この実施例では、2 $\mu$ mの厚さに形成した。次に、図10(b)に示すように、一般的なフォトリソグラフィを利用して導電膜50をパターニングし、SOI層21上の所定の位置に、部分的に凸部T1を形成する。また、N+導電型の多結晶シリコン層の代わりに、アルミニウム層を2 $\mu$ m程度形成し、同様にフォトリソグラフィによりパターニングして、アルミニウムによる凸部T1を形成してもよい。次に、図2(b)と同様にして、図10(c)に示すように、埋め込み酸化膜20に達するトレンチ23を形成し、SOI層21を分割して、周囲から絶縁分離された複数個のベース半導体領域Bsを形成する。次に、図2(c)と同様にして、図10(d)に示すように、可動電極Emを有する可動半導体領域Bs1や固定電極Esを有する固定半導体領域Bs2等を形成する。

10

#### 【0112】

以上の図10に示した工程により、次に示すキャップ基板C10と貼り合わす前のベース基板B10が準備できる。

#### 【0113】

図11(a)~(c)は、キャップ基板の準備工程の一例を説明する図で、図7の半導体装置110におけるベース基板B10と貼り合わせる前のキャップ基板C10を準備する工程である。

20

#### 【0114】

図11における(a)~(c)の各工程は、図5の(a)~(c)に示した各工程と同様であり、その詳細説明は省略する。図11(a)に示すように、トレンチを形成した後、トレンチ内部に絶縁体であるSiO<sub>2</sub>等を埋め込み、1次絶縁トレンチ31aを形成する。次に、図11(b)に示すように、SiO<sub>2</sub>膜33とアルミニウムからなる電極パッド34や配線層(図示せず)を形成する。次に、図11(b)に示すように、CMP等により1次基板C1aのもう一方の面S4側から研削して、平坦化を行う。貼り合わせ面が平坦なキャップ基板C10の形成においては、図5(d)に示した凹部32の形成工程を省略することができ、図A(a)~(c)の工程で、ベース基板B10と貼り合わす前のもう一方の面S4側を接合面とするキャップ基板C10が準備できる。

30

#### 【0115】

次に、図12(a),(b)に示す基板貼り合わせ工程において、先の工程において準備したベース基板B10とキャップ基板C10を互いに貼り合わせる。

#### 【0116】

図12(a)に示すように、キャップ基板C10とベース基板B10を積層し、次に、図12(b)に示すように、キャップ基板C10を、ベース基板B10の凸部T1に貼り合わせる。この貼り合わせには、例えば、高真空中での直接接合を用いることができる。このように、高真空中での直接接合は、シリコン同士(Si-Si)の接合に限らず、シリコン(Si)-金属の接合や、金属-金属の接合にも利用可能である。また、言うまでもなく、導電性接着剤を用いた貼り合わせであってもよい。この貼り合わせによって、ベース基板B10とキャップ基板C10が接合面D1で導電性を確保した状態で強固に貼り合わされると共に、ベース基板B10における所定領域R1の表面とキャップ基板C10とで構成される空間23を完全密封することができる。また、引き出し導電領域Ce1,Ce2が、所定のベース半導体領域Bs1,Bs2に電気的に接続する。これによって、キャップ基板C10の表面に形成された電極パッド34から、ベース基板B10に形成された力学量センサ素子の出力を外部に取り出せるようになる。

40

#### 【0117】

図13は、別の半導体装置の例で、半導体装置111の模式的な断面図である。尚、図

50

13の半導体装置111において、図7の半導体装置110と同様の部分については、同じ符号を付した。

【0118】

図7の半導体装置110では、ベース基板B10の所定領域R1のベース半導体領域Bs上に、多結晶シリコンや金属等の導電膜50からなる凸部T1が形成されていた。そして、キャップ基板C10が、ベース基板B10の該凸部T1に貼り合わされて、接合面D1が形成されていた。

【0119】

一方、図13に示す半導体装置111は、ベース基板B11の単結晶シリコンからなるSOI層21が加工され、所定領域R1のベース半導体領域Bs上に凸部T2が形成されている。そして、半導体装置110のそれと同じ平坦な貼り合わせ面を持つキャップ基板C10が、ベース基板B11の該凸部T2に貼り合わされて、接合面D1が形成されている。

10

【0120】

図13の半導体装置111についても、図7の半導体装置110と同様に、半導体からなるベース基板B11の表層部に形成された力学量センサ素子を保護するために、ベース基板B11の力学量センサ素子上に密封キャップ(基板)C10が配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができることは言うまでもない。

【0121】

20

図14は、半導体装置111の製造方法を説明するための図で、キャップ基板C10と貼り合わせる前のベース基板B11を準備する途中の工程を示した断面図である。

【0122】

ベース基板B11についても図2(a)と同様のSOI基板B1aを用いるが、最初に、図14に示すように、SOI層21の表層部をプラズマエッチングやKOH等のウェットエッチングでパターニング加工して、凸部T2を形成する。以降は、図10(c),(d)と同様にして、ベース基板B11を準備できる。また、図11(a)~(c)に示す工程でキャップ基板C10を準備し、図12(a),(b)と同様にして、ベース基板B11とキャップ基板C10を貼り合わせ、半導体装置111を製造することができる。

【0123】

30

図15も、別の半導体装置の例で、半導体装置112の模式的な断面図である。尚、図15の半導体装置112において、図1の半導体装置100と同様の部分については、同じ符号を付した。

【0124】

図1の半導体装置100では、ベース基板B1の表層部における所定領域R1に対向して、キャップ基板C1に凹部32が形成されていた。そして、このキャップ基板C1が、該凹部32の周りでベース基板B1に貼り合わされて、接合面D1が形成されていた。

【0125】

一方、図15に示す半導体装置112では、キャップ基板C11において、ベース基板B1の所定領域R1に対向して、導電性を有する凸部T3が形成されている。キャップ基板C11の該凸部T3は、電極パッド34と同様で、アルミニウム(Al)や多結晶シリコン等の導電膜61からなり、絶縁膜60を介してキャップ導電領域Ceに接続されている。言い換えれば、図Cの半導体装置112におけるキャップ基板C11は、単結晶シリコン基板30の両面に、絶縁膜33,60を介して、配線パターン34,61が形成された基板となっている。そして、半導体装置112では、キャップ基板C11が該凸部T3でベース基板B1に貼り合わされて、接合面D1が形成されている。この貼り合わせにも、例えば前述した真空中加熱による直接接合や導電性接着剤を用いることができる。

40

【0126】

図15の半導体装置112についても、図1の半導体装置100と同様に、半導体からなるベース基板B1の表層部に形成された力学量センサ素子を保護するために、ベース基

50

板 B 1 の力学量センサ素子上に密封キャップ（基板）C 1 1 が配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができることは言うまでもない。

【0127】

図 1 6 と図 1 7 は、半導体装置 1 1 2 の製造方法を説明するための図である。図 1 6（a）～（d）は、ベース基板 B 1 と貼り合わせる前のキャップ基板 C 1 1 を準備する工程を示した工程別の断面図であり、図 1 7（a），（b）は、ベース基板 B 1 とキャップ基板 C 1 1 の貼り合わせ工程を示した図である。

【0128】

図 1 6（a）～（c）の工程は、図 1 1（a）～（c）に示したキャップ基板 C 1 0 の準備工程と同様であり、その説明は省略する。キャップ基板 C 1 1 は、図 1 6（d）に示すように、もう一方の面 S 4 側に、絶縁膜 6 0 を介して配線パターン 6 1 を形成し、これを貼り合わせのための凸部 T 3 とする。

【0129】

次に、図 2（a）～（c）の工程により準備したベース基板 B 1 と図 1 7（a）～（c）の工程により準備したキャップ基板 C 1 1 を図 1 7（a）に示すように積層し、図 1 7（b）に示すようにキャップ基板 C 1 1 の凸部 T 3 でベース基板 B 1 に貼り合わせて、接合面 D 1 を形成する。

【0130】

以上で、半導体装置 1 1 2 が製造される。

【0131】

図 1 8（a），（b）は、それぞれ、図 1 5 に示した半導体装置 1 1 2 の変形例で、半導体装置 1 1 3，1 1 4 の模式的な断面図である。

【0132】

図 1 8（a），（b）に示す半導体装置 1 1 3，1 1 4 では、いずれも、配線パターン 6 2，6 3 がキャップ基板 C 1 1～C 1 4 の両面に形成され、該キャップ基板 C 1 1～C 1 4 が、複数枚積層されて、ベース基板 B 1 に貼り合わされている。尚、図 1 8（a）の半導体装置 1 1 3 では、3 枚の同じキャップ基板 C 1 1 が積層されてベース基板 B 1 に貼り合わされており、図 1 8（b）の半導体装置 1 1 4 では、3 枚の異なるキャップ基板 C 1 2～C 1 4 が積層されてベース基板 B 1 に貼り合わされている。

【0133】

図 1 8（b）の半導体装置 1 1 4 のように、異なるキャップ基板を積層することによって、半導体装置の表面に露出する引き出し導電領域のパッド位置を、任意の位置に設定することが可能である。また、図 1 8（a），（b）に示す半導体装置 1 1 3，1 1 4 の積層されたキャップ基板 C 1 1～C 1 4 において、引き出し導電領域 C e 1，C e 2 として利用されていないキャップ導電領域 C e については、後述するように、例えば IC 回路を形成することができる。従って、半導体装置 1 1 3，1 1 4 では、積層された別のキャップ基板のキャップ導電領域を、上記 IC 回路が形成されたキャップ導電領域からの引き出し導電領域として利用することも可能である。以上のようにして、ベース基板 B 1 と複数枚のキャップ基板 C 1 1～C 1 4 が貼り合わされた半導体装置 1 1 3，1 1 4 については、立体的な回路を構成することが可能である。

【0134】

次に、力学量センサ素子以外の別の素子を有してなる半導体装置の例を示す。

【0135】

図 1 9 は、MEMS（Micro Electro Mechanical System）共振器を有してなる半導体装置 1 0 1 の模式的な断面を示す図である。尚、図 1 9 に示す半導体装置 1 0 1 は、図 1 に示した半導体装置 1 0 0 と類似の構造を有しており、図 1 の半導体装置 1 0 0 と同様の部分については同じ符号を付して、その説明を省略する。

【0136】

図 1 9 に示す MEMS 共振器を有してなる半導体装置 1 0 1 も、埋め込み酸化膜 2 0 を

10

20

30

40

50

挟んでSOI層21と支持基板22とで構成されたSOI基板がベース基板B2として用いられ、MEMS共振器がベース基板B2のSOI層21に形成されている。すなわち、ベース基板B2における複数個のベース半導体領域Bsのうち、少なくとも一個のベース半導体領域が、埋め込み酸化膜20の一部を犠牲層エッチングすることにより、変位可能に形成された共振子K1を有するベース半導体領域Bs3となっている。また、半導体装置101では、共振子K1を覆うようにして、キャップ基板C2の凹部32が配置され、ベース半導体領域Bs4, Bs5に接続するキャップ基板C2の引き出し導電領域Ce4, Ce5を用いて共振子K1に接続する圧電素子(図示省略)等に給電する。これによって、共振子K1を共振させることにより、所定周波数の電圧を発振するようにしている。また可動電極と固定電極間の容量結合で共振させる別タイプのMEMS共振器を使用して

10

#### 【0137】

図19に示すMEMS共振器を有してなる半導体装置101も、半導体からなるベース基板B2の所定領域R2の表層部に形成されたMEMS共振器を保護するために、ベース基板B2のMEMS共振器上に密封キャップ(基板)C2が配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。尚、図19のMEMS共振器を有してなる半導体装置101は、一般的な水晶共振器を有してなる半導体装置に較べて、小型化とコストダウンが可能である。

20

#### 【0138】

図20は、赤外線センサ素子を有してなる半導体装置の例である。図20(a)は、半導体装置102の模式的な断面を示す図であり、図20(b)は、図20(a)中の破線Fで囲った赤外線センサ素子の周りの拡大図であり、図20(c)は、図20(b)の要部の配置を示した模式的な上面図である。尚、図20に示す半導体装置102についても、図1に示した半導体装置100と類似の構造を有しており、図1の半導体装置100と同様の部分については同じ符号を付した。

#### 【0139】

図20(a)に示す赤外線センサ素子を有してなる半導体装置102も、埋め込み酸化膜20を挟んでSOI層21と支持基板22とで構成されたSOI基板が、ベース基板B3として用いられ、破線Fで囲った赤外線センサ素子がベース基板B3のSOI層21に形成されている。赤外線センサ素子は、図20(b), (c)に示すように、ベース半導体領域Bs6に形成されたn導電型(n+)領域N1と多結晶シリコン膜P1が酸化シリコン(SiO<sub>2</sub>)等からなる層間絶縁膜24とアルミニウム(Al)等からなる配線金属25を介して多段に接続された熱電対と、図20(b)に示す金(Au)ブラック等の赤外線吸収体膜26とで構成されている。尚、図20(b), (c)に示すように、赤外線吸収体膜26は上記熱電対の温接点上に形成されており、上記熱電対の温接点と赤外線吸収体膜26は、赤外線吸収による熱が逃げ難いベース半導体領域Bs6の埋め込み酸化膜20が除去された領域上に配置されている。一方、上記熱電対の冷接点は、赤外線吸収による熱が逃げ易いベース半導体領域Bs6の埋め込み酸化膜20が残された領域上に配置されている。また、半導体装置102では、図20(a)に示すように、ベース基板B3の所定領域R3に形成された赤外線センサ素子を覆うようにして、キャップ基板C3の凹部32が配置されている。ベース半導体領域Bs7, Bs8には、キャップ基板C2の引き出し導電領域Ce7, Ce8が接続されており、赤外線吸収体膜26に入射した赤外線による赤外線センサ素子の出力電圧を、引き出し導電領域Ce7, Ce8等を介して検出するようにしている。

30

40

#### 【0140】

上記赤外線センサ素子を有してなる半導体装置も、半導体からなるベース基板の表層部に形成された赤外線センサ素子を保護するために、ベース基板の赤外線センサ素子上に密封キャップが配置されてなる半導体装置であって、前述したように、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置

50

とすることができる。

【0141】

図21も、別の半導体装置の例で、半導体装置103の模式的な断面を示す図である。

【0142】

図21の半導体装置103においては、ベース基板B4の所定領域R4に、IC(Integrated Circuit)回路G1~G4が形成されている。図21の半導体装置103におけるベース基板B4も、先の半導体装置100~102と同様に、埋め込み酸化膜20を挟んでSOI層21と支持基板22とで構成されたSOI基板が用いられている。一方、先の半導体装置100~102においては、ベース基板B1~B3のSOI層21が埋め込み酸化膜20に達するトレンチ23によって分割され、絶縁分離された複数個のベース半導体領域Bsが形成されていた。これに対して、図21のベース基板B4においては、ベース基板B4のSOI層21が埋め込み酸化膜20に達する内部に酸化シリコン(SiO<sub>2</sub>)等が埋め込まれた絶縁分離トレンチ27によって分割され、絶縁分離された複数個のベース半導体領域Bsが形成されている。

10

【0143】

図21の半導体装置103におけるキャップ基板C4は、先の半導体装置100~102と同様に、IC回路G1~G4が形成されたベース基板B4の所定領域R4に対向して凹部32が配置されている。また、半導体装置103におけるIC回路G1~G4は、ベース半導体領域Bs9, Bs10に接続する引き出し導電領域Ce9, Ce10を介して、外部の回路と電氣的に接続されている。

20

【0144】

図21のIC回路が形成されてなる半導体装置103も、先の半導体装置100~102と同様に、半導体からなるベース基板B4の表層部に形成されたIC回路G1~G4を保護するために、IC回路G1~G4上に密封キャップ(基板)C4が配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。尚、ベース基板B4の表層部に形成されたIC回路G1~G4は、キャップ基板C4により、非接触で密封保護される。従って、例えばIC回路G1~G4上に保護膜を形成して保護する場合に較べて、IC回路G1~G4が応力等の影響を受けやすい場合に好適である。

【0145】

30

以上に示した半導体装置100~103においては、いずれも、ベース基板B1~B4として、埋め込み酸化膜20を有するSOI基板が用いられていた。また、ベース半導体領域Bsは、埋め込み酸化膜20に達するトレンチ23や絶縁分離トレンチ27により周囲から絶縁分離された、SOI層21からなる領域であった。しかしながら、本発明の半導体装置における半導体からなるベース基板は、SOI基板に限らず、例えば、単結晶シリコン基板とすることができる。この場合には、上記絶縁分離された複数個のベース半導体領域を、例えばPN接合分離で形成することができる。

【0146】

次に、上記半導体装置100~103に用いられているキャップ基板C1~C4の変形例について説明する。

40

【0147】

図22は、キャップ基板の変形の一例を説明する図で、キャップ基板C5の模式的な断面を示す図である。

【0148】

図22に示すキャップ基板C5においては、先のキャップ基板C1~C4と異なり、キャップ基板C5の凹部32における所定の領域(天井部)に、酸化シリコン(SiO<sub>2</sub>)からなる絶縁膜38が形成されている。このキャップ基板C5を、例えば図1に示すキャップ基板C1に置き換えることで、半導体からなるベース基板B1の所定領域R1と導電性を有したキャップ基板C5の凹部32とで構成される空間23, 32内において、凹部32における所定の領域に形成された絶縁膜38により、空間23, 32内に残った水分

50

等による短絡（ショート）等の不具合を抑制することができる。尚、絶縁膜 38 は、 $\text{SiO}_2$  膜に限らず、窒化シリコン（ $\text{Si}_3\text{N}_4$ ）膜や酸化アルミニウム（ $\text{Al}_2\text{O}_3$ ）膜等であってもよく、任意に選択することができる。

#### 【0149】

図 23 は、キャップ基板の別の変形例を説明する図で、キャップ基板 C6 を用いた半導体装置 104 の模式的な断面を示す図である。

#### 【0150】

図 23 の半導体装置 104 では、ベース基板 B6 のベース半導体領域 Bs11, Bs12 に、それぞれ、キャップ基板 C6 のキャップ導電領域 Ce11, Ce12 が接続している。また、このキャップ導電領域（引き出し導電領域）Ce11, Ce12 を取り囲むキャップ導電領域 Ce13, Ce14 が、どちらも、接地電位（GND）に設定されている。これによって、接地電位（GND）に設定されたキャップ導電領域 Ce13, Ce14 を、引き出し導電領域 Ce11, Ce12 のシールドとして機能させることができる。また、引き出し導電領域 Ce11, Ce12 の間にあるキャップ導電領域 Ce15 も接地電位（GND）に設定すれば、ベース基板 B6 のベース半導体領域 Bs15 に対するシールドをより完全にすることができる。

10

#### 【0151】

尚、キャップ基板 C6 における所定のキャップ導電領域 Ce を、接地電位（GND）以外の所定電位に設定するようにしてもよい。例えば、図 23 の半導体装置 104 において、引き出し導電領域 Ce11, Ce12 の周囲のキャップ導電領域 Ce13, Ce14 を所定電位に設定して、電位印加リングを形成することができる。また、複数のキャップ導電領域 Ce における幾つかのキャップ導電領域に対して、接地電位（GND）と電源電位を分割する中間の電位をそれぞれ与えることもできる。これによって、隣接するキャップ導電領域 Ce 間の電位差を小さくして、絶縁分離性を高めることが可能である。勿論、キャップ導電領域 Ce に電位を与えず、フローティング状態としてもよい。

20

#### 【0152】

図 1 に示した半導体装置 100 のキャップ基板 C1 には、単結晶シリコン基板が用いられていた。しかしながら、本発明の半導体装置における導電性を有したキャップ基板は、単結晶シリコン基板に限らず、例えば、SOI 基板や多結晶シリコン基板、あるいは化合物半導体（GaAs, GaN 等）基板や金属（Cu, Fe, W, Al 等）基板であってもよい。

30

#### 【0153】

図 24 は、キャップ基板の別の変形例を説明する図で、キャップ基板 C7 を用いた半導体装置 105 の模式的な断面を示す図である。

#### 【0154】

図 24 の半導体装置 105 においては、キャップ基板 C7 として単結晶シリコン基板 30 が用いられ、キャップ基板 C7 の幾つかのキャップ導電領域 Ce において、IC 回路 G5 ~ G8 が形成されている。IC 回路 G5 ~ G8 は、バイポーラ回路や CMOS 回路等の任意のものであってよい。これら IC 回路 G5 ~ G8 を形成する単結晶シリコン基板 30 には、例えば、n 導電型で比抵抗が 1 ~ 20  $\Omega\text{cm}$  のものを用いる。この場合、ベース基板 B7 のベース半導体領域 Bs16, Bs17 に接続するキャップ基板 C7 の引き出し導電領域 Ce16, Ce17 は、リン（P）や砒素（As）のイオン注入を行い、高濃度の n 導電型（n+）となるようにする。例えば、ベース基板 B7 に図 1 の半導体装置 100 で説明した力学量センサ素子の実体となる部分を形成した場合には、キャップ基板 C7 の IC 回路 G5 ~ G8 を、力学量センサ素子からの出力を処理する周辺回路とする。これによって、大面積を有する力学量センサ素子の実体部上に IC 回路 G5 ~ G8 を配置することで、キャップ基板 C7 を効率的に利用し、半導体装置 105 の全体を小型化することができる。尚、この場合、IC 回路 G5 ~ G8 は、ベース基板 B7 とキャップ基板 C7 の接合前に形成してもよいし、接合後に形成してもよい。

40

#### 【0155】

50

このように、キャップ基板として単結晶シリコン基板、S O I 基板、あるいは化合物半導体基板を用いる場合には、ベース基板だけでなく、キャップ基板における複数のキャップ導電領域のうち、所定のキャップ導電領域に、各種の半導体素子や I C 回路を形成することが可能である。

#### 【 0 1 5 6 】

図 2 5 もキャップ基板の別の変形例を説明する図で、図 2 5 ( a ) は、キャップ基板 C 8 を用いた半導体装置 1 0 6 の模式的な断面を示す図であり、図 2 5 ( b ) は、キャップ基板準備工程におけるキャップ基板 C 8 の形成途中状態にある 1 次基板 C 8 a を示す図である。

#### 【 0 1 5 7 】

10

図 2 5 ( a ) に示す半導体装置 1 0 6 のキャップ基板 C 8 は、図 2 5 ( b ) に示す埋め込み酸化膜 4 0 を挟んで S O I 層 4 1 と支持基板 4 2 とから構成された S O I 基板を用いて形成されたものである。図 2 5 ( a ) のキャップ基板 C 8 における複数のキャップ導電領域 C e は、埋め込み酸化膜 4 0 に達する絶縁分離トレンチ 4 4 により、周囲から絶縁分離されている。キャップ基板 C 8 では、複数のキャップ導電領域 C e のうち、一方のキャップ導電領域が、埋め込み酸化膜 4 0 上の S O I 層 4 1 からなる単結晶導電領域 C e s であり、もう一方のキャップ導電領域が、多結晶シリコン 4 5 からなる多結晶導電領域 C e p である。ベース基板 B 8 のベース半導体領域 B s 1 8 , B s 1 9 に接続するキャップ基板 C 8 の引き出し導電領域 C e 1 8 , C e 1 9 は、多結晶導電領域 C e p からなっている。

20

#### 【 0 1 5 8 】

図 2 5 ( a ) に示す半導体装置 1 0 6 のように、キャップ基板 C 8 として S O I 基板を用いる場合には、図 2 4 に示した半導体装置 1 0 5 のように、キャップ基板 C 7 として単結晶シリコン基板 3 0 を用いる場合に較べて、例えばキャップ基板 C 8 に形成された各種の半導体素子や I C 回路 G 9 の高速化や高密度化を図ることができる。

#### 【 0 1 5 9 】

また、図 2 4 の半導体装置 1 0 5 におけるキャップ基板 C 7 では、単結晶シリコン基板 3 0 が用いられ、絶縁分離トレンチ 3 1 により分離された複数のキャップ導電領域 C e の全てが、単結晶シリコンからなる領域である。このため、引き出し導電領域 C e 1 6 , C e 1 7 には、リン ( P ) や砒素 ( A s ) のイオン注入して、当該領域の抵抗値を小さくしていた。これに対して、図 2 4 ( a ) の半導体装置 1 0 6 におけるキャップ基板 C 8 では、単結晶シリコン ( S O I 層 4 1 ) からなる単結晶導電領域 C e s と多結晶シリコン 4 5 からなる多結晶導電領域 C e p があり、引き出し導電領域 C e 1 8 , C e 1 9 を多結晶導電領域 C e p としている。これによって、I C 回路 G 9 を形成する S O I 層 4 1 ( 単結晶導電領域 C e s ) の不純物濃度によらず、例えば高不純物濃度の多結晶導電領域 C e p とすることで、多結晶導電領域 C e p を引き出し導電領域 C e 1 8 , C e 1 9 として好適に機能させることができる。またこの多結晶シリコン 4 5 にかえて金属 ( 例えばアルミニウム、銅、タングステン等 ) を埋め込んでもよい。

30

#### 【 0 1 6 0 】

図 2 5 ( a ) に示すキャップ基板 C 8 は、図 2 5 ( b ) に示す 1 次基板 C 8 a から、以下のようにして形成する。すなわち、図 2 5 ( b ) に示すように、1 次基板 C 8 a として、埋め込み酸化膜 4 0 を挟んで、S O I 層 4 1 と支持基板 4 2 とで構成された S O I 基板を準備し、S O I 層 4 1 のある一方の面 S 5 側に、埋め込み酸化膜 4 0 を貫通する所定深さのトレンチ 4 3 を形成する。次に、トレンチ 4 3 に側壁酸化膜 4 4 を形成した後、トレンチ 4 3 内を多結晶シリコン 4 5 で埋め戻す。側壁酸化膜 4 4 は、最終的に、図 2 5 ( a ) の絶縁分離トレンチ 4 4 となる。次に、図 2 5 ( b ) に示す 1 次基板 C 8 a のもう一方の面 S 6 側からエッチングして、埋め込み酸化膜 4 0 および側壁酸化膜 4 4 の端部を露出する。これによって、支持基板 4 2 を除去すると共に、図 2 5 ( a ) に示すキャップ基板 C 8 の凹部 3 2 を形成する。次に、1 次基板 C 8 a のもう一方の面 S 6 側から研削して、トレンチ 4 3 内に埋め込まれた多結晶シリコン 4 5 の端部を露出する。

40

50

## 【 0 1 6 1 】

以上の工程によって、図 2 5 ( a ) に示すキャップ基板 C 8 が準備できる。

## 【 0 1 6 2 】

以下、ベース基板 B 8 とキャップ基板 C 8 の接合工程は、図 6 で説明したとおりである。

## 【 0 1 6 3 】

図 2 5 ( b ) では、1 次基板 C 8 a として S O I 基板を用いたキャップ基板 C 8 の準備方法を説明したが、1 次基板として単結晶シリコン基板を用い、同様の方法によって、図 2 5 ( a ) に示すキャップ基板 C 8 を準備することもできることは言うまでもない。尚、この場合には、1 次基板に埋め込み酸化膜 4 0 が形成されていないため、キャップ基板 C 8 の凹部 3 2 を形成した後で形成する。

10

## 【 0 1 6 4 】

以上示したように、上記した半導体装置およびその製造方法は、いずれも、半導体からなるベース基板の表層部に形成された各種の素子を保護するために、前記ベース基板の素子上に密封キャップが配置されてなる半導体装置およびその製造方法であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置およびその製造方法となっている。なお、上記の説明においては分かりやすくするために単独の半導体装置を代表して記載してあるが、実際には単独の半導体装置だけでなく複数個の半導体装置を含んだウエハ単位で製造するのが一般的である。

20

## 【 符号の説明 】

## 【 0 1 6 5 】

1 0 0 ~ 1 0 6 , 1 1 0 ~ 1 1 4 半導体装置

B 1 ~ B 4 , B 6 ~ B 8 , B 1 0 , B 1 1 ベース基板

2 3 トレンチ

2 7 絶縁分離トレンチ

B s , B s 1 ~ B s 1 2 , B s 1 5 ~ B s 1 9 ベース半導体領域

C 1 ~ C 8 , C 1 0 ~ C 1 4 キャップ基板

3 1 , 4 4 絶縁分離トレンチ

C e , C e 1 , C e 2 , C e 4 , C e 5 , C e 7 ~ C e 1 9 キャップ導電領域

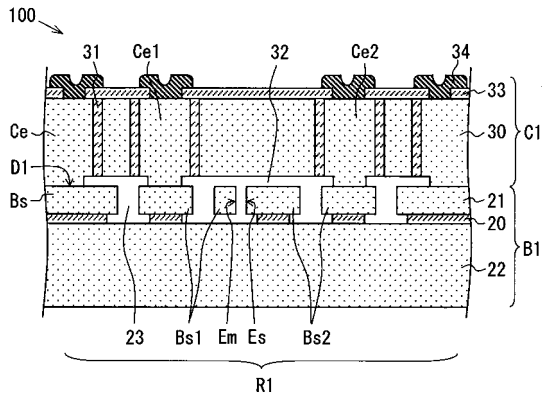
3 2 凹部

T 1 ~ T 3 凸部

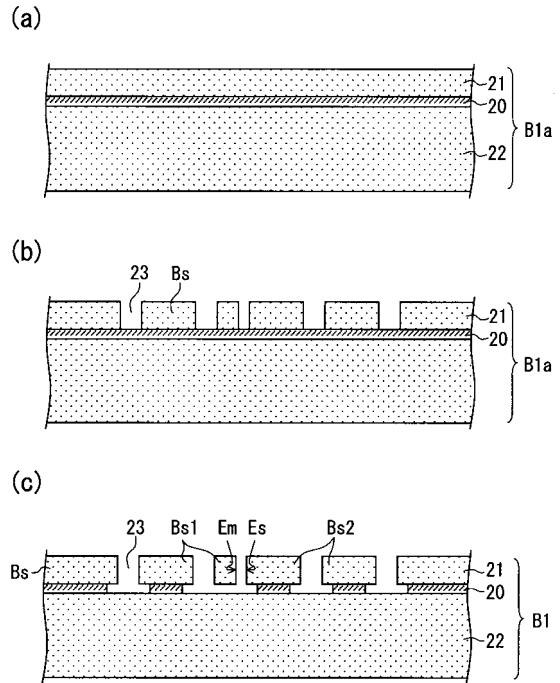
D 1 接合面

30

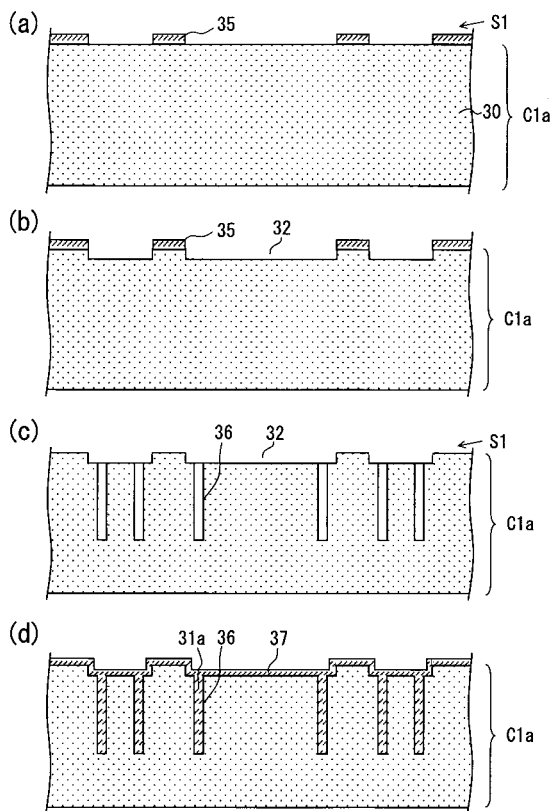
【図 1】



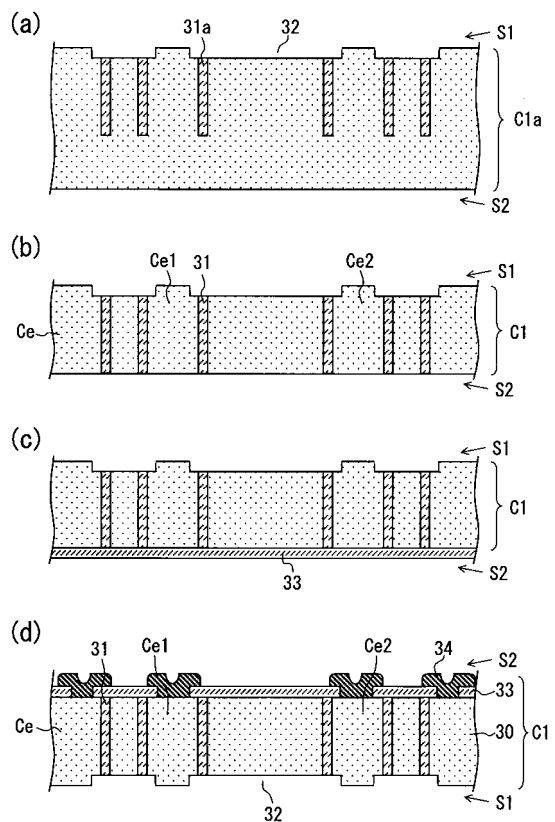
【図 2】



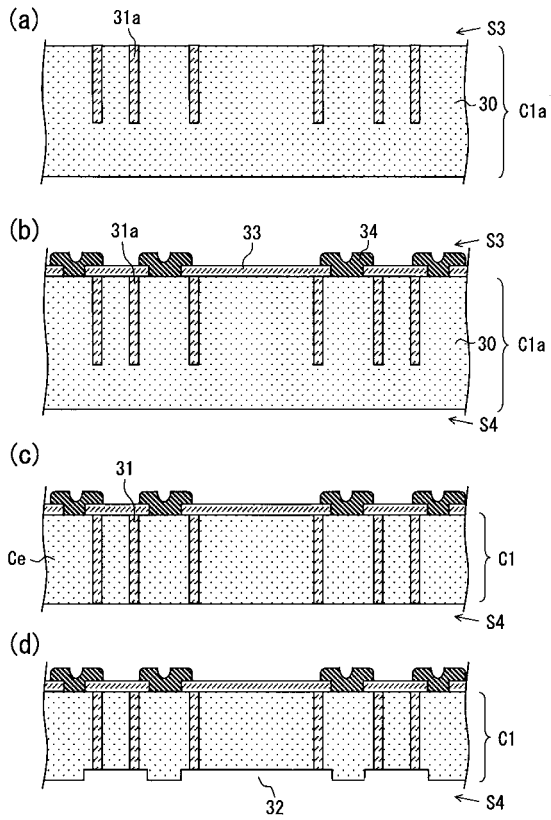
【図 3】



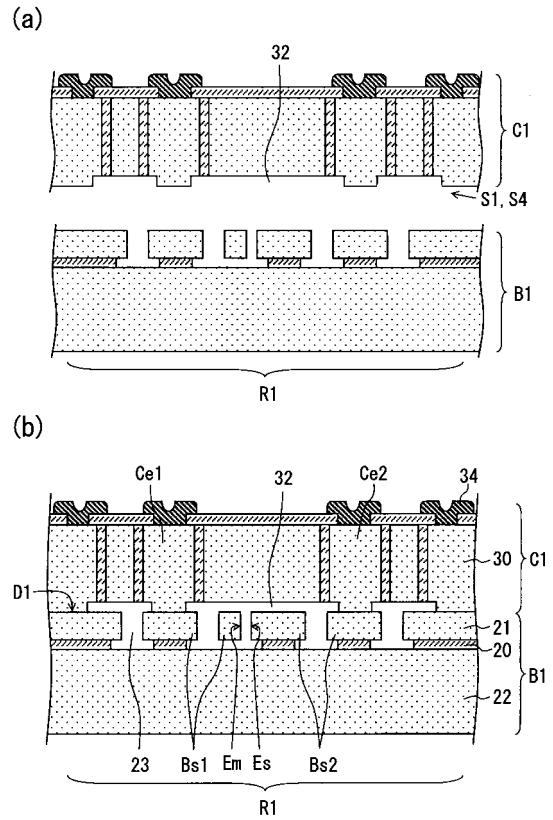
【図 4】



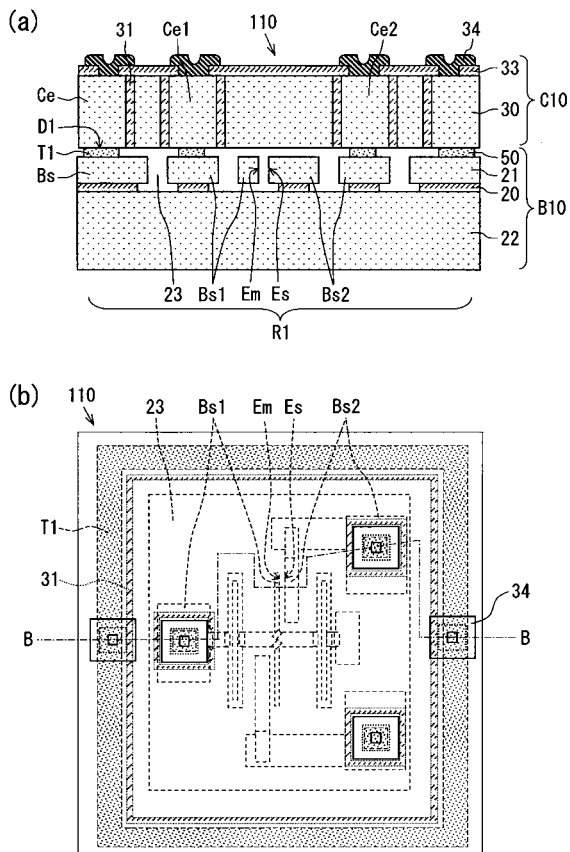
【図 5】



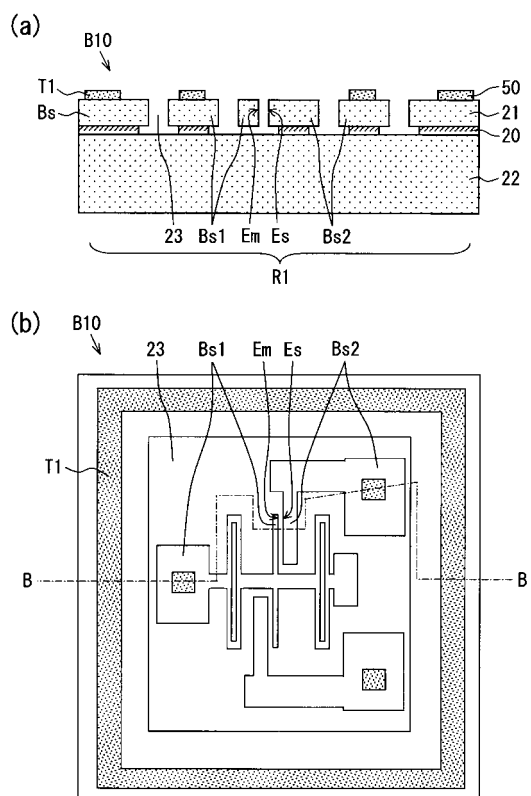
【図 6】



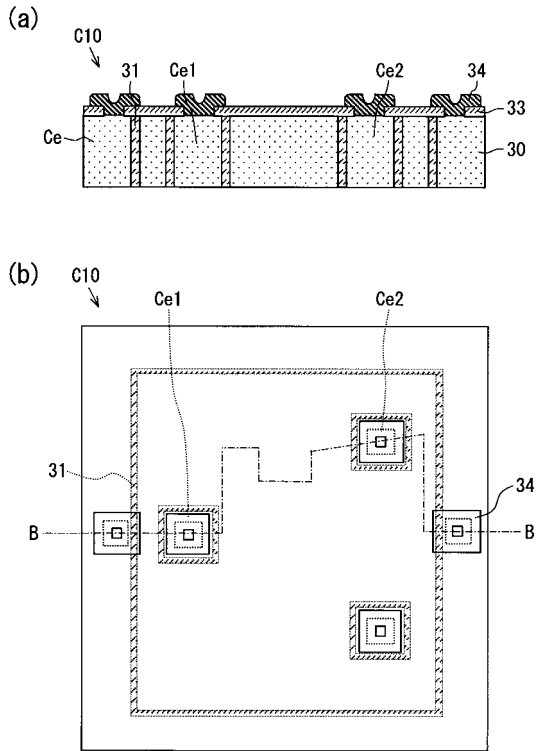
【図 7】



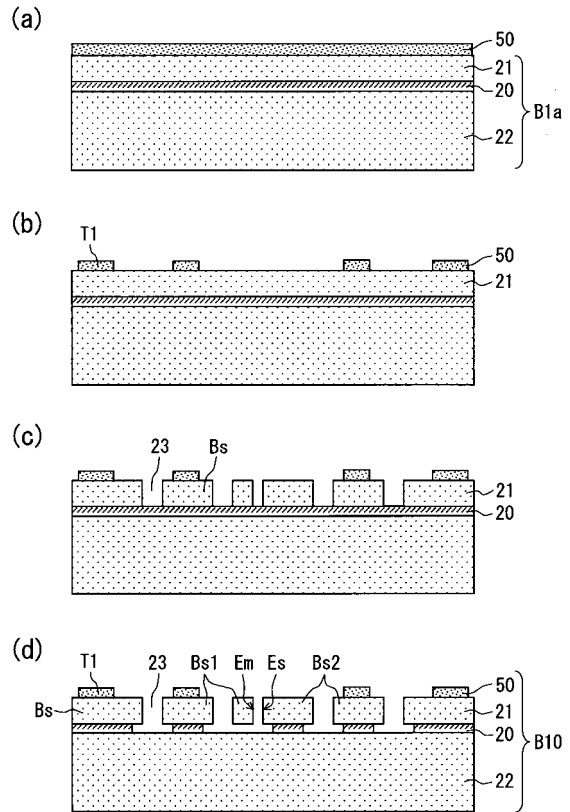
【図 8】



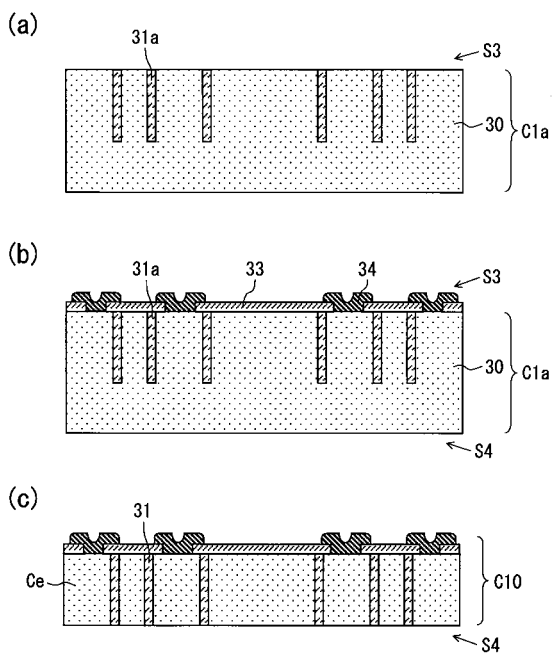
【図 9】



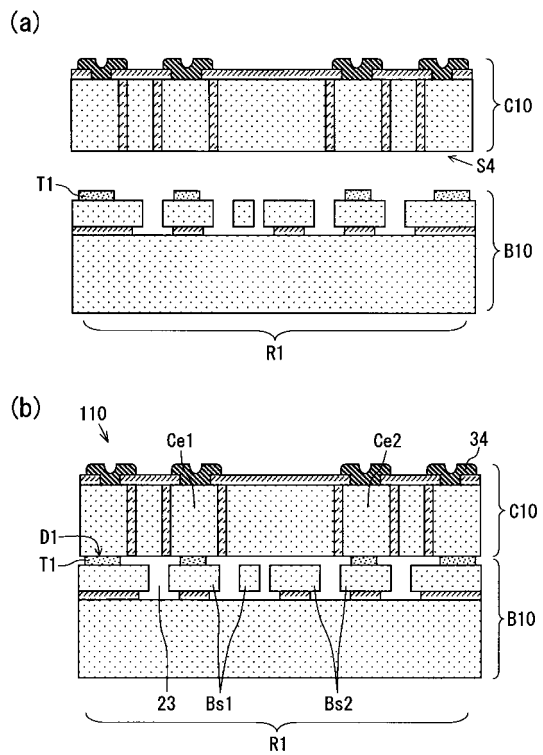
【図 10】



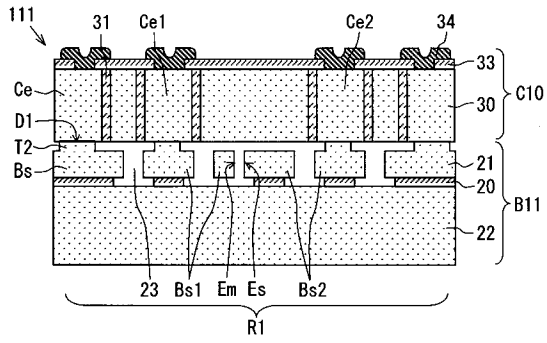
【図 11】



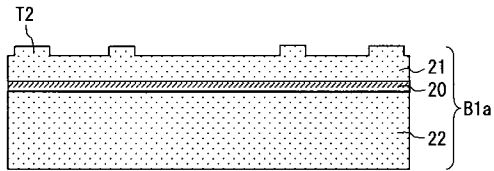
【図 12】



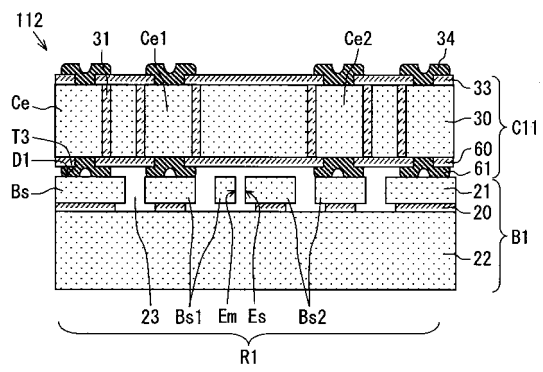
【図 13】



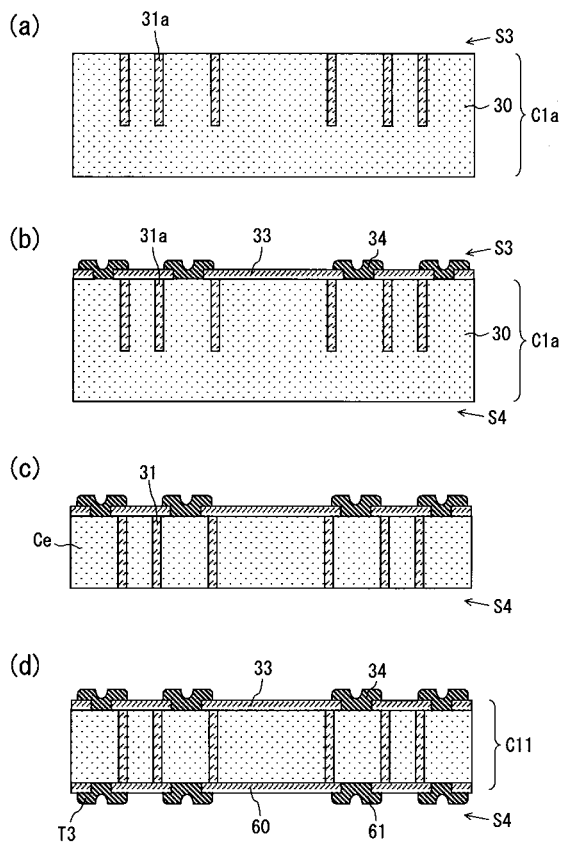
【図 14】



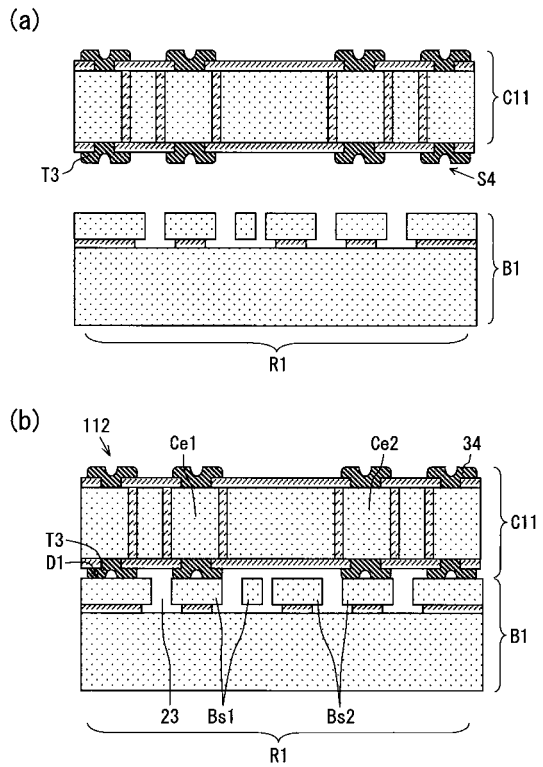
【図 15】



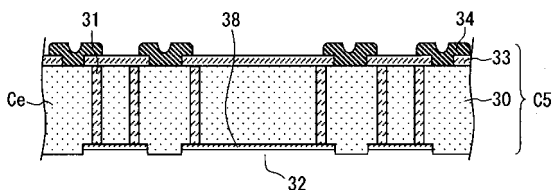
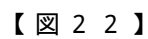
【図 16】



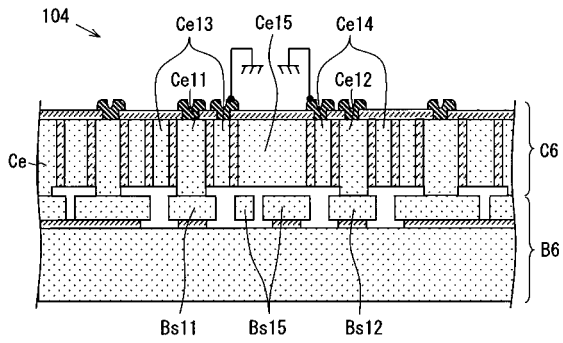
【図 17】



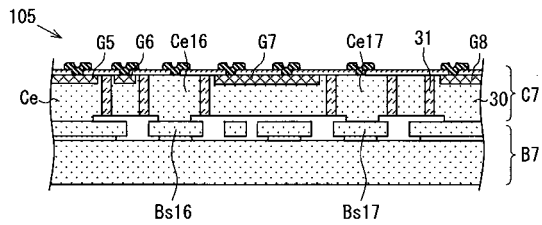
(a)



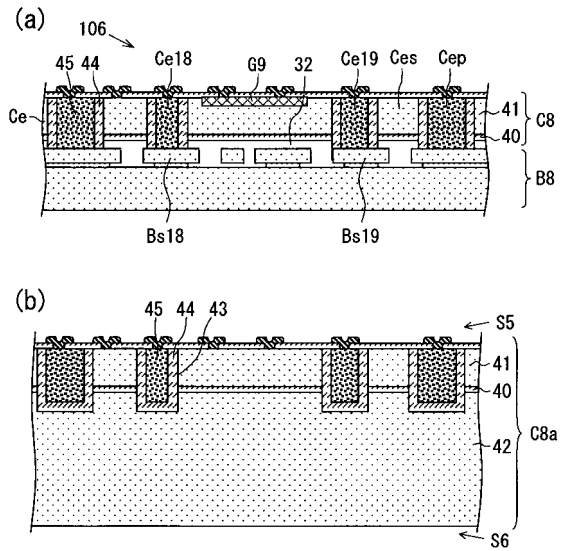
【図 2 3】



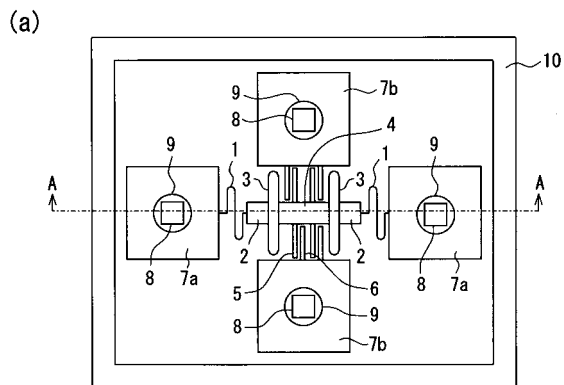
【図 2 4】



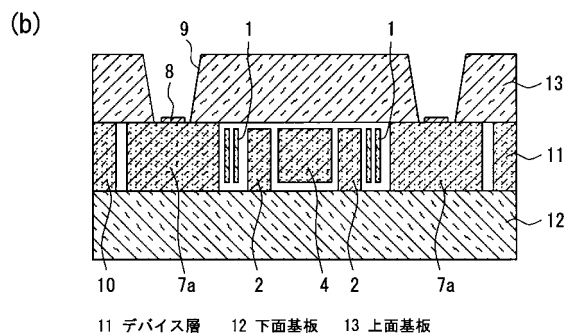
【図 2 5】



【図 2 6】



- 1 バネ      4 質量体      7a、7b アイランド電極  
2 アンカー      5 可動電極      8 金属パッド  
3 梁      6 固定電極      9 上面基板貫通穴  
10 枠



## 【手続補正書】

【提出日】平成21年10月5日(2009.10.5)

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

そこで本発明は、半導体からなるベース基板の表層部に形成された慣性力を利用する力学量センサ素子を保護するために、前記ベース基板の力学量センサ素子上に密封キャップが配置されてなる半導体装置およびその製造方法であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置およびその製造方法を提供することを目的としている。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

請求項1に記載の半導体装置は、埋め込み酸化膜を有するSOI基板からなるベース基板であって、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離されたSOI層からなる複数個のベース半導体領域が表層部に形成されてなり、前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、変位可能に形成された可動電極を有する可動半導体領域であり、少なくとももう一個のベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、印加される力学量に応じて変位する前記可動電極と固定電極の間の距離変化に伴う静電容量の変化を測定して前記力学量を検出する、力学量センサ素子が形成されたベース基板と、前記ベース基板に貼り合わされる導電性を有した単結晶シリコンからなる一枚の基板を加工して形成されるキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個の単結晶シリコンからなるキャップ導電領域が形成されてなるキャップ基板とを有してなり、前記キャップ基板が、導電膜を介して、前記ベース基板の表層部における前記力学量センサ素子が形成された所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、所定の前記キャップ導電領域が、前記導電膜を介して、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能し、前記可動半導体領域と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、前記ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する前記引き出し導電領域へ、電氣的な接続が行われてなることを特徴としている。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

上記半導体装置における前記ベース基板は、埋め込み酸化膜を有するSOI (Silicon On Insulator) 基板であり、複数個の前記ベース半導体領域は、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離された、SOI層からなる領域である。前記ベース基板には、前記ベース半導体領域からなる可動半導体領域と固定半導体領域を有し、印加される力学量に応じた前記可動電極と固定電極の間の距離変化に伴う静電容量の変化を測定して前記力学量を検出する、慣性力を利用した力学量センサ素子が形成されている。

また、上記半導体装置においては、ベース基板に貼り合わされる導電性を有した単結晶

シリコンからなる一枚の基板を加工して形成されるキャップ基板が、ベース基板の表層部の所定領域に形成される力学量センサ素子を保護するための密封キャップとして機能する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

さらに、上記半導体装置における前記キャップ基板には、絶縁分離された複数個の単結晶シリコンからなるキャップ導電領域が形成されており、所定の単結晶シリコンからなるキャップ導電領域が、ベース基板に形成された所定の絶縁分離されてなるベース半導体領域に電氣的に接続されて、引き出し導電領域として機能する。このため、ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する引き出し導電領域へワイヤボンディング等の電氣的な接続を行うことで、引き出し導電領域を介してベース基板の表層部の所定領域に形成される力学量センサ素子への電氣的な接続を行うことができる。従って、上記半導体装置においては、従来の半導体装置のようにワイヤボンディングのための大きな貫通穴をキャップ基板に形成する必要がない。このため、チップサイズを小さくでき、小型で安価な半導体装置とすることができる。また、上記キャップ基板の外部に露出する引き出し導電領域への電氣的な接続は、フェースダウンボンディング（ボールボンディング）であってもよく、実装面での制約も少ない。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

さらに、上記半導体装置における導電性を有した単結晶シリコンからなるキャップ基板は、ベース基板上に堆積層として形成されたものではなく、一枚の基板を加工して形成されたものである。従って、例えばキャップ基板の厚さを任意に設定できるため、高い強度を確保することができる。また、後述する種々の構造を当該キャップ基板に一般的な基板加工方法を用いて容易に形成することができるため、例えば密封キャップをベース基板上に堆積層として形成する場合に較べて製造コストを低減することができ、安価な半導体装置とすることができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

以上のようにして、上記半導体装置は、埋め込み酸化膜を有する S O I 基板からなるベース基板の表層部に形成された力学量センサ素子を保護するために、前記ベース基板の力学量センサ素子上に密封キャップが配置されてなる半導体装置であって、小型で安価に製造することができ、フェースダウンボンディングも可能で実装面での制約が少ない半導体装置とすることができる。

上記半導体装置における前記導電膜は、例えば請求項 2 に記載のように、金属とすることができる。上記半導体装置においては、請求項 3 に記載のように、前記ベース基板と前記キャップ基板が、導電性接着剤により貼り合わされてなる構成であってよい。また、請求項 4 に記載のように、前記導電膜が、金（Au）-シリコン（Si）共晶接合による貼り合わせで形成されていてもよい。

これによって、埋め込み酸化膜を有するＳＯＩ基板からなるベース基板と単結晶シリコンからなるキャップ基板が、上記導電膜を介して、導電性を確保した状態で強固に貼り合わされると共に、前記ベース基板の力学量センサ素子が形成された所定領域とキャップ基板とで構成される空間を完全密封することができる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

上記半導体装置は、例えば請求項 5 に記載のように、前記キャップ基板において、前記ベース基板の前記所定領域に対向して凹部が形成され、前記キャップ基板が、前記凹部の周りで前記ベース基板に貼り合わされてなる構成とすることができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

この場合、請求項 6 に記載のように、前記キャップ基板の凹部における所定の領域に、絶縁膜が形成されてなることが好ましい。これによれば、半導体からなるベース基板の所定領域と導電性を有したキャップ基板の凹部とで構成される前記空間内において、前記凹部における所定の領域に形成された絶縁膜により、空間内に残った水分やキャップ凹部内の汚染物質等による短絡（ショート）等の不具合を抑制することができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【補正の内容】

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【補正の内容】

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【補正の内容】

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

上記半導体装置においては、例えば請求項 7 に記載のように、前記可動半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより形成されてなり、前記可動電極と固定電極の対向面間における前記空間を誘電体層とする静電容量が形成され、前記可動電極が、前記力学量に応じて前記対向面に対して垂直方向に変位する構成とすることが好ましい。尚、上記半導体装置における前記力学量は、例えば請求項 8 に記載のように、加速度または角速度とすることができる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】削除

【補正の内容】

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】削除

【補正の内容】

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】削除

【補正の内容】

【手続補正 1 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】削除

【補正の内容】

【手続補正 1 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】削除

【補正の内容】

【手続補正 1 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】削除

【補正の内容】

【手続補正 2 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】削除

【補正の内容】

【手続補正 2 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】削除

【補正の内容】

【手続補正 2 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】削除

【補正の内容】

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 3

【補正方法】削除

【補正の内容】

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 4

【補正方法】削除

【補正の内容】

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】削除

【補正の内容】

【手続補正 2 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

上記半導体装置においては、請求項 9 に記載のように、前記複数個のキャップ導電領域のうち、所定のキャップ導電領域に、I C 回路を形成することが可能である。

【手続補正 2 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 7

【補正方法】変更

【補正の内容】

【0 0 3 7】

また、上記半導体装置においては、請求項 1 0 に記載のように、前記複数個のキャップ導電領域のうち、前記引き出し導電領域を取り囲むキャップ導電領域が、所定電位に設定されてなるように、上記半導体装置を構成することができる。前記所定電位は、例えば請求項 1 1 に記載のように、接地電位（G N D）とすることができる。これによれば、前記引き出し導電領域を取り囲む接地電位（G N D）に設定されたキャップ導電領域を、シールドとして機能させることができる。

【手続補正 2 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】削除

【補正の内容】

【手続補正 2 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】削除

【補正の内容】

【手続補正 3 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 0

【補正方法】削除

【補正の内容】

【手続補正 3 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】削除

【補正の内容】

【手続補正 3 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 2

【補正方法】変更

【補正の内容】

【0 0 4 2】

請求項 1 2 ~ 請求項 1 7 に記載の発明は、上記半導体装置の製造方法に関する発明である。

【手続補正 3 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

請求項 1 2 に記載の発明は、埋め込み酸化膜を有する S O I 基板からなるベース基板であって、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離された S O I 層からなる複数個のベース半導体領域が表層部に形成されてなり、前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、変位可能に形成された可動電極を有する可動半導体領域であり、少なくとももう一個のベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、印加される力学量に応じて変位する前記可動電極と固定電極の間の距離変化に伴う静電容量の変化を測定して前記力学量を検出する、力学量センサ素子が形成されたベース基板と、前記ベース基板に貼り合わされる導電性を有した単結晶シリコンからなる一枚の基板を加工して形成されるキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個の単結晶シリコンからなるキャップ導電領域が形成されてなるキャップ基板とを有してなり、前記キャップ基板が、導電膜を介して、前記ベース基板の表層部における前記力学量センサ素子が形成された所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、所定の前記キャップ導電領域が、前記導電膜を介して、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能し、前記可動半導体領域と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、前記ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する前記引き出し導電領域へ、電氣的な接続が行われてなる半導体装置の製造方法であって、前記絶縁分離された複数個のベース半導体領域が表層部に形成されてなるベース基板を準備するベース基板準備工程と、前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個のキャップ導電領域が形成されてなるキャップ基板を準備するキャップ基板準備工程と、前記キャップ基板を、前記ベース基板の所定領域に対向するようにして、前記導電膜を介して、前記ベース基板に貼り合わせ、前記空間を密封すると共に、前記導電膜を介して、前記引き出し導電領域を前記所定のベース半導体領域に電氣的に接続する基板貼り合わせ工程とを有してなることを特徴としている。

【手続補正 3 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 4

【補正方法】変更

## 【補正の内容】

## 【 0 0 4 4 】

これによって、上記請求項 1 に記載の半導体装置を製造することができる。

上記製造方法においては、例えば請求項 1 3 に記載のように、前記導電膜が、金属であってもよいし、請求項 1 4 に記載のように、前記ベース基板と前記キャップ基板が、前記基板貼り合わせ工程において、導電性接着剤により貼り合わされてもよい。また、請求項 1 5 に記載のように、前記導電膜が、前記基板貼り合わせ工程において、金 ( A u ) - シリコン ( S i ) 共晶接合による貼り合わせで形成されてもよい。

## 【手続補正 3 5 】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 5

【補正方法】変更

## 【補正の内容】

## 【 0 0 4 5 】

上記製造方法においては、例えば請求項 1 6 に記載のように、前記キャップ基板準備工程が、前記キャップ基板となる 1 次基板の一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、前記 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにすることができる。

## 【手続補正 3 6 】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 6

【補正方法】変更

## 【補正の内容】

## 【 0 0 4 6 】

これによって、上記請求項 5 に記載の半導体装置を製造することができる。

## 【手続補正 3 7 】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 7

【補正方法】変更

## 【補正の内容】

## 【 0 0 4 7 】

また、請求項 1 7 に記載のように、前記キャップ基板準備工程が、前記キャップ基板となる 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程と、前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなる構成とし、前記基板貼り合わせ工程において、前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせるようにしてもよい。

## 【手続補正 3 8 】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 8

【補正方法】変更

【補正の内容】

【0048】

これによっても、上記請求項5に記載の半導体装置を製造することができる。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】削除

【補正の内容】

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】削除

【補正の内容】

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】削除

【補正の内容】

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】削除

【補正の内容】

【手続補正43】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】削除

【補正の内容】

【手続補正44】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】削除

【補正の内容】

【手続補正45】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】削除

【補正の内容】

【手続補正46】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】削除

【補正の内容】

【手続補正47】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】削除

【補正の内容】

【手続補正48】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】削除

【補正の内容】

【手続補正49】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】削除

【補正の内容】

【手続補正50】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

【図1】本発明ではないが基本となる半導体装置の一例で、半導体装置100の模式的な断面を示す図である。

【図2】(a)～(c)は、ベース基板準備工程を説明する図で、図1の半導体装置100におけるキャップ基板C1と貼り合わせる前のベース基板B1を準備する工程である。

【図3】(a)～(d)は、キャップ基板の準備工程の一例を説明する図で、図1におけるベース基板B1と貼り合わせる前のキャップ基板C1を準備する工程である。

【図4】(a)～(d)は、キャップ基板の準備工程の一例を説明する図で、図1におけるベース基板B1と貼り合わせる前のキャップ基板C1を準備する工程である。

【図5】(a)～(d)は、キャップ基板C1に関する別の準備工程の例を示す図である。

【図6】(a)，(b)は、基板貼り合わせ工程を説明する図で、先の工程において準備したベース基板B1とキャップ基板C1を互いに貼り合わせる工程を示す図である。

【図7】本発明に係る半導体装置の一例で、(a)は半導体装置110の模式的な断面図であり、(b)は半導体装置110の模式的な上面図である。

【図8】半導体装置110のベース基板B10を示す図で、(a)はベース基板B10の断面図であり、(b)はベース基板B10の上面図である。

【図9】半導体装置110のキャップ基板C10を示す図で、(a)はキャップ基板C10の断面図であり、(b)はキャップ基板C10の上面図である。

【図10】半導体装置110の製造方法の一例を示す工程別の断面図で、(a)～(d)は、半導体装置110におけるキャップ基板C10と貼り合わせる前のベース基板B10を準備する工程である。

【図11】半導体装置110の製造方法の一例を示す工程別の断面図で、(a)～(c)は、半導体装置110におけるベース基板B10と貼り合わせる前のキャップ基板C10を準備する工程である。

【図12】半導体装置110の製造方法の一例を示す工程別の断面図で、(a)，(b)に示す基板貼り合わせ工程において、先の工程において準備したベース基板B10とキャップ基板C10を互いに貼り合わせる。

【図13】基本となる別の半導体装置の例で、半導体装置111の模式的な断面図である。

【図14】半導体装置111の製造方法を説明するための図で、キャップ基板C10と貼り合わせる前のベース基板B11を準備する途中の工程を示した断面図である。

【図15】本発明に係る別の半導体装置の例で、半導体装置112の模式的な断面図である。

【図16】半導体装置112の製造方法を説明するための図で、(a)～(d)は、ベース基板B1と貼り合わせる前のキャップ基板C11を準備する工程を示した工程別の断面

図である。

【図 1 7】半導体装置 1 1 2 の製造方法を説明するための図で、( a ) , ( b ) は、ベース基板 B 1 とキャップ基板 C 1 1 の貼り合わせ工程を示した図である。

【図 1 8】( a ) , ( b ) は、それぞれ、半導体装置 1 1 2 の変形例で、半導体装置 1 1 3 , 1 1 4 の模式的な断面図である。

【図 1 9】MEMS 共振器を有してなる半導体装置 1 0 1 の模式的な断面を示す図である。

【図 2 0】赤外線センサ素子を有してなる半導体装置の例で、( a ) は、半導体装置 1 0 2 の模式的な断面を示す図であり、( b ) は、( a ) 中の破線 F で囲った赤外線センサ素子の周りの拡大図であり、( c ) は、( b ) の要部の配置を示した模式的な上面図である。

【図 2 1】本発明ではないが参考とする別の半導体装置の例で、半導体装置 1 0 3 の模式的な断面を示す図である。

【図 2 2】キャップ基板の変形の一例を説明する図で、キャップ基板 C 5 の模式的な断面を示す図である。

【図 2 3】キャップ基板の別の変形例を説明する図で、キャップ基板 C 6 を用いた半導体装置 1 0 4 の模式的な断面を示す図である。

【図 2 4】キャップ基板の別の変形例を説明する図で、キャップ基板 C 7 を用いた半導体装置 1 0 5 の模式的な断面を示す図である。

【図 2 5】本発明ではないが参考とするキャップ基板の例を説明する図で、( a ) は、キャップ基板 C 8 を用いた半導体装置 1 0 6 の模式的な断面を示す図であり、( b ) は、キャップ基板準備工程におけるキャップ基板 C 8 の形成途中状態にある 1 次基板 C 8 a を示す図である。

【図 2 6】従来の半導体装置（慣性力センサ）を示す図で、( a ) は、慣性力センサの平面図であり、( b ) は、( a ) に示す A - A での断面図である。

【手続補正 5 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【0 0 6 3】

図 1 は、本発明ではないが基本となる半導体装置の一例で、半導体装置 1 0 0 の模式的な断面を示す図である。

【手続補正 5 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 2

【補正方法】変更

【補正の内容】

【0 1 0 2】

次に、本発明に係る半導体装置の例を説明する。

【手続補正 5 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 3

【補正方法】変更

【補正の内容】

【0 1 0 3】

図 7 は本発明に係る半導体装置の一例で、図 7 ( a ) は半導体装置 1 1 0 の模式的な断面図であり、図 7 ( b ) は半導体装置 1 1 0 の模式的な上面図である。図 7 ( a ) の断面図は、図 7 ( b ) の一点鎖線 B - B での断面について、分かり易くするために切断線に沿って任意に伸縮して簡略化して示した図となっている。尚、図 7 の半導体装置 1 1 0 にお

いて、図 1 の半導体装置 1 0 0 と同様の部分については同じ符号を付した。また、図 7 ( b ) においては、半導体装置 1 1 0 の可動電極 E m と固定電極 E s を簡略化して示しているが、実際には図 2 6 に示すように、それぞれ櫛歯状になっている。

【手続補正 5 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 7

【補正方法】変更

【補正の内容】

【0 1 1 7】

図 1 3 は、基本となる別の半導体装置の例で、半導体装置 1 1 1 の模式的な断面図である。尚、図 1 3 の半導体装置 1 1 1 において、図 7 の半導体装置 1 1 0 と同様の部分については、同じ符号を付した。

【手続補正 5 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 3

【補正方法】変更

【補正の内容】

【0 1 2 3】

図 1 5 も、本発明に係る別の半導体装置の例で、半導体装置 1 1 2 の模式的な断面図である。尚、図 1 5 の半導体装置 1 1 2 において、図 1 の半導体装置 1 0 0 と同様の部分については、同じ符号を付した。

【手続補正 5 6】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 9

【補正方法】変更

【補正の内容】

【0 1 2 9】

次に、図 2 ( a ) ~ ( c ) の工程により準備したベース基板 B 1 と図 1 6 ( a ) ~ ( d ) の工程により準備したキャップ基板 C 1 1 を図 1 7 ( a ) に示すように積層し、図 1 7 ( b ) に示すようにキャップ基板 C 1 1 の凸部 T 3 でベース基板 B 1 に貼り合わせて、接合面 D 1 を形成する。

【手続補正 5 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 4

【補正方法】変更

【補正の内容】

【0 1 3 4】

次に、力学量センサ素子以外の別の素子を有してなる、本発明ではないが参考とする半導体装置の例を示す。

【手続補正 5 8】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 1

【補正方法】変更

【補正の内容】

【0 1 4 1】

図 2 1 も、本発明ではないが参考とする別の半導体装置の例で、半導体装置 1 0 3 の模式的な断面を示す図である。

【手続補正 5 9】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 5

【補正方法】変更

【補正の内容】

【0145】

以上に示した半導体装置100～103においては、いずれも、ベース基板B1～B4として、埋め込み酸化膜20を有するSOI基板が用いられていた。また、ベース半導体領域Bsは、埋め込み酸化膜20に達するトレンチ23や絶縁分離トレンチ27により周囲から絶縁分離された、SOI層21からなる領域であった。しかしながら、本発明ではないが参考として、ベース基板は、SOI基板に限らず、例えば、単結晶シリコン基板とすることができる。この場合には、上記絶縁分離された複数個のベース半導体領域を、例えばPN接合分離で形成することができる。

【手続補正60】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】変更

【補正の内容】

【0152】

図1に示した半導体装置100のキャップ基板C1には、単結晶シリコン基板が用いられていた。しかしながら、本発明ではないが参考として、キャップ基板は、単結晶シリコン基板に限らず、例えば、SOI基板や多結晶シリコン基板、あるいは化合物半導体（GaAs，GaN等）基板や金属（Cu，Fe，W，Al等）基板であってもよい。

【手続補正61】

【補正対象書類名】明細書

【補正対象項目名】0156

【補正方法】変更

【補正の内容】

【0156】

図25は、本発明ではないが参考とするキャップ基板の例を説明する図で、図25（a）は、キャップ基板C8を用いた半導体装置106の模式的な断面を示す図であり、図25（b）は、キャップ基板準備工程におけるキャップ基板C8の形成途中状態にある1次基板C8aを示す図である。

【手続補正62】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

埋め込み酸化膜を有するSOI基板からなるベース基板であって、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離されたSOI層からなる複数個のベース半導体領域が表層部に形成されてなり、

前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、変位可能に形成された可動電極を有する可動半導体領域であり、少なくとももう一個のベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、

印加される力学量に応じて変位する前記可動電極と固定電極の間の距離変化に伴う静電容量の変化を測定して前記力学量を検出する、力学量センサ素子が形成されたベース基板と、

前記ベース基板に貼り合わされる導電性を有した単結晶シリコンからなる一枚の基板を加工して形成されるキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数個の単結晶シリコンからなるキャップ導電領域が形成されてなるキャップ基板とを有してなり、

前記キャップ基板が、導電膜を介して、前記ベース基板の表層部における前記力学量センサ素子が形成された所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、

所定の前記キャップ導電領域が、前記導電膜を介して、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能し、

前記可動半導体領域と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、

前記ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する前記引き出し導電領域へ、電氣的な接続が行われてなることを特徴とする半導体装置。

【請求項 2】

前記導電膜が、金属からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ベース基板と前記キャップ基板が、導電性接着剤により貼り合わされてなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記導電膜が、金 (Au) - シリコン (Si) 共晶接合による貼り合わせで形成されてなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記キャップ基板において、前記ベース基板の前記所定領域に対向して凹部が形成され、

前記キャップ基板が、前記凹部の周りで前記ベース基板に貼り合わされてなることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記キャップ基板の凹部における所定の領域に、絶縁膜が形成されてなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記可動半導体領域が、前記埋め込み酸化膜の一部を犠牲層エッチングすることにより形成されてなり、

前記可動電極と固定電極の対向面間における前記空間を誘電体層とする静電容量が形成され、

前記可動電極が、前記力学量に応じて前記対向面に対して垂直方向に変位することを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記力学量が、加速度または角速度であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記複数個のキャップ導電領域のうち、所定のキャップ導電領域に、IC 回路が形成されてなることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記複数個のキャップ導電領域のうち、前記引き出し導電領域を取り囲むキャップ導電領域が、所定電位に設定されてなることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記所定電位が、接地電位 (GND) であることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

埋め込み酸化膜を有する SOI 基板からなるベース基板であって、前記埋め込み酸化膜に達するトレンチにより周囲から絶縁分離された SOI 層からなる複数個のベース半導体領域が表層部に形成されてなり、

前記複数個のベース半導体領域のうち、少なくとも一個のベース半導体領域が、変位可

能に形成された可動電極を有する可動半導体領域であり、少なくとももう一つのベース半導体領域が、前記可動電極と対向する固定電極を有する固定半導体領域であり、

印加される力学量に応じて変位する前記可動電極と固定電極の間の距離変化に伴う静電容量の変化を測定して前記力学量を検出する、力学量センサ素子が形成されたベース基板と、

前記ベース基板に貼り合わされる導電性を有した単結晶シリコンからなる一枚の基板を加工して形成されるキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数の単結晶シリコンからなるキャップ導電領域が形成されてなるキャップ基板とを有してなり、

前記キャップ基板が、導電膜を介して、前記ベース基板の表層部における前記力学量センサ素子が形成された所定領域に対向して貼り合わされて、前記所定領域とキャップ基板とで構成される空間が、密封されると共に、

所定の前記キャップ導電領域が、前記導電膜を介して、所定の前記ベース半導体領域に電氣的に接続されてなる、引き出し導電領域として機能し、

前記可動半導体領域と前記固定半導体領域に、それぞれ、前記引き出し導電領域が接続され、

前記ベース基板に貼り合わされたキャップ基板の貼り合わせ面と反対側の外部に露出する前記引き出し導電領域へ、電氣的な接続が行われてなる半導体装置の製造方法であって、

前記絶縁分離された複数のベース半導体領域が表層部に形成されてなるベース基板を準備するベース基板準備工程と、

前記ベース基板に貼り合わされる導電性を有したキャップ基板であって、当該キャップ基板を貫通する絶縁分離トレンチにより、複数のキャップ導電領域が形成されてなるキャップ基板を準備するキャップ基板準備工程と、

前記キャップ基板を、前記ベース基板の所定領域に対向するようにして、前記導電膜を介して、前記ベース基板に貼り合わせ、

前記空間を密封すると共に、前記導電膜を介して、前記引き出し導電領域を前記所定のベース半導体領域に電氣的に接続する基板貼り合わせ工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項 13】

前記導電膜が、金属からなることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

前記ベース基板と前記キャップ基板が、前記基板貼り合わせ工程において、導電性接着剤により貼り合わされることを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

【請求項 15】

前記導電膜が、前記基板貼り合わせ工程において、金 (Au) - シリコン (Si) 共晶接合による貼り合わせで形成されてなることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 16】

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程と、

前記 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項 1 2 乃至 1 5 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 7】

前記キャップ基板準備工程が、

前記キャップ基板となる 1 次基板の一方の面側に、前記絶縁分離トレンチとなる所定深さの 1 次絶縁トレンチを形成する 1 次絶縁トレンチ形成工程と、

前記 1 次基板のもう一方の面側から研削して、前記 1 次絶縁トレンチの端部を露出し、前記 1 次絶縁トレンチを前記絶縁分離トレンチとすると共に、前記 1 次基板を前記キャップ基板とするキャップ基板形成工程と、

前記キャップ基板形成工程後、前記キャップ基板のもう一方の面側に、前記ベース基板の表層部における所定領域に対向して凹部を形成する凹部形成工程とを有してなり、

前記基板貼り合わせ工程において、

前記キャップ基板の凹部を、前記ベース基板の所定領域に対向するようにして、前記キャップ基板を、凹部の周りで前記ベース基板に貼り合わせることを特徴とする請求項 1 2 乃至 1 5 のいずれか一項に記載の半導体装置の製造方法。

---

 フロントページの続き

| (51) Int. Cl.                  | F I     |       |   |  |  | テーマコード (参考) |
|--------------------------------|---------|-------|---|--|--|-------------|
| <b>H 0 3 H 9/24 (2006.01)</b>  | H 0 3 H | 9/24  | Z |  |  |             |
| <b>H 0 3 H 9/02 (2006.01)</b>  | H 0 3 H | 9/02  | A |  |  |             |
| <b>H 0 3 H 3/007 (2006.01)</b> | H 0 3 H | 3/007 | Z |  |  |             |

|            |       |      |      |      |      |      |      |      |      |      |      |
|------------|-------|------|------|------|------|------|------|------|------|------|------|
| F ターム (参考) | 3C081 | BA07 | BA22 | BA30 | BA32 | BA44 | BA48 | CA05 | CA15 | CA20 | CA28 |
|            |       | CA29 | CA32 | DA04 | DA22 | DA26 | DA27 | DA30 | EA01 | EA02 | EA03 |
|            |       | EA04 | EA22 |      |      |      |      |      |      |      |      |
|            | 4M112 | AA02 | BA07 | CA21 | CA24 | CA31 | CA33 | DA03 | DA18 | EA03 | EA06 |
|            |       | EA11 | EA18 | FA20 |      |      |      |      |      |      |      |
|            | 5J108 | AA07 | AA09 | BB08 | CC04 | CC08 | CC11 | EE03 | EE04 | EE06 | EE13 |
|            |       | KK01 | KK04 | MM01 | MM11 |      |      |      |      |      |      |