

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3987389号  
(P3987389)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月20日(2007.7.20)

(51) Int. Cl.	F I
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 4 B
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 4 C
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 0 1 A

請求項の数 17 (全 19 頁)

(21) 出願番号	特願2002-200776 (P2002-200776)	(73) 特許権者	000003078
(22) 出願日	平成14年7月10日(2002.7.10)		株式会社東芝
(65) 公開番号	特開2004-47593 (P2004-47593A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年2月12日(2004.2.12)	(74) 代理人	100058479
審査請求日	平成15年7月24日(2003.7.24)		弁理士 鈴江 武彦
前置審査		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

原子A、原子B、原子Oからなる $ABO_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項2】

原子A、原子B、原子C、原子Oからなる $ABxC(1-x)O_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項3】

層状ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、第1の原子が他の原子に対して相対的に位置が移動し、安定点で

残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記第1の原子が、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項4】

前記4点の位置への原子の移動は、第1の電界および前記第1の電界に対して逆方向の第2の電界と、前記第1の電界に対して垂直方向の第3の電界および前記第3の電界に対して逆方向の第4の電界を用いて行うことを特徴とする請求項1乃至3のいずれか1項に記載の半導体記憶装置。

【請求項5】

前記4点の位置への原子の移動は、前記強誘電体素子に近接して配置された4つの電極に対する印加電圧を制御して発生する電界を用いて行うことを特徴とする請求項1乃至3のいずれか1項に記載の半導体記憶装置。

【請求項6】

前記強誘電体素子は、少なくとも  $BaTiO_3$  を含むことを特徴とする請求項1記載の半導体記憶装置。

【請求項7】

前記強誘電体素子は、少なくとも  $PbZrxTi(1-x)O_3$  を含むことを特徴とする請求項2記載の半導体記憶装置。

【請求項8】

前記強誘電体素子は、少なくとも  $(BiLa)_4Ti_3O_{12}$ 、 $Bi_4Ti_3O_{12}$ 、 $SrBi_2Ta_2O_9$  のいずれかを含むことを特徴とする請求項3記載の半導体記憶装置。

【請求項9】

原子A、原子B、原子Oからなる  $ABO_3$  系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項10】

原子A、原子B、原子C、原子Oからなる  $ABxC(1-x)O_3$  系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項11】

層状ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、第1の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記第1の原子が、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項12】

前記6点の位置への原子の移動は、第1の電界および前記第1の電界に対して逆方向の第2の電界と、前記第1の電界に対して垂直方向の第3の電界および前記第3の電界に対

10

20

30

40

50

して逆方向の第 4 の電界と、前記第 1 の電界および前記第 3 の電界に対して垂直方向の第 5 の電界および前記第 5 の電界に対して逆方向の第 6 の電界を用いて行うことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体記憶装置。

【請求項 13】

前記 6 点の位置への原子の移動は、前記強誘電体素子に近接して配置された 6 つの電極に対する印加電圧を制御して発生する電界を用いて行うことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体記憶装置。

【請求項 14】

前記強誘電体素子は、少なくとも  $BaTiO_3$  を含むことを特徴とする請求項 9 記載の半導体記憶装置。

10

【請求項 15】

前記強誘電体素子は、少なくとも  $PbZr_xTi_{(1-x)}O_3$  を含むことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 16】

ペロブスカイト構造を有する強誘電体材料の表面に接した第 1 の電極、第 2 の電極、第 3 の電極および第 4 の電極を有し、前記第 1 の電極と前記強誘電体材料が接する第 1 の面は、前記第 3 の電極と前記強誘電体材料が接する第 3 の面と平行であり、前記第 2 の電極と前記強誘電体材料が接する第 2 の面は、前記第 4 の電極と前記強誘電体材料が接する第 4 の面と平行であり、前記第 1 の電極および前記第 2 の電極に対応して第 1 のトランジスタのソース端子およびドレイン端子が接続され、前記第 3 の電極および前記第 4 の電極に対応して第 2 のトランジスタのソース端子およびドレイン端子が接続されることによって一つのメモリセルユニットが構成され、前記一つのメモリセルユニットに 2 ビット以上の情報を記憶することを特徴とする半導体記憶装置。

20

【請求項 17】

前記第 1 のトランジスタのソース端子およびドレイン端子を第 1 の 2 端子とし、前記第 2 のトランジスタのソース端子およびドレイン端子を第 2 の 2 端子とし、複数の前記メモリセルユニットの第 1 の 2 端子同士が直列接続されるとともに前記第 2 の 2 端子同士が直列接続されてメモリセルブロックを構成することを特徴とする請求項 16 記載の半導体記憶装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に係り、特に情報記憶用の強誘電体キャパシタの構造およびそれを用いた強誘電体メモリセルの回路に関するもので、例えば強誘電体メモリに使用されるものである。

【0002】

【従来の技術】

半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性の DRAM (Dynamic RAM)、SRAM (Static RAM)、不揮発性の MROM (Mask ROM)、Flash E<sup>2</sup> PROM 等が市場に出まわっている。特に、DRAM は揮発性メモリであるにも関わらず、その低コスト性 (SRAM に比べてセル面積が 1/4)、高速性 (Flash E<sup>2</sup> PROM) の点で優れており、市場の殆んどを占めているのが現状である。書き換え可能で不揮発性の Flash E<sup>2</sup> PROM は、不揮発性であり、電源を切ることが可能ではあるが、書き換え (W/E) 回数が 10<sup>6</sup> 程度しかなく、書き込む時間がマイクロ秒程度かかり、さらに書き込みに高電圧 (12V ~ 22V) を印可する必要がある等の欠点があるので、DRAM 程は市場がひらけていない。

40

【0003】

これに対して、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリ (Nonvolatile Ferroelectric Memory) は、不揮発性であり、しかも、書き換え回数が

50

10<sup>12</sup>程度、読み出し/書き込み(R/W)時間がDRAM程度、3V動作等の長所があるので、全メモリ市場を置き換える可能性があり、各メーカーが開発を行っている。

【0004】

図16(a)、(b)は、従来の強誘電体キャパシタの構造およびそれを用いた強誘電体メモリセルの等価回路を示す。

【0005】

図16(a)に示す強誘電体キャパシタは、電界と残留磁界との関係がヒステリシス特性を有する例えばPbZrxTi(1-x)O<sub>3</sub>のペロブスカイト(perovskite)構造の強誘電体膜を2つの電極1、2で挟む構造を有する。そして、2つの電極1、2間に電圧を印加して電界を発生させて分極の方向を変えることにより、1ビットの情報を記憶させることが可能である。

10

【0006】

図16(b)に示す強誘電体メモリセルは、選択用トランジスタQと前述した強誘電体キャパシタCとがデータ線(ビット線BL)とプレート線PLとの間に直列に接続されている。

【0007】

したがって、図16(b)中に示すワード線WLの駆動電圧により選択用トランジスタQをオン状態にし、プレート線PLの駆動電圧により分極反転を行わせることにより、ビット線BLから強誘電体キャパシタCに対してデータを読み書きすることが可能である。

【0008】

20

図16(c)、(d)は、図16(a)に示した強誘電体キャパシタ中の強誘電体膜の結晶構造および情報を記憶する分極位置を示す。

【0009】

強誘電体膜は、通常、PZT(PbZrxTi(1-x)O<sub>3</sub>)のようなABO<sub>3</sub>系、または、ABxC(1-x)O<sub>3</sub>系のペロブスカイト構造を持つ材料が用いられる。例えばPbZrxTi(1-x)O<sub>3</sub>は、O原子(O-atom)、Pb原子(Pb-atom)で囲まれた構造の中に、電界により原子位置が動くTi原子(Ti-atom) 或いはZr原子(Zr-atom)が配置されたペロブスカイト構造を持つ。

【0010】

そして、図16(c)中に示すように上から下への電界(Field)を発生させるように両端の電極間に電圧を印加すると、4価のTi原子は中心から下方向に移動し、電界を0に戻しても中心から下の位置で安定する。これは、中心から下の部分にポテンシャル(Potential)の低い箇所があることによる。

30

【0011】

また、図16(d)中に示すように下から上への電界を発生させるように両端の電極間に電圧を印加すると、4価のTi原子は中心から上方向に移動し、電界を0に戻しても中心から上の位置で安定する。これは、中心から上の部分にもポテンシャルの低い箇所があることによる。

【0012】

しかし、上述したような従来の強誘電体メモリセルにおいては、1つの強誘電体キャパシタに対して2値("1"と"0")、即ち、1ビットの情報しか記憶することができず、高集積化の進歩に限界があった。

40

【0013】

なお、本願発明者は、特開平10-255483の「半導体記憶装置とそれを搭載したシステム」、特開平11-177036の「半導体記憶装置」、特開2000-22010の「半導体記憶装置」等により、強誘電体メモリセルの高集積化を実現する構成を提案した。これらの提案は、強誘電体キャパシタと選択トランジスタとを並列接続し、それらを複数個を直列接続して強誘電体メモリセルユニットを構成する方式に関するものであるが、1つの強誘電体キャパシタに対して2値の情報を記憶するものであった。

【0014】

50

## 【発明が解決しようとする課題】

上記したように従来の強誘電体メモリセルを用いた強誘電体メモリは、1つの強誘電体膜中に2値の情報しか記憶することができず、高集積化に限界があるという問題があった。

## 【0015】

本発明は上記の問題点を解決すべくなされたもので、1つの強誘電体膜中に3値以上の多値の分極データを記憶可能な強誘電体メモリセルを実現でき、より高密度化、高集積化を実現し得る半導体記憶装置を提供することを目的とする。

## 【0016】

## 【課題を解決するための手段】

本発明の第1の半導体記憶装置は、原子A、原子B、原子Oからなる $ABO_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする。

10

## 【0017】

本発明の第2の半導体記憶装置は、原子A、原子B、原子C、原子Oからなる $AB_xC_{(1-x)}O_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする。

20

## 【0018】

本発明の第3の半導体記憶装置は、層状ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、第1の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記第1の原子が、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする。

30

## 【0019】

本発明の第4の半導体記憶装置は、原子A、原子B、原子Oからなる $ABO_3$ 系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする。

## 【0020】

本発明の第5の半導体記憶装置は、原子A、原子B、原子C、原子Oからなる $AB_xC_{(1-x)}O_3$ 系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする。

40

## 【0021】

本発明の第6の半導体記憶装置は、層状ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、第1の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置にお

50

いて、一つの強誘電体素子内で、前記第 1 の原子が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点と、前記第 1 の方向および前記第 2 の方向に垂直な第 3 の方向の両端の 2 点の計 6 点の位置で多ビットの情報を記憶することを特徴とする。

【 0 0 2 6 】

本発明の第 7 の半導体記憶装置は、ペロブスカイト構造を有する強誘電体材料の表面に接した第 1 の電極、第 2 の電極、第 3 の電極および第 4 の電極を有し、前記第 1 の電極と前記強誘電体材料が接する第 1 の面は、前記第 3 の電極と前記強誘電体材料が接する第 3 の面と平行であり、前記第 2 の電極と前記強誘電体材料が接する第 2 の面は、前記第 4 の電極と前記強誘電体材料が接する第 4 の面と平行であり、前記第 1 の電極および前記第 2 の電極に対応して第 1 のトランジスタのソース端子およびドレイン端子が接続され、前記第 3 の電極および前記第 4 の電極に対応して第 2 のトランジスタのソース端子およびドレイン端子が接続されることによって一つのメモリセルユニットが構成され、前記一つのメモリセルユニットに 2 ビット以上の情報を記憶することを特徴とする。

10

【 0 0 2 7 】

本発明の第 8 の半導体記憶装置は、前記第 7 の半導体記憶装置における前記第 1 のトランジスタのソース端子およびドレイン端子を第 1 の 2 端子とし、前記第 2 のトランジスタのソース端子およびドレイン端子を第 2 の 2 端子とし、複数の前記メモリセルユニットの第 1 の 2 端子同士が直列接続されるとともに前記第 2 の 2 端子同士が直列接続されてメモリセルブロックを構成することを特徴とする。

20

【 0 0 2 8 】

【 発明の実施の形態 】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 2 9 】

< 第 1 の実施形態 >

図 1 ( a ) は、第 1 の実施形態に係る強誘電体メモリの強誘電体メモリセルに用いられる強誘電体キャパシタの強誘電体膜の結晶構造および情報を記憶する分極位置を示す鳥瞰図である。

【 0 0 3 0 】

図 1 ( a ) は、強誘電体キャパシタの強誘電体膜として、少なくとも原子 A、原子 B、原子 O からなる  $ABO_3$  系結晶構造あるいは  $ABO_3$  系ペロブスカイト構造を有する強誘電体材料を持つ例を示しており、図中に示す X 軸、Y 軸、Z 軸のどの方向に  $90^\circ$  回転しても同じ構造である。

30

【 0 0 3 1 】

図示の結晶構造は、8 個の A 原子 (A-atom) の中に 6 個の O 原子 (O-atom) があり、中央に 4 価或いは 2 価の B 原子 (B-atom) があり、B 原子は、結晶の中央からずれた点 (結晶の中央に対してその 2 次元方向に離れた点) に存在するポテンシャルの低い点で安定し、この安定点は情報を記憶する分極位置である。

【 0 0 3 2 】

上記強誘電体膜は、図 1 ( a ) に示したように、Y 軸方向に正の電界 (Field) あるいは負の電界 (Field) を印加して B 原子を A 原子或いは O 原子に対して相対的に移動させることにより、Y 軸方向の両端に存在する安定点で残留分極としてデータを記憶する。さらに、X 軸方向に正の電界あるいは負の電界を印加して B 原子を A 原子或いは O 原子に対して相対的に移動させることにより、X 軸方向の両端に存在する安定点で残留分極としてデータを記憶する。

40

【 0 0 3 3 】

図 1 ( b )、( c )、( d ) は、図 1 ( a ) をより明確にするため、強誘電体膜の結晶構造を X - Y、Y - Z、Z - X 面から見た場合の分極位置を示す。なお、図 1 ( c )、( d ) 中、2 重丸の記号は手前方向に向かう電界、丸の中に X 印の記号は奥方向に向かう電界を示す。

50

## 【0034】

即ち、上記した実施形態の強誘電体キャパシタは、強誘電体膜の2次元方向に対して電界を印加することによって、原子Bの位置が第1の方向の両端の2点および第1の方向に垂直な第2の方向の両端の2点の計4点で、4値の情報、即ち、2ビットの情報を1つの強誘電体膜中に記憶させることができる。

## 【0035】

換言すれば、上記した実施形態の強誘電体キャパシタは、一つの強誘電体膜中のペロブスカイト構造内で、特定の原子が他の原子に対して2次元平面上の3つ以上の位置で安定点を持つことに着目している。

## 【0036】

そして、書き込み時には、複数の安定点に特定の原子を移動させるために、強誘電体膜に近接して配置された3個以上の複数の電極の電圧を制御して2次元方向に対して3種類以上の電界ベクトルを発生させ、特定の原子を前記3つ以上の安定点相互間で移動させることにより3値以上の分極データを書き込むことができる。読み出し時には、1個以上の電極に電圧を印加し、他の電極から放出される電荷量を判断することにより、3値以上のデータを認識することができる。結果として、より高密度、高集積化が可能な強誘電体メモリを実現することができる。

## 【0037】

なお、従来の強誘電体キャパシタは、強誘電体膜のある1次元方向に対して電界を印加してB原子を移動させることにより、1次元方向の両端のポテンシャルが低い箇所ではB原子が安定点を持たせることによって、2値の情報を1つの強誘電体膜に記憶させていたに過ぎない。

## 【0038】

本発明において、強誘電体素子（本例では強誘電体キャパシタの強誘電体膜）として、少なくとも原子A、原子B、原子C、原子Oからなる $AB_xC(1-x)O_3$ 系結晶構造あるいは $AB_xC(1-x)O_3$ 系ペロブスカイト構造を有する強誘電体材料を用いることも可能である。この場合、強誘電体膜の2次元方向に対して印加する電界を制御することによって、原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する。

## 【0039】

本発明を適用することができる強誘電体膜の材料は、 $ABO_3$ 系結晶構造あるいは $ABO_3$ 系ペロブスカイト構造を有する強誘電体材料、 $AB_xC(1-x)O_3$ 系結晶構造あるいは $AB_xC(1-x)O_3$ 系ペロブスカイト構造を有する強誘電体材料である。具体例として、 $BaTiO_3$ 、 $PbZr_xTi(1-x)O_3$ 、 $(BiLa)_4Ti_3O_{12}$ 、 $Bi_4Ti_3O_{12}$ 、 $SrBi_2Ta_2O_9$ を含む材料が挙げられる。例えばPZT( $PbZr_xTi(1-x)O_3$ )では、A原子はPb原子、O原子はO(酸素)原子、B原子はTi原子或いはZr原子に対応する。

## 【0040】

なお、強誘電体膜は、材料、組成により、結晶軸も変わるし、ポテンシャルの分布も変わるため、電界方向とB原子の移動方向が完全に一致しても良いし、電界方向とB原子の移動方向の角度がずれても、電界がB原子移動方向の分解ベクトルである程度の大きさを持っていれば、安定点への移動が可能となる。

## 【0041】

例えば、 $SrBi_2Ta_2O_9$ は、Layeredペロブスカイト構造であり、X軸、Y軸、Z軸に対して対称ではないが、X軸、Y軸では対称にすることができるので、2次元方向での安定点を実現することができ、本発明により多値記憶を実現することができる。

## 【0042】

なお、X軸、Y軸、Z軸は、必ずしも(100)、(110)、(111)結晶軸、a、b、c軸等に対応しなくても良い。即ち、強誘電体膜形成前の下地の結晶方向により軸の角度が変わり、結晶の材料、組成により安定点の数や、方向が変わるので、X軸、Y軸、

10

20

30

40

50

Z 軸は互いに  $90^\circ$  ずれていれば良い。

【0043】

< 第 2 の実施形態 >

強誘電体膜の材料は、組成比を変えると、前記 B 原子の安定点な位置をもつ軸方向が変わる。第 2 の実施形態では、例えば第 1 の実施形態で示した  $PbZr_xTi_{(1-x)}O_3$  の Zr と Ti の組成比を変えることにより、安定点な位置をもつ軸方向を  $45^\circ$  変えた場合を説明する。

【0044】

図 2 は、第 2 の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として  $PbZr_xTi_{(1-x)}O_3$  を用いた場合の結晶構造および情報を記憶する分極位置を X - Y 面から見

10

【0045】

図 2 に示す構造は、図 1 ( a ) に示した構造と比べて、安定点の方向が X 軸、Y 軸に対して  $45^\circ$  ずれた位置に近い。これにより、X 軸、Y 軸に対して  $45^\circ$  ずれた方向の第 1 の電界とその反対方向の電界で 2 つの安定点に到達することができ、さらに、第 1 の電界に対して  $90^\circ$  ずれた第 2 の電界とその反対方向の電界で 2 つの安定点に到達することができる。これによって、4 値の情報を 1 つの強誘電体膜に記憶させることができる。

【0046】

< 第 3 の実施形態 >

第 3 の実施形態では、前記  $PbZr_xTi_{(1-x)}O_3$  とは別の組成を有する強誘電体膜の材料を用いる場合、あるいは、前記した B 原子の安定点をより多数持った強誘電体膜の材料を用いる場合を説明する。

20

【0047】

図 3 は、第 3 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

【0048】

図 3 に示す構造は、図 1 ( a ) に示した構造と比べて、安定点の方向が X 軸、Y 軸に対して  $45^\circ$  ずれた位置に近い。これにより、X 軸、Y 軸、Z 軸に対して  $45^\circ$  ずれた方向の第 1 の電界とその反対方向の電界で 2 つの安定点に到達することができ、さらに、第 1 の電界に対して  $90^\circ$  ずれた第 2 の電界とその反対方向の電界で 2 つの安定点に到達することができ、したがって、4 値のデータを 1 つの強誘電体膜に記憶させることができる。

30

【0049】

< 第 4 の実施形態 >

第 4 の実施形態では、強誘電体膜の結晶構造中の 3 次元方向の安定点によって、6 値のデータを 1 つの強誘電体膜に記憶させる場合を説明する。

【0050】

図 4 ( a ) は、第 4 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

【0051】

図 4 ( b ) は、図 4 ( a ) をより明確にするため、強誘電体膜の結晶構造を X - Y 面から見た場合の分極位置を示す。なお、図中、2 重丸の記号は手前方向に向かう電界、丸の中に X 印の記号は奥方向に向かう電界を示す。

40

【0052】

ここでは、強誘電体キャパシタの強誘電体膜として、 $ABO_3$  のペロブスカイトの結晶構造を持つ例を示しており、図中に示す X 軸、Y 軸、Z 軸のどの方向に  $90^\circ$  回転しても同じ構造である。

【0053】

8 個の A 原子 (A-atom) の中に、6 個の O 原子 (O-atom) があり、中央に 4 価或いは 2 価の B 原子 (B-atom) がある。例えば  $PZT$  ( $PbZr_xTi_{(1-x)}O_3$ ) では、前記 A 原子は Pb 原子、前記 O 原子は O (酸素) 原子、前記 B 原子は Ti 原子或いは Zr 原子に対応した

50



ペロブスカイト構造である。

【0054】

この場合、B原子は、結晶の中央にポテンシャルの低い点があるわけではなく、結晶の中央からずれた点（結晶の中央に対してその3次元方向に離れた点）に存在するポテンシャルの低い点で安定し、この安定点は情報を記憶する分極位置である。

【0055】

即ち、Y軸方向に正と負の電界を印加してB原子を（A原子或いはO原子に対して相対的に）移動させることにより、Y軸方向の両端に安定点を持つ。さらに、X軸方向に正と負の電界を印加してB原子を移動させることにより、X軸方向の両端に安定点を持つ。さらに、Z軸方向に正と負の電界を印加してB原子を移動させることにより、Z軸方向の両端に安定点を持つ。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

10

【0056】

即ち、上記した実施形態の強誘電体キャパシタは、強誘電体膜の3次元方向に対して電界を印加することによって、原子Bの位置が第1の方向の両端の2点、第1の方向に垂直な第2の方向の両端の2点、これらの第1の方向および第2の方向に垂直な第3の方向の両端の2点で、6値の情報、即ち、3ビットの情報を1つの強誘電体膜中に記憶させることができる。

【0057】

これに対して、従来の強誘電体キャパシタは、強誘電体膜のある1次元方向に対して電界を印加してB原子を移動させることにより、1次元方向の両端のポテンシャルが低い箇所

20

【0058】

換言すれば、上記した実施形態の強誘電体キャパシタは、一つの強誘電体膜中のペロブスカイト構造内で、特定の原子が、他の原子に対して3次元空間内の6つ以上の位置で安定点を持つことに着目し、電極の電圧を制御することによって特定の原子を前記6つ以上の安定点相互間で移動させることにより3値以上の分極データを記憶させることができ、結果として、より高密度、高集積化が可能な強誘電体メモリを実現することができる。

【0059】

なお、強誘電体膜は、材料、組成により、結晶軸も変わるし、ポテンシャルの分布も変わるので、電界方向とB原子の移動方向が完全に一致しても良いし、電界方向とB原子の移動方向の角度がずれても、電界がB原子移動方向の分解ベクトルである程度の大きさを持っていれば、安定点への移動が可能となる。

30

【0060】

本発明に適用することができる強誘電体膜の材料例として、 $BaTiO_3$ 、 $PbZr_xTi_{1-x}O_3$ 、 $(BiLa)_4Ti_3O_{12}$ 、 $Bi_4Ti_3O_{12}$ を含む材料が挙げられる。

【0061】

<第5の実施形態>

強誘電体膜の材料は、組成比を変えると、前記B原子の安定点な位置をもつ軸方向が変わる。第5の実施形態では、例えば第4の実施形態で示した $PbZr_xTi_{1-x}O_3$ のZrとTiの組成比を変えることにより、安定点な位置をもつ軸方向を45°変えた場合を説明する。

40

【0062】

図5は、第5の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として $PbZr_xTi_{1-x}O_3$ を用いた場合の結晶構造および分極位置をX-Y面から見て示す。

【0063】

図5に示す結晶構造は、図4(b)に示した結晶構造と比べて、安定点の方向がX軸、Y軸に対して45°ずれた位置に近い。これにより、X軸、Y軸に対して45°ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第

50

1の電界に対して90°ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界および第2の電界に対して90°ずれた第3の電界とその反対の電界で2つの安定点に到達することができる。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

【0064】

<第6の実施形態>

第6の実施形態では、前記 $PbZrxTi(1-x)O_3$ とは別の組成を有する強誘電体膜の材料を用いる場合、あるいは、前記したB原子の安定点をより多数持った強誘電体膜の材料を用いる場合を説明する。

【0065】

図6は、第6の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

【0066】

図6に示す結晶構造は、図5に示した結晶構造と比べて、安定点の方向がX軸、Y軸、Z軸に対して45°ずれた位置に近い。これにより、X軸、Y軸、Z軸に対して45°ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界に対して90°ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができ、計4値のメモリとすることができ、さらに、第1の電界および第2の電界に対して90°ずれた第3の電界とその反対の電界で2つの安定点に到達することができる。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

【0067】

<第7の実施形態>

第7の実施形態では、前述した第1～第3の実施形態を2次元空間全体に拡張した場合を説明する。

【0068】

図7(a)は、第7の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造をX-Y面から見て示す。

【0069】

この結晶構造は、X面、Y面に対して、0～360°の任意の方向に電界を印加すると、結晶中央から一定以上の距離離れた位置にB原子の多数の安定点が存在し、これにより多値の情報を1つの強誘電体膜に記憶させることができる。本例では、8値の情報、即ち、3ビットの情報を記憶させることができる。

【0070】

図7(b)は、強誘電体膜の結晶構造のX-Y面におけるポテンシャル分布曲線を示している。

【0071】

図7(b)に示すように結晶中にB原子の安定点が4つあれば、前述した第1～第3の実施形態に係る強誘電体メモリセルのように4値の情報を記憶させることができるが、さらに、結晶中央から一定以上の距離離れた位置にB原子の安定点がより多く存在する場合には、第7の実施形態のように、安定点の数だけの多値の情報を記憶させることができる。

【0072】

<第8の実施形態>

第8の実施形態では、前述した第4～第6の実施形態を3次元空間全体に拡張した場合を説明する。

【0073】

図8は、第8の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を示す鳥瞰図である。

【0074】

この結晶構造は、X面、Y面、Z面に対して、0～360°の任意の方向に電界を印加すると、結晶中央から一定以上の距離離れた位置にB原子の多数の安定点が存在し、これに

10

20

30

40

50

より多値の情報を1つの強誘電体膜に記憶させることができる。本例では、安定点の位置を球の表面で示しており、無数ビットの情報(あるいはアナログ値)を記憶させることができる。なお、結晶によっては、実際の安定点が3次元空間の限られた場所であることも有るし、結晶中央から安定点までの距離が異なることもある。

【0075】

<第9の実施形態>

図9は、第9の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

【0076】

この強誘電体キャパシタは、強誘電体膜(例えばPZT)90の四方の側面に電極(Electrode) 91~94を配置し、第1~第3の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。ここで、図示のように、4つの電極91~94をSi基板(図示せず)に対して立てた状態で配置しても良いし、4つの電極を90回転させてSi基板(図示せず)に対して平行な状態で配置しても良い。

【0077】

<第10の実施形態>

図10は、第10の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

【0078】

この強誘電体キャパシタは、強誘電体膜(例えばPZT)90の六方の側面に電極91~96を配置し、第4~第6の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。

【0079】

<第11の実施形態>

図11は、第11の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

【0080】

この強誘電体キャパシタは、強誘電体膜(例えばPZT)90の上面に4つの電極91~94を配置し、第1~第3の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。ここで、電界は、電圧が印加された電極91~94から強誘電体膜90の表面、内部、表面、電極91~94の経路で伝わる。

【0081】

<第12の実施形態>

図12は、第12の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

【0082】

この強誘電体キャパシタは、円柱状の強誘電体膜(例えばPZT)90の側面に沿って複数の電極91~9nを配置し、第7の実施形態を参照して前述したように電界を印加することにより、強誘電体膜90に多値の情報を記憶させることができる。

【0083】

この実施形態に準じて、強誘電体膜の六方の側面に多数の電極を配置し、第8の実施形態を参照して前述したように電界を印加することにより、強誘電体膜に多値の情報を記憶させることができる。

【0084】

次に、前述した4値のデータを記憶可能な第1~第3、第9、第11の実施形態のいずれかの強誘電体キャパシタを用いた強誘電体メモリセルの数例について第13の実施形態~第15の実施形態で説明する。

【0085】

<第13の実施形態>

図13(a)は、第13の実施形態に係る強誘電体メモリセルの等価回路を示す。

10

20

30

40

50

## 【 0 0 8 6 】

図中に示す 4 角の記号は、強誘電体キャパシタの強誘電体膜（例えば  $PbZrxTi(1-x)O_3$ ）90°の領域であり、この領域内に示す 0 ~ 3 の位置に Ti 原子の安定点を有し、内部に 4 値の情報を記憶させることが可能である。ここでは、Ti 原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜 90°の領域内の位置 0 ~ 3 に対応する 4 端は電極 0 ~ 3 を意味し、この電極 0 ~ 3 と強誘電体膜 90°は 1 個の 4 端子キャパシタ C を形成している。

## 【 0 0 8 7 】

即ち、このメモリセルは、1 個の 4 端子キャパシタ C と、この 4 端子キャパシタ C の電極 0 ~ 3 に対応して、1 個の選択トランジスタ Q の一端と、3 本のプレート線 PL1、PL2 の各一端が接続されており、上記選択トランジスタ Q の他端にビット線 BL が接続され、そのゲートにワード線 WL が接続されている。

10

## 【 0 0 8 8 】

図 13 (b) は、図 13 (a) のメモリセルの Ti 原子が例えば 3 の位置に存在していた場合の読み出し動作例 Read(“State 3”) を示す。

## 【 0 0 8 9 】

読み出しは、ワード線 WL の電位を上げ、選択トランジスタをオン状態にして行う。Ti 原子が 3 の位置に存在していた場合、PL の電位を上げて位置が変化せず、この PL の電位を上げた状態では、PL1 の電位を上げて変化しないが、PL2 の電位を上げると、電界が右上方向に向き、この電界により Ti 原子が動き、ビット線 BL に電荷が読まれる。

20

## 【 0 0 9 0 】

なお、Ti 原子が 1 の位置に存在していた場合、PL の電位を上げて位置が変化せず、この PL の電位を上げた状態では、PL2 の電位を上げて変化しないが、PL1 の電位を上げると、電界が右下方向に向き、この電界により Ti 原子が動き、ビット線 BL に電荷が読まれる。

## 【 0 0 9 1 】

また、Ti 原子が 2 の位置に存在していた場合、PL の電位を上げるだけで 0 の位置に移動し、ビット線 BL には電荷が発生する。

## 【 0 0 9 2 】

また、Ti 原子が 0 の位置に存在していた場合、PL、PL1、PL2 のどの電位を上げてもビット線 BL に電荷が読まれない。

30

## 【 0 0 9 3 】

図 13 (c) は、図 13 (a) のメモリセルの読み出し動作後に Ti 原子を 3 の位置に書き込む（書き戻す）動作例 Write(“State 3”) を示す。

## 【 0 0 9 4 】

書き込みは、ワード線 WL の電位を上げ、選択トランジスタをオン状態にして行う。そして、ビット線 BL、3 本のプレート線 PL1、PL2 のうちの 1 つだけ電位を下げ、残りの線の電位を上げることにより、0 ~ 3 のうちの特定の位置に Ti 原子を移動させる（書き込む）ことができる。

40

## 【 0 0 9 5 】

図示の例では、BL、PL、PL1、PL2 の電位を上げた状態で、PL2 のみ電位を下げるにより、3 の位置に Ti 原子を移動させることができる。その後、PL2 のみ電位を上げ、残りの BL、PL、PL1 の電位を下げ、ワード線 WL の電位を下げて選択トランジスタを閉じてスタンバイ状態に入る。

## 【 0 0 9 6 】

上記したような動作により、図 13 (a) に示したメモリセルに対して、4 値の情報を読み書きすることができる。

## 【 0 0 9 7 】

< 第 14 の実施形態 >

50

図14(a)は、第14の実施形態に係る強誘電体メモリセルの等価回路を示す。

【0098】

図中に示す4角の記号は、強誘電体キャパシタの強誘電体膜(例えば $PbZr_xTi_{1-x}O_3$ )90の領域であり、この領域内に示す0~3の位置にTi原子の安定点を有し、4値の情報を記憶させることが可能である。ここでは、Ti原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜90の領域内の位置0~3に対応する4端は電極0~3を意味し、この電極0~3と強誘電体膜は1個の4端子キャパシタCを形成している。

【0099】

即ち、このメモリセルは、1個の4端子キャパシタCと、この4端子キャパシタCの電極0~3に対応して、2個の選択トランジスタQ0、Q1の各一端と、2本のプレート線PL0、PL1の各一端が接続されており、上記2個の選択トランジスタQ0、Q1の各他端に対応してビット線BL0、BL1が接続され、各ゲートに共通にワード線WLが接続されている。

【0100】

図14(b)は、図14(a)のメモリセルの読み出し動作例(Ti原子が2の位置に存在していた場合)を示す。

【0101】

読み出しは、ワード線WLの電位を上げ、選択トランジスタをオン状態にして行う。Ti原子が2の位置に存在していた場合、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が動き、ビット線BL0、BL1に電荷が読まれる。この時、Ti原子が2の位置から右上の位置に動くので、BL0から見ると大きな分極反転、BL1から見ると小さな分極反転となり、BL0の電位がBL1の電位より上がる。

【0102】

図14(c)は、図14(a)に示したメモリセルの読み出し動作後にTi原子を2の位置に書き込む(書き戻す)動作例を示す。

【0103】

書き込みは、ワード線WLの電位を上げ、選択トランジスタをそれぞれオン状態にして行う。Ti原子を2の位置に書き戻すためには、BL0の電位を“H”レベルまで上げ、BL1の電位を“H”レベルと“L”レベルの中間電位程度にした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

【0104】

図14(d)は、図14(a)のメモリセルの読み出し動作例(Ti原子が3の位置に存在していた場合)を示す。

【0105】

PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が3の位置から右上の位置に動くので、BL1から見ると大きな分極反転、BL0から見ると小さな分極反転となり、BL1の電位がBL0の電位より上がる。

【0106】

図14(e)は、図14(d)に示したメモリセルの読み出し動作後にTi原子を3の位置に書き込む(書き戻す)動作例を示す。

【0107】

Ti原子を3の位置に書き戻すためには、図14(c)に示したTi原子を2の位置に書き戻す動作とはBL0とBL1の電位関係を逆にした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

【0108】

なお、Ti原子が1の位置に存在していた場合には、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が1の位置から右上の位置に動き、BL1の電位は下がり、BL0の電位は僅かに上がるので、前述したTi原子が2、3の位置に存在していた場合と区別することができる。

10

20

30

40

50

## 【0109】

Ti原子を1の位置に書き戻す場合、BL0の電位を“L”レベルに下げ、BL1の電位を“H”レベルと“L”レベルの間電位程度とした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

## 【0110】

また、Ti原子が0の位置に存在していた場合には、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が1の位置から右上の位置に動き、BL0の電位は下がり、BL1の電位は僅かに上がるので、前述したTi原子が1、2、3の位置に存在していた場合と区別することができる。

## 【0111】

Ti原子を0の位置に書き戻す場合、BL1の電位を“L”レベルに下げ、BL0の電位を“H”レベルと“L”レベルの間電位程度とした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

## 【0112】

上記したような動作により、図14(a)に示したメモリセルに対して、4値の情報のデータを読み書きすることができる。

## 【0113】

<第15の実施形態>

第15の実施形態では、前記先願に開示されているように強誘電体キャパシタと選択トランジスタとを並列接続し、それらを複数個を直列接続して強誘電体メモリセルを構成する方式を発展させた場合を説明する。

## 【0114】

図15(a)は、第15の実施形態に係る強誘電体メモリセルの複数個が直列接続されたメモリセルブロックの等価回路を示す。

## 【0115】

図中に示す4角の記号は、強誘電体キャパシタの強誘電体膜(例えばPbZrxTi(1-x)O<sub>3</sub>)90の領域であり、この領域内に示す0~3の位置にTi原子の安定点を有し、4値の情報を記憶させることが可能である。ここでは、Ti原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜域内の位置0~3に対応する4端は電極0~3を意味し、この電極0~3と強誘電体膜は1個の4端子キャパシタCを形成している。

## 【0116】

即ち、各メモリセルユニットの構成は、1個の4端子キャパシタCと、この4端子キャパシタCの電極0~3のうちの2つの端子に第1の選択トランジスタQ0のソース、ドレインが接続され、残りの2つの端子に第2の選択トランジスタQ1のソース、ドレインが接続され、上記2つの選択トランジスタQ0、Q1の各ゲートに共通にワード線WL<sub>i</sub>(i=0、1、2、3)が接続されている。

## 【0117】

そして、複数個のメモリセルユニットが直列接続されてメモリセルブロックを構成し、その一端のメモリセルの2つの選択トランジスタQ0、Q1の各一端が共通にプレート線PLに接続され、他端のメモリセルの2つの選択トランジスタQ0、Q1の各一端が対応してブロック選択トランジスタBS0、BS1を介してビット線BL0、BL1に接続されている。上記ブロック選択トランジスタBS0、BS1の各ゲートには共通にブロック選択線BSLが接続されており、上記ビット線BL0、BL1は1個のセンスアンプSAに相補的なデータ線対として接続されている。

## 【0118】

図15(b)は、図15(a)のメモリセルブロックの読み出し動作例を示す。ここでは、例えばワード線WL2に接続されているメモリセルユニットを選択し、このメモリセルユニットの4端子キャパシタのTi原子が例えば1の位置に存在していた場合の読み出し動作例を示す。

10

20

30

40

50

## 【 0 1 1 9 】

まず、スタンバイ状態において、B L 0、B L 1をそれぞれ0 Vにプリチャージしておく。アクティブ状態になると、ワード線W L 2の電位を“ L ”レベルに下げ、残りのワード線W L 0、W L 1、W L 3およびブロック選択線B S Lの電位を“ H ”レベルに上げ、選択メモリセルの選択トランジスタをオフ状態、残りの非選択メモリセルの選択トランジスタおよびブロック選択トランジスタB S 0、B S 1をそれぞれオン状態にする。そして、プレート線P Lの電位を“ H ”レベルに上げる。これにより、選択メモリセルの4端子キャパシタにのみ電圧が印加され、そのデータがB L 0、B L 1に読み出される。

## 【 0 1 2 0 】

この際、T i原子が1の位置に存在していた場合、P Lの電位を上げると、電界が右方向 10  
に向き、この電界によりT i原子が図中の強誘電体膜領域内の左上の位置から右端の位置に動き、B L 0、B L 1に電荷が発生する。この時、T i原子が1の位置から右端の位置に動くので、B L 0から見ると小さな分極反転、B L 1から見ると大きな分極反転となり、B L 1の電位がB L 0の電位より上がる。

## 【 0 1 2 1 】

図15(c)は、図15(a)に示したメモリセルユニットの読み出し動作後にT i原子を1の位置に書き込む(書き戻す)動作例を示す。

## 【 0 1 2 2 】

書き込みは、選択メモリセルユニットの選択トランジスタをオフ状態、残りの非選択メモリセルユニットの選択トランジスタおよびブロック選択トランジスタB S 0、B S 1をそれぞれオン状態にして行う。そして、B L 1の電位を“ H ”レベルまで上げ、B L 0の電位を“ H ”レベルと“ L ”レベルの中間電位程度にした状態で、P Lの電位を上げ下げすることにより、選択メモリセルユニットの4端子キャパシタのT i原子を1の位置に書き戻すことができる。 20

## 【 0 1 2 3 】

なお、選択メモリセルユニットのT i原子が2の位置に存在していた場合の読み出し/書き込みを行う場合は、上記したT i原子が1の位置に存在していた場合の読み出し/書き込みと比べて、B L 0、B L 1の電位関係を逆にすればよい。

## 【 0 1 2 4 】

また、選択メモリセルユニットのT i原子が0の位置に存在していた場合の読み出し/書き込みを行う場合は、P Lの電位を上げると、電界が右方向に向き、この電界によりT i原子が図中の強誘電体膜領域内の右端の位置に動き、B L 0、B L 1に電荷が発生する。この時、T i原子が強誘電体膜領域内の右上の0の位置から右端の位置に動き、B L 0の電位は下がり、B L 1の電位は僅かに上がるので、前述したT i原子が1、2の位置に存在していた場合と区別することができる。 30

## 【 0 1 2 5 】

T i原子を0の位置に書き戻す場合、B L 0の電位を“ L ”レベルに下げ、B L 1の電位を“ H ”レベルと“ L ”レベルの中間電位程度とした状態で、P Lの電位を上げ下げする。

## 【 0 1 2 6 】

また、選択メモリセルユニットのT i原子が3の位置に存在していた場合の読み出し/書き込みを行う場合は、P Lの電位を上げると、電界が右方向に向き、この電界によりT i原子が図中の強誘電体膜領域内の右端の位置に動き、B L 0、B L 1に電荷が発生する。この時、T i原子が強誘電体膜領域内の右下の3の位置から右端の位置に動き、B L 1の電位は下がり、B L 0の電位は僅かに上がるので、前述したT i原子が0、1、2の位置に存在していた場合と区別することができる。 40

## 【 0 1 2 7 】

T i原子を3の位置に書き戻す場合、B L 1の電位を“ L ”レベルに下げ、B L 0の電位を“ H ”レベルと“ L ”レベルの中間電位程度とした状態で、P Lの電位を上げ下げする。

## 【 0 1 2 8 】

上記したような動作により、図 1 5 ( a ) に示した個々のメモリセルユニットに対して、4 値の情報を読み書きすることができる。

## 【 0 1 2 9 】

## 【 発明の効果 】

上述したように本発明の半導体記憶装置によれば、1 つの強誘電体膜中に 3 値以上の多値の分極データを記憶可能な強誘電体メモリセルを実現でき、より高密度化、高集積化を実現することができる。

## 【 図面の簡単な説明 】

【 図 1 】本発明の第 1 の実施形態に係る強誘電体メモリセルに用いられる強誘電体キャパシタの強誘電体膜の結晶構造を示す鳥瞰図および情報を記憶する分極位置を X - Y、Y - Z、Z - X 面から見た場合の示す平面図。 10

【 図 2 】第 2 の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として  $PbZrxTi(1-x)O_3$  を用いた場合の結晶構造および分極位置を X - Y 面から見て示す平面図。

【 図 3 】第 3 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図。

【 図 4 】第 4 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造とおよび分極位置を示す鳥瞰図および平面図。

【 図 5 】第 5 の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として  $PbZrxTi(1-x)O_3$  を用いた場合の結晶構造および分極位置を X - Y 面から見て示す平面図。 20

【 図 6 】第 6 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図。

【 図 7 】第 7 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を X - Y 面から見て示す平面図およびポテンシャル分布曲線の一例を示す図。

【 図 8 】第 8 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を示す鳥瞰図。

【 図 9 】第 9 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【 図 1 0 】第 1 0 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。 30

【 図 1 1 】第 1 1 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【 図 1 2 】第 1 2 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【 図 1 3 】第 1 3 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。

【 図 1 4 】第 1 4 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。

【 図 1 5 】第 1 5 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。 40

【 図 1 6 】従来の強誘電体キャパシタの構造とそれを用いたメモリセルの等価回路および強誘電体膜の結晶構造および情報を記憶する分極位置を示す図。

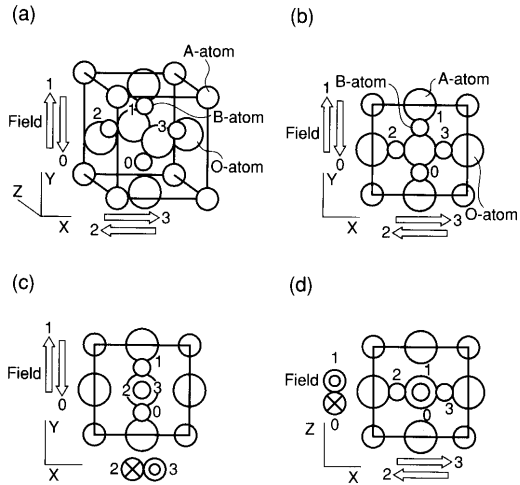
## 【 符号の説明 】

90... 強誘電体膜、

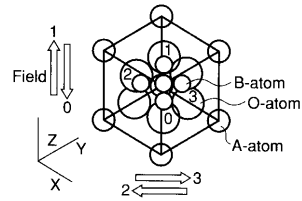
91 ~ 94... 電極 (Electrode)。



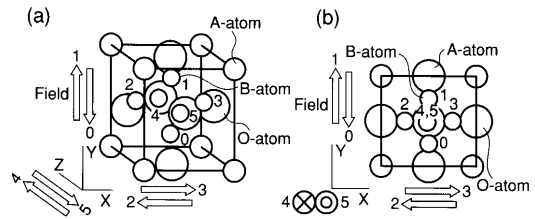
【 図 1 】



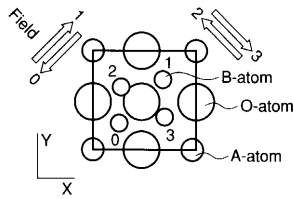
【 図 3 】



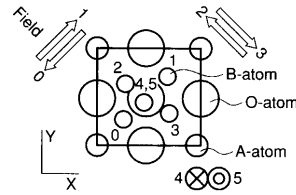
【 図 4 】



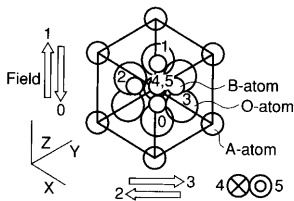
【 図 2 】



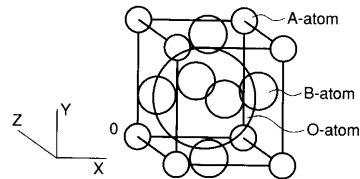
【 図 5 】



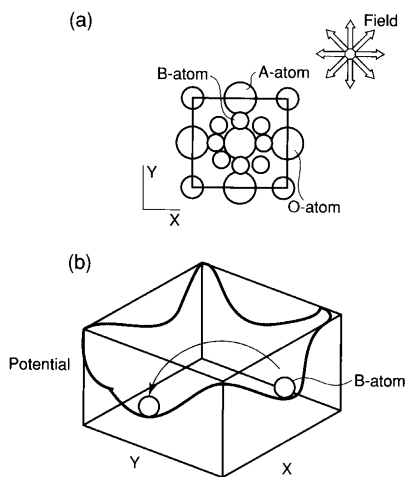
【 図 6 】



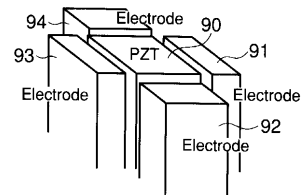
【 図 8 】



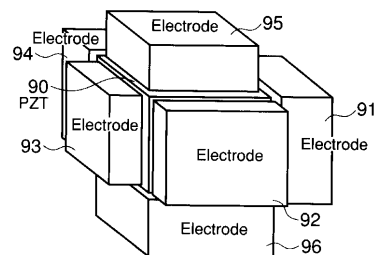
【 図 7 】



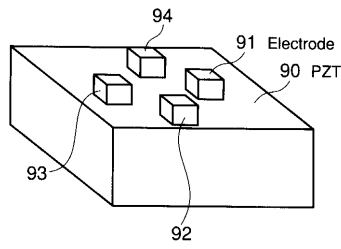
【 図 9 】



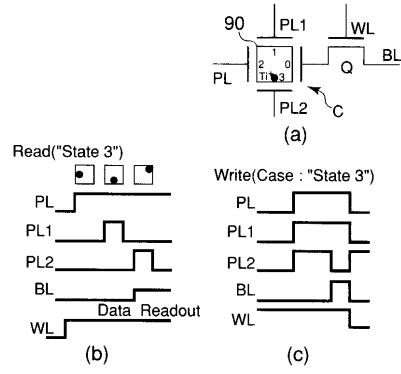
【 図 10 】



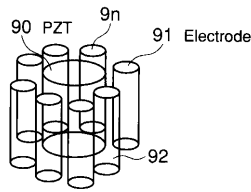
【 図 1 1 】



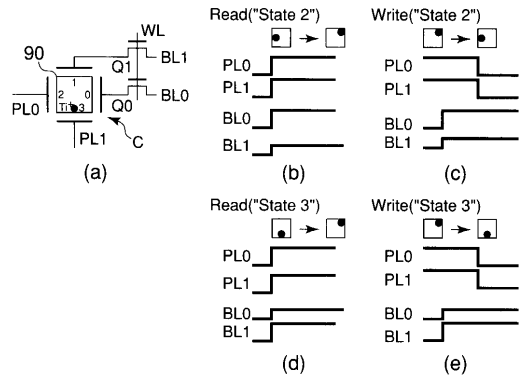
【 図 1 3 】



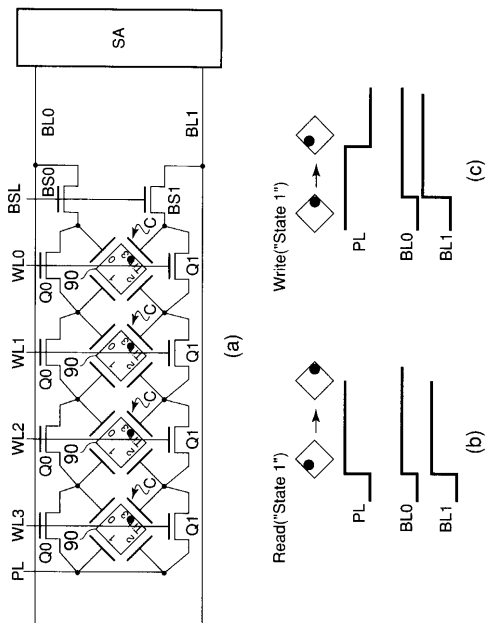
【 図 1 2 】



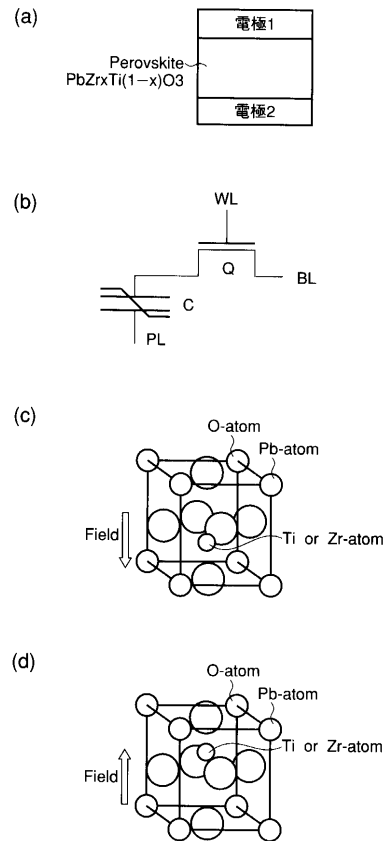
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



---

フロントページの続き

(72)発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 瀧内 健夫

(56)参考文献 特開平02-158173(JP,A)

特開平07-086528(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

H01L 27/105