

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2013-0126111 (43) 공개일자 2013년11월20일
(51) 국제특허분류(Int. Cl.) H01L 29/786 (2006.01)	(71) 출원인 울산대학교 산학협력단 울산 남구 무거2동 산29	
(21) 출원번호 10-2012-0049935	(72) 발명자 김용수 울산광역시 남구 옥동 옥동현대아파트 101동 1205호	
(22) 출원일자 2012년05월10일 심사청구일자 2012년05월10일 기술이전 희망 : 기술양도	최학순 울산광역시 북구 신천동 신동아파트 101동 1407호 이건희 울산광역시 남구 달동 선경아파트 4동 405호	
	(74) 대리인 김중선	

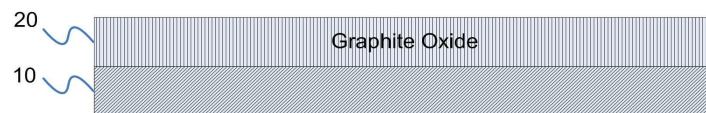
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 그래핀계 탄소소재 전자소자 및 그 제조방법

(57) 요약

본 발명은 유연성 기판을 사용하는 그래핀계 탄소소재 전자소자 및 그 제조방법에 관한 것으로, 유연성 기판; 상기 유연성 기판 위에 각각 형성된 드레인 전극 및 소오스 전극; 상기 드레인 전극과 소오스 전극 사이에 형성된 채널층; 상기 채널층 위에 형성된 게이트 절연층; 상기 절연층 위에 형성된 게이트 전극;을 포함하며, 제조 공정을 단순화하여 작업성을 향상시키고, 저온 공정으로 인하여 유연성 기판을 사용할 수 있고, 식각 공정을 거치지 않아 작업시간을 단축시킬 뿐만 아니라 제조 단가를 절감시킨다.

대표도 - 도1



특허청구의 범위

청구항 1

유연성 기판 위에 그래핀 옥사이드층(Graphite Oxide Layer)을 형성하는 그래핀 형성단계;

상기 그래핀 옥사이드 위에 패터닝된 마스크를 형성하는 마스크 형성단계;

상기 마스크 위에 금속을 증착시키는 금속 증착단계;

상기 마스크를 제거하는 마스크 제거단계;

상기 마스크가 제거된 상기 유연성 기판 위에 형성된 그래핀 옥사이드층을 환원하는 그래핀(Graphene) 환원단계;를 포함하되,

상기 그래핀 환원단계는;

펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용하고, 이후 후속 열공정(Thermal Annealing)으로 상기 그래핀 옥사이드층을 환원(reduction)시켜 드레인 전극, 소오스 전극 및 채널층을 동일면에 일체로 형성하는 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 2

제 1항에 있어서,

상기 그래핀 환원단계에서;

상기 채널층이 상기 드레인 전극과 소오스 전극 사이에 형성되는 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 3

제 1항에 있어서,

상기 그래핀 환원단계에서;

상기 그래핀 옥사이드층이 부분 환원(Partially reduced)되어 상기 채널층이 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 4

제 1항에 있어서,

상기 그래핀 환원단계에서;

상기 그래핀 옥사이드층이 완전 환원(Fully reduced)되어 상기 드레인 전극 및 소스 전극이 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 5

제 1항에 있어서,

상기 금속 증착단계에서;

상기 증착된 금속이 게이트 전극인 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 6

제 5항에 있어서,

상기 게이트 전극은;

상기 그래핀 옥사이드층 위에 티탄 알루미늄계 합금(Ti/Al) 금속을 증착하여 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 7

제 1항에 있어서,

상기 그래핀화된 기판을 열 처리(Thermal Annealing)하는 열처리 단계를 더 포함하는 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법.

청구항 8

제 1항 내지 제 7항중 어느 한 항의 제조 방법으로 제조된 것을 특징으로 하는 박막 필름 트랜지스터.

청구항 9

유연성 기판;

상기 유연성 기판 위에 드레인 전극, 소오스 전극 및 채널층이 동일면에 일체로 형성된 그래핀 옥사이드층;

상기 채널층 위에 형성된 게이트 절연층;

상기 절연층 위에 형성된 게이트 전극;을 포함하되,

상기 드레인 전극 및 소스 전극은,

펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용하여 상기 그래핀 옥사이드층을 환원(reduction)시켜 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 10

제 9항에 있어서,

상기 채널층은;

상기 드레인 전극과 소오스 전극 사이에 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 11

제 9항에 있어서,

상기 채널층은;

상기 그래핀 옥사이드층이 부분 환원(Partially reduced)되어 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 12

제 9항에 있어서,

상기 드레인 전극 및 소스 전극은,

상기 그래핀 옥사이드층이 완전 환원(Fully reduced)되어 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 13

제 9항에 있어서,

상기 게이트 전극은;

상기 그래핀 옥사이드층 위에 금속을 증착하여 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 14

제 13항에 있어서,
상기 게이트 전극을 형성하는 금속은;
티탄 알루미늄계 합금(Ti/Al)인 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 15

제 13항에 있어서,
상기 절연층은;
상기 그래핀 옥사이드층 위에 금속을 증착하면서 화학적 결합에 의하여 상기 금속의 하부가 산화되어 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

청구항 16

제 9항 내지 제 15항중 어느 한 항에 있어서,
상기 그래핀계 탄소소재 전자소자는, 박막 필름 트랜지스터(Thin-Film Transistor)인 것을 특징으로 하는 그래핀계 탄소소재 전자소자.

명세서

기술분야

[0001] 본 발명은 그래핀계 탄소소재 전자소자 및 그 제조방법에 관한 것으로, 더욱 상세하게는 유연성 기판을 사용하는 그래핀계 탄소소재 전자소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 그래핀(graphene)은 탄소원자들이 서로 연결되어 벌집모양의 2차원 평면 구조를 갖는 소재이다. 그래핀을 실험적으로 얻는 방법은, 2004년 맨체스터 대학(Manchester University)의 가임(Ander K. Geim) 등이 그래파이트로부터 그래핀을 역학적으로 분리해낸 것이 최초로 알려져 있으며, 그 이후 그래핀의 물리적, 화학적 성질에 대한 연구가 이어지고 있다.

[0003] 그래핀은 열 및 전기 전도도가 매우 우수하고, 화학적/기계적 안정성이 뛰어나며, 투명하다. 또한, 그래핀은 전자 이동도가 높고, 비저항이 낮으며, 표면적이 넓고, 상업적인 면에서도 탄소나노튜브(carbon nanotube)보다 유리하다. 또한, 그래핀 또는 그래핀을 포함하는 층상 구조의 그래파이트는 원래의 기판으로부터 쉽게 분리되어 다른 기판으로 이동(전이; transfer)할 수 있다.

[0004] 이와 같이 그래핀이 우수한 물리, 화학적인 특성을 갖고 있음에도 불구하고, 그래핀을 전자소자로 이용하는 데에는 제한이 있었다. 즉, 그래핀의 표면은 화학적으로 매우 안정하고 반응성이 떨어지기 때문에, 그래핀 상에 구조물 또는 박막을 성장시키기가 힘들며 특히, 그래핀 상에 다양한 기능성 박막을 형성한 소자를 집적하여 광소자 또는 메모리 소자 등의 각종 전자소자를 제조하는 것이 매우 곤란하였다.

[0005] 미국공개특허공보 US2011/0042649호(2011.2.24)에는 박막 필름 트랜지스터(Thin-Film Transistor)가 개시되어 있다. 개시된 종래의 박막 필름 트랜지스터는 용이하게 평면 그래핀 유사 구조를 포함하는 전도성 그리고 용이하게 연속적인 탄소-계층을 포함한 박막 트랜지스터 패널과 관련된 것으로, 평면 그래핀 유사 나노리본이 탄소-계층 표면에 용이하게 수직으로 지향되거나 평면 그래핀 유사 시트가 용이하게 탄소-계층 표면에 평행하게 지향하는 것을 특징으로 한다.

[0006] 그러나 이러한 종래의 박막 필름 트랜지스터는, 식각 공정을 사용하기 때문에 제조 공정이 복잡하여 작업성이 떨어지고, 제조 단가가 상승하는 문제점이 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 미국공개특허공보 US2011/0042649호(2011.2.24)

발명의 내용

해결하려는 과제

[0008] 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 제조 공정을 단순화하여 작업성을 향상시키고, 저온 공정이 요구되는 유연성 기판을 사용할 수 있는 그래핀계 탄소소재 전자소자 및 그 제조방법을 제공하는 데에 그 목적이 있다.

[0009] 또한, 식각 공정을 거치지 않아 작업시간을 단축시킬 뿐만 아니라 제조 단가를 절감시키는 그래핀계 탄소소재 전자소자 및 그 제조방법을 제공하는 데에 그 목적이 있다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위해 본 발명은, 유연성 기판 위에 그래핀 옥사이드층(Graphene Oxide Layer)을 형성하는 그래핀 형성단계; 상기 그래핀 옥사이드 위에 패터닝된 마스크를 형성하는 마스크 형성단계; 상기 마스크 위에 금속을 증착시키는 금속 증착단계; 상기 마스크를 제거하는 마스크 제거단계; 상기 마스크가 제거된 상기 유연성 기판 위에 형성된 그래핀 옥사이드층을 환원시키는 그래핀(Graphene) 환원단계;를 포함하되, 상기 그래핀 환원단계는, 펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용하고, 이후 후속 열공정(Thermal Annealing)으로 상기 그래핀 옥사이드층을 환원(reduction)시켜 드레인 전극, 소오스 전극 및 채널층을 동일면에 일체로 형성하는 것을 특징으로 하는 그래핀계 탄소소재 전자소자의 제조방법을 제공한다.

[0011] 상기 그래핀 환원단계에서 상기 채널층이 상기 드레인 전극과 소오스 전극 사이에 형성된다.

[0012] 상기 그래핀 환원단계에서 상기 그래핀 옥사이드층이 부분 환원(Partially reduced)되어 상기 채널층이 형성되고, 또한 상기 그래핀 환원단계에서 게이트 전극 층과 그래핀 옥사이드 층 사이에는 게이트 절연막이 동시에 형성된다.

[0013] 상기 그래핀 환원단계에서 상기 그래핀 옥사이드층이 완전 환원(Fully reduced)되어 상기 드레인 전극 및 소스 전극이 형성된다.

[0014] 상기 금속 증착단계에서 상기 증착된 금속이 게이트 전극인 것이 바람직하다.

[0015] 상기 게이트 전극은 상기 그래핀 옥사이드층 위에 티탄 알루미늄계 합금(Ti/Al) 금속을 증착하여 형성된다.

[0016] 상기 그래핀화된 기판을 열 처리(Thermal Annealing)하는 열처리 단계를 더 포함한다.

[0017] 또한, 본 발명은, 유연성 기판; 상기 유연성 기판 위에 드레인 전극, 소오스 전극 및 채널층이 동일면에 일체로 형성된 그래핀 옥사이드층; 상기 채널층 위에 형성된 게이트 절연층; 상기 절연층 위에 형성된 게이트 전극;을 포함하되, 상기 드레인 전극 및 소스 전극은, 펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용하여 상기 그래핀 옥사이드층을 환원(reduction)시켜 형성된 것을 특징으로 하는 그래핀계 탄소소재 전자소자를 제공한다.

[0018] 상기 채널층은 상기 드레인 전극과 소오스 전극 사이에 형성된다.

[0019] 상기 채널층은 상기 그래핀 옥사이드층이 부분 환원(Partially reduced)되어 형성된다.

[0020] 상기 채널층의 부분 환원 과정에서 게이트 전극과 채널층 사이에는 게이트 절연막이 형성된다.

[0021] 상기 드레인 전극 및 소스 전극은 상기 그래핀 옥사이드층이 완전 환원(Fully reduced)되어 형성된다.

- [0022] 상기 게이트 전극은 상기 그래핀 옥사이드층 위에 금속을 증착하여 형성된다.
- [0023] 상기 게이트 전극을 형성하는 금속은 티탄 알루미늄계 합금(Ti/Al)인 것이 바람직하다.
- [0024] 상기 게이트 절연층은 상기 그래핀 옥사이드층 위에 금속을 증착하면서 화학적 결합에 의하여 상기 금속의 하부가 산화되거나 또는 후속 열공정에 의하여 산화되어 형성된다.
- [0025] 상기 그래핀계 탄소소재 전자소자는, 박막 필름 트랜지스터(Thin-Film Transistor)인 것이 바람직하다.

발명의 효과

- [0026] 상기와 같이 구성된 본 발명에 따른 그래핀계 탄소소재 전자소자 및 그 제조방법에 의하면, 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 제조 공정을 단순화하여 작업성을 향상시키고, 저온 공정으로 인하여 유연성 기판을 사용할 수 있는 효과가 있다.
- [0027] 또한, 식각 공정을 거치지 않아 작업시간을 단축시킬 뿐만 아니라 제조 단가를 절감시키는 효과도 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자를 나타낸 단면도.
- 도 2는 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자의 제조방법을 나타낸 순서도.
- 도 3 내지 도 8은 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자 및 그 제조방법을 단계별로 단면도.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0030] 도 1은 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자를 나타낸 단면도이다.
- [0031] 본 발명에 있어서 전자소자는 메모리소자, 검출소자, 다이오드, 트랜지스터, 발광소자, 수광소자, 태양전자소자 등을 포함하는 각종의 디바이스, 또는 이들 디바이스의 일부 부분을 칭하는 개념으로 이해되어야 한다.
- [0032] 도시된 바와 같이, 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자는, 유연성 기판(10), 상기 유연성 기판(10) 위에 각각 형성된 드레인 전극(21) 및 소스 전극(22), 상기 드레인 전극(21)과 소스 전극(22) 사이에 형성된 채널층(30), 상기 채널층(30) 위에 형성된 게이트 절연층(40), 상기 게이트 절연층(40) 위에 형성된 게이트 전극(50)을 포함하여 구성된다.
- [0033] 상기 유연성 기판(10)은 금속, 유리, 수지 등의 어떠한 재료도 가능하다. 예컨대, 기판(30)의 재료로서, 실리콘, 실리콘카바이드, 비소화갈륨, 스피넬, 인화인듐, 인화갈륨, 인화알루미늄, 질화갈륨, 질화인듐, 질화알루미늄, 산화아연, 산화마그네슘, 산화알루미늄, 산화티타늄, 사파이어, 퀴즈, 파이렉스를 사용할 수 있으나, 이러한 재료로 한정되는 것은 아니다.
- [0034] 상기 드레인 전극(21) 및 소스 전극(22)은, 상기 유연성 기판(flexible substrate)(10) 위에 형성된 그래핀 옥사이드층(Graphite Oxide Layer)(20)를 환원(reduction)시켜 그래핀(Graphene)화하여 형성될 수 있다.
- [0035] 상기 드레인 전극(21) 및 소스 전극(22)은, 펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용하여 상기 그래핀 옥사이드층(20)을 그래핀으로 완전 환원(Fully reduced)하여 형성할 수 있다.
- [0036] 상기 채널층(30)은 상기 드레인 전극(21) 및 소스 전극(22) 사이의 그래핀 옥사이드층(20)이 부분 환원(Partially reduced)되어 형성된다.
- [0037] 상기 게이트 전극(50)은 상기 그래핀 옥사이드층(20) 위에 금속(Metal)(13)을 증착(deposition)하여 형성된다.
- [0038] 상기 게이트 전극(50)을 형성하는 금속(13)은; 티탄 알루미늄계 합금(Ti/Al)인 것이 바람직하다.

- [0039] 상기 절연층(40)은 상기 그래핀 옥사이드층(20) 위에 금속(13)을 증착하면서 화학적 결합에 의하여 상기 금속(13)의 하부가 산화되거나 또는 후속 열공정에 의하여 산화되어 형성된다.
- [0040] 본 발명의 바람직한 일실시예에서 상기 그래핀계 탄소소재 전자소자는, 박막 필름 트랜지스터(Thin-Film Transistor)인 것이 바람직하다.
- [0041] 도 2는 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자의 제조방법을 나타낸 순서도이다.
- [0042] 도시된 바와 같이, 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자의 제조방법은, 유연성 기판(10) 위에 그래핀 옥사이드층(Graphite Oxide Layer)(20)을 형성하는 그래핀 형성단계(S110); 상기 그래핀 옥사이드층(20) 위에 패터닝된 마스크(12)를 형성하는 마스크 형성단계(S120); 상기 마스크(12) 위에 금속(Metal)(13)을 증착(deposition)시키는 금속 증착단계(S130); 상기 마스크(12)를 제거하는 마스크 제거단계(S140); 상기 마스크(12)가 제거된 상기 유연성 기판(10) 위에 형성된 그래핀 옥사이드층(20)을 그래핀(Graphene)화하는 그래핀 환원단계(S150); 그래핀화된 기판을 열 처리(Thermal Annealing)하는 열처리 단계(S160)를 포함하여 구성된다.
- [0043] 도 3 내지 도 8은 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자 및 그 제조방법을 단계별로 단면도로서, 본 발명의 바람직한 일실시예에 따른 그래핀계 탄소소재 전자소자 및 그 제조방법을 상세히 설명하면 다음과 같다.
- [0044] 먼저, 도 3에 도시된 바와 같이, 유연성 기판(10) 위에 저온공정을 사용하여 그래핀 옥사이드층(Graphite Oxide Layer)(20)을 형성한다(S110).
- [0045] 진술한 바와 같이, 그래핀(graphene)은 탄소원자들이 서로 연결되어 벌집모양의 2차원 평면 구조를 갖는 소재로서, 열 및 전기 전도도가 매우 우수하고, 화학적/기계적 안정성이 뛰어나며, 투명하고, 전자 이동도가 높고, 비저항이 낮으며, 표면적이 넓고, 상업적인 면에서도 탄소나노튜브(carbon nanotube)보다 유리하다. 또한, 그래핀 또는 그래핀을 포함하는 층상 구조의 그래파이트는 원래의 기판으로부터 쉽게 분리되어 다른 기판으로 이동(전이; transfer)할 수 있다.
- [0046] 유연성 기판(10) 위에 그래핀 옥사이드층(20)을 형성하는 방법은, 저온공정의 화학기상증착법(CVD)일 수 있으나, 이러한 방법으로 한정되는 것은 아니다. 예컨대, 그래파이트로부터 물리적 또는 화학적으로 그래핀 옥사이드를 분리하여 사용할 수도 있다. 한편, 화학기상증착법으로는 일반적인 CVD법 이외에도, RTCVD(급속가열 화학기상증착법), PECVD(플라즈마 화학기상증착법), ICPCVD(유도결합형 플라즈마 화학기상증착법), MOCVD(유기금속 화학기상증착법) 등이 사용될 수 있다.
- [0047] 본 발명의 바람직한 일실시예에서는, 스핀 코팅의 방법으로 유연성 기판(10) 위에 그래핀 옥사이드층(20)을 형성하였으며, 본 발명의 바람직한 일실시예에 제시한 방법으로 단일층 그래핀(SLG; Single Layer Graphene)을 이용하여 전계효과트랜지스터(TFT)를 제작할 수 있었다.
- [0048] 이후, 도 4에 도시된 바와 같이, 상기 그래핀 옥사이드층(20) 위에 패터닝 된 마스크(12)를 형성한다(S120).
- [0049] 상기 마스크(12)는 금속 기타 물질의 얇은 시트로, 구멍이 뚫려 있고, 반도체에 선택적인 증착이나 에칭을 하기 위해 특정한 부분이나 표면을 차폐하는 데 사용하는 것이다. 본 발명의 바람직한 일실시예에서는, 마스크(12)를 패터닝하여 복수개의 개구부를 형성한다. 마스크를 패터닝하는 방법은 반도체 제조공정에서 잘 알려져 있으며, 예컨대 전자빔 리소그래피(e-beam lithography), 포토리소그래피(photolithography), 레이저 간섭 리소그래피(laser interference lithography) 또는 나노임프린트(nanoimprint) 등의 방법을 사용할 수 있다. 또한, 양극 산화알루미늄(anodic aluminum oxide) 또는 블록공중합체(block copolymer) 등의 템플릿(template)을 이용한 패터닝 방법도 사용할 수 있다.
- [0050] 이후, 도 5에 도시된 바와 같이, 상기 마스크(12) 위에 금속(Metal)(13)을 증착(deposition)시키는 금속 증착단계(S130)를 수행한다.
- [0051] 상기 금속 증착단계(S130)는 상기 그래핀 옥사이드층(20)의 중앙 상부에 티탄 알루미늄계 합금(Ti/Al)을 증착한다.
- [0052] 티탄 알루미늄계 합금은 Ti와 Al의 금속간화합물이므로 가볍고, 밀도를 고려한 비강도로서 비교하여도 Ni 기초 내열합금에 필적할만 하다. 비강도가 큰 것은 원심력이 작용할 때(터빈 날개)의 실질 응력이 유리할 뿐만 아니라 엔진 전체의 중량의 경감에도 좋다. 상기의 금속간화합물은 알루미늄과 티타늄을 연속 증착하여 구현할 수

있다.

- [0053] 한편, 상기 금속 증착단계(S130)에서 상기 증착된 금속(13)이 게이트 전극(50)인 것이 바람직하다.
- [0054] 또한, 상기 금속 증착단계(S130)에서 상기 그래핀 옥사이드층(20) 위에 상기 금속(13)을 증착하면서 화학적 결합에 의하여 상기 금속(13)의 하부가 산화되거나 후속 열공정에 의하여 산화되어 절연층(40)이 형성된다.
- [0055] 이후, 도 6에 도시된 바와 같이, 상기 마스크(12)를 제거한다(S140).
- [0056] 상기 마스크(12)가 제거된 상기 유연성 기판(10) 위에 형성된 그래핀 옥사이드층(20)을 그래핀(Graphene)화시키는 그래핀 환원단계(S150)를 수행한다.
- [0057] 도 7에 도시된 바와 같이, 상기 그래핀 환원단계(S150)에서는, 상기 금속(13)이 증착된 상기 그래핀 옥사이드층(20) 위에 펄스 레이저 노출(Pulsed Laser Exposure), RF 플라즈마 노출(RF Plasma Exposure) 및 전자빔 노출(E-Beam Exposure)중 어느 하나 이상의 물리적 방법을 사용할 수 있다.
- [0058] 그래핀 옥사이드의 탄소와 화학 결합한 수산화기(-OH), 카복실기(-COOH), 에폭시 기(-CO, -COC)를 제거하기 위해 적용하는 외부의 여기원(excitation source)은 이상의 화학 결합의 결합에너지보다 큰 에너지를 주면 가능하다. 상기 펄스 레이저 노출은 500nm 이하의 파장을 갖는, 즉 에너지 측면에서 2.5 eV보다 큰 값을 갖는 레이저를 조사한다. 레이저는 펄스파(pulsed wave) 형태 혹은 연속파(continuous wave)형태 모두 사용가능하다. 입사 레이저 파워는 환원시키고자 하는 그래핀 옥사이드 층의 두께에 따라 달라진다. 적어도 10 mW 이상의 레이저 파워를 펄스파 혹은 연속파 형태로 조사해야한다. 레이저 노출 시의 환경은 불활성 기체 분위기 혹은 진공에서 진행되는 것이 바람직하다. 또한, 그래핀 옥사이드 층의 환원을 시료 전 면적에 고르게 진행하기 위해 레이저 혹은 시료를 광축에 대해 수직면에 내에서 이동할 수 있다.
- [0059] 상기 RF 플라즈마 노출은 저 진공 (1mTorr < 진공도 < 500mTorr) RF 플라즈마 반응로 내에 아르곤 등의 불활성 기체를 플라즈마로 형성하여 시료에 노출시킨다. RF 플라즈마의 에너지는 외부 인가 전력에 관련되어 있기 때문에 외부 전력을 변경하여 그래핀 옥사이드 환원을 조절할 수 있다. 일반적으로 RF 플라즈마는 전극의 모양 등을 변경하여 대 면적 노출이 가능하다.
- [0060] 상기 전자빔 노출은, 상기의 목적을 달성하기 위해 열 전자를 고전압으로 가속시켜 시료에 주입할 수 있다. 이 방법은 가속 고전압에 따라 전자빔의 에너지를 변경할 수 있다. 전자빔 노출을 시료 전체에 균일하게 하기 위해서는 자기장과 전기장을 변경하여 진행할 수 있다.
- [0061] 상기 그래핀 환원단계(S150)에서 상기 절연층(40) 하부의 그래핀 옥사이드층(20)이 부분 환원(Partially reduced)되어 채널층(30)이 형성된다.
- [0062] 상기 그래핀 환원단계(S150)에서는 상기 채널층(30)의 양측에 각각 드레인 전극(21) 및 소스 전극(22)이 형성된다. 상기 그래핀 환원단계(S150)에서 상기 드레인 전극(21) 및 소스 전극(22)은 상기 그래핀 옥사이드층(20)이 그래핀으로 완전 환원(Fully reduced)되어 형성될 수 있다.
- [0063] 본 발명의 바람직한 일실시예에서, 상기 채널층(30)은 상기 각각 드레인 전극(21) 및 소스 전극(22)과 동일한 높이로 형성되었으나, 이에 한정되지 않으며 상기 드레인 전극(21) 및 소스 전극(22)보다 더 높거나 낮은 높이로 형성될 수 있다.
- [0064] 또한, 본 실시예에서는 편의상 소스 전극, 드레인 전극 등의 용어를 사용하여 표현하였으나, 이들이 반드시 트랜지스터용 전극인 것은 아니다. 즉, 소스 전극과 드레인 전극은 단순히 전극의 명칭을 구별하기 위해 사용되는 경우도 있으며, 이 경우 예컨대 소스 전극은 제1 전극을, 드레인 전극은 제2 전극을 의미하기도 한다. 따라서, 이하의 실시예에서 나타내는 전자소자는 발광소자, 수광소자, 검출소자, 메모리소자, 트랜지스터, 다이오드 등에 폭넓게 적용될 수 있는 것으로 이해되어야 한다.
- [0065] 또한, 도 8에 도시된 바와 같이, 상기 그래핀화된 기판을 열 처리(Thermal Annealing)한다(S160). 본 발명의 바람직한 일실시예에 따르면, 아르곤 가스와 함께 200~300도에서 15분간 어닐링을 진행했다. 그 결과, 식각 공정을 삭제할 수 있었고, 전도도는 크게 감소했다.
- [0066] 본 명세서에 기재된 본 발명의 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시예에 관한 것이고, 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다. 따라서 본 발명은 상술한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면

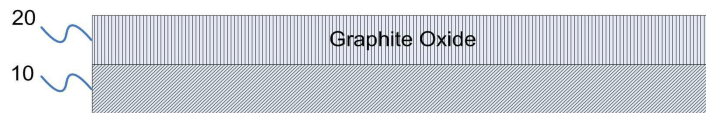
누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 권리범위 내에 있게 된다.

부호의 설명

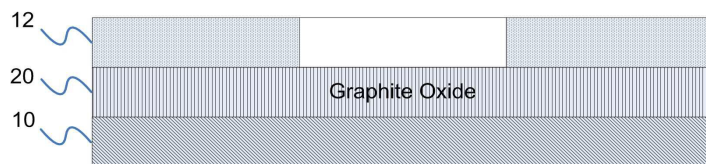
- [0067]
- 10 : 유연성 기판
 - 12 : 마스크
 - 13 : 금속
 - 20 : 그래핀 옥사이드층
 - 21 : 드레인 전극
 - 22 : 소오스 전극
 - 30 : 채널층
 - 40 : 절연층
 - 50 : 게이트 전극

도면

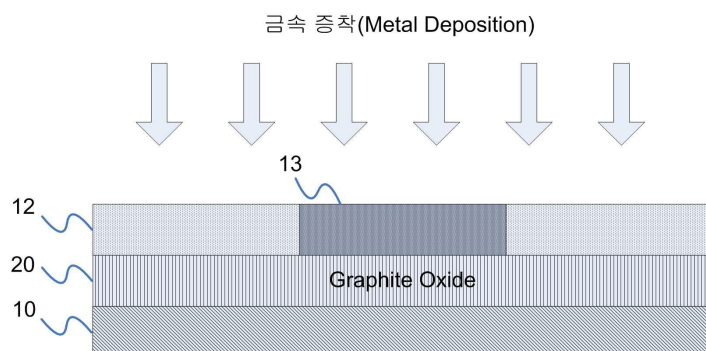
도면1



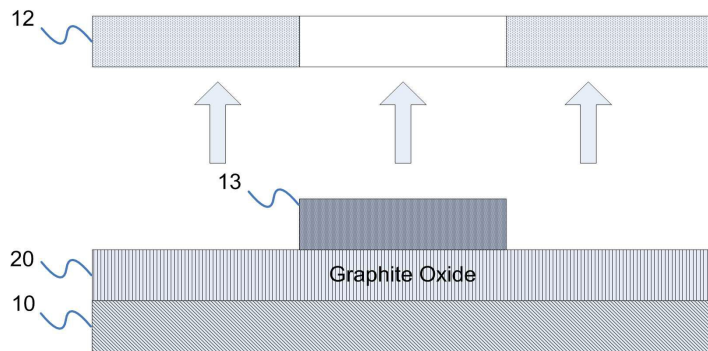
도면2



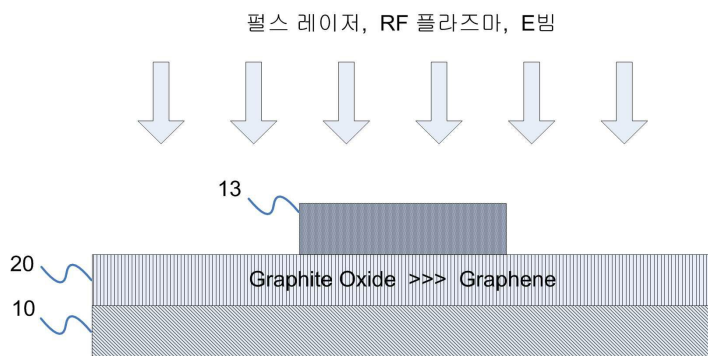
도면3



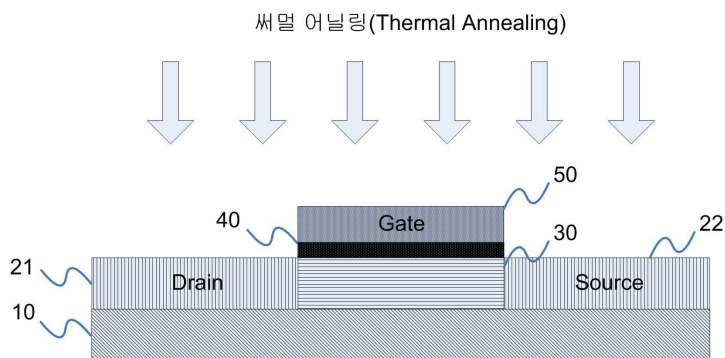
도면4



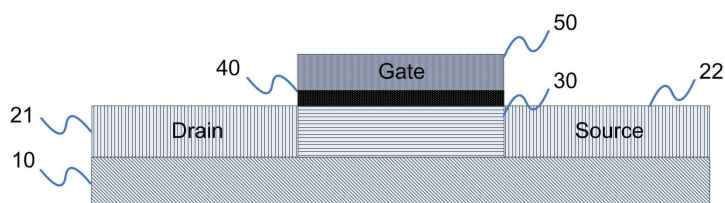
도면5



도면6



도면7



도면8

