



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201426780 A

(43)公開日：中華民國 103 (2014) 年 07 月 01 日

(21)申請案號：102105493

(22)申請日：中華民國 102 (2013) 年 02 月 18 日

(51)Int. Cl. : *H01G4/12 (2006.01)*

H01G4/30 (2006.01)

H05K1/18 (2006.01)

(30)優先權：2012/12/28 南韓

10-2012-0157037

(71)申請人：三星電機股份有限公司 (南韓) SAMSUNG ELECTRO-MECHANICS CO., LTD.

(KR)

南韓

(72)發明人：李鎮宇 LEE, JIN WOO (KR)；蔡恩赫 CHAE, EUN HYUK (KR)；李炳華 LEE,

BYOUNG HWA (KR)

(74)代理人：洪武雄

申請實體審查：有 申請專利範圍項數：18 項 圖式數：6 共 40 頁

(54)名稱

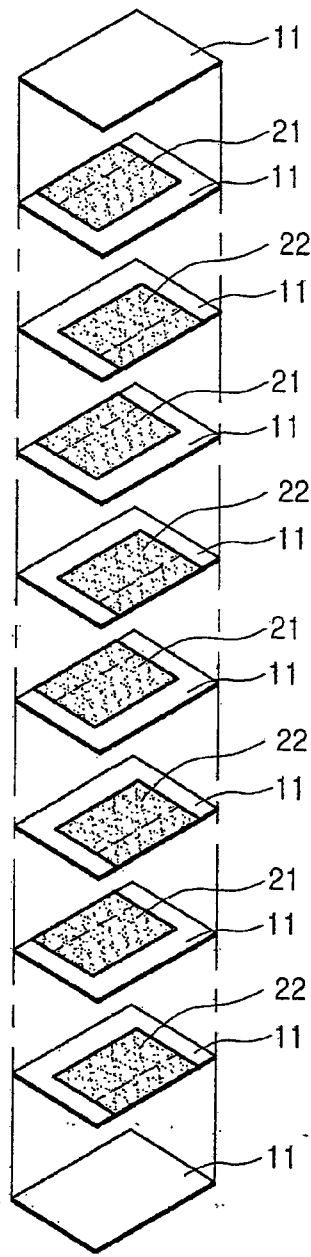
嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件的印刷電路板

EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT AND PRINTED CIRCUIT BOARD HAVING EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT

(57)摘要

提供有一種嵌入式多層陶瓷電子組件，其包括：陶瓷體，其包含複數介電層、具有彼此相對之第一與第二側表面、及具有等於或小於 250 微米(μm)之厚度；第一內部電極與第二內部電極，彼此相向而設置，其間插置有該介電層；第一外部電極和第二外部電極，該第一外部電極形成在陶瓷體之第一側表面上並且電連接至第一內部電極，而該第二外部電極形成在第二側表面上並且電連接至第二內部電極；以及金屬層，其分別形成在第一外部電極與第二外部電極上並且包含銅(Cu)，其中，若金屬層之厚度為 t_p ，則可滿足 $t_p \geq 5\mu\text{m}$ 。

- 11：介電質
- 21：第一內部電極
- 22：第二內部電極



第3圖



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201426780 A

(43)公開日：中華民國 103 (2014) 年 07 月 01 日

(21)申請案號：102105493

(22)申請日：中華民國 102 (2013) 年 02 月 18 日

(51)Int. Cl.：

H01G4/12 (2006.01)

H01G4/30 (2006.01)

H05K1/18 (2006.01)

(30)優先權：2012/12/28

南韓

10-2012-0157037

(71)申請人：三星電機股份有限公司 (南韓) SAMSUNG ELECTRO-MECHANICS CO., LTD.

(KR)

南韓

(72)發明人：李鎮宇 LEE, JIN WOO (KR)；蔡恩赫 CHAE, EUN HYUK (KR)；李炳華 LEE,

BYOUNG HWA (KR)

(74)代理人：洪武雄

申請實體審查：有 申請專利範圍項數：18 項 圖式數：6 共 40 頁

(54)名稱

嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件的印刷電路板

EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT AND PRINTED CIRCUIT BOARD HAVING EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT

(57)摘要

提供有一種嵌入式多層陶瓷電子組件，其包括：陶瓷體，其包含複數介電層、具有彼此相對之第一與第二側表面、及具有等於或小於 250 微米(μm)之厚度；第一內部電極與第二內部電極，彼此相向而設置，其間插置有該介電層；第一外部電極和第二外部電極，該第一外部電極形成在陶瓷體之第一側表面上並且電連接至第一內部電極，而該第二外部電極形成在第二側表面上並且電連接至第二內部電極；以及金屬層，其分別形成在第一外部電極與第二外部電極上並且包含銅(Cu)，其中，若金屬層之厚度為 t_p ，則可滿足 $t_p \geq 5\mu\text{m}$ 。

發明摘要

※申請案號：

102105493

※申請日：

2013.04.08

※IPC 分類：

H01G 4/12

H01G 4/30

H05K 1/18

【發明名稱】(中文/英文)

嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件的印刷電路板

EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT AND PRINTED CIRCUIT BOARD HAVING EMBEDDED MULTILAYER CERAMIC ELECTRONIC COMPONENT

【中文】

提供有一種嵌入式多層陶瓷電子組件，其包括：陶瓷體，其包含複數介電層、具有彼此相對之第一與第二側表面、及具有等於或小於 250 微米(μm)之厚度；第一內部電極與第二內部電極，彼此相向而設置，其間插置有該介電層；第一外部電極和第二外部電極，該第一外部電極形成在陶瓷體之第一側表面上並且電連接至第一內部電極，而該第二外部電極形成在第二側表面上並且電連接至第二內部電極；以及金屬層，其分別形成在第一外部電極與第二外部電極上並且包含銅(Cu)，其中，若金屬層之厚度為 t_p ，則可滿足 $t_p \geq 5 \mu\text{m}$ 。

【英文】

There is provided an embedded multilayer ceramic electronic component including: a ceramic body including dielectric layers, having first and second lateral surfaces opposing one another, and having a thickness equal to or less than 250 μm ; a first internal electrode and a second internal electrode disposed to face one another with the dielectric layer interposed therebetween; a first external electrode formed on the first lateral surface of the ceramic body and electrically connected to the first internal electrode and a second external electrode formed on the second lateral surface and electrically connected to the second internal electrode; and metal layers formed on the first external electrode and the second external electrode, respectively, and including copper (Cu), wherein when a thickness of the metal layers is t_p , $t_p \geq 5\mu\text{m}$ may be satisfied.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

- 11 介電質
- 21 第一內部電極
- 22 第二內部電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件的
印刷電路板

EMBEDDED MULTILAYER CERAMIC ELECTRONIC
COMPONENT AND PRINTED CIRCUIT BOARD HAVING
EMBEDDED MULTILAYER CERAMIC ELECTRONIC
COMPONENT

相關申請案交互參照

【0001】本申請案主張 2012 年 12 月 28 日在韓國智慧財產局提出申請之韓國專利申請案第 10-2012-0157037 號之優先權，其揭露係合併引用於本文中。

【技術領域】

【0002】本發明係關於嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件之印刷電路板(PCB)。

【先前技術】

【0003】電子電路已變得具有高密度與高整合度，在印刷電路板(PCB)上安裝被動元件之安裝空間已變得不足，為了解決此問題，實現能夠安裝在電路板內之組件，例如嵌入式裝置，已持續努力中。尤其是，已有提出在電路板內安裝多層陶瓷電子組件作為電容性組件的各種方法。

【0004】在將多層陶瓷電子組件安裝於電路板內之各種方法的其中一種方法中，用於多層陶瓷電子組件之介電材料係同樣作為用於電路板之材料以及銅接線或諸如此類係作為電極。其它用

於實現嵌入式多層陶瓷電子組件之方法包括藉由在電路板內形成高介電常數(k)介電質聚合物薄片和介電質薄膜以形成嵌入式多層陶瓷電子組件之方法、在電路板內安裝多層陶瓷電子組件之方法、以及諸如此類。

【0005】一般而言，多層陶瓷電子組件包括由陶瓷材料製成之複數介電層、以及插置於介電層之間的內部電極。藉由在電路板內放置多層陶瓷電子組件，可實現具有高電容之嵌入式多層陶瓷電子組件。

【0006】爲了製造包括有嵌入式多層陶瓷電子組件之印刷電路板(PCB)，可將多層陶瓷電子組件插入核心電路板，並且必需使用雷射在上積層板與下積層板中形成介層孔用以連接電路板接線與多層陶瓷電子組件之外部電極。然而，雷射光束加工使 PCB 之製造成本大幅提升。

【0007】在將多層陶瓷電子組件嵌入電路板的過程中，硬化環氧樹脂並實施熱處理程序以使金屬電極結晶化，而在此種情況下，多層陶瓷電子組件之環氧樹脂、金屬電極、陶瓷元件之熱膨脹，以及諸如此類，或電路板之熱膨脹之係數之間的差異會在電路板及多層陶瓷電子組件之接合面上產生缺陷。此缺陷會在可靠度測試期間使接合面或諸如此類產生剝層。

【0008】同時，在多層陶瓷電容器(MLCC)作爲如智慧型手機之應用處理器、PC 之 CPU、或諸如此類之高效能 IC 電源端子之去耦電容器的情況下，IC 效能在等效串聯電感(ESL)增加時會衰減，以及若智慧型手機和 PC 之 CPUs 具有愈來愈高的效能，MLCC 之 ESL 之增加會益加影響 IC 效能之衰減。

【0009】已想出有一種所謂的低電感晶片電容器(LICC)藉由降低外部端子之間的距離以縮減電流流動路徑用來降低電感。

【0010】至於嵌入式多層陶瓷電子組件，有必要應用此 LICC 以降低上述電感。

[相關技術文件]

【0011】

(專利文件 1)韓國專利公開發佈第 2009-0083568 號。

【發明內容】

【0012】本發明之一態樣提供嵌入式多層陶瓷電子組件及具有嵌入式多層陶瓷電子組件之印刷電路板(PCB)。

【0013】根據本發明之一態樣，提供有嵌入式多層陶瓷電子組件，其包括：陶瓷體，包含介電層，具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面，及具有等於或小於 250 微米之厚度；第一內部電極與第二內部電極，彼此相向而設置，其間插置有該介電層，並且分別交替地曝露於該第一側表面與該第二側表面；第一外部電極與第二外部電極，該第一外部電極形成在該陶瓷體之該第一側表面上並且電連接至該第一內部電極，而該第二外部電極形成在該第二側表面上並且電連接至該第二內部電極；以及金屬層，分別形成在該第一外部電極與該第二外部電極上並且含有銅(Cu)，其中，該陶瓷體包括主動層和包覆層，該主動層包含該第一內部電極與該第二內部電極，而該包覆層形成在該主動層之上或下表面上，並且當該金屬層之厚度為 t_p 時，滿足 $t_p \geq 5 \mu m$ 。

【0014】當陶瓷體之厚度為第一主表面與第二主表面之間的

距離、陶瓷體之厚度為第一側表面與第二側表面之間的距離、且陶瓷體之長度為第一末端表面與第二末端表面之間的距離時，陶瓷體之寬度可小於或等於陶瓷體之長度，其中，第一外部電極形成在第一側表面上，而第二外部電極形成在第二側表面上。

【0015】當陶瓷體之長度為 L 且其寬度為 W 時，可滿足 $0.5L \leq W \leq L$ 。

【0016】當陶瓷體之表面粗糙度為 $Ra1$ 且包覆層之厚度為 t_c 時，可滿足 $120\text{nm} \leq Ra1 \leq t_c$ 。

【0017】當金屬層之表面粗糙度為 $Ra2$ 且金屬層之厚度為 t_p 時，可滿足 $200\text{nm} \leq Ra2 \leq t_p$ 。

【0018】第一與第二外部電極可分別延伸至陶瓷體之第一與第二主表面，並且形成在第一與第二主表面上之第一與第二外部電極之寬度可等於或大於 200 微米。

【0019】形成在第一與第二主表面上之第一與第二外部電極之間的距離可等於或大於 100 微米。

【0020】包覆層之厚度 t_c 的範圍係從 1 微米至 30 微米。

【0021】金屬層可經由電鍍予以形成。

【0022】根據本發明之另一態樣，提供具有嵌入式多層陶瓷電子組件之印刷電路板(PCB)，其包括：絕緣基底；以及嵌入式多層陶瓷電子組件，其包含陶瓷體、第一內部電極與第二內部電極、第一外部電極與第二外部電極、以及金屬層，其中，該陶瓷體包含介電層，具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面，及具有等於或小於 250 微米之厚度，該第一內部電極與該第二內部電極彼此

相向而設置，其間插置有該介電層，並且分別交替地曝露於該第一側表面與該第二側表面，該第一外部電極形成在該陶瓷體之該第一側表面上並且電連接至該第一內部電極，該第二外部電極形成在該第二側表面上形成並且電連接至該第二內部電極，該金屬層分別形成在該第一外部電極與該第二外部電極上並且含有銅 (Cu)，該陶瓷體包括主動層和包覆層，該主動層包含該第一內部電極與該第二內部電極，而該包覆層形成在該主動層之上或下表面上，當該金屬層之厚度為 t_p 時，係滿足 $t_p \geq 5 \mu m$ 。

【0023】當陶瓷體之厚度為第一主表面與第二主表面之間的距離、陶瓷體之厚度為第一側表面與第二側表面之間的距離、且陶瓷體之長度為第一末端表面與第二末端表面之間的距離時，陶瓷體之寬度可小於或等於陶瓷體之長度，第一外部電極形成在第一側表面上，第二外部電極形成在第二側表面上。

【0024】當陶瓷體之長度為 L 且其寬度為 W 時，可滿足 $0.5L \leq W \leq L$ 。

【0025】當陶瓷體之表面粗糙度為 $Ra1$ 且包覆層之厚度為 t_c 時，可滿足 $120nm \leq Ra1 \leq t_c$ 。

【0026】當金屬層之表面粗糙度為 $Ra2$ 且金屬層之厚度為 t_p 時，可滿足 $200nm \leq Ra2 \leq t_p$ 。

【0027】第一與第二外部電極可分別延伸至陶瓷體之第一與第二主表面，並且形成在第一與第二主表面上之第一與第二外部電極之寬度可等於或大於 200 微米。

【0028】形成在第一與第二主表面上之第一與第二外部電極之間的距離可等於或大於 100 微米。

【0029】 包覆層之厚度 t_c 的範圍係從 1 微米至 30 微米。

【0030】 金屬層可經由電鍍予以形成。

【圖式簡單說明】

【0031】 本發明之上述及其它態樣、特徵與其它優點經由底下的詳細說明搭配附加圖式將得以更清楚地予以理解，其中，

【0032】

第 1 圖為根據本發明一具體實施例之嵌入式多層陶瓷電子組件之透視圖；

第 2 圖為根據本發明一具體實施例之陶瓷體之概要圖；

第 3 圖為第 2 圖之陶瓷體之分解透視圖；

第 4 圖為沿著第 2 圖劃線 X-X' 所取陶瓷體之剖面圖；

第 5 圖為第 4 圖 A 區之放大圖；以及

第 6 圖為根據本發明另一具體實施例具有嵌內式多層陶瓷電子組件之印刷電路板之剖面圖。

【實施方式】

【0033】 現在將引用附加圖式詳細說明本發明之具體實施例。然而本發明可用許多不同形式予以具體實施並且不應予以推斷為侷限於本文所提之具體實施例。反而，這些具體實施例係經提供以致本揭露將呈透徹且完整，並且將完全傳達本發明之範疇給熟悉本技術之人士。在圖式中，元件之形狀與尺寸可為了清晰而誇大，以及相同的參照元件符號將整個用於指定相同或類似組件。

【0034】 除非明顯相對說明，用字「包括」及變化，如「包含」或「含有」將予以理解用來意指對所述元件之含括而非對任

何其元件之排除。

【0035】爲了闡明本發明，與說明無關的部份將予以省略，並且爲了清楚表達許多分層與區域，厚度係予以誇大，以及類似的參考元件符號在整篇說明書裡係用於類似部件。

【0036】第 1 圖爲根據本發明一具體實施例之嵌入式多層陶瓷電子組件的透視圖。第 2 圖爲根據本發明一具體實施例之陶瓷體的概要圖。第 3 圖爲第 2 圖之陶瓷體之分解透視圖。第 4 圖爲沿著第 2 圖劃線 X-X' 所取陶瓷體之剖面圖。第 5 圖爲第 4 圖中 A 區的放大圖。

【0037】請參閱第 1 至 5 圖，根據本發明一具體實施例之嵌入式多層陶瓷電子組件可包括含有介電層 11 之陶瓷體 10，陶瓷體 10 具有彼此相對之第一與第二主表面 S1 與 S2、彼此相對之第一與二側表面 S5 與 S6、和彼此相對之第一與第二末端表面 S3 與 S4、並且具有小於或等於 250 微米之厚度；第一內部電極 21 與第二內部電極 22，其間插置有介電層 11，彼此相向而設置，並且分別交替地曝露於第一側表面 S5 與第二側表面 S6；第一外部電極 31a 與第二外部電極 32a，第一外部電極 31a 形成在陶瓷體 10 之第一側表面 S5 上並且電連接至第一內部電極 21，而第二外部電極 32a 形成在第二側表面 S6 上並且電連接至第二內部電極 22；以及電鍍層 31b 與 32b，分別形成在第一外部電極 31 與在第二外部電極 32a 上。

【0038】後文將說明根據本發明一具體實施例之多層陶瓷電子組件。尤其是，將說明多層陶瓷電容器(MLCC)作爲實施例，但本發明不侷限於此。

【0039】在根據本發明一具體實施例之多層陶瓷電容器 (MLCC) 中，在第 1 圖中係界定「長度方向」為「L」方向、「寬度方向」為「W」方向、以及「厚度方向」為「T」方向。

【0040】在本發明之具體實施例中，陶瓷體 10 可具有彼此相對而置之第一主表面 S1 與第二主表面 S2、以及連接第一主表面 S1 與第二主表面 S2 之第一側表面 S5、第二側表面 S6、第一末端表面 S3、和第二末端表面 S4。如圖所示，陶瓷體 110 可具有六角形，但陶瓷體 110 之形狀非特別受限。

【0041】用於形成介電層 1 之材料只要能夠得到充足電容就不特別受限。例如，可使用鈦酸鋇(BaTiO_3)粉末。

【0042】就介電層 1 之材料而言，可根據本發明之目的將有機溶劑、塑化劑、接合劑、分散劑、與諸如此類之各種陶瓷添加物、添加到鈦酸鋇(BaTiO_3)或諸如此類。

【0043】用以形成介電層 1 之陶瓷粉末之平均粒徑非特別受限並且可經過調整以達到本發明之目的。例如，陶瓷粉末之平均粒徑可予以調整到小於或等於 400 奈米。

【0044】用以形成第一與第二內部電極 21 與 22 之材料非特別受限並且可用含有一或多種例如鈀(Pd)、鈀銀(Pd-Ag)、與諸如此類之貴金屬、以及鎳(Ni)和銅(Cu)中之材料的導電膏予以形成。

【0045】第一與第二內部電極 21 與 22 可彼此相向而置，其間插置有介電層 11，並且可予以交替地曝露於第一側表面 S5 與第二側表面 S6。

【0046】由於第一內部電極與第二內部電極 21 與 22 係交替地曝露於第一側表面 S5 與第二側表面 S6，因此，可如後文所述

實現倒置幾何電容器(RGC)或低電感晶片電容器(LICC)。

【0047】陶瓷體 10 之厚度 t_s 可小於或等於 250 微米。

【0048】由於陶瓷體 10 係經製造而具有小於或等於 250 微米之厚度，故可適合作為嵌入式多層陶瓷電容器(MLCC)。

【0049】同樣地，陶瓷體 10 之厚度 t_s 可為第一主表面 S1 與第二主表面 S2 之間的距離。

【0050】根據本發明一具體實施例，可分別形成包括有第一與第二電極 31a 與 32a 的外部電極 31 與 32 以及包括有形成於第一與第二外部電極上之銅(Cu)的金屬層 31b 與 32b。

【0051】為了形成電容，第一與第二外部電極 31a 與 32a 可在陶瓷體 10 之外側上形成並且可予以電連接至第一與第二內部電極 21 與 22。

【0052】第一與第二外部電極 31a 與 32a 可由如同第一與第二內部電極 21 與 22 之相同導電材料所製成，但本發明未侷限於此並且第一與第二外部電極 31a 與 32a 可由例如銅(Cu)、銀(Ag)、鎳(Ni)、或諸如此類予以製成。

【0053】第一與第二外部電極 31a 與 32a 可塗敷藉由將玻璃料添加至金屬粉末並加以燒結所備製之導電膏而予以形成。

【0054】一般的 MLCC 其長度大於寬度，且外部電極可依從陶瓷體之長度方向彼此相對置於末端表面上。

【0055】在此種情況下，當交流(AC)電壓施加至外部電極時，電流路徑相對較長，會形成增大的電流迴路以擴大感應磁場而增加電感。

【0056】在根據本發明一具體實施例之 MLCC 中，第一與第

二外部電極 31 與 32 可形成在陶瓷體 10 之第一與第二側表面 S5 與 S6 上，以縮減電流路徑。

【0057】陶瓷體 10 之寬度可等於第一側表面 S5(其上有形成第一外部電極 31)與第二側表面 S6(其上有形成第二外部電極)之間的距離，而陶瓷體 10 之長度 L 可等於第一末端面 S3 與第二末端表面 S4 之間的距離。

【0058】根據本發明之一具體實施例，從第一側表面 S5 到第二側表面 S6(其上分別形成有第一與第二外部電極 31 與 32)的寬度 W 可小於或等於從第一末端表面 S3 至第二末端表面 S4 之長度 L。

【0059】因此，第一與第二外部電極 31 與 32 之間的距離得以縮減，其縮減電流路徑，並從而得以縮減電流迴路以降低電感。

【0060】在陶瓷體 10 之第一與第二側表面 S5 與 S6 上形成第一與第二外部電極 31 與 32，以致陶瓷體 10 之寬度 W(亦即，第一與第二外部電極 31 與 32 之間的距離)小於或等於陶瓷體 10 之長度 L 的多層陶瓷電子組件可稱為倒置幾何電容器(RGC)或低電感晶片電容器(LICC)。

【0061】同樣地，當陶瓷體 10 之長度為 L 且其寬度為 W 時，可滿足 $0.5L \leq W \leq L$ ，但本發明不侷限於此。

【0062】依此方式，藉由調整陶瓷體 10 之長度與寬度以滿足 $0.5L \leq W \leq L$ ，MLCC 之電感可予以降低。

【0063】因此，由於根據本發明一具體實施例之多層陶瓷電子組件實現低電感，故可增強其電氣效能。

【0064】根據本發明之一具體實施例，含有銅(Cu)之金屬層 31b 與 32b 可分別形成在第一外部電極 31a 與第二外部電極 32a 上。

【0065】一般而言，MLCC 係安裝置 PCB 上，故鎳/錫電鍍層係在外部電極上形成。

【0066】然而，根據本發明一具體實施例之 MLCC 係嵌入於 PCB 內，而非安裝於其上，故 MLCC 之第一外部電極 31a 與第二外部電極 32a 係經由銅(Cu)製成之導孔予以電連接至電路板之電路。

【0067】因此，根據本發明之一具體實施例，含有銅(Cu)之金屬層 31b 與 32b 包括具有優良導電性之銅(Cu)，其中，銅(Cu)為電路板內導孔之材料。

【0068】用於形成含有銅(Cu)之金屬層 31b 與 32b 的方法未特別受限。例如，金屬層 31b 與 32b 可經由電鍍予以形成，以及在此種情況下，金屬層 31b 與 32b 可作成含有銅(Cu)之電鍍層。

【0069】請參閱第 4 與 5 圖，根據本發明一具體實施例之多層陶瓷電子組件的陶瓷體 10 可包括含有第一與第二內部電極 21 與 22 之主動層以及形成在主動層之上或下表面上之包覆層。當金屬層 31b 與 32b 之厚度為 t_p 時，可滿足 $t_p \geq 5 \mu m$ 。

【0070】陶瓷體 10 可包括含有第一與第二內部電極 21 與 22 之主動層，並且此處，主動層可意指有助於形成電容之分層。

【0071】同樣地，陶瓷體 10 可包括形成在主動層之上或下表面上之包覆層。

【0072】金屬層 31b 與 32b 之厚度 t_p 可滿足 $t_p \geq 5 \mu m$ ，但本發明不侷限於此，並且金屬層 31b 與 32b 之厚度 t_p 可小於或等於 $15 \mu m$ 。

【0073】由於金屬層 31b 與 32b 之厚度 t_p 滿足 $t_p \geq 5 \mu m$ 並

且係調整為小於或等於 $15\ \mu\text{m}$ ，因此，電路板內有優良之導孔處理，並且可實現具有高可靠度之 MLCC。

【0074】若金屬層 31b 與 32b 之厚度 t_p 小於 $5\ \mu\text{m}$ ，則當多層陶瓷電子組件係嵌入於 PCB 100 內時，導電性介層孔 140 可經過處理而連接至陶瓷體 10，造成缺陷。

【0075】若金屬層 31b 與 32b 之厚度 t_p 超過 $5\ \mu\text{m}$ ，則陶瓷體 10 中會因金屬層 31b 與 32b 之應力而產生破裂。

【0076】同時，當金屬層 31b 與 32b 之表面粗糙度為 Ra_2 且金屬層 31b 與 32b 之厚度為 t_p 時，可滿足 $200\text{nm} \leq Ra_2 \leq t_p$ 。

【0077】藉由調整金屬層 31b 與 32b 之表面粗糙度 Ra_2 以滿足 $200\text{nm} \leq Ra_2 \leq t_p$ ，可改善多層陶瓷電子組件與電路板之間的剝層現象並且可避免產生破裂。

【0078】同樣地，當陶瓷體之表面粗糙度為 Ra_1 且包覆層之厚度為 t_c 時，可滿足 $120\text{nm} \leq Ra_1 \leq t_c$ 。

【0079】藉由調整陶瓷體 10 之表面粗糙度 Ra_1 以滿足 $120\text{nm} \leq Ra_1 \leq t_c$ ，可改善多層陶瓷電子組件與電路板之間的剝層現象並且可避免產生破裂。

【0080】表面粗糙度意指處理金屬表面時在金屬表面上形成之細微凹陷與凸出程度。

【0081】表面粗糙度係因用於處理表面遭刮形成之凹槽、生銹、或諸如此類之工具而產生，不論處理方式是否恰當。在判斷粗糙程度時，表面係依從與其垂直之方向予以切割以及其具有特定曲度之剖面係受到檢查。由曲線最低點至最高點之高度係經採用並判斷為以 Ra 標示之平均中央線粗糙度。

【0082】在本具體實施例中，係界定陶瓷體 10 之表面粗糙度為 Ra1 且電鍍層 31b 與 32b 之平均中央線粗糙度為 Ra2。

【0083】第 5 圖為區域 A 之放大圖，其表示陶瓷體 10 之平均中央線粗糙度 Ra1 及電鍍層 31b 與 32b 之平均中央線粗糙度 Ra2。

【0084】請參閱第 5 圖，在本發明之多層陶瓷電子組件中，當陶瓷體 10 之表面粗糙度為 Ra1 且包覆層之厚度為 tc 時，可滿足 $120\text{nm} \leq \text{Ra1} \leq \text{tc}$ ，並且，當金屬層 31b 與 32b 之表面粗糙度為 Ra2 且金屬層 31b 與 32b 之厚度為 tp 時，可滿足 $200\text{nm} \leq \text{Ra2} \leq \text{tp}$ 。

【0085】陶瓷體 10 之平均中央線粗糙度 Ra1 和金屬層 31b 與 32b 之平均中央線粗糙度 Ra2 分別為陶瓷體 10 和金屬層 31b 與 32b 之粗糙度的計算值，而這些值可意指基於粗糙度虛擬中央線計算平均值所得到的陶瓷體 10 和金屬層 31b 與 32b 的粗糙度。

【0086】請參閱第 5 圖，詳言之，為了計算陶瓷體 10 之平均中央線粗糙度 Ra1 和金屬層 31b 與 32b 之平均中央線粗糙度 Ra2，可對陶瓷體 10 和金屬層 31b 與 32b 之一表面上形成之粗糙度畫出一條虛擬中央線。

【0087】其次，測量基於粗糙度虛擬中央線之相關距離(例如 r_1 、 r_2 、 r_3 … r_n)，並計算相關距離之平均值，以分別作為陶瓷體 10 之平均中央線粗糙度 Ra1 和金屬層 31b 與 32b 之平均中央線粗糙度 Ra2。

$$R_a = \frac{|r_1| + |r_2| + |r_3| + \dots + |r_n|}{n}$$

【0088】陶瓷體 10 之平均中央線粗糙度 Ra1 和金屬層 31b 與 32b 之平均中央線粗糙度 Ra2 係經過調整而分別落於 $120\text{nm} \leq \text{Ra1}$

$\leq t_c$ 和 $200\text{nm} \leq Ra_2 \leq t_p$ 之範圍內，藉以實現具有優良耐受電壓特性並且對電路板具有黏著強度增強之高可靠度的多層陶瓷電子組件。

【0089】若陶瓷體 10 之表面粗糙度小於 120 奈米且金屬層 31b 與 32b 之表面粗糙度小於 200 奈米，則在多層陶瓷電子組件與電路板之間會出現剝層現象。

【0090】同時，若陶瓷體 10 之表面粗糙度超出陶瓷體 10 之包覆薄片之厚度 t_c 並且金屬層 31b 與 32b 之表面粗糙度超出金屬層 31b 與 32b 之厚度 t_p ，則會產生破裂。

【0091】同樣地，包覆層之厚度 t_c 可為從 1 微米至 30 微米之範圍，但本發明不侷限於此。

【0092】若包覆層之厚度 t_c 小於 1 微米，則包覆層係薄到使外部衝擊轉移到作為內部電容形成部件之主動層而導致缺陷。若包覆層之厚度 t_c 超出 30 微米，則包覆層係薄到使電容形成部件相對減小而難以實現電容。

【0093】金屬層 31b 與 32b 和包覆層之厚度可意指平均厚度。

【0094】如第 4 圖所示，金屬層 31b 與 32b 和包覆層之平均厚度可藉由利用掃描式電子顯微鏡(SEM)掃描陶瓷體 10 長度方向剖面之影像予以測量。

【0095】例如，如第 4 圖所示，從利用 SEM 掃描陶瓷體 10 之寬度(W)方向中央部位所取之長度與厚度(L-T)方向剖面而得到的影像得知，金屬層 31b 與 32b 和包覆層之厚度可透過測量而得到。

【0096】同時，根據本發明之一具體實施例，第一與第二外

部電極 31a 與 32a 可分別延伸至陶瓷體 10 之第一與第二主表面 S1 與 S2，並且在此情況下，分別形成在第一與第二主表面 S1 與 S2 上之第一與第二外部電極 31a 與 31b 的寬度 BW 可為 200 微米，但本發明不侷限於此。

【0097】由於第一與第二外部電極 31a 與 31b 之寬度 BW 係分別大於等於 200 微米，故可降低電感並且可解決 MLCC 嵌入於電路板內時電路與導孔之間的缺陷接觸。

【0098】若第一與第二外部電極 31a 與 31b 之寬度 BW 小於 200 微米，則當 MLCC 嵌入於電路板內時，會在電路與導孔之間產生缺陷接觸的問題。

【0099】同時，形成在第一與第二主表面 S1 與 S2 上之第一與第二外部電極 31a 與 31b 之間的距離 T_e 會大於等於 100 微米。

【0100】藉由將第一與第二主表面 S1 與 S2 上形成之第一與第二外部電極 31a 與 31b 之間的距離調整到大於等於 100 微米，可實現具有高可靠度的 MLCC。

【0101】若第一與第二外部電極 31a 與 31b 之間的距離小於 100 微米，則極性不同之電極之間的距離係短到會出現短路缺陷。

【0102】下文將說明用於製造根據本發明一具體實施例之嵌入式多層陶瓷電子組件的方法，但本發明不侷限於此。

【0103】用於製造根據本發明一具體實施例之嵌入式多層陶瓷電子組件的方法可包括：備製含有介電層之陶瓷生片(ceramic green sheet)；藉由使用導電膏供內部電極含有導電金屬粉末和陶瓷粉末而在陶瓷生片上形成內部電極；藉由層壓上有形成內部電極圖案之陶瓷生片以形成其內含有彼此相向而置之第一內部電極

與第二內部電極的主動層，並且藉由在主動層之上表面或下表面上層壓陶瓷生片以形成包覆層從而備製具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面的陶瓷體；在陶瓷體之上與下表面中插入砂紙、予以層壓、並且予以壓縮；自陶瓷體移除砂紙；以及燒結陶瓷體；在陶瓷體之第一側表面與第二側表面上分別形成第一外部電極與第二外部電極；在第一與第二外部電極上形成含有銅(Cu)之金屬層；以及藉由噴砂法對陶瓷體和電鍍層調整表面粗糙度，其中，當金屬層之厚度為 t_p 時，可滿足 $t_p \geq 5 \mu m$ 。

【0104】在製造根據本發明一具體實施例之嵌入式多層陶瓷電子組件的方法中，首先，含有像是鈦酸鋇($BaTiO_3$)粉末、或諸如此類之粉末的漿料可予以塗佈在載體膜上並乾化以備製複數陶瓷生片，從而形成介電層。

【0105】陶瓷生片可藉由混合陶瓷粉末、接合劑、以及溶劑以備製漿料並且以刮刀法處理漿料而予以製作成厚度為數微米(μm)之薄片。

【0106】其次，備製用於內部電極之導電膏，內部電極的鎳粉末之重量百分比為 40 至 50，而平均顆粒尺寸範圍從 0.1 微米至 0.2 微米。

【0107】用於內部電極之導電膏係根據絲網印刷法予以塗佈在生片上以形成內部電極，並且內部電極係經過層壓以形成主動層，以及陶瓷生片係層壓在主動層之下表面之上表面上以形成包覆層，從而製造出具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面的陶瓷

體 10。

【0108】將砂紙插入陶瓷體 10 之上與下表面，並且層壓、壓縮、以及燒結的操作係經實施以形成陶瓷體 10 之表面粗糙度。P 值範圍從 100 至 3000 之砂紙之應用可人為形成粗糙度，並且在這種情況下，陶瓷體 10 之表面僅一部份之粗糙度增加。因此，陶瓷體 10 之表面粗糙度可經形成而不影響多層陶瓷電子組件的可靠度。

【0109】在操作壓縮時，可將砂紙插入陶瓷體 10 之表面內以及砂紙之表面粗糙度可轉移到陶瓷體 10 之表面。這是用以在陶瓷體 10 之表面上產生表面粗糙度，以及砂紙之 P 值可為從 100 至 3000 之範圍。

【0110】此處砂紙之 'P' 為表示 FEPA 顆粒尺寸標準之符號 [歐洲 FEPA(歐洲磨料磨具生產聯合會(Federation of European Producers of Abrasives)) "P" 等級]。

【0111】之後，可繼續在陶瓷體 10 之第一與第二側表面上形成第一與第二外部電極、以及在第一與第二外部電極上形成含銅 (Cu)金屬層 31b 與 32b 的操作。

【0112】形成含銅(Cu)金屬層 31b 與 32b 之操作未特別受到限制。例如，金屬層可透過電鍍予以形成。

【0113】在形成金屬層 31b 與 32b 時，可利用噴砂法人為形成並調整含銅(Cu)金屬層 31b 與 32b 上之表面粗糙度。

【0114】透過噴砂法，僅增加含銅(Cu)金屬層 31b 與 32b 之表面粗糙度而不影響多層陶瓷電子組件之可靠度。

【0115】根據之前具體實施例嵌入式多層陶瓷電子組件所述

相同特徵之說明將予以省略。

【0116】第 6 圖為根據本發明另一具體實施例具有嵌入式多層陶瓷電子組件之印刷電路板 200 的剖面圖。

【0117】請參閱第 6 圖，第 6 圖中所示的嵌入式多層陶瓷電子組件係與上述多層陶瓷電子組件 10 實質相同，故將對相同或類似元件使用相同的參考元件符號並且將省略其重複說明。

【0118】請參閱第 6 圖，根據本發明另一具體實施例具有嵌入式多層陶瓷電子組件之印刷電路板(PCB) 200 可包括絕緣基底 110；陶瓷體 10，內含介電質 11，具有彼此相對之第一與第二主表面 S1 與 S2、彼此相對之第一與第二側表面 S5 與 S6、和彼此相對之第一與第二末端表面 S3 與 S4，並且厚度小於或等於 250 微米；第一內部電極 21 與第二內部電極 22，彼此相向而置，其間插置有介電層 11 並且分別交替地曝露於第一側表面 S5 與第二側表面 S6；第一外部電極 31a 和第二外部電極 32a，第一外部電極 31a 形成在陶瓷體 10 之第一側表面 S5 上並且電連接至第一內部電極 21，第二外部電極 32a 形成在第二側表面 S6 上並且電連接至第二內部電極 22；以及金屬層 31b 與 32b，形成在第一外部電極 31a 與第二外部電極 32a 上並且內含銅(Cu)，其中，陶瓷體 10 可包括主動層和包覆層，該主動層含有第一內部電極與第二內部電極 21 與 22，而該包含覆形成在該主動層的上或下表面上，並且，當金屬層 31b 與 32b 之厚度為 t_p 時，可滿足 $t_p \geq 5 \mu m$ 。

【0119】陶瓷體 10 之厚度 t_s 可為第一主表面 S1 與第二主表面 S2 之間的距離。

【0120】在根據本發明一具體實施例內含於 PCB 200 內之嵌

入式 MLCC 100 中，第一與第二外部電極 31 與 32 可在陶瓷體 10 之第一與第二側表面 S5 與 S6 上形成以縮減電流路徑。

【0121】陶瓷體 10 之寬度可等於第一側表面 S5(其上形成有第一外部電極 31)與第二側表面 S6(其上形成有第二外部電極)之間的距離，而陶瓷體 10 之長度 L 可等於第一末端表面 S3 與第二末端表面 S4 之間的距離。

【0122】根據本發明之一具體實施例，從第一側表面 S5 到第二側表面 S6(其上分別形成有第一與第二外部電極 31 與 32)的寬度 W 可小於或等於從第一末端表面 S3 到第二末端表面 S4 之長度 L。

【0123】因此，第一與第二外部電極 31 與 32 之間的距離得以縮減，其縮減電流路徑，以及電流迴路因而得以縮減以降低電感。

【0124】在陶瓷體 10 之第一與第二側表面 S5 與 S6 上形成有第一與第二外部電極 31 與 32，致使陶瓷體 10 之寬度 W(亦即，第一與第二外部電極 31 與 32 之間的距離)小於或等於陶瓷體 10 之長度 L 的多層陶瓷電子組件可稱為倒置幾何電容器(RGC)或低電感晶片電容器(LICC)。

【0125】如第 6 圖所示，絕緣基底 10 可具有內含絕緣層 110a、110b、和 110c 之結構，並且可包括構成各類夾層電路之導電圖案 120 和導電性介層孔 140。絕緣基底 110 可為內含多層陶瓷電子組件 100 之印刷電路板。

【0126】多層陶瓷電子組件 100 在予以插入 PCB 200 之後，於 PCB 200 上實施熱處理、或諸如此類之後處理期間經歷各種嚴苛環境。

【0127】尤其是，PCB 200 在熱處理過程期間之收縮與膨脹係直接轉移到插入 PCB 200 內之多層陶瓷電子組件 100，以將應力施加於多層陶瓷電子組件 100 與 PCB 200 之接合面。

【0128】當施加於多層陶瓷電子組件 100 與 PCB 200 之接合面的應力大於黏著接合強度時，接合面係分離而造成剝層缺陷。

【0129】多層陶瓷電子組件 100 與 PCB 200 之間的黏著接合強度和多層陶瓷電子組件 100 與 PCB 200 之電化學接合力成比例，並且此處爲了增加多層陶瓷電子組件 100 與 PCB 200 之間接合面之有效表面面積，可控制多層陶瓷電子組件 100 之表面粗糙度以改良多層陶瓷電子組件 100 與 PCB 200 之間的剝層現象。同樣地，可根據嵌入 PCB 200 內之多層陶瓷電子組件 100 之表面粗糙度檢查接合面與 PCB 200 剝離的頻率。

【0130】下文將更詳細地說明本發明之具體實施例，但本發明不侷限於此。

具體實施例 1)

【0131】爲了依據嵌入式 MLCC 的第一與第二主表面上所形成之第一與第二外部電極之寬度判斷嵌入式 MLCC 之間的缺陷接觸、根據金屬層 31b 與 32b 之厚度判斷導孔是否處理有缺陷、根據陶瓷體 10 之表面粗糙度和金屬層 31b 與 32b 之表面粗糙度判斷接合面出現剝離的頻率，具有嵌入式多層陶瓷電子組件之電路板係在行動電話主機板晶片組件之一般條件下(亦即溫度 85°C 和相對濕度 85%)停留 30 分鐘，並且接著改變第一與第二外部電極之寬度、金屬層 31b 與 32b 之厚度與表面粗糙度、和陶瓷體 10 之表面粗糙度予以作測試檢驗。

【0132】 底下第 1 表根據分別在第一與第二主表面上形成之第一與第二外部電極之寬度表示電路板內 MLCC 與導孔之間的缺陷接觸。

【0133】 [第 1 表]

外部電極寬度(微米)	判斷
小於 130	X
130 至 140	X
140 至 150	X
150 至 160	X
160 至 170	X
170 至 180	△
180 至 190	○
190 至 200	○
200 至 210	◎
大於 210	◎

X：瑕疵率大於 20%

△：瑕疵率為 5%至 20%

○：瑕疵率為 0.01%至 5%

◎：瑕疵率小於 0.01%

【0134】 請參閱第 1 表，可看出若 MLCC 第一與第二外部電極之寬度大於等於 200 微米，則電路板之導孔不具有缺陷接觸。

【0135】 同時，可看出若 MLCC 第一與第二外部電極之寬度小於 200 微米，則電路板之導孔不具有缺陷接觸。

【0136】 第 2 表根據金屬層 31b 與 32b 之厚度表示導孔處理是否有缺陷。

【0137】 [第 2 表]

金屬層厚度(微米)	判斷
小於 1	X
1 至 2	X
2 至 3	X
3 至 4	△
4 至 5	○
5 至 6	◎
大於 6	◎

X：瑕疵率大於 10%

△：瑕疵率為 1%至 10%

○：瑕疵率為 0.01%至 1%

◎：瑕疵率小於 0.01%

【0138】 請參閱第 2 表，可看出若 MLCC 金屬層 31b 與 32b 之厚度大於等於 5 微米，則導孔在電路板中處理優良，並且從而得以實現具有優良可靠度之 MLCC。

【0139】 同時，可看出若 MLCC 金屬層 31b 與 32b 之厚度小於 5 微米，則導孔處理有缺陷。

【0140】 第 3 表根據金屬層 31b 與 32b 之表面粗糙度表示接合面之剝層頻率。

【0141】 [第 3 表]

金屬層之表面粗糙度(奈米)	判斷
小於 50	X
50 至 100	X
100 至 150	△
150 至 200	○
200 至 250	◎
大於 250	◎

X：瑕疵率大於 5%

△：瑕疵率為 1%至 5%

○：瑕疵率為 0.01%至 1%

◎：瑕疵率小於 0.01%

【0142】請參閱第 3 表，可看出若 MLCC 金屬層 31b 與 32b 之表面粗糙度大於等於 200 奈米，則接合面之剝層頻率低，其實現具有優良可靠度之 MLCC。

【0143】同時，可看出若 MLCC 金屬層 31b 與 32b 之表面粗糙度小於 200 奈米，則接合面之剝層頻率高，其降低可靠度。

【0144】底下第 4 表顯示陶瓷體 10 表面粗糙度接合面之剝層頻率。

【0145】 [第 4 表]

陶瓷體之表面粗糙度(奈米)	判斷
小於 50	X
50 至 80	X
80 至 100	△
100 至 120	○
120 至 200	◎
大於 200	◎

X：瑕疵率大於 5%

△：瑕疵率為 1%至 5%

○：瑕疵率為 0.01%至 1%

◎：瑕疵率小於 0.01%

【0146】請參閱第 4 圖，可看出若 MLCC 陶瓷體 10 之表面粗糙度大於等 120 奈米，則接合面剝層頻率低，其實現具有優良可靠度之 MLCC。

【0147】同時，可看出若 MLCC 陶瓷主體 10 之表面粗糙度小於 120 奈米，則接合面之剝層頻率高，其降低可靠度。

【0148】如上所述，根據本發明之具體實施例，在壓縮陶瓷體時，係將砂紙插在表面上以將砂紙之粗糙度轉移到陶瓷體，從而調整陶瓷體表面之粗糙度，而電鍍層之表面粗糙度係依據噴砂法藉由處理內含電鍍層之晶片予以調整，藉以改良多層陶瓷電子組件與電路板之間的剝層並增強接合特性。

【0149】另外，根據本發明一具體實施例之多層陶瓷電子組件具有低電感，以及從而具有增強之電氣效能。

【0150】儘管已結合具體實施例顯示並說明本發明，熟悉本

技術之人士將明顯得知可作修改及變化而不脫離如附加之申請專利範圍所界定之本發明之精神與範疇。

【符號說明】

【0151】

10	陶瓷體	11	介電質
21	第一內部電極	22	第二內部電極
31、31a	第一外部電極	32、32a	第二外部電極
31b、32b	金屬層	100	PCB
110	絕緣基底	110a、110b、110c	絕緣層
120	導電圖案	140	導電性介層孔
200	印刷電路板	S1	第一主表面
S2	第二主表面	S3	第一末端面
S4	第二末端表面	S5	第一側表面
S6	第二側表面		

申請專利範圍

1. 一種嵌入式多層陶瓷電子組件，其包含：

陶瓷體，包含介電層，具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面，及具有等於或小於 250 微米之厚度；

第一內部電極與第二內部電極，彼此相向而設置，其間插置有該介電層，並且分別交替地曝露於該第一側表面與該第二側表面；

第一外部電極與第二外部電極，該第一外部電極形成在該陶瓷體之該第一側表面上並且電連接至該第一內部電極，而該第二外部電極形成在該第二側表面上並且電連接至該第二內部電極；以及

金屬層，分別形成在該第一外部電極與該第二外部電極上並且含有銅(Cu)，

其中，該陶瓷體包括主動層和包覆層，該主動層包含該第一內部電極與該第二內部電極，而該包覆層形成在該主動層之上或下表面上，並且當該金屬層之厚度為 t_p 時，滿足 $t_p \geq 5 \mu m$ 。

2. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，當該陶瓷體之厚度為該第一主表面與該第二主表面之間的距離，該陶瓷體之寬度為該第一側表面與該第二側表面之間的距離，且該陶瓷體之長度為該第一末端表面與該第二末端表面之間的距離時，該陶瓷體之寬度係小於或等於該陶瓷體之長度，該第一外部電極係形成在該第一側表面上，而該第二外部電極係形成在該第二側表面上。

3. 如申請專利範圍第 2 項所述之嵌入式多層陶瓷電子組件，其中，當該陶瓷體之長度為 L 且其寬度為 W 時，係滿足 $0.5L \leq W \leq L$ 。
4. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，當該陶瓷體之表面粗糙度為 $Ra1$ 且該包覆層之厚度為 t_c 時，係滿足 $120\text{nm} \leq Ra1 \leq t_c$ 。
5. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，當該金屬之表面粗糙度為 $Ra2$ 且該金屬層之厚度為 t_p 時，係滿足 $200\text{nm} \leq Ra2 \leq t_p$ 。
6. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，該第一與第二外部電極延伸至該陶瓷體之該第一與第二主表面，並且分別形成在該第一與第二主表面上之該第一與第二外部電極之寬度等於或大於 200 微米。
7. 如申請專利範圍第 6 項所述之嵌入式多層陶瓷電子組件，其中，形成在該第一與第二主表面上之該第一與第二外部電極之間的距離係等於或大於 100 微米。
8. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，該包覆層之厚度 t_c 的範圍係從 1 微米到 30 微米。
9. 如申請專利範圍第 1 項所述之嵌入式多層陶瓷電子組件，其中，該金屬層係透過電鍍所形成。
10. 一種具有嵌入式多層陶瓷電子組件的印刷電路板(PCB)，該印刷電路板包含：
絕緣基底；以及
嵌入式多層陶瓷電子組件，其包含陶瓷體、第一內部電極

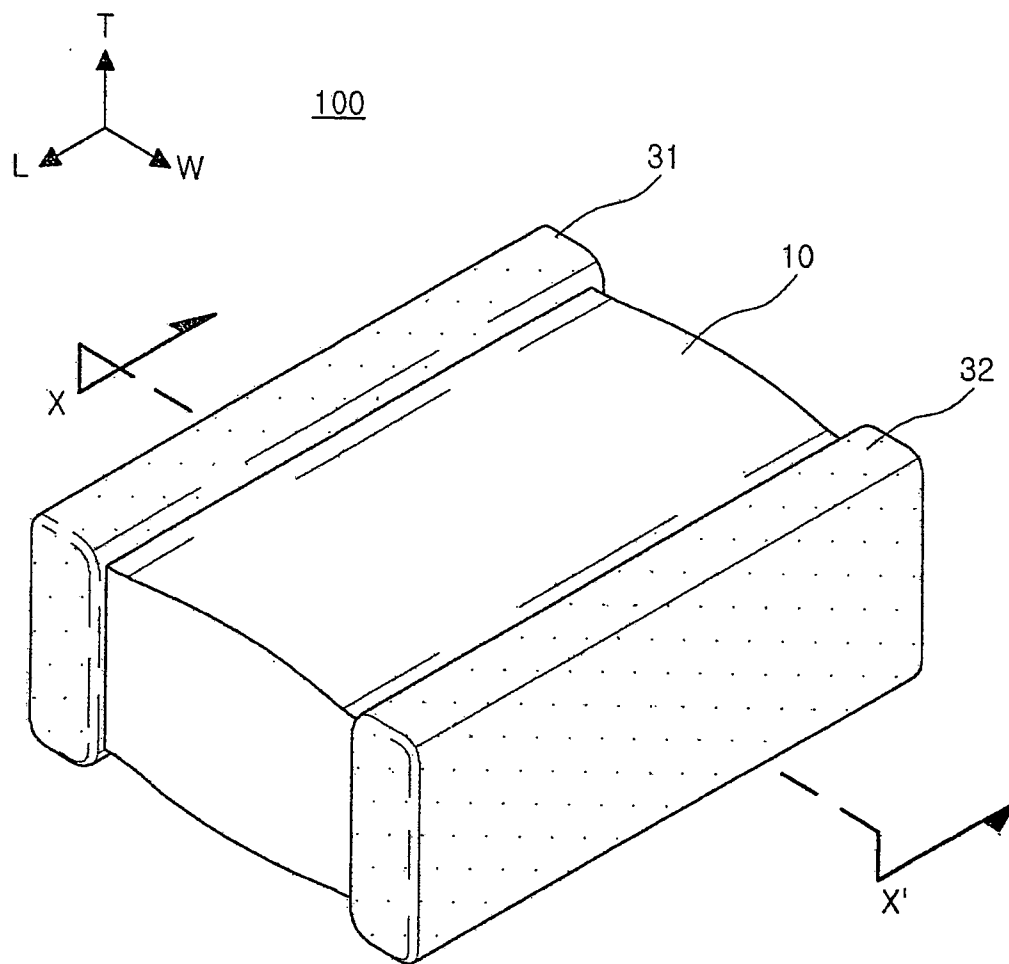
與第二內部電極、第一外部電極與第二外部電極、以及金屬層，其中，該陶瓷體包含介電層，具有彼此相對之第一與第二主表面、彼此相對之第一與第二側表面、和彼此相對之第一與第二末端表面，及具有等於或小於 250 微米之厚度，該第一內部電極與該第二內部電極彼此相向而設置，其間插置有該介電層，並且分別交替地曝露於該第一側表面與該第二側表面，該第一外部電極形成在該陶瓷體之該第一側表面上並且電連接至該第一內部電極，該第二外部電極形成在該第二側表面上形成並且電連接至該第二內部電極，該金屬層分別形成在該第一外部電極與該第二外部電極上並且含有銅(Cu)，該陶瓷體包括主動層和包覆層，該主動層包含該第一內部電極與該第二內部電極，而該包覆層形成在該主動層之上或下表面上，當該金屬層之厚度為 t_p 時，係滿足 $t_p \geq 5 \mu m$ 。

11. 如申請專利範圍第 10 項所述之印刷電路板，其中，當該陶瓷體之厚度為該第一主表面與該第二主表面之間的距離，該陶瓷體之寬度為該第一側表面與該第二側表面之間的距離，且該陶瓷體之長度為該第一末端表面與該第二末端表面之間的距離時，該陶瓷體之寬度小於或等於該陶瓷體之長度，該第一外部電極形成在該第一側表面上，而該第二外部電極形成在該第二側表面上。
12. 如申請專利範圍第 11 項所述之印刷電路板，其中，當該陶瓷體之長度為 L 且其寬度為 W 時，係滿足 $0.5L \leq W \leq L$ 。
13. 如申請專利範圍第 10 項所述之印刷電路板，其中，該陶瓷體之表面粗糙度為 $Ra1$ 且該包覆層之厚度為 t_c 時，係滿足 $120nm$

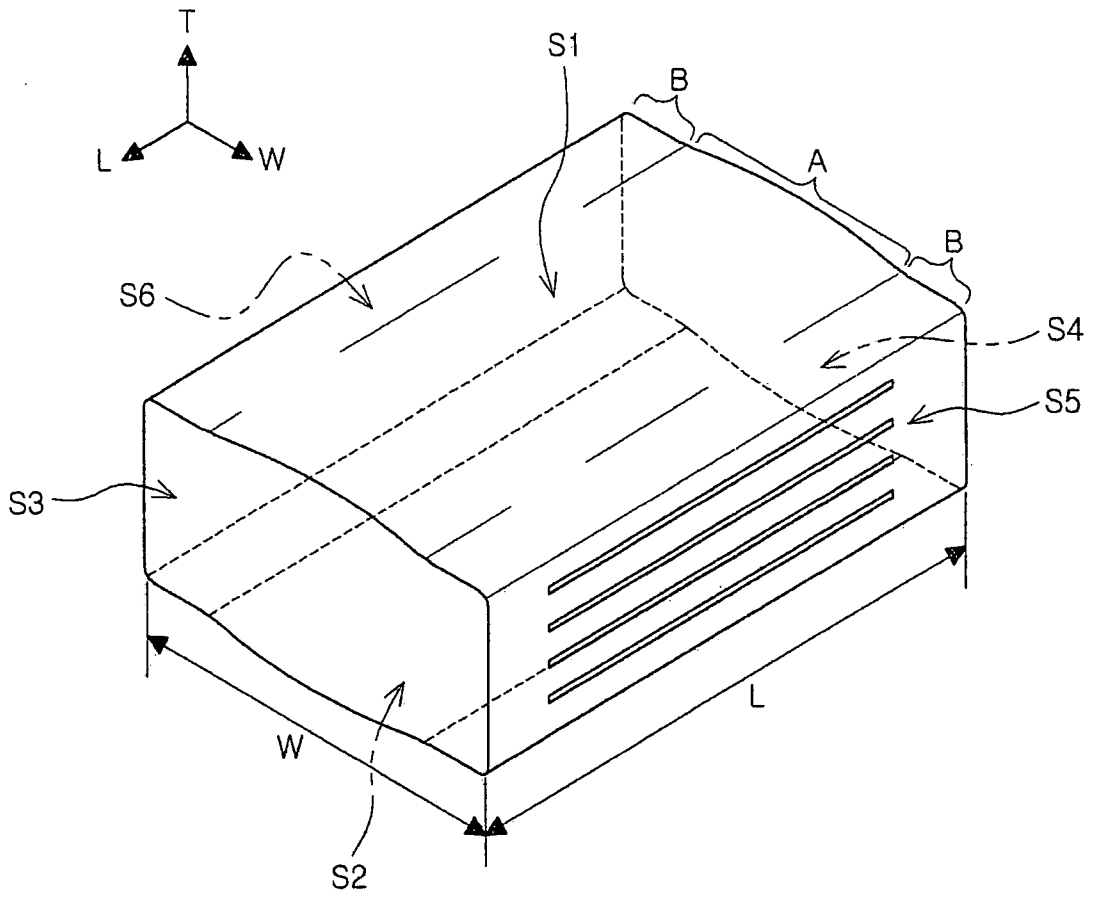
$\leq Ra1 \leq tc$ 。

14. 如申請專利範圍第 10 項所述之印刷電路板，其中，當該金屬層之表面粗糙度為 $Ra2$ 且該金屬層之厚度為 tp 時，係滿足 $200nm \leq Ra2 \leq tp$ 。
15. 如申請專利範圍第 10 項所述之印刷電路板，其中，該第一與第二外部電極延伸至該陶瓷體之該第一與第二主表面，並且分別形成在該第一與第二主表面上之該第一與第二外部電極之寬度等於或大於 200 微米。
16. 如申請專利範圍第 15 項所述之印刷電路板，其中，形成在該第一與第二主表面上之該第一與第二外部電極之間的距離等於或大於 100 微米。
17. 如申請專利範圍第 10 項所述之印刷電路板，其中，該包覆層之厚度 tc 的範圍係從 1 微米至 30 微米。
18. 如申請專利範圍第 10 項所述之印刷電路板，其中，該金屬層係透過電鍍予以形成。

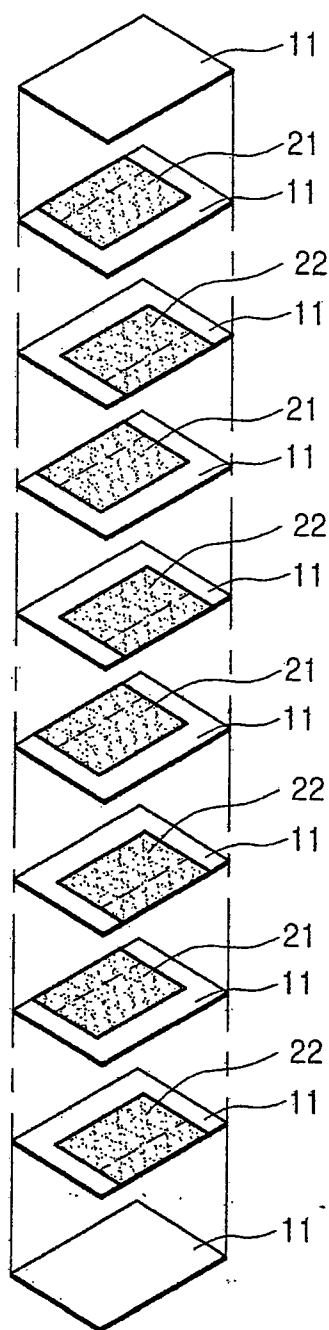
圖式



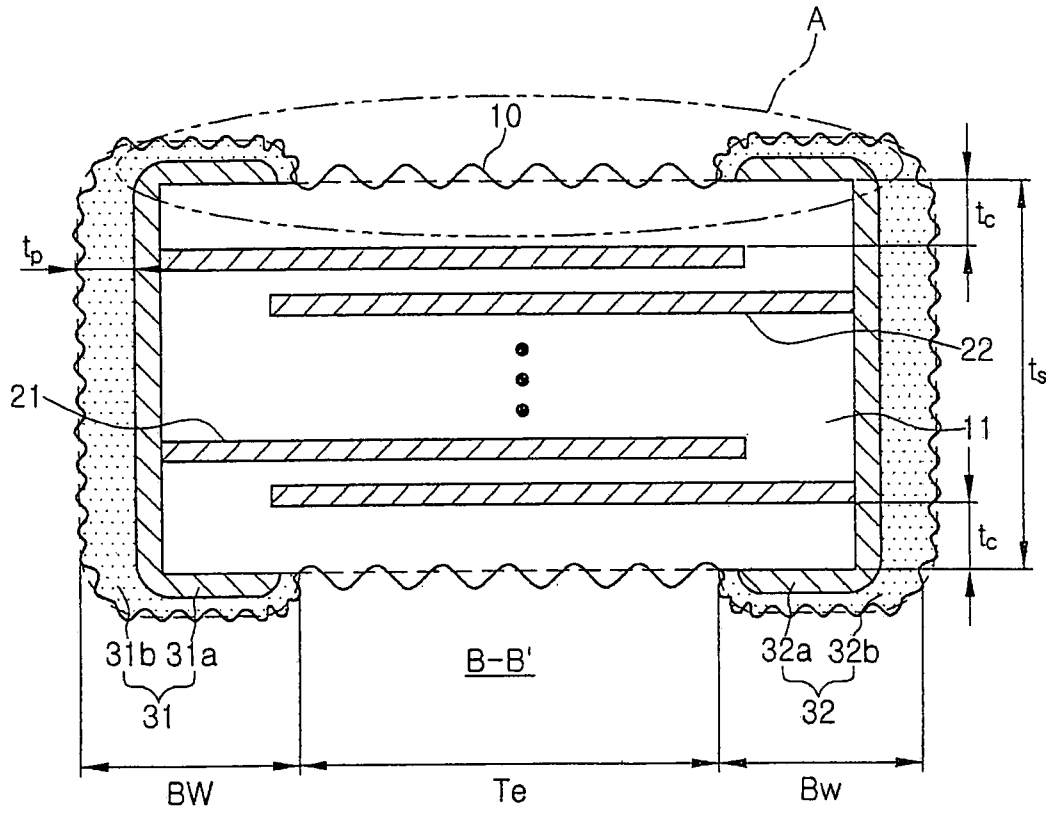
第1圖



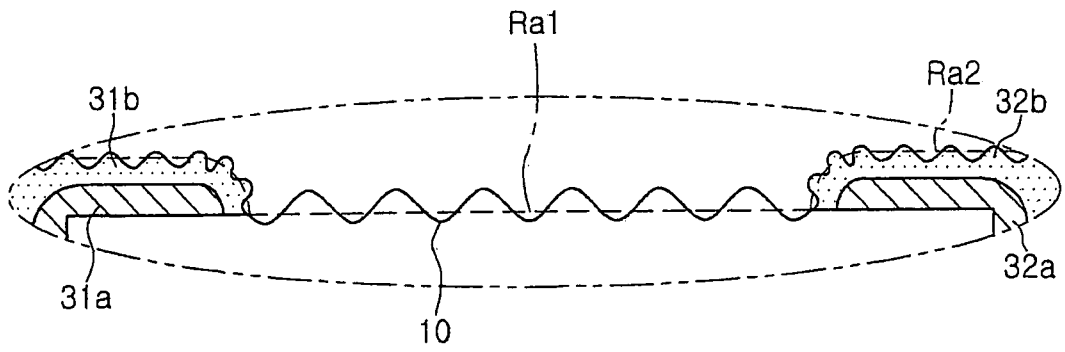
第2圖



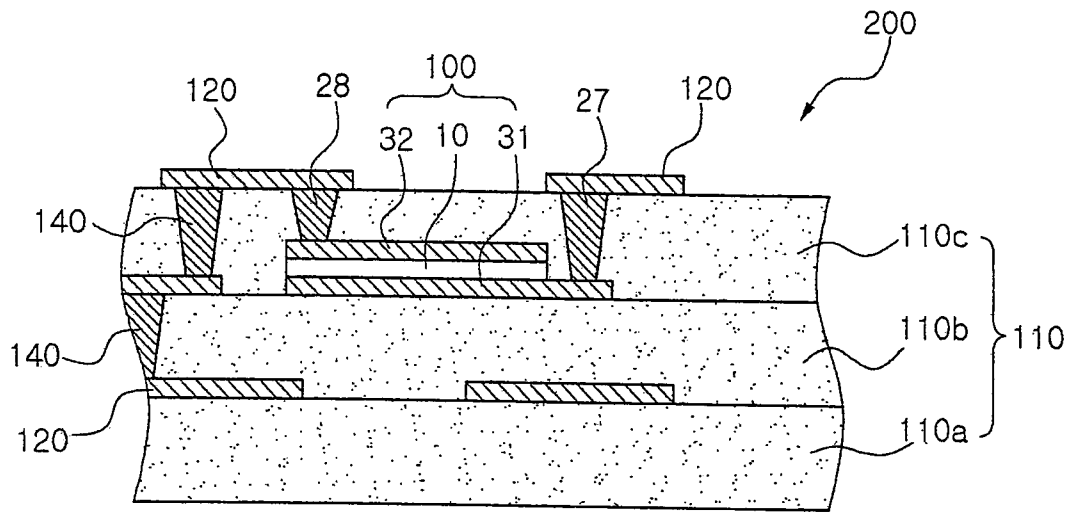
第3圖



第4圖



第5圖



第6圖