

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6370279号
(P6370279)

(45) 発行日 平成30年8月8日(2018.8.8)

(24) 登録日 平成30年7月20日(2018.7.20)

(51) Int.Cl.		F I			
H02M	1/08	(2006.01)	H02M	1/08	C
H03K	17/56	(2006.01)	H03K	17/56	Z

請求項の数 9 (全 26 頁)

(21) 出願番号	特願2015-177234 (P2015-177234)	(73) 特許権者	000006013
(22) 出願日	平成27年9月9日(2015.9.9)		三菱電機株式会社
(65) 公開番号	特開2017-55542 (P2017-55542A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成29年3月16日(2017.3.16)	(74) 代理人	100088672
審査請求日	平成29年11月1日(2017.11.1)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	吉田 寛
			福岡県福岡市西区今宿東一丁目1番1号
			メルコセミコンダクタエンジニアリング株
			式会社内
		(72) 発明者	大山 香子
			福岡県福岡市西区今宿東一丁目1番1号
			メルコセミコンダクタエンジニアリング株
			式会社内

最終頁に続く

(54) 【発明の名称】 ブートストラップ補償回路およびパワーモジュール

(57) 【特許請求の範囲】

【請求項1】

ブートストラップ回路に電流を供給するブートストラップ補償回路であり、
前記ブートストラップ回路は、

高電圧側電位と低電圧側電位との間に高電圧側から順にトータムボール接続されたハイ
サイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハ
イサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を
供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との
接続点である基準電位と、前記ハイサイド制御回路との間に接続される第1コンデンサを
備え、

前記ブートストラップ補償回路は、

前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続さ
れる複数の抵抗と、

一端が、複数の前記抵抗の間の点である分圧電位取り出し点に接続され、他端が、前記
基準電位に接続される第2コンデンサと、

前記分圧電位取り出し点の電位に基づいて、前記第1コンデンサに電流を供給する出力
回路とを備える、

ブートストラップ補償回路。

【請求項2】

カソードが、前記フローティング電位に接続され、アノードが、前記分圧電位取り出し

点に接続されるダイオードをさらに備える、

請求項 1 に記載のブートストラップ補償回路。

【請求項 3】

カソードが、前記フローティング電位に接続され、アノードが、前記分圧電位取り出し点に接続されるツェナーダイオードをさらに備える、

請求項 1 に記載のブートストラップ補償回路。

【請求項 4】

請求項 1 から請求項 3 のうちのいずれか 1 項に記載のブートストラップ補償回路と、

前記ハイサイドスイッチング素子と、

前記ローサイドスイッチング素子と、

前記ハイサイド制御回路と、

前記ローサイド制御回路と、

前記ブートストラップ回路とを備える、

パワーモジュール。

【請求項 5】

ブートストラップ回路に電流を供給するブートストラップ補償回路であり、

前記ブートストラップ回路は、

高電圧側電位と低電圧側電位との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハイサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点である基準電位と、前記ハイサイド制御回路との間に接続されるコンデンサを備え、

前記ブートストラップ補償回路は、

前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続される複数の第 1 抵抗と、

ドレインが、複数の前記第 1 抵抗の間の点である分圧電位取り出し点に接続され、ソースおよびゲートが、前記基準電位に接続される第 1 MOSFET と、

前記分圧電位取り出し点の電位に基づいて、前記コンデンサに電流を供給する出力回路とを備える、

ブートストラップ補償回路。

【請求項 6】

一端が、前記フローティング電位に接続される第 2 抵抗と、

ドレインが、前記第 2 抵抗の他端に接続される第 2 MOSFET と、

ドレインが、前記第 2 MOSFET のソースに接続され、ソースが、前記基準電位に接続される第 3 MOSFET とをさらに備え、

前記第 1 MOSFET のゲートと、前記第 2 MOSFET のゲートと、前記第 3 MOSFET のゲートとは、互いに接続され、

前記第 2 MOSFET のゲートと、前記第 2 MOSFET のソースとは、互いに接続される、

請求項 5 に記載のブートストラップ補償回路。

【請求項 7】

カソードが、前記フローティング電位に接続され、アノードが、前記分圧電位取り出し点に接続されるダイオードをさらに備える、

請求項 5 または請求項 6 に記載のブートストラップ補償回路。

【請求項 8】

カソードが、前記フローティング電位に接続され、アノードが、前記分圧電位取り出し点に接続されるツェナーダイオードをさらに備える、

請求項 5 または請求項 6 に記載のブートストラップ補償回路。

【請求項 9】

10

20

30

40

50

請求項 5 から請求項 8 のうちのいずれか 1 項に記載のブートストラップ補償回路と、
前記ハイサイドスイッチング素子と、
前記ローサイドスイッチング素子と、
前記ハイサイド制御回路と、
前記ローサイド制御回路と、
前記ブートストラップ回路とを備える、
パワーモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

10

本明細書に開示される技術は、ブートストラップ補償回路およびパワーモジュールに関し、特に、トータムポール接続されたハイサイドスイッチング素子の制御に用いられるブートストラップ回路に電流を供給するブートストラップ補償回路、および、それを備えるパワーモジュールに関するものである。

【背景技術】

【0002】

一般に、インバータ回路などのトータムポール接続されたパワーデバイスのそれぞれを駆動するパワーデバイス制御回路では、ハイサイドの制御回路およびローサイドの制御回路に対し、絶縁された個別の電源をそれぞれ使用する必要がある。

【0003】

20

単相インバータを制御するパワーデバイス制御回路では、ハイサイドに 2 つの絶縁電源、ローサイドに 1 つの絶縁電源の合計 3 つの絶縁電源を必要となる。

【0004】

さらに、3 相インバータを制御するパワーデバイス制御回路では、ハイサイドに 3 つの絶縁電源が必要となるため、合計 4 つの絶縁電源が必要となり、パワーデバイス制御回路が大規模化する課題がある。

【0005】

一方、電源数削減のため、ハイサイドの制御回路の電源としてブートストラップ回路を用いて、3 相インバータを制御するパワーデバイス制御回路の電源を 1 電源とする構成も存在する。

30

【0006】

しかし、ブートストラップ回路は、ハイサイドのパワーデバイスの ON 動作中には、コンデンサに充電ができない。よって、ハイサイドのパワーデバイスの ON 動作時間が長い場合には電源電圧が低下するため、パワーデバイスの ON 動作時間が長い制御方式に対しては適応が困難である。

【0007】

そこで、ブートストラップ回路におけるコンデンサを十分に充電することができ、かつ、回路を簡略化および小型化することを目的として、ブートストラップ補償回路が提案される（たとえば、特許文献 1 を参照）。

【先行技術文献】

40

【特許文献】

【0008】

【特許文献 1】特開 2011-234430 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、特許文献 1 に示されるようなブートストラップ補償回路を用いる場合、600V または 1200V などの高電圧が印加される用途への適用を考慮すると、その応答速度が問題となる。

【0010】

50

ブートストラップ補償回路における抵抗分圧回路は、上記のように電源電圧の高電位側と基準電位との間に設けられる必要がある。また、抵抗分圧回路は、分圧抵抗に流れる電流を抑えるために、高い抵抗値の抵抗を有する必要がある。

【0011】

その結果、分圧抵抗での電流消費が抑えられる一方で、抵抗に付随する寄生容量とで形成されるCR回路の時定数が大きくなり、応答速度が低下する。

【0012】

電源電圧が基準電位より上昇し、抵抗分圧回路の出力が切り換わることによって出力回路の出力がオン状態からオフ状態に切り換わるが、当該電源電圧の変動に対し、抵抗分圧回路の出力応答が遅いため、出力回路の出力のオン状態とオフ状態とのスイッチングにも遅れが生じる。

10

【0013】

出力回路の負荷回路が、出力回路と基準電位との間に設けられる場合は、電源電圧の上昇時から出力回路の出力がオフ状態となるまでの間に、負荷回路および出力回路に過大な電力が印加されてしまう。

【0014】

また、上記の応答速度の低下に対し、過渡応答信号を用いて高速応答を実現する方法が考えられる。しかし、この場合でも、信号発生が速い一方で永続しない過渡応答信号の消失後、永続するものの信号発生が遅い直流信号が発生するまでの間に出力回路がオン状態となり、やはり、負荷回路および出力回路に過大な電力が印加されてしまう。

20

【0015】

なお、通常ICパッケージの放熱性などから、許容消費電力は数百mW以下である。600Vまたは1200Vなどといった電圧印加下で上記を満たすには、M規模の分圧抵抗が必要となる。

【0016】

これに付随する寄生容量が数pFであるとき、時定数はM×数pFでμsオーダーの応答速度となる。一方、高電位側の電源電圧と基準電位との間の過渡応答は数kV/μsオーダーである。よって、μsオーダーで応答し、出力回路がオフ状態となるまでに負荷回路および出力回路に数10Wなどの過大な電力が印加されることとなる。

【0017】

30

本明細書に開示される技術は、上記のような問題を解決するためのものであり、応答速度の低下を抑制することができるブートストラップ補償回路およびそれを備えるパワーモジュールに関するものである。

【課題を解決するための手段】

【0018】

本明細書に開示される技術の一態様に関するブートストラップ補償回路は、ブートストラップ回路に電流を供給するブートストラップ補償回路であり、前記ブートストラップ回路は、高電圧側電位と低電圧側電位との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハイサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点である基準電位と、前記ハイサイド制御回路との間に接続される第1コンデンサを備え、前記ブートストラップ補償回路は、前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続される複数の抵抗と、一端が、複数の前記抵抗の間の点である分圧電位取り出し点に接続され、他端が、前記基準電位に接続される第2コンデンサと、前記分圧電位取り出し点の電位に基づいて、前記第1コンデンサに電流を供給する出力回路とを備える。

40

【0019】

本明細書に開示される技術の一態様に関するパワーモジュールは、上記のブートストラップ補償回路と、前記ハイサイドスイッチング素子と、前記ローサイドスイッチング素子

50

と、前記ハイサイド制御回路と、前記ローサイド制御回路と、前記ブートストラップ回路とを備える。

【0020】

本明細書に開示される技術の別の態様に関するブートストラップ補償回路は、ブートストラップ回路に電流を供給するブートストラップ補償回路であり、前記ブートストラップ回路は、高電圧側電位と低電圧側電位との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハイサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点である基準電位と、前記ハイサイド制御回路との間に接続されるコンデンサを備え、前記ブートストラップ補償回路は、前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続される複数の第1抵抗と、ドレインが、複数の前記第1抵抗の間の点である分圧電位取り出し点に接続され、ソースおよびゲートが、前記基準電位に接続される第1MOSFETと、前記分圧電位取り出し点の電位に基づいて、前記コンデンサに電流を供給する出力回路とを備える。

10

【0021】

本明細書に開示される技術の別の態様に関するパワーモジュールは、上記のブートストラップ補償回路と、前記ハイサイドスイッチング素子と、前記ローサイドスイッチング素子と、前記ハイサイド制御回路と、前記ローサイド制御回路と、前記ブートストラップ回路とを備える。

20

【発明の効果】

【0022】

本明細書に開示される技術の一態様に関するブートストラップ補償回路は、ブートストラップ回路に電流を供給するブートストラップ補償回路であり、前記ブートストラップ回路は、高電圧側電位と低電圧側電位との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハイサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点である基準電位と、前記ハイサイド制御回路との間に接続される第1コンデンサを備え、前記ブートストラップ補償回路は、前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続される複数の抵抗と、一端が、複数の前記抵抗の間の点である分圧電位取り出し点に接続され、他端が、前記基準電位に接続される第2コンデンサと、前記分圧電位取り出し点の電位に基づいて、前記第1コンデンサに電流を供給する出力回路とを備える。

30

【0023】

このような構成によれば、基準電位と分圧電位取り出し点との間に第2コンデンサを備えるため、分圧電位取り出し点の電位は基準電位に容量結合される。これによって、分圧電位取り出し点の電位は基準電位との電位関係を保とうとするため、分圧電位取り出し点の電位の、フローティング電位または高電圧側電位への追従が弱まる。よって、ブートストラップ回路に電流を供給するためのブートストラップ補償回路を備える場合であっても、応答速度の低下を抑制することができる。

40

【0024】

本明細書に開示される技術の一態様に関するパワーモジュールは、上記のブートストラップ補償回路と、前記ハイサイドスイッチング素子と、前記ローサイドスイッチング素子と、前記ハイサイド制御回路と、前記ローサイド制御回路と、前記ブートストラップ回路とを備える。

【0025】

このような構成によれば、ブートストラップ回路を用いることで絶縁電源数を削減することができる。たとえば、単相インバータの場合には3つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。また、たとえば、三相インバータの場合に

50

は4つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。

【0026】

本明細書に開示される技術の別の態様に関するブートストラップ補償回路は、ブートストラップ回路に電流を供給するブートストラップ補償回路であり、前記ブートストラップ回路は、高電圧側電位と低電圧側電位との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子の駆動をそれぞれ制御するハイサイド制御回路およびローサイド制御回路のうちの、前記ハイサイド制御回路に電圧を供給するため、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点である基準電位と、前記ハイサイド制御回路との間に接続されるコンデンサを備え、前記ブートストラップ補償回路は、前記高電圧側電位に対するフローティング電位と、前記基準電位との間に直列に接続される複数の第1抵抗と、ドレインが、複数の前記第1抵抗の間の点である分圧電位取り出し点に接続され、ソースおよびゲートが、前記基準電位に接続される第1MOSFETと、前記分圧電位取り出し点の電位に基づいて、前記コンデンサに電流を供給する出力回路とを備える。

10

【0027】

このような構成によれば、容量として、高いソースドレイン耐圧を有する素子として形成された構造を流用することができる。

【0028】

本明細書に開示される技術の別の態様に関するパワーモジュールは、上記のブートストラップ補償回路と、前記ハイサイドスイッチング素子と、前記ローサイドスイッチング素子と、前記ハイサイド制御回路と、前記ローサイド制御回路と、前記ブートストラップ回路とを備える。

20

【0029】

このような構成によれば、ブートストラップ回路を用いることで絶縁電源数を削減することができる。たとえば、単相インバータの場合には3つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。また、たとえば、三相インバータの場合には4つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。

【0030】

本明細書に開示される技術に関する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、より明白となる。

30

【図面の簡単な説明】

【0031】

【図1】実施形態に関する、ブートストラップ補償回路を例示する図である。

【図2】実施形態に関する、出力回路と負荷回路との接続態様を例示する図である。

【図3】実施形態に関する、寄生容量を説明するための図である。

【図4】実施形態に関する、ブートストラップ補償回路の動作を示すタイムチャートである。

【図5】実施形態に関する、ブートストラップ補償回路を例示する図である。

【図6】実施形態に関する、ブートストラップ補償回路を例示する図である。

【図7】実施形態に関する、ブートストラップ補償回路の変形例を例示する図である。

40

【図8】実施形態に関する、ブートストラップ補償回路を例示する図である。

【図9】実施形態に関する、ブートストラップ補償回路を例示する図である。

【図10】実施形態に関する、単相インバータを制御するパワーデバイス制御回路を例示する図である。

【図11】実施形態に関する、三相インバータを制御するパワーデバイス制御回路を例示する図である。

【図12】実施形態に関する、単相インバータを制御するパワーデバイス制御回路を例示する図である。

【図13】実施形態に関する、単相インバータを制御するパワーデバイス制御回路を例示する図である。

50

【図 1 4】図 1 3 に例示されたパワーデバイス制御回路における、ゲート電圧およびコンデンサ電圧の挙動を例示する図である。

【図 1 5】実施形態に関する、ブートストラップ補償回路を有するパワーデバイス制御回路を例示する図である。

【図 1 6】実施形態に関する、ブートストラップ補償回路などを例示する図である。

【発明を実施するための形態】

【0032】

以下、添付される図面を参照しながら実施形態について説明する。なお、図面は概略的に示されるものであり、異なる図面にそれぞれ示される画像の大きさと位置との相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

10

【0033】

< 第 1 実施形態 >

以下、本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。説明の便宜上、まず、インバータ回路などのトータムポール接続されたパワーデバイスのそれぞれを駆動するパワーデバイス制御回路について説明する。

【0034】

一般に、インバータ回路などのトータムポール接続されたパワーデバイスのそれぞれを駆動するパワーデバイス制御回路では、ハイサイドの制御回路およびローサイドの制御回路に対し、絶縁された個別の電源をそれぞれ使用する必要がある。

20

【0035】

図 1 2 は、単相インバータを制御するパワーデバイス制御回路を例示する図である。図 1 2 に例示されるように、当該回路においては、パワーデバイスとしての金属 - 酸化膜 - 半導体電界効果トランジスタ (metal - oxide - semiconductor field - effect transistor、すなわち MOSFET) 101 と、MOSFET 101 のソース側にトータムポール接続された MOSFET 102 と、MOSFET 103 と、MOSFET 103 のソース側にトータムポール接続された MOSFET 104 と、MOSFET 101 のゲート電圧を制御するハイサイド制御回路 201 と、MOSFET 102 のゲート電圧を制御するローサイド制御回路 202 と、MOSFET 103 のゲート電圧を制御するハイサイド制御回路 203 と、MOSFET 104 のゲート電圧を制御するローサイド制御回路 204 と、MOSFET 101、MOSFET 102、MOSFET 103 および MOSFET 104 のゲート電源としての電源回路 300 と、MOSFET 101 のドレイン側と MOSFET 102 のソース側とに接続され、かつ、MOSFET 103 のドレイン側と MOSFET 104 のソース側とに接続された整流回路 501 とを備える。

30

【0036】

電源回路 300 は、ハイサイド制御回路 201 に電源電圧を与える絶縁電源 311 と、ローサイド制御回路 202 およびローサイド制御回路 204 に電源電圧を与える絶縁電源 312 と、ハイサイド制御回路 203 に電源電圧を与える絶縁電源 313 とを備える。

40

【0037】

単相インバータを制御するパワーデバイス制御回路では、ハイサイドに 2 つの絶縁電源、すなわち、絶縁電源 311 および絶縁電源 313、ローサイドに 1 つの絶縁電源、すなわち、絶縁電源 312 の合計 3 つの絶縁電源を必要となる。

【0038】

さらに、3 相インバータを制御するパワーデバイス制御回路では、ハイサイドに 3 つの絶縁電源が必要となるため、合計 4 つの絶縁電源が必要となり、パワーデバイス制御回路が大規模化する課題がある。

【0039】

50

一方、電源数削減のため、ハイサイドの制御回路の電源としてブートストラップ回路を用いて、3相インバータを制御するパワーデバイス制御回路の電源を1電源とする構成も存在する。

【0040】

図13は、単相インバータを制御するパワーデバイス制御回路を例示する図である。図13に例示されるように、当該回路においては、パワーデバイスとしての金属-酸化膜-半導体電界効果トランジスタ(metal-oxide-semiconductor field-effect transistor、すなわちMOSFET)101と、MOSFET101のソース側にトータムポール接続されたMOSFET102と、MOSFET103と、MOSFET103のソース側にトータムポール接続されたMOSFET104と、MOSFET101のゲート電圧を制御するハイサイド制御回路201と、MOSFET102のゲート電圧を制御するローサイド制御回路202と、MOSFET103のゲート電圧を制御するハイサイド制御回路203と、MOSFET104のゲート電圧を制御するローサイド制御回路204と、MOSFET101、MOSFET102、MOSFET103およびMOSFET104のゲート電源としての電源回路301と、電源回路301とハイサイド制御回路201との間に接続されたブートストラップ回路401と、電源回路301とハイサイド制御回路203との間に接続されたブートストラップ回路403と、MOSFET101のドレイン側とMOSFET102のソース側とに接続され、かつ、MOSFET103のドレイン側とMOSFET104のソース側とに接続された整流回路501とを備える。

【0041】

電源回路301は、絶縁電源312を備える。ブートストラップ回路401およびブートストラップ回路403は、ダイオード1000とコンデンサ1001とを備える。

【0042】

ブートストラップ回路401におけるダイオード1000は、アノードが電源回路301に接続される。また、ブートストラップ回路401におけるダイオード1000は、カソードが対応するハイサイド制御回路201に接続される。

【0043】

ブートストラップ回路401におけるコンデンサ1001は、一端が、MOSFET101とMOSFET102との接続点に接続され、他端が、ダイオード1000のカソードに接続される。

【0044】

しかし、ブートストラップ回路は、ハイサイドのパワーデバイスのON動作中には、コンデンサ1001に充電ができない。よって、ハイサイドのパワーデバイスのON動作時間が長い場合には電源電圧が低下するため、パワーデバイスのON動作時間が長い制御方式に対しては適応が困難である。

【0045】

図14は、図13に例示されたパワーデバイス制御回路における、ゲート電圧およびコンデンサ電圧の挙動を例示する図である。図14には、ハイサイドのパワーデバイスのゲート電圧と、ローサイドのパワーデバイスのゲート電圧と、ブートストラップ回路におけるコンデンサ電圧とが例示される。

【0046】

図14に例示されるように、期間Aにおいては、ハイサイドのパワーデバイスのゲート電圧がオフ状態であり、ローサイドのパワーデバイスのゲート電圧がオン状態であるため、ブートストラップ回路におけるコンデンサが充電されてコンデンサ電圧が上昇する。

【0047】

期間Bにおいては、ローサイドのパワーデバイスのゲート電圧がオフ状態であるため、ブートストラップ回路におけるコンデンサから放電されてコンデンサ電圧が低下する。

【0048】

期間Cにおいては、ハイサイドのパワーデバイスのゲート電圧がオフ状態からオン状態

10

20

30

40

50

となるために、ブートストラップ回路におけるコンデンサから放電されてコンデンサ電圧が急激に低下する。

【 0 0 4 9 】

期間 D においては、ハイサイドのパワーデバイスのゲート電圧がオン状態であり、ローサイドのパワーデバイスのゲート電圧がオフ状態であるため、ブートストラップ回路におけるコンデンサから放電されてコンデンサ電圧が低下する。この期間が長い場合、コンデンサ電圧は大きく低下することとなる。

【 0 0 5 0 】

そこで、ブートストラップ回路におけるコンデンサを十分に充電することができ、かつ、回路を簡略化および小型化することを目的として、ブートストラップ補償回路が提案される。

10

【 0 0 5 1 】

図 1 5 は、ブートストラップ補償回路を有するパワーデバイス制御回路を例示する図である。図 1 5 に例示されるように、当該回路においては、M O S F E T 1 0 1 と、M O S F E T 1 0 1 のソース側にトータムポール接続された M O S F E T 1 0 2 と、M O S F E T 1 0 1 のゲート電圧を制御するハイサイド制御回路 2 0 1 と、M O S F E T 1 0 2 のゲート電圧を制御するローサイド制御回路 2 0 2 と、ハイサイド制御回路 2 0 1 に接続されたブートストラップ回路 4 0 1 と、ハイサイド制御回路 2 0 1 およびブートストラップ回路 4 0 1 に接続されたブートストラップ補償回路 6 0 1 とを備える。

20

【 0 0 5 2 】

ブートストラップ補償回路 6 0 1 は、高電位側のフローティング電位 H V B と基準電位 V S との間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、A N D 回路 6 1 2 と、出力回路 6 1 1 とを備える。

【 0 0 5 3 】

抵抗分圧回路は、抵抗 6 1 3 と抵抗 6 1 4 とが直列に接続された回路である。過渡応答検出回路は、抵抗 6 1 5 とコンデンサ 6 1 6 とが直列に接続された回路である。なお、抵抗分圧回路における抵抗の数は、2 つに限られるものではなく、それ以上であってもよい。

【 0 0 5 4 】

しかし、ブートストラップ補償回路を用いる場合、6 0 0 V または 1 2 0 0 V などの高電圧が印加される用途への適用を考慮すると、その応答速度が問題となる。

30

【 0 0 5 5 】

図 1 6 は、ブートストラップ補償回路などを例示する図である。図 1 6 に例示されるように、ブートストラップ補償回路は、フローティング電位 H V B と基準電位 V S との間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、A N D 回路 6 1 2 と、出力回路 6 1 1 と、負荷回路 6 1 7 と、トランジスタ 6 1 8 と、トランジスタ 6 1 9 とを備える。

【 0 0 5 6 】

抵抗分圧回路は、抵抗 6 1 3 と抵抗 6 1 4 とが直列に接続された回路である。過渡応答検出回路は、抵抗 6 1 5 とコンデンサ 6 1 6 とが直列に接続された回路である。

40

【 0 0 5 7 】

A N D 回路 6 1 2 には、抵抗 6 1 3 と抵抗 6 1 4 との間、すなわち、抵抗分圧回路の分圧電位取り出し点 V M O N と、抵抗 6 1 5 とコンデンサ 6 1 6 との間、すなわち、過渡応答検出回路の出力である過渡応答信号 V d v d t とが入力される。また、A N D 回路 6 1 2 の出力は、出力回路 6 1 1 に入力される。

【 0 0 5 8 】

出力回路 6 1 1 の出力は、負荷回路 6 1 7 さらにはトランジスタ 6 1 8 およびトランジスタ 6 1 9 に入力される。

【 0 0 5 9 】

フローティング電位 H V B が基準電位 V S に対して浮動し、フローティング電位 H V B

50

が基準電位 V_S に対して上下することによって、出力回路 611 のオン状態およびオフ状態が制御される。そのフローティング電位 HVB の基準電位 V_S に対する電位検出は、フローティング電位 HVB と基準電位 V_S との間に設けられた抵抗分圧回路の出力が所定のしきい値を超えたか否かに基づいて行い、しきい値を超えた場合および超えない場合をそれぞれ「H」および「L」と定義する。そして、電位検出の結果に応じて出力回路 611 の駆動が制御される。

【0060】

ここで、抵抗分圧回路は、上記のように電源電圧の高電位側と基準電位との間に設けられる必要がある。また、抵抗分圧回路は、分圧抵抗に流れる電流を抑えるために、高い抵抗値の抵抗を有する必要がある。

10

【0061】

その結果、分圧抵抗での電流消費が抑えられる一方で、抵抗に付随する寄生容量とで形成される CR 回路の時定数が大きくなり、応答速度が低下する。

【0062】

電源電圧が基準電位より上昇し、抵抗分圧回路の出力が切り換わることによって出力回路の出力がオン状態からオフ状態に切り換わるが、当該電源電圧の変動に対し、抵抗分圧回路の出力応答が遅いため、出力回路の出力のオン状態とオフ状態とのスイッチングにも遅れが生じる。

【0063】

出力回路の負荷回路が、出力回路と基準電位との間に設けられる場合は、電源電圧の上昇時から出力回路の出力がオフ状態となるまでの間に、負荷回路および出力回路に過大な電力が印加されてしまう。

20

【0064】

また、上記の応答速度の低下に対し、過渡応答信号を用いて高速応答を実現する方法が考えられる。しかし、この場合でも、信号発生が速い一方で永続しない過渡応答信号の消失後、永続するものの信号発生が遅い直流信号が発生するまでの間に出力回路がオン状態となり、やはり、負荷回路および出力回路に過大な電力が印加されてしまう。

【0065】

なお、通常 IC パッケージの放熱性などから、許容消費電力は数百 mW 以下である。600 V または 1200 V などといった電圧印加下で上記を満たすには、M 規模の分圧抵抗が必要となる。

30

【0066】

これに付随する寄生容量が数 pF であるとき、時定数は $M \times \text{数 pF}$ で μs オーダーの応答速度となる。一方、高電位側のフローティング電位 HVB と基準電位 V_S との間の過渡応答は数 kV / μs オーダーである。よって、 μs オーダーで応答し、出力回路がオフ状態となるまでに負荷回路および出力回路に数 10 W などの過大な電力が印加されることとなる。

【0067】

< 構成 >

図 1 は、本実施形態に関するブートストラップ補償回路を例示する図である。

40

【0068】

図 1 に例示されるように、当該回路は、高電位側のフローティング電位 HVB と基準電位 V_S との間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND 回路 612 と、出力回路 611 と、負荷回路 617 と、コンデンサ 701 とを備える。

【0069】

抵抗分圧回路は、抵抗 613 と抵抗 614 とが直列に接続された回路である。過渡応答検出回路は、抵抗 615 とコンデンサ 616 とが直列に接続された回路である。コンデンサ 701 は、分圧電位取り出し点 V_{MON} と基準電位 V_S との間に設けられる。

【0070】

50

フローティング電位 HVB が基準電位 VS に対して浮動し、フローティング電位 HVB が基準電位 VS に対して上下することによって、出力回路 611 のオン状態およびオフ状態が制御される。そのフローティング電位 HVB の基準電位 VS に対する電位検出は、フローティング電位 HVB と基準電位 VS との間に設けられた抵抗分圧回路の出力が所定のしきい値を超えたか否かに基づいて行い、しきい値を超えた場合および超えない場合をそれぞれ「H」および「L」と定義する。そして、電位検出の結果に応じて出力回路 611 の駆動が制御される。

【0071】

出力回路 611 のオン状態およびオフ状態の制御は、従来と同じく直流的には抵抗分圧回路と AND 回路 612 とを用いて行う。たとえば、フローティング電位 HVB と基準電位 VS との間の電位差が狭まり分圧電位取り出し点 V_{MON} が AND 回路 612 に対して「H」レベルである場合には、出力回路 611 をオン状態に制御する。また、フローティング電位 HVB と基準電位 VS との間の電位差が広がり分圧電位取り出し点 V_{MON} が AND 回路 612 に対して「L」レベルである場合には、出力回路 611 をオフ状態に制御する。

【0072】

過渡応答検出回路の出力である過渡応答信号 V_{dvd} は、直流動作としてはフローティング電位 HVB と同電位となり、AND 回路 612 に対して常に「H」レベルとなる。そのため、抵抗分圧回路のみによって出力回路 611 の制御が行われる。

【0073】

図 2 は、出力回路 611 と負荷回路 617 との接続態様を例示する図である。図 2 に例示されるように、出力回路 611 は、NOT 回路 901 と、NOT 回路 901 の出力側に接続された NOT 回路 902 と、NOT 回路 902 の出力側に接続された NOT 回路 903 と、P 型の MOSFET 904 とを備える。MOSFET 904 は、ゲートが NOT 回路 903 の出力側に接続され、ドレインが電源電圧 HVS に接続され、ソースがフローティング電位 HVB に接続される。

【0074】

図 3 は、寄生容量を説明するための図である。図 3 に例示されるように、出力回路は、線間容量などが対応する寄生容量 905 と、ゲートドレイン容量、ゲートソース容量またはミラー容量などが対応する寄生容量 906 および寄生容量 907 とを備える。

【0075】

上記の回路における過渡応答を考えると、図 3 に例示されるような寄生容量となるため、抵抗分圧回路の分圧電位取り出し点 V_{MON} では、フローティング電位 HVB と基準電位 VS との間の電位遷移に比べ遅れを生じる。これは、寄生容量のため、分圧電位取り出し点 V_{MON} の電位は、フローティング電位 HVB または電源電圧 HVS と容量結合され、フローティング電位 HVB または電源電圧 HVS が基準電位 VS に対して変動する際、分圧電位取り出し点 V_{MON} もそれに追従してしまうからである。

【0076】

しかし、本実施形態に例示されるように、基準電位 VS と分圧電位取り出し点 V_{MON} との間にコンデンサ 701 を設けると、分圧電位取り出し点 V_{MON} の電位は基準電位 VS に容量結合される。これによって、分圧電位取り出し点 V_{MON} の電位は基準電位 VS との電位関係を保とうとするため、分圧電位取り出し点 V_{MON} の電位の、フローティング電位 HVB または電源電圧 HVS への追従が弱まる。その結果、フローティング電位 HVB または電源電圧 HVS が基準電位 VS に対して電位が上昇すると、分圧電位取り出し点 V_{MON} の電位は所定のしきい値を急峻に下回る。よって、出力回路 611 をオフ状態に制御するまでの遅れを抑制することができる。

【0077】

これにより、フローティング電位 HVB または電源電圧 HVS が基準電位 VS に対して上昇する際に発生する過渡応答信号 V_{dvd} が消失する前に、直流信号を発生させることができる。

10

20

30

40

50

【 0 0 7 8 】

また、フローティング電位 HVB または電源電圧 HVS と基準電位 VS との間の電位差が狭まり、出力回路をオン状態とする際にも、基準電位 VS と分圧電位取り出し点 $VMON$ との間に設けられたコンデンサ 701 により、分圧電位取り出し点 $VMON$ の電位は所定のしきい値を急峻に上回る。よって、出力回路 611 をオン状態に制御するまでの遅れを抑制することができる。

【 0 0 7 9 】

さらには、本実施形態によれば、分圧電位取り出し点 $VMON$ からの出力回路 611 をオフ状態とするための直流信号の発生が十分早いと判断することができる場合には、過渡応答検出回路を省略することができる。

10

【 0 0 8 0 】

< 作用 >

図 4 は、本実施形態に関するブートストラップ補償回路の動作を示すタイムチャートである。図 4 においては、基準電位 VS 、分圧電位取り出し点 $VMON$ の電位、および、出力回路 611 の出力信号の電位がそれぞれ例示される。なお、分圧電位取り出し点 $VMON$ の電位は、コンデンサ 701 を設けた場合が太線で示され、コンデンサ 701 を設けない場合が細線で示される。

【 0 0 8 1 】

図 4 において、電源電圧 HVS が基準電位 VS に対して上昇する際の分圧電位取り出し点 $VMON$ の電位を比較すると、コンデンサ 701 を設けない場合では、分圧電位取り出し点 $VMON$ の電位が電源電圧 HVS に追従してしまうため、分圧電位取り出し点 $VMON$ の電位が比較的緩やかに低下する。そして、所定のしきい値を下回った段階で、出力回路 611 がオフ状態となる。これに対し、コンデンサ 701 を設けた場合では、分圧電位取り出し点 $VMON$ の電位が基準電位 VS との電位関係を保とうとするため、分圧電位取り出し点 $VMON$ の電位が急峻に低下する。そして、即座に所定のしきい値を下回り、出力回路 611 がオフ状態となる。

20

【 0 0 8 2 】

また、電源電圧 HVS と基準電位 VS との間の電位差が狭まる際の分圧電位取り出し点 $VMON$ の電位を比較すると、コンデンサ 701 を設けない場合では、分圧電位取り出し点 $VMON$ の電位が電源電圧 HVS に追従してしまうため、分圧電位取り出し点 $VMON$ の電位が比較的緩やかに上昇する。そして、所定のしきい値を上回った段階で、出力回路 611 がオン状態となる。これに対し、コンデンサ 701 を設けた場合では、分圧電位取り出し点 $VMON$ の電位が基準電位 VS との電位関係を保とうとするため、分圧電位取り出し点 $VMON$ の電位が急峻に上昇する。そして、即座に所定のしきい値を上回り、出力回路 611 がオン状態となる。

30

【 0 0 8 3 】

以上より、コンデンサ 701 を設けた場合では、ブートストラップ補償回路の応答速度を向上させることができる。

【 0 0 8 4 】

なお、コンデンサ 701 が接続される箇所は、分圧電位取り出し点 $VMON$ および基準電位 VS に限定されるものではなく、フローティング電位 HVB から基準電位 VS に至るまでの経路における任意の 2 点、または、それ以上の数の点を抵抗分圧回路中に設けることによって、同様の効果を得ることができる。

40

【 0 0 8 5 】

< 第 2 実施形態 >

本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。以下では、上記の実施形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【 0 0 8 6 】

< 構成 >

50

図5は、本実施形態に関するブートストラップ補償回路を例示する図である。

【0087】

図5に例示されるように、当該回路は、高電位側のフローティング電位HVBと基準電位VSとの間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND回路612と、出力回路611と、負荷回路617と、MOSFET702とを備える。

【0088】

抵抗分圧回路は、抵抗613と抵抗614とが直列に接続された回路である。過渡応答検出回路は、抵抗615とMOSFET703とが直列に接続された回路である。MOSFET702は、分圧電位取り出し点VMONと基準電位VSとの間に設けられる。

10

【0089】

MOSFET702およびMOSFET703は、ゲートとソースとがショートされ、チャネルは常時オフ状態で用いられる。MOSFET702は、ドレインが分圧電位取り出し点VMONに接続され、ソースが基準電位VSに接続される。MOSFET703は、ドレインが過渡応答信号Vdvdの電位に接続され、ソースが基準電位VSに接続される。上記の回路において、MOSFET702およびMOSFET703は、ドレインとバックゲートとの間の容量が用いられる。

【0090】

コンデンサがたとえばゲート酸化膜などで形成される場合、耐圧を確保するためには当該ゲート酸化膜が厚く形成される必要がある。そうすると、ロジック回路などで通常用いられるMOSFETの電流能力が低下するため、その電流能力を確保するためにMOSFETの占める面積が増大することになってしまう。

20

【0091】

本実施形態に関するブートストラップ補償回路では、容量として、高いソースドレイン耐圧を有する素子として形成された構造を流用するため、工程の追加などを必要とせず、たとえば、600Vまたは1200Vなどの高電圧が印加される場合であっても、IC内蔵素子として適用が可能となる。

【0092】

<第3実施形態>

本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。以下では、上記の実施形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

30

【0093】

<構成>

図6に、本実施形態に関するブートストラップ補償回路を例示する図である。

【0094】

図6に例示されるように、当該回路は、高電位側のフローティング電位HVBと基準電位VSとの間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND回路612と、出力回路611と、負荷回路617と、MOSFET704とを備える。

40

【0095】

抵抗分圧回路は、抵抗613と抵抗614とが直列に接続された回路である。過渡応答検出回路は、抵抗615と、MOSFET705と、N型のMOSFET706とが直列に接続された回路である。MOSFET704は、分圧電位取り出し点VMONと基準電位VSとの間に設けられる。

【0096】

抵抗615は、一端がフローティング電位HVBに接続される。MOSFET705は、ゲートとソースとがショートされる。MOSFET706は、ゲートとドレインとがショートされる。MOSFET705は、ドレインが過渡応答信号Vdvdの電位に接続され、ソースがMOSFET706のドレインに接続される。MOSFET706は、ド

50

レインがMOSFET705のソースに接続され、ソースが基準電位VSに接続される。MOSFET704は、ドレインが分圧電位取り出し点VMONに接続され、ソースが基準電位VSに接続される。また、MOSFET704のゲートと、MOSFET705のゲートと、MOSFET706のゲートとは、互いに接続される。

【0097】

MOSFET706においては、過渡電流が流れた際、N型MOSFETの特性に応じたゲート電圧が生成され、当該ゲート電圧によって他のN型MOSFET、すなわちMOSFET704のゲートをバイアスする。

【0098】

MOSFET704は、過渡応答検出回路に流れる電流に応じた電流を分圧電位取り出し点VMONより引き抜く構成である。

10

【0099】

第1実施形態では、分圧電位取り出し点VMONと基準電位VSとの間にコンデンサを設け、フローティング電位HVBまたは電源電圧HVSと基準電位VSとの間の電位差が拡大した際に、コンデンサへの充電電流として分圧電位取り出し点VMONから電流を流す構成であった。

【0100】

これに対し、本実施形態では、分圧電位取り出し点VMONから流れる電流は、N型MOSFETのドレインソース電流となる。

【0101】

20

第1実施形態では、コンデンサへの充電電流はコンデンサの面積に大きく依存してしまうが、本実施形態では、抵抗分圧回路の、過渡応答検出回路に対する電流比を大きくすることで、分圧電位取り出し点VMONから引き抜く電流を大きくすることができる。よって、回路サイズが拡大することを抑制することができる。

【0102】

また、抵抗分圧回路の、過渡応答検出回路に対する電流比を大きくし、小さいサイズのN型MOSFETを用いて、分圧電位取り出し点VMONから電流を引き抜くこともできる。また、MOSFET704が、高速応答である過渡応答回路と組み合わせて用いられるため、過渡応答回路が出力する持続しない過渡応答信号Vdvd tの短所を補うことができる。

30

【0103】

図7は、本実施形態に関するブートストラップ補償回路の変形例を例示する図である。

【0104】

図7に例示されるように、当該回路は、高電位側のフローティング電位HVBと基準電位VSとの間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND回路612と、出力回路611と、MOSFET707と、MOSFET708と、MOSFET709と、MOSFET710と、MOSFET711と、MOSFET712とを備える。

【0105】

抵抗分圧回路は、抵抗613と抵抗614とが直列に接続された回路である。過渡応答検出回路は、抵抗615と、MOSFET705と、MOSFET706とが直列に接続された回路である。MOSFET707およびMOSFET708は、分圧電位取り出し点VMONと基準電位VSとの間に設けられる。

40

【0106】

MOSFET705は、ゲートとソースとがショートされる。MOSFET706は、ゲートとドレインとがショートされる。MOSFET708は、ゲートとドレインとがショートされる。MOSFET711は、ゲートとドレインとがショートされる。MOSFET705は、ドレインが過渡応答信号Vdvd tの電位に接続され、ソースがMOSFET706のドレインに接続される。MOSFET706は、ドレインがMOSFET705のソースに接続され、ソースが基準電位VSに接続される。MOSFET707は、

50

ドレインが分圧電位取り出し点VMONに接続され、ソースがMOSFET708のドレインに接続される。MOSFET708は、ドレインがMOSFET707のソースに接続され、ソースが基準電位VSに接続される。MOSFET709は、ドレインがMOSFET710のドレインに接続され、ソースが基準電位VSに接続される。MOSFET710は、ドレインがMOSFET709のドレインに接続され、ソースが電源電位LVBに接続される。MOSFET711は、ドレインがMOSFET712のドレインに接続され、ソースが電源電位LVBに接続される。MOSFET712は、ドレインがMOSFET711のドレインに接続され、ソースが基準電位VSに接続される。

【0107】

MOSFET712のゲートと、MOSFET705のゲートと、MOSFET706のゲートとは、互いに接続される。また、MOSFET710のゲートと、MOSFET711のゲートとは、互いに接続される。また、MOSFET708のゲートと、MOSFET709のゲートとは、互いに接続される。また、MOSFET707のゲートは、MOSFET709のドレインに接続される。

【0108】

< 第4実施形態 >

本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。以下では、上記の実施形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0109】

< 構成 >

図8は、本実施形態に関するブートストラップ補償回路を例示する図である。

【0110】

図8に例示されるように、当該回路は、高電位側のフローティング電位HVBと基準電位VSとの間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND回路612と、出力回路611と、負荷回路617と、MOSFET702と、ダイオード801とを備える。

【0111】

抵抗分圧回路は、抵抗613と抵抗614とが直列に接続された回路である。過渡応答検出回路は、抵抗615とコンデンサ616とが直列に接続された回路である。MOSFET702は、分圧電位取り出し点VMONと基準電位VSとの間に設けられる。

【0112】

MOSFET702は、ゲートとソースとがショートされ、チャネルは常時オフ状態で用いられる。MOSFET702は、ドレインが分圧電位取り出し点VMONに接続され、ソースが基準電位VSに接続される。

【0113】

ダイオード801は、フローティング電位HVBと分圧電位取り出し点VMONとの間に接続される。ダイオード801は、フローティング電位HVB側にカソードが、分圧電位取り出し点VMON側にアノードがそれぞれ向けられて配置される。

【0114】

第1実施形態の構成では、フローティング電位HVBまたは電源電圧HVSと基準電位VSとの間の電位差が急峻に狭まると、分圧電位取り出し点VMONの電位だけが、分圧電位取り出し点VMONと基準電位VSとの間のコンデンサにより高止まりする。分圧電位取り出し点VMONは、フローティング電位HVBと基準電位VSとの間の分割抵抗の比率に応じた電位に徐々に落ち着くが、電位が落ち着くまでにAND回路612のゲート入力に高電圧が印加される恐れがある。

【0115】

本実施形態では、分圧電位取り出し点VMONの電位がフローティング電位HVBを超えるとダイオード801が順バイアスとなるため、分圧電位取り出し点VMONはフローティング電位HVBからダイオード801の順方向電圧だけ上昇した電位にクランプされ

10

20

30

40

50

る。よって、AND回路612のゲート入力に高電圧が印加されることを防止することができる。

【0116】

なお、MOSFET702は、図1に例示されたコンデンサ701と入れ替わってもよい。

【0117】

<第5実施形態>

本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。以下では、上記の実施形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

10

【0118】

<構成>

図9は、本実施形態に関するブートストラップ補償回路を例示する図である。

【0119】

図9に例示されるように、当該回路は、高電位側のフローティング電位HVBと基準電位VSとの間に跨る抵抗分圧回路と、抵抗分圧回路と並列に接続された過渡応答検出回路と、AND回路612と、出力回路611と、負荷回路617と、MOSFET702と、ツェナーダイオード802とを備える。

【0120】

抵抗分圧回路は、抵抗613と抵抗614とが直列に接続された回路である。過渡応答検出回路は、抵抗615とコンデンサ616とが直列に接続された回路である。MOSFET702は、分圧電位取り出し点VMONと基準電位VSとの間に設けられる。

20

【0121】

MOSFET702は、ゲートとソースとがショートされ、チャネルは常時オフ状態で用いられる。MOSFET702は、ドレインが分圧電位取り出し点VMONに接続され、ソースが基準電位VSに接続される。

【0122】

ツェナーダイオード802は、フローティング電位HVBと分圧電位取り出し点VMONとの間に接続される。ツェナーダイオード802は、フローティング電位HVB側にカソードが、分圧電位取り出し点VMON側にアノードがそれぞれ向けられて配置される。

30

【0123】

本実施形態では、フローティング電位HVBと基準電位VSとの間の電位差が開いて分圧電位取り出し点VMONの電位が過度に下がろうとすると、ツェナーダイオード802が降伏状態となって、分圧電位取り出し点VMONの電位が過度に下がることを防止することができる。

【0124】

それによって、第4実施形態と同様の効果を得つつ、たとえば、電源電圧HVSと分圧電位取り出し点VMONとの間に、電源電圧HVS側にアノードが、分圧電位取り出し点VMON側にカソードが向けられて配置されるクランプダイオードを設ける必要がない。

【0125】

なお、MOSFET702は、図1に例示されたコンデンサ701と入れ替わってもよい。

40

【0126】

<第6実施形態>

本実施形態に関するブートストラップ補償回路およびパワーモジュールについて説明する。以下では、上記の実施形態で説明された構成と同様の構成については同じ符号を付して図示し、その詳細な説明については適宜省略する。

【0127】

なお、下記のブートストラップ補償回路は、上記の実施形態の半導体装置としてのブートストラップ補償回路に対応する。

50

【 0 1 2 8 】

< 構成 >

図 1 0 は、本実施形態に関する単相インバータを制御するパワーデバイス制御回路を例示する図である。図 1 0 に例示されるように、当該回路においては、M O S F E T 1 0 1 と、M O S F E T 1 0 1 のソース側にトータムポール接続されたM O S F E T 1 0 2 と、M O S F E T 1 0 3 と、M O S F E T 1 0 3 のソース側にトータムポール接続されたM O S F E T 1 0 4 と、M O S F E T 1 0 1 のゲート電圧を制御するハイサイド制御回路 2 0 1 と、M O S F E T 1 0 2 のゲート電圧を制御するローサイド制御回路 2 0 2 と、M O S F E T 1 0 3 のゲート電圧を制御するハイサイド制御回路 2 0 3 と、M O S F E T 1 0 4 のゲート電圧を制御するローサイド制御回路 2 0 4 と、ハイサイド制御回路 2 0 1 に接続されたブートストラップ回路 4 0 1 と、ハイサイド制御回路 2 0 3 に接続されたブートストラップ回路 4 0 3 と、ハイサイド制御回路 2 0 1 およびブートストラップ回路 4 0 1 に接続されたブートストラップ補償回路 6 0 1 と、ハイサイド制御回路 2 0 3 およびブートストラップ回路 4 0 3 に接続されたブートストラップ補償回路 6 0 3 とを備える。

10

【 0 1 2 9 】

図 1 1 は、本実施形態に関する三相インバータを制御するパワーデバイス制御回路を例示する図である。図 1 1 に例示されるように、当該回路においては、M O S F E T 1 0 1 と、M O S F E T 1 0 1 のソース側にトータムポール接続されたM O S F E T 1 0 2 と、M O S F E T 1 0 3 と、M O S F E T 1 0 3 のソース側にトータムポール接続されたM O S F E T 1 0 4 と、M O S F E T 1 0 5 と、M O S F E T 1 0 5 のソース側にトータムポール接続されたM O S F E T 1 0 6 と、M O S F E T 1 0 1 のゲート電圧を制御するハイサイド制御回路 2 0 1 と、M O S F E T 1 0 2 のゲート電圧を制御するローサイド制御回路 2 0 2 と、M O S F E T 1 0 3 のゲート電圧を制御するハイサイド制御回路 2 0 3 と、M O S F E T 1 0 4 のゲート電圧を制御するローサイド制御回路 2 0 4 と、M O S F E T 1 0 5 のゲート電圧を制御するハイサイド制御回路 2 0 5 と、M O S F E T 1 0 6 のゲート電圧を制御するローサイド制御回路 2 0 6 と、ハイサイド制御回路 2 0 1 に接続されたブートストラップ回路 4 0 1 と、ハイサイド制御回路 2 0 3 に接続されたブートストラップ回路 4 0 3 と、ハイサイド制御回路 2 0 5 に接続されたブートストラップ回路 4 0 5 と、ハイサイド制御回路 2 0 1 およびブートストラップ回路 4 0 1 に接続されたブートストラップ補償回路 6 0 1 と、ハイサイド制御回路 2 0 3 およびブートストラップ回路 4 0 3 に接続されたブートストラップ補償回路 6 0 3 と、ハイサイド制御回路 2 0 5 およびブートストラップ回路 4 0 5 に接続されたブートストラップ補償回路 6 0 5 とを備える。

20

30

【 0 1 3 0 】

< 効果 >

以下に、上記の実施形態による効果を例示する。なお、以下では、上記の実施形態に例示された具体的な構成に基づく効果が記載されるが、同様の効果が生じる範囲で、本明細書に例示される他の具体的な構成と置き換えられてもよい。また、当該置き換えは、複数の実施形態に跨ってなされてもよい。すなわち、異なる実施形態において例示された各構成が組み合わされて、同様の効果が生じる場合であってもよい。

【 0 1 3 1 】

上記の実施形態によれば、ブートストラップ回路 4 0 1 は、第 1 コンデンサに対応するコンデンサ 1 0 0 1 を備える。

40

【 0 1 3 2 】

コンデンサ 1 0 0 1 は、高電圧側電位に対応する電源電圧 H V S と低電圧側電位 (G N D) との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子に対応するM O S F E T 1 0 1 およびローサイドスイッチング素子に対応するM O S F E T 1 0 2 の駆動をそれぞれ制御する、ハイサイド制御回路 2 0 1 およびローサイド制御回路 2 0 2 のうちの、ハイサイド制御回路 2 0 1 に電圧を供給するため、M O S F E T 1 0 1 とM O S F E T 1 0 2 との接続点である基準電位 V S と、ハイサイド制御回路 2 0 1 との間に接続される。

50

【 0 1 3 3 】

また、ブートストラップ回路 4 0 1 に電流を供給するブートストラップ補償回路は、抵抗 6 1 3 と、抵抗 6 1 4 と、第 2 コンデンサに対応するコンデンサ 7 0 1 と、出力回路 6 1 1 とを備える。

【 0 1 3 4 】

抵抗 6 1 3 および抵抗 6 1 4 は、電源電圧 HVS に対するフローティング電位 HVB と、基準電位 VS との間に直列に接続される。

【 0 1 3 5 】

コンデンサ 7 0 1 は、一端が、抵抗 6 1 3 と抵抗 6 1 4 との間の点である分圧電位取り出し点 $VMON$ に接続され、他端が、基準電位 VS に接続される。

10

【 0 1 3 6 】

出力回路 6 1 1 は、分圧電位取り出し点 $VMON$ の電位に基づいて、コンデンサ 1 0 0 1 に電流を供給する。

【 0 1 3 7 】

このような構成によれば、基準電位 VS と分圧電位取り出し点 $VMON$ との間にコンデンサ 7 0 1 を備えるため、分圧電位取り出し点 $VMON$ の電位は基準電位 VS に容量結合される。これによって、分圧電位取り出し点 $VMON$ の電位は基準電位 VS との電位関係を保とうとするため、分圧電位取り出し点 $VMON$ の電位の、フローティング電位 HVB または電源電圧 HVS への追従が弱まる。よって、ブートストラップ回路 4 0 1 に電流を供給するためのブートストラップ補償回路を備える場合であっても、応答速度の低下を抑制することができる。

20

【 0 1 3 8 】

なお、これらの構成以外の本明細書に例示される他の構成については適宜省略することができる。すなわち、これらの構成のみで、上記の効果を生じさせることができる。しかし、本明細書に例示される他の構成のうちの少なくとも 1 つを上記の構成に適宜追加した場合、すなわち、上記の構成としては記載されなかった本明細書に例示される他の構成を上記の構成に追加した場合でも、同様に上記の効果を生じさせることができる。

【 0 1 3 9 】

また、上記の実施形態によれば、ブートストラップ補償回路は、カソードが、フローティング電位 HVB に接続され、アノードが、分圧電位取り出し点 $VMON$ に接続されるダイオード 8 0 1 を備える。

30

【 0 1 4 0 】

このような構成によれば、分圧電位取り出し点 $VMON$ の電位がフローティング電位 HVB を超えるとダイオード 8 0 1 が順バイアスとなるため、分圧電位取り出し点 $VMON$ はフローティング電位 HVB からダイオード 8 0 1 の順方向電圧だけ上昇した電位にクランプされる。よって、AND 回路 6 1 2 のゲート入力に正の高電圧が印加されることを防止することができる。

【 0 1 4 1 】

また、上記の実施形態によれば、ブートストラップ補償回路は、カソードが、フローティング電位 HVB に接続され、アノードが、分圧電位取り出し点 $VMON$ に接続されるツェナーダイオード 8 0 2 を備える。

40

【 0 1 4 2 】

このような構成によれば、AND 回路 6 1 2 のゲート入力に正の高電圧が印加されることを防止することができる。

【 0 1 4 3 】

また、フローティング電位 HVB と基準電位 VS との間の電位差が開いて分圧電位取り出し点 $VMON$ の電位が過度に下がろうとするとき、ツェナーダイオード 8 0 2 が降伏状態となって、分圧電位取り出し点 $VMON$ の電位が過度に下がることを防止することができる。

【 0 1 4 4 】

50

また、上記の実施形態によれば、パワーモジュールが、上記のブートストラップ補償回路と、MOSFET101と、MOSFET102と、ハイサイド制御回路201と、ローサイド制御回路202と、ブートストラップ回路401とを備える。

【0145】

このような構成によれば、ハイサイド制御回路ごとに絶縁電源が必要となる従来方式に対して、ブートストラップ回路を用いることで絶縁電源数を削減することができる。たとえば、単相インバータの場合には3つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。また、たとえば、三相インバータの場合には4つの絶縁電源が必要であったものを、2つの絶縁電源に削減することができる。

【0146】

よって、電源回路を小型化することができる。また、部品削減により製造コストを抑制することができる。

【0147】

また、上記の実施形態によれば、ブートストラップ回路401は、コンデンサ1001を備える。

【0148】

コンデンサ1001は、高電圧側電位に対応する電源電圧HVSと低電圧側電位(GND)との間に高電圧側から順にトータムポール接続されたハイサイドスイッチング素子に対応するMOSFET101およびローサイドスイッチング素子に対応するMOSFET102の駆動をそれぞれ制御する、ハイサイド制御回路201およびローサイド制御回路202のうちの、ハイサイド制御回路201に電圧を供給するため、MOSFET101とMOSFET102との接続点である基準電位VSと、ハイサイド制御回路201との間に接続される。

【0149】

また、ブートストラップ回路401に電流を供給するブートストラップ補償回路は、第1抵抗に対応する抵抗613と、第1抵抗に対応する抵抗614と、第1MOSFETに対応するMOSFET702と、出力回路611とを備える。

【0150】

抵抗613および抵抗614は、電源電圧HVSに対するフローティング電位HVBと、基準電位VSとの間に直列に接続される。

【0151】

MOSFET702は、ドレインが、抵抗613と抵抗614との間の点である分圧電位取り出し点VMONに接続され、ソースおよびゲートが、基準電位VSに接続される。

【0152】

出力回路611は、分圧電位取り出し点VMONの電位に基づいて、コンデンサ1001に電流を供給する。

【0153】

このような構成によれば、容量として、高いソースドレイン耐圧を有する素子として形成された構造を流用することができる。そのため、工程の追加などを必要とせずに、たとえば、600Vまたは1200Vなどの高電圧が印加される場合であっても、IC内蔵素子として適用が可能となる。

【0154】

なお、これらの構成以外の本明細書に例示される他の構成については適宜省略することができる。すなわち、これらの構成のみで、上記の効果を生じさせることができる。しかし、本明細書に例示される他の構成のうちの少なくとも1つを上記の構成に適宜追加した場合、すなわち、上記の構成としては記載されなかった本明細書に例示される他の構成を上記の構成に追加した場合でも、同様に上記の効果を生じさせることができる。

【0155】

また、上記の実施形態によれば、ブートストラップ補償回路が、第2抵抗に対応する抵抗615と、第2MOSFETに対応するMOSFET705と、第3MOSFETに対

10

20

30

40

50

応するMOSFET706とを備える。

【0156】

抵抗615は、一端が、フローティング電位HVBに接続される。MOSFET705は、ドレインが、抵抗615の他端に接続される。MOSFET706は、ドレインが、MOSFET705のソースに接続され、ソースが、基準電位VSに接続される。

【0157】

ここで、MOSFET704のゲートと、MOSFET705のゲートと、MOSFET706のゲートとは、互いに接続される。また、MOSFET705のゲートと、MOSFET705のソースとは、互いに接続される。

【0158】

このような構成によれば、抵抗分圧回路の、過渡応答検出回路に対する電流比を大きくすることで、分圧電位取り出し点VMONから引き抜く電流を大きくすることができる。よって、回路サイズが拡大することを抑制することができる。

【0159】

また、抵抗分圧回路の、過渡応答検出回路に対する電流比を大きくし、小さいサイズのN型MOSFETを用いて、分圧電位取り出し点VMONから電流を引き抜くこともできる。また、MOSFET704が、高速応答である過渡応答回路と組み合わせて用いられるため、過渡応答回路が出力する持続しない過渡応答信号Vdvd tの短所を補いつつ、スイッチング速度を高めることができる。

【0160】

<変形例>

上記実施形態では、各構成要素の寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面において例示であって、本明細書に記載されたものに限られることはない。よって、例示されていない無数の変形例が、本明細書に開示される技術の範囲内において想定される。たとえば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施形態における少なくとも1つの構成要素を抽出し、他の実施形態の構成要素と組み合わせる場合が含まれる。

【0161】

また、矛盾が生じない限り、上記実施形態において「1つ」備えられるものとして記載された構成要素は、「1つ以上」備えられていてもよい。さらに、各構成要素は概念的な単位であって、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含む。また、各構成要素には、同一の機能を発揮する限り、他の構造物または形状を有する構造物が含まれる。

【0162】

また、本明細書における説明は、本技術に関するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

【符号の説明】

【0163】

101, 102, 103, 104, 105, 106, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 904 MOSFET、201, 203, 205 ハイサイド制御回路、202, 204, 206 ローサイド制御回路、300, 301 電源回路、311, 312, 313 絶縁電源、401, 403, 405 ブートストラップ回路、501 整流回路、601, 603, 605 ブートストラップ補償回路、611 出力回路、612 AND回路、613, 614, 615 抵抗、616, 701, 1001 コンデンサ、617 負荷回路、618, 619 トランジスタ、801, 1000 ダイオード、802 ツェナーダイオード、901, 902, 903 NOT回路、905, 906, 907 寄生容量、A, B, C, D 期間、HVB フローティング電位、HVS 電源電圧、Vdvd t 過渡応答信号、V

10

20

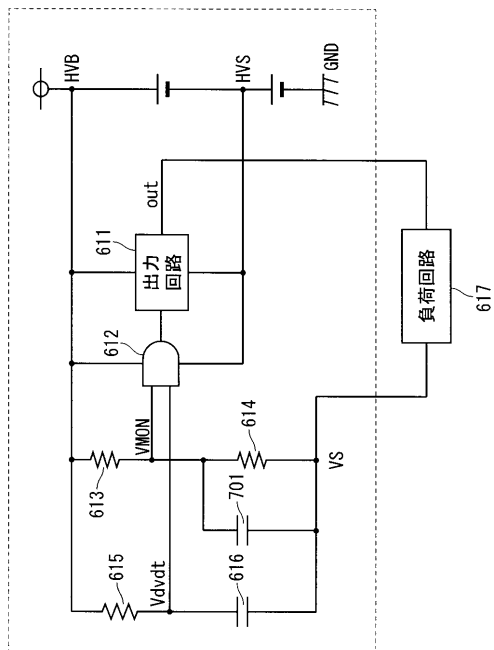
30

40

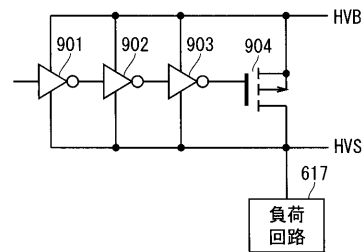
50

MON 分圧電位取り出し点、VS 基準電位。

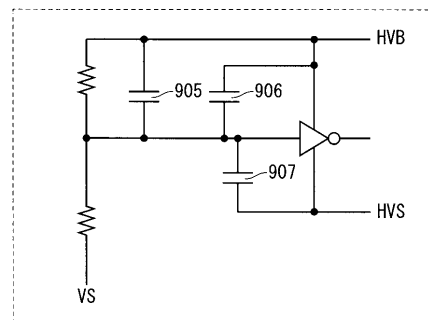
【図 1】



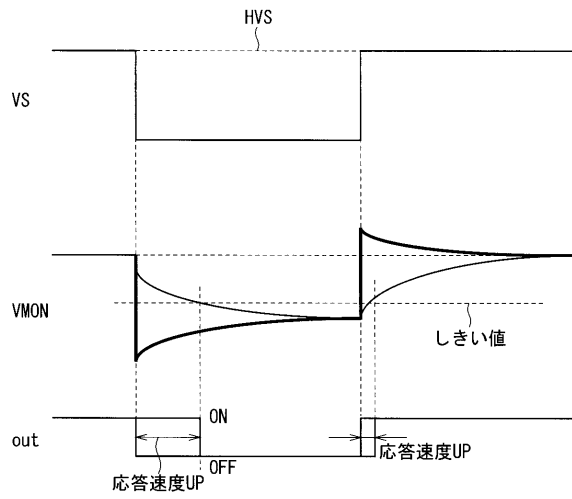
【図 2】



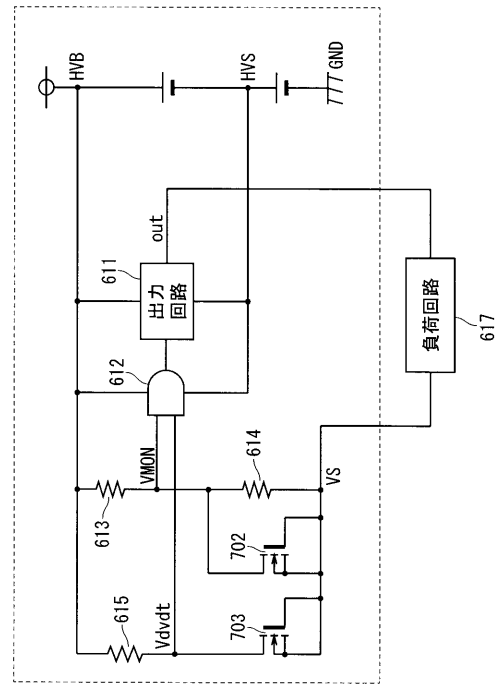
【図 3】



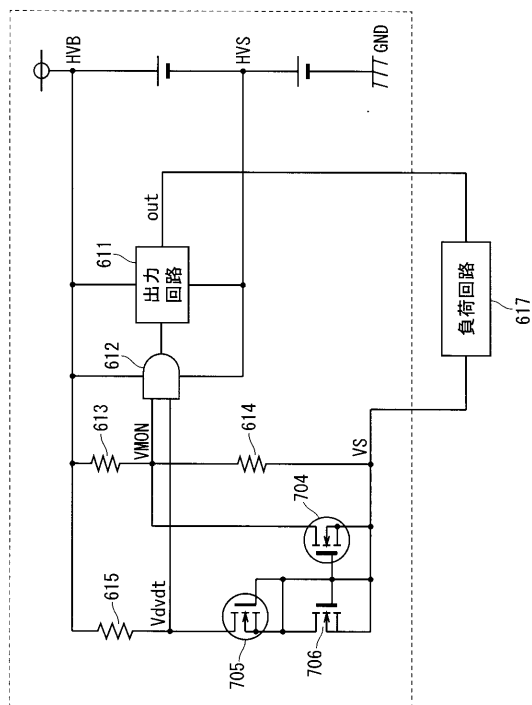
【図 4】



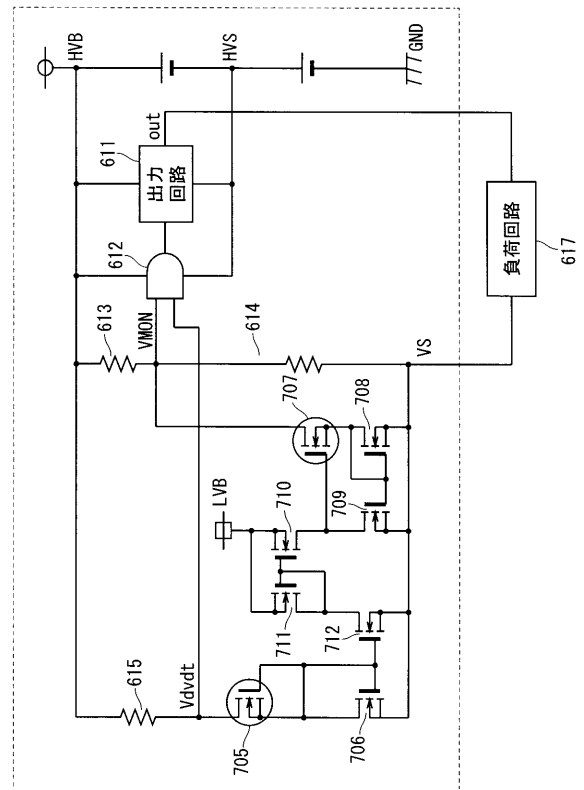
【図 5】



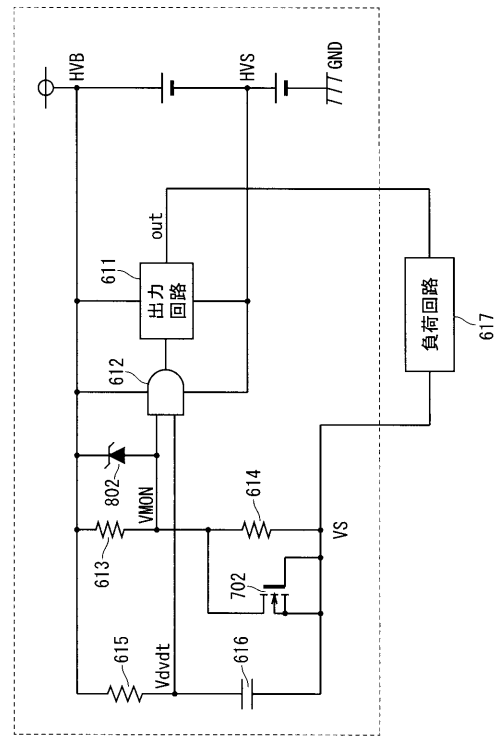
【図 6】



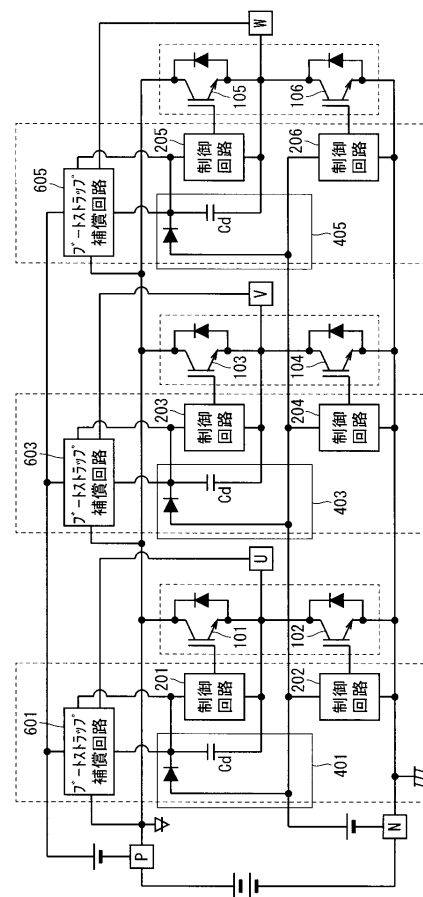
【図 7】



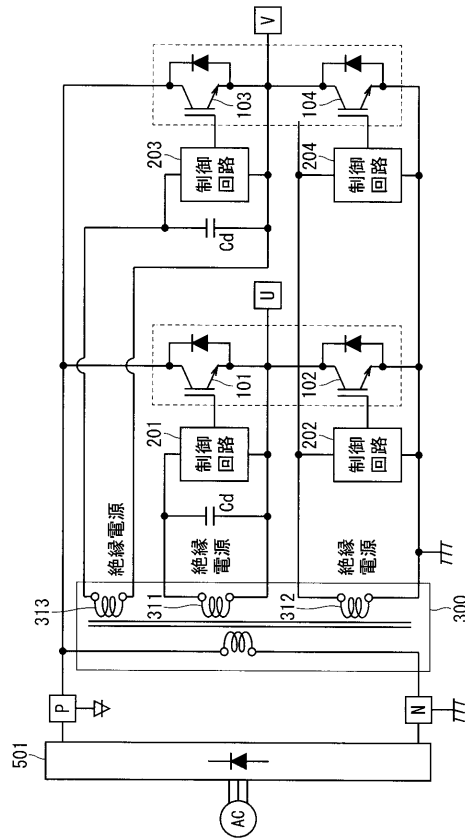
【 図 9 】



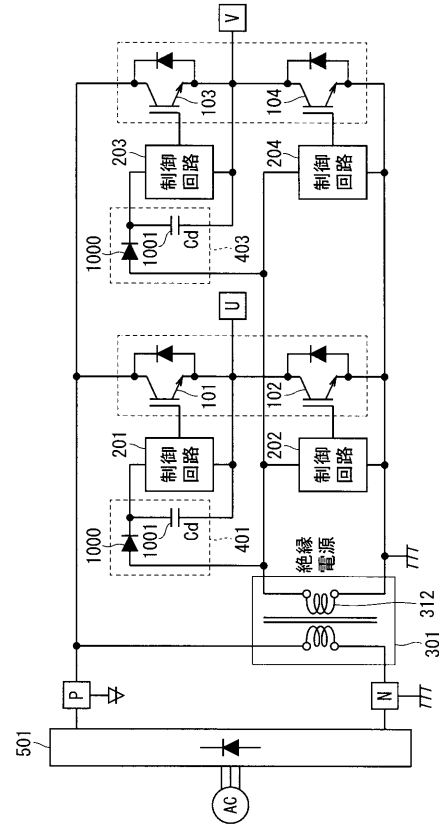
【 図 1 1 】



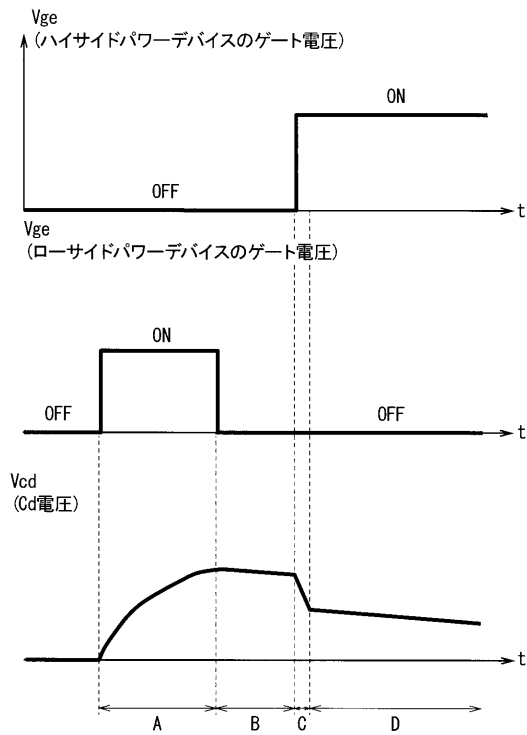
【図 1 2】



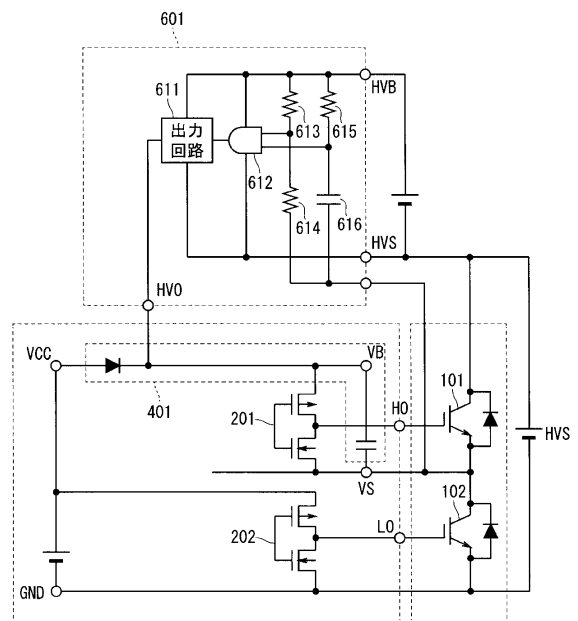
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

審査官 麻生 哲朗

(56)参考文献 特開 2 0 1 5 - 8 2 8 1 0 (J P , A)
特開 2 0 1 1 - 2 3 4 4 3 0 (J P , A)
特開 2 0 1 4 - 1 4 7 1 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 1 / 0 8
H 0 3 K 1 7 / 5 6