

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4261069号  
(P4261069)

(45) 発行日 平成21年4月30日(2009.4.30)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl.

F I

G 0 6 F 13/10 (2006.01)

G 0 6 F 13/10 3 4 O A

G 0 6 F 3/06 (2006.01)

G 0 6 F 3/06 3 O 1 P

G 0 6 F 3/08 (2006.01)

G 0 6 F 3/08 H

請求項の数 8 (全 15 頁)

(21) 出願番号 特願2000-609899 (P2000-609899)  
 (86) (22) 出願日 平成12年3月20日(2000.3.20)  
 (65) 公表番号 特表2002-541554 (P2002-541554A)  
 (43) 公表日 平成14年12月3日(2002.12.3)  
 (86) 国際出願番号 PCT/US2000/007087  
 (87) 国際公開番号 W02000/060476  
 (87) 国際公開日 平成12年10月12日(2000.10.12)  
 審査請求日 平成13年3月22日(2001.3.22)  
 審判番号 不服2005-14178 (P2005-14178/J1)  
 審判請求日 平成17年7月25日(2005.7.25)  
 (31) 優先権主張番号 09/285,706  
 (32) 優先日 平成11年4月5日(1999.4.5)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 502111536  
 サンディスク アイエル リミテッド  
 イスラエル国、クファル サバ 4442  
 5、アティル イェダ ストリート 7、  
 セントラル パーク 2000  
 Central Park 2000, A  
 tir Yeda Street 7, 4  
 4425 Kfar Sabad, Isr  
 ael  
 (74) 代理人 100092897  
 弁理士 大西 正悟  
 (72) 発明者 バン アミール  
 イスラエル国、ラマット ハシャロン 4  
 7205、ヤボック ストリート 5

最終頁に続く

(54) 【発明の名称】 USBフラッシュメモリ装置

(57) 【特許請求の範囲】

【請求項1】

USB定義のバスへ接続するUSBフラッシュメモリ装置であって、  
 (a) 少なくとも一つのフラッシュメモリ・モジュールと、  
 (b) USB定義のバスへ接続するためのUSBコネクタと、  
 (c) 前記USBコネクタを介してホストと接続し、前記少なくとも一つのフラッシュメモリ・モジュールに対する読み取り及び書き込みの少なくともいずれかを行うUSB制御器と、を備えて構成され、  
 前記USB制御器は、

前記少なくとも一つのフラッシュメモリ・モジュールに対して実行させるための、前記USBコネクタを介してアプリケーションパケットとして受け取った読み取り及び書き込みコマンドを解釈するコマンド・インタープリタを備え、

前記少なくとも一つのフラッシュメモリ・モジュールと交渉して前記モジュールのサイズと製造タイプとを判定し、前記判定されたサイズと製造タイプとを使用して、論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールの物理アドレスに変換する変換テーブルを生成するUSBフラッシュメモリ装置。

【請求項2】

USB定義のバスへ接続するUSBフラッシュメモリ装置であって、

(a) データを記憶する少なくとも一つのフラッシュメモリ・モジュールと、

(b) USB定義のバスへ接続するためのUSBコネクタと、

10

20

(c) 前記 U S B コネクタを介してホストと接続して前記少なくとも一つのフラッシュメモリ・モジュールに対する読み取り及び書き込みを行う U S B 制御器とを備え、  
前記 U S B 制御器は、

前記少なくとも一つのフラッシュメモリ・モジュールと交渉して前記モジュールのサイズと製造タイプとを判定し、前記判定されたサイズと製造タイプとを使用して、論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールの物理アドレスに変換する変換テーブルを生成する U S B フラッシュメモリ装置。

【請求項 3】

前記 U S B 制御器の M T D (メモリ・テクノロジー・ドライバ) が含む識別ルーチンが、  
前記フラッシュメモリ・モジュールの少なくとも一つの特徴を判定する請求項 1 または 2  
に記載の U S B フラッシュメモリ装置。

10

【請求項 4】

前記少なくとも一つの特徴がサイズである請求項 3 に記載の U S B フラッシュメモリ装置。

【請求項 5】

前記少なくとも一つの特徴がバス幅である請求項 3 に記載の U S B フラッシュメモリ装置。

【請求項 6】

前記少なくとも一つの特徴がインターリーピングである請求項 3 に記載の U S B フラッシュメモリ装置。

20

【請求項 7】

前記 U S B フラッシュメモリ装置は、前記ホストに着脱可能に形成される請求項 1 または 2 に記載の U S B フラッシュメモリ装置。

【請求項 8】

前記 U S B 制御器は、前記フラッシュメモリ・モジュールに使用するための M T D (メモリ・テクノロジー・ドライバ) を、前記判定された製造タイプを用いて判定する請求項 7  
に記載の U S B フラッシュメモリ装置。

【発明の詳細な説明】

【0001】

【発明の分野及び背景】

30

本発明は、半導体メモリ装置に関し、特に、U S B P C バスを用いるホスト・プラットフォームに接続された不揮発性メモリ・モジュールを消去可能な、そしてプログラム可能な半導体メモリ装置に関する。

【0002】

消去可能な、そしてプログラム可能な非揮発性記憶装置モジュール（以下フラッシュメモリあるいはフラッシュ装置と呼ぶ）は、情報保存技術において既知である。フラッシュ装置は、フラッシュタイプ、フローティングゲートのトランジスタから形成された電氣的に消去可能な、そしてプログラム可能なリードオンリーメモリ（E E P R O M）を含み、E E P R O M メモリに機能及び性能において類似する不揮発性のメモリであるが、メモリのページを消去する、回路内でのプログラム操作を許容する追加の機能を持つ。このようなフラッシュ装置の実施例の一例に、米国特許第 5, 7 9 9, 1 6 8 号がある（参照によって本文に完全に記載したものとする）。

40

【0003】

フラッシュ装置は、伝統的な保存用磁気ディスクに比べ、比較的安価で消費電力が少ないという利点がある。しかしながら、フラッシュ装置では、先だって領域のページを消去することなく、メモリ内の書き込み領域を書き直すことは実用上困難である。この制限があるため、以前の書き込みデータがあるフラッシュ装置内のメモリ領域を最初に消去しないと、その領域にデータを書き込むことができないので、フラッシュ装置は、典型的な既存オペレーティング・システムのプログラムとは相容れないものとなっている。例えば、1 9 9 3 年 3 月 5 日に出願された米国特許第 5, 4 0 4, 4 8 5 号に開示されたようなソフ

50

トウェア・マネージメント・システム（本文に完全に記載したものとする）は、フラッシュメモリ装置の、このような機能をうまく処理しなければならない。

【 0 0 0 4 】

現在、フラッシュメモリ装置には、ホスト・プラットフォームに固定して取り付けられるか、あるいは P C M C I A（パソコン・メモ리카ードの国際提携）インタフェースを用いて着脱可能でなければならないという第二の制限がある。どちらのやり方も、使用が困難でありコストが高いという欠点がある。

【 0 0 0 5 】

したがって、より有用な実施例としては、U S B 規格バージョン 1 . 1（本文に完全に記載したものとする）に表された U S B 規格を用いることになる。U S B 規格は、製造コストを低くすると共にフォームファクタを小さくし、エンドユーザにとって、より使い易いものとするものである。この規格は、コンパック・コンピュータ、マイクロソフト、I B M、インテル等の会社が奨励する工業規格であり、コンピュータ・テレフォニー集積化（C T I）、消費者、そして生産性向上の用途に的を絞った P C アーキテクチャへの拡張として役立つものである。

【 0 0 0 6 】

U S B 規格のアーキテクチャを定義する基準には、P C（パソコン）周辺機器の拡張の容易さ、低コスト、1 2 M b / 秒までの転送速度のサポート、そして音声及び圧縮ビデオのリアルタイム・データに対するフルサポートがある。また、この規格は、混合モード等時性データ転送及び非同期性メッセージのためのプロトコルの柔軟性、汎用装置技術の統合、そして任意のホスト製品への迅速統合のための標準インタフェースを提供する。さらに、U S B 規格は、ケーブル及びコネクタ取り付けのための単一モデルであり、バス端子を含む電氣的な機能のすべての詳細を、エンドユーザから隔離するものである。この規格を介して、周辺装置は、自己識別が可能であり、そしてドライバへの機能部の自動マッピングをサポートする。さらに、この規格によって、すべての周辺装置は、脱着及び再構成が可能である。

【 0 0 0 7 】

U S B 規格により構成されたシステムには、U S B 相互接続、U S B 装置及び U S B ホスト・プラットフォームという三つの被定義領域がある。U S B 相互接続とは、ホスト・プラットフォームに U S B 装置が接続され、そして交信するやり方である。関連する機能及び要素には、U S B 装置とホスト・プラットフォームとの間の接続モデルとしてのバス・トポロジーが含まれる。

【 0 0 0 8 】

U S B の物理的な相互接続は、段階的なスター・トポロジーであり、ハブが各スターの中心にある。各ワイヤ部分は、ホスト・プラットフォームとハブまたは機能部との、あるいはもう一つのハブまたは機能部に接続されたハブとの間の二地点間接続である。

【 0 0 0 9 】

レイバビリティ・スタックに関しては、システム内の各層において行われる U S B タスクとして、データ・フロー・モデルとスケジュールとがある。データ・フロー・モデルとは、システム内において、データ発生部とデータ消費部との間の U S B 上を、データが移動する方法であり、スケジュールとは、共有する相互接続へのアクセスを決定するものである。このようなスケジュールリングによって、等時性データ転送のサポートが可能になり、アービトレーション・オーバヘッドがなくなる。

【 0 0 1 0 】

U S B そのものはポール・バスである。ホスト・プラットフォーム上のホスト制御器が、すべてのデータ転送を開始する。すべてのバス・トランザクションは、最高 3 パケットの送信を要し、各トランザクションは、ホスト制御器が、スケジュールに基づき、トランザクションのタイプ及び方向、U S B 装置のアドレス、そしてエンドポイント数を表す U S B パケットを送ったときに始まる。このパケットは「トークン・パケット」と呼ばれる。パケットの宛先の U S B 装置は、適切なアドレス・フィールドを解読することによって、自

10

20

30

40

50

らを選択する。任意のトランザクションでは、データは、ホスト・プラットフォームから装置へ、あるいは装置からホスト・プラットフォームへ転送される。データ転送の方向はトークン・パケット内に規定されている。トランザクション源は、それからデータ・パケットを送る、あるいはトランザクション源が転送すべきデータを持たないことを示す。一般的に、宛先は、転送が成功したかどうかを示すハンドシェイク・パケットで返答する。

#### 【 0 0 1 1 】

ホスト・プラットフォーム上の源及び宛先と一つの装置上のエンドポイントとの間のUSBデータ転送モデルは、「パイプ」と呼ばれる。ストリームとメッセージという二つのタイプのパイプがある。ストリーム・データは、USB定義構造を持たないが、メッセージ・データはそれを持つ。さらに、パイプは、データ帯域幅、転送サービス・タイプ、そして方向性及びバッファ・サイズのようなエンドポイント特性に関連する。たいていのパイプは、USB装置を構成したときに発生する。装置に電力が供給されると、一つのメッセージ・パイプ、デフォルト制御パイプ、が常に存在し、この装置に関する構成、状態及び制御情報へのアクセスを提供する。

10

#### 【 0 0 1 2 】

USB規格のためのトランザクション・スケジュールは、いくつかのストリーム・パイプに対するフロー・コントロールを可能にするもので、ハードウェア・レベルにおいて、データ転送速度を抑えるNAKハンドシェイクを用いることによって、バッファがアンダランあるいはオーバーランを起こすのを防ぐ。NAKハンドシェイクでは、バス時間が利用可能なときにトランザクションを再び行う。フロー・コントロール・メカニズムは、ストリーム・パイプの不均一な混合並行サービスに適應する柔軟なスケジュールの構築が可能である。したがって、多数のストリーム・パイプを、異なるサイズのパケットで、異なる間隔で用いることができる。

20

#### 【 0 0 1 3 】

USB規格は、先に説明したが、トークン・パケット、データ・パケット及びハンドシェイク・パケットを含む三つの主なパケット・タイプを持つ。各タイプのパケットの例を、背景技術を表す図1から図3に示す。図4は、背景技術の模範的なUSB装置を概略的に示す。

#### 【 0 0 1 4 】

背景技術図1に示すトークン・パケット10は、イン、アウトあるいはセットアップの3パケット・タイプの一つを指定するPID(パケット識別)フィールド12を持つ。PIDフィールド12にイン・パケット・タイプを指定すると、データ・トランザクションは機能部からホスト・プラットフォームへ定義され、PIDフィールド12にアウトあるいはセットアップのパケット・タイプを指定すると、データ・トランザクションは、ホスト・プラットフォームから機能部へ定義される。

30

#### 【 0 0 1 5 】

ADDRフィールド14は、アドレスを指定し、ENDPフィールド16は、トークン・パケット10のためのエンドポイントを指定する。PIDフィールド12に、トークン・パケット10がアウト・パケット・タイプあるいはセットアップ・パケット・タイプであると指定されたアウト及びセットアップ・トランザクションに対しては、ADDRフィールド14及びENDPフィールド16が、トークン・パケット10の後に続く図2に示す次のデータ・パケットを受け取るためのエンドポイントを識別する。PIDフィールド12に、トークン・パケット10がイン・パケット・タイプであると指定されたイン・トランザクションに対しては、ADDRフィールド14とENDPフィールド16が、どのエンドポイントがデータ・パケットを送信するのかについて明らかにする。CRC5フィールド18は、トークン・パケット10が、原形を損なわずに受け取られたことを決定するためのチェックサムを含む。ホスト・プラットフォームだけがトークン・パケット10を発行することができるため、トークン・パケット10は、次に続くデータ・パケットに関して送信制御を提供する。

40

#### 【 0 0 1 6 】

50

背景技術の図 2 に示すように、従来の U S B データ・パケット 2 0 も、データ・パケットのタイプを識別するための P I D (パケット識別) フィールド 2 2 を持つ。データ・パケット 2 0 も、オプションとしてデータを含むためのデータ・フィールド 2 4 と、上述のチェックサムを含むための C R C フィールド 2 6 とを持つ。

#### 【 0 0 1 7 】

背景技術の図 3 は、P I D (パケット識別) フィールド 3 0 だけを持つ従来の技術による U S B ハンドシェイク・パケット 2 8 を示す。ハンドシェイク・パケット 2 8 は、データ・トランザクションの状態を報告するために用いられるもので、データ受信の成功、コマンドの受諾あるいは拒否、フロー・コントロール及び停止状態を示す値を返すことができる。単にフロー・コントロールをサポートするトランザクション・タイプが、ハンドシェイク・パケット 2 8 を返すことができる。ハンドシェイク・パケット 2 8 は、常にトランザクションのハンドシェイク段階で返されるもので、トランザクションのデータ段階で、データ・パケット 2 0 の代わりに返されてもよい。

10

#### 【 0 0 1 8 】

これら三つの、異なるタイプのパケットは、U S B 装置を含むトランザクションの種々の段階で交換される。典型的な U S B 装置 3 2 の機能ブロックの概略的なブロック図を、背景技術の概略的な U S B 装置として図 4 に示す。U S B 装置 3 2 は、典型的に、上記の U S B 仕様に適合する電気信号を送受信するための物理的なインタフェースである、ケーブル及びコネクタからなる U S B 電気インタフェース 3 4 を含む。信号は、一つ以上のバッファ、信号の発信源装置のアドレスを解読するデバイス・アドレス・デコーダ、そして信号を同期させる S Y N C フィールド・シンクロナイザを含む論理インタフェース 3 6 を通過する。U S B 装置としての概略的な U S B 装置 3 2 の管理のために必要な情報及び構造は、U S B クラス制御及び列挙エンジン 3 8 内に保存される。機能及び装置エンジン 4 0 は、「アプリケーション」とも呼ばれ、概略的な U S B 装置 3 2 の特定な機能及び特性を制御し、そして管理する。さらに、機能及び装置エンジン 4 0 は、U S B バス上のデータの大部分を消費し、そして生成する。

20

#### 【 0 0 1 9 】

しかしながら、概略的な U S B 装置 3 2 内の異なるエンティティー間の関係は、U S B 仕様によって定義されるものではない。むしろ、U S B 仕様は、単に、パケットに対する、そして、概略的な U S B 装置 3 2 とバスとの間の電氣的な、そして物理的な連結に対する必要条件を表すものである。したがって、背景技術の、図 4 に示す連結及び関係は、単に、U S B 仕様の必要条件を満たす実施例の一つにすぎない。したがって、U S B 仕様を満たす特定な装置は、特別に定義され、そして表現されたアーキテクチャを持たなくてはならない。

30

#### 【 0 0 2 0 】

残念ながら、フラッシュメモリ装置を、U S B 仕様によって定義したバスに接続することによって、ホスト・プラットフォーム上に U S B システムの一部を形成することが可能な、このようなアーキテクチャは、一つ以上のフラッシュメモリ・モジュールを含むフラッシュメモリ装置に関しては存在しない。例えば、米国特許第 5,799,168 号は、フラッシュ装置に対する、このような実施例を示唆していない。先に述べたように、このようなアーキテクチャは、低コスト、使い易さ、エンドユーザにとって分かり易い等の多数の理由により、特に有用である。

40

#### 【 0 0 2 1 】

したがって、U S B システムとの適合性があり、U S B 仕様に沿うフラッシュメモリ装置を定義表現するアーキテクチャの必要性がある。そのようなアーキテクチャによれば、フラッシュメモリ装置は、U S B 定義のバス上にあって、このバスを介してホスト・プラットフォームと交信することが可能であるため、非常に有用である。

#### 【 0 0 2 2 】

#### 【 発明の構成 】

本発明は、フラッシュメモリが A S I C のアドレス空間にマッピングされた一つ以上のフ

50

ラッシュモジュール、あるいはUSB定義の電気インタフェースとUSB定義の論理インタフェースとを持つ制御器を含むフラッシュメモリ装置に関する。この制御器あるいはASIC（以下「制御器」と呼ぶ）は、USB規格に応じたUSB機能をサポートするため、USBバス上への列挙が可能で、また、USBエンドポイントに対してUSBパイプを介してデータの送受信ができる。また、この制御器は、フラッシュメモリ装置の機能及び制御、そしてホスト制御器からのコマンド及びデータ・パケットの処理をサポートする。ホスト制御器は、USBフラッシュ制御器へ実行すべき次のコマンドを知らせるために、標準的な、あるいは専有の複数の可能なプロトコルの一つを用いる。したがって、装置全体が、ホスト・プラットフォームに対して動的に着脱可能な不揮発性記憶装置として作用する。

10

**【0023】**

本発明によれば、USB定義のバスへ接続するUSBフラッシュメモリ装置が提供される。このフラッシュメモリ装置は、(a)データを保存するための少なくとも一つのフラッシュメモリ・モジュールと、(b)USB定義のバスに接続してUSB定義のバスへパケットを送る、そしてUSB定義のバスからパケットを受け取るためのUSBコネクタと、そして(c)少なくとも一つのフラッシュメモリ・モジュールを制御すると共に、USB定義のバスから受け取った少なくとも一つのパケットに応じてUSBコネクタを制御するUSB制御器とからなり、少なくとも一つのフラッシュメモリ・モジュールに対してデータの書き込み及び読み取りが実行される。

**【0024】**

20

以下、用語「コンピュータ」は、限定せずに次のものを示す。DOS、ウインドウズ(TM)、OS/2(TM)あるいはリナックス等のオペレーティング・システムを持つパソコン(PC)、マッキントッシュ(TM)・コンピュータ、オペレーティング・システムとしてジャバ(TM)OSを持つコンピュータ、サン・マイクロシステムズ(TM)及びシリコン・グラフィックス(TM)のコンピュータ等のグラフィックのワークステーション、サン・マイクロシステムズ(TM)のAIX(TM)あるいはソラリス(TM)等のUNIXオペレーティング・システムのいくつかのバージョンを持つ他のコンピュータ、または埋め込まれたシステムとして、ウインドウズCE(TM)等のオペレーティング・システムを含む他の既知である利用可能なオペレーティング・システムを持つ携帯電話、手に収まる計算装置、パームトップの計算装置、そして、ネットワークに接続が可能な他の計算装置。以下、用語「ウインドウズ(TM)」は、限定せずに、ウインドウズ95(TM)、ウインドウズ3.x(TM)(xは「1」等の整数)、ウインドウズNT(TM)、ウインドウズ98(TM)、ウインドウズCE(TM)、そしてマイクロソフト社(米国ワシントン州シアトル)によるこれらのオペレーティング・システムのアップグレード版を示す。

30

**【0025】****【発明の実施の形態】**

本発明は、フラッシュメモリが、ASIC、あるいはUSB定義の電気インタフェースとUSB定義の論理インタフェースとを持つ制御器のアドレス空間へマッピングされる一つ以上のフラッシュモジュールを含むフラッシュメモリ装置に関する。この制御器あるいはASIC（以下「制御器」と呼ぶ）は、USB規格によるUSB機能をサポートする。このため、USBバスへの列挙と、USBエンドポイントへ、そして、そこからのUSBパイプ上のデータの受信及び送信とをサポートする。また、この制御器は、フラッシュメモリ装置の機能及び制御、そしてホスト・コントローラからのコマンド及びデータ・パケットの処理をサポートする。ホスト制御器は、USBフラッシュ制御器へ、次に行うべきコマンドを送信するために、標準的な、あるいは専有の、いくつかの可能なプロトコルの一つを用いる。したがって、装置全体は、ホスト・プラットフォームのための、着脱可能な不揮発性記憶装置として作動する。

40

**【0026】**

本発明は、種々の変更が可能であり、多くの代替的な形態を用いて具現することができる

50

が、図面に実施例を示し、下記に詳細に説明する。本技術における通常の技能を有する者には、本発明を種々の他の方法で具現することができることは明らかである。意図するところは、本発明の範囲に含まれるすべての変更及び代案を扱うことである。

【 0 0 2 7 】

本発明によるＵＳＢフラッシュ装置及びシステムの原理及び作用は、図面及び説明文から理解できるが、これらの図面は、単に説明の目的のために示したもので、限定することを意図してはいない。

【 0 0 2 8 】

さて、図面を参照する。図５は、本発明によるフラッシュメモリ装置及びシステムの主構成要素の概略的なブロック図である。図に示すように、フラッシュメモリ・システム４２はホスト・プラットフォーム４４を含む。ホスト・プラットフォーム４４は、ＵＳＢフラッシュ装置４６を不揮発性の保存スペースとして操作する。

【 0 0 2 9 】

ホスト・プラットフォーム４４は、ＵＳＢケーブル４８を介して、本発明によるＵＳＢフラッシュ装置４６へ接続されている。ＵＳＢケーブル４８に、ホスト・プラットフォーム４４はＵＳＢホスト・コネクタ５０を介して接続するが、ＵＳＢフラッシュ装置４６はＵＳＢフラッシュ装置コネクタ５２を介して接続する。ホスト・プラットフォーム４４は、ＵＳＢバス上のすべてＵＳＢ転送を制御して処理するためのＵＳＢホスト制御器５４を含む。

【 0 0 3 0 】

ＵＳＢフラッシュ装置４６は、ＵＳＢフラッシュ装置４６の他の要素を制御するための、そしてＵＳＢフラッシュ装置４６のＵＳＢバスへのインタフェースを提供するためのＵＳＢフラッシュ装置制御器５６と、ＵＳＢフラッシュ装置コネクタ５２と、少なくとも一つのフラッシュメモリ・モジュール５８とを含む。フラッシュメモリ・モジュール５８は、データが保存される複数のフラッシュメモリ・モジュール５８の配列であることが好ましい。

【 0 0 3 1 】

ＵＳＢフラッシュ装置４６がホスト・プラットフォーム４４に接続されると、標準ＵＳＢ列挙処理が始まる。この処理において、ホスト・プラットフォーム４４は、ＵＳＢフラッシュ装置４６を認知してＵＳＢフラッシュ装置４６との通信モードを形成する。ＵＳＢフラッシュ装置４６を構成する多くの異なる方法があるが、説明を明快にする目的で、限定することを意図せず、ホスト・プラットフォーム４４がエンドポイントを介してＵＳＢフラッシュ装置４６へコマンド及び要求を出す方法に関して、本発明を次に詳細に説明する。ホスト・プラットフォーム４４は、他のエンドポイントを介してＵＳＢフラッシュ装置４６に状態の変化に関して問い合わせ、関連する受け取るべきパケットがあれば、それを受け取る。

【 0 0 3 2 】

ホスト・プラットフォーム４４は、ＵＳＢホスト制御器５４へ要求パケットを送ることによって、ＵＳＢフラッシュ装置４６からのサービスを求める。ＵＳＢホスト制御器５４は、ＵＳＢケーブル４８上にパケットを送信する。ＵＳＢフラッシュ装置４６がこの要求のエンドポイント上の装置であれば、これらの要求はＵＳＢフラッシュ装置制御器５６によって受け取られる。次に、ＵＳＢフラッシュ装置制御器５６は、フラッシュメモリ・モジュール５８から、あるいはフラッシュメモリ・モジュール５８へ、データを読む、書く、あるいは消す等の種々の操作を行う、あるいは装置列挙及び構成等の基本的なＵＳＢ機能をサポートする。ＵＳＢフラッシュ装置制御器５６は、フラッシュメモリ・モジュール５８の出力を制御する制御ライン６０を用いることによって、また、例えば、チップ・エネイブル等の種々の他の信号や読み取り書き込み信号を介して、フラッシュメモリ・モジュール５８を制御する。また、フラッシュメモリ・モジュール５８は、アドレス／データ・バス６２によってもＵＳＢフラッシュ装置制御器５６に接続されている。アドレス／データ・バス６２は、フラッシュメモリ・モジュール５８に対する、読み取り、書き込みあるいは消去のコマンドと、フラッシュメモリ・モジュール５８の製造業者が定義したこれら

10

20

30

40

50

のコマンドに対するアドレス及びデータを転送する。

【 0 0 3 3 】

ホスト・プラットフォーム 4 4 が要求した種々の操作に対する結果及び状態に関してホスト・プラットフォーム 4 4 へ知らせるために、U S B フラッシュ装置 4 6 は、「状態エンドポイント」を用いて状態パケットを送信する。この処理では、ホスト・プラットフォーム 4 4 は、状態パケットがないかをチェックし（ポーリング）、U S B フラッシュ装置 4 6 は、新しい状態メッセージのパケットが存在しない場合に空パケットを、あるいは択一的に状態パケットそのものを返す。

【 0 0 3 4 】

U S B フラッシュ装置 4 6 の機能要素のより詳細な構造を図 6 に示す。この U S B フラッシュ装置 4 6 は、U S B 規格で定義され、ここに U S B フラッシュ装置コネクタ 5 2 及びコネクタ・インタフェース 6 4 として示された物理的な、そして電氣的なインタフェースを含む。U S B フラッシュ装置コネクタ 5 2 は、ホスト制御器（図示せず）からの電気信号を搬送する U S B ケーブル 4 8 から電気信号を受け取る。これらの信号は、次にコネクタ・インタフェース 6 4 を通過する。ミリ秒毎に、U S B フレームが U S B 定義のバス上を搬送されるため、パケットを U S B フラッシュ装置 4 6 へ送ることが可能である。

【 0 0 3 5 】

これらのパケットは、物理的で論理的なインタフェース 6 6 である第一のインタフェース構成要素を介してコネクタ・インタフェース 6 4 に受け取られる。機能インタフェース 6 8 は、図 1 に関して先に説明したところの、U S B 仕様に定義したトークン・パケットを受け取れるように特別にデザインされている。これらのトークン・パケットは、U S B 規格が要求するところの、U S B フラッシュ装置 4 6 の特定な機能にのみ関係し、本発明によるフラッシュディスクとしての U S B フラッシュ装置 4 6 の特定な用途に対しては全く関係がないものである。これらのトークン・パケットと、対応する返されたデータ・パケットは、U S B ホスト制御器 5 4（図示せず）及びホスト・プラットフォーム 4 4（図示せず）が、U S B バス上に U S B フラッシュ装置 4 6 を識別し、そして U S B フラッシュ装置 4 6 に対してリソースを割り当てることができるようにする。したがって、機能インタフェース 6 8 は、単に、U S B バス上に U S B フラッシュ装置 4 6 を識別及び登録するために必要な U S B 機能のみをサポートする。

【 0 0 3 6 】

また、U S B フラッシュ装置 4 6 は、U S B アプリケーション・パケットからアプリケーション・データとコマンドとを抽出するアプリケーション・パケット抽出器 7 0 を含む。したがって、アプリケーション・パケット抽出器 7 0 は、アプリケーションに関するパケットのみをサポートする。次に、ホスト・プラットフォーム 4 4（図示せず）による U S B フラッシュ装置 4 6 への、読み取り、書き込み、識別及び消去コマンドの形式での要求が、アプリケーション・コマンド・インタープリタ 7 2 によって解釈される。読み取り、書き込み及び消去コマンド等のデータあるいはアドレスに関わるコマンドに対しては、アドレス・リゾルバ・モジュール 7 4 が、論理アドレス空間から物理アドレス空間へアドレスを解釈する。ホスト・プラットフォーム 4 4（図示せず）は論理アドレスの線形アドレス空間に関わるが、U S B フラッシュ装置 4 6 は、少なくとも一つの、そして好ましくは複数の、各々が物理アドレス空間を持つフラッシュモジュール 5 8 からなる。したがって、ホスト・プラットフォーム 4 4 の論理アドレス空間（図示せず）と U S B フラッシュ装置 4 6 の物理アドレス空間との間で置き換えが行われなくてはならない。このような置き換えを具現するための、本発明に適する多くの方法がある。アドレス置き換え方法の適当な実施例の一つの例が、上記に参照として本文に記載した米国特許第 5, 4 0 4, 4 8 5 号に説明されており、そこには、本発明の作動に適した、フラッシュディスクとしてのフラッシュメモリを管理するための方法が示されている。

【 0 0 3 7 】

データ・ハンドラ 7 6 は、受け取ったコマンドのデータに関係する部分を処理し、機能インタフェース 6 8 を介してフラッシュモジュール 5 8 へ、そしてフラッシュモジュール 5

10

20

30

40

50



8 からデータを転送する。オプションとして、データ・ハンドラ 76 が誤差補正及び検出を行うことが好ましい。アプリケーション・コマンド・インタープリタ 72、データ・ハンドラ 76 及びアドレス・リゾルバ・モジュール 74 のすべては、基礎をなすメモリ・テクノロジー・ドライバ (MTD) 78 と共に作動して、特定のフラッシュモジュール 58 とそのフラッシュモジュール 58 上の所望のアドレスとへ書き込む、読み取る、あるいは消去する。

#### 【0038】

ホスト・プラットフォーム 44 は、USB フラッシュ装置 46 の状態変化を調べて、新しい状態パケットが利用可能である場合、USB フラッシュ装置 46 から状態パケットを読み取る。これらの状態パケットを用いて、USB フラッシュ装置 46 は、要求 (図示せず) としてホスト・プラットフォーム 44 が出した種々のコマンドの結果をホスト・プラットフォーム 44 へ伝達することができる。例えば、読み取りコマンド状態パケットは、「成功」、「エラー」あるいは「無効なアドレス」等の利用可能な状態ワードの一つを含み、ホスト・プラットフォーム 44 は、読み取りコマンド (図示せず) の結果を判定することが可能である。同様に、消去状態パケットは、消去処理の完了を示す状態ワードを含む。書き込み状態パケットは、USB フラッシュ装置 46 が、ホスト・プラットフォーム 44 へ書き込みコマンドの結果について知らせるために用いるもので、例えば、コマンドが、成功した、あるいは誤っている、また、USB フラッシュ装置 46 が、ホスト・プラットフォーム 44 からの追加の書き込み要求に対して準備ができていのかどうかを知らせる。

#### 【0039】

メモリ・テクノロジー・ドライバすなわち MTD 78 は、典型的に、MTD 78 を操作する制御器に制御されるフラッシュメモリ装置を読み取る、書き込む、そして消去するためのルーチンを含む。さらに、MTD 78 は、オプションとして、MTD 78 がデザインされた正しいタイプのフラッシュメモリ装置を認識するための識別ルーチンを含む。このようにすれば、制御器は、特定のフラッシュメモリ装置アレイと相互作用するときに、どの MTD を起動すべきか判定することができる。さらに、識別ルーチンは、アレイ内のフラッシュメモリ装置の数を含むフラッシュメモリ装置のアレイのサイズ、そしてインターレーピング及びバス幅等のフラッシュアレイのパターンの特徴を検出することが可能である。この情報は、後にホスト・プラットフォーム 44 が、記憶媒体のアドレス空間とサイズとを判定するのに用いられる。先に参照として述べた米国特許第 5,799,168 号には、フラッシュ素子のためのそのような MTD の一例が開示されている。

#### 【0040】

上記プロトコル及びアーキテクチャを用いることによって、ホスト・プラットフォーム 44 は、オプションとして、メモリあるいは I/O が規則的にマッピングされたフラッシュメモリ装置に具現可能なアプリケーションを実行することができる。例えば、先に述べた米国特許第 5,404,485 に開示されているように、ホスト・プラットフォーム 44 は、磁性記憶媒体、「ハードディスク」ドライブ等の各アプリケーションに標準ブロック・デバイス・インターフェイスを提供することができる。

#### 【0041】

本発明の好適実施例として、本発明による USB フラッシュ装置に接続されたホストシステムの作動を、フラッシュ装置を識別し、プログラムし、読み取り、そして消去するプロセスに関して説明する。説明の目的で、限定することを意図せずに、各々のサイズが 64 メガビットの二つのフラッシュメモリ・モジュールのアレイを持つ模範的な USB フラッシュ装置を示す。フラッシュ装置がアドレス変換テーブルを含むため、ホスト・プラットフォームは論理アドレスで作動する。フラッシュ装置とホスト・プラットフォームとの間のすべてのコマンド及びリターン・コードは、USB データ・パケットに載せられ、USB データ・パイプを介して転送される。パケットの正確な構造、パイプ及びタイミングについては USB 仕様に説明がある。

#### 【0042】

本発明による模範的な装置及びシステムの作動は、次の通りである。まず、USB フラッ

シュ装置がホスト・プラットフォームに接続されると、U S B ホスト制御器は、U S B バス上のU S B フラッシュ装置にアドレスを割り当てる。また、U S B 仕様に説明があるリソースを割り当てる。実際は、U S B フラッシュ装置がホスト・プラットフォームへ、これらのリソースを割り当てるように頼むが、このとき、どれだけのリソースが必要なのかをホスト・プラットフォームへ知らせなくてはならない。したがって、U S B ホスト・プラットフォームが既に他の装置に対してリソースを割り当てている場合は、U S B フラッシュディスクは、オプションとして、より遅いデバイス・スピードをサポートすることが可能である。

#### 【 0 0 4 3 】

また、U S B 制御器は、フラッシュモジュールと交渉して、これらモジュールのサイズ及び製造タイプを判定する。それから、制御器は、この情報を保持する識別構造、そして変換テーブル及び論理アドレス空間を作る。

#### 【 0 0 4 4 】

U S B ホスト制御器がU S B フラッシュ装置を識別した後、ホスト・プラットフォームは、通常、U S B クライアント・ドライバをアップロードする。ドライバは、U S B ホスト制御器へ識別要求コマンドを出し、制御器に、図 7 に示す識別データ・パケット 8 0 を送信させる。背景技術の図 2 に対して先に説明したように、識別パケット 8 0 は、P I D フィールド 2 2 及びチェックサム・フィールド 2 6 を含む。また、識別パケット 8 0 は、演算コード・フィールド 8 2 内に「識別」演算コードを含む。U S B フラッシュ装置のパケット抽出器は、識別データ・パケット 8 0 を受け取り、アプリケーション・コマンド・インタープリタへ「識別」コマンドの演算コードを転送する。

#### 【 0 0 4 5 】

「識別」コマンドに応じて、フラッシュ装置は、図 8 に示す識別データ・パケット 8 4 を送る。図 7 に示すフィールドに加えて、識別データ・パケット 8 4 は、フラッシュ装置サイズ・フィールド 8 6 内にフラッシュ装置のサイズに関する情報、そして消去単位サイズ・フィールド 8 8 内にフラッシュメモリを消すための最少消去単位のサイズに関する情報を含む。

#### 【 0 0 4 6 】

この例で説明するすべてのパケットは、U S B バス上で送信されるデータ・パケットのみである。各データ・パケットが送られる前に、U S B トークン・パケットが送信され、データ・パケットが宛てられる装置エンドポイントの I D を U S B 制御器に知らせる。パケットの受信に成功すると、U S B 制御器は、U S B 仕様に説明がある U S B A C K パケットを出す。

#### 【 0 0 4 7 】

ホスト・プラットフォームのデバイス・ドライバが、この状態パケットを受け取ると、ドライバは、アプリケーション・コマンドを用いてU S B フラッシュ装置へ読み取り書き込みコマンドを出すことが可能になる。書き込み要求が送られると、「書き込み」コマンドのための演算コードを持つU S B データ・パケットと、データを含むバッファとが、U S B フラッシュ装置へ転送される。書き込みデータ・パケット 9 0 を図 9 に示す。これも先に図 8 に示したフィールドを含むが、次の相違点がある。書き込みデータ・パケット 9 0 には、「書き込み」演算コードを持つ書き込みフィールド 9 2、論理アドレスを書き込む A D D R フィールド 9 4、書き込み長さを持つ L E N フィールド 9 6、そして書き込む実際のデータを含むデータ・フィールド 9 8 がある。パケット抽出器は、書き込みデータ・パケット 9 0 から演算コードを抽出して、このコードをアプリケーション・コマンド・インタープリタへ転送する。論理アドレスは、一つのフラッシュモジュール上で、この論理アドレスを物理アドレスに変換するアドレス・リゾルバ・モジュールへ転送される。U S B フラッシュ装置が必要なら、データ・ハンドラは、オプションとして、誤差補正及び検出メカニズムを計算する。全フラッシュメモリ・モジュールの準備ができたなら、物理アドレスを含む単数のフラッシュモジュールあるいは複数のモジュールへ「書き込み」コマンドが送られる。物理アドレスは、オプションとして、一つ以上のフラッシュモジュールを横

10

20

30

40

50

切ってMTDブロックへ延びてもよい。次に、MTDブロックは、フラッシュモジュールをUSB装置制御器へ接続するデータ/アドレス・バス上に「書き込み」コマンドを出す。操作が完了して状態パケットがMTDへ返されると、操作の結果がホスト制御器へ送信され、ホスト・プラットフォーム内のデバイス・ドライバへ渡される。

#### 【0048】

フラッシュ制御器が書き込み処理を終えると、制御器は、ホスト・プラットフォームへ、図10に示す「書き込み状態」パケット100を送ることによって、USBフラッシュメモリ装置の状態が変わったことを知らせる。書き込み状態パケット100は、データ・フィールド98の代わりに、状態フィールド102を含む。ホスト・プラットフォームは、フラッシュメモリ装置からの、書き込み状態パケット100から状態パケットを読み、状態フィールド102を読み取ることによって、書き込みコマンドの完了状態に関する情報を取り出す。この例では、フラッシュメモリ装置は、ホスト・プラットフォームが状態パケット100に関する特定のコマンドを参照できるように、ADDRフィールド94及びLENフィールド96を繰り返す。

10

#### 【0049】

図11に示すように、「読み取り要求」パケット104は、読み取りフィールド106内の「読み取り」コマンドのための演算コードと、フラッシュ制御器がADDRフィールド108内で読むべき所望の位置の論理アドレスとを含む。このコマンドを受け取ると、アドレス・リゾルバ・モジュールが、ADDRフィールド108内に含まれるアドレスを一つのフラッシュ構成要素内の特定の物理アドレスへ変換した後、フラッシュ制御器は、MTDブロックへ読み取りコマンドを出す。

20

#### 【0050】

フラッシュ制御器は、読み取りコマンドが出された後、あるいは、エラーが起こった場合は、フラッシュ制御器が、新しい状態パケットを読む必要があることを示す信号をホスト・プラットフォームへ送った後、フラッシュ装置からデータを受け取る。ホスト・プラットフォームは、読み取り要求を出して、図12に示す「読み取り状態」パケット110を受け取る。読み取り状態パケット110は、ADDRフィールド108内に読み取りデータのアドレスを、LENフィールド112内に読み取りデータの長さを、そしてデータ・フィールド114内にデータそのものを含む。また、読み取り状態パケット110は、状態フィールド116内に状態ワードを含み、これに応じて操作が完了する。読み取り操作は、成功、失敗、エラーの検出、無効なアドレス、無効な長さ等の多くの異なる状態で完了する。

30

#### 【0051】

ホスト・プラットフォームがフラッシュ装置内の一つの消去単位を消す必要がある場合、ホスト・プラットフォームは、図13に示す「消去要求」パケット118を出す。このパケットは、消去フィールド120内に「消去」演算コードと、ADDRフィールド122内にその消去単位の論理アドレスとを含む。このような要求を受け取ると、フラッシュ制御器は、論理アドレスを、フラッシュモジュールの物理アドレス空間の一つに位置する、消去単位の物理アドレスへ変換し、MTDブロックへ消去コマンドを出す。

#### 【0052】

消去処理は、概して、読み取りあるいは書き込み処理よりも多くの時間必要とする。したがって、この消去処理が終了したときに、制御器は、ホスト・プラットフォームへ、新しい状態パケットの送信準備ができているということを知らせる。それから、制御器は、図14に示す「消去状態」パケット124を送信する。消去状態パケット124は、ADDRフィールド122内に消去単位のアドレスを含むが、これは、ホスト・プラットフォームへ消去要求への参照となる情報を提供するものである。操作が完了した状態は、状態フィールド126内に提供される。

40

上記の説明は、単に例として意図したものであり、多くの他の実施例が本発明の範囲内において可能であることは明らかである。

#### 【図面の簡単な説明】

50

【図 1】 図 1 は、背景技術による U S B トークン・パケット構造の概略的なブロック図である。

【図 2】 図 2 は、背景技術による U S B データ・パケット構造の概略的なブロック図である。

【図 3】 図 3 は、背景技術による U S B ハンドシェイク・データ・パケット構造の概略的なブロック図である。

【図 4】 図 4 は、模範的な背景技術による U S B 装置の概略的なブロック図である。

【図 5】 図 5 は、本発明によるフラッシュ U S B 装置の機能を持つシステムの概略的なブロック図である。

【図 6】 図 6 は、U S B フラッシュディスクの概略的なブロック図である。

10

【図 7】 図 7 は、フラッシュ識別要求パケットの概略的なブロック図である。

【図 8】 図 8 は、フラッシュ識別状態パケットの概略的なブロック図である。

【図 9】 図 9 は、フラッシュ書き込み要求パケットの概略的なブロック図である。

【図 10】 図 10 は、フラッシュ書き込み状態パケットの概略的なブロック図である。

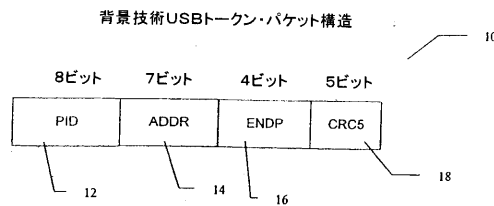
【図 11】 図 11 は、フラッシュ読み取り要求パケットの概略的なブロック図である。

【図 12】 図 12 は、フラッシュ読み取り状態パケットの概略的なブロック図である。

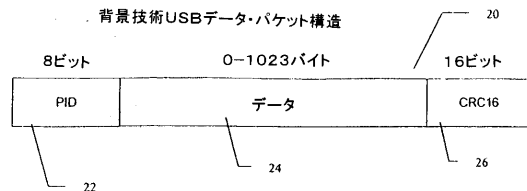
【図 13】 図 13 は、フラッシュ消去要求パケットの概略的なブロック図である。

【図 14】 図 14 は、フラッシュ消去状態パケットの概略的なブロック図である。

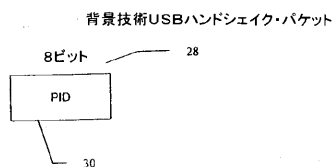
【図 1】



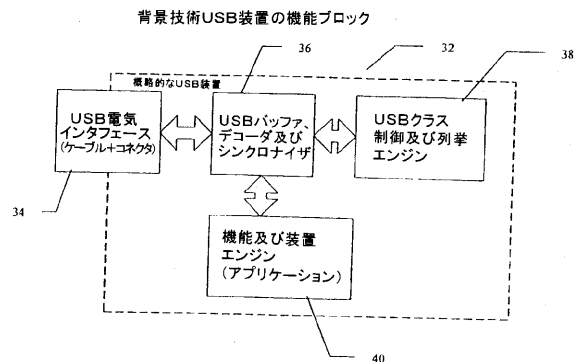
【図 2】



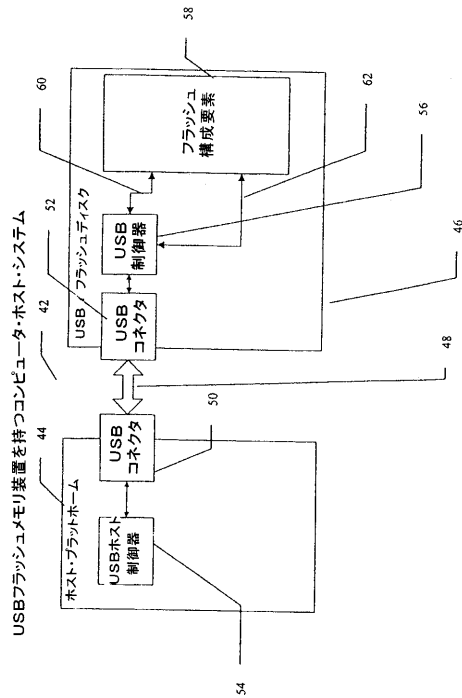
【図 3】



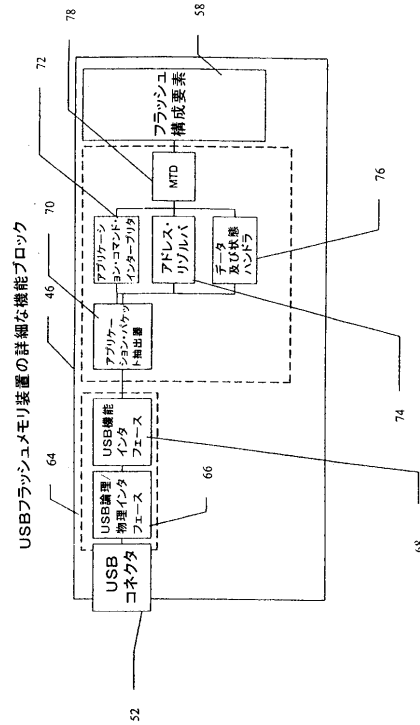
【図 4】



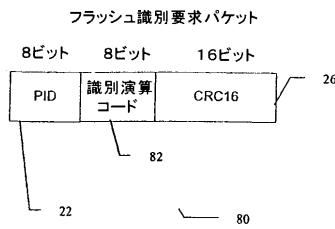
【図 5】



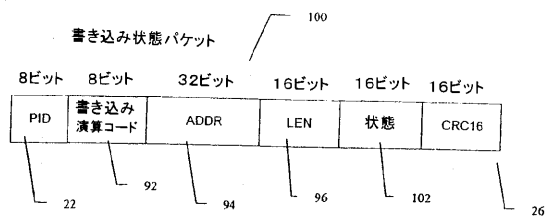
【図 6】



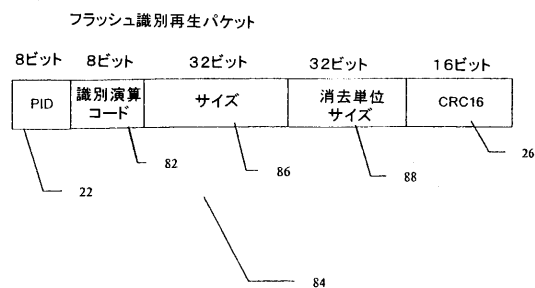
【図 7】



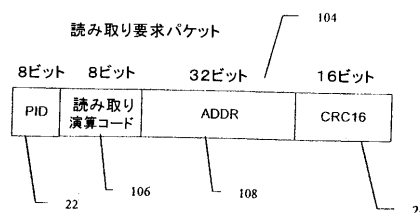
【図 10】



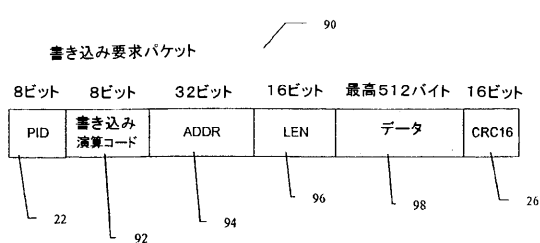
【図 8】



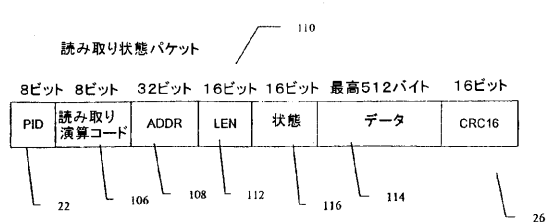
【図 11】



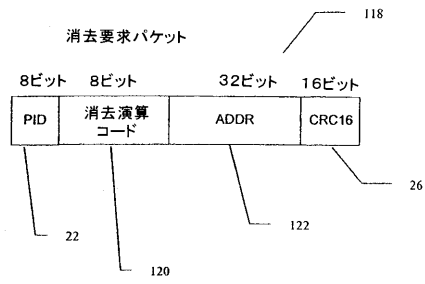
【図 9】



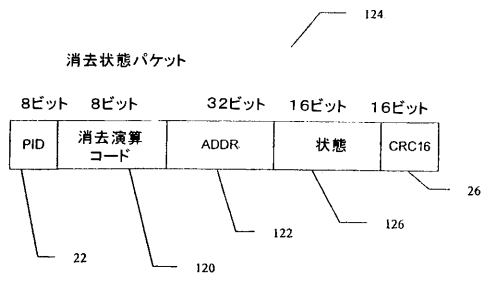
【図 12】



【図 13】



【図 14】



---

フロントページの続き

- (72)発明者 モラン ドブ  
イスラエル国 クファー サバ 44406、イタマール ベン アビ ストリート 15  
(72)発明者 オグダン オロン  
イスラエル国 エルサレム 93106、マッサリク ストリート 4B

## 合議体

審判長 江嶋 清仁

審判官 角田 慎治

審判官 山本 章裕

- (56)参考文献 特開平11-15928(JP,A)  
特表平8-510072(JP,A)  
特開平10-334206(JP,A)  
特開平10-326227(JP,A)  
特開平6-295259(JP,A)  
特開平6-332806(JP,A)  
五十嵐清孝,USBの概要と特徴,トランジスタ技術 第34巻第7号,1997.07.01  
,CQ出版社,P.240-249

## (58)調査した分野(Int.Cl.,DB名)

G06F3/06

G06F3/08

G06F13/10