

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4240068号  
(P4240068)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.	F I				
<b>G09G 3/30 (2006.01)</b>	G09G	3/30		J	
<b>G09G 3/20 (2006.01)</b>	G09G	3/30		K	
<b>HO1L 51/50 (2006.01)</b>	G09G	3/20	622A		
	G09G	3/20	623A		
	G09G	3/20	624B		
請求項の数 7 (全 22 頁) 最終頁に続く					

(21) 出願番号	特願2006-180522 (P2006-180522)	(73) 特許権者	00002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成18年6月30日(2006.6.30)	(74) 代理人	100092336 弁理士 鈴木 晴敏
(65) 公開番号	特開2008-9198 (P2008-9198A)	(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成20年1月17日(2008.1.17)	(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査請求日	平成19年7月30日(2007.7.30)	(72) 発明者	豊村 直史 東京都品川区北品川6丁目7番35号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の第1走査線及び第2走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各第1走査線に順次第1制御信号を供給して画素を行単位で線順次走査する第1スキャナと、該線順次走査に合わせて各第2走査線に順次第2制御信号を供給する第2スキャナと、該線順次走査に合わせて列状の信号線に映像信号を供給する信号セレクトとを備え、

前記画素は、発光素子と、サンプリングトランジスタと、ドライブトランジスタと、スイッチングトランジスタと、画素容量とを含み、

前記サンプリングトランジスタは、そのゲートが該第1走査線に接続し、そのソースが該信号線に接続し、そのドレインが該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記スイッチングトランジスタは該電流路に挿入されるとともに、そのゲートが該第2走査線に接続し、

前記画素容量は、該ドライブトランジスタのソースとゲートの間に接続しており、

前記サンプリングトランジスタは、該第1走査線から供給された第1制御信号に応じて

オンし、該信号線から供給された映像信号の信号電位をサンプリングして該画素容量に保持し、

前記スイッチングトランジスタは、該第2走査線から供給された第2制御信号に応じオンして該電流路を導通状態にし、

前記ドライブトランジスタは、該画素容量に保持された信号電位に応じて駆動電流を該導通状態に置かれた電流路を通して該発光素子に流し、

前記駆動部は、該第1走査線に該第1制御信号を印加して該サンプリングトランジスタをオンし信号電位のサンプリングを開始した後、該第2制御信号が該第2走査線に印加されて該スイッチングトランジスタがオンする第1タイミングから、該第1走査線に印加された該第1制御信号が解除されて該サンプリングトランジスタがオフする第2タイミングまでの補正期間に、該ドライブトランジスタの移動度に対する補正を該画素容量に保持された該信号電位に加え、

10

第1制御信号の立下り波形に傾斜をつけることにより、該信号線に供給される映像信号の信号電位が高いとき該補正期間が短くなる一方、該信号線に供給される映像信号の信号電位が低いとき該補正期間が長くなる様に該第2タイミングが調整される表示装置。

【請求項2】

前記第1スキャナは、該第1制御信号の立下り波形に傾斜をつける際、少なくとも二段階に分けて初めに傾斜を急にし後で傾斜をなだらかにすることで、信号電位が高いときと信号電位が低いときの両方で該補正期間を最適化する請求項1記載の表示装置。

【請求項3】

20

各画素は、映像信号のサンプリングに先立って該ドライブトランジスタのゲート電位及びソース電位をリセットする追加のスイッチングトランジスタを含み、

前記第2スキャナは、映像信号のサンプリングに先立って該第2制御線を介して該スイッチングトランジスタを一時的にオンし、以ってリセットされた該ドライブトランジスタに駆動電流を流してその閾電圧に相当する電圧を該画素容量に保持しておく請求項1記載の表示装置。

【請求項4】

前記駆動部は、該第1制御信号の立下り波形の元になる第1電源パルスを生じて該第1スキャナに供給する電源パルス生成回路を含み、

前記第1スキャナは、順次該第1電源パルスからその立下り波形を取り出し、第1制御信号の立下り波形として各第1走査線に供給する請求項1記載の表示装置。

30

【請求項5】

前記電源パルス生成回路は、該第2制御信号の波形の元になる第2電源パルスを生じて該第2スキャナに供給し、

前記第2スキャナは、順次該第2電源パルスからその波形の一部を取り出して、第1タイミング時における第2制御信号の波形として第2走査線に供給する請求項4記載の表示装置。

【請求項6】

前記第1スキャナは、該電源パルス供給回路から供給される該第1電源パルスに基づいて該補正期間の終期である第2タイミング時における該第1制御信号の波形を生じる一方、

40

前記第2スキャナは、内部の論理処理により該補正期間の始期である第1タイミング時における第2制御信号の波形を生じる請求項4記載の表示装置。

【請求項7】

画素アレイ部とこれを駆動する駆動部とを備え、

前記画素アレイ部は、行状の第1走査線及び第2走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各第1走査線に順次第1制御信号を供給して画素を行単位で線順次走査する第1スキャナと、該線順次走査に合わせて各第2走査線に順次第2制御信号を供給す

50

る第2スキャナと、該線順次走査に合わせて列状の信号線に映像信号を供給する信号セクタとを備え、

前記画素は、発光素子と、サンプリングトランジスタと、ドライブトランジスタと、スイッチングトランジスタと、画素容量とを備え、

前記サンプリングトランジスタは、そのゲートが該第1走査線に接続し、そのソースが該信号線に接続し、そのドレインが該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記スイッチングトランジスタは該電流路に挿入されるとともに、そのゲートが該第2走査線に接続し、

前記画素容量は、該ドライブトランジスタのソースとゲートの間に接続している表示装置の駆動方法であって、

該第1走査線から供給された第1制御信号に応じて前記サンプリングトランジスタをオンし、該信号線から供給された映像信号の信号電位をサンプリングして該画素容量に保持し、

該第2走査線から供給された第2制御信号に応じ前記スイッチングトランジスタをオンして該電流路を導通状態にし、

該画素容量に保持された信号電位に応じて前記ドライブトランジスタから駆動電流を該導通状態に置かれた電流路を通して該発光素子に流し、

該第1走査線に該第1制御信号を印加して該サンプリングトランジスタをオンし信号電位のサンプリングを開始した後、該第2制御信号が該第2走査線に印加されて該スイッチングトランジスタがオンする第1タイミングから、該第1走査線に印加された該第1制御信号が解除されて該サンプリングトランジスタがオフする第2タイミングまでの補正期間に、該ドライブトランジスタの移動度に対する補正を該画素容量に保持された該信号電位に加え、

第1制御信号の立下り波形に傾斜をつけることにより、該信号線に供給される映像信号の信号電位が高いとき該補正期間が短くなる一方、該信号線に供給される映像信号の信号電位が低いとき該補正期間が長くなる様に該第2タイミングが調整される表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示する表示装置及びその駆動方法に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマ

10

20

30

40

50

トリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

10

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと画素容量とドライプトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号の信号電位に応じた入力電圧を保持する。ドライプトランジスタは、画素容量に保持された入力電圧に応じて所定の発光期間に出力電流を駆動電流として供給する。尚一般に、出力電流はドライプトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライプトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

20

【0005】

ドライプトランジスタは、画素容量に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライプトランジスタの出力電流供給量はゲート電圧すなわち画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライプトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【0006】

ここでドライプトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

30

このトランジスタ特性式1において、 $I_{ds}$ はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 $V_{gs}$ はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 $V_{th}$ はトランジスタの閾電圧である。又 $\mu$ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 $W$ はチャネル幅を表わし、 $L$ はチャネル長を表わし、 $C_{ox}$ はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 $V_{gs}$ が閾電圧 $V_{th}$ を超えて大きくなると、オン状態となってドレイン電流 $I_{ds}$ が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 $V_{gs}$ が一定であれば常に同じ量のドレイン電流 $I_{ds}$ が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

40

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 $V_{th}$ は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライプトランジスタの閾電圧 $V_{th}$ がばらつくと、ゲート電圧 $V_{gs}$ が一定であっても、ドレイン電流 $I_{ds}$ にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライプトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

50

## 【 0 0 0 8 】

しかしながら、発光素子に対する出力電流のばらつき要因は、ドライブトランジスタの閾電圧  $V_{th}$  だけではない。上記のトランジスタ特性式 1 から明らかなように、ドライブトランジスタの移動度  $\mu$  がばらついた場合にも、出力電流  $I_{ds}$  が変動する。この結果、画面のユニフォームティが損なわれる。移動度のばらつきを補正することも、解決すべき課題となっている。

## 【課題を解決するための手段】

## 【 0 0 0 9 】

上述した従来の技術の課題に鑑み、本発明は画素ごとにドライブトランジスタの移動度補正機能を備えた表示装置及びその駆動方法を提供することを一般的な目的とする。特に、画素の輝度レベルに対して適応的に移動度補正を行うことのできる表示装置及びその駆動方法を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の第 1 走査線及び第 2 走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、前記駆動部は、各第 1 走査線に順次第 1 制御信号を供給して画素を行単位で線順次走査する第 1 スキャナと、該線順次走査に合わせて各第 2 走査線に順次第 2 制御信号を供給する第 2 スキャナと、該線順次走査に合わせて列状の信号線に映像信号を供給する信号セレクタとを備え、前記画素は、発光素子と、サンプリングトランジスタと、ドライブトランジスタと、スイッチングトランジスタと、画素容量とを含み、前記サンプリングトランジスタは、そのゲートが該第 1 走査線に接続し、そのソースが該信号線に接続し、そのドレインが該ドライブトランジスタのゲートに接続し、前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、前記スイッチングトランジスタは該電流路に挿入されるとともに、そのゲートが該第 2 走査線に接続し、前記画素容量は、該ドライブトランジスタのソースとゲートの間に接続している表示装置であって、前記サンプリングトランジスタは、該第 1 走査線から供給された第 1 制御信号に応じてオンし、該信号線から供給された映像信号の信号電位をサンプリングして該画素容量に保持し、前記スイッチングトランジスタは、該第 2 走査線から供給された第 2 制御信号に応じオンして該電流路を導通状態にし、前記ドライブトランジスタは、該画素容量に保持された信号電位に応じて駆動電流を該導通状態に置かれた電流路を通して該発光素子に流し、前記駆動部は、該第 1 走査線に該第 1 制御信号を印加して該サンプリングトランジスタをオンし信号電位のサンプリングを開始した後、該第 2 制御信号が該第 2 走査線に印加されて該スイッチングトランジスタがオンする第 1 タイミングから、該第 1 走査線に印加された該第 1 制御信号が解除されて該サンプリングトランジスタがオフする第 2 タイミングまでの補正期間に、該ドライブトランジスタの移動度に対する補正を該画素容量に保持された該信号電位に加え、第 1 制御信号の立下り波形に傾斜をつけることにより、該信号線に供給される映像信号の信号電位が高いとき該補正期間が短くなる一方、該信号線に供給される映像信号の信号電位が低いとき該補正期間が長くなる様に該第 2 タイミングが調整される。

## 【 0 0 1 0 】

この場合前記第 1 スキャナは、該第 1 制御信号の立下り波形に傾斜をつける際、少なくとも二段階に分けて初めに傾斜を急にし後で傾斜をなだらかにすることで、信号電位が高いときと信号電位が低いときの両方で該補正期間を最適化することができる。好ましくは各画素は、映像信号のサンプリングに先立って該ドライブトランジスタのゲート電位及びソース電位をリセットする追加のスイッチングトランジスタを含み、前記第 2 スキャナは、映像信号のサンプリングに先立って該第 2 制御線を介して該スイッチングトランジスタを一時的にオンし、以ってリセットされた該ドライブトランジスタに駆動電流を流してその閾電圧に相当する電圧を該画素容量に保持しておく。一態様では、前記駆動部は、該第 1 制御信号の立下り波形の元になる第 1 電源パルスを生成して該第 1 スキャナに供給する電源パルス生成回路を含み、前記第 1 スキャナは、順次該第 1 電源パルスからその立下り

波形を取り出し、第1制御信号の立下り波形として各第1走査線に供給する。この場合、前記電源パルス生成回路は、該第2制御信号の波形の元になる第2電源パルスを生成して該第2スキャナに供給し、前記第2スキャナは、順次該第2電源パルスからその波形の一部を取り出して、第1タイミング時における第2制御信号の波形として第2走査線に供給する。或いは、前記第1スキャナは、該電源パルス供給回路から供給される該第1電源パルスに基づいて該補正期間の終期である第2タイミング時における該第1制御信号の波形を生成する一方、前記第2スキャナは、内部の論理処理により該補正期間の始期である第1タイミング時における第2制御信号の波形を生成する。

【発明の効果】

【0011】

本発明によれば、信号電位を画素容量にサンプリングしている期間（サンプリング期間）の一部を利用して、ドライブトランジスタの移動度の補正を行っている。具体的には、サンプリング期間の後半で、スイッチングトランジスタをオンして電流路を導通状態にして、ドライブトランジスタに駆動電流を流す。この駆動電流はサンプリングされた信号電位に応じた大きさである。この段階では発光素子が逆バイアス状態にあり、駆動電流は発光素子を流れずその寄生容量や画素容量に充電されていく。このあとサンプリングパルスが立下り、ドライブトランジスタのゲートが信号線から切り離される。このスイッチングトランジスタがオンしてからサンプリングトランジスタがオフするまでの補正期間に、画素容量に対してドライブトランジスタから駆動電流が負帰還され、その分が画素容量にサンプリングされた信号電位から差し引かれる。この負帰還量はドライブトランジスタの移動度のばらつきを抑制する方向に働くので、画素ごとの移動度補正が行える。すなわちドライブトランジスタの移動度が大きいと、画素容量に対する負帰還量が大きくなり、画素容量に保持された信号電位が大きく減らされ、結果的にドライブトランジスタの出力電流が抑制される。これに対し、ドライブトランジスタの移動度が小さいと、負帰還量も小さくなり、画素容量に保持された信号電位はあまり影響を受けない。したがってドライブトランジスタの出力電流もあまり下がることがない。ここで、負帰還量は信号線から直接ドライブトランジスタのゲートに印加される信号電位に応じたレベルとなる。すなわち、信号電位が高く輝度が大きくなるほど、負帰還量は大きくなる。このように、移動度補正は輝度レベルに応じて行われる。

【0012】

しかしながら、輝度が高い場合と輝度が低い場合とでは、必ずしも最適な補正期間は同じではない。一般に、輝度が高レベル（白レベル）の時最適補正期間は比較的短く、逆に輝度が中間レベル（グレーレベル）の時、最適補正期間は長くなる傾向にある。本発明は、輝度レベルに応じて補正期間が自動的に最適化されるようにしている。すなわち本発明はスイッチングトランジスタがオンする第一タイミングに対して、サンプリングトランジスタがオフする第二タイミングを信号電位に応じて自動的に調整している。具体的には、信号線から供給される映像信号の信号電位が高い時補正期間が短くなる一方、信号線に供給される映像信号の信号電位が低い時補正期間が長くなるように、適応制御している。これにより、信号電位に応じて補正期間を最適に可変制御することが可能である。係る構成により、画面のユニフォーミティを一層改善することができる。

【発明を実施するための最良の形態】

【0013】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本画像表示装置は基本的に画素アレイ部1と、スキャナ部及び信号部を含む駆動部とで構成されている。画素アレイ部1は、行状に配された走査線WS、走査線AZ1、走査線AZ2及び走査線DSと、列状に配された信号線SLと、これらの走査線WS、AZ1、AZ2、DS及び信号線SLに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位Vss1、第2電位Vss2及び第3電位Vccを供給する複数の電源線とからなる。信号部は水平セクタ3からなり、信号線SLに映像信号を供給する。スキャナ部は、ライトスキャナ

10

20

30

40

50

4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ走査線WS、走査線DS、走査線AZ1及び走査線AZ2に制御信号を供給して順次行毎に画素回路を走査する。

【0014】

ここで、ライトスキャナ4はシフトレジスタで構成されており、外部から供給されるクロック信号WSCKに応じて動作し、同じく外部から供給されるスタート信号WSS Tを順次転走して各走査線WSに出力している。その際、同じく外部から供給される電源パルスWSPを利用して、制御信号WSの立下り波形を生成している。ドライブスキャナ5もシフトレジスタからなり、外部から供給されるクロック信号DSCKに応じて動作し、同じく外部から供給されるスタート信号DSS Tを順次転送することで、制御信号DSを各走査線DSに順次出力している。

10

【0015】

図2は、図1に示した画像表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路2は、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、第1スイッチングトランジスタTr2と、第2スイッチングトランジスタTr3と、第3スイッチングトランジスタTr4と、画素容量Csと、発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に走査線WSから供給される制御信号に応じ導通して信号線SLから供給された映像信号の信号電位を画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号の信号電位に応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。発光素子ELは、所定の発光期間中ドライブトランジスタTrdから供給される出力電流Idsにより映像信号の信号電位に応じた輝度で発光する。

20

【0016】

第1スイッチングトランジスタTr2は、サンプリング期間に先立ち走査線AZ1から供給される制御信号に応じ導通してドライブトランジスタTrdのゲートGを第1電位Vss1に設定する。第2スイッチングトランジスタTr3は、サンプリング期間に先立ち走査線AZ2から供給される制御信号に応じ導通してドライブトランジスタTrdのソースSを第2電位Vss2に設定する。第3スイッチングトランジスタTr4は、サンプリング期間に先立ち走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続し、以ってドライブトランジスタTrdの閾電圧Vthに相当する電圧を画素容量Csに保持させて閾電圧Vthの影響を補正する。さらにこの第3スイッチングトランジスタTr4は、発光期間に再び走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続して出力電流Idsを発光素子ELに流す。

30

【0017】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタTr1ないしTr4及びTrdと1個の画素容量Csと1個の発光素子ELとで構成されている。トランジスタTr1～Tr3とTrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることが出来る。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

40

【0018】

図3は、図2に示した画像表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタTr1によってサンプリングされる映像信号の信号電位Vsigや、ドライブトランジスタTrdの入力電圧Vgs及び出力電流Ids、さらには発光素子ELが有する容量成分Coledなどを書き加えてある。以下図3に基づいて、本発明にかかる画素回路2の動作を説明する。

50

## 【 0 0 1 9 】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した本発明にかかる画素回路の動作を具体的に説明する。図4は、時間軸Tに沿って各走査線WS, AZ1, AZ2及びDSに印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタTr1, Tr2, Tr3はNチャンネル型なので、走査線WS, AZ1, AZ2がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタTr4はPチャンネル型なので、走査線DSがハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号WS, AZ1, AZ2, DSの波形と共に、ドライブトランジスタTrdのゲートGの電位変化及びソースSの電位変化も表してある。

10

## 【 0 0 2 0 】

図4のタイミングチャートではタイミングT1~T8までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号WS, AZ1, AZ2, DSの波形を表してある。

## 【 0 0 2 1 】

当該フィールドが始まる前のタイミングT0で、全ての制御線号WS, AZ1, AZ2, DSがローレベルにある。したがってNチャンネル型のトランジスタTr1, Tr2, Tr3はオフ状態にある一方、Pチャンネル型のトランジスタTr4のみオン状態である。したがってドライブトランジスタTrdはオン状態のトランジスタTr4を介して電源Vcに接続しているので、所定の入力電圧Vgsに応じて出力電流Idsを発光素子ELに供給している。したがってタイミングT0で発光素子ELは発光している。この時ドライブトランジスタTrdに印加される入力電圧Vgsは、ゲート電位(G)とソース電位(S)の差で表される。

20

## 【 0 0 2 2 】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これによりトランジスタTr4がオフし、ドライブトランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。したがってタイミングT1に入ると、全てのトランジスタTr1~Tr4がオフ状態になる。

30

## 【 0 0 2 3 】

タイミングT1のあとタイミングT21で制御信号AZ2が立上り、スイッチングトランジスタTr3がオンする。これにより、ドライブトランジスタTrdのソース(S)は所定の電位Vss2に初期化される。続いてタイミングT22で制御信号AZ1が立ち上がり、スイッチングトランジスタTr2がオンする。これによりドライブトランジスタTrdのゲート電位(G)が所定の電位Vss1に初期化される。この結果、ドライブトランジスタTrdのゲートGが基準電位Vss1に接続し、ソースSが基準電位Vss2に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミングT3で行われるVth補正の準備を行う。換言すると期間T21~T3は、ドライブトランジスタTrdのリセット期間に相当する。また、発光素子ELの閾電圧をVthELとすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うVth補正動作及び移動度補正動作を正常に行うために必要である。

40

## 【 0 0 2 4 】

タイミングT3では制御信号AZ2をローレベルにした後、制御信号DSをローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが画素容量Csに流れ込み、Vth補正動作を開始する。この時ドライブトランジスタTrdのゲートGはVss1に保持されており、ドライブトランジスタTrdがカットオフするまで電流Idsが流れる。カットオフするとドライブトランジスタTrdのソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカ

50

ットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、画素容量CsにVthが保持固定される。この様にタイミングT3 T4はドライブトランジスタTrdの閾電圧Vthを検出する期間である。ここでは、この検出期間T3 T4をVth補正期間と呼んでいる。

【0025】

この様にVth補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号の信号電位Vsigを画素容量Csに書き込む。発光素子ELの等価容量Coledに比べて画素容量Csは十分に小さい。この結果、映像信号の信号電位Vsigのほとんど大部分が画素容量Csに書き込まれる。正確には、Vss1に対する、Vsigの差分Vsig - Vss1が画素容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持されたVthと今回サンプリングされたVsig - Vss1を加えたレベル(Vsig - Vss1 + Vth)となる。以降説明簡易化の為にVss1 = 0Vとすると、ゲート/ソース間電圧Vgsは図4のタイミングチャートに示すようにVsig + Vthとなる。かかる映像信号の信号電位Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。すなわちタイミングT5 T7がサンプリング期間に相当する。

【0026】

サンプリング期間の終了するタイミングT7より前のタイミングT6で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T6 T7で、ドライブトランジスタTrdの移動度補正を行う。即ち本発明では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6 T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6 T7では、ドライブトランジスタTrdのゲートGが映像信号の信号電位Vsigのレベルに固定された状態で、ドライブトランジスタTrdにドレイン電流Idsが流れる。ここでVss1 - Vth < VthELと設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量Coledの両者を結合した容量C = Cs + Coledに書き込まれていく。これによりドライブトランジスタTrdのソース電位(S)は上昇していく。図4のタイミングチャートではこの上昇分をVで表してある。この上昇分Vは結局画素容量Csに保持されたゲート/ソース間電圧Vgsから差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタTrdの出力電流Idsを同じくドライブトランジスタTrdの入力電圧Vgsに負帰還する事で、移動度μを補正する事が可能である。なお負帰還量Vは移動度補正期間T6 T7の時間幅tを調整する事で最適化可能である。この目的で制御信号WSの立下りに傾斜が付けられている。

【0027】

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号の信号電位Vsigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは(Vsig - V + Vth)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsにVsig - V + Vthを代入する事で、以下の式2のように与えられる。

10

20

30

40

50

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \dots \text{式 2}$$

上記式 2 において、 $k = (1/2)(W/L)C_{ox}$  である。この特性式 2 から  $V_{th}$  の項がキャンセルされており、発光素子 EL に供給される出力電流  $I_{ds}$  はドライブトランジスタ  $Tr_d$  の閾電圧  $V_{th}$  に依存しない事が分かる。基本的にドレイン電流  $I_{ds}$  は映像信号の信号電位  $V_{sig}$  によって決まる。換言すると、発光素子 EL は映像信号の信号電位  $V_{sig}$  に応じた輝度で発光する事になる。その際  $V_{sig}$  は帰還量  $V$  で補正されている。この補正量  $V$  は丁度特性式 2 の係数部に位置する移動度  $\mu$  の効果を打ち消すように働く。したがって、ドレイン電流  $I_{ds}$  は実質的に映像信号の信号電位  $V_{sig}$  のみに依存する事になる。

【 0 0 2 8 】

最後にタイミング T 8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ  $Tr_4$  がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び  $V_{th}$  補正動作、信号電位のサンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

【 0 0 2 9 】

図 5 は、移動度補正期間 T 6 - T 7 における画素回路 2 の状態を示す回路図である。図示するように、移動度補正期間 T 6 - T 7 では、サンプリングトランジスタ  $Tr_1$  及びスイッチングトランジスタ  $Tr_4$  がオンしている一方、残りのスイッチングトランジスタ  $Tr_2$  及び  $Tr_3$  がオフしている。この状態でドライブトランジスタ  $Tr_4$  のソース電位 (S) は  $V_{ss1} - V_{th}$  である。このソース電位 (S) は発光素子 EL のアノード電位でもある。前述したように  $V_{ss1} - V_{th} < V_{thEL}$  と設定しておく事で、発光素子 EL は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ  $Tr_d$  に流れる電流  $I_{ds}$  は画素容量  $C_s$  と発光素子 EL の等価容量  $C_{oled}$  との合成容量  $C = C_s + C_{oled}$  に流れ込む事になる。換言すると、ドレイン電流  $I_{ds}$  の一部が画素容量  $C_s$  に負帰還され、移動度の補正が行われる。

【 0 0 3 0 】

図 6 は上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に  $I_{ds}$  を取り横軸に  $V_{sig}$  を取ってある。このグラフの下方に特性式 2 も合わせて示してある。図 6 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライブトランジスタの移動度  $\mu$  は相対的に大きい。逆に画素 2 に含まれるドライブトランジスタの移動度  $\mu$  は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度  $\mu$  がばらつく事は避けられない。例えば両画素 1, 2 に同レベルの映像信号の信号電位  $V_{sig}$  を書き込んだ場合、何ら移動度の補正を行わないと、移動度  $\mu$  の大きい画素 1 に流れる出力電流  $I_{ds1}'$  は、移動度  $\mu$  の小さい画素 2 に流れる出力電流  $I_{ds2}'$  に比べて大きな差が生じてしまう。この様に移動度  $\mu$  のばらつきに起因して出力電流  $I_{ds}$  の間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

【 0 0 3 1 】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式 1 から明らかなように、移動度が大きいとドレイン電流  $I_{ds}$  が大きくなる。したがって負帰還量  $V$  は移動度が大きいほど大きくなる。図 6 のグラフに示すように、移動度  $\mu$  の大きな画素 1 の負帰還量  $V_1$  は移動度の小さな画素 2 の負帰還量  $V_2$  に比べて大きい。したがって、移動度  $\mu$  が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度  $\mu$  の大きな画素 1 で  $V_1$  の補正をかけると、出力電流は  $I_{ds1}'$  から  $I_{ds1}$  まで大きく下降する。一方移動度  $\mu$  の小さな画素 2 の補正量  $V_2$  は小さいので、出力電流  $I_{ds2}'$  は  $I_{ds2}$  までそれ程大きく下降しない。結果的に、 $I_{ds1}$  と  $I_{ds2}$  は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで  $V_{sig}$  の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があつた場合、移動度の大き

10

20

30

40

50

い画素1の補正量  $V_1$  は移動度の小さい画素2の補正量  $V_2$  に対して小さくなる。つまり移動度が大きいほど  $V$  が大きく  $I_{ds}$  の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【0032】

以下参考の為、上述した移動度補正の数値解析を行う。図5に示したように、トランジスタ  $Tr_1$  及び  $Tr_4$  がオンした状態で、ドライブトランジスタ  $Tr_d$  のソース電位を変数  $V$  に取って解析を行う。ドライブトランジスタ  $Tr_d$  のソース電位 ( $S$ ) を  $V$  とすると、ドライブトランジスタ  $Tr_d$  を流れるドレイン電流  $I_{ds}$  は以下の式3に示す通りである。

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0033】

またドレイン電流  $I_{ds}$  と容量  $C (= C_s + C_{oled})$  の関係により、以下の式4に示す様に  $I_{ds} = dQ/dt = CdV/dt$  が成り立つ。

【数2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[ \frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

【0034】

式4に式3を代入して両辺積分する。ここで、ソース電圧  $V$  初期状態は  $-V_{th}$  であり、移動度ばらつき補正時間 ( $T_6 - T_7$ ) を  $t$  とする。この微分方程式を解くと、移動度補正時間  $t$  に対する画素電流が以下の数式5のように与えられる。

【数3】

$$I_{ds} = k\mu \left( \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【0035】

ところで最適な移動度補正時間  $t$  は画素の輝度レベル (映像信号の信号電位  $V_{sig}$ ) によって異なる傾向がある。この点につき、図7を参照して説明する。図7のグラフは、横軸に移動度補正時間  $t (T_7 - T_6)$  をとり、縦軸に輝度 (信号電位) をとってある。高輝度 (ホワイト階調) の場合、移動度大のドライブトランジスタと移動度小のドライブトランジスタとで、移動度補正時間を  $t_1$  に取った時、ちょうど輝度レベルが等しくなる。すなわち入力信号電位がホワイト階調の時は、移動度補正時間  $t_1$  が最適補正時間となる。一方信号電位が中間輝度 (グレー階調) の時、移動度補正時間  $t_1$  では移動度大のトランジスタと移動度小のトランジスタで輝度に差があり、完全な補正はできない。  $t_1$  よ

10

20

30

40

50

り長い補正時間  $t_2$  を確保すると、ちょうど移動度大と移動度小のトランジスタで輝度が同レベルとなる。したがって信号電位がグレー階調のとき、最適補正時間  $t_2$  はホワイト階調の時の最適補正時間  $t_1$  よりも長くなる。

【0036】

仮に輝度レベルによらず移動度補正時間  $t$  を固定すると、全階調で完全に移動度補正を行うことができなくなり、スジムラが生じる。たとえば移動度補正時間  $t$  を白階調の最適補正期間  $t_1$  にあわせると、入力映像信号がグレー階調の時スジが画面に残る。逆にグレー階調の最適補正期間  $t_2$  に固定すると、映像信号が白階調のとき画面にスジムラが現れる。すなわち移動度補正時間  $t$  を固定すると、白からグレー階調まですべての階調に渡って移動度ばらつきを同時に補正することはできない。

10

【0037】

そこで本発明は入力映像信号のレベルに応じて移動度補正期間を最適に自動調整可能にしている。この点につき、図8を参照して詳細に説明する。図8はスイッチングトランジスタ  $Tr_4$  のゲートに印加される制御信号  $DS$  の立下り波形をあらわしている。本実施形態の場合、スイッチングトランジスタ  $Tr_4$  はPチャンネル型なので、制御信号  $DS$  が立ち下がった時点 ( $T_6$ ) でトランジスタ  $Tr_4$  はオンする。このタイミング  $T_6$  が前述したように移動度補正期間の開始時期となる。制御信号  $DS$  とあわせて制御信号  $WS$  の立下り波形も示してある。この制御信号  $WS$  はサンプリングトランジスタ  $Tr_1$  のゲートに印加される。前述したように本実施形態ではサンプリングトランジスタ  $Tr_1$  がNチャンネル型なので、制御信号  $WS$  が立ち下がった時点  $T_7$  でサンプリングトランジスタ  $Tr_1$  がオフし移動度補正期間が終わる。

20

【0038】

本発明の特徴事項として制御信号  $WS$  の波形をオフする際に、最初適当な電位まで急峻に波形を落とし、そこから最終電位までなまらせてパルスを落としている。これにより所望の電位で決まる階調を境として二以上の移動度補正期間を設けることができる。説明の都合上、急峻に落とした最初の電圧を  $1st$  電圧、なまらせて落とした最終電位を  $2nd$  電圧と呼ぶことにする。ここでモデルとして、制御信号  $WS$  の波形を、 $1st$  電圧 =  $8V$ 、 $2nd$  電圧 =  $4V$  として動作を考える。またサンプリングトランジスタ  $Tr_1$  の閾電圧を  $V_{th}(Tr_1) = 2V$  とする。

【0039】

白階調  $V_{sig1} = 8V$  を書き込んだ場合、サンプリングトランジスタ  $Tr_1$  は制御信号  $WS$  が  $V_{sig1} + V_{th}(Tr_1) = 10V$  まで下がった時点  $T_7$  でカットオフする。即ちサンプリングトランジスタ  $Tr_1$  のソースに対して信号線から  $V_{sig} = 8V$  が印加されたとき、サンプリングトランジスタ  $Tr_1$  のゲート電位がソース電位より閾電圧  $2V$  だけ高いところで、サンプリングトランジスタ  $Tr_1$  はカットオフする。このようにして白階調の場合、制御信号  $DS$  オンタイミング  $T_6$  から制御信号  $WS$  が  $1st$  電圧まで急峻に立ち下がるまでのポイント  $T_7$  までで、移動度補正期間  $t_1 = T_7 - T_6$  が決まる。

30

【0040】

一方グレー階調  $V_{sig2} = 4V$  を書き込んだ場合、サンプリングトランジスタ  $Tr_1$  のカットオフ電圧は  $V_{sig2} + V_{th}(Tr_1) = 6V$  となる。制御信号  $WS$  がカットオフ電圧の  $6V$  まで下がる時点はタイミング  $T_7$  である。グレー階調の場合、制御信号  $DS$  のオンタイミング  $T_6$  から、 $WS$  波形オフの  $1st$  電圧から  $2nd$  電圧までの間のなまらせているポイント  $T_7$  で補正時間  $t_2$  が決まる。すなわち白階調の時の補正時間  $t_1$  よりもグレー階調の時の補正期間  $t_2$  は長く取れることになる。

40

【0041】

さらに低階調、たとえば  $V_{sig} = 3V$  としたとき、同様にサンプリングトランジスタ  $Tr_1$  のカットオフ電圧は  $5V$  となり、波形がなまっているためカットオフタイミング  $T_7$  はさらに後方にずれ、移動度補正時間が長くなる。このように低階調になるほど移動度補正時間  $t$  をより長く取ることができる駆動方式である。

【0042】

50

このように白階調の最適補正時間  $t_1$  に合わせて制御信号  $D S$  のオンから制御信号の  $W S$  オフの最初の急峻に  $1 s t$  電圧に落とすまでの時間  $T_7$  を設定し、もって白階調の補正時間を最適化している。白階調で確実に急峻なポイントでサンプリングトランジスタ  $T r_1$  がカットオフするようにその閾電圧  $V_{t h}(T r_1)$  を考慮して、 $1 s t$  電圧を設定すればよい。また、低階調に関しては各階調で最適な補正時間  $t_2$  を見つけ出し、それに合わせて  $2 n d$  電圧を設定するとともに制御信号  $W S$  の立下り波形のなまり具合を決めることで、対応できる。このようにして高階調から低階調までそれぞれのレベルに合った最適補正時間  $t$  を自動的に調整し、これにより移動度のばらつきをキャンセルすることで全階調においてスジムラをなくすことが可能になる。

#### 【 0 0 4 3 】

以下、図 8 に示した制御信号  $W S$  の立下り波形の生成方法につきその実施例を詳細に説明する。図 9 は、本実施例の全体構成を示すブロック図である。本実施例に係る表示装置は、ガラス板などからなるパネル 0 で構成されている。このパネル 0 の中央に画素アレイ部 1 が集積形成されている。パネル 0 の周辺には駆動部の一部となるライトスキャナ 4、ドライブスキャナ 5、補正用スキャナ 7 などが形成されている。なお水平セレクトは図示していないが、スキャナ類と同様にパネル 0 上に搭載することができる。あるいは、パネル 0 とは別に外付けの水平セレクトを用いてもよい。

#### 【 0 0 4 4 】

図 1 0 は、図 9 に示したライトスキャナ 4 の一段分を示す模式的な回路図である。この一段分は画素アレイ部 1 に形成された走査線の一行分に対応している。ただし、図 1 0 の例は、実施例ではなく参考例であって、従来のように矩形の制御パルス  $W S$  を出力する場合である。図示するように、ライトスキャナ 4 の一段分は、シフトレジスタ  $S / R$ 、2 個の中間バッファ、レベルシフト  $L / V$ 、及び 1 個の出力バッファの直列接続からなる。最終の出力バッファにはライトスキャナ 4 の電源電圧  $W S V_{d d}(18 V)$  が供給されている。このライトスキャナは、前段から転送されてきた入力波形  $I N$  をシフトレジスタで一段分だけ遅延したあと、中間バッファを介してレベルシフト  $L / V$  に供給し、最終の出力バッファを駆動するのに適した電圧レベルに変換する。この出力バッファは入力波形  $I N$  を反転した出力波形  $O U T$  を生成し、対応する走査線  $W S$  に供給する。この出力波形は矩形波であり、高レベルが  $W S V_{d d}$  で基準レベルが  $W S V_{s s}$  となっている。この出力波形  $O U T$  は、立下りが垂直であるため、移動度補正期間は固定になる。

#### 【 0 0 4 5 】

図 1 1 は、本実施例のライトスキャナの一段分を表している。理解を容易にするため、図 1 0 に示した参考例のライトスキャナと対応する部分には対応する参照番号を付してある。異なる点は、本実施例が最終の出力バッファに供給する電源電圧  $W S V_{d d}$  をたとえば  $18 V$  から  $5 V$  に変化するパルス波形としていることである。この電源パルス  $W S P$  は外部のディスクリート回路からパネル 0 のライトスキャナ 4 に供給される。その際、電源パルス  $W S P$  はあらかじめライトスキャナ 4 の動作と同期が取れるように、位相調整されている。

#### 【 0 0 4 6 】

図示するように、前段から矩形パルス  $I N$  が当該段に入力されると、シフトレジスタ  $S / R$ 、2 個の中間バッファ及びレベルシフト  $L / V$  を通って、出力バッファのゲートに印加される。これにより出力バッファが開き、出力波形  $O U T$  が対応する走査線に供給される。その際出力バッファがオンしたあと電源電圧ライン  $W S V_{d d}$  に電源パルス  $W S P$  が印加されるために、出力波形が  $18 V$  から  $5 V$  に向かって所定のカーブで立ち下がる。そのあと出力バッファが閉じ、出力波形は  $W S V_{s s}$  レベルになる。

#### 【 0 0 4 7 】

制御信号  $W S$  と組み合わせて移動度補正期間を規程するもうひとつの制御信号  $D S$  については、図 1 0 または図 1 1 に示す構成のどちらかでその波形を作成することができる。

#### 【 0 0 4 8 】

図 1 2 は、図 1 1 に示したライトスキャナの最終出力バッファの構成例を示す模式的な

10

20

30

40

50

回路図である。図示するように、この出力バッファ部は一对のPチャンネル型トランジスタ  $T_{rP}$  とNチャンネル型トランジスタ  $T_{rN}$  からなり、電源ライン  $W_{SVdd}$  と接地ライン  $W_{SVss}$  との間に直列接続されている。トランジスタ  $T_{rP}$ 、 $T_{rN}$  の各ゲートには入力波形  $I_N$  が印加される。この入力波形に対してあらかじめ位相調整された電源パルス  $W_{SP}$  が  $W_{SVdd}$  に印加される。入力波形  $I_N$  の印加によりトランジスタ  $T_{rP}$  が導通したあと電源パルス  $W_{SP}$  の立下り波形がトランジスタ  $T_{rP}$  によって取り込まれ、出力波形  $O_{UT}$  として画素2側の走査線  $W_S$  に供給される。なお場合によっては、動作タイミングの関係で、電源パルス  $W_{SP}$  の立上がり波形がトランジスタ  $T_{rP}$  を通過してしまうことが考えられる。この時には最終バッファの出力段にマスク信号をかけて、電源パルス  $W_{SP}$  の後ろ側立ち上がりをカットするようにすればよい。

10

## 【0049】

図13は、本実施例に係る表示装置の全体構成を示す模式的なブロック図である。パネル0は図9に示した構成となっており、画素アレイ部のほか、駆動部の一部となる各種スキュナを内蔵している。これに対し駆動部の残りの部分となる外付けの駆動基板8とディスクリート回路9がパネル0に接続されている。駆動基板8はPLDからなり、パネル0に搭載されたスキュナの動作に必要なクロック信号  $W_{SCK}$ 、 $D_{SCK}$  やスタートパルス  $W_{SST}$ 、 $D_{SST}$  などを供給する。ディスクリート回路9は駆動基板8とパネル0の間に挿入され、必要な電源パルスを生成する。具体的には駆動基板8側から入力波形  $I_N$  の供給を受け、これを波形処理して出力波形  $O_{UT}$  を生成し、パネル0側に供給する。このディスクリート回路9はトランジスタ、抵抗、容量などのディスクリート素子で構成され、少なくとも電源パルス  $W_{SP}$  をライトスキュナの電源ラインに供給する。場合によっては別の電源パルス  $D_{SP}$  を、ドライブスキュナ5の電源ラインに供給するようにしてもよい。このように、ディスクリート回路9で電源パルス  $W_{SP}$ 、 $D_{SP}$  を生成し、それぞれパネル0側のライトスキュナやドライブスキュナの電源ラインに入れる。パネル0とは切り離れた外付けのディスクリート回路9で電源パルス波形を生成することで、パネル0の個体別に最適な波形やタイミングを作り込むことが可能となり、パネル0のスジムラ検査における歩留まりの向上に寄与する。

20

## 【0050】

図14は、ディスクリート回路9のもっとも簡単な構成例を示す回路図である。図示するように、このディスクリート回路9は1個のトランジスタと1個の容量と3個の固定抵抗と2個の変可抵抗からなり、駆動基板8側から供給される入力波形  $I_N$  をアナログ的に処理して、出力波形  $O_{UT}$  をパネル0側に供給している。本実施例は矩形の入力波形を処理して、その立下りが2段階で折線状に変化する出力波形を生成している。図示するように、この出力波形の立下りは第1段階で急激に傾斜し、第2段階で緩やかな傾斜に切り替わる。

30

## 【0051】

図15は、ディスクリート回路9のより複雑な構成例を示す回路図である。このディスクリート回路9は、図14に示した直線的な立下り波形の電源パルス  $W_{SP}$  ではなく、曲線的に変化する立下り波形を有する電源パルス  $W_{SP}$  を生成し、パネル0側に供給している。立下り波形の曲線の形状はタイミング調整用のボリュームにより、自由自在に設定することができる。

40

## 【0052】

図16は、図15に示したディスクリート回路9によって生成される電源パルス  $W_{SP}$  の波形を表している。これと対応するように、別の電源パルス  $D_{SP}$  の波形も表している。なお電源パルス  $D_{SP}$  についてはその立下り波形は垂直であって、特に傾斜はつけていない。この場合であっても、電源パルス  $D_{SP}$  の立下りタイミング(すなわち駆動用スイッチングトランジスタ  $T_{r4}$  のオンタイミング  $T_6$ )は、ディスクリート回路側で自在に調整することができる。

## 【0053】

図示するように電源パルス  $W_{SP}$  は  $17.3V$  から  $1st$  電圧まで急激に立ち下がり、

50

そのあと 2nd 電圧まで緩やかに立ち下がる。1st 電圧は 9 ~ 11 V の間でパネルごとに調整可能である。典型的には 1st 電圧は 10 V に設定する。また 2nd 電圧もパネルごとに 2 ~ 6 V の範囲で調整可能である。典型的には、2nd 電圧は 5 V に設定される。加えて 1st 電圧から 2nd 電圧までの間の立下り波形は RC 曲線などで作り込むことができる。

#### 【0054】

ところでディスクリート回路で電源パルス WSP, DSP を作るようにすると、パネルの外部で制御信号 WS, DS の波形を調整することが可能となり、個々のパネルごとに最適なタイミングで動作可能となり、スジムラ検査におけるパネル歩留まりの向上に寄与する。しかしながら外付けのディスクリート回路によって電源パルスを生成するためには、

10

高出力のドライバや電源が必要となり、消費電力の増大や部品コストの増加などのデメリットが発生する。

#### 【0055】

そこで制御信号 DS については、パネル内部の論理的な処理で生成することが考えられる。以下この実施例を説明する。この実施例は電源パルス DSP をディスクリート回路で生成することによる高消費電力やコスト増のデメリットを解消するために、パネル内の論理回路で制御信号 DS を作り込み、移動度補正期間を設定している。その際制御信号 DS のイネーブル信号を立てることで、移動度補正期間の調整を行うことができるようにしている。このようにパネル内の論理回路でイネーブル信号を立てることにより制御パルス DS を生成することで、低消費電力化及び低コスト化を図ることができる。

20

#### 【0056】

図 17 は、上述した論理処理機能を有するドライブスキャナ 5 の出力段 1 個分を示す回路図である。図示するように、このドライブスキャナ 5 の出力段は制御信号 WS, DS1, DS2 及びイネーブル信号 DSEN1, DSEN2 を論理処理して、出力波形とするものである。この出力波形は制御信号 DS として対応する行の走査線 DS に出力される。ここで制御信号 WS はライトスキャナ 4 の対応する段のシフトレジスタ S/R に入力される WS パルス ( $WS \cdot S/R \cdot in$ ) を示している。また、制御信号 DS1 はドライブスキャナ 5 の当該段のシフトレジスタ S/R に入力する DS パルス ( $DS \cdot S/R \cdot in$ ) を表している。また制御信号 DS2 はドライブスキャナ 5 の当該段のシフトレジスタ S/R から出力された DS パルス ( $DS \cdot S/R \cdot out$ ) を表している。

30

#### 【0057】

図 18 は、図 17 に示した論理回路に供給される各制御信号及びイネーブル信号と、関連するクロック信号を表した波形図である。この波形図で、上から 5 個までの波形 WCLK,  $WS \cdot S/R \cdot in$ ,  $WS \cdot S/R \cdot out$ , WSEN, WS<sub>n</sub> は、主としてライトスキャナ 4 側に関連する制御信号の波形を表している。波形図から明らかなように、ライトスキャナ 4 は基本的にクロック信号 WCLK に応じて動作し、シフトレジスタ S/R で順次スタートパルスを送り、格段ごとに制御信号 WS<sub>n</sub> を生成している。なお本発明は、前述したように 1 個の制御信号 WS<sub>n</sub> を直接対応する走査線 WS<sub>n</sub> に印加するものではなく、この信号 WS<sub>n</sub> で電源パルス WSP の立下り部分を抜き取って、対応する走査線に供給するようにしている。

40

#### 【0058】

図 18 の下方に示す信号 DSCK,  $DS \cdot S/R \cdot in$ ,  $DS \cdot S/R \cdot out$ , DSEN1\_\_ODD, DEN1\_\_EVEN, DSEN2, DS<sub>n</sub>(OUT) は、主としてドライブスキャナ 5 に関連する信号波形である。

#### 【0059】

図 17 に示した論理回路は、同じく図 17 の上部に示した論理式で表される論理処理を行って出力波形 OUT を得ている。この出力波形 OUT は図 18 のタイミングチャートの一番下に表されている。図示するようにこの制御信号 DS<sub>n</sub> は、Vth キャンセル用の補正期間と、移動度  $\mu$  補正期間を規程する部分を含んでいる。そして Vth キャンセル期間はイネーブル信号 DSEN1 で調整される一方、移動度  $\mu$  補正期間はイネーブル信号 DS

50

EN2で調整可能となっている。

【0060】

以上説明したように、本発明に係る表示装置は、基本的に画素アレイ部1とこれを駆動する駆動部とから構成されている。画素アレイ部1は、行状の第1走査線WS及び第2走査線DSと、列状の信号線SLと、これらが交差する部分に配された行列状の画素2と、各画素2に給電する電源ラインVcc及び接地ラインVssとを備えている。駆動部は、第1走査線WSに順次第一制御信号WSを供給して画素2を行単位で線順次走査する第1スキャナ4と、この線順次走査にあわせて各第2走査線DSに順次第2制御信号DSを供給する第2スキャナ5と、この線順次走査に合せて列状の信号線SLに映像信号を供給する信号セレクタ3とを備えている。

10

【0061】

各画素2は、発光素子ELと、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、スイッチングトランジスタTr4と、画素容量Csとを含む。サンプリングトランジスタTr1は、そのゲートが第1走査線WSに接続し、そのソースが信号線SLに接続し、そのドレインがドライブトランジスタTrdのゲートGに接続している。ドライブトランジスタTrd及び発光素子ELは電源ラインVccと接地ラインとの間で直列に接続して電流路を形成している。スイッチングトランジスタTr4は、この電流路に挿入されると共に、そのゲートが第2走査線DSに接続している。画素容量Csは、ドライブトランジスタTrdのソースSとゲートGとの間に接続している。

【0062】

20

係る構成においてサンプリングトランジスタTr1は、第1走査線WSから供給された第1制御信号WSに応じてオンし信号線SLから供給された映像信号の信号電位Vsigをサンプリングして画素容量Csに保持する。スイッチングトランジスタTr4は、第2走査線DSから供給された第2制御信号DSに応じオンして前述の電流路を導通状態にする。ドライブトランジスタTrdは、画素容量Csに保持された信号電位Vsigに応じて駆動電流Idsを導通状態におかれた電流路を通して発光素子ELに流す。

【0063】

本発明の特徴事項として、駆動部は、第1走査線WSに第1制御信号WSを印加してサンプリングトランジスタTr1をオンし信号電位Vsigのサンプリングを開始した後、第2制御信号DSが第2走査線DSに印加されてスイッチングトランジスタTr4がオンする第1タイミングT6から、第1走査線WSに印加された第1制御信号WSが解除されてサンプリングトランジスタTr1がオフする第2タイミングT7までの補正期間tに、ドライブトランジスタTrdの移動度 $\mu$ に対する補正を画素容量Csに保持された信号電位Vsigに加え、もって移動度補正を行う。その際駆動部は、信号線SLに供給される映像信号の信号電位Vsigが高い時補正期間tが短くなる一方、信号線SLに供給される映像信号の信号電位Vsigが低い時補正期間tが長くなるよう、自動的に第2タイミングT7を調整する。

30

【0064】

具体的には駆動部内の第1スキャナ4は、第2タイミングT7でサンプリングトランジスタTr1をオフする時、第1制御信号WSの立下り波形に傾斜を付けることで、信号電位Vsigが高い時補正期間tが短くなる一方、信号線SLに供給される映像信号の信号電位Vsigが低い時補正期間tが長くなるよう、自動的に第2タイミングT7を調整する。好ましくは第1スキャナ4は、第1制御信号WSの立下り波形に傾斜をつける際、少なくとも2段階に分けて始めに傾斜を急にし後で傾斜をなだらかにすることで、信号電位Vsigが高い時と信号電位Vsigが低い時の両方で補正期間tを最適化する。

40

【0065】

各画素2は、上述した移動度補正機能に加え、ドライブトランジスタの閾電圧Vth補正機能も備えている。即ち画素には、映像信号のサンプリングに先立ってドライブトランジスタTrdのゲート電位(G)及びソース電位(S)をリセット若しくは初期化する追加のスイッチングトランジスタTr2, Tr3を含んでいる。第2スキャナ5は、映像信

50

号のサンプリングに先立って第2制御線DSを介してスイッチングトランジスタTr4を一時的にオンし、もってリセットされたドライブトランジスタTrdに駆動電流Idsを流してその閾電圧Vthに相当する電圧を画素容量Csに保持しておく。

【0066】

駆動部はパネルに内蔵される各種スキャナに加え、外付けの電源パルス生成回路(ディスクスイート回路)を備えている。この電源パルス生成回路9は、第1制御信号WSの立下り波形の元になる第1電源パルスWSPを生成してパネル内の第1スキャナ4に供給する。第1スキャナ4は順次第1電源パルスWSPからその立下り波形を取り出し第1制御信号WSの立下り波形として各第1走査線WSに供給する。

【0067】

一態様では、電源パルス生成回路9は、第2制御信号DSの波形の元になる第2電源パルスDSPも生成して、第2スキャナ5に供給している。第2スキャナ5は順次第2電源パルスDSPからその波形の一部を取り出して第1タイミングT6における第2制御信号DSの波形として各第2走査線DSに供給する。

【0068】

他の態様では、第1スキャナ4は電源パルス生成回路9から供給される第1電源パルスWSPに基づいて補正期間tの終期を律する第2タイミングT7における第1制御信号WSの波形を生成する一方、第2スキャナ5は、内部の論理処理により補正期間tの始期を律する第1タイミングT6における第2制御信号DSの波形を生成する。

【図面の簡単な説明】

【0069】

【図1】本発明に係る表示装置の主要部を示す模式的なブロック図である。

【図2】本発明に係る表示装置の画素回路構成を示す回路図である。

【図3】本発明に係る表示装置の動作説明に供する模式図である。

【図4】本発明に係る表示装置の動作説明に供するタイミングチャートである。

【図5】本発明に係る表示装置の動作説明に供する模式的な回路図である。

【図6】本発明に係る表示装置の動作説明に供するグラフである。

【図7】本発明に係る表示装置の動作説明に供するグラフである。

【図8】本発明に係る表示装置の動作説明に供する波形図である。

【図9】本発明に係る表示装置の実施例の全体構成を示す模式図である。

【図10】参考例に係るライトスキャナを示す模式図である。

【図11】実施例に係るライトスキャナを示す回路図である。

【図12】実施例に係るライトスキャナの出力段を示す模式図である。

【図13】実施例に係る表示装置の全体構成を示すブロック図である。

【図14】図13に示した実施例に含まれるディスクリート回路の構成例を示す回路図である。

【図15】ディスクリート回路の他の構成例を示す回路図である。

【図16】ディスクリート回路の出力波形を示す波形図である。

【図17】本発明に係る表示装置に含まれるドライブスキャナの構成例を示す回路図である。

【図18】図17に示したドライブスキャナの動作説明に供するタイミングチャートである。

【符号の説明】

【0070】

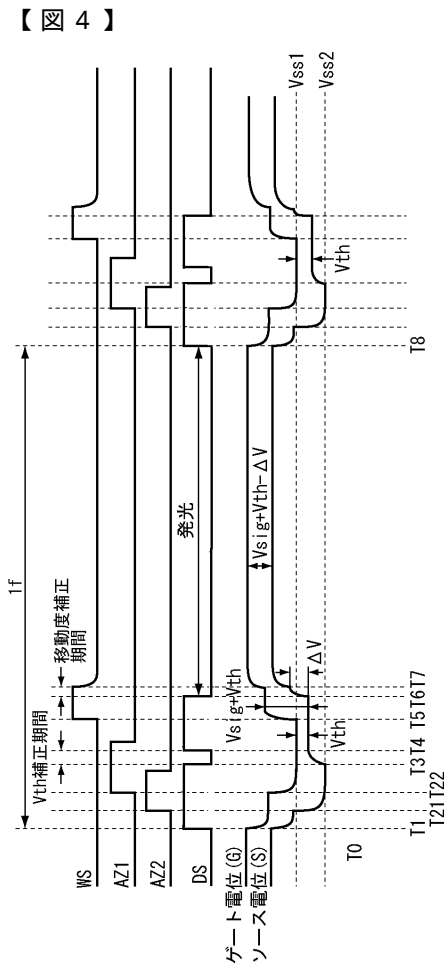
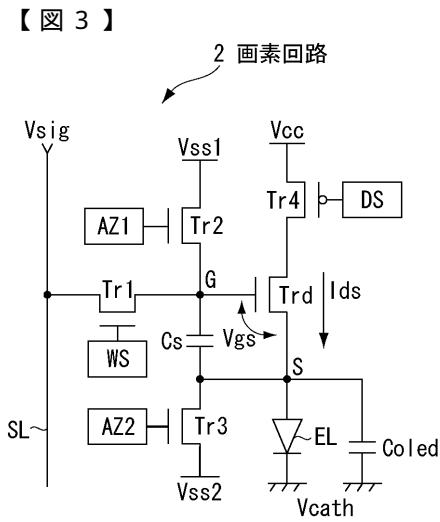
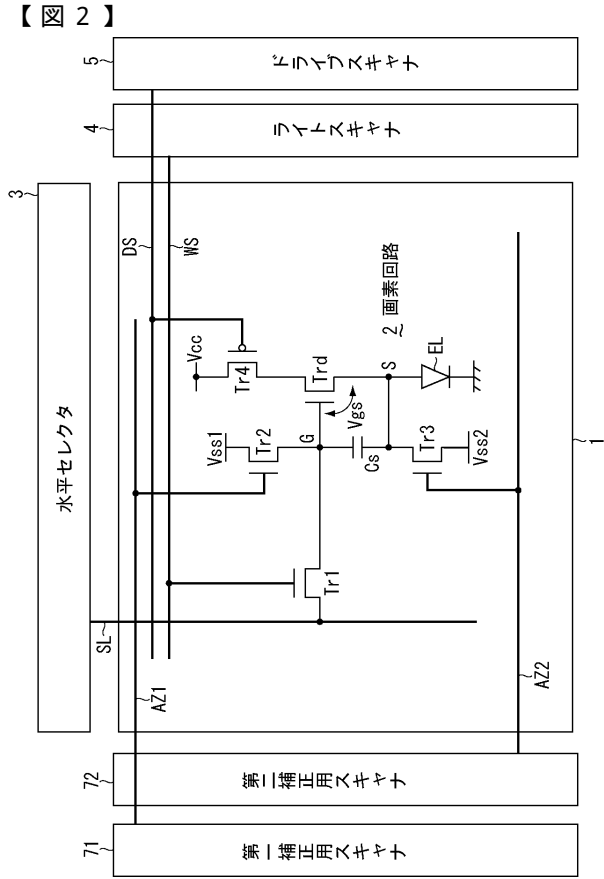
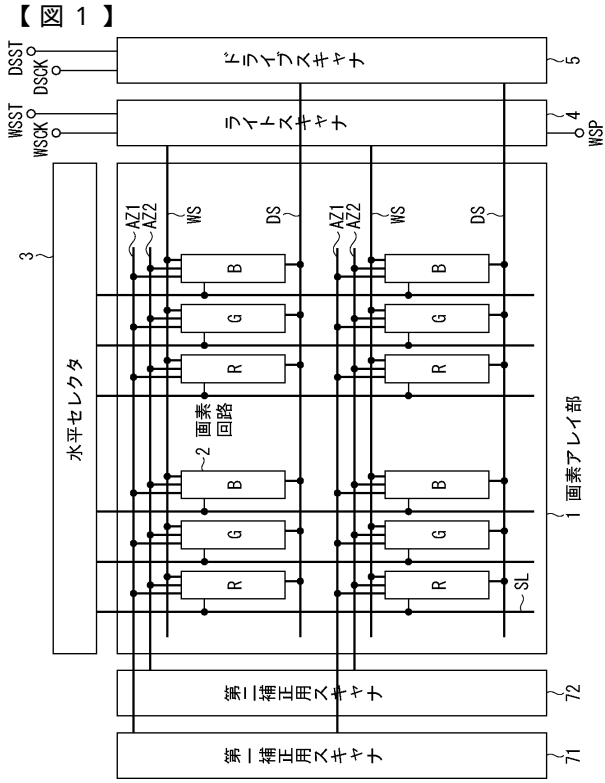
0 パネル、1 画素アレイ部、2 画素、3 水平セレクタ、4 ライトスキャナ、5 ドライブスキャナ、8 駆動基板、9 ディスクリート回路

10

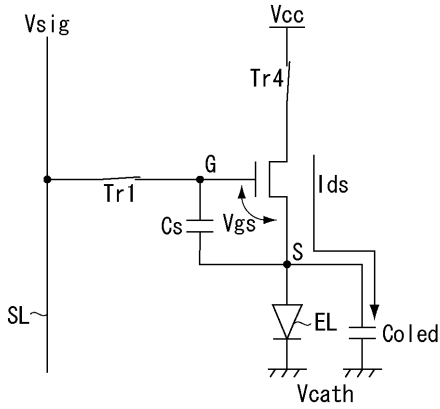
20

30

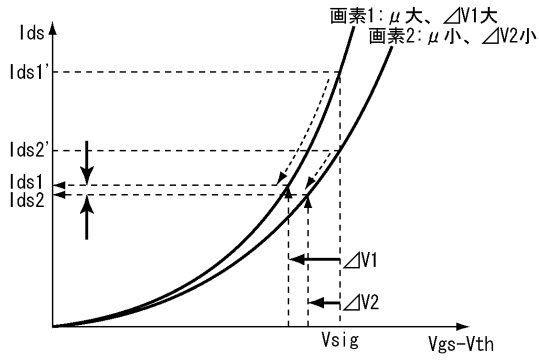
40



【図5】

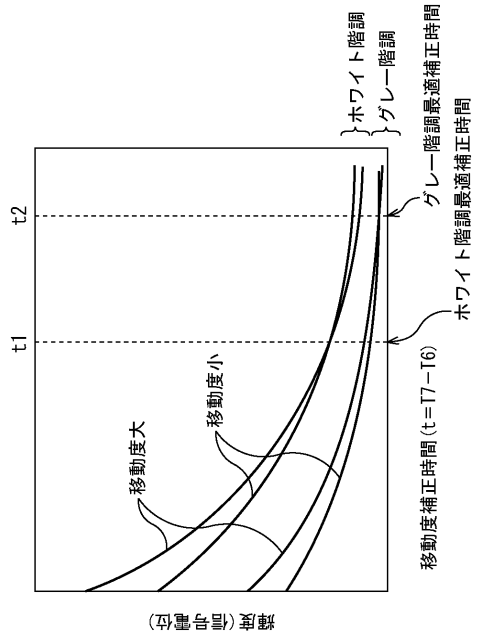


【図6】

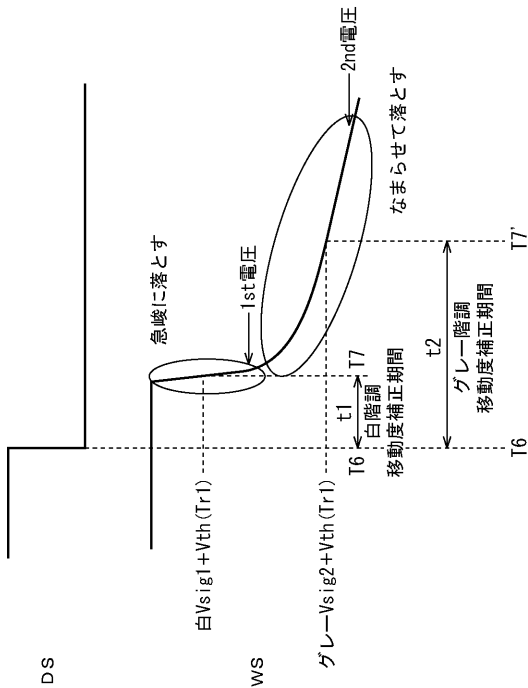


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

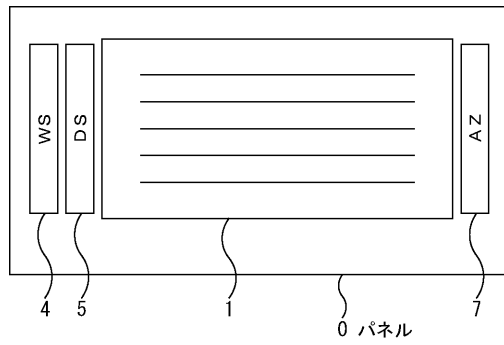
【図7】



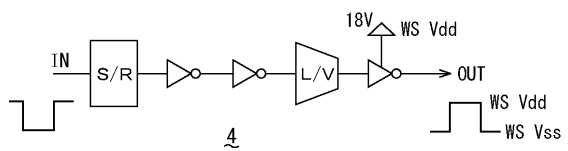
【図8】



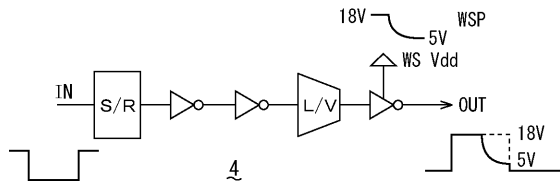
【図9】



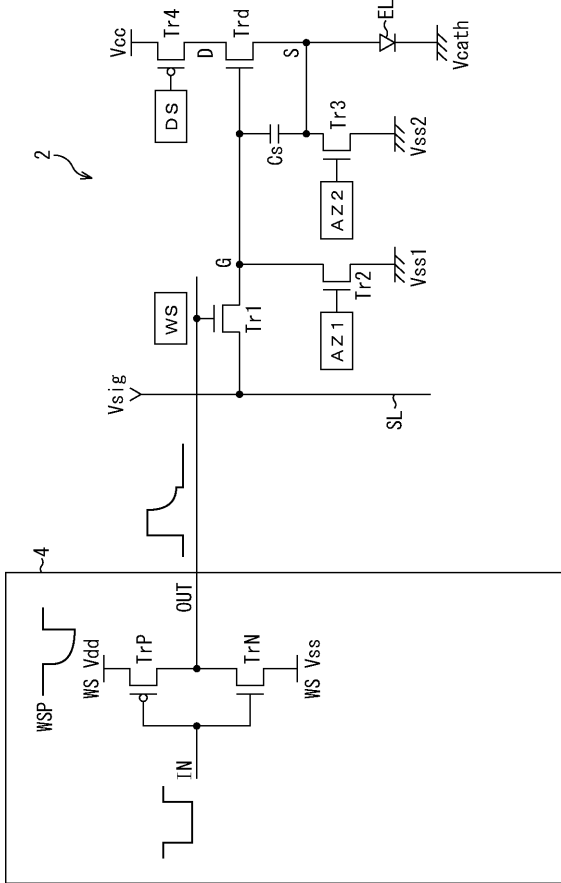
【図10】



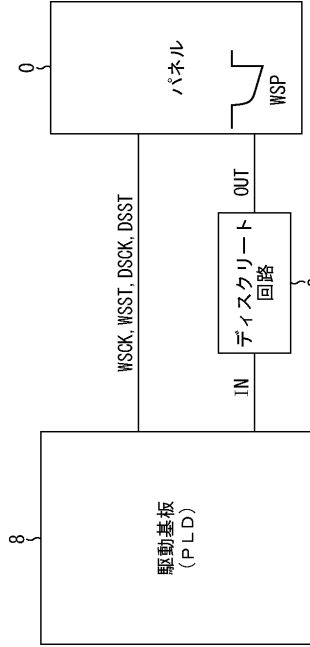
【図11】



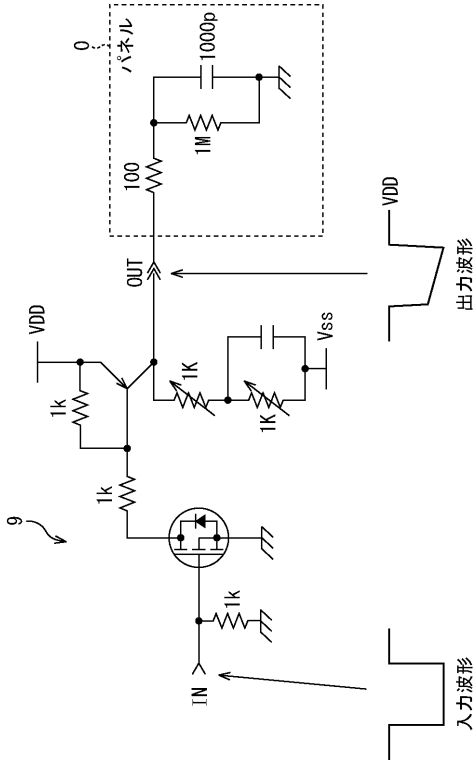
【図12】



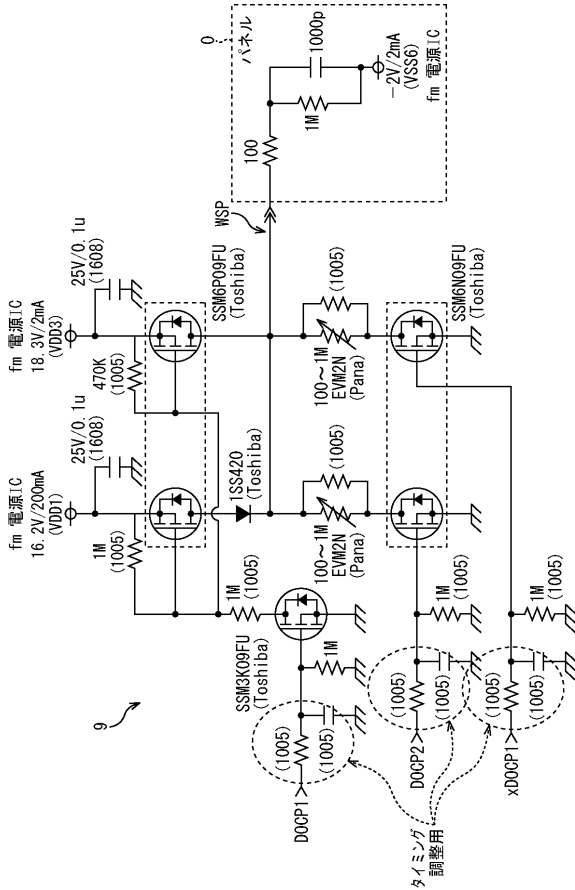
【図13】



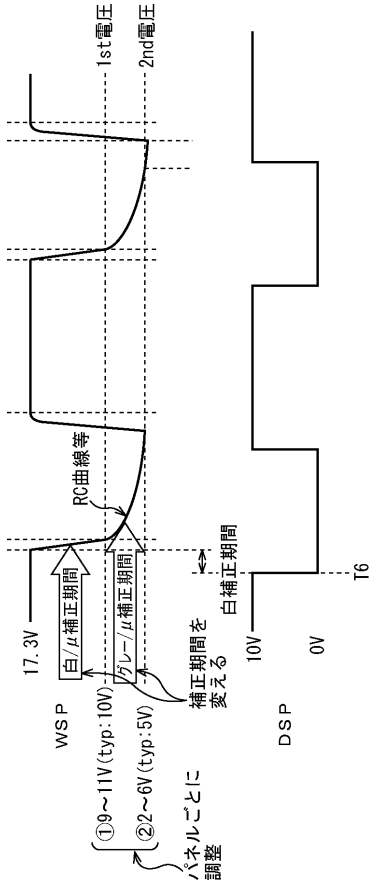
【図14】



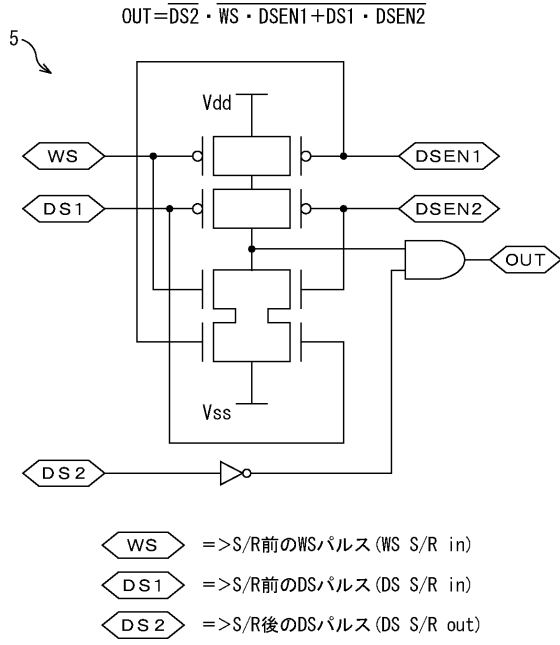
【図15】



【図16】

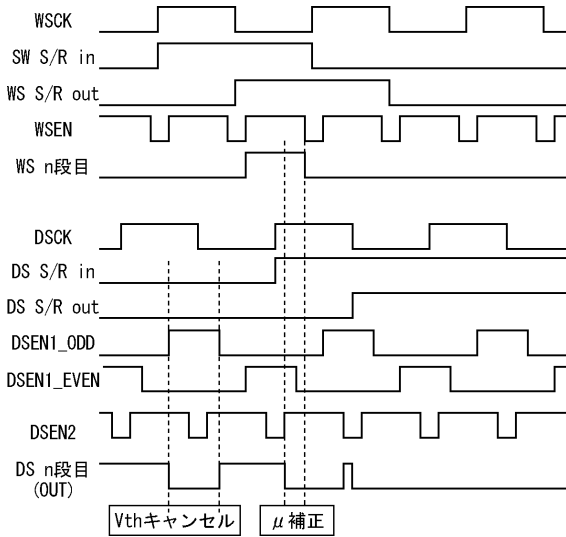


【図17】



- WS =>S/R前のWSパルス (WS S/R in)
- DS1 =>S/R前のDSパルス (DS S/R in)
- DS2 =>S/R後のDSパルス (DS S/R out)

【図18】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 1 2 U
H 0 5 B	33/14	A

審査官 後藤 亮治

(56)参考文献 特開2007-310311(JP,A)  
特開2005-345722(JP,A)  
特開2005-172917(JP,A)  
特開2005-345723(JP,A)  
特開2006-038965(JP,A)  
特開2003-271095(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8