



República Federativa do Brasil
Ministério da Indústria, Comércio Exterior
e Serviços
Instituto Nacional da Propriedade Industrial

(11) PI 0207274-2 B1

(22) Data do Depósito: 15/02/2002

(45) Data de Concessão: 05/07/2016



(54) Título: ARQUITETURA DE RECEPTOR DE CONVERSÃO DIRETA

(51) Int.Cl.: H04L 27/38; H04L 27/22

(30) Prioridade Unionista: 16/02/2001 US 60/269,623, 21/12/2001 US 10/034,734

(73) Titular(es): QUALCOMM INCORPORATED

(72) Inventor(es): TAO LI, CHRISTIAN HOLENSTEIN, INYUP KANG, BRETT C. WALKER, PAUL E. PETERZELL, RAGHU CHALLA, MATTHEW L. SEVERSON, ARUN RAGHUPATHY, GILBERT C. SIH

"ARQUITETURA DE RECEPTOR DE CONVERSÃO DIRETA"**FUNDAMENTO**Campo

[001] A presente invenção refere-se, de modo geral, a circuitos eletrônicos e mais especificamente a uma arquitetura de receptor de conversão descendente (downconversion) direta para utilização em um sistema de comunicação sem fio (por exemplo, CDMA).

Fundamentos

[002] Em um sistema CDMA, dados a serem transmitidos são inicialmente processados para gerar um sinal modulado de radiofrequência (RF) que é mais apropriado para transmissão através de um canal de comunicação sem fio. O sinal modulado de RF é a seguir transmitido através do canal de comunicação para um ou mais receptores planejados, que podem ser terminais no sistema CDMA. O sinal transmitido é afetado por diversos fenômenos de transmissão, tais como desvanecimento e multipercurso. Estes fenômenos resultam no sinal modulado de RF sendo recebido nos terminais a uma faixa larga de níveis de potência de sinal, que podem ser de 100 dB ou mais.

[003] Em um determinado terminal, o sinal transmitido é recebido, condicionado e convertido descendentemente (downconverted) para banda base por uma unidade receptora front-end. Convencionalmente, a conversão descendente em frequência a partir da RF para banda base é efetuada com um receptor heteródino que inclui múltiplos (por exemplo, dois) estágios de conversão descendente em frequência. No primeiro estágio, o sinal recebido é convertido descendentemente a partir da RF para uma frequência intermediária (IF) em que são efetuadas tipicamente a filtragem e amplificação. E no segundo estágio, o sinal de IF é a seguir convertido descendentemente a partir da IF

para banda base onde processamento adicional é executado tipicamente para recuperar os dados transmitidos.

[004] A arquitetura de receptor heteródino provê várias vantagens. A primeira é que a frequência IF pode ser selecionada de modo que produtos de intermodulação (IM) indesejáveis, que resultam da não-linearidade nos circuitos de RF e analógicos utilizados para condicionar e converter descendentemente o sinal recebido, possam ser filtrados mais facilmente. A segunda é que múltiplos estágios de filtros e amplificadores de ganho variável (VGA) podem ser providos à RF e à IF para prover a filtragem e amplificação necessárias para o sinal recebido. Como exemplo, um amplificador de RF pode ser projetado para prover 40 dB de faixa de ganho e um amplificador de IF pode ser projetado para prover 60 dB de faixa de ganho, que cobriria coletivamente os 100 dBs de faixa dinâmica para o sinal recebido.

[005] Para determinadas aplicações, tal como para telefone celular, é altamente desejável simplificar o projeto do receptor para reduzir o tamanho e o custo. Além disso, para aplicações móveis tal como para telefone celular, é altamente desejável reduzir o consumo de energia para estender a vida da bateria entre recargas. Para estas aplicações, um receptor de conversão descendente direta (que também é conhecido como um receptor homodino ou um receptor de IF zero) pode prover estes benefícios desejados porque utiliza apenas um estágio para converter descendentemente diretamente o sinal recebido a partir da RF para banda base.

[006] São encontrados diversos desafios no projeto de um receptor de conversão descendente direta. Por exemplo, porque não existe sinal de IF no receptor de conversão descendente direta, a faixa de ganho (por exemplo, 60 dB) provida normalmente pelo amplificador de IF no receptor heteródino poderá precisar ser provida alternativamente ou

na RF ou na banda base no receptor de conversão descendente direta. Para evitar colocar exigências adicionais nos circuitos de RF e para reduzir o custo e complexidade de circuito, esta faixa de ganho IF pode ser provida na banda base. Porém, caso a faixa de ganho da banda base seja provida digitalmente depois da conversão analógica/digital, o sinal em banda base provido ao conversor analógico/digital (ADC) poderia ter amplitude menor uma vez que o ganho é provido digitalmente depois do ADC. O offset de DC no sinal em banda base tornar-se-ia então uma consideração mais crítica no receptor de conversão descendente direta porque a amplitude do sinal em banda base é menor e o offset de DC pode representar uma porcentagem muito maior da amplitude do sinal.

[007] Existe, portanto, uma demanda na técnica por uma arquitetura de receptor de conversão descendente direta capaz de prover o ganho de sinal requerido e a correção do offset de DC.

Sumário

[008] Os aspectos da invenção provêm uma arquitetura de receptor de conversão descendente direta que possui um loop de DC para remover o offset de DC a partir das componentes de sinal antes e depois da conversão analógica/digital, um amplificador digital de ganho variável (DVGA) para prover uma faixa de ganhos, um loop de controle de ganho automático (AGC) para prover controle de ganho para os circuitos de RF/analógico e o DVGA; e uma unidade de interface de barramento serial (SBI - Serial Bus Interface) para prover controles para os circuitos de RF/analógico utilizando uma interface serial compacta.

[009] Em um aspecto, um DVGA é provido para utilização no receptor de conversão descendente direta. O DVGA pode prover a faixa requerida de ganhos necessários para levar em conta todas ou uma parte da faixa dinâmica total do sinal recebido (isto é, a parte não considerada pelos

circuitos de RF/analógico). O projeto do DVGA e a colocação do DVGA dentro da arquitetura de receptor de conversão descendente direta podem ser implementados vantajosamente como descrito neste relatório.

[0010] Em outro aspecto, o modo operacional do loop de VGA é selecionado com base, em parte, no modo operacional do loop de DC. Uma vez que estes dois loops operam (diretamente ou indiretamente) nas mesmas componentes de sinal, eles interagem um com o outro. São providas técnicas neste relatório para um loop para sinalizar um evento que pode impactar no desempenho do outro loop, de forma que o outro loop possa gerenciar apropriadamente o evento para minimizar degradação de desempenho. Como exemplo, caso o loop de DC seja operado em um modo de aquisição para remover rapidamente grandes offsets de DC, podem ser produzidos grandes picos de DC que podem ter diversos efeitos danosos no loop de AGC, então este evento é disparado (triggered) e o loop de AGC pode a seguir ser operado em um modo de baixo ganho ou pode ser completamente congelado para minimizar os efeitos dos picos de DC na operação do loop de AGC.

[0011] Em ainda outro aspecto, a duração de tempo do loop de DC é inversamente proporcional à largura de banda do loop de DC no modo de aquisição. A largura de banda do loop de DC é projetada para ser mais larga no modo de aquisição para permitir que o loop de DC responda mais rapidamente e remova o offset de DC nas componentes de sinal. Porém, a largura de banda do loop mais largo também resulta em mais ruído de loop gerado pelo loop de DC. Para limitar a quantidade de ruído total (que inclui o pico DC a ser corrigido e o ruído de loop) e ainda permitir ao loop de DC operar em largura de banda alta, a duração de tempo na qual o loop de DC opera no modo de aquisição pode ser ajustada como inversamente proporcional à largura de banda do loop. Considerando que uma largura de banda de loop mais

larga possa corrigir mais rapidamente o offset de DC, uma quantidade menor de tempo gasto no modo de aquisição melhora o desempenho.

[0012] Em ainda outro aspecto da invenção, os controles para alguns ou todos os circuitos de RF/analógico são providos através de um barramento serial. A utilização de um barramento serial padrão para controlar funções de RF/analógico provê muitas vantagens, tal como reduzir o número pinos, layout de placa simplificado, custo reduzido, e assim por diante. O barramento serial pode ser projetado com diversas características para prover os controles mais efetivamente. Como exemplo, múltiplos canais de requisição de hardware podem ser suportados (por exemplo, um canal para cada circuito a ser controlado individualmente), cada canal pode ser associado a uma respectiva prioridade e podem ser transmitidas mensagens em cada canal que utiliza diversos modos possíveis de transferência de dados.

[0013] São descritos diversos aspectos e modalidades da invenção em maiores detalhes abaixo. A invenção provê adicionalmente métodos, processadores de sinais digitais, unidades de receptor e outros equipamentos e elementos que implementam diversos aspectos, modalidades e características da invenção, como descrito em maiores detalhes abaixo.

Breve Descrição Dos Desenhos

[0014] As características, natureza e vantagens da presente invenção ficarão mais aparentes diante da descrição detalhada abaixo quando tomada em conjunto com os desenhos nos quais referências similares identificam caracteres correspondentes e em que:

[0015] A Figura 1 é um diagrama de blocos de uma modalidade de uma unidade receptora capaz de implementar diversos aspectos e modalidades da invenção;

[0016] A Figura 2A é um diagrama de blocos de uma modalidade de um conversor de descida (downconverter) direto;

[0017] A Figura 2B é um diagrama de blocos de uma modalidade de um cancelador de offset de DC;

[0018] A Figura 3 é um diagrama de blocos de uma modalidade de um amplificador digital de ganho variável (DVGA);

[0019] A Figura 4A é um diagrama de blocos de uma unidade de loop de AGC;

[0020] A Figura 4B é um diagrama de blocos de uma unidade de controle AGC; e

[0021] A Figura 4C é um diagrama de uma função de transferência de ganho exemplar para os circuitos de RF/analógico.

Descrição Detalhada

[0022] A Figura 1 é um diagrama de blocos de uma modalidade de uma unidade receptora 100 capaz de implementar diversos aspectos e modalidades da invenção. A unidade receptora 100 pode ser implementada dentro de um terminal ou em uma estação base de um sistema de comunicação sem fio (por exemplo, CDMA). Para maior clareza, diversos aspectos e modalidades da invenção são descritos para uma implementação de receptor em um terminal. Também para maior clareza, são providos neste relatório valores de projeto específicos, mas também podem ser utilizados outros valores de projeto e estão dentro do escopo da invenção.

[0023] Na Figura 1, um ou mais sinais modulados em RF transmitidos a partir de um ou mais transmissores (por exemplo, estações bases, satélites GPS, estações de broadcast, e assim por diante) são recebidos por uma antena 112 e providos a um amplificador (Amp) 114. O amplificador 114 amplifica o sinal recebido com um ganho específico para

prover um sinal de RF amplificado. O amplificador 114 pode compreender um ou mais estágios de amplificador de baixo ruído (LNA - Low Noise Amplifier) projetados para prover uma faixa específica de ganhos e/ou atenuação (por exemplo, 40 dB a partir do ganho máximo para atenuação). O ganho específico de amplificador 114 pode ser determinado por uma mensagem de controle de ganho provida por uma unidade de interface de barramento serial (SBI) 150 através de um barramento serial 152. O sinal de RF amplificado é a seguir filtrado por um filtro de recepção 116 para remover ruído e sinais espúrios; e o sinal de RF filtrado é provido a um conversor descendente direto 120.

[0024] O conversor descendente direto 120 executa a conversão descendente em quadratura direta do sinal de RF filtrado a partir da RF para banda base. Isto pode ser atingido mediante multiplicação do (ou misturando o) sinal de RF filtrado com o sinal de oscilador local (LO) complexo para prover um sinal em banda base complexo. Em particular, o sinal de RF filtrado pode ser misturado com um sinal LO em fase para prover uma componente de banda base em fase (I) e misturado com um sinal LO em quadratura para prover uma componente de banda base em quadratura (Q). O misturador utilizado para efetuar a conversão descendente direta pode ser implementado com múltiplos estágios que podem ser controlados para prover ganhos diferentes, como descrito abaixo. Neste caso, o ganho específico a ser provido pelo misturador também pode ser determinado por outra mensagem de controle de ganho provida pela unidade SBI 150 através do barramento serial 152, como mostrado na Figura 1. As componentes da banda base I e Q são a seguir providas a um ou mais conversores analógico/digitais (ADCs) 122.

[0025] Os ADCs 122 digitalizam as componentes da banda base I e Q para prover amostras I e Q, respectivamente. Os ADCs 122 podem ser implementados com diversos projetos de

ADC, tal como com moduladores sigma-delta capazes de filtrar e a seguir sobreamostrar as componentes de banda base I e Q em múltiplas vezes (por exemplo, 16) a taxa de chip das componentes de banda base (que é de 1,2288 Mcps para o padrão IS-95). A sobreamostragem permite aos ADCs prover uma faixa dinâmica mais alta e adicionalmente permite que as amostras I e Q sejam providas com número menor de bits para uma determinada precisão. Em uma modalidade específica, os ADCs 122 provêem amostras de 2 bits I e Q a 16 vezes a taxa de chip (isto é, chip x 16). Outros tipos de ADCs também podem ser utilizados e estão dentro do escopo da invenção. As amostras I e Q são providas a partir dos ADCs 122 para um filtro digital 124.

[0026] O filtro digital 124 filtra as amostras I e Q para prover amostras I e Q filtradas, respectivamente. O filtro digital 124 pode executar qualquer número de funções tal como filtragem de rejeição de imagem, filtragem de coincidência de pulso de banda base, decimação, conversão de taxa de amostragem, e assim por diante. Em uma modalidade específica, o filtro digital 124 provê amostras I e Q filtradas de 18 bits a chip x 8 a um cancelador de offset de DC 130.

[0027] O cancelador de offset de DC 130 remove o offset de DC nas amostras I e Q filtradas para prover amostras I e Q com offset de DC corrigido, respectivamente. Em uma modalidade específica, o cancelador de offset de DC 130 implementa dois loops de correção de offset de DC que tentam remover offsets de DC em dois locais diferentes no percurso de sinal recebido - um em banda base depois da conversão descendente em frequência através do conversor descendente direto 120 e outro depois da filtragem digital pelo filtro 124. A correção de offset de DC é descrita em detalhes adicionais abaixo.

[0028] Um amplificador digital de ganho variável (DVGA) 140 a seguir amplifica digitalmente as amostras I e Q com

offset de DC corrigido para prover dados I e Q para processamento subsequente por um demodulador digital 144. Em uma modalidade específica, o DVGA 140 provê dados I e Q de 4 bits a chip x 8.

[0029] O demodulador digital 144 demodula os dados I e Q para prover dados demodulados, que podem a seguir ser providos a um decodificador subsequente (não mostrado na Figura 1). O demodulador 144 pode ser implementado como um receptor RAKE que pode processar concomitantemente múltiplos casos de sinal no sinal recebido. Para o CDMA, cada ramo (finger) do receptor RAKE pode ser projetado para (1) rotacionar os dados I e Q com um sinal senoidal complexo para remover offset de frequência nos dados I e Q, (2) espalhar inversamente (despread) os dados I e Q rotacionados com uma sequência de ruído pseudo-aleatório (PN) complexa utilizada no transmissor, (3) descobrir os dados I e Q espalhados inversamente com o código de canalização (por exemplo, um código Walsh) utilizado no transmissor; e (4) demodular os dados I e Q descobertos com um piloto recuperado a partir do sinal recebido. O filtro digital 124, o cancelador de offset de DC 130, o DVGA 140, e o demodulador digital 144 podem ser implementados dentro de um ou mais circuitos integrados (ICs), por exemplo, dentro de um único processador de sinal digital.

[0030] Uma unidade de loop de controle de ganho automático (AGC) 142 recebe os dados I e Q a partir do DVGA 140 e um sinal DC_loop_mode a partir do cancelador de offset de DC 130; e provê os ganhos para diversos elementos de ganho de variável dentro da unidade receptora 100. Em uma modalidade, os ganhos para o amplificador 114 e para o conversor descendente direto 120 são providos para a unidade SBI 150, que a seguir provê as mensagens de controle de ganho apropriadas para estes elementos através do barramento serial 152. O ganho para o DVGA 140 é provido diretamente ao DVGA depois de levar em conta o atraso

proveniente da entrada de sinal de RF para a entrada do DVGA. A unidade de loop de AGC 142 provê os ganhos apropriados para o amplificador 114, para o conversor descendente direto 120, e para o DVGA 140 de modo que a amplitude desejada para os dados I e Q seja alcançada. O loop de AGC é descrito em detalhes adicionais abaixo.

[0031] Um controlador 160 ordena várias operações de unidade receptora 100. Como exemplo, o controlador 160 pode ordenar a operação do cancelamento de offset de DC, o loop de AGC, o DVGA, a SBI, e assim por diante. Uma memória 162 provê armazenamento para dados e códigos de programa para o controlador 160.

[0032] Em um projeto de receptor típico, o condicionamento do sinal recebido pode ser executado por um ou mais estágios de amplificador, filtro, misturador, e assim por diante. Por exemplo, o sinal recebido pode ser amplificado por um ou mais estágios LNA. Adicionalmente, a filtragem pode ser provida antes e/ou depois dos estágios LNA e também pode ser executada tipicamente depois da conversão descendente em frequência. Para simplicidade, estes diversos estágios de condicionamento de sinal são reunidos nos blocos mostrados na Figura 1. Também podem ser utilizados outros projetos de receptor de RF e estão dentro do escopo da invenção. O Amplificador 114, o conversor descendente direto 120, e os ADCs 122 formam uma unidade front-end de RF para o receptor de conversão descendente direta.

[0033] A resolução das amostras I e Q nos diversos blocos de processamento de sinais na Figura 1 é provida para ilustração. Diferentes números de bits de resolução e diferentes taxas de amostragem também podem ser utilizados para as amostras I e Q, e estão dentro do escopo da invenção.

Correção de Offset de DC

[0034] A Figura 2A é um diagrama de blocos de um conversor descendente direto 120a, que é uma modalidade específica do conversor descendente direto 120 da Figura 1. Dentro do conversor descendente direto 120a, o sinal de RF filtrado proveniente do filtro de recepção 116 é provido a um misturador 212, que também recebe um sinal LO (complexo) proveniente de um oscilador local 218. A frequência do sinal LO pode ser controlada por um sinal de controle de frequência (que pode ser provido através do barramento serial 152 ou algumas outras linhas de sinal) e é ajustada à frequência central do sinal modulado de RF sendo recuperado. O misturador 212 a seguir executa conversão descendente em quadratura do sinal de RF filtrado com o sinal LO complexo para prover componentes em fase e em quadratura, que são a seguir providas a um somador 214.

[0035] Um conversor 220 recebe um controle de offset de DC digital, que pode ser provido pelo cancelador de offset de DC 130 através do barramento serial 152 e é designado como controle DC SBI na Figura 2A. O conversor 220 a seguir efetua a conversão digital/analógica do controle digital para gerar valores de controle de offset de DC de DC1I e DC1Q para as componentes em fase e em quadratura, respectivamente. Em uma modalidade, estes valores são utilizados para controlar a polarização atual do misturador 212 de modo que o offset de DC nas componentes de sinal possa ser ajustado indiretamente.

[0036] Os circuitos analógicos 222 recebem um controle de offset de DC analógico, que pode ser provido pelo cancelador de offset de DC 130 através de uma linha de sinal exclusiva e designada como offset de DC grosseiro na Figura 2A. Os circuitos analógicos 222 a seguir executam a filtragem e possivelmente deslocamento (shifting) e escalonamento de nível para gerar valores de offset de DC de DC2I e DC2Q para as componentes em fase e em quadratura,

respectivamente. O somador 214 a seguir subtrai os valores de offset de DC de DC2I e DC2Q a partir das componentes em fase e em quadratura, respectivamente. As componentes de saída provenientes do somador 214 são a seguir filtradas e amplificadas por um filtro passa-baixas/amplificador 216 para prover as componentes I e Q de banda base.

[0037] A Figura 2B é um diagrama de blocos de um cancelador de offset de DC 130a, que é uma modalidade específica do cancelador de offset de DC 130 na Figura 1. O cancelador de offset de DC 130a inclui os somadores 232a e 232b, as unidades de controle de loop de DC 234a e 234b, um controlador de offset de DC SBI 240 e um controlador de loop de DC 242. Em uma modalidade, a correção de offset de DC é executada separadamente para as amostras I e Q. Assim, cada um dos somadores 232a e 232b e cada uma das unidades de controle de loop de DC 234a e 234b inclui dois elementos, um para processar as amostras I e outro para processar as amostras Q.

[0038] As amostras I e Q filtradas provenientes do filtro digital 124 são providas ao somador 232a, que remove valores de offset de DC fixos de DC3I e DC3Q a partir das amostras I e Q, respectivamente. O somador 232a pode ser utilizado para remover o offset de DC que é estático (por exemplo, causado por erro de circuito e assim por diante). As saídas I e Q provenientes do somador 232a são a seguir providas ao somador 232b, que remove adicionalmente valores de offset de DC de DC4I e DC4Q (que são providos pela unidade de controle de loop de DC 234b) destas saídas I e Q para prover as amostras I e Q com offset de DC corrigido.

[0039] A unidade de controle de loop de DC 234a recebe as saídas I e Q provenientes do somador 232a, determina os offsets de DC nestas saídas e provê o controle DC grosseiro para os circuitos analógicos 222 dentro do conversor descendente direto 120a. A unidade de controle de loop de DC 234b recebe de modo similar as saídas I e Q provenientes

do somador 232b, determina os offsets de DC nestas saídas e provê os valores de offset de DC de DC4I e DC4Q para o somador 234b. Cada unidade de controle de loop de DC 234 é implementada com um elemento de ganho 236 acoplado a um acumulador 238. O elemento de ganho 236 multiplica a amostra I ou Q de saída por um ganho específico (ganho DC 1 para a unidade 234a e ganho DC 2 para a unidade 234b) selecionado para aquele loop. O acumulador 238 a seguir acumula a amostra I ou Q escalonada para prover o controle de offset de DC para aquele loop.

[0040] O somador 214 dentro do conversor descendente direto 120a e a unidade de controle de loop de DC 234a implementam um loop de DC de variação grosseira (coarse-grain) que remove o offset de DC nas componentes de banda base depois da conversão descendente direta através do misturador 212. O somador 232b e a unidade de controle de loop de DC 234b implementam um loop de DC de variação refinada (fine-grain) que remove o offset de DC que ainda permanece depois do loop de DC de variação grosseira. Como insinuam os seus nomes, o loop de DC de variação refinada possui resolução maior que o loop de DC de variação grosseira.

[0041] O controlador de offset de DC SBI 240 determina periodicamente o controle de offset de DC SBI com base em diversos fatores tais como temperatura, os ganhos do amplificador 114 e do misturador 212, tempo, direção (drift), e assim por diante. O controle de offset de DC SBI é a seguir provido através do barramento serial 152 para o conversor 220, que a seguir gera os valores de controle de offset de DC correspondentes de DC1I e DC1Q para o misturador 212.

[0042] Uma implementação da correção de offset de DC para um receptor de conversão descendente direta, tal como o mostrado na Figura 1, é descrito em detalhes adicionais no Pedido de Patente US 2003/0199264, intitulado "Direct

Current Offset Cancellation for Mobile Station Modems Using Direct Downconversion”.

[0043] Os quatro conjuntos de valores de offset de DC (DC1I e DC1Q, DC2I e DC2Q, DC3I e DC3Q; e DC4I e DC4Q) representam quatro mecanismos diferentes que podem ser utilizados individualmente ou em combinação para prover a correção de offset de DC requerida para o receptor de conversão descendente direta. O loop de DC de variação grosseira (que provê os valores de DC2I e DC2Q) e o loop de DC de variação refinada (que provê os valores de DC4I e DC4Q) podem ser operados para remover dinamicamente o offset de DC nas componentes de sinal I e Q. O somador 232a (que subtrai os valores de DC3I e DC3Q) pode ser operado para remover offset de DC estático. E o controlador de offset de DC SBI 240 (que provê os valores de DC1I e DC1Q) pode ser utilizado para remover offset de DC dinâmico e/ou estático offset nas componentes de sinal.

[0044] Em uma modalidade, cada um dos loops de DC de variação grosseira e de variação refinada suporta dois modos operacionais - um modo de aquisição e um modo de rastreamento. O modo de aquisição é utilizado para remover offset de DC extenso mais rapidamente do que pode ter sido introduzido nas componentes de sinal como um resultado de (1) uma mudança de etapa nos ganhos dos circuitos de RF/analógico tal como o amplificador 114 e/ou o misturador 212, ou (2) todo o loop de DC executando uma atualização DC periódica, que pode resultar em novos valores de DC1 e/ou DC3 sendo provido ao misturador 212 e/ou somador 232a, ou (3) ou qualquer outra razão, respectivamente. O modo de rastreamento é utilizado para efetuar a correção de offset de DC de uma forma normal e sua resposta é mais lenta que aquela do modo de aquisição. Modos operacionais diferentes ou adicionais também podem ser suportados e estão dentro do escopo da invenção. Os modos de aquisição e rastreamento podem corresponder a dois valores de ganho de loop de DC

diferentes para ganho DC 1 e a dois valores de ganho de loop de DC diferentes para ganho DC 2.

[0045] Por simplicidade, os loops de DC de variação grosseira e de variação refinada são referidos coletivamente como simplesmente o "loop de DC". O sinal de controle DC_loop_mode indica o modo operacional atual do loop de DC. Como exemplo, o sinal de controle DC_loop_mode pode ser ajustado para nível lógico alto para indicar que o loop de DC está operando no modo de aquisição e para nível lógico baixo para indicar que está operando no modo de rastreamento.

VGA Digital

[0046] Um aspecto da invenção provê um DVGA para utilização em um receptor de conversão descendente direta. O DVGA pode prover a faixa requerida de ganhos necessária para levar em conta toda ou uma parte da faixa dinâmica total para o sinal recebido (isto é, a parte não levada em conta pelos circuitos de RF/analógico). A faixa de ganho do DVGA pode assim ser utilizada para prover o ganho provido previamente a frequência intermediária (IF) em um receptor heteródino. O projeto do DVGA e a colocação do DVGA dentro da arquitetura de receptor de conversão descendente direta podem ser implementados vantajosamente como descrito abaixo.

[0047] A Figura 3 é um diagrama de blocos de um DVGA 140a capaz de prover ganho de banda base digital para as amostras I e Q. O DVGA 140a é uma modalidade específica do DVGA 140 da Figura 1.

[0048] Dentro do DVGA 140a, as amostras I e Q com offset de DC corrigido provenientes do cancelador de offset de DC 130 são providas a um multiplexador (MUX) 312 e a uma unidade de truncamento 320. Para minimizar o hardware, apenas um multiplicador digital 316 é utilizado para efetuar a multiplicação de ganho para ambas as amostras I e

Q de uma forma multiplexada por divisão de tempo (TDM). Assim, o multiplexador 312 provê alternativamente uma amostra I e a seguir uma amostra Q (como determinado por um sinal de controle IQ_sel) para o multiplicador 316 através de uma porta AND 314. O sinal de controle IQ_sel é simplesmente uma onda quadrada à taxa de amostragem I e Q (por exemplo, chip x 8) e possuindo a fase apropriada (por exemplo, nível lógico baixo para as amostras I). A porta AND 314 efetua uma operação AND da amostra I ou Q com um sinal de controle DVGA_enb, que é ajustado para nível lógico alto caso o DVGA seja habilitado e ajustado para nível lógico baixo caso o DVGA seja contornado (bypassed). Como exemplo, o DVGA pode ser contornado caso a faixa de ganho do DVGA não seja necessária ou caso a faixa de ganho seja provida por circuitos analógicos (por exemplo, um amplificador de ganho variável). A porta AND 314, a seguir, passa a amostra ao multiplicador 316 caso o DVGA seja habilitado e provê um zero caso contrário. O zero reduz consumo de energia pelos circuitos subsequentes mediante eliminação de transições que consomem energia nos circuitos CMOS.

[0049] O multiplicador 316 multiplica a amostra I ou Q proveniente da porta AND 314 com um ganho proveniente de um registrador 344 e provê a amostra escalonada (ou amplificada) para uma unidade de truncamento 318. Em uma modalidade específica, o multiplicador 316 é operado no dobro da taxa de amostragem que é chip x 16 para a taxa de amostragem I/Q de chip x 8. Em uma modalidade específica, para CDMA e GPS, as amostras I e Q de entrada têm 18 bits de resolução com 10 bits de resolução à direita do ponto binário (isto é, 18Q10), o ganho tem 19 bits de resolução com 12 bits de resolução à direita do ponto binário (isto é, 19Q12), e as amostras escalonadas têm 37 bits de resolução com 22 bits de resolução à direita do ponto binário (isto é, 37Q22). Em uma modalidade específica, para

FM ou DFM digital, as amostras I e Q de entrada têm uma resolução de 18Q6, o ganho tem uma resolução de 19Q12, e as amostras escalonadas têm uma resolução de 37Q18. A unidade de truncamento 318 trunca os bits menos significativos (LSBs - Least Significant Bits) (por exemplo, 18) de cada amostra escalonada e provê a amostra truncada (possuindo uma resolução de 18Q4 para CDMA/GPS e de 18Q0 para DFM) para uma entrada de um multiplexador 322.

[0050] Para determinados modos operacionais do receptor, o escalonamento digital pelo DVGA 140a não é necessário e as amostras de entrada I e Q podem ser encaminhadas à saída do DVGA sem qualquer escalonamento (depois do processamento apropriado para obter o formato de dados de saída desejado). A unidade de truncamento 320 trunca os LSBs (por exemplo, 6) de cada amostra de entrada e provê a amostra truncada à outra entrada do multiplexador 322. A unidade de truncamento 320 assegura que os dados I e Q de saída tenham a mesma resolução independentemente de se o DVGA está habilitado ou foi contornado.

[0051] O multiplexador 322 a seguir provê a amostra truncada a partir da unidade de truncamento 318 ou 320 dependendo de se o DVGA está habilitado ou foi contornado, respectivamente, o que é determinado pelo sinal de controle DVGA_enb. A amostra selecionada é a seguir provida a uma unidade de saturação 324, que satura a amostra para o formato de dados de saída desejado, por exemplo, uma resolução de 8Q4 para CDMA/GPS e 8Q0 para DFM. A amostra saturada é a seguir provida a um elemento de atraso 326 e para uma entrada de um registrador 328. O elemento de atraso 326 provê meio período de amostragem de atraso para alinhar os dados I e Q (que foram alinhados em meio período de amostragem para implementar a multiplexação por divisão de tempo para o multiplicador 316) e provê a amostra I retardada à outra entrada de registrador 328. O registrador 328 a seguir provê os dados I e Q, com a temporização

alinhada ao sinal de controle IQ_sel. Para o CDMA/GPS, os quatro bits mais significativos (MSBs) dos dados I e Q (isto é, com uma resolução de 4Q0) são enviados ao próximo bloco de processamento. E para o DFM, os dados I e Q (isto é, com uma resolução de 8Q0) são enviados diretamente a um bloco de processamento FM.

[0052] A unidade receptora 100 pode ser utilizada para várias aplicações tal como receber dados a partir de um sistema CDMA, um sistema GPS, um sistema FM digital (DFM – Digital FM), e assim por diante. Cada uma de tal aplicação pode ser associada a um sinal recebido respectivo possuindo algumas características específicas e requerendo algum ganho específico. Como mostrado na Figura 3, os três ganhos diferentes a serem utilizados para CDMA, GPS e DFM são providos a um multiplexador 332. Um dos ganhos é a seguir selecionado com base em um sinal de controle Mode_sel. O ganho selecionado é a seguir provido a um escalonamento de ganho e à unidade de offset 334, que também recebe um offset de ganho.

[0053] O escalonamento de ganho e a unidade de offset 334 escala o ganho selecionado (CDMA, GPS ou DFM) com um fator de escalonamento apropriado de modo a atingir a resolução de ganho desejada. Como exemplo, o ganho CDMA pode ser provido com um número fixo de bits (por exemplo, 10 bits) que cobre uma das diversas faixas de ganho possíveis (por exemplo, faixas de ganho de 102,4 dB e 85,3 dB para o ganho CDMA de 10 bits), dependendo do modo específico utilizado para o CDMA. O fator de escalonamento é a seguir selecionado de modo que o ganho CDMA escalonado possua a mesma resolução de ganho (por exemplo, 0,13 dB) independentemente do modo específico utilizado para o CDMA. O escalonamento de ganho e a unidade de offset 334 subtrai adicionalmente o offset de ganho proveniente do ganho escalonado. O offset de ganho é determinado com base em um set point selecionado para os ADCs 122 que por sua vez,

determina a potência média das componentes de banda base I e Q providas aos ADCs. O offset de ganho pode ser um valor programável possuindo a mesma resolução como o ganho escalonado e pode ser provido pelo controlador 160.

[0054] Um multiplexador 336 recebe o ganho escalonado e com deslocado (offsetted) da unidade 334 e um ganho excedente e provê um dos ganhos (com base em um sinal de controle Gain_override) para uma unidade de saturação 338. O ganho excedente pode ser utilizado ao invés do ganho proveniente do loop de VGA, caso seja desejado contornar o loop de VGA. A unidade de saturação 338 a seguir satura o ganho recebido (por exemplo, para 9 bits) para limitar a faixa do ganho saturado (por exemplo, para 68,13 dB de faixa de ganho total para 9 bits, com 0,133 dB de resolução para cada bit). Uma porta AND 340 a seguir executa uma operação AND no ganho saturado com o sinal de controle DVGA_enb e passa o ganho saturado para uma tabela de consulta (LUT) dB para linear 342 caso o DVGA seja habilitado ou um zero caso contrário (novamente, para reduzir o consumo de energia pelos circuitos subsequentes).

[0055] Em uma modalidade, o loop de AGC provê o valor de ganho (por exemplo, o ganho CDMA) no formato logarítmico (dB). O valor de ganho dB pode ser utilizado para imitar as características de circuitos de ganho variável RF/analógico, que tipicamente possuem funções de transferência log (ou semelhantes a log) para o ganho versus valor de controle. Em segundo lugar, o ganho recebido é utilizado como uma estimativa para a potência de transmissão requerida em um telefonema CDMA e para relatar a potência recebida à estação base quando requisitada. Estas estimativas são tradicionalmente realizadas em dB dada a faixa dinâmica larga do sinal recebido. Porém, uma vez que um multiplicador digital linear 316 é utilizado para prover a multiplicação de ganho de banda base, o valor de ganho dB é traduzido a um valor de ganho linear. A

tabela de consulta 342 executa a tradução dB para linear com base em uma fórmula, a qual pode ser expressa como:

$$Y(\text{linear}) = 10^{X/20}, \quad \text{Eq. (1)}$$

em que Y é o valor de ganho linear da tabela de consulta e X é um valor de atenuação, o qual pode ser definido como:

$$X = -(Z(\text{dB}) + \text{offset}), \quad \text{Eq. (2)}$$

em que Z é o valor de ganho em dB provido à tabela de consulta e o offset na equação (2) pode ser utilizado para compensar o truncamento efetuado na unidade 334 (por exemplo, offset = 0,067 dB para um truncamento de 4 bits). Outras técnicas para converter valor de ganho dB para valor de ganho linear também podem ser utilizadas e estão dentro do escopo da invenção. O valor de ganho linear proveniente da LUT 342 é a seguir sincronizado (clocked) através do registrador 344 para alinhar a temporização do valor de ganho com aquele da amostra I ou Q provida ao multiplicador 316.

[0056] O loop de AGC também pode ser projetado para operar com base em valores de ganho linear (em vez de dB) e está dentro do escopo da invenção.

[0057] Fazendo referência novamente à Figura 1, o DVGA 140 é colocado depois do cancelador de offset de DC 130 e fora do loop de DC no receptor de conversão descendente direta 100. Esta localização do DVGA provê várias vantagens e adicionalmente evita várias desvantagens. Em primeiro lugar, caso o DVGA seja colocado dentro do loop de DC, qualquer offset de DC será amplificado pelo ganho do DVGA, que a seguir exacerbaria a degradação causada pelo offset de DC. Em segundo lugar, o ganho de loop de DC também incluiria o ganho do DVGA, que varia dependendo da intensidade de sinal recebida. Uma vez que este ganho de loop de DC afeta diretamente (ou determina) a largura de banda do loop de DC, a largura de banda de loop de DC

variaria junto com o ganho do DVGA, que é um efeito indesejável. A largura de banda de loop de DC pode ser mantida aproximadamente constante mediante mudança dinâmica do ganho de loop de DC (isto é, ganhos DC 1 e 2 dentro das unidades de loop de DC 234a e 234b) de uma forma inversa para qualquer mudança no ganho do DVGA, de modo que o ganho de loop de DC global seja mantido constante. Porém, isto complicaria adicionalmente o projeto dos mecanismos de correção de offset de DC. Além disso, o offset de DC residual é variável quando referenciado à potência de sinal real.

[0058] Colocando o DVGA 140 vantajosamente depois do cancelador de offset de DC 130 e fora do loop de DC, a correção de offset de DC pelo loop de DC pode ser desacoplada do escalonamento de ganho de sinal pelo DVGA. Além disso, a implementação do DVGA no domínio digital depois dos ADCs 122 simplifica adicionalmente o projeto dos circuitos de RF/analógico, que pode conduzir a custo reduzido para o receptor de conversão descendente direta. Uma vez que o ganho digital é provido depois dos ADCs 122, a amplitude das componentes de sinal provida aos ADCs poderia ser potencialmente menor, o que requereria maior faixa dinâmica para o processo de conversão analógico/digital de modo que o ruído ADC não degrade significativamente a SNR das amostras I e Q quantizadas. Os ADCs com faixa dinâmica alta podem ser providos mediante sobreamostragem dos moduladores sigma-delta, como é de conhecimento da técnica.

Controle de ganho automático

[0059] A Figura 4A é um diagrama de blocos de uma unidade de loop de AGC 142a, que é uma modalidade específica da unidade de loop de AGC 142 da Figura 1. Dentro da unidade de loop de AGC 142a, os dados I e Q são providos a um indicador de intensidade de sinal recebido (RSSI - Received Signal Strength Indicator) 412, que estima

a intensidade de sinal do sinal recebido. A intensidade de sinal recebida, RSS , pode ser calculada como a seguir:

$$RSS = \sum_1^{N_E} \{I^2(i) + Q^2(i)\}, \quad \text{Eq. (3)}$$

em que $I(i)$ e $Q(i)$ represente os dados I e Q para o i -ésimo período de amostragem e N_E é o número de amostras a ser acumulado para obter a estimativa de intensidade de sinal recebida. Outras técnicas também podem ser utilizadas para estimar a intensidade do sinal recebido (por exemplo, $RSS = \sum |I_F(i)| + |Q_F(i)|$). A estimativa de intensidade do sinal recebido é a seguir provida a uma unidade de controle ADC 414.

[0060] A Figura 4B é um diagrama de blocos de uma unidade de controle AGC 414a, que é uma modalidade específica da unidade de controle AGC 414 da Figura 4A. A unidade de controle AGC 414a recebe a estimativa de intensidade de sinal recebido, RSS , a partir do RSSI 412, o sinal de controle DC_loop_mode proveniente do cancelador de offset de DC 130, um sinal de controle de não contornar/esperar (Nonbypass/hold) a partir da unidade de controle de etapa de ganho 418, uma decisão de etapa de ganho retardada proveniente de uma unidade de atraso programável 420; e um sinal de controle $Freeze_enb$ (por exemplo, proveniente do controlador 160), todos os quais são descritos em detalhes adicionais abaixo. Com base nos sinais de controle recebidos e na RSS , a unidade de controle AGC 414a provê um valor de ganho de saída que é indicativo do ganho total (G_{total}) a ser aplicado ao sinal recebido.

[0061] Em uma modalidade, o loop de AGC suporta três modos de loop - um modo normal, um modo de ganho baixo e um modo de congelamento (freeze mode). O modo normal é utilizado para prover uma largura de banda de loop de AGC nominal, o modo de ganho baixo é utilizado para prover uma

largura de banda de loop de AGC menor e o modo de congelamento é utilizado para congelar o loop de AGC. O ganho baixo e os modos normais são associados aos valores de ganho de loop de AGC de ganho AGC 1 e ganho AGC 2, respectivamente. O modo de congelamento é atingido ao zerar o valor provido para acumulação pelo acumulador de loop de AGC. Em uma modalidade, um valor de ganho de loop de AGC adicional de ganho AGC 3 é utilizado para detecção de interferência. O ganho AGC 3 é tipicamente menor que o ganho AGC 2 para o modo normal mas maior que o ganho AGC 1 para o modo de ganho baixo e é utilizado para detectar a presença de interferência nas componentes de sinal, como descrito abaixo. Modos diferentes ou adicionais também podem ser suportados pelo loop de AGC, e estão dentro do escopo da invenção.

[0062] Como observado acima, o loop de DC afeta o desempenho do loop de AGC. Assim, em um aspecto, o modo de loop de AGC específico a utilizar é dependente do (isto é, selecionado com base) no modo de loop de DC específico atualmente em utilização. Em particular, o modo normal é utilizado para o loop de AGC quando o loop de DC é operado no modo de rastreamento e o ganho baixo ou modo de congelamento é utilizado para o loop de AGC quando o loop de DC é operado no modo de aquisição.

[0063] Como mostrado na Figura 4B, o ganho AGC 2 para o modo normal e o ganho AGC 3 para a detecção de interferência é provido a um multiplexador 446, que também recebe o sinal de controle não contornar/esperar. O sinal de controle não contornar/esperar pode ser utilizado para prover histerese de tempo entre etapas de ganho, isto é, o loop de AGC é mantido em uma determinada etapa de ganho para uma quantidade específica de tempo (Tempo 1 ou Tempo 2) antes de ser permitido comutar a outra etapa de ganho (mais alta ou mais baixa).

[0064] O multiplexador 446 a seguir provê o ganho AGC 2 quando o modo normal for selecionado, que é indicado pelo controle não contornar/esperar sendo ajustado para nível lógico baixo. Alternativamente, o multiplexador 446 provê o ganho AGC 3 quando a detecção de interferência está para ser executada, que é indicado pelo controle não contornar/esperar sendo ajustado para nível lógico alto. Um multiplexador 448 recebe o ganho AGC 1 para o modo de ganho baixo e a saída proveniente do multiplexador 448 em suas duas entradas e recebe adicionalmente o sinal de controle DC_loop_mode. O multiplexador 448 a seguir provê o ganho AGC 1 para um multiplicador 442 quando o modo de ganho baixo for selecionado para o loop de AGC quando o loop de DC estiver no modo de aquisição, que é indicado pelo controle DC_loop_mode sendo ajustado para nível lógico alto. Alternativamente, o multiplexador 448 provê o ganho AGC 2 ou ganho AGC 3 para o multiplicador 442 durante o modo de rastreamento, que é indicado pelo controle DC_loop_mode sendo ajustado para nível lógico baixo.

[0065] Uma porta AND 440 recebe a estimativa de intensidade de sinal recebida, RSS, e o controle Freeze_enb. A porta AND 440 a seguir provê o RSS ao multiplicador 442 quando (1) o loop de DC for operado no modo de rastreamento ou (2) o modo de ganho baixo for utilizado para o loop de AGC quando o DC estiver operado no modo de aquisição. Alternativamente, a porta AND 440 provê um zero ao multiplicador 442 quando o loop de DC for operado no modo de aquisição e o loop de AGC estiver congelado. O zero da porta AND 440 resulta em uma acumulação de zero pelo acumulador de loop de AGC 444 quando o loop de AGC estiver congelado.

[0066] O multiplicador 442 multiplica a estimativa de intensidade de sinal recebida, RSS, com o ganho AGC selecionado a partir do multiplexador 448 e provê o resultado ao acumulador de loop de AGC 444. O acumulador

444 a seguir acumula o resultado com o valor armazenado e provê um valor de ganho de saída que é indicativo do ganho total, G_{total} , a ser aplicado ao sinal recebido para atingir o nível de sinal desejado, que é determinado pelo offset de ganho provido para o escalonamento de ganho e para a unidade de offset 334 na Figura 3. Este ganho total pode ser decomposto em duas partes - (1) um ganho grosseiro, $G_{grosseiro}$, para os circuitos de RF/analógico (por exemplo, o amplificador 114 e o misturador 212) e (2) um ganho refinado, $G_{refinado}$, para o DVGA 140. Assim o ganho total para o sinal recebido pode ser expresso como:

$$G_{total} = G_{grosseiro} + G_{refinado}, \quad \text{Eq. (4)}$$

em que G_{total} , $G_{grosseiro}$ e $G_{refinado}$ são todos dados em dB.

[0067] Como mostrado na Figura 4B, o acumulador 444 também recebe a decisão de etapa de ganho retardada, que é indicativo do ganho discreto específico a ser utilizado para os circuitos de RF/analógico, como descrito abaixo. Cada ganho discreto para os circuitos de RF/analógico pode ser associado a um conjunto respectivo de valores máximos e mínimos para a acumulação, que assegura estabilidade no loop de AGC. Para o ganho discreto específico a ser utilizado, como indicado pela decisão de etapa de ganho retardada, o conjunto apropriado de valores máximos e mínimos é utilizado para a acumulação pelo acumulador 444.

[0068] Fazendo referência novamente à Figura 4A, o controle de ganho grosseiro para os circuitos de RF/analógico é atingido ao (1) mapear o ganho total, G_{total} , em uma decisão de etapa de ganho por uma unidade de controle de etapa de ganho 418, (2) codificar a decisão de etapa de ganho nos controles de etapa de ganho apropriados por um codificador de faixa 424, (3) formatar os controles de etapa de ganho nas mensagens adequadas pela unidade SBI 150, (4) enviar as mensagens aos circuitos de RF/analógico (por exemplo, o amplificador 114 e/ou o misturador 212)

através do barramento serial 152; e (5) ajustar os ganhos dos circuitos de RF/analógico com base nas mensagens. O controle de ganho refinado é atingido ao (1) determinar o ganho refinado, G_{refinado} , para o DVGA mediante subtração do ganho grosseiro, $G_{\text{grosseiro}}$, do ganho total, G_{total} , e (2) ajustar o ganho do DVGA com base no ganho refinado. A obtenção dos ganhos grosseiros e refinados com base no ganho total é descrita abaixo.

[0069] A unidade receptora 100 pode ser projetada com o amplificador 114 possuindo múltiplos estágios (por exemplo, quatro) e o misturador 212 possuindo múltiplos estágios (por exemplo, dois). Cada estágio pode ser associado a um ganho discreto específico. Dependendo de quais estágios são ligados ou desligados, diferentes ganhos discretos podem ser atingidos. O ganho grosseiro a seguir controla os ganhos dos circuitos de RF/analógico nas etapas discretas grosseiras. O ganho discreto específico a ser utilizado para os circuitos de RF/analógico é dependente do nível de sinal recebido, dos projetos específicos destes circuitos e assim por diante.

[0070] A Figura 4C é um diagrama de uma função de transferência de ganho exemplar para os circuitos de RF/analógico (por exemplo, o amplificador 114 e o misturador 212). O eixo horizontal representa o ganho total, que é relacionado inversamente à intensidade de sinal recebida (isto é, ganho mais alto corresponde à intensidade de sinal recebida menor). O eixo vertical representa a decisão de etapa de ganho provida pela unidade de controle de etapa de ganho 418 com base no ganho total. Neste projeto exemplar específico, a decisão de etapa de ganho adota um dos cinco valores possíveis, que estão definidos na Tabela 1.

DECISÃO DE ETAPA DE GANHO	ESTADO DE CIRCUITO RF/ANALÓGI- CO	DEFINIÇÃO
000	Primeiro	ganho mais baixo – todos os estágios LNA estão desligados; o misturador está em ganho baixo
001	Segundo	segundo ganho mais baixo – todos os estágios LNA estão desligados; o misturador está em ganho alto
010	Terceiro	terceiro ganho mais alto – um estágio LNA está ligado; o misturador está em ganho alto
011	Quarto	segundo ganho mais alto – dois estágios LNA estão ligados; o misturador está em ganho alto
100	Quinto	ganho mais alto – todos os três estágios LNA estão ligados; o misturador está em ganho alto

Tabela 1

[0071] Como mostrado na Figura 4C, a histerese é provida na transição entre estados adjacentes. Como exemplo, enquanto no segundo estado ("001"), o primeiro LNA não é ligado (para transição para o terceiro estado "010") até que o ganho total exceda o limite de Subida L2 e este LNA não é desligado (para transição a partir do segundo de volta ao primeiro estado) até que o ganho total caia abaixo do limite de Descida L2. A histerese (Subida L2 - Descida L2) previne o LNA de ser ligado e desligado continuamente caso o ganho total esteja entre os, ou próximo dos, limites de Subida L2 e Descida L2.

[0072] A unidade de controle de etapa de ganho 418 determina a decisão de etapa de ganho com base no ganho total, uma função de transferência tal como a mostrada na Figura 4C (a qual é definida pelos valores limite), e temporização, interferência e possivelmente outras

informações. A decisão de etapa de ganho é indicativa dos estágios específicos a serem ligados/desligados para o amplificador 114 e o misturador 212, como determinado pela função de transferência. Fazendo referência novamente à Figura 4A, a unidade de controle de etapa de ganho 418 a seguir provê a decisão de etapa de ganho ao elemento de atraso programável 420 e ao codificador de faixa 424.

[0073] Em uma modalidade e como mostrado na Figura 1, o controle para ligar ou desligar cada estágio do amplificador 114 e do misturador 212 é provido a estes circuitos através do barramento serial 152. O codificador de faixa 424 recebe a decisão de etapa de ganho e provê o controle de etapa de ganho correspondente para cada circuito específico a ser controlado (por exemplo, um controle de etapa de ganho para o amplificador 114 e outro controle de etapa de ganho para o misturador 212). O mapeamento entre a decisão de etapa de ganho e os controles de etapa de ganho podem ser baseados em uma tabela de consulta e/ou lógica. Cada controle de etapa de ganho compreende um ou mais bits e liga/desliga os estágios designados dentro do circuito a ser controlado por aquele controle de etapa de ganho. Como exemplo, o amplificador 114 pode ser projetado com quatro estágios e seu controle de etapa de ganho (2 bits) pode ser associado a quatro valores possíveis ("00", "01", "10" e "11") para os quatro ganhos discretos possíveis para o amplificador. O misturador 212 pode ser projetado com dois estágios e seu controle de etapa de ganho (1 bit) pode ser associado a dois valores possíveis ("0" e "1") para os dois ganhos discretos possíveis para o misturador. Os controles de etapa de ganho para o amplificador 114 e o misturador 212 é formatado nas mensagens apropriadas pela unidade SBI 150 e estas mensagens são a seguir enviadas aos circuitos através de barramento serial 152. O codificador de faixa 424 também provê para o cancelador de offset de DC 130, um sinal de

mudança de etapa de ganho que indica se o ganho dos circuitos de RF/analógico mudou para um novo valor ou etapa.

[0074] Como observado acima, o ganho total, G_{total} , para o sinal recebido pode ser decomposto no ganho grosseiro, $G_{grosseiro}$, e o ganho refinado, $G_{refinado}$. Além disso, como mostrado na Figura 4A, o ganho refinado é gerado mediante subtração do ganho grosseiro a partir do ganho total por um somador 416. Uma vez que o ganho grosseiro (na forma dos controles de etapa de ganho) é provido ao amplificador 114 e ao misturador 212 através da unidade SBI 150 e do barramento serial, um atraso é introduzido entre o tempo em que o ganho grosseiro é determinado através da unidade de controle de etapa de ganho 418 e o tempo em que o ganho grosseiro é realmente aplicado pelos circuitos de RF/analógico. Além disso, o atraso de processamento é encontrado pelo sinal recebido a partir dos circuitos de RF para o DVGA (por exemplo, o filtro digital 124 especialmente). Assim, para assegurar que o ganho grosseiro seja aplicado pelos circuitos de RF e removidos do DVGA no mesmo momento (isto é, de forma que o ganho grosseiro seja aplicado apenas uma vez a qualquer amostra de dados dada), um atraso programável é utilizado para retardar o ganho grosseiro (como indicado pela decisão de etapa de ganho) antes que ele seja aplicado ao DVGA 140.

[0075] O elemento de atraso programável 420 provê uma quantidade específica de atraso para a decisão de etapa de ganho. Este atraso compensa o atraso introduzido pela unidade SBI 150 e o atraso do percurso de processamento de sinais recebido a partir dos circuitos de RF para o DVGA. Este atraso pode ser programado ao escrever um valor de atraso em um registrador. O elemento de atraso 420 a seguir provê a decisão de etapa de ganho retardada.

[0076] Uma unidade de conversão de ganho grosseira 422 recebe a decisão de etapa de ganho retardada, a qual é

indicativa de um ganho discreto específico para os circuitos de RF/analógico e provê o ganho grosseiro correspondente, $G_{\text{grosseiro}}$, possuindo a faixa e resolução apropriada (por exemplo, a mesma faixa e resolução como para o ganho total a partir da unidade de controle AGC 414). O ganho grosseiro é assim equivalente à decisão de etapa de ganho mas é provido em um formato diferente (isto é, o ganho grosseiro é um valor de alta resolução considerando que a decisão de etapa de ganho é um controle digital (liga/desliga)). A decisão de etapa de ganho para tradução do ganho grosseiro pode ser atingida com uma tabela de consulta e/ou lógica. O ganho grosseiro é a seguir subtraído do ganho total pelo somador 416 para prover o ganho refinado para o DVGA.

[0077] Sempre que o ganho dos circuitos de RF/analógico é mudado por uma quantidade grosseira mediante estágios de comutação ligar e desligar, a fase das componentes de sinal gira tipicamente em alguma quantidade de passo específico. A quantidade de rotação de fase é dependente de quais estágios foram comutados para ligar e desligar (como determinado pela decisão de etapa de ganho) mas é tipicamente um valor fixo para aquele ajuste ou configuração específico. Esta rotação de fase pode resultar na degradação no processo de demodulação de dados, até que um loop de controle de frequência seja capaz de corrigir a rotação de fase.

[0078] Em uma modalidade, a decisão de etapa de ganho é mapeada a uma fase de rotator correspondente, que é indicativa da quantidade de rotação de fase nas componentes de sinal recebidas devido ao ganho indicado pela decisão de etapa de ganho. A fase de rotator é a seguir provida a um rotator dentro do demodulador digital 144 e utilizado para ajustar a fase dos dados I e Q para levar em conta a rotação de fase introduzida pelos estágios de ganho habilitados nos circuitos de RF/analógico. O mapeamento

entre a decisão de etapa de ganho e a fase de rotator pode ser atingida com uma tabela de consulta e/ou lógica. Além disso, a resolução refinada pode ser atingida para a fase de rotator (por exemplo, $5,6^\circ$ de resolução pode ser atingido com 6 bits para a fase de rotator).

Operação de Loops de DC e AGC

[0079] Como mostrado na Figura 1, o loop de DC opera nas amostras I e Q filtradas provenientes do filtro digital 124 para remover offset de DC e o loop de AGC a seguir opera (através do DVGA 140) nas amostras I e Q com offset de DC corrigido para prover os dados I e Q que são a seguir providos ao demodulador digital 144. O loop de AGC também controla o ganho dos circuitos de RF/analógico, os quais por sua vez afetam a amplitude as amostras I e Q operadas pelo loop de DC. O loop de DC pode assim ser visto como sendo embutido dentro do loop de AGC. A operação do loop de DC afeta a operação do loop de AGC.

[0080] Em um receptor de conversão descendente direta, o offset de DC (tanto estático como variante no tempo) possui mais impacto nas componentes de sinal devido à amplitude menor de sinal. Os Offsets de DC extensos (ou picos de DC) podem ser introduzidos nas componentes de sinal através de diversas formas. Na primeira forma, quando o ganho dos circuitos de RF/analógico (por exemplo, o amplificador 114 e o misturador 212) é mudado em etapas discretas mediante comutação dos estágios liga/desliga, Offsets de DC extensos podem ser introduzidos nas componentes de sinal devido à falta de coincidência nos diferentes estágios sendo comutados para liga/desliga. Na segunda forma, Offsets de DC extensos também podem ser introduzidos quando o loop de DC executa atualizações de offset de DC de modo que diferentes valores de offset de DC de DC3I e DC3Q são providos ao somador 232a e/ou diferentes valores de offset de DC de DC1Q e DC1Q são providos ao misturador 212 através do barramento serial.

[0081] Offsets de DC extensos podem ser removidos utilizando diversos mecanismos do loop de DC (por exemplo, loops tipo loop de DC de variação grosseira e variação refinada). Além disso, os Offsets de DC extensos podem ser removidos mais rapidamente pela operação do loop de DC no modo de aquisição. Porém, até que eles sejam removidos, os Offsets de DC extensos têm efeitos danosos nas componentes de sinal e podem degradar o desempenho.

[0082] Em primeiro lugar, qualquer offset de DC não removido nas componentes de sinal aparece como ruído (cuja potência é igual ao offset de DC) depois da operação de espalhamento inverso pelo demodulador digital 144. Este ruído pode degradar o desempenho.

[0083] Em segundo lugar, um offset de DC extenso atrapalha o desempenho do loop de AGC de diversas formas. O offset de DC acrescenta às componentes de sinal e resulta em componentes combinadas (offset de DC e sinal) possuindo uma amplitude maior. Isto faz com que o loop de AGC reduza o ganho total de modo que a potência das componentes combinadas é mantida no valor de referência AGC (por exemplo, $I^2 + Q^2 = \text{valor de referência AGC}$). O ganho reduzido a seguir causa compressão das componentes de sinal desejadas, com a quantidade de compressão sendo proporcional à magnitude do offset de DC. A amplitude menor para as componentes de sinal desejadas resulta em uma relação sinal/ruído quantizada degradada (SNR_Q - Signal to Quantization Noise), que também degrada o desempenho. Além disso, caso o loop de DC não seja capaz de remover o offset de DC extenso completamente antes dele entrar no modo de rastreamento, o offset de DC residual seria removido mais lentamente no modo de rastreamento. O loop de AGC a seguir seguiria esta resposta transiente lenta do loop de DC, que resulta em um período de degradação prolongado até que ambos os loops de DC e AGC atinjam o estado estacionário.

[0084] Em terceiro lugar, um offset de DC extenso afeta a capacidade de detectar interferências (jammers) precisamente, que são sinais interferentes na banda de sinal desejada. Uma interferência pode ser gerada pela não-linearidade nos circuitos no percurso de sinal recebido. Uma vez que a não linearidade no amplificador 114 e no misturador 212 é mais pronunciada quando estes circuitos são operados em ganhos altos (isto é, mais estágios sendo ligados), o receptor pode detectar interferências imediatamente depois que quaisquer destes circuitos for comutado para ganho alto. A detecção de interferência pode ser executada medindo a potência das componentes de sinal com o RSSI 412 imediatamente depois da comutação para um ganho alto, comparando a potência medida com um limite depois de um período de tempo de medição específico e declarando a presença de uma interferência nas componentes de sinal caso a potência medida exceda o limite. Caso uma interferência seja detectada, o ganho de um ou mais circuitos pode ser reduzido ou para remover ou suavizar a interferência. Porém, na presença de offset de DC introduzido pela comutação ao alto ganho, pode não ser possível discernir se o aumento na potência medida é devido à interferência ou ao ruído total, que inclui qualquer offset de DC não removido e o ruído de loop de DC aumentado gerado pela operação do loop de DC no modo de aquisição para remover rapidamente o offset de DC. Assim, a presença de offset de DC pode impactar na capacidade de detectar precisamente interferências, que podem degradar o desempenho caso os circuitos de RF/analógico sejam operados nos ganhos errados devido à detecção errônea de interferências.

[0085] Um offset de DC extenso pode causar longas rajadas de erros devido a diversos efeitos danosos descritos acima. A degradação devido ao offset de DC é mais problemática em taxas de dados mais altas uma vez que o

tempo necessário para remover picos de DC pode ser fixo (por exemplo, pelo projeto específico do loop de DC), que resulta em mais erros em taxas de dados mais altas.

[0086] De acordo com outro aspecto da invenção, a duração de tempo que o loop de DC é operado no modo de aquisição é inversamente proporcional à largura de banda do loop de DC no modo de aquisição. A largura de banda de loop de DC é projetada para ser mais larga no modo de aquisição para permitir que o loop de DC responda mais rapidamente e remova o offset de DC. Larguras de banda de loop crescentemente mais largas correspondem a respostas de loop crescentemente mais rápidas. Como observado acima, o erro DC nas componentes de sinal desejadas manifestam como ruído depois da operação de espalhamento inverso dentro do demodulador digital 144. Este ruído deveria ser removido tão rápido quanto possível, o que pode ser atingido mediante aumento na largura de banda do loop de DC para o modo de aquisição. Porém, a largura de banda de loop de DC mais larga também resulta em ruído de loop de DC aumentado que também pode degradar o desempenho.

[0087] Para maximizar o desempenho, o modo de aquisição deveria permutar entre o offset de DC (introduzido) a ser corrigido e o ruído de loop de DC (autogerado). Para limitar a quantidade de ruído de loop de DC e ainda permitir o loop de DC a operar em largura de banda alta, a duração de tempo na qual o loop de DC é operado no modo de aquisição pode ser ajustada de modo inversamente proporcional à largura de banda de loop. Uma largura de banda mais larga de loop de DC geralmente corresponde a um tempo de aquisição de offset de DC mais curto devido à capacidade do loop mais largo de responder mais rapidamente. Assim, a quantidade mais curta de tempo gasta no modo de aquisição com a largura de banda de loop de DC mais larga tira proveito deste fato; e o loop de DC não é

operado no modo de aquisição por mais tempo que o necessário, o que pode melhorar o desempenho.

[0088] A duração de tempo específica para operar o loop de DC no modo de aquisição também pode ser selecionada com base em diversos outros fatores tais como, por exemplo, a amplitude esperada do offset de DC, a amplitude do ruído de loop de DC, os esquemas de modulação, a largura de banda do sinal recebido, e assim por diante. De modo geral, a duração de modo de aquisição é relacionada inversamente à largura de banda de loop de DC no modo de aquisição, com a função exata sendo dependente dos fatores observados acima.

[0089] De acordo com ainda outro aspecto da invenção, a operação do loop de AGC é tornada dependente do modo operacional do loop de DC. Como observado acima, qualquer offset de DC não removido, que é tipicamente maior quando o loop de DC muda para o modo de aquisição, afeta a operação do loop de AGC. Assim, o cancelador de offset de DC 130 provê para a unidade de loop de AGC 142 o sinal de controle DC_loop_mode, que indica o modo operacional atual do loop de DC. Quando o loop de DC é comutado ao modo de aquisição para remover rapidamente um offset de DC extenso (potencialmente), o loop de AGC pode ser comutado simultaneamente para o modo de ganho baixo ou para o modo de congelamento de forma que o loop de AGC responda lentamente ou não responda por completo ao offset de DC enquanto o loop de DC estiver no modo de aquisição. O loop de AGC pode ser comutado de volta ao modo normal depois que o loop de DC muda para o modo de rastreamento.

[0090] O ganho AGC pequeno ou nulo utilizado enquanto o loop de DC está no modo de aquisição assegura que o loop de AGC preserve seus sinais de controle durante o período de aquisição DC. Os sinais de controle AGC s seguir estarão prontos para operar na forma normal uma vez que o loop de DC entra no modo de rastreamento. O ganho AGC pequeno ou nulo também atrapalha ou impede que o loop de AGC mova a

potência das componentes de sinal desejadas do valor de referência de AGC, e adicionalmente reduz o impacto do offset de DC no processo de detecção de interferidor, o que reduziria a probabilidade da detecção errônea de interferidor.

[0091] Os ganhos AGC normal e pequeno específicos a serem utilizados podem ser determinados por simulação, medida empírica ou algum outro meio. Estes ganhos também podem ser programáveis (por exemplo, pelo controlador 160).

Interface de Barramento Serial (SBI)

[0092] De acordo com ainda outro aspecto da invenção, os controles para alguns ou todos os circuitos de RF/analógico são providos através do barramento serial 152. A utilização de um barramento serial padrão para controlar funções de RF/analógicas provê muitas vantagens, como descrito abaixo. Além disso, o barramento serial pode ser projetado com várias características para prover os controles requeridos mais efetivamente, como também descrito acima.

[0093] Convencionalmente, os controles para circuitos de RF/analógico (por exemplo, amplificador 114 e misturador 212) são providos utilizando sinais exclusivos entre os circuitos a serem controlados e o controlador provê os controles. Podem ser designados um ou mais pinos no controlador para cada circuito a ser controlado individualmente. Como exemplo, podem ser designados três pinos no controlador e o chip de RF/analógico para controlar os cinco estágios do amplificador/misturador descritos acima. A utilização de pinos designados para funções específicas aumenta o número de pinos e complica o layout da placa de circuito impresso, que pode levar a custo aumentado para o receptor.

[0094] A utilização de um barramento serial para prover controles para os circuitos de RF/analógico pode melhorar muitas das desvantagens encontradas no projeto convencional

e pode prover também benefícios adicionais. Em primeiro lugar, o barramento serial pode ser implementado com poucos pinos (por exemplo, dois ou três) e estes mesmos pinos podem ser utilizados para prover controle para os múltiplos circuitos implementados em um ou mais circuitos integrados (ICs). Como exemplo, um único barramento serial pode ser utilizado para controlar o ganho do amplificador 114, o ganho do misturador 212, o offset de DC do misturador 212, a frequência do oscilador 218 e assim por diante. Ao reduzir o número de pinos requeridos para interconectar o IC de RF/analógico com o controlador, os custos do IC de RF/analógico, o controlador e a placa de circuito podem ser reduzidos. Em segundo lugar, a utilização de um barramento serial padrão aumenta a flexibilidade para futuros ajustes de chip uma vez padroniza a interface de hardware entre o IC de RF/analógico e o controlador. Isto também permite a um fabricante usar o mesmo layout de placa com diferentes ICs de RF/analógico e/ou controladores sem alterar ou aumentar o número de linhas de controle requeridas.

[0095] Em uma modalidade, a unidade SBI 150 é projetada para suportar diversos canais de requisição de hardware (HW_REQ), cada um dos quais pode ser utilizado para suportar uma função específica. Como exemplo, um canal pode ser utilizado para o loop de VGA para ajustar os ganhos de etapa do amplificador 114 e do misturador 212 e outro canal pode ser utilizado para o loop de DC para ajustar o valor de offset de DC (DC1) para o misturador 212. De modo geral, a unidade SBI pode ser projetada para suportar qualquer número de canais de requisição de hardware.

[0096] Cada circuito a ser controlado separadamente pode ser associado a um respectivo endereço. Cada mensagem transmitida pela unidade SBI inclui o endereço do circuito para o qual a mensagem é transmitida. Cada circuito acoplado ao barramento serial examinaria o endereço incluído em cada mensagem transmitida para determinar se a

mensagem é destinada para aquele circuito e processaria apenas a mensagem caso fosse endereçado àquele circuito.

[0097] Em uma modalidade, cada canal de requisição de hardware pode ser projetado com a capacidade de suportar diversos modos de transferência de dados, que podem incluir um modo de transferência rápida (FTM - Fast Transfer Mode), um modo de transferência de interrupção (ITM - Interrupt Transfer Mode) e uma rajada ou modo de transferência em massa (BTM - Bulk Transfer Mode). O modo de transferência rápida pode ser utilizado para transmitir múltiplos bytes a múltiplos circuitos de acordo com o seguinte padrão: ID, ADDR, DADOS, ADDR, DADOS, ... em que ID é o canal de requisição de hardware ID, ADDR é o endereço do circuito de recipiente e DADOS são os dados para o circuito recipiente. O modo de transferência de interrupção pode ser utilizado para transmitir um único byte por difundir a um ou mais circuitos acoplados ao barramento serial. E o modo de transferência de rajada pode ser utilizado para transmitir múltiplos bytes a um circuito específico de acordo com o seguinte padrão: ID, ADDR, DADOS1, DADOS2, Modos de transferência diferentes e/ou adicionais também podem ser implementados e está dentro do escopo da invenção.

[0098] Em uma modalidade, aos canais de requisição de hardware podem ser nomeados prioridades específicas (por exemplo, pelo controlador). As prioridades dos canais podem ser programadas em um registrador dentro da unidade SBI 150. As prioridades dos canais determinariam a seguir a ordem na qual as mensagens são enviadas, caso múltiplas mensagens necessitem ser enviadas pela unidade SBI através do barramento serial. Uma prioridade mais alta pode ser designada a um canal utilizado para um loop de controle que requer resposta rápida (por exemplo, a etapa de ganho para o amplificador 114 e o misturador 212) e uma prioridade mais baixa pode ser designada a um canal utilizado para

funções mais estáticas (por exemplo, o modo de recepção do conversor descendente direto 120, por exemplo, DFM e GPS).

[0099] Cada canal de requisição de hardware também pode ser associado a um respectivo sinalizador (flag) habilitado que indica se aquele canal está habilitado para utilização. Os sinalizadores habilitados para todos os canais podem ser mantidos pela unidade SBI 150.

[00100] Em uma modalidade, o barramento serial compreende três sinais - um sinal de dados, um sinal de clock e um sinal de strobe. O sinal de dados é utilizado para enviar as mensagens. O sinal de clock é provido pelo remetente (por exemplo, o controlador) e utilizado pelos receptores para manter (latch) os dados providos no sinal de dados. E o sinal de strobe é utilizado para indicar o início/término de mensagens. Diferentes projetos de barramento serial com diferentes sinais e/ou diferentes números de sinais também pode ser implementado, e está dentro do escopo da invenção.

[00101] Os diversos aspectos e modalidades do receptor de conversão descendente direta descritos neste relatório podem ser implementados em diversos sistemas de comunicação sem fio, tal como sistemas CDMA, sistemas GPS, sistemas de FM digital (DFM) e assim por diante. O receptor de conversão descendente direta também pode ser utilizado para o link direto ou para o link reverso nestes sistemas de comunicação.

[00102] Os diversos aspectos e modalidades do receptor de conversão descendente direta descritos neste relatório podem ser implementados através de diversas formas. Como exemplo, todo o receptor de conversão descendente direta, ou algumas porções do mesmo, pode ser implementado por computador. Para uma implementação em hardware, o DVGA, a correção de offset de DC, o controle de ganho, a SBI e assim por diante, podem ser implementados dentro de um ou mais circuitos integrados de aplicação específica (ASICs), processadores de sinais digitais (DSPs), dispositivos de

processamento de sinais digitais (DSPDs), dispositivos lógicos programáveis (PLDs), redes de portas lógicas programável (FPGAs), processadores, controladores, microcontroladores, microprocessadores, outras unidades eletrônicas projetadas para executar as funções aqui descritas ou uma combinação das mesmas.

[00103] Para uma implementação em software, os elementos utilizados para o controle de ganho e/ou para a correção de offset de DC podem ser implementados em módulos (por exemplo, procedimentos, funções e assim por diante) que executam as funções aqui descritas. Os códigos de software podem ser armazenados em uma unidade de memória (por exemplo, a memória 162 na Figura 1) e executados por um processador (por exemplo, o controlador 160). A unidade de memória pode ser implementada dentro do processador ou externamente ao processador, caso em que ela pode ser acoplada comunicativamente ao processador através de diversas formas conforme conhecido da técnica.

[00104] Títulos foram incluídos neste relatório como referência e para ajudar na localização de determinadas seções. Estes títulos não tencionam limitar o escopo dos conceitos aqui descritos e estes conceitos podem ter aplicabilidade em outras seções ao longo de toda a especificação.

[00105] A descrição acima das modalidades preferidas é provida para permitir que qualquer versado na técnica efetive ou utilize a presente invenção. As diversas modificações dessas modalidades ficarão prontamente claras para os versados na técnica e os princípios genéricos aqui definidos podem ser aplicados a outras modalidades sem o afastamento do espírito ou escopo da invenção. Dessa forma, a presente invenção não deve ser limitada às modalidades aqui apresentadas mas deve receber o escopo mais amplo consistente com os princípios e características de novidade aqui descritos.

REIVINDICAÇÕES

1. Método de operação de um loop de DC em uma unidade receptora (100) baseado em arquitetura de receptor de conversão direta, compreendendo a etapa de:

selecionar um modo operacional específico para o loop de DC dentre uma pluralidade de modos operacionais possíveis que incluem um modo de aquisição; e

caso o modo operacional selecionado seja o modo de aquisição, o método é caracterizado pelo fato de que compreende adicionalmente:

operar o loop de DC no modo de aquisição por uma duração de tempo específica para corrigir offset de DC em um sinal desejado, em que a duração de tempo específica é inversamente proporcional a uma largura de banda de loop para o loop de DC para o modo de aquisição; e

sair do modo de aquisição depois da duração de tempo específica.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que o modo de aquisição é selecionado em resposta a um evento esperado para resultar em um offset de DC extenso no sinal desejado.

3. Método, de acordo com a reivindicação 2, caracterizado pelo fato de que o evento corresponde a uma comutação a novos estágios de circuito analógico para processar o sinal desejado.

4. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que o evento corresponde à aplicação de um novo valor de offset de DC para corrigir offset de DC estático no sinal desejado.

5. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que a pluralidade de modos operacionais possíveis compreende adicionalmente um modo de rastreamento.

6. Método, de acordo com a reivindicação 5, caracterizado pelo fato de que a transição é realizada a

partir do modo de aquisição ao modo de rastreamento depois da duração de tempo específica.

7. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que a duração de tempo específica é selecionada adicionalmente com base em uma amplitude esperada do offset de DC no sinal desejado.

8. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que a duração de tempo específica é selecionada adicionalmente para minimizar uma combinação de offset de DC introduzida no sinal desejado e ruído de loop proveniente do loop de DC.

9. Equipamento em uma unidade receptora (100) baseado em arquitetura de receptor de conversão direta, compreendendo:

dispositivo para selecionar um modo operacional específico para um loop de DC dentre uma pluralidade de modos operacionais possíveis que incluem um modo de aquisição; e

o equipamento caracterizado pelo fato de que compreende adicionalmente:

dispositivo para operar o loop de DC no modo de aquisição por uma duração de tempo específica, caso o modo operacional selecionado seja o modo de aquisição, para corrigir offset de DC em um sinal desejado, em que a duração de tempo específica é inversamente proporcional a uma largura de banda de loop para o loop de DC para o modo de aquisição; e

dispositivo para sair do modo de aquisição depois da duração de tempo específica.

10. Equipamento, de acordo com a reivindicação 9, caracterizado pelo fato de que compreende:

um somador (214) operativo para subtrair um valor de offset de DC a partir de um sinal desejado para prover um sinal corrigido de offset de DC; e

uma unidade de controle de loop (234a-b) configurável para operar em um dentre uma pluralidade de modos operacionais possíveis para prover o valor de offset de DC, em que a pluralidade de modos operacionais possíveis inclui um modo de aquisição que possui uma largura de banda de loop específica, e em que a unidade de controle de loop (234a-b) é operada no modo de aquisição, quando selecionada, por uma duração de tempo específica inversamente proporcional à largura de banda de loop para o modo de aquisição e, para sair do modo de aquisição depois da duração de tempo específica.

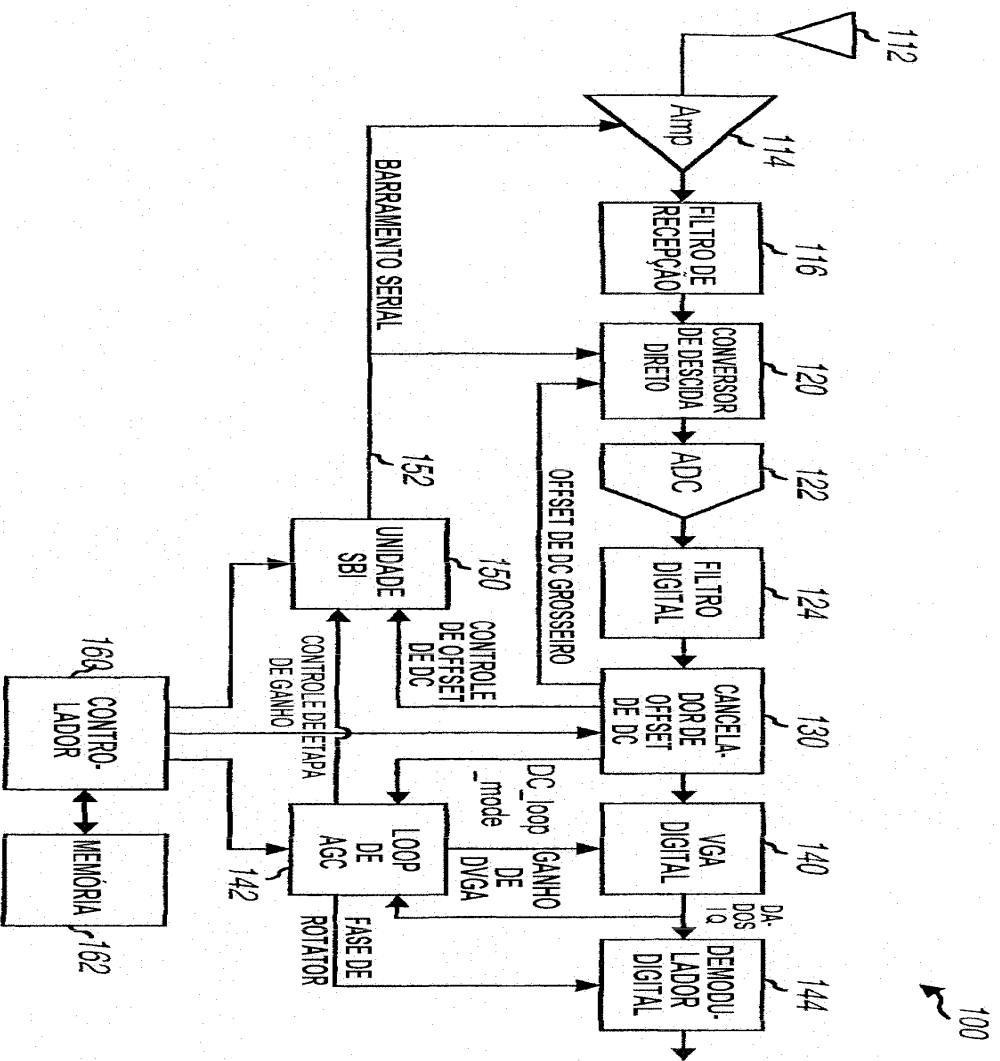


FIG. 1

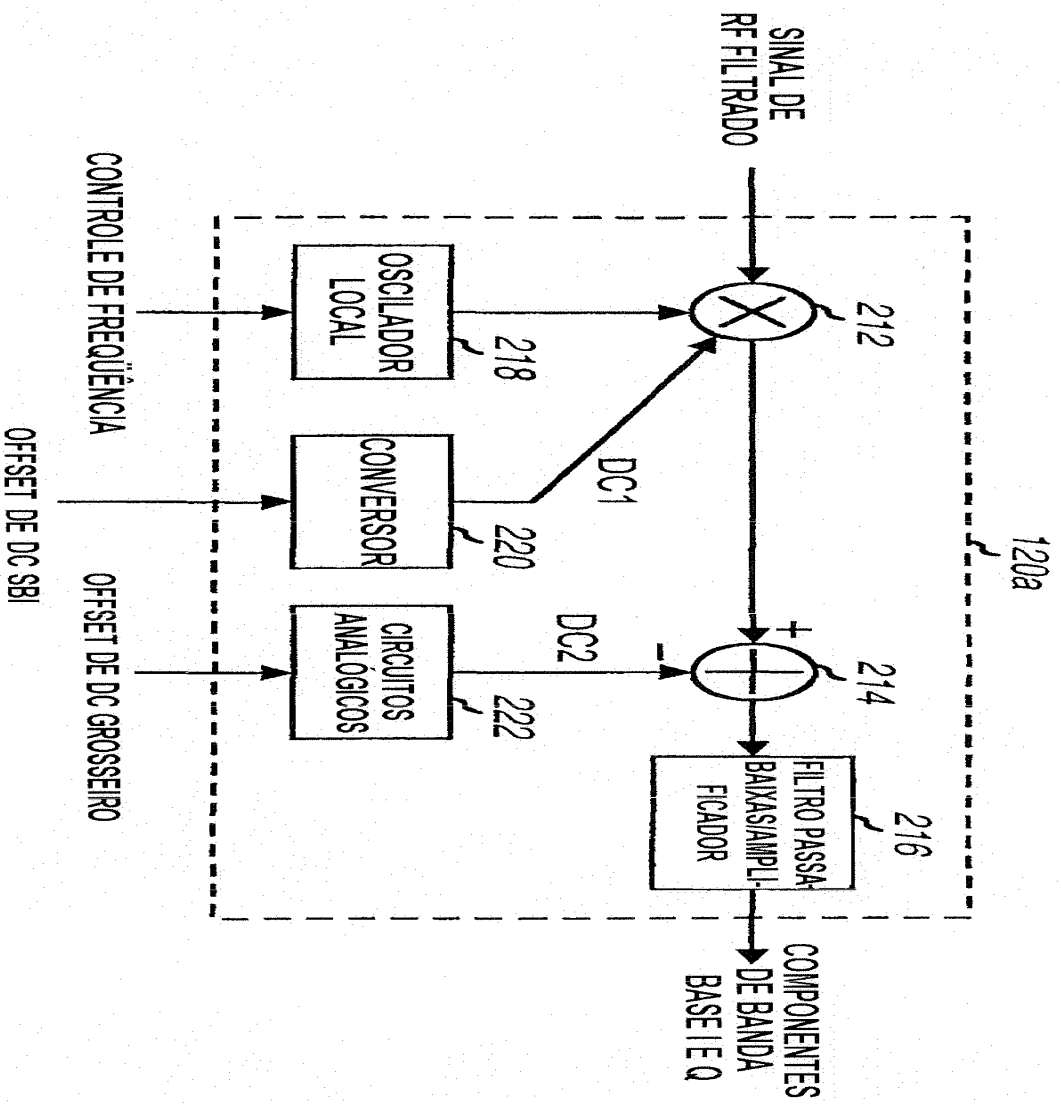
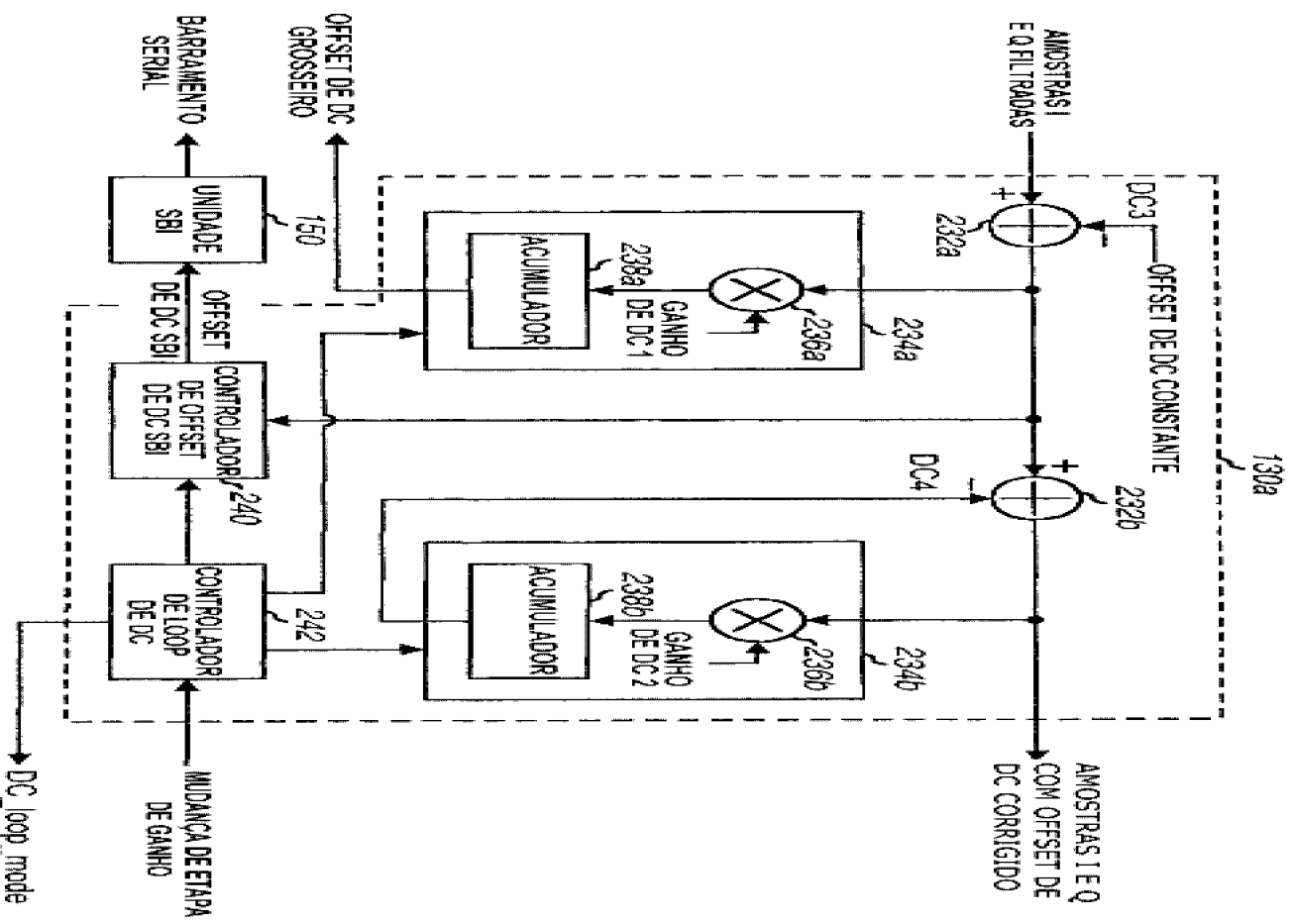
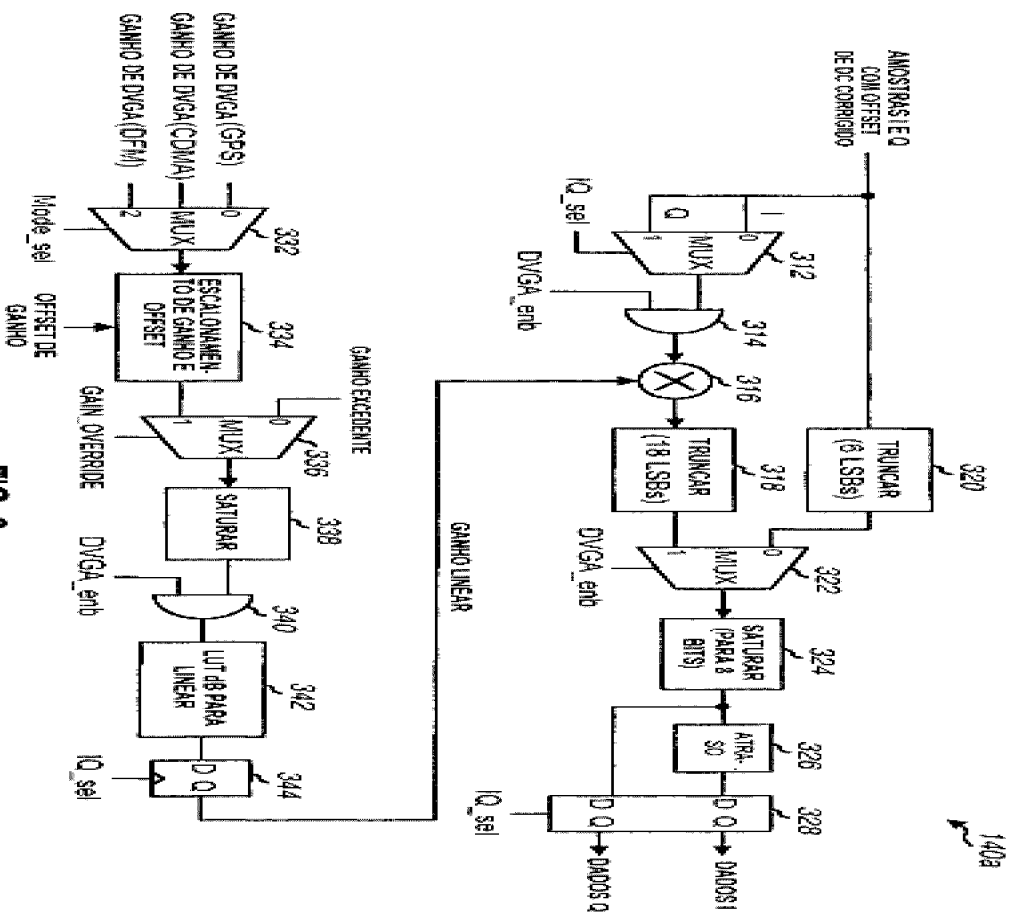


FIG. 2A





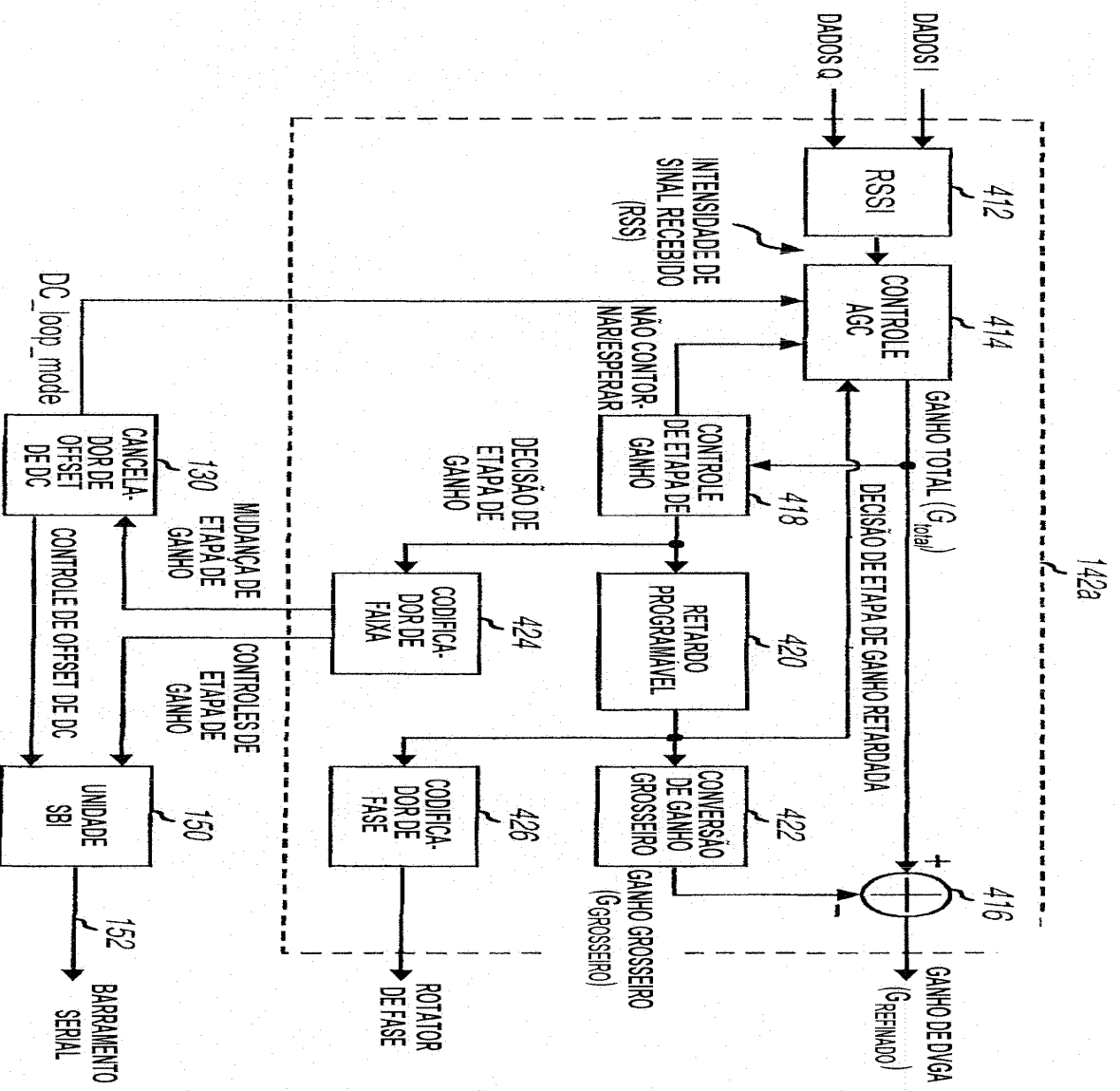


FIG. 4A

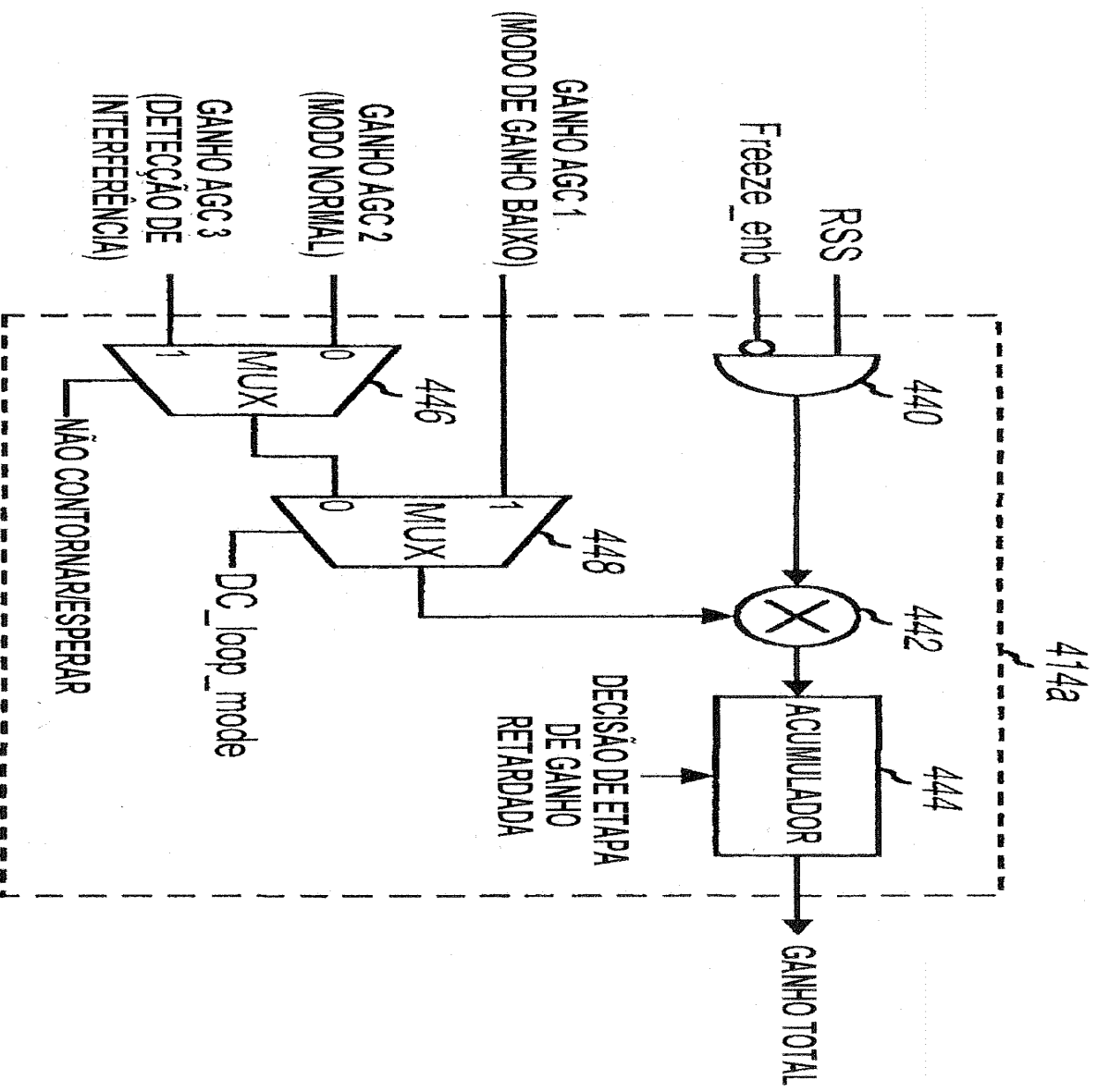


FIG. 4B

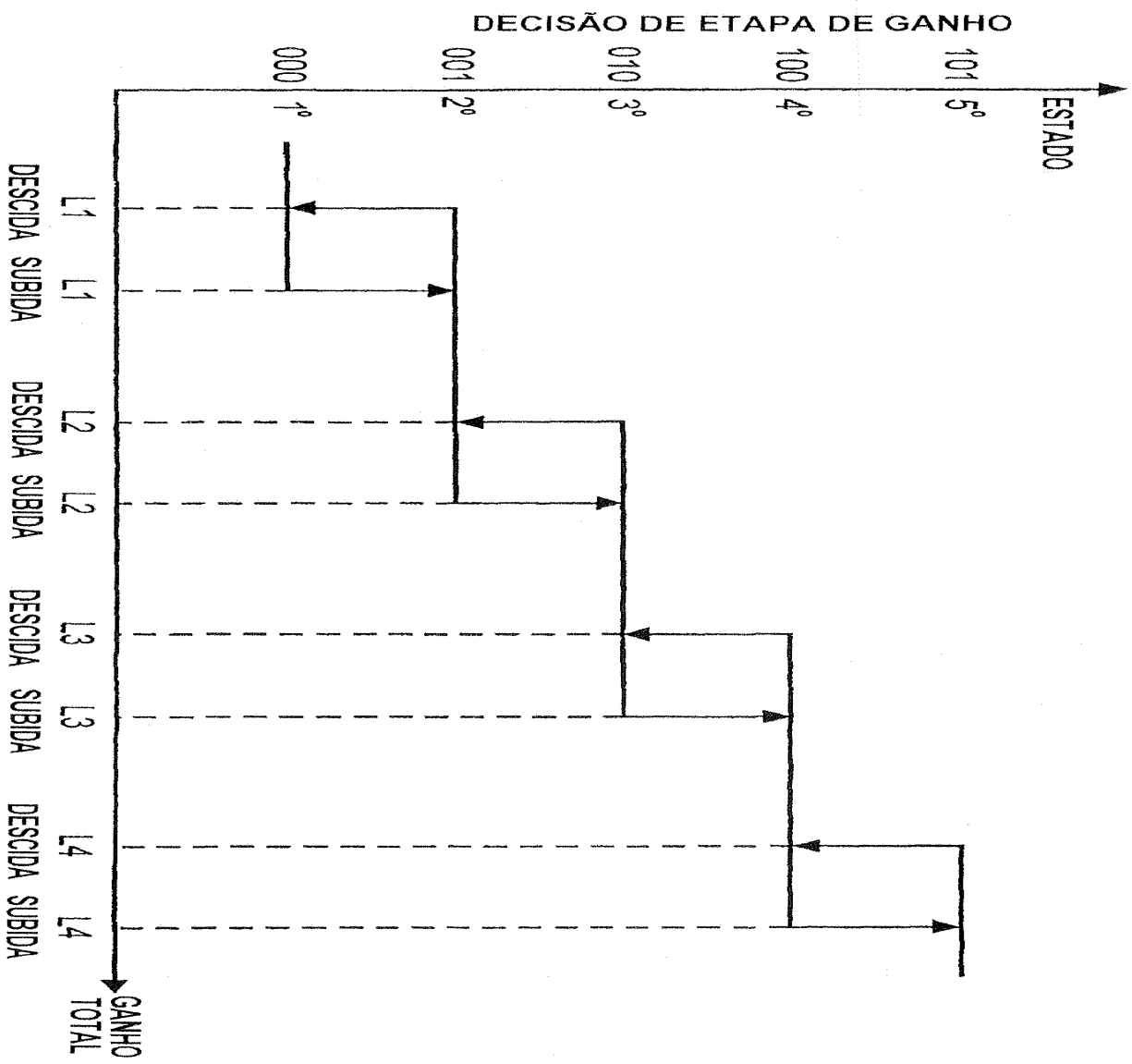


FIG. 4C

RESUMO**"ARQUITETURA DE RECEPTOR DE CONVERSÃO DIRETA"**

Uma arquitetura de receptor de conversão descendente direta possuindo um loop de DC para remover o offset de DC a partir das componentes de sinal, um amplificador digital de ganho variável (DVGA) para prover uma faixa de ganhos, um loop de controle de ganho automático (AGC) para prover controle de ganho para o DVGA e circuitos de RF/analógico e uma unidade de interface de barramento serial (SBI) para prover controles para os circuitos de RF/analógico através de um barramento serial. O DVGA pode ser projetado vantajosamente e localizado como aqui descrito. O modo operacional do loop de VGA pode ser selecionado com base no modo operacional do loop de DC, uma vez que estes dois loops interagem um com o outro. A duração de tempo do loop de DC é operada em um modo de aquisição que pode ser selecionado para ser inversamente proporcional à largura de banda do loop de DC no modo de aquisição. Os controles para alguns ou todos os circuitos de RF/analógico podem ser providos através do barramento serial.