

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7568652号
(P7568652)

(45)発行日 令和6年10月16日(2024.10.16)

(24)登録日 令和6年10月7日(2024.10.7)

(51)国際特許分類		F I	
G 0 9 G	3/3233(2016.01)	G 0 9 G	3/3233
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 G	3/20 (2006.01)	G 0 9 F	9/30 3 6 5
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/20 6 2 1 M
H 1 0 K	50/115(2023.01)	G 0 9 G	3/20 6 2 2 Z
請求項の数 19 (全36頁) 最終頁に続く			
(21)出願番号	特願2021-569201(P2021-569201)	(73)特許権者	510280589
(86)(22)出願日	令和2年5月27日(2020.5.27)		京東方科技集團股▲ふん▼有限公司
(65)公表番号	特表2023-536014(P2023-536014 A)		BOE TECHNOLOGY GROU P CO. , LTD.
(43)公表日	令和5年8月23日(2023.8.23)		中華人民共和國100015北京市朝陽區酒仙橋路10號
(86)国際出願番号	PCT/CN2020/092573		No. 10 Jiuxianqiao R d. , Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/237505		
(87)国際公開日	令和3年12月2日(2021.12.2)	(73)特許権者	511121702
審査請求日	令和5年5月25日(2023.5.25)		成都京東方光電科技有限公司
			CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO. , LTD.
			最終頁に続く

(54)【発明の名称】 アレイ基板、表示パネル及びアレイ基板の駆動方法

(57)【特許請求の範囲】

【請求項1】

アレイ基板であって、
各対が第1ゲート線及び第2ゲート線を備える複数対のゲート線と、
複数本のデータ線と、
複数行及び複数列に配列された複数の画素ユニットを備える画素アレイと、
を備え、
前記複数の画素ユニットのそれぞれは、走査信号端子と、データ信号端子と、リセット信号端子とを備え、複数行の画素ユニットが前記複数対のゲート線に1対1で対応し、各列の画素ユニットが前記複数本のデータ線のうちの1本のデータ線に対応し、
第m行の画素ユニット中の第n列の画素ユニットの走査信号端子は、第m対のゲート線の第1ゲート線に接続されて第1走査信号を受信し、mは1よりも大きい整数であり、nは正の整数であり、
前記第m行の画素ユニット中の第n+1列の画素ユニットの走査信号端子は、前記第m対のゲート線の第2ゲート線に接続されて第2走査信号を受信し、
前記第m行の画素ユニット中の第n+1列の画素ユニットのリセット信号端子は、前記第m対のゲート線の第1ゲート線に接続されて前記第1走査信号を第1リセット信号として受信し、
前記各列の画素ユニットのデータ信号端子は、対応する一本のデータ線に接続されてデータ信号を受信する、

アレイ基板。

【請求項 2】

前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は、第 $m-1$ 対のゲート線の第 1 ゲート線に接続され、前記第 $m-1$ 対のゲート線の第 1 ゲート線により提供された第 1 走査信号を第 2 リセット信号として受信し、又は、

前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は、前記第 $m-1$ 対のゲート線の第 2 ゲート線に接続され、前記第 $m-1$ 対のゲート線の第 2 ゲート線により提供された第 2 走査信号を前記第 2 リセット信号として受信し、

m は 1 よりも大きい整数である、

請求項 1 に記載のアレイ基板。

10

【請求項 3】

複数本のリセット信号線をさらに備え、

前記複数本のリセット信号線は、前記複数行の画素ユニットに 1 対 1 で対応し、

前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は、第 m 本のリセット信号線に接続されて第 2 リセット信号を受信する、

請求項 1 に記載のアレイ基板。

【請求項 4】

第 1 走査駆動回路をさらに備え、

前記第 1 走査駆動回路は、前記複数本のリセット信号線に接続され、前記第 2 リセット信号を生成するように構成される、

請求項 3 に記載のアレイ基板。

20

【請求項 5】

複数本の発光制御信号線をさらに備え、

前記複数本の発光制御信号線は、前記複数行の画素ユニットに 1 対 1 で対応し、

前記複数の画素ユニットのそれぞれは、発光制御信号端子をさらに備え、

前記第 m 行の画素ユニットの発光制御信号端子は、第 m 本の発光制御信号線に接続されて発光制御信号を受信する、

請求項 1 ～ 4 のいずれか 1 項に記載のアレイ基板。

【請求項 6】

第 2 走査駆動回路をさらに備え、

前記第 2 走査駆動回路は、前記複数本の発光制御信号線に接続され、前記発光制御信号を生成するように構成される、

請求項 5 に記載のアレイ基板。

30

【請求項 7】

隣接する 2 列ごとの画素ユニットは、同じデータ線に対応し、

前記第 n 列の画素ユニットと前記第 $n+1$ 列の画素ユニットのデータ信号端子は、同じデータ線に接続される、

請求項 1 ～ 6 のいずれか 1 項に記載のアレイ基板。

【請求項 8】

第 3 走査駆動回路をさらに備え、

前記第 3 走査駆動回路は、前記複数対のゲート線に接続され、前記第 1 走査信号及び前記第 2 走査信号を生成するように構成される、

請求項 1 ～ 7 のいずれか 1 項に記載のアレイ基板。

40

【請求項 9】

前記第 3 走査駆動回路は、第 1 走査駆動サブ回路及び第 2 走査駆動サブ回路を備え、

前記第 1 走査駆動サブ回路は、各対のゲート線の第 1 ゲート線に接続され、前記第 1 走査信号を生成するように構成され、

前記第 2 走査駆動サブ回路は、各対のゲート線の第 2 ゲート線に接続され、前記第 2 走査信号を生成するように構成される、

請求項 8 に記載のアレイ基板。

50

【請求項 10】

前記第 1 走査駆動サブ回路と前記第 2 走査駆動サブ回路はそれぞれ、前記画素アレイの互いに対向する両側に設けられる、

請求項 9 に記載のアレイ基板。

【請求項 11】

前記各画素ユニットは画素回路を備え、

前記画素回路は、リセット回路と、データ書込み及び補償回路と、駆動回路と、発光制御回路と、を備え、

前記リセット回路は、前記リセット信号端子を備え、リセット電圧源、前記駆動回路、及び発光素子に接続され、前記駆動回路及び前記発光素子をリセットするように、リセット電圧を前記駆動回路及び前記発光素子に印加するように構成され、

前記データ書込み及び補償回路は、前記走査信号端子及び前記データ信号端子を備え、前記駆動回路に接続され、前記データ信号を前記駆動回路に書き込んで前記駆動回路を補償するように構成され、

前記駆動回路は、前記発光素子を駆動して発光させる駆動電流を生成するように構成され、

前記発光制御回路は、発光制御信号端子を備え、第 1 電圧源、前記駆動回路、及び前記発光素子に接続され、第 1 電圧を前記駆動回路に印加し、前記駆動回路によって生成された駆動電流を前記発光素子に印加するように構成される、

請求項 1 ～ 10 のいずれか 1 項に記載のアレイ基板。

【請求項 12】

前記リセット回路は、第 1 リセットトランジスタ及び第 2 リセットトランジスタを備え、前記データ書込み及び補償回路は、データ書込みトランジスタと、補償トランジスタと、記憶コンデンサと、を備え、

前記駆動回路は、駆動トランジスタを備え、

前記発光制御回路は、第 1 発光制御トランジスタ及び第 2 発光制御トランジスタを備え、前記第 1 リセットトランジスタのゲートは、前記リセット信号端子に接続され、前記第 1 リセットトランジスタの第 1 電極は、前記リセット電圧源に接続され、前記第 1 リセットトランジスタの第 2 電極は、前記駆動トランジスタのゲートに接続され、

前記第 2 リセットトランジスタのゲートは、前記リセット信号端子に接続され、前記第 2 リセットトランジスタの第 1 電極は、前記リセット電圧源に接続され、前記第 2 リセットトランジスタの第 2 電極は、前記発光素子の第 1 端子に接続され、

前記データ書込みトランジスタのゲートは、前記走査信号端子に接続され、前記データ書込みトランジスタの第 1 電極は、前記データ信号端子に接続され、前記データ書込みトランジスタの第 2 電極は、前記駆動トランジスタの第 1 電極に接続され、

前記補償トランジスタのゲートは、前記走査信号端子に接続され、前記補償トランジスタの第 1 電極は、前記駆動トランジスタの第 2 電極に接続され、前記補償トランジスタの第 2 電極は、前記駆動トランジスタのゲートに接続され、

前記記憶コンデンサの第 1 端子は、前記第 1 電圧源に接続され、前記記憶コンデンサの第 2 端子は、前記駆動トランジスタのゲートに接続され、

前記第 1 発光制御トランジスタのゲートは、前記発光制御信号端子に接続され、前記第 1 発光制御トランジスタの第 1 電極は、前記第 1 電圧源に接続され、前記第 1 発光制御トランジスタの第 2 電極は、前記駆動トランジスタの第 1 電極に接続され、

前記第 2 発光制御トランジスタのゲートは、前記発光制御信号端子に接続され、前記第 2 発光制御トランジスタの第 1 電極は、前記駆動トランジスタの第 2 電極に接続され、前記第 2 発光制御トランジスタの第 2 電極は、前記発光素子の第 1 端子に接続される、

請求項 11 に記載のアレイ基板。

【請求項 13】

請求項 1 ～ 12 のいずれか 1 項に記載のアレイ基板を備える表示パネル。

【請求項 14】

請求項 1 に記載のアレイ基板の駆動方法であって、

前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることと、

前記第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットをリセットすることと、

前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに対してデータ書込み及び補償を行うことと、

前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n + 1$ 列の画素ユニットに表示を行わせることと、を含む、駆動方法。

【請求項 1 5】

前記第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットをリセットすることは、

前記第 m 対のゲート線の第 1 ゲート線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニットに前記第 1 走査信号を提供し、前記第 n 列の画素ユニットに対応する一本のデータ線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニットに前記データ信号を提供し、前記第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第 m 対のゲート線の第 1 ゲート線を介して第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに前記第 1 走査信号を前記第 1 リセット信号として提供し、前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットをリセットすることを含む、

請求項 1 4 に記載の駆動方法。

【請求項 1 6】

前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることは、

第 $m - 1$ 対のゲート線の第 1 ゲート線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニットに前記第 1 走査信号を第 2 リセット信号として提供し、前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすること、又は、

前記第 $m - 1$ 対のゲート線の第 2 ゲート線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニットに前記第 2 走査信号を前記第 2 リセット信号として提供し、前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることを含む、

請求項 1 5 に記載の駆動方法。

【請求項 1 7】

前記アレイ基板は複数本の発光リセット信号線をさらに備え、

前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることは、

第 m 本のリセット信号線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニットに第 2 リセット信号を提供し、前記第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることを含む、

請求項 1 6 に記載の駆動方法。

【請求項 1 8】

前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに対してデータ書込み及び補償を行うことは、

前記第 m 対のゲート線の第 2 ゲート線を介して前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに前記第 2 走査信号を提供し、前記第 $n + 1$ 列の画素ユニットに対応する一本のデータ線を介して第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに前記データ信号を提供することで、前記第 m 行の画素ユニット中の第 $n + 1$ 列の画素ユニットに対してデータ書込み及び補償を行うことを含む、

請求項 1 4 ～ 1 7 のいずれか 1 項に記載の駆動方法。

【請求項 1 9】

前記アレイ基板は複数本の発光制御信号線をさらに備え、

前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n + 1$ 列の画素ユニットに

10

20

30

40

50

表示を行わせることは、

第 m 本の発光制御信号線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに発光制御信号を提供することで、前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに表示を行わせることを含む、

請求項14～18のいずれか1項に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施例はアレイ基板、表示パネル及びアレイ基板の駆動方法に関する。

【背景技術】

【0002】

表示技術の発展に伴って、様々な表示パネルはますます広く使用されている。表示パネルは主に液晶表示(Liquid Crystal Display、LCD)パネル及び有機発光ダイオード(Organic Light-Emitting Diode、OLED)表示パネルを含む。たとえば、OLED表示パネルにおいて、アレイ状に配列された複数の画素ユニットを備え、同じ行の画素ユニットが同じゲート線に接続され、同じ列の画素ユニットが同じデータ線に接続され、各画素ユニットは、ゲート線により提供された走査信号及びデータ線により提供されたデータ信号の駆動の下で表示する。

【発明の概要】

【課題を解決するための手段】

【0003】

本開示の少なくとも1つの実施例は、各対が第1ゲート線及び第2ゲート線を備える複数対のゲート線と、複数本のデータ線と、複数行及び複数列に配列された複数の画素ユニットを備える画素アレイとを備えるアレイ基板を提供する。前記複数の画素ユニットのそれぞれは、走査信号端子と、データ信号端子と、リセット信号端子とを備え、複数行の画素ユニットが前記複数対のゲート線に1対1で対応し、各列の画素ユニットが前記複数本のデータ線のうちの1本のデータ線に対応し、第 m 行の画素ユニット中の第 n 列の画素ユニットの走査信号端子は第 m 対のゲート線の第1ゲート線に接続されて第1走査信号を受信し、 m 及び n はいずれも正の整数であり、前記第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットの走査信号端子は前記第 m 対のゲート線の第2ゲート線に接続されて第2走査信号を受信し、前記第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子は前記第 m 対のゲート線の第1ゲート線に接続されて前記第1走査信号を第1リセット信号として受信し、前記各列の画素ユニットのデータ信号端子は対応する一本のデータ線に接続されてデータ信号を受信する。

【0004】

たとえば、本開示の実施例に係るアレイ基板では、前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は第 $m-1$ 対のゲート線の第1ゲート線に接続され、前記第 $m-1$ 対のゲート線の第1ゲート線により提供された第1走査信号を第2リセット信号として受信し、又は、前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は前記第 $m-1$ 対のゲート線の第2ゲート線に接続され、前記第 $m-1$ 対のゲート線の第2ゲート線により提供された第2走査信号を前記第2リセット信号として受信し、 m は1よりも大きい整数である。

【0005】

たとえば、本開示の実施例に係るアレイ基板は複数本のリセット信号線をさらに備え、前記複数本のリセット信号線は前記複数行の画素ユニットに1対1で対応し、前記第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は第 m 本のリセット信号線に接続されて第2リセット信号を受信する。

【0006】

たとえば、本開示の実施例に係るアレイ基板は第1走査駆動回路をさらに備え、前記第

10

20

30

40

50

1 走査駆動回路は前記複数本のリセット信号線に接続され、且つ前記第 2 リセット信号を生成するように構成される。

【0007】

たとえば、本開示の実施例に係るアレイ基板は複数本の発光制御信号線をさらに備え、前記複数本の発光制御信号線は前記複数行の画素ユニットに 1 対 1 で対応し、前記複数の画素ユニットのそれぞれは発光制御信号端子をさらに備え、前記第 m 行の画素ユニットの発光制御信号端子は第 m 本の発光制御信号線に接続されて発光制御信号を受信する。

【0008】

たとえば、本開示の実施例に係るアレイ基板は第 2 走査駆動回路をさらに備え、前記第 2 走査駆動回路は前記複数本の発光制御信号線に接続され、且つ前記発光制御信号を生成するように構成される。

10

【0009】

たとえば、本開示の実施例に係るアレイ基板では、隣接する 2 列ごとの画素ユニットは同じデータ線に対応し、前記第 n 列の画素ユニットと前記第 n + 1 列の画素ユニットのデータ信号端子は同じデータ線に接続される。

【0010】

たとえば、本開示の実施例に係るアレイ基板は第 3 走査駆動回路をさらに備え、前記第 3 走査駆動回路は前記複数対のゲート線に接続され、且つ前記第 1 走査信号及び前記第 2 走査信号を生成するように構成される。

【0011】

たとえば、本開示の実施例に係るアレイ基板では、前記第 3 走査駆動回路は第 1 走査駆動サブ回路及び第 2 走査駆動サブ回路を備え、前記第 1 走査駆動サブ回路は各対のゲート線の第 1 ゲート線に接続され、且つ前記第 1 走査信号を生成するように構成され、前記第 2 走査駆動サブ回路は各対のゲート線の第 2 ゲート線に接続され、且つ前記第 2 走査信号を生成するように構成される。

20

【0012】

たとえば、本開示の実施例に係るアレイ基板では、前記第 1 走査駆動サブ回路と前記第 2 走査駆動サブ回路はそれぞれ前記画素アレイの互いに対向する両側に設けられる。

【0013】

たとえば、本開示の実施例に係るアレイ基板では、前記各画素ユニットは画素回路を備え、前記画素回路は、リセット回路と、データ書込み及び補償回路と、駆動回路と、発光制御回路とを備える。前記リセット回路は、前記リセット信号端子を備え、リセット電圧源、前記駆動回路、及び発光素子に接続され、リセット電圧を前記駆動回路及び前記発光素子に印加して前記駆動回路及び前記発光素子をリセットするように構成され、前記データ書込み及び補償回路は、前記走査信号端子及び前記データ信号端子を備え、前記駆動回路に接続され、前記データ信号を前記駆動回路に書き込んで前記駆動回路を補償するように構成され、前記駆動回路は、前記発光素子を駆動して発光させる駆動電流を生成するように構成され、前記発光制御回路は、発光制御信号端子を備え、第 1 電圧源、前記駆動回路、及び前記発光素子に接続され、第 1 電圧を前記駆動回路に印加して、前記駆動回路によって生成された駆動電流を前記発光素子に印加するように構成される。

30

【0014】

たとえば、本開示の実施例に係るアレイ基板では、前記リセット回路は第 1 リセットトランジスタ及び第 2 リセットトランジスタを備え、前記データ書込み及び補償回路は、データ書込みトランジスタと、補償トランジスタと、記憶コンデンサとを備え、前記駆動回路は駆動トランジスタを備え、前記発光制御回路は第 1 発光制御トランジスタ及び第 2 発光制御トランジスタを備え、前記第 1 リセットトランジスタのゲートは前記リセット信号端子に接続され、前記第 1 リセットトランジスタの第 1 電極は前記リセット電圧源に接続され、前記第 1 リセットトランジスタの第 2 電極は前記駆動トランジスタのゲートに接続され、前記第 2 リセットトランジスタのゲートは前記リセット信号端子に接続され、前記第 2 リセットトランジスタの第 1 電極は前記リセット電圧源に接続され、前記第 2 リセッ

40

50

トランジスタの第2電極は前記発光素子の第1端子に接続され、前記データ書込みトランジスタのゲートは前記走査信号端子に接続され、前記データ書込みトランジスタの第1電極は前記データ信号端子に接続され、前記データ書込みトランジスタの第2電極は前記駆動トランジスタの第1電極に接続され、前記補償トランジスタのゲートは前記走査信号端子に接続され、前記補償トランジスタの第1電極は前記駆動トランジスタの第2電極に接続され、前記補償トランジスタの第2電極は前記駆動トランジスタのゲートに接続され、前記記憶コンデンサの第1端子は前記第1電圧源に接続され、前記記憶コンデンサの第2端子は前記駆動トランジスタのゲートに接続され、前記第1発光制御トランジスタのゲートは前記発光制御信号端子に接続され、前記第1発光制御トランジスタの第1電極は前記第1電圧源に接続され、前記第1発光制御トランジスタの第2電極は前記駆動トランジスタの第1電極に接続され、前記第2発光制御トランジスタのゲートは前記発光制御信号端子に接続され、前記第2発光制御トランジスタの第1電極は前記駆動トランジスタの第2電極に接続され、前記第2発光制御トランジスタの第2電極は前記発光素子の第1端子に接続される。

10

【0015】

本開示の少なくとも1つの実施例は、前述したいずれかの実施例に記載のアレイ基板を備える表示パネルをさらに提供する。

【0016】

本開示の少なくとも1つの実施例は、前述したいずれかの実施例に記載のアレイ基板に適用する駆動方法をさらに提供し、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすることと、前記第m行の画素ユニット中の第n列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第m行の画素ユニット中の第n+1列の画素ユニットをリセットすることと、前記第m行の画素ユニット中の第n+1列の画素ユニットに対してデータ書込み及び補償を行うことと、前記第m行の画素ユニット中の第n列の画素ユニット及び第n+1列の画素ユニットに表示を行わせることを含む。

20

【0017】

たとえば、本開示の実施例に係る駆動方法では、前記第m行の画素ユニット中の第n列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第m行の画素ユニット中の第n+1列の画素ユニットをリセットすることは、前記第m対のゲート線の第1ゲート線を介して前記第m行の画素ユニット中の第n列の画素ユニットに前記第1走査信号を提供し、且つ前記第n列の画素ユニットに対応する一本のデータ線を介して前記第m行の画素ユニット中の第n列の画素ユニットに前記データ信号を提供し、前記第m行の画素ユニット中の第n列の画素ユニットに対してデータ書込み及び補償を行うとともに、前記第m対のゲート線の第1ゲート線を介して第m行の画素ユニット中の第n+1列の画素ユニットに前記第1走査信号を前記第1リセット信号として提供し、前記第m行の画素ユニット中の第n+1列の画素ユニットをリセットすることを含む。

30

【0018】

たとえば、本開示の実施例に係る駆動方法では、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすることは、第m-1対のゲート線の第1ゲート線を介して前記第m行の画素ユニット中の第n列の画素ユニットに前記第1走査信号を第2リセット信号として提供し、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすること、又は、前記第m-1対のゲート線の第2ゲート線を介して前記第m行の画素ユニット中の第n列の画素ユニットに前記第2走査信号を前記第2リセット信号として提供し、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすることを含む。

40

【0019】

たとえば、本開示の実施例に係る駆動方法では、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすることは、第m本のリセット信号線を介して前記第m行の画素ユニット中の第n列の画素ユニットに第2リセット信号を提供し、前記第m行の画素ユニット中の第n列の画素ユニットをリセットすることを含む。

【0020】

50

たとえば、本開示の実施例に係る駆動方法では、前記第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに対してデータ書込み及び補償を行うことは、前記第 m 対のゲート線の第2ゲート線を介して前記第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに前記第2走査信号を提供し、且つ前記第 $n+1$ 列の画素ユニットに対応する一本のデータ線を介して第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに前記データ信号を提供し、前記第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに対してデータ書込み及び補償を行うことを含む。

【0021】

たとえば、本開示の実施例に係る駆動方法では、前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに表示を行わせることは、第 m 本の発光制御信号線を介して前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに発光制御信号を提供し、前記第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに表示を行わせることを含む。

【0022】

本開示の実施例の技術的解決手段をより明瞭に説明するために、以下、実施例の図面を簡単に説明し、明らかなように、以下の説明における図面は本開示のいくつかの実施例に関するものに過ぎず、本開示を限定するものではない。

【図面の簡単な説明】

【0023】

【図1】アレイ基板の構造模式図である。

【図2A】本開示の実施例に係るアレイ基板の構造模式図である。

【図2B】本開示の実施例に係る別のアレイ基板の構造模式図である。

【図3A】本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【図3B】本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【図4A】本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【図4B】本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【図5】本開示の実施例に係るアレイ基板の画素ユニットの構造模式図である。

【図6】図5における画素回路の各回路の構造模式図である。

【図7】図6における画素回路を駆動するための信号のタイミング図である。

【図8A】図6に示される画素回路のリセット段階での等価回路図である。

【図8B】図6に示される画素回路のデータ書込み及び補償段階での等価回路図である。

【図8C】図6に示される画素回路の発光段階での等価回路図である。

【図9A】本開示の実施例に係る図6における画素回路を備える場合のアレイ基板の構造模式図である。

【図9B】本開示の実施例に係る図6における画素回路を備える場合のアレイ基板の別の構造模式図である。

【図10】本開示の実施例に係るアレイ基板を駆動するための信号のタイミング図である。

【図11】本開示の1つの実施例に係る表示パネルの構造模式図である。

【図12】本開示の実施例に係るアレイ基板の駆動方法のフローチャートである。

【発明を実施するための形態】

【0024】

本開示の実施例の目的、技術的解決手段及び利点をより明瞭にするために、以下では本開示の実施例の図面を参照しながら、本開示の実施例の技術的解決手段を明瞭で、完全に説明する。勿論、説明される実施例は本開示の一部の実施例であり、全ての実施例ではない。説明される本開示の実施例に基づき、当業者が創造的な労働を必要とせずに行われる全ての他の実施例は、いずれも本開示の保護範囲に属する。

【0025】

さらに定義しない限り、ここで使用されている技術用語又は科学用語は当業者が理解できる通常の意味を有する。本開示で使用されている「第1」、「第2」及び類似する用語は、順序、数量又は重要性を示すものではなく、単に異なる構成要素を区別するためのもの

10

20

30

40

50

のである。同様に、「備える」又は「含む」等の類似する用語は、「備える」又は「含む」の前に記載される要素又は部材が、「備える」又は「含む」の後に挙げられる要素又は部材及びそれらと同等のものをカバーし、他の要素又は部材を排除しないことを意味する。「接続」又は「連結」等の類似する用語は、物理的又は機械的接続に限定されず、直接接続又は間接的接続にかかわらず、電氣的接続も含む。「上」、「下」、「左」、「右」等は、単に相対的な位置関係を示すために用いられ、説明される対象の絶対位置が変化すると、該相対的な位置関係も対応して変化する可能性がある。

【0026】

図1はアレイ基板の構造模式図である。図1に示すように、該アレイ基板は、ベース基板と、ベース基板に設けられた複数本のゲート線S、複数本のデータ線D、及び画素アレイとを備える。画素アレイは複数行及び複数列に配列された複数の画素ユニットPを備え、第M行の画素ユニットは第M本のゲート線 S_M に接続されて走査信号を受信し、第N列の画素ユニットは第N本のデータ線 D_N に接続されてデータ信号を受信する。画素アレイの各画素ユニットは受信された走査信号の制御下で受信されたデータ信号に基づいて動作して、所要の輝度の光を放出し、画像表示を実現することができる。

【0027】

図1に示されるアレイ基板では、同じ行の画素ユニット中の複数列の画素ユニットは同じゲート線に接続されるため、同じ行の画素ユニット中の複数列の画素ユニットは、同じゲート線により提供された走査信号の駆動で同時にオンにされ、同じ行の画素ユニット中の複数列の画素ユニットのオン時間が一致であり、また、同じ行の画素ユニット中の複数列の画素ユニットは複数本の異なるデータ線に接続されるため、同じ行の画素ユニット中の複数列の画素ユニットは、複数本の異なるデータ線により提供されたデータ信号に順次書き込まれる。この場合に、同じ行の画素ユニット中の複数列の画素ユニットは、たとえば充電してから放電することや充電しながら放電することなどの異なる充電方式を有することをもたらし、さらに、同じ行の画素ユニット中の複数列の画素ユニットの表示輝度は不均一で、表示品質に影響を与えることをもたらす。

【0028】

本開示の少なくとも1つの実施例はアレイ基板を提供し、該アレイ基板は、各対が第1ゲート線及び第2ゲート線を備える複数対のゲート線と、複数本のデータ線と、複数行及び複数列に配列された複数の画素ユニットを備える画素アレイとを備える。複数の画素ユニットのそれぞれは、走査信号端子と、データ信号端子と、リセット信号端子とを備え、複数行の画素ユニットは複数対のゲート線に1対1で対応し、各列の画素ユニットは複数本のデータ線のうちの1本のデータ線に対応し、第m行の画素ユニット中の第n列の画素ユニットの走査信号端子は第m対のゲート線の第1ゲート線に接続されて第1走査信号を受信し、m及びnはいずれも正の整数であり、第m行の画素ユニット中の第n+1列の画素ユニットの走査信号端子は第m対のゲート線の第2ゲート線に接続されて第2走査信号を受信し、第m行の画素ユニット中の第n+1列の画素ユニットのリセット信号端子は前記第m対のゲート線の第1ゲート線に接続されて第1走査信号を第1リセット信号として受信し、各列の画素ユニットのデータ信号端子は対応する一本のデータ線に接続されてデータ信号を受信する。

【0029】

本開示の実施例に係るアレイ基板では、第m行の画素ユニット中の第n列の画素ユニットの走査信号端子は第m対のゲート線の第1ゲート線に接続されて第1走査信号を受信するようにしてもよく、第m行の画素ユニット中の第n+1列の画素ユニットの走査信号端子は第m対のゲート線の第2ゲート線に接続されて第2走査信号を受信するようにしてもよく、それにより、第m行の画素ユニット中の第n列の画素ユニットは、第m対のゲート線の第1ゲート線により提供された第1走査信号の駆動の下で最初にオンにされ、第n+1列の画素ユニットは、第m対のゲート線の第2ゲート線により提供された第2走査信号の駆動の下で後にオンにされ、且つ、第m行の画素ユニット中の第n列の画素ユニットと第n+1列の画素ユニットのオン時間の長さを一致させることができる。この場合に、第

10

20

30

40

50

m行の画素ユニット中の第n列の画素ユニットと第n+1列の画素ユニットの充電方式は同じであり、同じ行の画素ユニット中の複数列の画素ユニットの表示輝度が不均一である問題を回避し、更に表示品質を改善することができる。

【0030】

また、本開示の少なくとも1つの実施例に係るアレイ基板では、第m行の画素ユニット中の第n列の画素ユニットの走査信号端子は第m対のゲート線の第1ゲート線に接続されてもよく、且つ第m行の画素ユニット中の第n+1列の画素ユニットのリセット信号端子も第m対のゲート線の第1ゲート線に接続されてもよく、それにより、第m対のゲート線の第1ゲート線により第m行の画素ユニット中の第n列の画素ユニットに提供された第1走査信号を第1リセット信号として第m行の画素ユニット中の第n+1列の画素ユニットに印加して、第m行の画素ユニット中の第n+1列の画素ユニットをリセットすることができる。この場合に、アレイ基板行駆動(gate driver on array、GOA)の数をさらに減少することができ、該アレイ基板を用いた表示装置の狭額縁設計の実現に有利である。

【0031】

以下、図面を参照しながら本開示の実施例に係るアレイ基板を非限定的に説明し、以下に説明するように、互いに矛盾する限り、これらの具体的な実施例の異なる特徴を組み合わせる。新たな実施例を得ることができ、これらの新たな実施例も本開示の保護範囲に属する。

【0032】

図2Aは本開示の実施例に係るアレイ基板の構造模式図である。図2Bは本開示の実施例に係る別のアレイ基板の構造模式図である。

【0033】

図2A及び図2Bに示すように、アレイ基板10は、ベース基板と、ベース基板に設けられた複数対のゲート線S、複数本のデータ線D、及び画素アレイとを備える。該ベース基板はガラス基板、プラスチック基板等であってもよく、本開示の実施例はこれを限定しない。複数対のゲート線Sは第1方向にベース基板に設けられてもよく、複数対のゲート線Sの各対は、第1ゲート線S_o及び第2ゲート線S_eを備え、複数本のデータ線Dは第2方向にベース基板に設けられてもよく、画素アレイは複数行及び複数列に配列された複数の画素ユニット110を備え、たとえば、複数の画素ユニット110は、複数対のゲート線S及び複数本のデータ線Dによって交差して限定された画素領域に位置し、各画素ユニット110は、走査信号端子GAと、データ信号端子DAと、リセット信号端子RSTとを備え、それぞれ該画素ユニット110に適用される走査信号(たとえば、第1走査信号又は第2走査信号)、データ信号、及びリセット信号(たとえば、第1リセット信号又は第2リセット信号)を受信する。

【0034】

たとえば、第1方向は第2方向に垂直であり、第1方向は画素アレイの行方向(たとえば、図2A及び図2BにおけるX方向)であり、第2方向は画素アレイの列方向(たとえば、図2A及び図2BにおけるY方向)であることもよい。

【0035】

図2及び図2Bに示すように、複数行の画素ユニットは複数対のゲート線Sに1対1で対応してもよく、各行の画素ユニットはそれに対応する一対のゲート線Sに接続されてもよく、たとえば、第m行の画素ユニットは第m対のゲート線S_mに対応してもよく、第m行の画素ユニット中の第n列の画素ユニットは第m対のゲート線S_mの第1ゲート線S_{em}に対応してもよく、第m行の画素ユニット中の第n+1列の画素ユニットは第m対のゲート線S_mの第2ゲート線S_{om}に対応してもよく、第m行の画素ユニット中の第n列の画素ユニットの走査信号端子GAは第m対のゲート線S_mの第1ゲート線S_{em}に接続されて第1走査信号を受信するようにしてもよく、第m行の画素ユニット中の第n+1列の画素ユニットの走査信号端子GAは第m対のゲート線S_mの第2ゲート線S_{om}に接続されて第2走査信号を受信するようにしてもよく、m及びnはいずれも正の整数である。

【0036】

なお、図2A及び図2Bにおいて、第 m 対のゲート線 S_m の第1ゲート線 S_{em} と第2ゲート線 S_{om} が第 m 行の画素ユニットの同じ側に設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第 m 対のゲート線 S_m の第1ゲート線 S_{em} と第2ゲート線 S_{om} は第 m 行の画素ユニットの互いに対向する両側に設けられてもよく、たとえば、第 m 対のゲート線 S_m の第1ゲート線 S_{em} は第 m 行の画素ユニットの上側に設けられ、第 m 対のゲート線 S_m の第2ゲート線 S_{om} は第 m 行の画素ユニットの下側に設けられるようにしてもよい。

【0037】

図2A及び図2Bに示すように、複数列の画素ユニットは複数本のデータ線 D に1対1で対応してもよく、各列の画素ユニットはそれに対応するデータ線 D に接続されてもよく、たとえば、第 n 列の画素ユニットは第 n 本のデータ線 D_n に対応してもよく、第 n 列の画素ユニットのデータ信号端子 DA は第 n 本のデータ線 D_n に接続されてデータ信号を受信するようにしてもよい。

【0038】

なお、図2A及び図2Bにおいて、複数列の画素ユニットが複数本のデータ線 D に1対1で対応することが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、各列の画素ユニットは複数本のデータ線 D のうちの1本のデータ線 D に対応し、且つ隣接する2列ごとの画素ユニットは同じデータ線 D に対応し、たとえば、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットは同じデータ線に対応してもよく、第 $n+2$ 列の画素ユニット（図示せず）と第 $n+3$ 列の画素ユニット（図示せず）は同じデータ線に対応してもよく、…、以下、同様である。第 n 列の画素ユニットのデータ信号端子 DA と第 $n+1$ 列の画素ユニットのデータ信号端子 DA は同じデータ線に接続されてデータ信号を受信するようにしてもよく、第 $n+2$ 列の画素ユニットのデータ信号端子 DA と第 $n+3$ 列の画素ユニットのデータ信号端子 DA は同じデータ線に接続されてデータ信号を受信するようにしてもよく、…、以下、同様である。

【0039】

なお、図2A及び図2Bにおいて、第 n 本のデータ線 D_n が第 n 列の画素ユニットの左側に設けられ、2本のデータ線 D の間には1列の画素ユニットが設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第 n 本のデータ線 D_n は第 n 列の画素ユニットの右側に設けられてもよい。また、隣接する2列の画素ユニットが同じデータ線 D に対応する場合に、1本のデータ線 D はそれに対応する隣接する2列の画素ユニットの間に設けられてもよく、つまり、2本のデータ線 D の間には2列の画素ユニットが設けられてもよい。

【0040】

図2A及び図2Bに示すように、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子 RST は第 m 対のゲート線 S_m の第1ゲート線 S_{om} に接続されて第1走査信号を受信するようにしてもよい。この場合に、第 m 対のゲート線 S_m の第1ゲート線 S_{om} により第 m 行の画素ユニット中の第 n 列の画素ユニットに提供された第1走査信号を第1リセット信号として第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに印加して、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットすることができる。

【0041】

本開示のいくつかの実施例に係るアレイ基板では、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は第 $m-1$ 対のゲート線の第1ゲート線に接続され、第 $m-1$ 対のゲート線の第1ゲート線により提供された第1走査信号を第2リセット信号として受信し、それにより、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットし、この場合に、 m は1よりも大きい整数である。

【0042】

図2Aに示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号

端子 RST は第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} に接続されてもよい。この場合に、第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} により第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットに提供された第 1 走査信号を第 2 リセット信号として第 m 行の画素ユニット中の第 n 列の画素ユニットに印加して、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることができる。

【0043】

また、図 2 A に示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST が第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} に接続された場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST は第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} に接続される。この場合に、第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} により第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットに提供された第 2 走査信号を第 2 リセット信号として第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットに印加して、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットをリセットすることができる。

【0044】

図 2 A からわかるように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST が第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} に接続された場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST は第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} に接続され、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子 RST は第 m 対のゲート線 S_m の第 1 ゲート線 S_{om} に接続される。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式は、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式と異なる。具体的には、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットのそれぞれの動作周期について、第 $m-1$ 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $n+1$ 列の画素ユニットに提供された第 2 走査信号を第 2 リセット信号として使用することによりリセットされ、第 m 行の画素ユニットにおいて、第 $n+1$ 列の画素ユニットは、第 n 列の画素ユニットに提供された第 1 走査信号を第 1 リセット信号として使用することによりリセットされる。

【0045】

本開示の別のいくつかの実施例に係るアレイ基板では、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は第 $m-1$ 対のゲート線の第 2 ゲート線に接続され、第 $m-1$ 対のゲート線の第 2 ゲート線により提供された第 2 走査信号を第 2 リセット信号として受信し、それにより、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットし、この場合に、 m は 1 よりも大きい整数である。

【0046】

図 2 B に示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST は第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} に接続されてもよい。この場合に、第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} により第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットに提供された第 2 走査信号を第 2 リセット信号として第 m 行の画素ユニット中の第 n 列の画素ユニットに印加して、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることができる。

【0047】

また、図 2 B に示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST が、第 $m-1$ 対のゲート線 S_{m-1} の第 2 ゲート線 S_{em-1} に接続される場合に、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子 RST は、第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} に接続される。この場合に、第 $m-1$ 対のゲート線 S_{m-1} の第 1 ゲート線 S_{om-1} により第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットに提供された第 1 走査信号を第 1 リセット信号として第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットに印加して、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットすることができる。

【0048】

図2Bからわかるように、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子 RST が、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 Se_{m-1} に接続される場合に、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子 RST は、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 So_{m-1} に接続され、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子 RST は第 m 対のゲート線 S_m の第1ゲート線 So_m に接続される。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式は、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式と同じである。具体的には、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットのそれぞれの動作周期について、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットの両方において、第 $n+1$ 列の画素ユニットは、第 n 列の画素ユニットに提供された第1走査信号を第1リセット信号として使用することによりリセットされる。

10

【0049】

なお、本開示では、第1リセット信号と第2リセット信号は、同じ行の画素ユニット中の異なる列（たとえば、第 n 列及び第 $n+1$ 列）の画素ユニットに対するものであり、単に説明中に区別するために用いられ、時間順序等を制限するものではない。たとえば、第1リセット信号は第 $n+1$ 列の画素ユニットをリセットする信号であってもよく、第2リセット信号は第 n 列の画素ユニットをリセットする信号であってもよい。たとえば、この場合に、図2Aに示すように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 So_{m-1} から第1走査信号を第2リセット信号として受信し、第 $n+1$ 列の画素ユニットは、第 m 対のゲート線 S_m の第1ゲート線 So_m から第1走査信号を第1リセット信号として受信し、第 $m-1$ 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 Se_{m-1} から第2走査信号を第2リセット信号として受信する。図2Bに示すように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 Se_{m-1} から第2走査信号を第2リセット信号として受信し、第 $n+1$ 列の画素ユニットは、第 m 対のゲート線 S_m の第1ゲート線 So_m から第1走査信号を第1リセット信号として受信し、第 $m-1$ 行の画素ユニットにおいて、第 $n+1$ 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 So_{m-1} から第1走査信号を第1リセット信号として受信する。本開示の少なくとも1つの実施例に係るアレイ基板では、複数の画素ユニットのそれぞれは、該画素ユニットに適用する発光制御信号を受信するための発光制御信号端子をさらに備える。対応して、該実施例に係るアレイ基板は、ベース基板に設けられた複数本の発光制御信号線をさらに備えてもよく、複数本の発光制御信号線は複数行の画素ユニットに1対1で対応し、第 m 行の画素ユニットの発光制御信号端子は第 m 本の発光制御信号線に接続されて発光制御信号を受信する。

20

30

【0050】

図2A及び図2Bに示すように、各画素ユニット110は、発光制御信号端子 EM をさらに備える。アレイ基板10はベース基板に設けられた複数本の発光制御信号線 E をさらに備え、たとえば、複数本の発光制御信号線 E は第1方向にベース基板に設けられてもよい。複数本の発光制御信号線 E は複数行の画素ユニットに1対1で対応してもよく、各行の画素ユニットはそれに対応する発光制御信号線 E に接続されてもよい。たとえば、第 m 行の画素ユニットは第 m 本の発光制御信号線 E_m に対応し、第 m 行の画素ユニットの発光制御信号端子 EM は第 m 本の発光制御信号線 E_m に接続されて発光制御信号を受信するようにしてもよい。

40

【0051】

なお、図2A及び図2Bにおいて、第 m 本の発光制御信号線 E_m が第 m 行の画素ユニットの下側に設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第 m 本の発光制御信号線 E_m は第 m 行の画素ユニットの上側に設けられる。

50

【0052】

本開示いくつかの実施例では、アレイ基板はベース基板に設けられた複数本のリセット信号線をさらに備えてもよく、複数本のリセット信号線は複数行の画素ユニットに1対1で対応し、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子は第 m 本のリセット信号線に接続されて第2リセット信号を受信し、それにより、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットする。

【0053】

図3Aは本開示の実施例に係るさらに別のアレイ基板の構造模式図である。図3Bは本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【0054】

図3A及び図3Bに示すように、アレイ基板10はベース基板に設けられた複数本のリセット信号線Rをさらに備え、たとえば、複数本のリセット信号線Rは第1方向にベース基板に設けられてもよい。図3A及び図3Bに示されたアレイ基板10では、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子RSTは第 m 対のゲート線 S_m の第1ゲート線 S_{om} に接続されて第1走査信号を第1リセット信号として受信するようにしてもよく、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットする。

【0055】

図3A及び図3Bに示すように、複数本のリセット信号線Rは複数行の画素ユニットに1対1で対応してもよく、各行の画素ユニットはそれに対応するリセット信号線Rに接続されてもよい。たとえば、第 m 行の画素ユニットは第 m 本のリセット信号線 R_m に対応してもよく、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子RSTは第 m 本のリセット信号線 R_m に接続されて第2リセット信号を受信し、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットするようにしてもよい。

【0056】

なお、図3A及び図3Bにおいて、第 m 本のリセット信号線 R_m と、第 m 対のゲート線 S_m の第1ゲート線 S_{em} 及び第2ゲート線 S_{om} とが第 m 行の画素ユニットの同じ側に設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第 m 本のリセット信号線 R_m と、第 m 対のゲート線 S_m の第1ゲート線 S_{em} 及び第2ゲート線 S_{om} とは第 m 行の画素ユニットの互いに対向する両側に設けられてもよく、たとえば、第 m 本のリセット信号線 R_m は第 m 行の画素ユニットの上側に設けられ、第 m 対のゲート線 S_m の第1ゲート線 S_{em} 及び第2ゲート線 S_{om} は第 m 行の画素ユニットの下側に設けられるようにしてもよい。

【0057】

図3Aに示すように、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子RSTは第 $m-1$ 本のリセット信号線 R_{m-1} に接続されて第2リセット信号を受信し、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットをリセットするようにしてもよく、 m は1よりも大きい整数である。この場合に、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子RSTは第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 S_{om-1} に接続されて第1走査信号を第1リセット信号として受信し、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットすることができる。

【0058】

図3Aからわかるように、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式は、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式と同じであってもよい。具体的には、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットのそれぞれの動作周期について、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットにおいて、第 n 列の画素ユニットは、独立して提供された第2リセット信号を使用することによりリセットされ、第 $n+1$ 列の画素ユニットは、第 n 列の画素ユニットに提供された第1走査信号を第2リセット信号として使用することによりリセットされる。

【0059】

図3Bに示すように、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットのリセット信号端子RSTは第 $m-1$ 本のリセット信号線 R_{m-1} に接続されて第1リセット信号を受信し、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットするようにしてもよい。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子RSTは第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 Se_{m-1} に接続されて第2走査信号を第2リセット信号として受信し、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットをリセットすることができる。

【0060】

図3Bからわかるように、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式は、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットのリセット方式と異なってもよい。具体的には、第 $m-1$ 行の画素ユニットと第 m 行の画素ユニットのそれぞれの動作周期について、第 $m-1$ 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $n+1$ 列の画素ユニットに提供された第2走査信号を第2リセット信号として使用することによりリセットされ、第 $n+1$ 列の画素ユニットは、独立して提供された第1リセット信号を使用することによりリセットされ、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットは、独立して提供された第2リセット信号を使用することによりリセットされ、第 $n+1$ 列の画素ユニットは、第 n 列の画素ユニットに提供された第1走査信号を第1リセット信号として使用することによりリセットされる。

【0061】

なお、本開示の実施例では、区別するために、第 $n+1$ 列の画素ユニットをリセットするための信号は第1リセット信号と呼ばれ、第 n 列の画素ユニットをリセットするための信号は第2リセット信号と呼ばれる。たとえば、この場合に、図3A及び3Bに示すように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 m 本のリセット信号線 R_m から第2リセット信号を受信し、第 $n+1$ 列の画素ユニットは、第 m 対のゲート線 S_m の第1ゲート線 So_m から第1走査信号を第1リセット信号として受信し、図3Aに示すように、第 $m-1$ 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $m-1$ 本のリセット信号線 R_{m-1} から第2リセット信号を受信し、第 $n+1$ 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 So_{m-1} から第1走査信号を第1リセット信号として受信し、図3Bに示すように、第 $m-1$ 行の画素ユニットにおいて、第 n 列の画素ユニットは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 Se_{m-1} から第2走査信号を第2リセット信号として受信し、第 $n+1$ 列の画素ユニットは、第 $m-1$ 本のリセット信号線 R_{m-1} から第1リセット信号を受信する。

【0062】

簡単にするために、ここで、図3A及び図3Bにおける複数本のリセット信号線Rのみを詳細に説明し、図3A及び図3Bにおける複数対のゲート線S、複数本のデータ線D、複数本の発光制御信号線E、及び複数の画素ユニット110の説明については、上記の図2A及び図2Bにおける複数対のゲート線S、複数本のデータ線D、複数本の発光制御信号線E、及び複数の画素ユニット100の関連説明を参照することができ、ここでは詳しく説明しない。

【0063】

なお、図2A、図2B、図3A及び図3Bにおいて、上から下への順序で、複数対のゲート線S、複数本のリセット信号線R、複数本の発光制御信号線Eに番号が付けられ、且つ左から右への順序で、複数本のデータ線Dに番号が付けられているが、これは説明の便宜のためのものに過ぎず、各信号線の絶対位置関係を限定するものではなく、本開示の実施例は明らかにこれに限定されない。たとえば、下から上への順序で、複数対のゲート線S、複数本のリセット信号線R、複数本の発光制御信号線Eに番号を付け、及び／又は、右から左への順序で複数本のデータ線Dに番号を付けるようにしてもよい。

【0064】

本開示の少なくとも1つの実施例に係るアレイ基板は、ベース基板に設けられた第1走

10

20

30

40

50

査駆動回路をさらに備えてもよく、第1走査駆動回路は複数本のリセット信号線に接続され、第2リセット信号を生成するように構成される。

【0065】

本開示の少なくとも1つの実施例に係るアレイ基板は、ベース基板に設けられた第2走査駆動回路をさらに備えてもよく、第2走査駆動回路は複数本の発光制御信号線に接続され、発光制御信号を生成するように構成される。

【0066】

本開示の少なくとも1つの実施例に係るアレイ基板は、ベース基板に設けられた第3走査駆動回路をさらに備えてもよく、第3走査駆動回路は複数対のゲート線に接続され、第1走査信号及び第2走査信号を生成するように構成される。

【0067】

図4Aは本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

【0068】

図4Aに示すように、アレイ基板10は、ベース基板に設けられた第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230をさらに備える。

【0069】

図4Aに示すように、第1走査駆動回路210は複数本のリセット信号線Rに接続され、第2リセット信号を生成するように構成されるようにしてもよい。たとえば、第1走査駆動回路210は、第m本のリセット信号線R_mを介して第m行の画素ユニット中の第n列の画素ユニットに第2リセット信号を提供するようにしてもよい。

【0070】

図4Aに示すように、第2走査駆動回路220は複数本の発光制御信号線Eに接続され、発光制御信号を生成するように構成されるようにしてもよい。たとえば、第2走査駆動回路220は、第m本の発光制御信号線E_mを介して第m行の画素ユニット中の第n列の画素ユニット及び第n+1列の画素ユニットに発光制御信号を提供するようにしてもよい。

【0071】

図4Aに示すように、第3走査駆動回路230は複数対のゲート線Sに接続され、第1走査信号及び第2走査信号を生成するように構成されるようにしてもよい。たとえば、第3走査駆動回路230は、第m対のゲート線S_mの第1ゲート線S_o_mを介して第m行の画素ユニット中の第n列の画素ユニットに第1走査信号を提供し、且つ第m対のゲート線S_mの第2ゲート線S_e_mを介して第m行の画素ユニット中の第n+1列の画素ユニットに第2走査信号を提供するようにしてもよい。

【0072】

なお、図4Aにおいて、第2リセット信号、発光制御信号、及び第1走査信号と第2走査信号はそれぞれ、第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230により提供されることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第2リセット信号、発光制御信号、及び第1走査信号と第2走査信号は、同じより大きな走査駆動回路により提供されてもよい。

【0073】

なお、図4Aにおいて、第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230は全て画素アレイの左側に設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230は全て画素アレイの右側、上側又は下側に設けられてもよく、又は第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230はそれぞれ画素アレイの異なる側に設けられてもよい。

【0074】

たとえば、図4Aに示される第1走査駆動回路210、第2走査駆動回路220、及び第3走査駆動回路230はゲート駆動集積回路（チップ）であってもよく、それにより、ボンディングの方式でベース基板に設けられてもよく、又は半導体プロセス、つまりGOAの形態でベース基板に直接製造されてもよい。また、図4Aにおいて、第1走査駆動回

10

20

30

40

50

路 2 1 0、第 2 走査駆動回路 2 2 0、及び第 3 走査駆動回路 2 3 0 は独立して提供されることが示されているが、第 1 走査駆動回路 2 1 0、第 2 走査駆動回路 2 2 0、及び第 3 走査駆動回路 2 3 0 は組み合わせの方式で提供されてもよく、たとえば、同じゲート駆動集積回路により提供され、又はベース基板の同じ領域に製造される。本開示の別の 1 つの実施例に係るアレイ基板では、第 3 走査駆動回路は第 1 走査駆動サブ回路及び第 2 走査駆動サブ回路を備える。第 1 走査駆動サブ回路は各対のゲート線の第 1 ゲート線に接続され、第 1 走査信号を生成するように構成され、第 2 走査駆動サブ回路は各対のゲート線の第 2 ゲート線に接続され、第 2 走査信号を生成するように構成される。

【0075】

図 4 B は本開示の実施例に係るさらに別のアレイ基板の構造模式図である。

10

【0076】

図 4 B に示すように、第 3 走査駆動回路 2 3 0 は第 1 走査駆動サブ回路 2 3 1 及び第 2 走査駆動サブ回路 2 3 2 を備える。

【0077】

図 4 B に示すように、第 1 走査駆動サブ回路 2 3 1 は、各対のゲート線 S の第 1 ゲート線 S_o に接続されてもよく、第 1 走査信号を生成するように構成される。たとえば、第 1 走査駆動サブ回路 2 3 1 は、第 m 対のゲート線 S_m の第 1 ゲート線 S_{o m} を介して第 m 行の画素ユニット中の第 n 列の画素ユニットに第 1 走査信号を提供するようにしてもよい。

【0078】

図 4 B に示すように、第 2 走査駆動サブ回路 2 3 2 は各対のゲート線 S の第 2 ゲート線 S_e に接続され、第 2 走査信号を生成するように構成されるようにしてもよい。たとえば、第 2 走査駆動サブ回路 2 3 2 は、第 m 対のゲート線 S_m の第 2 ゲート線 S_{e m} を介して第 m 行の画素ユニット中の第 n + 1 列の画素ユニットに第 2 走査信号を提供するようにしてもよい。

20

【0079】

簡単にするために、ここで、図 4 B における第 1 走査駆動サブ回路 2 3 1 及び第 2 走査駆動サブ回路 2 3 2 のみを詳細に説明し、4 B における第 1 走査駆動回路 2 1 0、第 2 走査駆動回路 2 2 0 の説明については、上記の図 4 A における第 1 走査駆動回路 2 1 0、第 2 走査駆動回路 2 2 0 の関連説明を参照することができ、ここでは詳しく説明しない。

【0080】

30

なお、図 4 B において、第 1 走査駆動サブ回路 2 3 1 と第 2 走査駆動サブ回路 2 3 2 はそれぞれ画素アレイの互いに対向する両側（左側及び右側）に設けられることが示されているが、本開示の実施例は明らかにこれに限定されない。たとえば、第 1 走査駆動サブ回路 2 3 1 と第 2 走査駆動サブ回路 2 3 2 は画素アレイの同じ側に設けられてもよく、たとえば、第 1 走査駆動サブ回路 2 3 1 と第 2 走査駆動サブ回路 2 3 2 は全て画素アレイの左側、右側、上側又は下側に設けられてもよい。

【0081】

なお、図 4 A 及び図 4 B におけるアレイ基板 1 0 の各接続線（たとえば、複数対のゲート線 S、複数本のデータ線 D、複数本のリセット信号線 R、及び複数本の発光制御線 E）と画素アレイとの接続方式は、図 3 A におけるアレイ基板 1 0 での接続方式と同じであるが、図 4 A 及び図 4 B におけるアレイ基板 1 0 の各接続線と画素アレイとの接続方式は図 3 B におけるアレイ基板 1 0 での接続方式を使用してもよい。また、図 4 A 及び図 4 B におけるアレイ基板 1 0 の各接続線と画素アレイとの接続方式は図 2 A 又は図 2 B におけるアレイ基板 1 0 での接続方式を使用してもよく、この場合に、図 4 A 及び図 4 B におけるアレイ基板 1 0 は複数本のリセット信号線 R を含まなくてもよく、対応して第 1 走査駆動回路 2 1 0 も含まない。

40

【0082】

上記の図 2 A ～図 4 B に示される実施例では、複数列の画素ユニットは複数本のデータ線に 1 対 1 で対応するが、本開示の実施例は明らかにこれに限定されない。たとえば、図 2 A ～図 4 B に示される実施例の変形例では、少なくとも 2 列の画素ユニットは 1 本のデ

50

ータ線に対応してもよく、たとえば、隣接する２列の画素ユニットは同じデータ線に対応し、隣接する２列の画素ユニットのデータ信号端子は同じデータ線に接続されて同じデータ信号を受信するようにしてもよく（以下の図９Ｂに示される実施例を参照）、それによりデータ線の共有を実現し、データ線の数及びデータ駆動回路の数を減少させ、それにより製造コストを低減させる。

【００８３】

本開示の実施例に係るアレイ基板では、各画素ユニットは画素回路及び発光素子を備え、画素回路は、リセット回路と、データ書込み及び補償回路と、駆動回路と、発光制御回路とを備える。リセット回路は、リセット信号端子を備え、リセット電圧源、駆動回路、及び発光素子に接続され、リセット電圧を駆動回路及び発光素子に印加して駆動回路及び発光素子をリセットするように構成され、データ書込み及び補償回路は、走査信号端子及びデータ信号端子を備え、駆動回路に接続され、データ信号を駆動回路に書き込んで駆動回路を補償するように構成され、駆動回路は、発光素子を駆動して発光させるための駆動電流を生成するように構成され、発光制御回路は、発光制御信号端子を備え、第１電圧源、駆動回路、及び発光素子に接続され、第１電圧を駆動回路に印加し、駆動回路によって生成された駆動電流を発光素子に印加するように構成される。

10

【００８４】

図５は本開示の実施例に係るアレイ基板の画素ユニットの構造模式図である。図５に示すように、画素ユニット１００は画素回路１１０及び発光素子１２０を備える。画素回路１１０は、リセット回路１１１と、データ書込み及び補償回路１１２と、駆動回路１１３と、発光制御回路１１４とを備える。

20

【００８５】

図５に示すように、リセット回路１１１は、リセット信号端子ＲＳＴを備え、リセット電圧源ＶＩＮＴ、駆動回路１１３、及び発光素子１２０に接続され、リセット信号の制御下でリセット電圧源ＶＩＮＴから受信されたリセット電圧を駆動回路１１３及び発光素子１２０に印加して、駆動回路１１３及び発光素子１２０をリセットするように構成される。たとえば、ここでのリセット信号は上記の実施例に記載の第１リセット信号又は第２リセット信号であってもよく、後述する実施例で言及されるリセット信号はこれと同様な意味を有し、従って、詳しく説明しない。

【００８６】

図５に示すように、データ書込み及び補償回路１１２は、走査信号端子ＧＡ及びデータ信号端子ＤＡを備え、駆動回路１１３に接続され、走査信号の制御下でデータ信号を駆動回路１１３に書き込んで駆動回路１１３を補償するように構成される。たとえば、ここでの走査信号は上記の実施例に記載の第１走査信号又は第２走査信号であってもよく、後述する実施例で言及される走査信号はこれと同様な意味を有し、従って、詳しく説明しない。

30

【００８７】

図５に示すように、駆動回路１３０は、リセット回路１１１、データ書込み及び補償回路１１２、及び発光制御回路１１４に接続され、且つ発光素子１２０を駆動して発光させるための駆動電流を生成するように構成される。

【００８８】

図５に示すように、発光制御回路１１４は、発光制御信号端子ＥＭを備え、第１電圧源ＶＤＤ、駆動回路１１３、及び発光素子１２０に接続され、且つ発光制御信号の制御下で第１電圧源ＶＤＤから受信された第１電圧を駆動回路１１３に印加し、駆動回路１１３によって生成された駆動電流を発光素子１２０に印加するように構成される。

40

【００８９】

図５に示すように、発光素子１２０は、第２電圧源ＶＳＳ、リセット回路１１１、及び発光制御回路１１４に接続され、駆動回路１１３によって生成された駆動電流の駆動により発光するように構成される。

【００９０】

たとえば、発光素子１２０は発光ダイオード等であってもよい。発光ダイオードは有機

50

発光ダイオード（O L E D）又は量子ドット発光ダイオード（Q L E D）等であってもよい。

【0091】

本開示の少なくとも1つの実施例に係るアレイ基板では、リセット回路は第1リセットトランジスタ及び第2リセットトランジスタを備え、データ書込み及び補償回路は、データ書込みトランジスタと、補償トランジスタと、記憶コンデンサとを備え、駆動回路は駆動トランジスタを備え、発光制御回路は第1発光制御トランジスタ及び第2発光制御トランジスタを備える。データ書込みトランジスタのゲートは走査信号端子に接続され、データ書込みトランジスタの第1電極はデータ信号端子に接続され、データ書込みトランジスタの第2電極は前記駆動トランジスタの第1電極に接続され、補償トランジスタのゲートは走査信号端子に接続され、補償トランジスタの第1電極は駆動トランジスタの第2電極に接続され、補償トランジスタの第2電極は駆動トランジスタのゲートに接続され、記憶コンデンサの第1端子は第1電圧源に接続され、記憶コンデンサの第2端子は駆動トランジスタのゲートに接続され、第1リセットトランジスタのゲートはリセット信号端子に接続され、第1リセットトランジスタの第1電極はリセット電圧源に接続され、第1リセットトランジスタの第2電極は駆動トランジスタのゲートに接続され、第2リセットトランジスタのゲートはリセット信号端子に接続され、第2リセットトランジスタの第1電極はリセット電圧源に接続され、第2リセットトランジスタの第2電極は発光素子の第1端子に接続され、第1発光制御トランジスタのゲートは発光制御信号端子に接続され、第1発光制御トランジスタの第1電極は第1電圧源に接続され、第1発光制御トランジスタの第2電極は駆動トランジスタの第1電極に接続され、第2発光制御トランジスタのゲートは発光制御信号端子に接続され、第2発光制御トランジスタの第1電極は駆動トランジスタの第2電極に接続され、第2発光制御トランジスタの第2電極は発光素子の第1端子に接続される。

【0092】

図6は図5における画素回路の各回路の構造模式図である。図6に示すように、リセット回路111は第1リセットトランジスタT1及び第2リセットトランジスタT2を備え、データ書込み及び補償回路112は、データ書込みトランジスタT3と、補償トランジスタT4と、記憶コンデンサC_{set}とを備え、駆動回路113は駆動トランジスタT_dを備え、発光制御回路114は第1発光制御トランジスタT5及び第2発光制御トランジスタT6を備える。

【0093】

図6に示すように、第1リセットトランジスタT1のゲートはリセット信号端子RSTに接続されてリセット信号を受信し、第1リセットトランジスタT1の第1電極は第1電圧源V_{INT}に接続されて第1電圧を受信し、第1リセットトランジスタT1の第2電極は駆動トランジスタT_dのゲートに接続される。

【0094】

図6に示すように、第2リセットトランジスタT2のゲートはリセット信号端子RSTに接続されてリセット信号を受信し、第2リセットトランジスタT2の第1電極は第1電圧源V_{INT}に接続され第1電圧を受信し、第2リセットトランジスタT2の第2電極は発光素子120の第1端子に接続される。

【0095】

図6に示すように、データ書込みトランジスタT3のゲートは走査信号端子GAに接続されて走査信号を受信し、データ書込みトランジスタT3の第1電極はデータ信号端子に接続されてデータ信号を受信し、データ書込みトランジスタT3の第2電極は駆動トランジスタT_dの第1電極に接続される。

【0096】

図6に示すように、補償トランジスタT4のゲートは走査信号端子GAに接続されて走査信号を受信し、補償トランジスタT4の第1電極は駆動トランジスタT_dの第2電極に接続され、補償トランジスタT4の第2電極は駆動トランジスタT_dのゲートに接続され

る。

【0097】

図6に示すように、記憶コンデンサCstの第1端子は第1電圧源に接続され、記憶コンデンサCstの第2端子は駆動トランジスタTdのゲートに接続される。

【0098】

図6に示すように、第1発光制御トランジスタT5のゲートは発光制御信号端子EMに接続されて発光制御信号を受信し、第1発光制御トランジスタT5の第1電極は第1電圧源VDDに接続されて第1電圧を受信し、第1発光制御トランジスタT5の第2電極は駆動トランジスタTdの第1電極に接続される。

【0099】

図6に示すように、第2発光制御トランジスタT6のゲートは発光制御信号端子EMに接続されて発光制御信号を受信し、第2発光制御トランジスタT6の第1電極は駆動トランジスタTdの第2電極に接続され、第2発光トランジスタT6の第2電極は発光素子120の第1端子に接続される。

【0100】

図6に示すように、発光素子120の第2端子は第2電圧源Vssに接続されて第2電圧を受信する。たとえば、図6に示すように、発光素子120は有機発光ダイオード(OLED)であり、OLEDの陽極は発光素子120の第1端子であり、OLEDの陰極は発光素子120の第2端子である。

【0101】

なお、本開示の実施例は全て、リセット電圧源VINTが低電圧を入力し、第1電圧源VDDが高電圧を入力し、第2電圧源VSSが低電圧を入力し、又は発光素子120の第2端子を接地させることを例として説明し、ここでの高、低は入力された電圧間の相対的な大きさの関係のみを表す。

【0102】

なお、本開示の実施例に使用されるトランジスタは全て薄膜トランジスタ、電界効果トランジスタ又は特性が同じである他のスイッチングデバイスであってもよく、本開示の実施例において、全て薄膜トランジスタを例として説明する。ここで使用されるトランジスタのソース、ドレインは構造的に対称的であってもよく、従って、そのソース、ドレインは構造的に区別がなくてもよい。本開示の実施例では、トランジスタのゲートを除く2つの電極を区別するために、そのうちの一方の電極が第1電極であり、他方の電極が第2電極であることを直接説明した。

【0103】

また、なお、本開示の実施例に使用されるトランジスタは全てP型トランジスタ又はN型トランジスタであってもよく、本開示の実施例の対応するトランジスタの各電極を参照して、選択されたタイプのトランジスタの各電極を対応して接続し、且つ対応する電圧端子に対応する高電圧又は低電圧を提供するだけでよい。たとえば、N型トランジスタの場合に、その入力端子はドレインであり、出力端子はソースであり、その制御端子はゲートであり、P型トランジスタの場合に、その入力端子はソースであり、出力端子はドレインであり、その制御端子はゲートである。異なるタイプのトランジスタの場合に、その制御端子の制御信号のレベルも異なる。たとえば、N型トランジスタの場合に、制御信号が高レベルであると、該N型トランジスタはオン状態にあり、制御信号が低レベルであると、N型トランジスタはオフ状態にある。P型トランジスタの場合に、制御信号が低レベルであると、該P型トランジスタはオン状態にあり、制御信号が高レベルであると、P型トランジスタはオフ状態にある。N型トランジスタを使用する場合に、酸化物質半導体、たとえば、インジウムガリウム亜鉛酸化物(Indium Gallium Zinc Oxide、IGZO)を、薄膜トランジスタの活性層として使用することができ、低温ポリシリコン(Low Temperature Poly Silicon、LTPS)又はアモルファスシリコン(たとえば、水素化アモルファスシリコン)を薄膜トランジスタの活性層として使用する場合に比べて、トランジスタのサイズを効果的に減少させ、漏れ電流を

10

20

30

40

50

防止することができる。低温ポリシリコンは、通常、アモルファスシリコンの結晶化によって得られたポリシリコンの結晶化温度が600℃未満のものを指す。

【0104】

図7は図6における画素回路を駆動するための信号のタイミング図である。図7に示すように、画素回路110の動作プロセスは3つの段階を含み、それぞれ、リセット段階P1、データ書込み及び補償段階P2、及び発光段階P3である。

【0105】

図8Aは図6に示される画素回路のリセット段階での等価回路図である。図8Bは図6に示される画素回路のデータ書込み及び補償段階での等価回路図である。図8Cは図6に示される画素回路の発光段階での等価回路図である。

10

【0106】

図7及び図8A、図8B及び図8Cにおいて、VDD、VSS及びVINTは対応する電圧源を表すとともに、対応する電圧を表し、RST、GA、DA、及びEMは、対応する信号端子を表すとともに、対応する信号を表す。また、図8A、図8B及び図8Cにおいて、「×」でマークされたトランジスタは全て、該トランジスタの対応する段階でオフ状態にあることを表す。

【0107】

以下、第1リセットトランジスタT1、第2リセットトランジスタT2、データ書込みトランジスタT3、補償トランジスタT4、駆動トランジスタTd、第1発光制御トランジスタT5、及び第2発光制御トランジスタT6は全てP型トランジスタを使用することを例として、図7及び図8A、図8B及び図8Cを参照しながら、図6における画素回路の動作プロセスを説明する。

20

【0108】

図7に示すように、リセット段階P1で、低レベルのリセット信号RST、高レベルの走査信号GA、高レベルの発光制御信号EM、及び低レベルのデータ信号DAを入力する。

【0109】

リセット段階P1では、図8Aに示すように、第1リセットトランジスタT1のゲートが低レベルのリセット信号RSTを受信して、第1リセットトランジスタT1はオンにされ、それにより、リセット電圧VINTを駆動トランジスタTdのゲートに印加して駆動トランジスタTdのゲートをリセットし、駆動トランジスタTdがオン状態でデータ書込み及び補償段階P2に進むようにする。

30

【0110】

リセット段階P1では、図8Aに示すように、第2リセットトランジスタT2のゲートが低レベルのリセット信号RSTを受信して、第2リセットトランジスタT2はオンにされ、それにより、リセット電圧VINTをOLEDの陽極に印加してOLEDの陽極をリセットし、OLEDが発光段階P3の前に発光しないようにする。

【0111】

また、リセット段階P1では、図8Aに示すように、データ書込みトランジスタT3のゲートが高レベルの走査信号GAを受信して、データ書込みトランジスタT3はオフにされ、補償トランジスタT4のゲートが高レベルの走査信号GAを受信して、補償トランジスタT4はオフにされ、第1発光制御トランジスタT5のゲートが高レベルの発光制御信号EMを受信して、第1発光制御トランジスタT5はオフにされ、第2発光制御トランジスタT6のゲートが高レベルの発光制御信号EMを受信して、第2発光制御トランジスタT6はオフにされる。

40

【0112】

図7に示すように、データ書込み及び補償段階P2では、高レベルのリセット信号RST、低レベルの走査信号GA、高レベルの発光制御信号EM、及び高レベルのデータ信号DAを入力する。

【0113】

データ書込み及び補償段階P2では、図8Bに示すように、データ書込みトランジスタ

50

T 3 のゲートが低レベルの走査信号 G A を受信して、データ書込みトランジスタ T 3 はオンにされ、それにより、データ信号を第 1 ノード N 1 (すなわち、駆動トランジスタ T d の第 1 電極) に書き込む。補償トランジスタ T 4 のゲートが低レベルの走査信号 G A を受信して、補償トランジスタ T 3 はオンにされる。データ書込みトランジスタ T 3、駆動トランジスタ T d、及び補償トランジスタ T 4 はいずれもオンにされるため、データ信号 D A はデータ書込みトランジスタ T 3、駆動トランジスタ T d、及び補償トランジスタ T 4 を経て記憶コンデンサ C s t を充電し、つまり、第 2 ノード N 2 (すなわち、駆動トランジスタ T d のゲート) を充電し、第 3 ノード N 3 の電圧は徐々に高くなる。

【0114】

容易に理解できるように、データ書込み及び補償段階 P 2 では、データ書込みトランジスタ T 3 がオンにされるため、第 1 ノード N 1 の電圧は V_{da} に維持される。同時に、駆動トランジスタ T d 自体の特性によれば、第 2 ノード N 2 の電圧が $V_{da} + V_{th}$ になると、駆動トランジスタ T d はオフにされ、充電過程は終了する。ここで、 V_{da} はデータ信号 D A の電圧を表し、 V_{th} は駆動トランジスタ T d の閾値電圧を表し、本実施例では、駆動トランジスタ T 1 が P 型トランジスタとして説明されるため、ここでの閾値電圧 V_{th} は負の値であってもよい。

【0115】

データ書込み及び補償段階 P 2 の後、第 2 ノード N 2 の電圧は $V_{da} + V_{th}$ であり、つまり、データ信号 D A と閾値電圧 V_{th} の電圧情報は、後の発光段階 P 3 で駆動トランジスタ T d の閾値電圧を補償するために、記憶コンデンサ C s t に記憶される。

【0116】

また、データ書込み及び補償段階 P 2 では、図 8 B に示すように、第 1 リセットトランジスタ T 1 のゲートが高レベルのリセット信号 R S T を受信して、第 1 リセットトランジスタ T 1 はオフにされ、第 2 リセットトランジスタ T 2 のゲートが高レベルのリセット信号を受信して、第 2 リセットトランジスタ T 2 はオフにされ、第 1 発光制御トランジスタ T 5 のゲートが高レベルの発光制御信号 E M を受信して、第 1 発光制御トランジスタ T 5 はオフにされ、第 2 発光制御トランジスタ T 6 のゲートが高レベルの発光制御信号 E M を受信して、第 2 発光制御トランジスタ T 6 はオフにされる。

【0117】

図 7 に示すように、発光段階 P 3 では、高レベルのリセット信号 R S T、高レベルの走査信号 G A、低レベルの発光制御信号 E M、及び低レベルのデータ信号 D A を入力する。

【0118】

発光段階 P 3 では、図 8 C に示すように、第 1 発光制御トランジスタ T 5 のゲートが低レベルの発光制御信号 E M を受信して、第 1 発光制御トランジスタ T 5 はオンにされ、それにより、第 1 電圧 V_{DD} を第 1 ノード N 1 (すなわち、駆動トランジスタ T d の第 1 電極) に印加する。第 2 発光制御トランジスタ T 6 のゲートが低レベルの発光制御信号 E M を受信して、第 2 発光制御トランジスタ T 6 はオンにされ、それにより、駆動トランジスタ T d によって生成された駆動電流を O L E D に印加する。

【0119】

また、発光段階 P 3 では、図 8 C に示すように、第 1 リセットトランジスタ T 1 のゲートが高レベルのリセット信号 R S T を受信して、第 1 リセットトランジスタ T 1 はオフにされ、第 2 リセットトランジスタ T 2 のゲートが高レベルのリセット信号を受信して、第 2 リセットトランジスタ T 2 はオフにされ、データ書込みトランジスタ T 3 のゲートが高レベルの走査信号 G A を受信して、データ書込みトランジスタ T 3 はオフにされ、補償トランジスタ T 4 のゲートが高レベルの走査信号 G A を受信して、補償トランジスタ T 4 はオフにされる。

【0120】

容易に理解できるように、発光段階 P 3 では、第 1 発光制御トランジスタ T 5 がオンにされるため、第 1 ノード N 1 の電圧は V_{DD} であり、第 2 ノード N 2 の電圧は $V_{da} + V_{th}$ であり、従って、駆動トランジスタ T d もオンにされる。

【0121】

発光段階P3では、図8Cに示すように、OLEDの陽極及び陰極は、それぞれ、第1電圧VDD（高電圧）及び第2電圧VSS（低電圧）に接続され、それにより、駆動トランジスタTdによって生成された駆動電流の駆動により発光する。

【0122】

駆動トランジスタTdの飽和電流式に基づき、OLEDを駆動して発光させるための駆動電流IDは下式で得ることができる。

【0123】

【数1】

$$\begin{aligned} I_D &= K (V_{GS} - V_{th})^2 \\ &= K [(V_{da} + V_{th} - V_{DD}) - V_{th}]^2 \\ &= K (V_{da} - V_{DD})^2 \end{aligned}$$

10

【0124】

上式では、Vthは駆動トランジスタTdの閾値電圧を表し、VGSは駆動トランジスタTdのゲートとソースとの間の電圧を表し、Kは定数である。上式からわかるように、OLEDを流れる駆動電流ID1は駆動トランジスタTdの閾値電圧Vthと関係がなく、データ信号DAの電圧Vdaのみと関係があり、これにより、駆動トランジスタTdの閾値電圧Vthの補償を実現することができ、プロセス及び長期間の操作によりもたらされた駆動トランジスタTdの閾値電圧のドリフトの問題を解決し、その駆動電流IDへの影響を排除し、それにより、表示効果を改善することができる。

20

【0125】

たとえば、上式では、Kは、以下として表すことができる。

【0126】

【数2】

$$K=0.5\mu_n C_{ox}(W/L)$$

30

【0127】

μ_n は駆動トランジスタTdの電子移動度であり、 C_{ox} は駆動トランジスタTdのゲートの単位容量であり、Wは駆動トランジスタTdのチャネル幅であり、Lは駆動トランジスタTdのチャネル長である。

【0128】

図9Aは本開示の実施例に係る図6における画素回路を備える場合のアレイ基板の構造模式図である。

【0129】

図9Aに示すように、第m-1行の画素ユニット中の第n列の画素ユニットにおいて、第1リセットトランジスタT1のゲート及び第2リセットトランジスタT2のゲートは、第m-1本のリセット信号線Rm-1に接続されて第2リセット信号を受信し、データ書込みトランジスタT3のゲート及び補償トランジスタT4のゲートは、第m-1対のゲート線Sm-1の第1ゲート線Som-1に接続されて第1走査信号を受信し、データ書込みトランジスタT3の第1電極は、第n本のデータ線Dnに接続されてデータ信号を受信し、第1発光制御トランジスタT5のゲート及び第2発光制御トランジスタT6のゲートは、第m-1本の発光制御信号線Em-1に接続されて発光制御信号を受信する。

40

【0130】

図9Aに示すように、第m-1行の画素ユニット中の第n+1列の画素ユニットにおいて、第1リセットトランジスタT1のゲート及び第2リセットトランジスタT2のゲート

50

は、第 $m-1$ 対のゲート線 S_m の第1ゲート線 S_{om-1} に接続されて第1走査信号を第1リセット信号として受信し、データ書込みトランジスタ T_3 のゲート及び補償トランジスタ T_4 のゲートは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 S_{em-1} に接続されて第2走査信号を受信し、データ書込みトランジスタ T_3 の第1電極は、第 $n+1$ 本のデータ線 D_{n+1} に接続されてデータ信号を受信し、第1発光制御トランジスタ T_5 のゲート及び第2発光制御トランジスタ T_6 のゲートは、第 $m-1$ 本の発光制御信号線 E_{m-1} に接続されて発光制御信号を受信する。

【0131】

図9Aに示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 m 本のリセット信号線 R_m に接続されて第2リセット信号を受信し、データ書込みトランジスタ T_3 のゲート及び補償トランジスタ T_4 のゲートは、第 m 対のゲート線 S_m の第1ゲート線 S_{om} に接続されて第1走査信号を受信し、データ書込みトランジスタ T_3 の第1電極は、第 n 本のデータ線 D_n に接続されてデータ信号を受信し、第1発光制御トランジスタ T_5 のゲート及び第2発光制御トランジスタ T_6 のゲートは、第 m 本の発光制御信号線 E_m に接続されて発光制御信号を受信する。

【0132】

図9Aに示すように、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 m 対のゲート線 S_m の第1ゲート線 S_{om} に接続されて第1走査信号を第1リセット信号として受信し、データ書込みトランジスタ T_3 のゲート及び補償トランジスタ T_4 のゲートは、第 m 対のゲート線 S_m の第2ゲート線 S_{em} に接続されて第2走査信号を受信し、データ書込みトランジスタ T_3 の第1電極は、第 $n+1$ 本のデータ線 D_{n+1} に接続されてデータ信号を受信し、第1発光制御トランジスタ T_5 のゲート及び第2発光制御トランジスタ T_6 のゲートは、第 m 本の発光制御信号線 E_m に接続されて発光制御信号を受信する。

【0133】

なお、図9Aに示される図6における画素回路を備えるアレイ基板10は図3Aに示されるアレイ基板10の構造を使用しているが、本開示の実施例は明らかにこれに限定されない。図9Aに示されるアレイ基板10は図2A、図2B又は図3Bにおけるアレイ基板10の構造を使用してもよい。

【0134】

たとえば、図6における画素回路を備えるアレイ基板が図2Aにおけるアレイ基板10の構造を使用する場合に、アレイ基板はリセット信号線 R を含まなくてもよく、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 S_{em-1} に接続されて第2走査信号を第2リセット信号として受信し、第 m 行の画素ユニット中の第 n 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 S_{om-1} に接続されて第1走査信号を第2リセット信号として受信する。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式、及び、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式については、上記の図9Aのアレイ基板10（すなわち、図3Aにおけるアレイ基板10の構造を使用する）の説明を参照することができ、ここでは詳しく説明しない。

【0135】

たとえば、図6における画素回路を備えるアレイ基板が図2Bにおけるアレイ基板10の構造を使用する場合に、アレイ基板はリセット信号線 R を含まなくてもよく、第 m 行の画素ユニット中の第 n 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲ

ート線 S_{em-1} に接続されて第2走査信号を第2リセット信号として受信する。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式、及び、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式については、上記の図9Aのアレイ基板10（すなわち、図3Aにおけるアレイ基板10の構造を使用する）の説明を参照することができ、ここでは詳しく説明しない。

【0136】

たとえば、図6における画素回路を備えるアレイ基板が図3Bにおけるアレイ基板10の構造を使用する場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 S_{em-1} に接続されて第2走査信号を第2リセット信号として受信し、第 $m-1$ 行の画素ユニット中の第 $n+1$ 列の画素ユニットにおいて、第1リセットトランジスタ T_1 のゲート及び第2リセットトランジスタ T_2 のゲートは、第 $m-1$ 本のリセット信号線 R_{m-1} に接続される。この場合に、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式、及び、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニット中の他のトランジスタの接続方式については、上記の図9Aのアレイ基板10（すなわち、図3Aにおけるアレイ基板10の構造を使用する）の説明を参照することができ、ここでは詳しく説明しない。

【0137】

図9Bは本開示の実施例に係る図6における画素回路を備える場合のアレイ基板の別の構造模式図である。

【0138】

図9Bに示すように、第 $m-1$ 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットにおいて、データ書込みトランジスタ T_3 の第1電極は、第 i 本のデータ線 D_i に接続されてデータ信号を受信し、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットにおいて、データ書込みトランジスタ T_3 の第1電極は、第 i 本のデータ線 D_i に接続されてデータ信号を受信する。図9Aと図9Bを比較して明らかなように、図9Aに示されるアレイ基板10では、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットは異なるデータ線 D に接続され、第 n 列の画素ユニットは第 n 本のデータ線 D_n に接続され、第 $n+1$ 列の画素ユニットは第 $n+1$ 本のデータ線 D_{n+1} に接続され、しかしながら、図9Bに示されるアレイ基板10では、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットは同じデータ線 D に接続され、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットは全て第 i 本のデータ線 D_i に接続される。

【0139】

簡単にするために、ここで、図9Bにおけるアレイ基板のデータ書込みトランジスタ T_3 とデータ線の接続方式のみを詳細に説明し、図9Bにおけるアレイ基板の他のトランジスタの接続方式の説明については、上記の図9Aにおけるアレイ基板の関連説明を参照することができ、ここでは詳しく説明しない。

【0140】

図10は本開示の実施例に係るアレイ基板を駆動するための信号のタイミング図である。

【0141】

以下、図10を参照しながら、本開示の実施例に係るアレイ基板の第 m 行の画素ユニットの動作プロセスを説明する。

【0142】

図10に示すように、第 m 行の画素ユニット中の第 n 列の画素ユニットの動作プロセスは3つの段階に分けられ、それぞれ、第1リセット段階 P_{1n} 、第1データ書込み及び補償段階 P_{2n} 、及び第1発光段階 P_{3n} であり、第 m 行の画素ユニット中の第 n 列の画素ユニットの動作プロセスも3つの段階に分けられ、それぞれ、第2リセット段階 P_{1n+1} 、第2データ書込み及び補償段階 P_{2n+1} 、及び第3発光段階 P_{3n+1} である。

【0143】

図10に示すように、第1リセット段階 $P1_n$ では、第 m 行の画素ユニット中の第 n 列の画素ユニットに低レベルのリセット信号 RST_n を提供して、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットする。

【0144】

たとえば、アレイ基板が図2Aにおけるアレイ基板10の構造を使用する場合に、リセット信号 RST_n は、第 $m-1$ 対のゲート線 S_{m-1} の第1ゲート線 S_{om-1} により提供された第1走査信号としての第2リセット信号を指してもよく、アレイ基板が図2Bにおけるアレイ基板10の構造を使用する場合に、リセット信号 RST_n は、第 $m-1$ 対のゲート線 S_{m-1} の第2ゲート線 S_{em-1} により提供された第2走査信号としての第2リセット信号を指してもよく、アレイ基板が図3A又は図3Bにおけるアレイ基板10の構造を使用する場合に、リセット信号 RST_n は、第 m 本のリセット信号線 R_m により提供された第2リセット信号を指してもよい。

10

【0145】

図10に示すように、第1データ書込み及び補償段階 $P2_n$ で、第 m 行の画素ユニット中の第 n 列の画素ユニットに低レベルの走査信号 GA_n 及び高レベルのデータ信号 DA_n を提供して、第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行う。

【0146】

たとえば、走査信号 GA_n は、第 m 対のゲート線 S_m の第1ゲート線 S_{om} により提供された第1走査信号を指す。

20

【0147】

たとえば、データ信号 DA_n は、第 n 列の画素ユニットに対応するデータ線により提供されたデータ信号を指す。たとえば、複数本のデータ線が複数列の画素ユニットに1対1で対応する場合に、データ信号 DA_n は、第 n 本のデータ線 D_n により提供されたデータ信号を指す。

【0148】

図10に示すように、第1発光段階 $P3_n$ では、第 m 行の画素ユニット中の第 n 列の画素ユニットに低レベルの発光制御信号 EM_n を提供し、第 m 行の画素ユニット中の第 n 列の画素ユニットに表示を行わせる。

30

【0149】

たとえば、発光制御信号 EM_n は、第 m 本の発光制御信号線 E_m により提供された発光制御信号を指す。

【0150】

図10に示すように、第2リセット段階 $P1_{n+1}$ では、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに低レベルのリセット信号 RST_{n+1} を提供し、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットする。

【0151】

たとえば、リセット信号 RST_{n+1} は、第 m 対のゲート線 S_m の第1ゲート線 S_{om} により提供された第1走査信号を指し、すなわち、走査信号 GA_n である。

40

【0152】

図10に示すように、第2データ書込み及び補償段階 $P2_{n+1}$ では、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに低レベルの走査信号 GA_{n+1} 及び高レベルのデータ信号 DA_{n+1} を提供し、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに対してデータ書込み及び補償を行う。

【0153】

たとえば、走査信号 GA_{n+1} は、第 m 対のゲート線 S_m の第2ゲート線 S_{em} により提供された第1走査信号を指す。

【0154】

たとえば、データ信号 DA_{n+1} は、第 $n+1$ 列の画素ユニットに対応するデータ線によ

50

り提供されたデータ信号を指す。たとえば、複数本のデータ線が複数列の画素ユニットに1対1で対応する場合に、データ信号 DA_{n+1} は、第 $n+1$ 本のデータ線 D_{n+1} により提供されたデータ信号を指す。

【0155】

図10に示すように、第2発光段階 $P3_{n+1}$ では、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに低レベルの発光制御信号 EM_{n+1} を提供し、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに表示を行わせる。

【0156】

たとえば、発光制御信号 EM_{n+1} は、第 m 本の発光制御信号線 E_m により提供された発光制御信号を指す。

【0157】

図10からわかるように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットの走査信号 GA_n は第 $n+1$ 列の画素ユニットのリセット信号 RST_{n+1} として機能することができる。この場合に、第 n 列の画素ユニットに対してデータ書込み及び補償を行うと同時に、第 $n+1$ 列の画素ユニットをリセットすることができ、つまり、第1データ書込み及び補償段階 $P2_n$ と第2リセット段階 $P1_{n+1}$ は時間的に同期されてもよい。

【0158】

図10からわかるように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットの発光制御信号 EM_n と第 $n+1$ 列の画素ユニットの発光制御信号 EM_{n+1} は同じ発光制御信号であり、つまり、第1発光段階 $P3_n$ と第2発光段階 $P3_{n+1}$ は時間的に同期されてもよい。

【0159】

また、図10からわかるように、第 m 行の画素ユニットにおいて、先ず第 n 列の画素ユニットをリセットし、それと同時に、第 n 列の画素ユニットイン対してデータ書込み及び補償を行い、第 $n+1$ 列の画素ユニットをリセットし、次に、第 $n+1$ 列の画素ユニットに対してデータ書込み及び補償を行い、最終的に、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットに同時に表示を行わせる。この場合に、第1リセット段階 $P1_n$ 、第1データ書込み及び補償段階 $P2_n$ 、第1発光段階 $P3_n$ 、第2リセット段階 $P1_{n+1}$ 、第2データ書込み及び補償段階 $P2_{n+1}$ 、及び第3発光段階 $P3_{n+1}$ の時間順序は、 $P1_n \rightarrow P2_n \& P1_{n+1} \rightarrow P2_{n+1} \rightarrow P3_n \& P3_{n+1}$ である。これから明らかなように、第 m 行の画素ユニットにおいて、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの充電過程（第1データ書込み及び補償段階 $P2_n$ と第2データ書込み及び補償段階 $P2_{n+1}$ ）は別々に実行され充電時間が同じであり、且つ第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの発光過程（第1発光段階 $P3_n$ 及び第3発光段階 $P3_{n+1}$ ）は同期され発光時間が同じであり、このようにして、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの発光輝度を均一にし、表示品質を改善することができる。

【0160】

なお、図10において、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットが異なるデータ信号を受信する（第 n 列の画素ユニットがデータ信号 D_n を受信し、第 $n+1$ 列の画素ユニットがデータ信号 D_{n+1} を受信する）ことが示されているが、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの充電過程（第1データ書込み及び補償段階 $P2_n$ 及び第2データ書込み及び補償段階 $P2_{n+1}$ ）は別々に実行されるため、第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットは同じデータ線に接続されて同じデータ信号を受信することができ、このデータ信号は、第1データ書込み及び補償段階 $P2_n$ 、及び第2データ書込み及び補償段階 $P2_{n+1}$ のいずれでも高レベルの状態にある。第1データ書込み及び補償段階 $P2_n$ では、第 n 列の画素ユニットがオンにされ、第 $n+1$ 列の画素ユニットがオフにされ（走査信号 GA_n が低レベルにあり、走査信号 GA_{n+1} が高レベルにある）、且つ第2データ書込み及び補償段階 $P2_{n+1}$ では、第 n 列の画素ユニットがオフにされ、第 $n+1$ 列の画素ユニットがオンにされる（走査信号 GA_n が高レベルにあり、走査信号 GA_{n+1} が低レベルにある）ため、

10

20

30

40

50

同じデータ線を介して第1データ書込み及び補償段階 $P2_n$ では、第 n 列の画素ユニットに高レベルのデータ信号を提供し、且つ第2データ書込み及び補償段階 $P2_{n+1}$ では、第 $n+1$ 列の画素ユニットに高レベルのデータ信号を提供することができる。なお、図10を参照しながら本開示の実施例に係るアレイ基板の第 m 行の画素ユニットのみの動作プロセスを説明したが、本開示の実施例に係るアレイ基板の他の行の画素ユニット（たとえば、第 $m-1$ 行の画素ユニット）の動作プロセスは第 m 行の画素ユニットの動作プロセスと同様であるため、上記の図10を参照しながら行われる第 m 行の画素ユニットの動作プロセスの説明を参照することができ、ここでは詳しく説明しない。

【0161】

本開示の少なくとも1つの実施例は、本開示のいずれかの実施例に記載のアレイ基板を備える表示パネルをさらに提供する。

10

【0162】

図11は本開示の1つの実施例に係る表示パネルの構造模式図である。図11に示すように、表示パネル1は、データ駆動回路20及び本開示のいずれかの実施例に記載のアレイ基板10を備えてもよい。

【0163】

図11に示すように、データ駆動回路20は複数本のデータ線 D に接続され、データ信号を生成するように構成される。たとえば、データ駆動回路20は第 n 本のデータ線 D_n を介してアレイ基板10の第 n 列の画素ユニットにデータ信号を提供するようにしてもよい。

20

【0164】

たとえば、表示パネル1は、タイミングコントローラ、信号復号回路、電圧変換回路等の他の部材をさらに備えてもよく、これらの部材は、たとえば、既存の通常の部材を使用することができ、ここでは詳しく説明しない。

【0165】

たとえば、表示パネル1は矩形パネル、円形パネル、楕円形パネル又は多角形パネル等であってもよい。また、表示パネル1は平面パネルだけでなく、曲面パネルであってもよく、さらに球面パネルであってもよい。たとえば、表示パネル1はさらにタッチ機能を有してもよく、すなわち、表示パネル1はタッチ表示パネルであってもよい。

【0166】

たとえば、表示パネル1は、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、ナビゲータなど任意の表示機能を有する製品又は部材に適用できる。

30

【0167】

本開示の実施例に係る表示パネルは、本開示の前述した実施例に係るアレイ基板と同じ又は類似する有益な効果を有し、アレイ基板が前述した実施例で詳細に説明されているため、ここでは詳しく説明しない。

【0168】

本開示の少なくとも1つの実施例は、本開示のいずれかの実施例に記載のアレイ基板に適用される駆動方法をさらに提供する。

40

【0169】

図12は本開示の実施例に係るアレイ基板の駆動方法のフローチャートである。図12に示すように、該駆動方法は、

第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットするステップ $S10$ と、

第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行うとともに、第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットをリセットするステップ $S20$ と、

第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットに対してデータ書込み及び補償を行うステップ $S30$ と、

第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに表示

50

を行わせるステップ S 4 0 と、を含んでもよい。

【0170】

たとえば、第 m 行の画素ユニット中の第 n 列の画素ユニットの走査信号端子が第 m 対のゲート線の第 1 ゲート線に接続され、第 m 行の画素ユニット中の第 n 列の画素ユニットのデータ信号端子が第 n 列の画素ユニットに対応するデータ線に接続され、且つ第 m 行の画素ユニット中の第 n + 1 列の画素ユニットのリセット信号端子が第 m 対のゲート線の第 1 ゲート線に接続される場合に、ステップ S 2 0 は、第 m 対のゲート線の第 1 ゲート線を介して第 m 行の画素ユニット中の第 n 列の画素ユニットに第 1 走査信号を提供し、且つ第 n 列の画素ユニットに対応するデータ線を介して第 m 行の画素ユニット中の第 n 列の画素ユニットにデータ信号を提供し、第 m 行の画素ユニット中の第 n 列の画素ユニットに対してデータ書込み及び補償を行うとともに、第 m 対のゲート線の第 1 ゲート線を介して第 m 行の画素ユニット中の第 n + 1 列の画素ユニットに第 1 走査信号を第 1 リセット信号として提供し、第 m 行の画素ユニット中の第 n + 1 列の画素ユニットをリセットすることを含んでもよい。

10

【0171】

たとえば、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子が第 m - 1 対のゲート線の第 1 ゲート線に接続される場合に、ステップ S 1 0 は、第 m - 1 対のゲート線の第 1 ゲート線を介して第 m 行の画素ユニット中の第 n 列の画素ユニットに第 1 走査信号を第 2 リセット信号として提供し、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることを含んでもよい。

20

【0172】

たとえば、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子が第 m - 1 対のゲート線の第 2 ゲート線に接続される場合、ステップ S 1 0 は、第 m - 1 対のゲート線の第 2 ゲート線を介して第 m 行の画素ユニット中の第 n 列の画素ユニットに第 2 走査信号を第 2 リセット信号として提供し、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることを含んでもよい。

【0173】

たとえば、アレイ基板が複数本のリセット信号線を備える場合に、第 m 行の画素ユニット中の第 n 列の画素ユニットのリセット信号端子が第 m 本のリセット信号線に接続される場合に、ステップ S 1 0 は、第 m 本のリセット信号線を介して第 m 行の画素ユニット中の第 n 列の画素ユニットに第 2 リセット信号を提供し、第 m 行の画素ユニット中の第 n 列の画素ユニットをリセットすることを含んでもよい。

30

【0174】

たとえば、第 m 行の画素ユニット中の第 n + 1 列の画素ユニットの走査信号端子が第 m 対のゲート線の第 2 ゲート線に接続され、且つ第 m 行の画素ユニット中の第 n + 1 列の画素ユニットのデータ信号端子が第 n + 1 列の画素ユニットに対応するデータ線に接続される場合に、ステップ S 3 0 は、第 m 対のゲート線の第 2 ゲート線を介して第 m 行の画素ユニット中の第 n + 1 列の画素ユニットに第 2 走査信号を提供し、第 n + 1 列の画素ユニットに対応するデータ線を介して第 m 行の画素ユニット中の第 n + 1 列の画素ユニットにデータ信号を提供し、第 m 行の画素ユニット中の第 n + 1 列の画素ユニットに対してデータ書込み及び補償を行うことを含んでもよい。

40

【0175】

たとえば、アレイ基板が複数本の発光制御信号線を備える場合に、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 n + 1 列の画素ユニットの発光制御信号端子が第 m 本の発光制御信号線に接続される場合、ステップ S 4 0 は、第 m 本の発光制御信号線を介して第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 n + 1 列の画素ユニットに発光制御信号を提供し、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 n + 1 列の画素ユニットに表示を行わせることを含んでもよい。

【0176】

本開示の実施例に係るアレイ基板の駆動方法は、先ず第 m 行の画素ユニット中の第 n 列

50

の画素ユニットを充電し、次に第 m 行の画素ユニット中の第 $n+1$ 列の画素ユニットを充電し、最終的に、第 m 行の画素ユニット中の第 n 列の画素ユニット及び第 $n+1$ 列の画素ユニットに表示を行わせることができ、このようにして、第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの充電方式を一致させ、且つ第 m 行の画素ユニット中の第 n 列の画素ユニットと第 $n+1$ 列の画素ユニットの表示輝度を均一にすることができる。

【0177】

本開示について、以下のいくつかの点を説明する必要がある。

【0178】

(1) 本開示の実施例の図面は、本開示の実施例に関連する構造のみに関し、他の構造については、通常的设计を参照することができる。

10

【0179】

(2) 矛盾がない場合、本開示の実施例及び実施例の特徴を互いに組み合わせて新たな実施例を得ることができる。

【0180】

以上は、本開示の例示的な実施形態に過ぎず、本開示の保護範囲を限定するものではなく、本開示の保護範囲は添付特許請求の範囲により定められる。

20

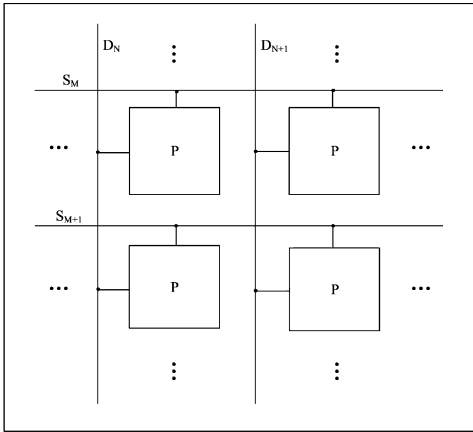
30

40

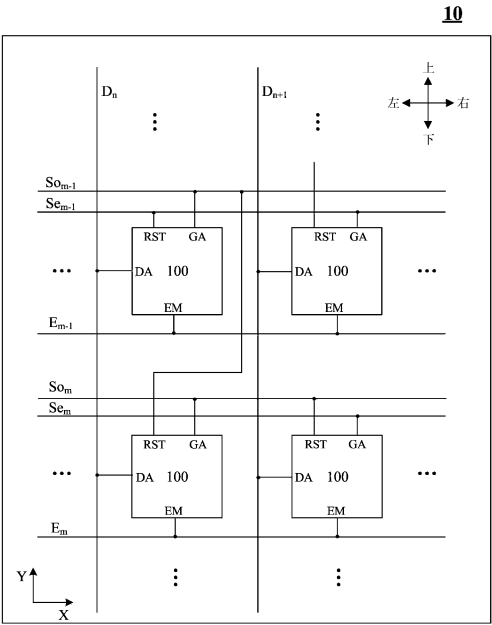
50

【図面】

【図 1】



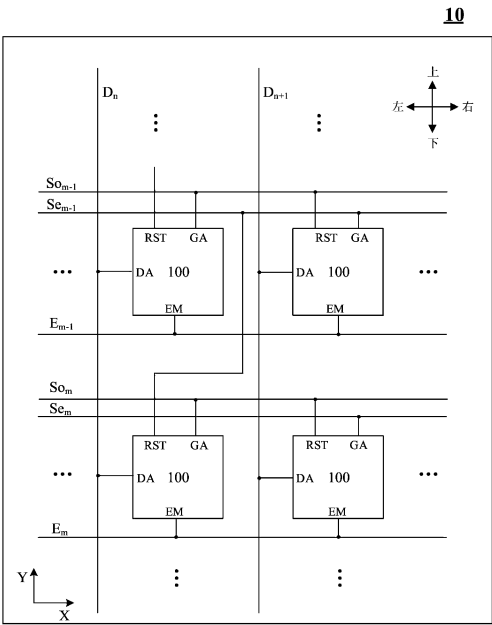
【図 2 A】



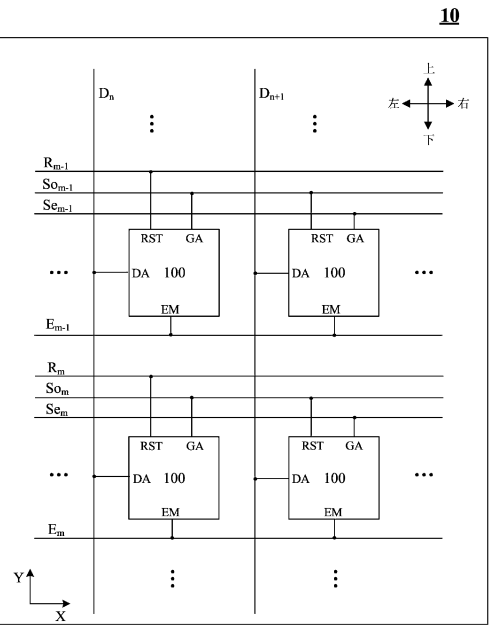
10

20

【図 2 B】



【図 3 A】



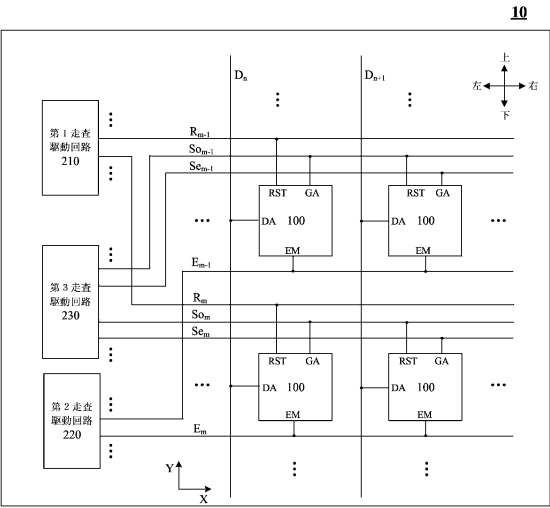
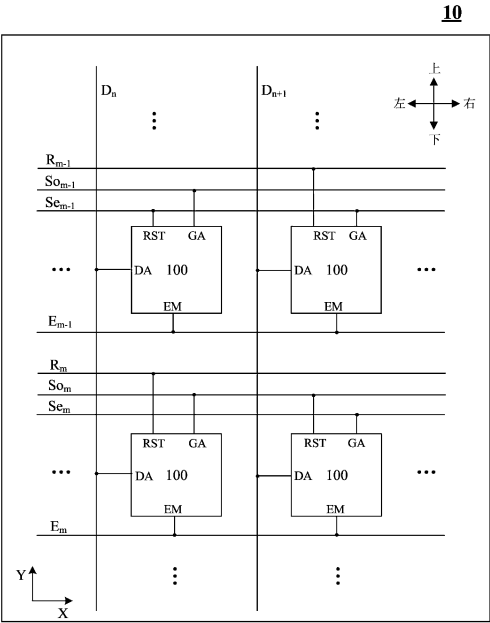
30

40

50

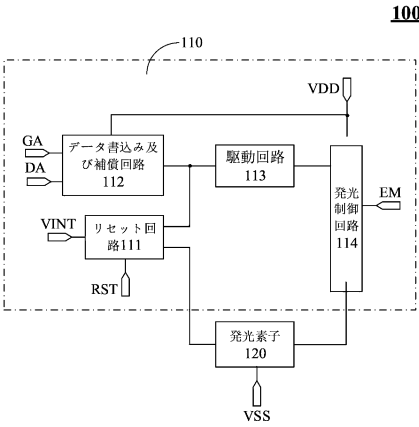
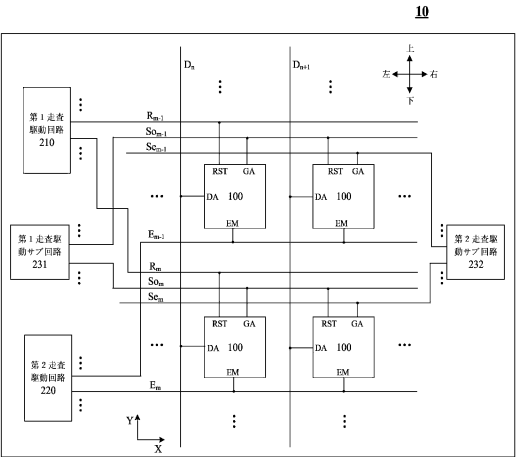
【図 3 B】

【図 4 A】



【図 4 B】

【図 5】



10

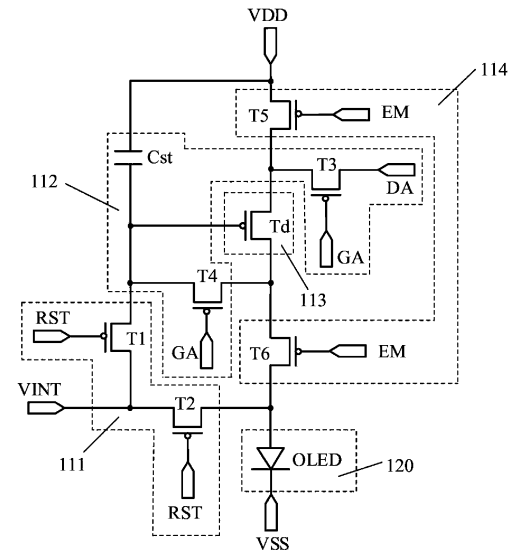
20

30

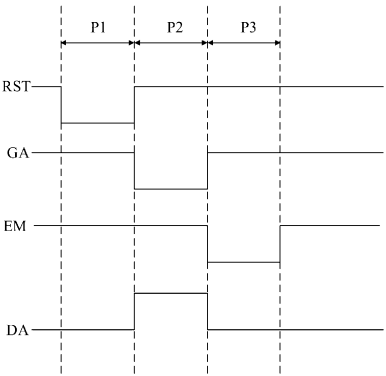
40

50

【図 6】

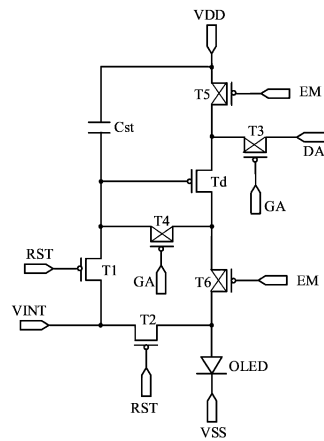


【図 7】

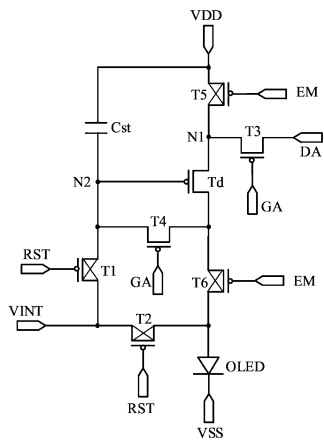


10

【図 8 A】



【図 8 B】



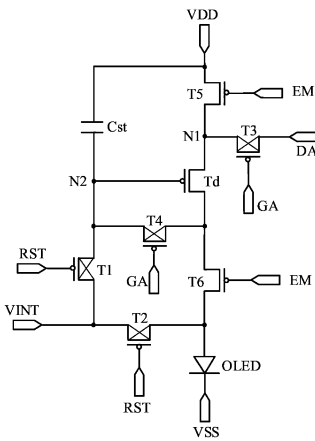
20

30

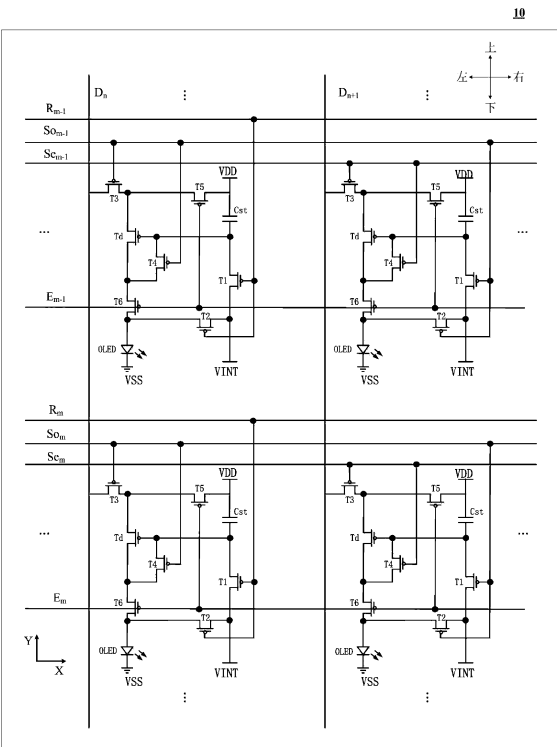
40

50

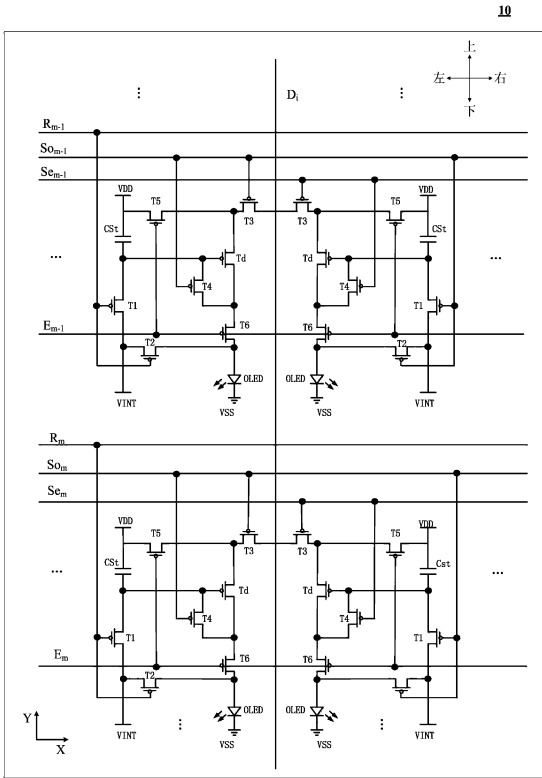
【図 8 C】



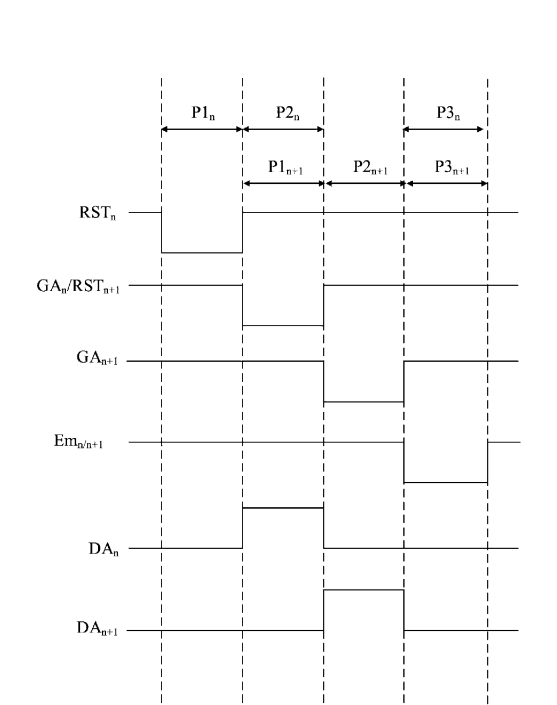
【図 9 A】



【図 9 B】



【図 1 0】



10

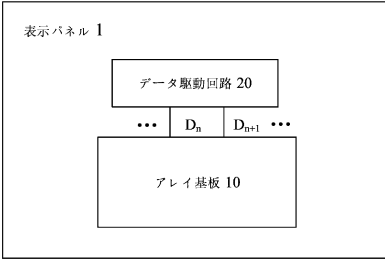
20

30

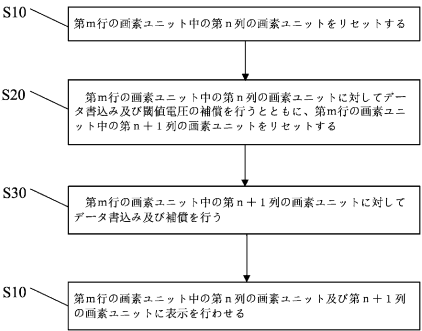
40

50

【図 1 1】



【図 1 2】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 K 59/12 (2023.01)

G 0 9 G 3/20 6 2 4 B

H 1 0 K 77/10 (2023.01)

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/3266

H 1 0 K 50/115

H 1 0 K 59/12

H 1 0 K 77/10

中華人民共和國 6 1 1 7 3 1 四川省成都市高新區(西區) 合作路 1 1 8 8 號

No. 1188, Hezuo Rd., (West Zone), Hi-tech Development Zone, Chengdu, Sichuan, 611731, P. R. CHINA

(74)代理人

110002000

弁理士法人栄光事務所

(72)発明者

ジャオ シュアン

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

チェン チェンユ

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

ヤン ジョンリユウ

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

チェン ウェンボ

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

シュ ジュオ

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

ヤン ジン

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

(72)発明者

ル ホンティン

中華人民共和國 1 0 0 1 7 6 ベイジン ビーディーイー ディゼ アールディー., ナンバー 9

審査官

村上 遼太

(56)参考文献

中国特許出願公開第 1 0 4 5 7 5 3 8 4 (CN, A)

特開 2 0 1 0 - 0 6 0 6 4 8 (JP, A)

中国特許出願公開第 1 1 0 6 7 5 8 2 4 (CN, A)

米国特許出願公開第 2 0 1 8 / 0 2 4 0 4 0 0 (US, A1)

米国特許出願公開第 2 0 1 7 / 0 2 2 1 4 2 3 (US, A1)

米国特許出願公開第 2 0 1 8 / 0 1 3 7 8 1 8 (US, A1)

中国特許出願公開第 1 0 9 5 9 9 0 6 2 (CN, A)

中国特許出願公開第 1 1 0 6 6 0 3 6 0 (CN, A)

中国特許出願公開第 1 1 0 7 6 7 6 6 5 (CN, A)

中国特許出願公開第 1 0 9 6 3 7 4 5 3 (CN, A)

米国特許出願公開第 2 0 2 2 / 0 1 8 9 3 9 1 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 9 G 3 / 0 0 - 5 / 4 2

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0