

(12) **Österreichische Patentanmeldung**

(21) Anmeldenummer: **A 9539/2006**
PCT/US2006/061687

(22) Anmeldetag: **06.12.2006**

(43) Veröffentlicht am: **15.01.2009**

(51) Int. Cl.⁸: **H01L 21/336** (2006.01),
H01L 29/40 (2006.01),
H01L 29/78 (2006.01)

(30) Priorität:

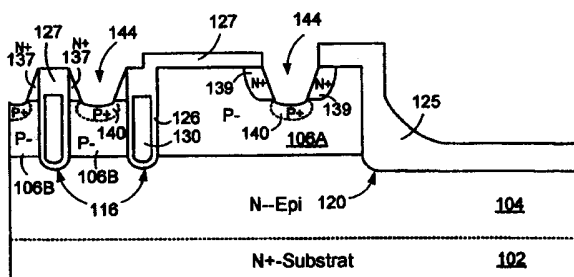
25.01.2006 US 339998 beansprucht.

(73) Patentinhaber:

**FAIRCHILD SEMICONDUCTOR
CORPORATION**
04106 SOUTH PORTLAND (US)

(54) **SELBSTJUSTIERENDE GRABEN-MOSFET-STRUKTUR UND HERSTELLUNGSVERFAHREN**

(57) Ein Trench-Gate-FET wird wie folgt ausgebildet. In einem Siliciumgebiet wird ein Wannengebiet ausgebildet. In einem aktiven Gebiet bzw. in einem Abschlussgebiet des FET werden gleichzeitig mehrere aktive Gate-Gräben und ein Abschlussgraben in der Weise ausgebildet, dass das Wannengebiet in mehrere aktive Body-Gebiete und in ein Abschluss-Body-Gebiet geteilt wird. Unter Verwendung einer Maske werden über dem Abschluss-Body-Gebiet und über dem aktiven Body-Gebiet Öffnungen ausgebildet. In die aktiven Body-Gebiete und in das Abschluss-Body-Gebiet werden durch die Öffnungen Dotierungsstoffe implantiert, um dadurch in jedem aktiven Gebiet und in dem Abschluss-Body-Gebiet ein erstes Gebiet auszubilden. Die freiliegenden Oberflächen aller ersten Gebiete werden in der Weise vertieft, dass sie eine napfförmige Vertiefung mit geneigten Wänden und einem Boden, der durch das erste Gebiet vorsteht, bilden, sodass die verbleibenden Abschnitte des ersten Gebiets in jedem aktiven Body-Gebiet Source-Gebiete bilden, die auf die aktiven Gate-Gräben selbstjustierend sind.



Zusammenfassung

Ein Trench-Gate-FET wird wie folgt ausgebildet. In einem Siliciumgebiet wird ein Wannengebiet ausgebildet. In einem aktiven Gebiet bzw. in einem Abschlussgebiet des FET werden gleichzeitig mehrere aktive Gate-Gräben und ein Abschlussgraben in der Weise ausgebildet, dass das Wannengebiet in mehrere aktive Body-Gebiete und in ein Abschluss-Body-Gebiet geteilt wird. Unter Verwendung einer Maske werden über dem Abschluss-Body-Gebiet und über dem aktiven Body-Gebiet Öffnungen ausgebildet. In die aktiven Body-Gebiete und in das Abschluss-Body-Gebiet werden durch die Öffnungen Dotierungsstoffe implantiert, um dadurch in jedem aktiven Gebiet und in dem Abschluss-Body-Gebiet ein erstes Gebiet auszubilden. Die freiliegenden Oberflächen aller ersten Gebiete werden in der Weise vertieft, dass sie eine napfförmige Vertiefung mit geneigten Wänden und einem Boden, der durch das erste Gebiet vorsteht, bilden, sodass die verbleibenden Abschnitte des ersten Gebiets in jedem aktiven Body-Gebiet Source-Gebiete bilden, die auf die aktiven Gate-Gräben selbstjustierend sind.

Selbstjustierende Graben-MOSFET-Struktur und Herstellungsverfahren

QUERVERWEISE AUF VERWANDTE ANMELDUNGEN

Diese Anmeldung ist verwandt mit der Patentanmeldung Nummer 11/317,653 mit dem Titel "Trench Field Plate Termination For Power Devices", eingereicht am 22. Dezember 2005, deren Offenbarungsgehalt hierin durch Bezugnahme vollständig mit aufgenommen ist.

HINTERGRUND DER ERFINDUNG

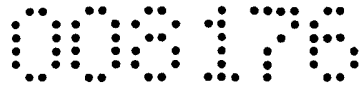
Es besteht weiter ein wachsender Bedarf an Halbleiterleistungsbau-elementen (d. h. Bauelemente, die bei hohen Spannungen große Ströme leiten können). Solche Bauelemente enthalten Bipolartransistoren, Bipolartransistoren mit isoliertem Gate (IGBT), Metalloxidhalbleiter-Feldeffekttransistoren (MOSFET) und andere Typen von Feldeffekttransistoren. Trotz wesentlicher Fortschritte bei der Leistungsbau-elemententechnologie bleibt ein Bedarf an noch leistungsfähigeren und kostengünstigeren Bauelementen. Während die Komplexität und die Subtilität von Leistungsbau-elementen zunehmen, nimmt die Anzahl der Prozessschritte und -masken in dem Herstellungsprozess ebenfalls zu, was die Herstellungskosten wesentlich erhöht. Somit sind Verarbeitungstechniken erwünscht, die die Anzahl der Prozessschritte und/oder -masken verringern helfen, während sie die Bauelementleistung erhalten oder sogar erhöhen.

Darüber hinaus ist es erwünscht, die Stromdichte relativ zu der Gesamtchipfläche einer Vorrichtung zu erhöhen. Einer der begrenzenden Faktoren zu höheren Nennströmen ist die Durchschlagsspannung, insbesondere in dem Randabschlussgebiet, wo Anordnungsübergänge enden. Da die Halbleiterübergänge Krümmungen enthalten, werden zahlreiche Techniken genutzt, um die andernfalls hohe Konzentration elektrischer Feldlinien zu vermeiden. Herkömmlich werden im Leistungsbau-elemententwurf entlang der Außenperipherie der Vorrichtung Randabschlussstrukturen mit planaren Feldplatten aufgenommen, um sicherzustellen, dass die Durchschlagsspannung in diesem Gebiet der Vorrichtung keinesfalls kleiner als in dem aktiven Gebiet der Vorrichtung ist. Allerdings belegen Abschlussstrukturen (insbesondere von der Art planarer Feldplatten) verhältnismäßig große Bereiche des Chips und erfordern zusätzliche Maskierungs- und Verarbeitungsschritte, was somit zu erhöhten Kosten führt.

Somit besteht ein Bedarf an verbesserten Leistungsbau-elementen mit verbesserten Grabenabschlussstrukturen und an kostengünstigen Verfahren zu deren Herstellung.

KURZE ZUSAMMENFASSUNG DER ERFINDUNG

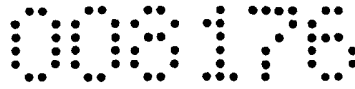
Gemäß einer Ausführungsform der Erfindung wird ein Trench-Gate-FET (Graben-Gate-FET) wie folgt ausgebildet. Der FET wird in einem Halbleiterchip ausgebildet, der ein aktives Gebiet zum Aufnehmen aktiver Tran-



sistorzellen und ein Abschlussgebiet, das das aktive Gebiet umgibt, umfasst. In dem aktiven Gebiet und in dem Abschlussgebiet wird gleichzeitig ein Wannengebiet ausgebildet. Das Wannengebiet wird in einem Siliciumgebiet mit einem Leitfähigkeitstyp ausgebildet, der zu dem des Wannengebiets entgegengesetzt ist. In dem aktiven Gebiet werden gleichzeitig mit einem in dem Abschlussgebiet ausgebildeten nicht aktiven Abschlussgraben mehrere aktive Gate-Gräben ausgebildet. Die mehreren aktiven Gate-Gräben und der nicht aktive Abschlussgraben verlaufen in das Wannengebiet und durchdringen es, um das Wannengebiet dadurch in dem aktiven Gebiet in mehrere aktive Body-Gebiete und in dem Abschlussgebiet in ein Abschluss-Body-Gebiet zu teilen. Unter Verwendung einer Maske wird über dem Abschluss-Body-Gebiet eine Öffnung ausgebildet und wird über dem aktiven Gebiet eine Öffnung ausgebildet. Durch die Öffnung über dem aktiven Gebiet werden in die aktiven Body-Gebiete und durch die Öffnung über dem Abschluss-Body-Gebiet werden in das Abschluss-Body-Gebiet Dotierungsstoffe implantiert, wodurch sowohl in dem aktiven Body-Gebiet als auch in dem Abschluss-Body-Gebiet ein erstes Gebiet ausgebildet wird. Die ersten Gebiete weisen einen Leitfähigkeitstyp auf, der zu dem des Wannengebiets entgegengesetzt ist. Die freiliegenden Oberflächen aller ersten Gebiete werden unter Verwendung eines Siliciumätzens vertieft, dass sie eine napfförmige Siliciumvertiefung mit geneigten Wänden und einem Boden, der durch jedes erste Gebiet so vorsteht, bilden, sodass Abschnitte jedes ersten Gebiets in einem entsprechenden aktiven Body-Gebiet verbleiben. Die verbleibenden Abschnitte der ersten Gebiete in den aktiven Body-Gebieten bilden Source-Gebiete, die auf die aktiven Gate-Gräben selbstjustierend sind.

In einer Ausführungsform werden in die napfförmigen Siliciumvertiefungen Dotierungsstoffe implantiert, um in jedem aktiven Body-Gebiet und in dem Abschluss-Body-Gebiet ein Heavy-Body-Gebiet auszubilden. Die Heavy-Body-Gebiete weisen dieselbe Leitfähigkeit wie das Wannengebiet auf.

In einer weiteren Ausführungsform wird über dem Halbleiterchip eine Metallschicht ausgebildet. Die Metallschicht wird daraufhin strukturiert, um Folgendes auszubilden: (i) eine Source-Metallschicht, die in dem aktiven Gebiet in jede napfförmige Siliciumvertiefung verläuft, um in dem aktiven Gebiet einen elektrischen Kontakt mit den Source-Gebieten und mit den Heavy-Body-Gebieten herzustellen, und (ii) eine Feldplatte, die in den nicht aktiven Abschlussgraben und in die in dem Abschluss-Body-Gebiet ausgebildete napfförmige Siliciumvertiefung verläuft, um einen elektrischen Kontakt mit dem in dem Abschluss-Body-Gebiet ausgebildeten Heavy-Body-Gebiet herzustellen, wobei die Source-Metallschicht und die Feldplatte voneinander isoliert sind.



In einer weiteren Ausführungsform wird in dem nicht aktiven Abschlussgraben eine Abschlussdielektrikumschicht ausgebildet. In dem Graben wird über der Abschlussdielektrikumschicht eine Feldplatte ausgebildet, die leitendes Material umfasst. Die Abschlussdielektrikumschicht isoliert alle Abschnitte der Feldplatte innerhalb des nicht aktiven Abschlussgrabens von allen Siliciumgebieten, die den nicht aktiven Abschlussgraben umgeben. Die Feldplatte wird in der Weise ausgebildet, dass sie aus dem nicht aktiven Abschlussgraben heraus und in die in dem Abschluss-Body-Gebiet ausgebildete napfförmige Siliciumvertiefung hinein verläuft, um dadurch einen elektrischen Kontakt mit dem in dem Abschluss-Body-Gebiet ausgebildeten Heavy-Body-Gebiet herzustellen.

In einer abermals weiteren Ausführungsform verläuft der nicht aktive Abschlussgraben in der Weise bis zu einem Rand des Halbleiterchips, dass der nicht aktive Abschlussgraben eine vertikale Wand bildet, bei der das Wannengebiet endet.

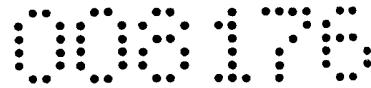
In einer abermals weiteren Ausführungsform werden zur gleichen Zeit, zu der die aktiven Gate-Gräben und die nicht aktiven Abschlussgräben ausgebildet werden, nicht aktive Gate-Runner-Gräben in der Weise ausgebildet, dass der nicht aktive Gate-Runner-Graben, die aktiven Gate-Gräben und der nicht aktive Abschlussgraben bis in dieselbe Tiefe verlaufen. In jedem aktiven Gate-Graben wird eine vertiefte Gate-Elektrode ausgebildet und gleichzeitig wird in dem nicht aktiven Gate-Runner-Graben eine vertiefte Gate-Runner-Elektrode ausgebildet. Die vertiefte Gate-Elektrode in jedem aktiven Gate-Graben wird mit der vertieften Gate-Runner-Elektrode in dem nicht aktiven Gate-Runner-Graben elektrisch verbunden.

In einer abermals weiteren Ausführungsform sind die nicht aktiven Gate-Gräben streifenförmig und verlaufen entlang einer ersten Richtung, während der nicht aktive Gate-Runner-Graben wenigstens teilweise entlang einer Richtung verläuft, die zu den aktiven Gate-Gräben senkrecht ist, und mit ihnen zusammenhängend ist.

Ein besseres Verständnis des Wesens und der Vorteile der vorliegenden Erfindung kann aus der folgenden ausführlichen Beschreibung und aus den beigefügten Zeichnungen gewonnen werden.

KURZBESCHREIBUNG DER ZEICHNUNGEN

Fig. 1A-1K sind vereinfachte Querschnittsansichten in verschiedenen Schritten eines Herstellungsprozesses zum Ausbilden eines selbstjustierenden MOSFET mit verbesserter Grabenabschlussstruktur in Übereinstimmung mit einer beispielhaften Ausführungsform der Erfindung; und Fig. 2 ist eine vereinfachte Querschnittsansicht, die eine Trench-Gate-Runner-Struktur zeigt, die in Übereinstimmung mit einer beispielhaften Ausführungsform der Erfindung ausgebildet wird, ohne zusätzliche Prozessschritte zu erfordern.



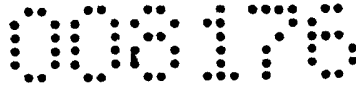
AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

Die vorliegende Erfindung bezieht sich allgemein auf die Halbleiterleistungsbauelement-Technologie und insbesondere auf verbesserte Leistungsbauelemente mit verbesserten Abschlussstrukturen und auf Verfahren, um diese auszubilden.

Fig. 1A-1K sind vereinfachte Querschnittsansichten in verschiedenen Schritten eines Herstellungsprozesses zum Ausbilden eines selbstjustierenden MOSFET mit einer Grabenfeldplatten-Abschlussstruktur in Übereinstimmung mit einer beispielhaften Ausführungsform der Erfindung. Fig. 2 ist eine vereinfachte Querschnittsansicht, die eine Trench-Gate-Runner-Struktur zeigt, die ausgebildet wird, ohne zusätzliche Prozessschritte gegenüber den in Fig. 1A-1K gezeigten zu erfordern. Alle hier beschriebenen Zeichnungen sind lediglich veranschaulichend und sollen den Umfang der vorliegenden Ansprüche somit nicht unangemessen einschränken. Der Durchschnittsfachmann auf dem Gebiet erkennt angesichts der Offenbarung viele mögliche Änderungen, Abwandlungen und Alternativen.

In Fig. 1A wird über einem stark dotierten N-Substrat unter Verwendung herkömmlicher Techniken eine schwach dotierte N-Epitaxieschicht 104 ausgebildet. In einem oberen Abschnitt der Epitaxieschicht 104 wird unter Verwendung einer herkömmlichen Deckimplantation von p-Dotierungsstoffen in die Epitaxieschicht 104 ein schwach dotiertes P-Wannengebiet 106 ausgebildet. Um die Grenze zwischen dem aktiven Gebiet und dem Abschlussgebiet des Chips, in dem der FET ausgebildet wird, zu zeigen, ist eine vertikale Linie verwendet. Wie in herkömmlichen FETs enthält das aktive Gebiet des Chips die aktiven Zellentristoren und umgibt das Abschlussgebiet das aktive Gebiet und enthält die Abschlussstruktur. In herkömmlichen Prozessen ist üblicherweise eine Maske erforderlich, um das Abschlussgebiet vom Empfang der P-Implantation zu sperren. Wie zu sehen ist, ermöglichen jedoch die Struktur und das Herstellungsverfahren der vorliegenden Erfindung die Verwendung einer Deckimplantation in dieser Phase des Prozesses und beseitigen somit den Maskierungsschritt, der üblicherweise erforderlich ist.

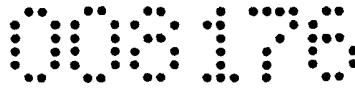
Über dem Wannengebiet 106 wird unter Verwendung herkömmlicher Techniken eine harte Maske 108 (die z. B. Oxid umfasst) ausgebildet und daraufhin strukturiert, um Öffnungen 110 auszubilden. In Fig. 1B wird durch die Öffnungen 110 Silicium entfernt, um dadurch in dem aktiven Gebiet aktive Gate-Gräben 116 auszubilden und in dem Abschlussgebiet einen Abschlussgraben 120 auszubilden. Die Gräben 116 und 120 durchdringen das Wannengebiet 106 in der Weise, dass das Wannengebiet 106 in eine Anzahl aktiver Body-Gebiete 106B und in ein Abschluss-Body-Gebiet 106A geteilt wird. Wie gezeigt ist, verläuft der Abschlussgraben 120 in der Weise bis zu einem Rand des Chips, dass das Abschluss-Body-Gebiet 106A bei einer vertikalen



Wand des Abschlussgrabens 120 endet. Somit wird die in dem Abschlussgebiet von Strukturen des Standes der Technik vorhandene Krümmung des P-Gebiets vorteilhaft beseitigt. Obgleich der Abschlussgraben 120 in der Weise gezeigt ist, dass er bis in die Straße (d. h. bis in die Gebiete, die angrenzende Chips auf einem Wafer trennen) verläuft, kann der Abschlussgraben 120 auch so ausgebildet werden, dass er vor Erreichen der Straße endet. Obgleich die aktiven Gräben 116 und der Abschlussgraben 120 in der Weise gezeigt sind, dass sie in einer Tiefe unmittelbar unter der des Wannengebiets 106 enden, könnten die Gräben 116 und 120 außerdem je nach Entwurfszielen und Zielleistungscharakteristiken stattdessen tiefer in die Epitaxieschicht 104 oder sogar bis in das Substrat 102 verlaufen.

In Fig. 1C wird die harte Maske 108 unter Verwendung bekannter Techniken entfernt und daraufhin eine verhältnismäßig dicke Abschirmdielektrikumschicht 122 (die z. B. Oxid umfasst) ausgebildet, die in die aktiven Gräben 116 und in den Abschlussgraben 120 und über die Mesagebiete verläuft. Die Dicke der Abschirmdielektrikumschicht 122 ist im Allgemeinen größer als die des Gate-Dielektrikums und hauptsächlich durch die Nennspannung der Vorrichtung vorgeschrieben. In Fig. 1D wird die Abschirmdielektrikumschicht 122 in einem Photolithographieschritt maskiert und strukturiert und nachfolgend von dem aktiven Gebiet entfernt, um in dem Abschlussgebiet die Abschirmdielektrikumschicht 124 zu liefern. Auf diese Weise wird im Abschlussgraben 120 vorteilhaft eine dicke hochwertige dielektrische Schicht ausgebildet. In einer alternativen Ausführungsform wird kein Abschirmdielektrikum ausgebildet, sodass der Maskierungs- und der Prozessschritt aus Fig. 1C und 1D beseitigt sind. In dieser alternativen Ausführungsform würde das Dielektrikum im Abschlussgraben 120 eine später ausgebildete Gate-Dielektrikumschicht (d. h. die Schicht 126 in Fig. 1E) und eine über der Gate-Dielektrikumschicht liegende dickere dielektrische Schicht (d. h. die Schicht 127 in Fig. 1H) wie etwa Borphosphorsilikatglas (BPSG) umfassen.

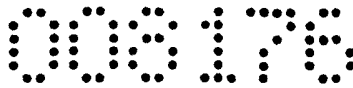
In Fig. 1E wird unter Verwendung herkömmlicher Techniken wie etwa Oxidation des Siliciums eine Gate-Dielektrikumschicht 126 ausgebildet. Wie gezeigt ist, wird die Gate-Dielektrikumschicht 126 entlang aller freiliegenden Siliciumoberflächen einschließlich der Seitenwände und des Bodens der aktiven Gate-Gräben ausgebildet. In Fig. 1F wird über der Gate-Dielektrikumschicht 126 und über dem Abschirmdielektrikum 124 eine Polysiliciumschicht 128 ausgebildet, die die aktiven Gräben 116 füllt und in den Abschlussgraben 120 verläuft. In Fig. 1G wird die Polysiliciumschicht 128 in den aktiven Gräben 116 unter Verwendung bekannter Techniken bis in eine vorgegebene Tiefe vertieft. Somit werden Gate-Elektroden 130 ausgebildet. Die Polysiliciumvertiefung führt zur vollständigen Entfernung des Polysiliciums im Abschlussgraben 120. Während herkömmliche



Techniken einen Maskierungsschritt erfordern, um das Polysilicium in dem Abschlussgebiet und in den aktiven Gebieten getrennt zu definieren, beseitigen der Herstellungsprozess und die Struktur der vorliegenden Erfindung diesen Maskierungsschritt. In einer alternativen Ausführungsform werden die aktiven Body-Gebiete 106B und das Abschluss-Body-Gebiet 106A eher nach dem Vertiefen des Polysiliciums als früh in dem Prozessablauf durch Implantieren von P-Dotierungsstoffen ausgebildet (Fig. 1A).

In Fig. 1H wird (z. B. unter Verwendung einer Oxidablagerung) eine dielektrische Schicht 127 ausgebildet und daraufhin unter Verwendung einer Kontaktmaske strukturiert, worauf ein dielektrisches Ätzen unter Verwendung von Silicium als Ätzsperre folgt. Somit werden die aktiven Gräben 116 mit dielektrischem Material 127 gefüllt und werden Öffnungen 132 ausgebildet, um einen Oberflächenabschnitt des Abschluss-Body-Gebiets 106A sowie die Mesooberflächen in dem aktiven Gebiet freizulegen. Außerdem bildet das Dielektrikum 127 zusammen mit dem Abschirmdielektrikum 124 im Abschlussgraben 120 ein dickeres Dielektrikum 125. In Fig. 1I werden durch die freiliegenden Siliciumoberflächen eine Deck-Source-Implantation und ein Treiben ausgeführt, um in den aktiven Body-Gebieten 106B und im Abschluss-Body-Gebiet 106A N-Gebiete 136 auszubilden. Die Dielektrika 125 und 127 dienen als Sperrschichten, die verhindern, dass ihre darunter liegenden Gebiete die Source-Implantation empfangen. Da das Abschluss-Body-Gebiet 106A in herkömmlichen Abschlussstrukturen elektrisch an das Source-Gebiet gebunden ist, ist ein zusätzlicher Maskierungsschritt erforderlich, um zu verhindern, dass das Abschluss-Body-Gebiet 106A die Source-Implantation empfängt, um Latch-Up-Bedenken zu beseitigen. Dagegen kann in der hier beschriebenen Ausführungsform eine Source-Implantation in das Abschluss-Body-Gebiet 106A stattfinden, da das Abschluss-Body-Gebiet 106A schweben kann. Somit wird ein von Prozessen des Standes der Technik geforderter Maskierungsschritt beseitigt.

In Fig. 1J wird ein Deckvertiefungsätzen von Silicium (z. B. ein angewinkeltes In-Situ-Siliciumätzen) ausgeführt, um alle frei liegenden Siliciumoberflächen bis unter die Bodenfläche der N-Gebiete 136 zu vertiefen und somit die Kontaktöffnungen 144 auszubilden. Wegen des verwendeten angewinkelten Ätzprozesses besitzen die Kontaktöffnungen 144 ein geneigtes Seitenwandprofil. Die in dem Anordnungsgebiet verbleibenden dreieckförmigen Abschnitte der N-Gebiete 139 bilden Source-Gebiete 137, die vorteilhaft auf die Anordnungsgräben 116 selbstjustierend sind. Außerdem verbleiben von dem N-Gebiet 136 in dem Abschlussgebiet die Abschnitte 139. Nachfolgend wird durch die Kontaktöffnungen 144 eine Deckimplantation von P-Dotierungsstoffen, gefolgt von einem Eintreibschritt, ausgeführt, um in den aktiven Body-Gebieten 106B und in dem Abschluss-Body-Gebiet 106A Heavy-Body-Gebiete 140 auszubilden. Es wird angemerkt, dass



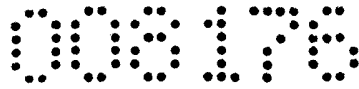
das Heavy-Body-Gebiet 140 im Abschluss-Body-Gebiet 106A zwischen der Feldplatte 148 und dem Abschluss-Body-Gebiet 106A einen Kontakt mit niedrigem Widerstand sicherstellt. Dies wird erreicht, ohne dass zusätzliche Verarbeitungsschritte erforderlich sind.

In Fig. 1K werden herkömmliche Metallablagerungs-, Photolithographie- und Ätzschritte ausgeführt, um das Source-Metall 146, das Gate-Runner-Metall (die Schicht 149 in Fig. 2) und das Abschlussfeldplattenmetall 148 auszubilden. Das abgelagerte Metall füllt die Kontaktöffnungen 144 aus. Das Source-Metall 146 steht in dem aktiven Bereich der Vorrichtung mit den Source-Gebieten 137 und mit den Heavy-Body-Gebieten 140 in Kontakt und das Feldplattenmetall 148 steht in dem Abschlussgebiet mit den N-Gebieten 139 und mit dem Heavy-Body-Gebiet 140 in Kontakt. Das Source-Metall 146, das Feldplattenmetall 148 und das Gate-Runner-Metall 149 sind durch Zwischenräume getrennt, die durch den Metallätzprozess erzeugt werden. Unter Verwendung herkömmlicher Techniken wird eine Rückseiten-Drain-Metallschicht 150 ausgebildet.

In einer Ausführungsform wird das Abschluss-Body-Gebiet 106A ohne Vorspannung gelassen und schwebt somit elektrisch. Dies ermöglicht, dass sich das Abschluss-Body-Gebiet 106A und die Feldplatte 148 selbst auf eine Spannung größer als 0 V vorspannen. Dies verhindert wiederum eine Stossionisation und hohe Felder um den letzten Mesagraben 116 (d. h. um den aktiven Graben, der die linke Wand des Abschluss-Body-Gebiets 106A definiert). Da das letzte Mesagebiet auf dem Chip (d. h. das Abschluss-Body-Gebiet 106A) schwebend ist und somit während des Betriebs kein Stromfluss vorhanden ist, wird das Potential für das Latch-Up, das üblicherweise dadurch verursacht wird, dass durch die N-Epitaxieschicht 104, durch das P-Abschluss-Body-Gebiet 106A und durch das N-Source-Gebiet 137 ein Bipolartransistor ausgebildet wird, beseitigt. In einer alternativen Ausführungsform wird das Abschluss-Body-Gebiet 106A auf dasselbe Potential wie die Source-Gebiete elektrisch vorgespannt.

Während Fig. 1A-1K eine Prozessfolge zum Ausbilden einer bestimmten Grabenabschlussstruktur zusammen mit einer selbstjustierenden MOSFET-Zellenanordnung zeigen, ist für den Fachmann auf dem Gebiet angesichts dieser Offenbarung festzustellen, dass diese Prozessfolge geändert werden kann, um andere Grabenabschlussstrukturen auszubilden. Zum Beispiel könnte die Prozessfolge aus Fig. 1A-1K geändert werden, um irgendeine der Grabenabschlussstrukturen auszubilden, die in der oben erwähnten Patentanmeldung Nummer 11/317,653 mit dem Titel "Trench Field Plate Termination For Power Devices", eingereicht am 22. Dezember 2005, offenbart sind.

Fig. 2 ist eine vereinfachte Querschnittsansicht, die eine unter Verwendung der Prozessfolge aus Fig. 1A-1K ausgebildete Trench-Gate-Runner-Struktur veranschaulicht. Der Gate-Runner-Graben 117 wird gleichzeitig



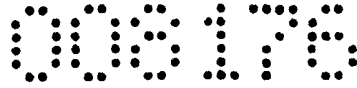
mit den aktiven Gate-Gräben 116 und mit dem Abschlussgraben 120 (d. h. unter Verwendung der Fig. 1B entsprechenden Prozessschritte) ausgebildet. In einer Ausführungsform ist die Breite des Gate-Runner-Grabens 117, wie durch Photolithographiebeschränkungen und durch die erforderliche Größe der Kontaktöffnung 152 über dem Gate-Runner 131 vorgeschrieben ist, größer als die der aktiven Gate-Gräben 116. Der Gate-Runner-Graben 117 wird während derselben Prozessschritte, die ausgeführt werden, um die aktiven Gräben 116 mit der Gate-Dielektrikumschicht 126 zu überziehen (d. h. während der Fig. 1E entsprechenden Prozessschritte), mit der Gate-Dielektrikumschicht 126 überzogen. In einer alternativen Ausführungsform wird der Gate-Runner-Graben 117 während der derselben Prozesse, die ausgeführt werden, um den Abschlussgraben 120 mit der dielektrischen Schicht 124 zu überziehen (d. h. während der Fig. 1C und 1D entsprechenden Prozessschritte), mit der dickeren dielektrischen Schicht 124 überzogen. Das dickere Dielektrikum in dem Gate-Runner-Graben minimiert vorteilhaft die Gate-Drain-Kapazität. Ähnlich wird die vertiefte Gate-Runner-Elektrode 131 während derselben Prozessschritte, die zum Ausbilden der Gate-Elektroden 130 in den aktiven Gräben ausgeführt werden (d. h. während der Fig. 1F und 1G entsprechenden Prozessschritte), ausgebildet.

Die dielektrische Schicht 150 und die Kontaktöffnungen 152 werden während derselben Prozessschritte, die zum Ausbilden der dielektrischen Schicht 127 und der Kontaktöffnungen 132 ausgeführt werden (d. h. während der Fig. 1H entsprechenden Prozessschritte), ausgebildet. Während derselben Metallablagerungs-, Photolithographie- und Metallätzprozessfolge, die zum Ausbilden des Source-Metalls 146 und des Feldplattenmetalls 148 ausgeführt werden (d. h. während der Fig. 1K entsprechenden Prozessschritte), wird ein Gate-Metall 149 ausgebildet, das durch die Öffnung 152 mit der Gate-Runner-Elektrode 131 elektrisch in Kontakt steht. Die verbleibenden Schichten der Trench-Gate-Runner-Struktur in Fig. 2 werden ähnlich während entsprechender Prozessschritte in Fig. 1H-1J ausgebildet. Der Gate-Runner-Graben 117 kann nach Bedarf entlang der Peripherie, entlang eines Mittelbereichs des Chips und/oder in anderen Bereichen des Chips verlaufen. In einer spezifischen Ausführungsform verbinden Gate-Runner-Gräben, die entlang einer Mitte des Chips verlaufen, und zusätzliche Gate-Runner-Gräben, die entlang der Seiten des Chips verlaufen, die Gate-Elektroden, die sich innerhalb des aktiven Bereichs der Vorrichtung befinden. In einer weiteren Ausführungsform sind die Zellen in dem aktiven Gebiet streifenförmig und verlaufen entlang einer ersten Richtung, während ein Gate-Runner-Graben entlang einer Richtung verläuft, die zu den aktiven Gate-Gräben senkrecht ist, und mit ihnen zusammenhängend ist.

In Übereinstimmung mit der Erfindung werden Abschlussstrukturen, die üblicherweise getrennt von dem aktiven Gebiet strukturiert werden, zur

gleichen Zeit ausgebildet, zu der entsprechende Strukturen in dem Anordnungsgebiet ausgebildet werden, was die Maskenanzahl und die Anzahl der Prozessschritte verringert. Zum Beispiel werden in herkömmlichen Implementierungen zum Ausbilden des P-Wannengebiets in dem Abschlussbereich und des P-Wannengebiets in dem aktiven Bereich des Chips getrennte Ioneimplantations- und Maskierungsschritte ausgeführt. Das P-Wannengebiet in dem Abschlussbereich und das P-Wannengebiet in dem aktiven Bereich des Chips werden unter Verwendung einer Deckimplantation (d. h. unter Verwendung keiner Maske) gleichzeitig ausgebildet. Somit werden sowohl die Anzahl der Prozessschritte als auch die Anzahl der Masken verringert. Gleichzeitig wird unter Nutzung eines in den Gräben eingebetteten Gate-Runners die Anzahl der erforderlichen Masken verringert. Es können dieselben Schritte verwendet werden, um gleichzeitig Folgendes auszubilden: (i) den Abschlussgraben, (ii) die Gate-Runner-Gräben und (iii) die aktiven Gate-Gräben, sodass die Anzahl der Herstellungsschritte und der Maskierungsschritte verringert wird. Außerdem minimiert das Einbetten des Gate-Runners in einen Graben (im Gegensatz zu den herkömmlichen planaren Gate-Runnern) den Siliciumverbrauch. Diese Vorteile werden zusammen mit einer Trench-Gate-FET-Struktur mit selbstjustierenden Source- und Heavy-Body-Gebieten erreicht. Insgesamt wird ein hochkompakter, preiswerter Trench-Gate-FET mit verbesserter Leistung erzielt.

Obgleich die vorliegende Ausführungsform besonders in Bezug auf beispielhafte Ausführungsformen davon gezeigt und beschrieben worden ist, ist für den Durchschnittsfachmann auf dem Gebiet selbstverständlich, dass daran verschiedene Änderungen in Bezug auf die Form und die Einzelheiten vorgenommen werden können, ohne von dem wie durch die Ansprüche definierten Erfindungsgedanken und Umfang der vorliegenden Erfindung abzuweichen.



Patentansprüche

1. Verfahren zum Ausbilden eines Trench-Gate-Feldeffekttransistors (Trench-Gate-FET) in einem Halbleiterchip, der ein aktives Gebiet zum Aufnehmen aktiver Transistorzellen und ein Abschlussgebiet, das das aktive Gebiet umgibt, umfasst, wobei das Verfahren umfasst:

Ausbilden eines Wannengebiets in dem aktiven Gebiet und in dem Abschlussgebiet gleichzeitig, wobei das Wannengebiet in einem Siliciumgebiet mit einem Leitfähigkeitstyp ausgebildet wird, der zu dem des Wannengebiets entgegengesetzt ist;

gleichzeitiges Ausbilden mehrerer aktiver Gate-Gräben in dem aktiven Gebiet und eines nicht aktiven Abschlussgrabens in dem Abschlussgebiet, wobei die mehreren aktiven Gate-Gräben und der nicht aktive Abschlussgraben in das Wannengebiet verlaufen und es durchdringen, um dadurch das Wannengebiet in dem aktiven Gebiet in mehrere aktive Body-Gebiete und in dem Abschlussgebiet in ein Abschluss-Body-Gebiet zu teilen;

Ausbilden einer Öffnung über dem Abschluss-Body-Gebiet und einer Öffnung über dem aktiven Gebiet unter Verwendung einer Maske;

Implantieren von Dotierungsstoffen in die aktiven Body-Gebiete durch die Öffnung über dem aktiven Gebiet und in das Abschluss-Body-Gebiet durch die Öffnung über dem Abschluss-Body-Gebiet, um dadurch in jedem aktiven Body-Gebiet und in dem Abschluss-Body-Gebiet ein erstes Gebiet auszubilden, wobei die ersten Gebiete einen Leitfähigkeitstyp aufweisen, der zu dem des Wannengebiets entgegengesetzt ist; und

Vertiefen freiliegender Oberflächen aller ersten Gebiete unter Verwendung eines Siliciumätzens zum Ausbilden einer napfförmigen Siliciumvertiefung mit geneigten Wänden und einem Boden, der durch jedes erste Gebiet vorsteht, sodass Abschnitte jedes ersten Gebiets in einem entsprechenden aktiven Body-Gebiet verbleiben, wobei die verbleibenden Abschnitte der ersten Gebiete in den aktiven Body-Gebieten Source-Gebiete bilden, die auf die aktiven Gate-Gräben selbstjustierend sind.

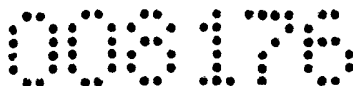
2. Verfahren nach Anspruch 1, das ferner umfasst:

Implantieren von Dotierungsstoffen in die napfförmigen Siliciumvertiefungen zum Ausbilden eines Heavy-Body-Gebiets in jedem aktiven Body-Gebiet und in dem Abschluss-Body-Gebiet, wobei die Heavy-Body-Gebiete denselben Leitfähigkeitstyp wie das Wannengebiet aufweisen.

3. Verfahren nach Anspruch 2, das ferner umfasst:

Ausbilden einer Metallschicht über dem Halbleiterchip;

Strukturieren der Metallschicht zum Ausbilden: (i) einer Source-Metallschicht, die in jede napfförmige Siliciumvertiefung in dem aktiven Gebiet verläuft, um in dem aktiven Gebiet einen elektrischen Kon-



takt mit den Source-Gebieten und mit den Heavy-Body-Gebieten herzustellen, und (ii) einer Feldplatte, die in den nicht aktiven Abschlussgraben und in die in dem Abschluss-Body-Gebiet ausgebildete napfförmige Siliciumvertiefung verläuft, um einen elektrischen Kontakt mit dem in dem Abschluss-Body-Gebiet ausgebildeten Heavy-Body-Gebiet herzustellen, wobei die Source-Metallschicht und die Feldplatte voneinander isoliert sind.

4. Verfahren nach Anspruch 1, das ferner umfasst:

Ausbilden einer Abschlussdielektrikumschicht in dem nicht aktiven Abschlussgraben;

Ausbilden einer Feldplatte, die leitendes Material umfasst, in dem Graben über der Abschlussdielektrikumschicht, wobei die Abschlussdielektrikumschicht alle Abschnitte der Feldplatte innerhalb des nicht aktiven Abschlussgrabens von allen Siliciumgebieten, die den nicht aktiven Abschlussgraben umgeben, isoliert, wobei die Feldplatte aus dem nicht aktiven Abschlussgraben heraus und in die in dem Abschluss-Body-Gebiet ausgebildete napfförmige Siliciumvertiefung hinein verläuft, um dadurch einen elektrischen Kontakt mit dem in dem Abschluss-Body-Gebiet ausgebildeten Heavy-Body-Gebiet herzustellen.

5. Verfahren nach Anspruch 4, bei dem das leitende Material ein Metall ist.

6. Verfahren nach Anspruch 1, das ferner umfasst:

Ausbilden einer Gate-Dielektrikumschicht, mit der die Seitenwände jedes aktiven Gate-Grabens überzogen sind;

Ausbilden eines vertieften Gates in jedem aktiven Gate-Graben, wobei die Abschlussdielektrikumschicht dicker als die Gate-Dielektrikumschicht ist; und

Ausbilden eines dielektrischen Materials über jedem vertieften Gate.

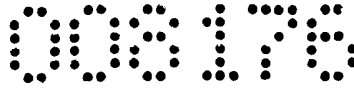
7. Verfahren nach Anspruch 1, bei dem der nicht aktive Abschlussgraben in der Weise bis zu einem Rand des Halbleiterchips verläuft, dass der nicht aktive Abschlussgraben eine vertikale Wand bildet, bei der das Wannengebiet endet.

8. Verfahren nach Anspruch 1, bei dem die aktiven Gate-Gräben und der nicht aktive Abschlussgraben in derselben Tiefe enden.

9. Verfahren nach Anspruch 1, bei dem das Abschluss-Body-Gebiet während des Betriebs nicht elektrisch vorgespannt wird, sodass es schwebt.

10. Verfahren nach Anspruch 1, bei dem der Schritt des gleichzeitigen Ausbildens umfasst:

Ausbilden nicht aktiver Gate-Runner-Gräben zur gleichen Zeit, zu der die aktiven Gate-Gräben und der nicht aktive Abschlussgraben ausgebildet werden, wobei der nicht aktive Gate-Runner-Graben, die aktiven



Gate-Gräben und der nicht aktive Abschlussgraben bis in dieselbe Tiefe verlaufen; und

Ausbilden einer vertieften Gate-Elektrode in jedem aktiven Gate-Graben und einer vertieften Gate-Runner-Elektrode in dem nicht aktiven Gate-Runner-Graben zur gleichen Zeit, wobei die vertiefte Gate-Elektrode in jedem aktiven Gate-Graben mit der vertieften Gate-Runner-Elektrode in dem nicht aktiven Gate-Runner-Graben elektrisch verbunden ist.

11. Verfahren nach Anspruch 10, bei dem der nicht aktive Gate-Runner-Graben breiter als die aktiven Gate-Gräben ist.

12. Verfahren nach Anspruch 10, bei dem die aktiven Gate-Gräben streifenförmig sind und entlang einer ersten Richtung verlaufen, wobei der nicht aktive Gate-Runner-Graben wenigstens teilweise entlang einer Richtung verläuft, die zu den aktiven Gate-Gräben senkrecht ist, und mit ihnen zusammenhängend ist.

13. Verfahren zum Ausbilden eines Trench-Gate-Feldeffekttransistors (Trench-Gate-FET) in einem Halbleiterchip, der ein aktives Gebiet, in dem aktive Transistorzellen ausgebildet sind, und ein Abschlussgebiet, das das aktive Gebiet umgibt, umfasst, wobei das Verfahren umfasst:

Ausbilden eines Wannengebiets in dem aktiven Gebiet und in dem Abschlussgebiet gleichzeitig, wobei das Wannengebiet in einem Siliciumgebiet mit einem Leitfähigkeitstyp ausgebildet wird, der zu dem des Wannengebiets entgegengesetzt ist;

gleichzeitiges Ausbilden mehrerer aktiver Gate-Gräben in dem aktiven Gebiet, eines nicht aktiven Gate-Runner-Grabens und eines nicht aktiven Abschlussgrabens in dem Abschlussgebiet, wobei die mehreren aktiven Gate-Gräben, der nicht aktive Gate-Runner-Graben und der nicht aktive Abschlussgraben in das Wannengebiet verlaufen und es durchdringen, um dadurch das Wannengebiet in dem aktiven Gebiet in mehrere aktive Body-Gebiete und in dem Abschlussgebiet in ein Abschluss-Body-Gebiet zu teilen;

Ausbilden einer vertieften aktiven Gate-Elektrode in jedem aktiven Gate-Graben und einer vertieften Gate-Runner-Elektrode in dem nicht aktiven Gate-Runner-Graben gleichzeitig, wobei die vertieften aktiven Gate-Elektroden mit der vertieften Gate-Runner-Elektrode elektrisch verbunden sind;

Definieren einer Öffnung über dem Abschluss-Body-Gebiet und einer Öffnung über dem aktiven Gebiet unter Verwendung einer Maske;

Implantieren von Dotierungsstoffen in die aktiven Body-Gebiete durch die Öffnung in dem aktiven Gebiet und in das Abschluss-Body-Gebiet durch die Öffnung über dem Abschluss-Body-Gebiet und dadurch Ausbilden

eines ersten Gebiets in jedem aktiven Body-Gebiet und in dem Abschluss-Body-Gebiet, wobei die ersten Gebiete einen Leitfähigkeitstyp aufweisen, der zu dem des Wannengebiets entgegengesetzt ist; und

Vertiefen der freiliegenden Oberflächen aller ersten Gebiete unter Verwendung eines Siliciumätzens zum Ausbilden einer napfförmigen Siliciumvertiefung mit geneigten Wänden und einem durch das erste Gebiet vorstehenden Boden, sodass Abschnitte jedes ersten Gebiets in einem entsprechenden aktiven Body-Gebiet verbleiben, wobei die verbleibenden Abschnitte des ersten Gebiets in den aktiven Body-Gebieten Source-Gebiete bilden, die auf die aktiven Gate-Gräben selbstjustierend sind.

14. Verfahren nach Anspruch 13, das ferner umfasst:

Implantieren von Dotierungsstoffen in die napfförmigen Siliciumvertiefungen zum Ausbilden eines Heavy-Body-Gebiets in jedem aktiven Body-Gebiet und in dem Abschluss-Body-Gebiet, wobei die Heavy-Body-Gebiete denselben Leitfähigkeitstyp wie das Wannengebiet aufweisen.

15. Verfahren nach Anspruch 13, das ferner umfasst:

Ausbilden einer Abschlussdielektrikumschicht in dem nicht aktiven Abschlussgraben;

Ausbilden einer Feldplatte, die leitendes Material umfasst, in dem nicht aktiven Abschlussgraben, wobei die Abschlussdielektrikumschicht alle Abschnitte der Feldplatte innerhalb des nicht aktiven Abschlussgrabens von allen Siliciumgebieten, die den nicht aktiven Grabenabschluss umgeben, isoliert, wobei die Feldplatte aus dem nicht aktiven Abschlussgraben heraus und in die in dem Abschluss-Body-Gebiet ausgebildete napfförmige Siliciumvertiefung hinein verläuft, um dadurch einen elektrischen Kontakt mit dem in dem Abschluss-Body-Gebiet ausgebildeten Heavy-Body-Gebiet herzustellen.

16. Verfahren nach Anspruch 15, bei dem das leitende Material ein Metall ist.

17. Verfahren nach Anspruch 15, das ferner umfasst:

Ausbilden einer Gate-Dielektrikumschicht, mit der die Seitenwände jedes aktiven Gate-Grabens überzogen sind, vor dem Ausbilden der vertieften aktiven Gate-Elektrode und der vertieften Gate-Runner-Elektrode.

18. Verfahren nach Anspruch 15, bei dem der nicht aktive Abschlussgraben in der Weise bis zu einem Rand des Chips verläuft, dass der nicht aktive Abschlussgraben eine vertikale Wand bildet, bei der das Wannengebiet endet.

19. Verfahren nach Anspruch 13, bei dem die aktiven Gate-Gräben, der nicht aktive Gate-Runner-Graben und der nicht aktive Abschlussgraben in derselben Tiefe enden.

20. Verfahren nach Anspruch 13, bei dem das Abschluss-Body-Gebiet

während des Betriebs elektrisch nicht vorgespannt wird, sodass es schwebt.

21. Verfahren nach Anspruch 13, bei dem der nicht aktive Gate-Runner-Graben breiter als die aktiven Gate-Gräben ist.

22. Verfahren nach Anspruch 13, bei dem die aktiven Gate-Gräben streifenförmig sind und entlang einer ersten Richtung verlaufen und der nicht aktive Gate-Runner-Graben wenigstens teilweise entlang einer Richtung verläuft, die zu den aktiven Gate-Gräben senkrecht ist, und mit ihnen zusammenhängend ist.

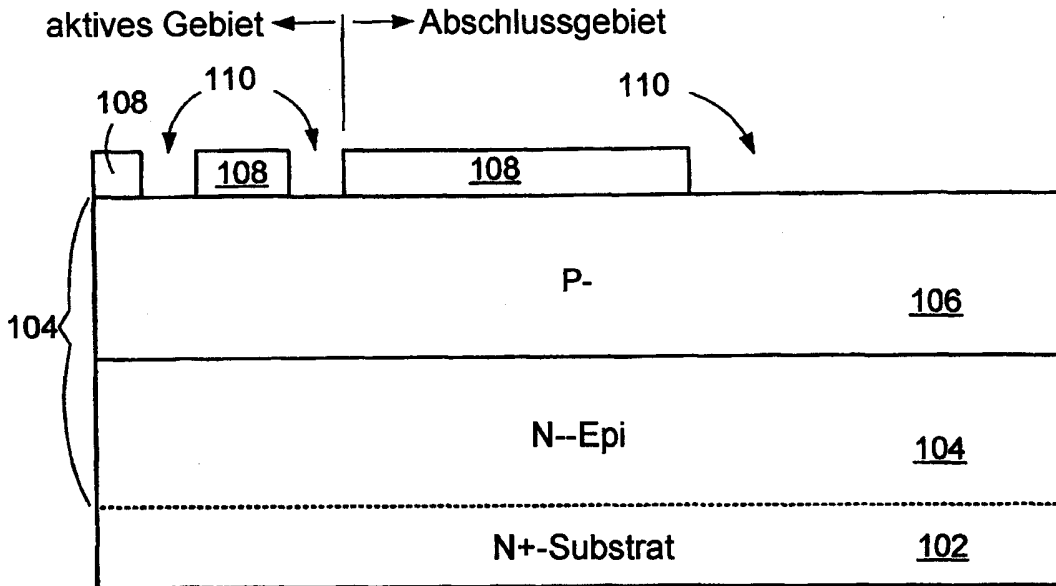


FIG. 1A

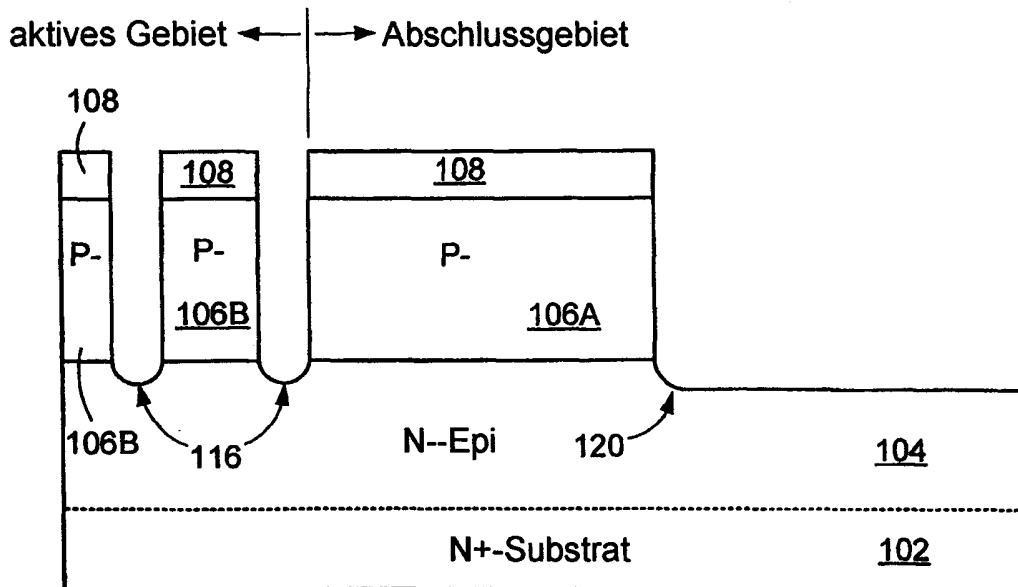
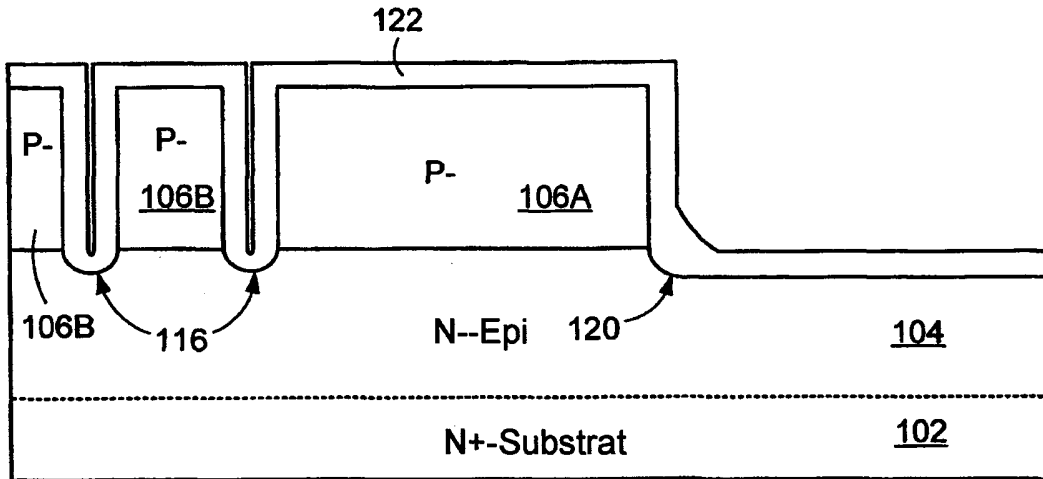
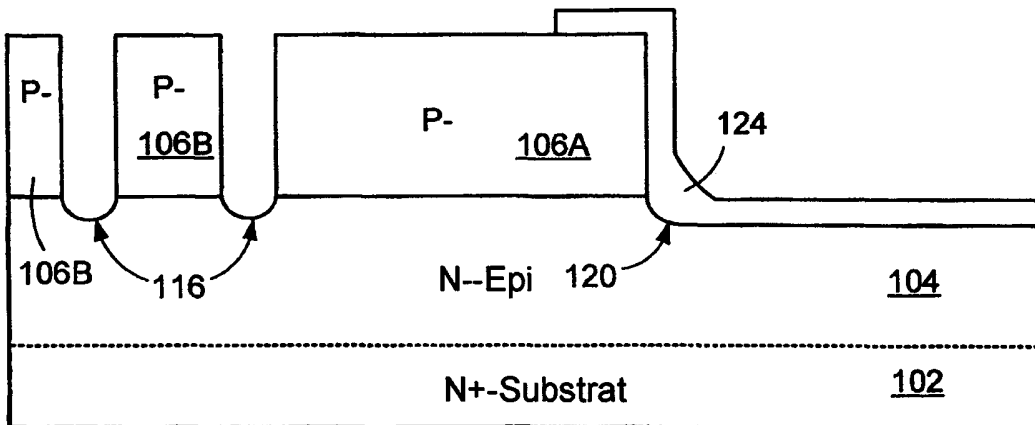


FIG. 1B

**FIG. 1C****FIG. 1D**

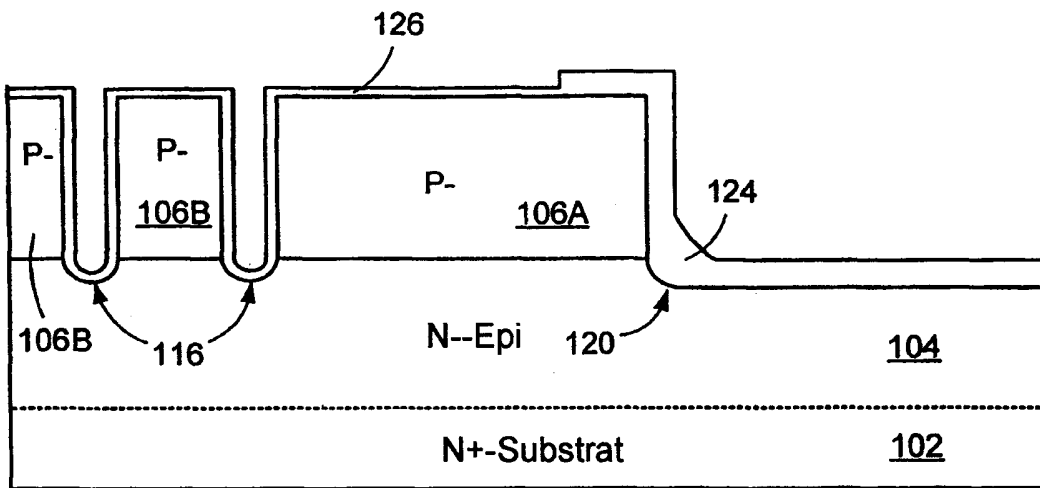


FIG. 1E

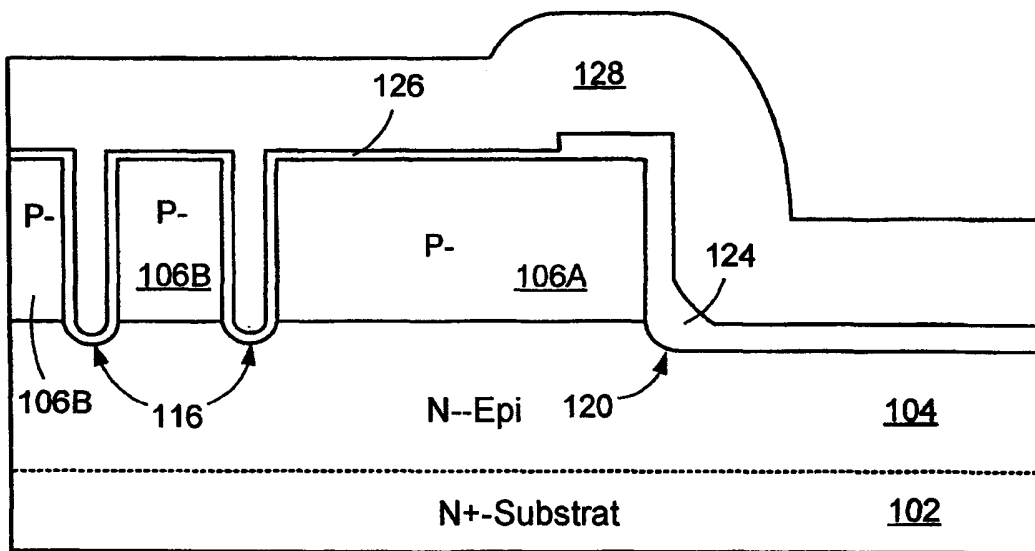


FIG. 1F

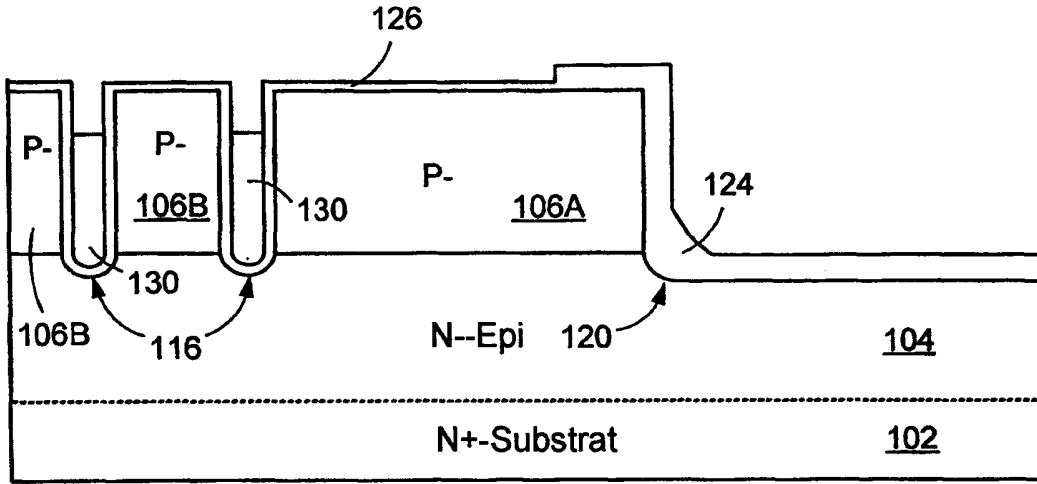


FIG. 1G

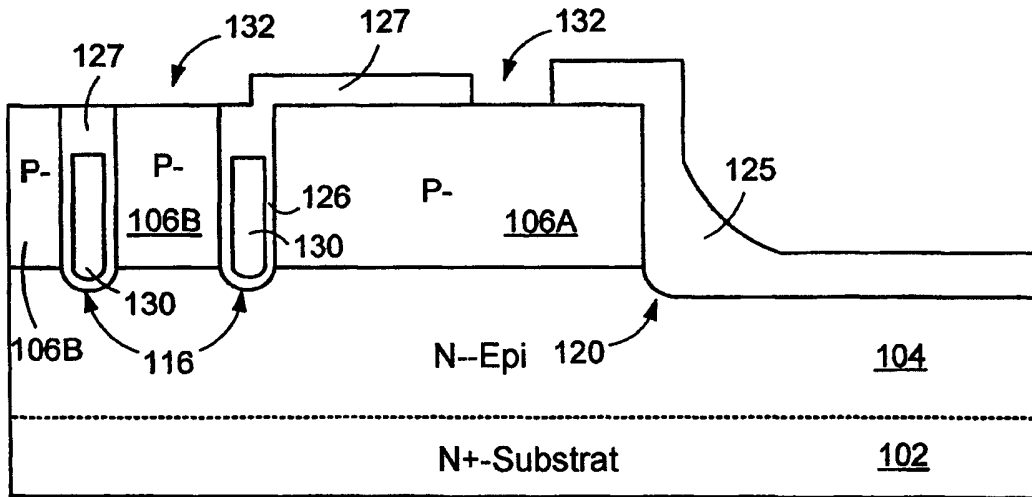


FIG. 1H

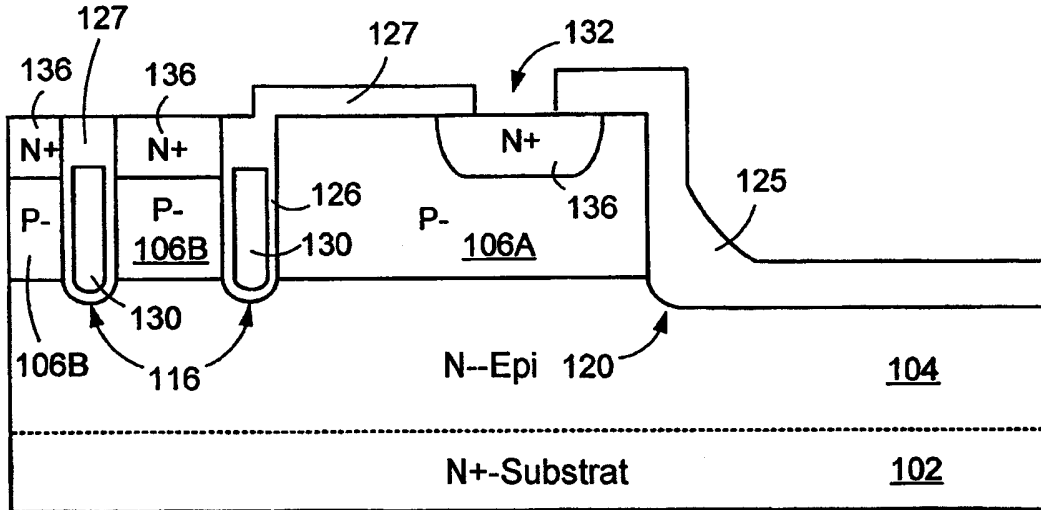


FIG. 1I

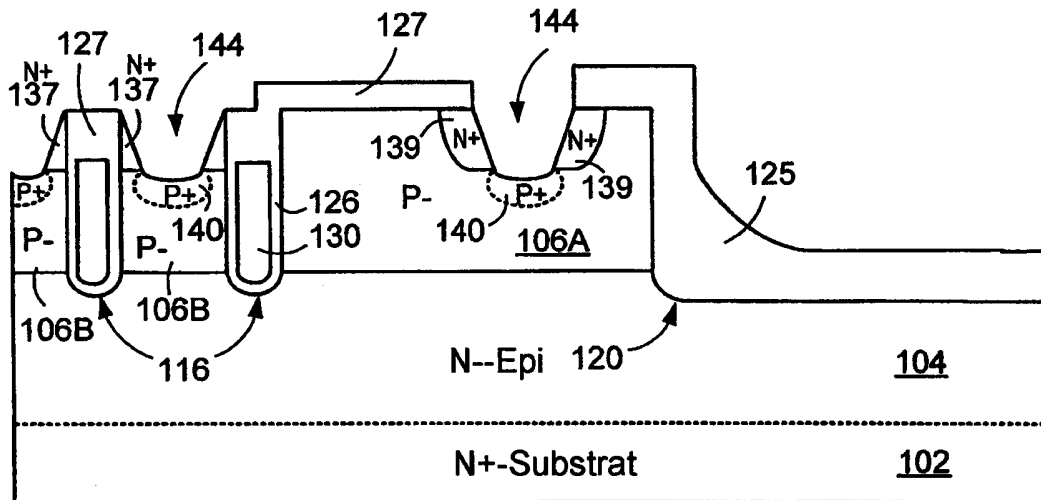


FIG. 1J

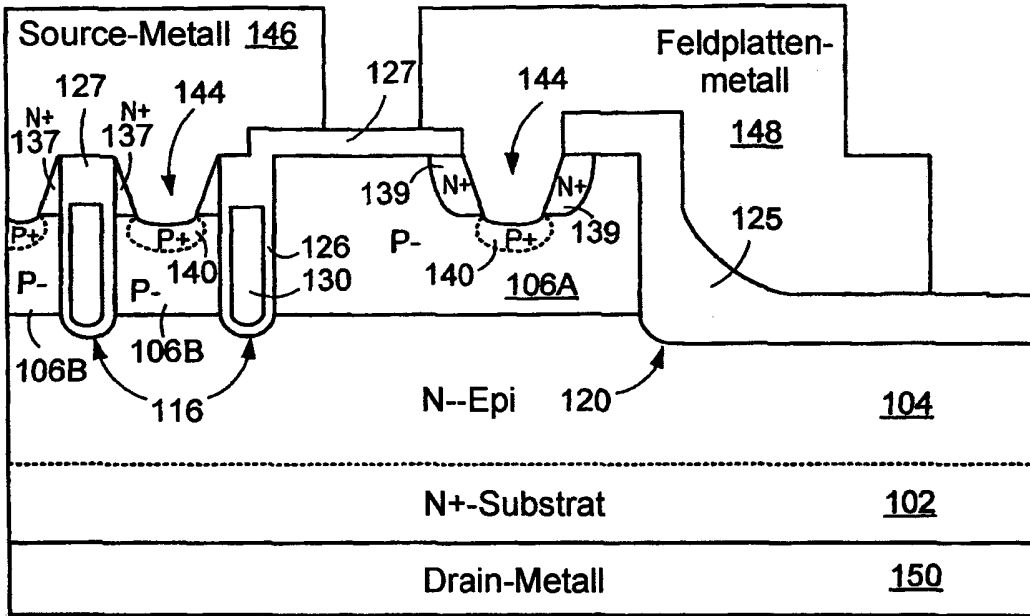


FIG. 1K

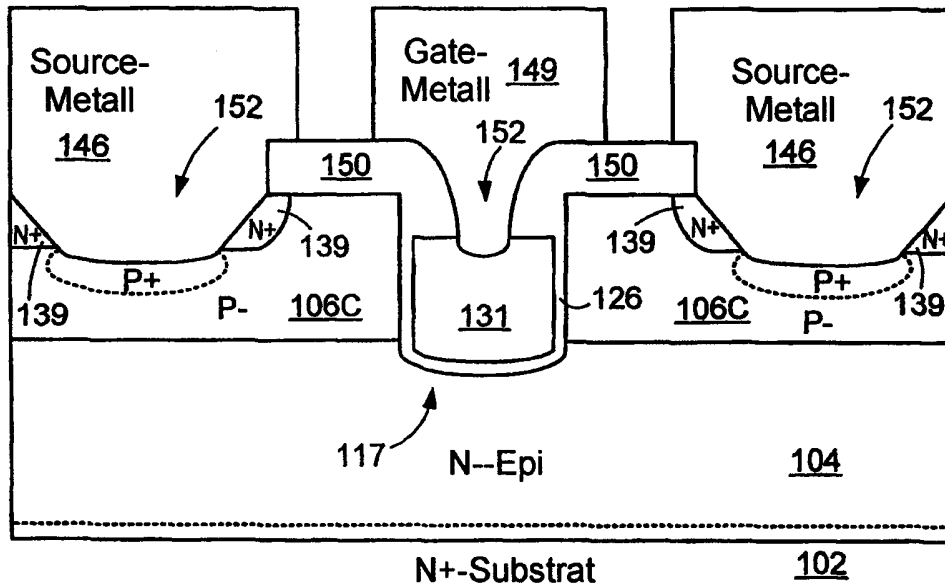


FIG. 2