



(12) 发明专利申请

(10) 申请公布号 CN 118100607 A

(43) 申请公布日 2024. 05. 28

(21) 申请号 202311569512.5

(22) 申请日 2023.11.23

(30) 优先权数据

22209698.4 2022.11.25 EP

(71) 申请人 安世有限公司

地址 荷兰奈梅亨

(72) 发明人 吉萨纳德·阿萨姆 革育·潘迪亚

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

专利代理师 张娜 顾丽波

(51) Int. Cl.

H02M 1/088 (2006.01)

H02M 1/32 (2007.01)

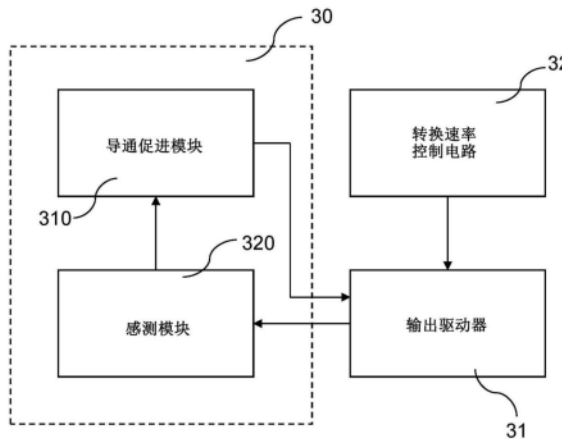
权利要求书1页 说明书7页 附图11页

(54) 发明名称

用于输出驱动器的控制电路和包括控制电路的输出驱动器

(57) 摘要

公开了一种用于具有转换速率控制电路的输出驱动器的控制电路。控制电路包括导通促进模块,该导通促进模块具有控制输入,并且被配置为连接到输出驱动器,并且响应于控制输入处的控制电压向输出驱动器提供补充电压;以及感测模块,其被配置为连接到导通促进模块和输出驱动器,并且响应于由感测模块感测到的输出驱动器的输入电压来关断导通促进模块。



1. 一种用于具有转换速率控制电路(32)的输出驱动器(31)的控制电路(30),包括:
导通促进模块(410),其具有控制输入,并且被配置为连接到所述输出驱动器;并且响应于所述控制输入处的控制电压而向所述输出驱动器供应补充电压;以及
感测模块(420),其被配置为连接到所述导通促进模块(410)和所述输出驱动器(31),并且响应于由所述感测模块(420)感测到的所述输出驱动器(31)的输入电压而关断所述导通促进模块(410);
其中,所述导通促进模块(410)包括导通路径,所述导通路径被配置为连接到所述输出驱动器(31)的输入端子,并且响应于所述控制电压将电源电压连接到所述输出驱动器(31)的输入端子,并且其中,所述导通路径包括串联连接的第一开关(MP2)和第二开关(MP1),所述第一开关(MP2)的使能端子耦接到所述控制电压,并且所述第二开关(MP1)的使能端子耦接到所述电源电压和所述感测模块(420)的输出端子,所述第二开关(MP1)的输出端子被配置为连接到所述输出驱动器(31)的输入端子,其特征在于,
所述第一开关包括第一PMOS晶体管,所述第二开关包括第二PMOS晶体管,所述第一PMOS晶体管的源极耦接到所述电源电压,所述第一PMOS晶体管的漏极耦接到所述第二PMOS晶体管的源极,所述第二开关的漏极被配置为连接到所述输出驱动器的输入端子,并且其中
所述控制电路还包括限流电阻器(R_{limit}),所述限流电阻器具有能够连接到所述输出驱动器(31)的输入端子的第一端子、和耦接到所述导通促进模块(410)和所述感测模块(420)的第二端子。
2. 根据权利要求1所述的控制电路,其中,所述第一PMOS晶体管(MP2)的栅极经由第一反相器(INV1)耦接到所述控制电压,所述第二PMOS晶体管(MP1)的栅极经由串联连接的第二反相器(INV2)和反馈电阻器(R_{fb})耦接到所述电源电压。
3. 根据权利要求1或2所述的控制电路,其中,所述感测模块(420)包括第三开关,所述第三开关被配置为具有连接至所述输出驱动器(31)的输入端子的输入端子、和耦接至所述电源电压和所述第二开关的使能端子的输出端子。
4. 根据权利要求3所述的控制电路,其中,所述第三开关包括第一NMOS晶体管(MN1),所述第一NMOS晶体管(MN1)的源极经由第二NMOS晶体管(MN2)连接至所述控制电压。
5. 根据权利要求4所述的控制电路,其中,所述第二NMOS晶体管(MN2)的源极耦接到GND,并且所述第二NMOS晶体管(MN2)的栅极耦接到所述控制电压。
6. 根据权利要求3或4所述的控制电路,其中,所述第一NMOS晶体管(MN1)的输出端子耦接到所述第二反相器(INV2)与上拉电阻器(R_{pu})之间的节点。
7. 根据权利要求1所述的控制电路,其中,所述限流电阻器(R_{limit})的第二端子耦接到所述第二开关(MP1)的源极和所述第三开关的感测端子。
8. 根据权利要求7所述的控制电路,其中,所述限流电阻器(R_{limit})具有在200欧姆至600欧姆范围内的电阻。
9. 一种输出驱动器,包括转换速率控制电路和根据前述权利要求1至8中任一项所述的用于转换速率控制电路的控制电路。
10. 根据权利要求9所述的输出驱动器,包括开路漏极输出驱动器。
11. 根据权利要求9所述的输出驱动器,包括推挽型驱动器。

用于输出驱动器的控制电路和包括控制电路的输出驱动器

技术领域

[0001] 本公开一般涉及一种输出驱动器,特别是涉及一种用于如权利要求1的前序部分所述的具有转换速率控制电路的输出驱动器的控制电路。

背景技术

[0002] 输出驱动器是用于驱动输出焊盘的电路,预定负载连接到该输出焊盘以便从半导体装置输出数据。推挽(push-pull)型驱动器被认为是广泛使用的输出驱动器,并且通常与驱动器结合使用转换速率控制电路,用于控制驱动器的输出转换速率。

[0003] 转换速率示出了输出信号的电压电平变化有多快。转换速率被定义为表示电压电平变化与单位时间之间的比率的斜率。

[0004] 像集成电路间(I^2C)、电磁干扰(EMI)等应用受影响的电路需要慢转变输出信号以最小化EMI,以满足上升/下降时间的标准要求。对于这样的应用,需要以受控的方式限制输出的上升时间和下降时间。

[0005] 传统上已知的典型转换速率控制电路通过将明确定义的电流注入驱动器中来控制输出转换速率。该电流总是良好受控的电流,并且涉及大的导通时间。

[0006] US2010/176783A1公开了一种开关装置驱动电路,用于接收脉冲信号,并在对应于脉冲信号的预定时段内将驱动信号输出到开关装置的控制端子,该开关装置包括:功率转换电路,以及控制电路,用于将作为驱动信号提供到开关装置的控制端子的电压改变为不同于预定电压的电压,或将作为驱动信号流经开关装置的控制端子的电流改变为不同于预定电流的电流;以及控制电压检测电路,用于检测开关装置的控制端子的电压。

[0007] US10790818B1公开了一种栅极驱动器电路,包括第一电源轨,其提供第一固定电源电压;第二电源轨,其提供第二固定电源电压;晶体管,其包括具有栅极电压的栅极端子;以及栅极驱动器集成电路(IC),其被供应有第一固定电源电压和第二固定电源电压,栅极驱动器IC包括输出端子,该输出端子被配置为在输出端子处提供栅极驱动电压,以便在开关状态之间驱动晶体管。

[0008] US2006/119326A1公开了一种开关电压调节器,其包括开关晶体管和预驱动器电路,该开关晶体管被连接以响应于使晶体管循环导通和截止的控制信号而在电源电压和第一节点之间传导电流,该预驱动器电路提供控制信号。

[0009] 对于在满足转换速率要求的同时需要小的等待时间的转换速率控制电路应用,期望的是可缩短导通时间。

[0010] 考虑到上述情况,期望可以改善具有转换速率控制电路的输出驱动器的导通时间,而不影响转换速率。

发明内容

[0011] 在本公开的第一方面中,提出了一种用于输出驱动器的控制电路,输出驱动器具有如权利要求1的特征部分中所限定的转换速率控制电路。控制电路包括:

[0012] 导通促进模块,其具有控制输入,并且被配置为连接到输出驱动器,并且响应于控制输入处的控制电压向输出驱动器供应补充电压;

[0013] 以及

[0014] 感测模块,其被配置为连接到导通促进模块和输出驱动器,并且响应于由感测模块感测到的输出驱动器的输入电压而关断导通促进模块。

[0015] 本公开基于这样的认识,通过经由导通促进模块向输出驱动器供应补充电压,可以减少或缩短输出驱动器的导通时间。除了由用于导通输出驱动器的转换速率控制电路注入的电流之外,还供应补充电压。

[0016] 补充电压与由转换速率控制电路注入的电流相结合,确保了输出驱动器在短时间内导通。通过例如对用作输出驱动器的晶体管的栅极充电来导通输出驱动器所需的时间不依赖于在随后的转换速率时段期间使用的偏置电流。

[0017] 导通促进模块仅在输出驱动器的导通时段期间操作。因此,感测模块被配置为通过感测输出驱动器的输入电压来关断导通促进模块。一旦输入电压达到阈值,则导通促进模块被关断,从而确保转换速率时段保持不受影响。

[0018] 在本公开的示例中,导通促进模块包括导通路径,该导通路径被配置为连接到输出驱动器的输入端子并且响应于控制电压将电源电压连接到输出驱动器的输入端子。

[0019] 这种导通路径被配置为向输出驱动器的输入端子供应补充电压。当控制电压被施加到导通促进模块的控制输入时,通过将包括输出驱动器的系统的电源电压连接到输出驱动器的输入端子来提供补充电压。

[0020] 在本公开的示例中,导通路径包括串联的第一开关与第二开关,第一开关的使能端子耦接到控制电压,第二开关的使能端子耦接到电源电压与感测模块的输出端子,第二开关的输出端子被配置为连接到输出驱动器的输入端子。

[0021] 这种导通路径连接到输出驱动器的输入端子。当控制电压施加在控制输入上时,它允许电源电压作为补充电压供应给输出驱动器的输入端子。此外,当输出驱动器的输入端子处的电压足够高时,在来自感测模块的输出下断开导通路径。

[0022] 在本公开的示例中,第一开关包括第一PMOS晶体管,第二开关包括第二PMOS晶体管,第一PMOS晶体管的源极耦接至电源电压,第一PMOS晶体管的漏极耦接至第二PMOS晶体管的源极,第二开关的漏极被配置为连接至输出驱动器的输入端子。

[0023] 第一PMOS晶体管和第二PMOS晶体管串联连接。如上所述,第一PMOS晶体管的使能端子(即栅极)耦接至控制电压。因此,在施加控制电压时,第一PMOS晶体管被启用,从而也启用第二PMOS晶体管。因此,电源电压经由输出端子或第二PMOS晶体管的漏极被供应给输出驱动器的输入端子。

[0024] 在本公开的示例中,第一PMOS晶体管的栅极经由第一反相器耦接至控制电压,第二PMOS晶体管的栅极经由串联连接的第二反相器和上拉电阻器耦接至电源电压。

[0025] 这允许第一PMOS晶体管以逻辑高电压被启用。在第一PMOS晶体管导通的同时,第二PMOS晶体管通过电源电压而被启用。

[0026] 在本公开的示例中,感测模块包括第三开关,该第三开关被配置为使其输入端子连接到输出驱动器的输入端子,并且使其输出端子耦接到电源电压和第二开关的使能端子。

[0027] 第三开关的输入端子被配置为感测输出驱动器的输入电压。因此,第三开关在输出驱动器的输入电压的控制下操作,从而通过关断导通路径的第二开关来关断导通促进模块的导通路径。

[0028] 在本公开的示例中,第三开关包括第一NMOS晶体管,第一NMOS晶体管的源极经由第二NMOS晶体管连接至控制电压。

[0029] 在本公开的示例中,第二NMOS晶体管的源极耦接到GND,第二NMOS晶体管的栅极耦接到控制电压。

[0030] 这确保了当控制电压处于逻辑低电平时导通路径被禁用。

[0031] 在本公开的示例中,第一NMOS晶体管的输出端子耦接至第二反相器与上拉电阻之间的节点。

[0032] 因此,确保了直到输出驱动器的输入电压达到启用第一NMOS晶体管的阈值时,导通路径的第二PMOS晶体管才受感测模块的影响。

[0033] 在本公开的示例中,用于输出驱动器的控制电路还包括限流电阻器,限流电阻器具有可连接至输出驱动器的输入端子的第一端子以及耦接至导通促进模块与感测模块的第二端子。

[0034] 限流电阻器被配置为防止输出驱动器的栅极电压中的任何尖峰,并且防止在禁用导通促进模块之前输出被快速放电。因此,输出驱动器的输出在整个转换时段内具有恒定转换速率。

[0035] 在本公开的示例中,限流电阻器的第二端子耦接到第二PMOS开关的漏极与第三开关的感测端子。

[0036] 由此,限流电阻器连接在导通促进模块的输出以及感测模块的输入与输出驱动器的输入端子之间。

[0037] 在本公开的示例中,限流电阻器具有在200欧姆到600欧姆的范围内的电阻。

[0038] 在限定范围内的电阻可以有效地防止输出驱动器的栅极电压中的尖峰,并有助于稳定输出。

[0039] 本公开的第二方面呈现一种输出驱动器,其包括转换速率控制电路和根据本公开的第一方面的用于转换速率控制电路的控制电路。

[0040] 在本公开的示例中,输出驱动器包括开路漏极输出驱动器。

[0041] 在本公开的另一示例中,输出驱动器包括推挽型驱动器。

[0042] 如本公开的第一方面中所描述的控制电路可有利地用于开路漏极输出驱动器和推挽型驱动器两者中,从而允许两个驱动器具有低传播延迟以及良好受控的转换速率。

[0043] 从下面参照附图的描述中,将最好地理解本公开的上述和其它特征和优点。在附图中,相同的附图标记表示相同的部件或执行相同或相当功能或操作的部件。

附图说明

[0044] 图1示意性地示出了具有转换速率控制电路的传统的开路漏极驱动器。

[0045] 图2示意性地示出了图1的驱动器的操作状态。

[0046] 图3是示意性地示出用于具有转换速率控制电路的输出驱动器的控制电路的框图。

- [0047] 图4示意性地示出用于具有转换速率控制电路的输出驱动器的所提出的控制电路。
- [0048] 图5示出了在驱动器关断状态期间图4的控制电路的不同节点电压。
- [0049] 图6示出了在快速导通状态期间图4的控制电路不同节点电压。
- [0050] 图7示出了在转换速率状态期间图4的控制电路的不同节点电压。
- [0051] 图8示出了在驱动器完全导通状态期间图4的控制电路的不同节点电压。
- [0052] 图9示意性地示出了不具有和具有所提出的控制电路的转换速率电路之间的比较。
- [0053] 图10示意性地示出了不具有和具有限流电阻器的转换速率电路之间的比较。
- [0054] 图11示意性地使用快速导通控制电路用于PMOS驱动器。

具体实施方式

- [0055] 现在将参照附图更详细地描述本公开所设想的实施例。所公开的主题不应被解释为仅限于本文所阐述的实施例。相反,通过示例的方式提供所示实施例,以向本领域技术人员传达本主题的范围。
- [0056] 本公开描述用于具有转换速率控制电路的输出驱动器的控制电路。
- [0057] 图1示意性地示出了具有转换速率控制电路的传统的开路漏极驱动器。
- [0058] 用于开路漏极驱动器的转换速率控制电路由三个部件组成,分别是:1、包括具有上拉电阻器 R_{pu} 的晶体管 MN_{Driver} 的开路漏极驱动器;2、反馈电容 C_{fb} 和偏置电流注入晶体管 MP_{Bias} ,其被配置为在输出 V_{pad} 上获得所需的转换速率;以及3、具有晶体管 MN_{pd} 和 MP_{pd} 的禁用电路。
- [0059] 驱动器NMOS的转换速率由电容 C_{fb} 和来自晶体管 MP_{Bias} 的注入电流 I_{bias} 限定。驱动器电路遭受导通时间的影响,尤其是当 I_{bias} 非常小以满足转换速率要求时。
- [0060] 图2示意性地示出了图1的驱动器的操作状态。
- [0061] 图中从上到下的曲线分别表示随时间变化的转换速率驱动器输出21、驱动器的栅极电压22和转换速率电路使能信号23。
- [0062] T_{on} 指示导通驱动器NMOS所需的时间, T_{slew} 指示驱动器NMOS的转换周期。可以看到,直到驱动器NMOS的栅极电压达到晶体管的 V_t ,转换速率电路才导通。对于较差情况的工艺、电压和温度(PVT)、拐点,导通时间相当大。
- [0063] 本公开提出一种控制电路,以减少如上所述的导通输出驱动器所需的时间。
- [0064] 在以下描述中,术语“控制电路”和“快速导通电路”以及“快速导通控制电路”可互换使用。
- [0065] 图3是示意性地示出用于具有转换速率控制电路32的输出驱动器31的控制电路301的框图。
- [0066] 输出驱动器31和用于控制输出驱动器31的转换速率的转换速率控制电路32可以例如如上参照图1所述。
- [0067] 控制电路30的关键特征包括导通促进模块310和感测模块320。导通促进模块310也称为快速导通电路,感测模块320包括 V_t 检测电路。还存在用于快速导通电路的启用和禁用机制(图3中未示出)。

[0068] 导通促进模块310被配置为可连接到输出驱动器31,即,连接到输出驱动器31的输入端子。除了由输出驱动器31的转换速率控制电路32提供的规律的导通电流之外,导通促进模块310还被配置为向输出驱动器31供应补充电压。

[0069] 感测模块320被配置为连接到导通促进模块310且可连接到输出驱动器31。感测模块320被配置为感测输出驱动器31的输入电压,并利用反馈控制机制来关断快速导通电路或导通促进模块310。

[0070] 可选地,本公开的控制电路30还包括限流器(图3中未示出),其被配置为确保针对最小负载电容和快速过程情况的正确操作。以下将详细描述限流器

[0071] 以下提供了本公开所构思的控制电路30的实施例的详细描述。

[0072] 图4示出了用于具有转换速率控制电路的输出驱动器的所提出的控制电路。由虚线框410指示的导通促进模块和由实线框420指示的感测模块一起形成控制电路。

[0073] 在图4中,输出驱动器被描述为开路漏极驱动器 MN_{Driver} 。转换速率控制电路在宽范围的电容性负载和电源电压上产生具有恒定转换速率的输出。

[0074] 在没有根据本公开的快速导通控制电路的情况下,驱动器 MN_{Driver} 导通总是受到通过 MP_{Bias} 的偏置电流的限制。

[0075] 以下将描述如何利用本公开的快速导通控制电路来快速导通转换速率控制电路。

[0076] 导通促进模块410包括导通路径,该导通路径被配置为连接到输出驱动器的输入端子,并且响应于控制电压将电源电压连接到输出驱动器的输入端子。

[0077] 如图4所示,在示例中,导通路径包括串联连接的第一开关和第二开关,第一开关可以是晶体管 $MP2$,第二开关可以是晶体管 $MP1$ 。

[0078] 第一开关的使能端子耦接至控制电压 $V_{slewrate_en}$,第二开关的使能端子耦接至电源电压和感测模块的输出端子。第二开关的输出端子被配置为连接到输出驱动器的输入端子。

[0079] 此外,晶体管 $MP2$ 的栅极经由第一反相器 $INV1$ 耦接到控制电压,晶体管 $MP1$ 的栅极经由串联连接的第二反相器 $INV2$ 和反馈电阻器 R_{fb} 耦接到电源电压。

[0080] 感测模块420包括感测开关,例如晶体管 $MN1$ 。输入端子(即晶体管 $MN1$ 的栅极)被配置为连接到输出驱动器的输入端子。感测开关的输出端(即晶体管 $MN1$ 的漏极)耦接到电源电压和导通促进模块410的导通路径的第二开关的使能端子。

[0081] 晶体管 $MN1$ 的源极经由第二NMOS晶体管 $MN2$ 连接到控制电压。第二NMOS晶体管 $MN2$ 的源极耦接至GND,而第二NMOS晶体管 $MN2$ 的栅极耦接至控制电压。

[0082] 包括 V_t 传感器 $MN1$ 和导通促进模块的控制电路(其是反馈控制电路)将输出驱动器的 V_{Gate} 快速充电到阈值电压。它保证 MN_{Driver} 在短时间内导通。将 V_{Gate} 充电到阈值电压所花费的时间不取决于在转换速率时段期间使用的偏置电流。

[0083] 控制电路就在转换速率操作开始之前被关断。控制电路不修改由转换速率控制电路定义的转换速率。相反,它总是通过快速导通输出驱动器来帮助减少传播延迟。

[0084] 操作的模式

[0085] 本公开的具有快速导通控制电路的转换速率控制电路在四种状态下操作。

[0086] 1. 驱动器关断状态,即,输出驱动器(图2中的开路漏极驱动器)被关断的状态。在这种状态下,控制电路被关断。

[0087] 2. 驱动器快速导通状态, 即, 开路漏极驱动器的栅极电压从0V变化到NMOS驱动器 (MN_{Driver}) 的 V_t 的状态。本公开在这个区域中工作。驱动器被关断, 并且快速导通控制电路被激活。

[0088] 3. 转换速率状态, 即, 输出驱动器处于转换速率操作且快速导通控制电路被去激活的状态。

[0089] 4. 驱动器完全导通状态, 即, 输出驱动器完全导通且快速导通控制电路被去激活的状态。

[0090] 下面描述每个状态期间的详细操作。

[0091] 驱动器关断状态

[0092] 在此状态期间, 输出驱动器的输入电压Disable净值 (Disable net) 为高 (VCC) 且控制电路的控制输入 $V_{slewrate_en}$ 为0。这禁用了输出驱动器 MN_{Driver} 。 V_{pad} 由于上拉电阻 R_{pu} 而达到高 (VCC)。

[0093] 当 MN_{pd} 导通时, V_{Gate} 被下拉到0V。

[0094] $V_{slewrate_en} = 0, V_{en1} = \text{高}, V_{en2} = 0, V_{pd} = \text{高}, V_{Gate_sense} = 0$ 。

[0095] MP2为截止并且MP1为导通, 这禁止了来自MP1和MP2的上拉电流。

[0096] MN1为截止, 并且MN2为截止。这禁止了从VCC通过 R_{fb} 、MN1和MN2到地的电流路径。

[0097] 图5示出了在该状态期间电路的不同节点电压。

[0098] 驱动器快速导通状态

[0099] 在该状态期间, 输出驱动器的输入电压Disable=0并且控制电路的控制输入 $V_{slewrate_en}$ 是VCC, 其使得能够通过两个路径输出驱动器: 由箭头69指示的并由控制电路提供的补充快速导通路径和由转换速率控制电路提供的正常偏置电流路径。

[0100] 对于快速导通路径: $V_{en1} = 0V$ 且 $V_{en2} = 0V$, 这启用MP1和MP2。MN1截止, 因为 $V_{Gate_sense} < V_t$ 。MN2导通。

[0101] 对于偏置电流路径: Disable=0V, 这启用 MP_{pd} 。

[0102] MP1和MP2都导通, 这允许 V_{Gate_sense} 被快速充电到 MN_{Driver} 的阈值电压 V_t 。快速导通路径69仅在此时段期间操作。这里, 快速导通路径69是比偏置电流路径强的上拉。

[0103] 一旦输出驱动器的栅极电压 V_{Gate_sense} 达到 V_t , MN1就导通并将 V_{pd} 下拉至0V。这通过截止图6所示的MP1来禁用快速导通路径。

[0104] 图6示出了在该状态期间电路的不同节点电压。当MP1和MP2快速充电 V_{Gate} 时, V_{Gate} 从0V快速上升到 V_t 。

[0105] 转换速率状态

[0106] 在此状态期间, 控制输入 $V_{slewrate_en}$ 为高, 输出驱动器的输入电压Disable为0V。输出驱动器的栅极电压达到 V_t 并开始转换速率区域中操作。输出驱动器仅由来自 MP_{Bias} 的偏置电流控制。

[0107] 图7示出了在该状态期间电路的不同节点电压。

[0108] 驱动器完全导通状态

[0109] 在该状态期间, 控制电压 $V_{slewrate_en} = 0$, 输出驱动器的输入电压Disable=0V。MP2截止, MP1导通, $V_{en2} = \text{低}, V_{en1} = \text{高}$ 。输出驱动器的栅极电压达到高, 并且将驱动器输出驱动到低。图8示出了在该状态期间电路的不同节点电压。

[0110] 图9示意性地示出了没有和具有所提出的控制电路的转换速率电路之间的比较。作为快速导通驱动电路的结果,驱动器栅极电压的充电不依赖于偏置电流。

[0111] 在图9中,从上到下的四个曲线图分别表示本公开的转换速率驱动器输出91、输出驱动器的栅极电压92、输出驱动器的输入信号93和控制电路94的控制电压随时间的变化。

[0112] 对于转换速率驱动器输出91,曲线911指示没有所提出的控制电路的情况下的转换速率驱动器输出,曲线912指示具有所提出的控制电路的情况下的转换速率驱动器输出。

[0113] 对于输出驱动器的栅极电压82,曲线921指示没有所提出的控制电路的情况下的栅极电压,曲线922指示具有所提出的控制电路的情况下的栅极电压。

[0114] 利用所提出的供应补充电压的控制电路,可以清楚地看出,输出驱动器的栅极电压在短时间段内被改变到阈值。

[0115] 在快速角过程(corner process)的情况下,上述快速导通控制电路可能对输出驱动器的栅极电压充电过快。这可能导致由于电流注入到V_{Gate}上而引起的转换速率控制的修改。为了避免这种情况,使用如图3所描绘的限流电阻器 R_{limit} ,其在快速角的情况下限制电流注入到V_{Gate}上。

[0116] 图10示意性地示出了不具有和具有限流电阻器的转换速率电路之间的比较。在本公开中,限流电阻器 R_{limit} 限制电流通过MP1和MP2。

[0117] 图10示出了具有 $R_{limit} = 0\Omega$ 和 400Ω 的转换速率驱动器输出。这种情况在快速工艺和低电容负载条件下更相关。曲线图101是转换速率驱动器输出的表示,曲线图102是输出驱动器的栅极电压的表示。

[0118] 当不存在 R_{limit} ($R_{limit} = 0\Omega$)时,驱动器的栅极电压1021具有尖锐的尖峰,并且在禁用快速导通电路之前,输出1011快速放电。这在输出上产生了如曲线811所示的非均匀转换速率。

[0119] 使用 200Ω 到 600Ω 之间的 R_{limit} ,如针对 $R_{limit} = 400\Omega$ 的图10中所示,驱动器的栅极电压1022没有尖峰,并且输出1012在快速导通电路被禁用之前从不快速放电。输出1012在整个转换时段内具有恒定转换速率。

[0120] 如上所述的控制电路也可以结合推挽型驱动器使用。图11示意性地使用针对PMOS驱动器的快速导通控制电路。其还可使得PMOS驱动器能够具有低传播延迟和良好受控的转换速率。在图11中,快速导通控制电路用于P_{Driver},其是推挽型驱动器的一部分。

[0121] 本公开不限于如上公开的示例,并且本领域技术人员在不应用创造性技能的情况下可以在所附权利要求中公开的本公开的范围之外修改和增强本公开,并且用于任何数据通信、数据交换和数据处理环境、系统或网络中。

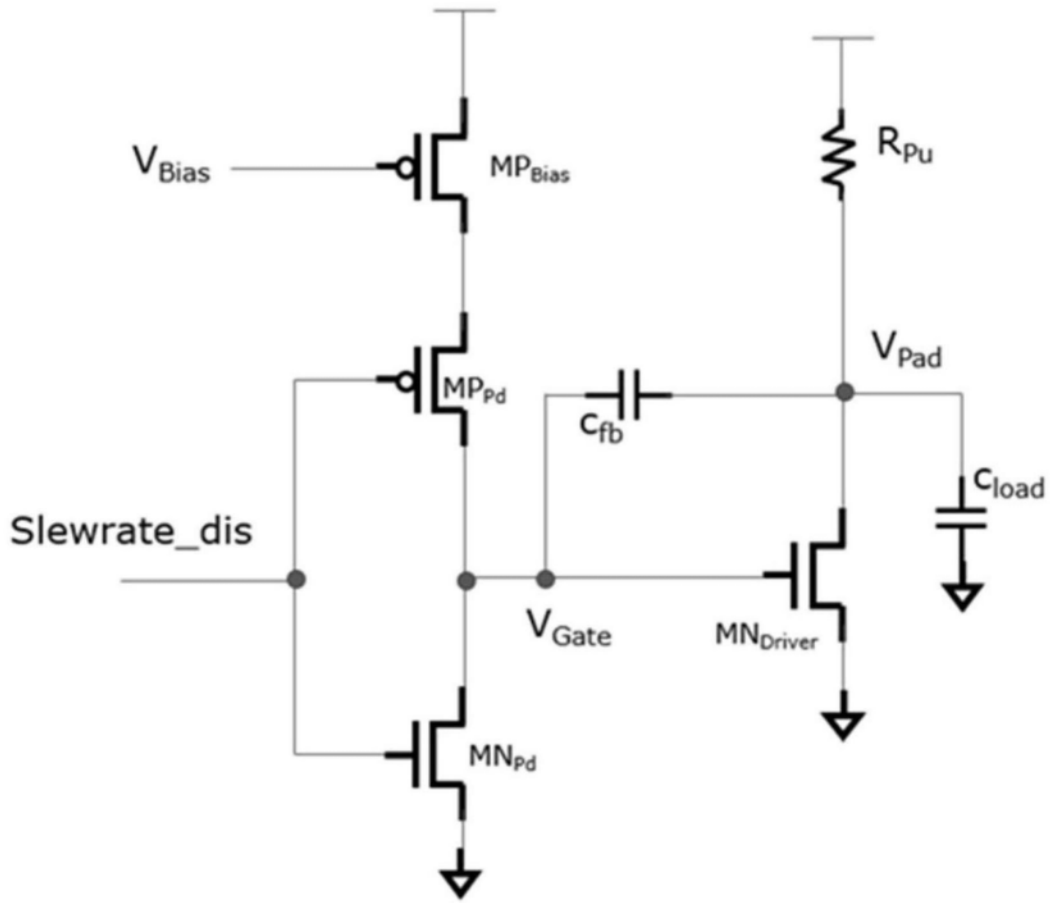


图1

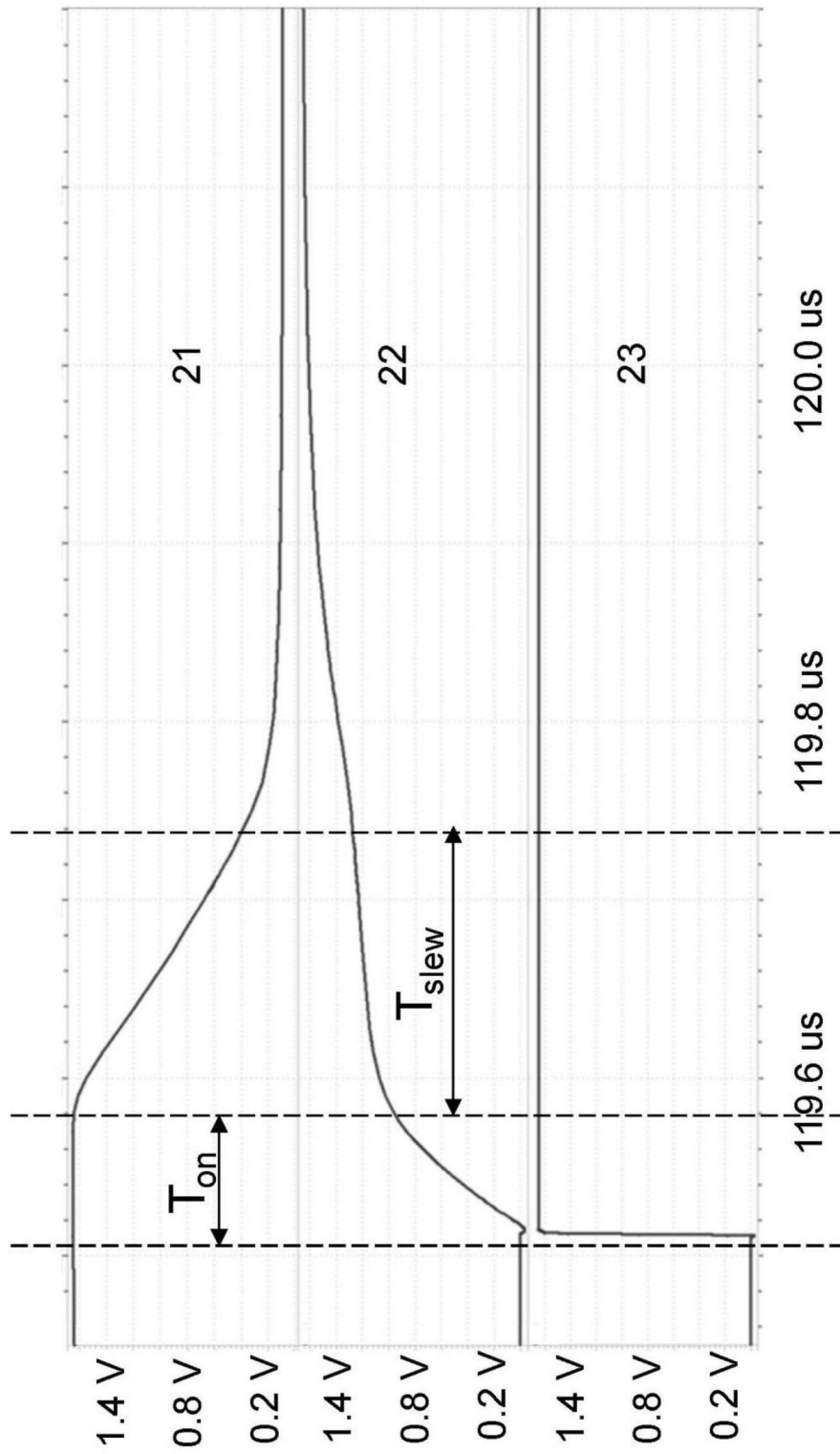


图2

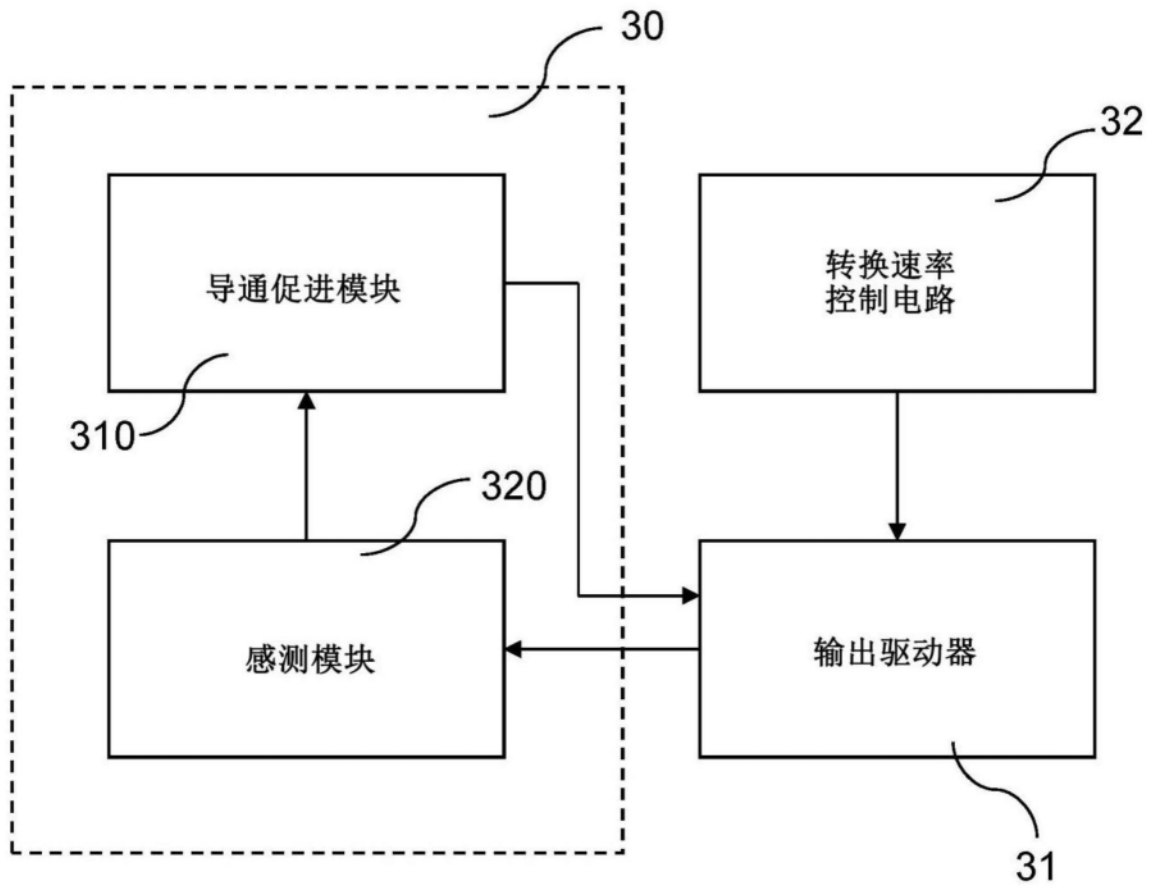


图3

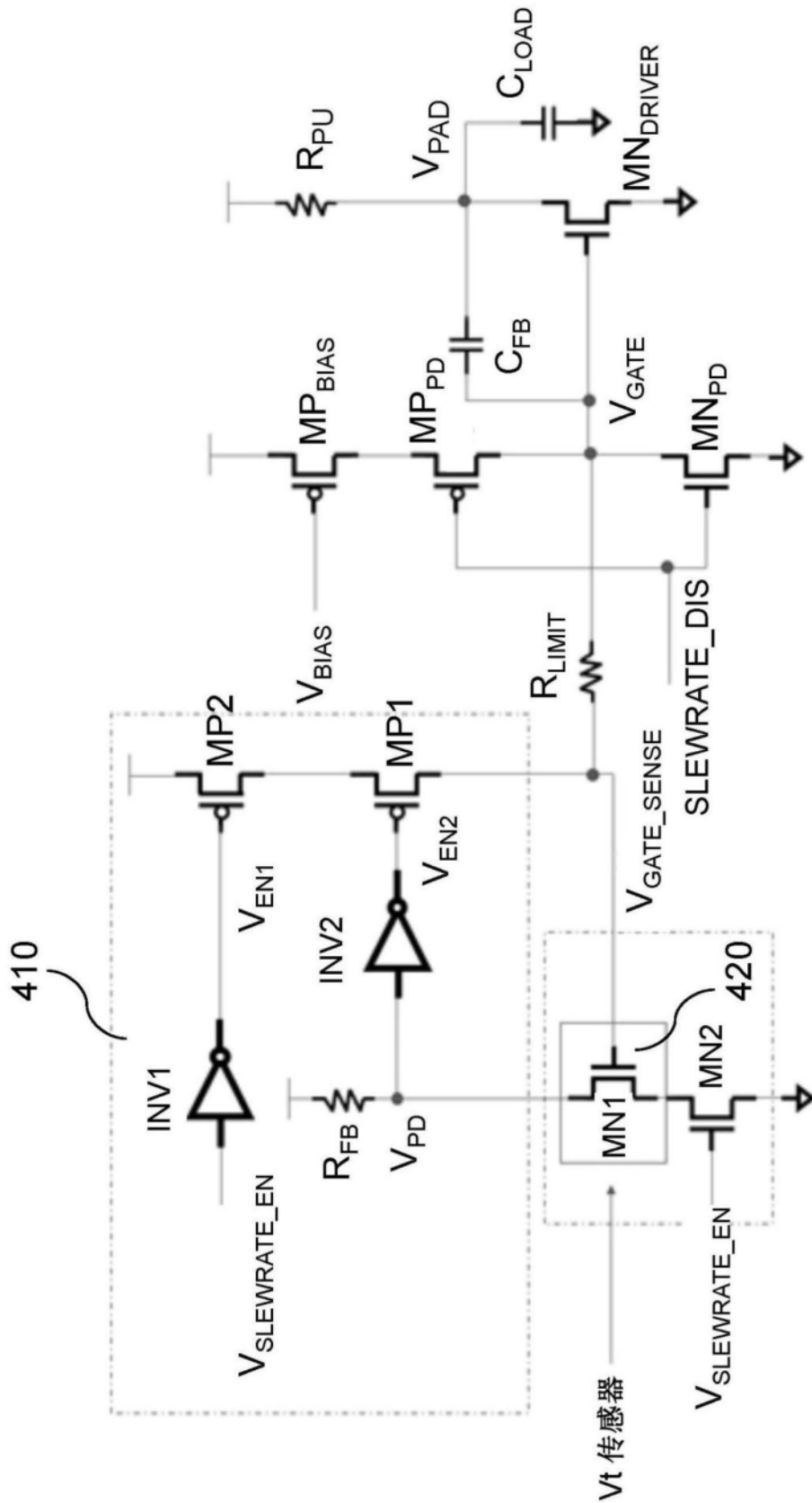


图4

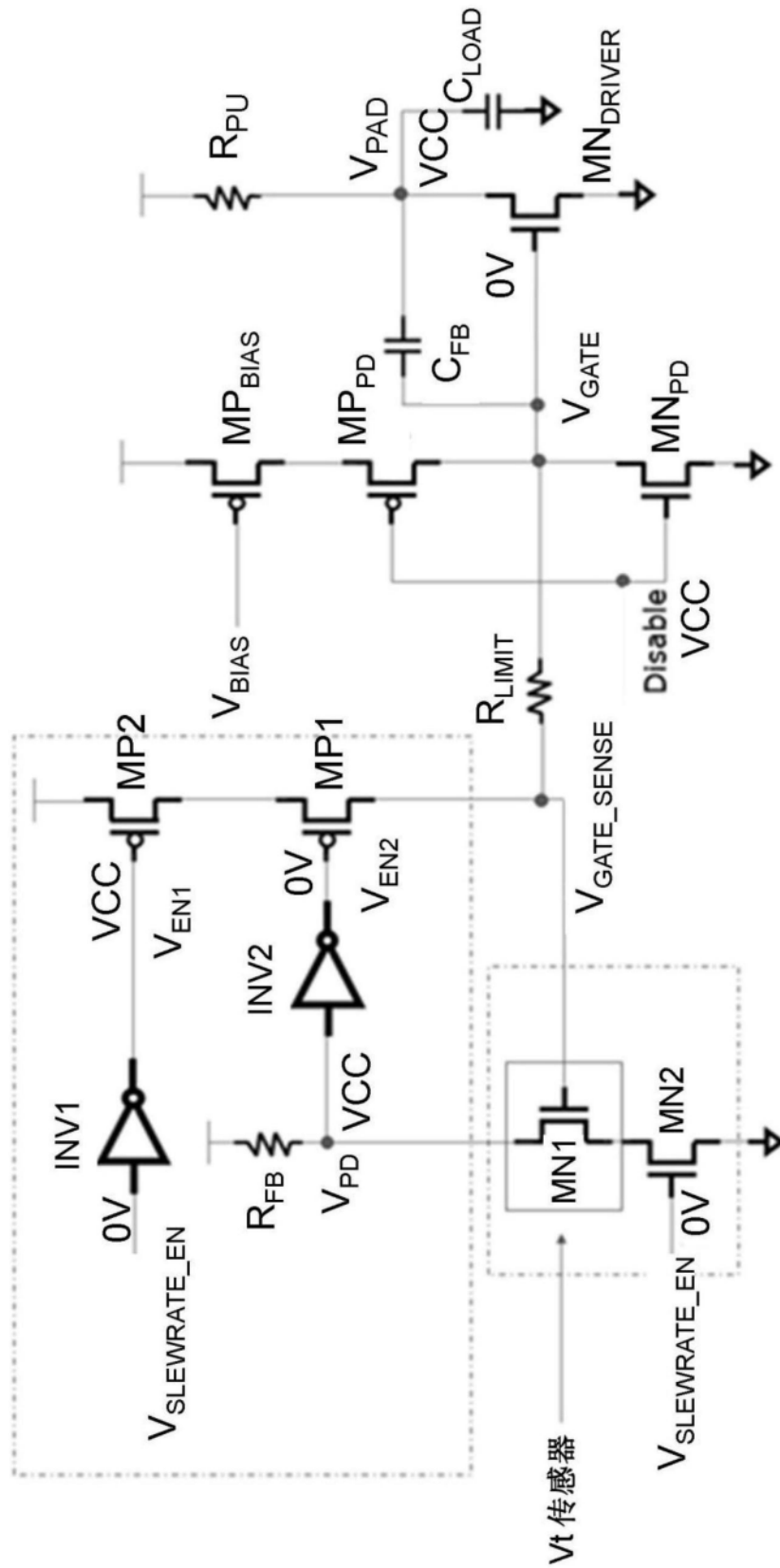


图5

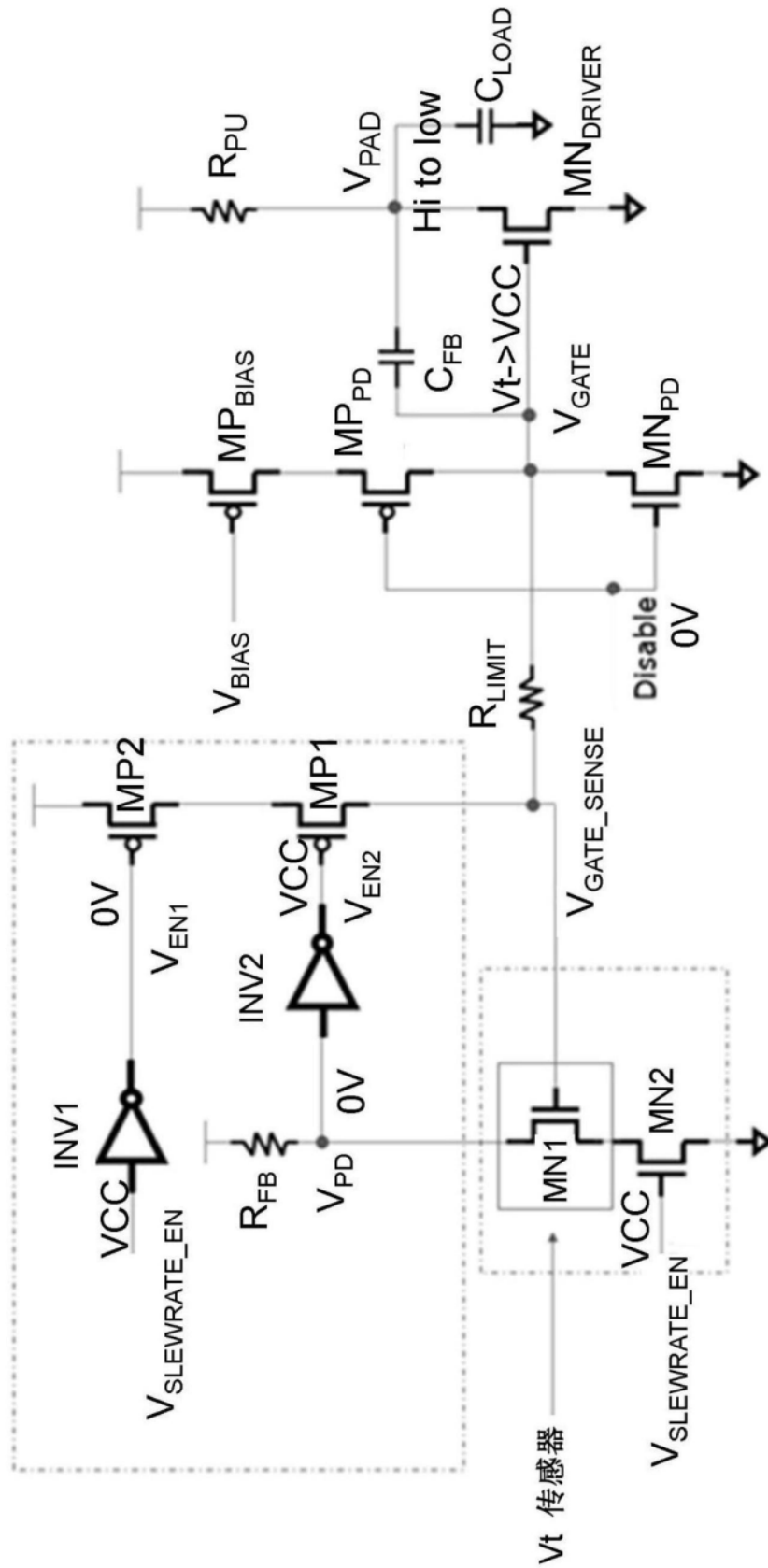


图7

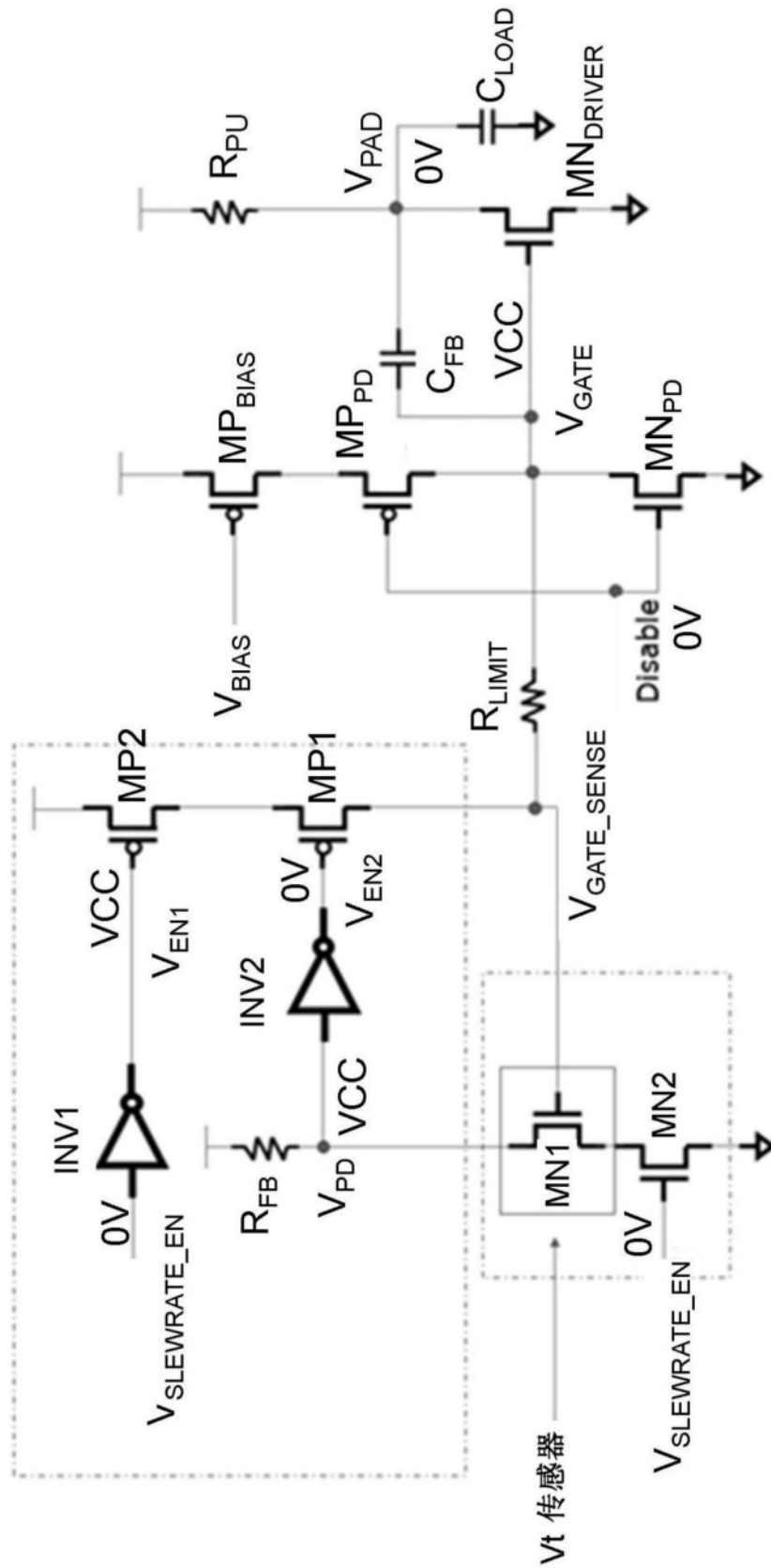


图8

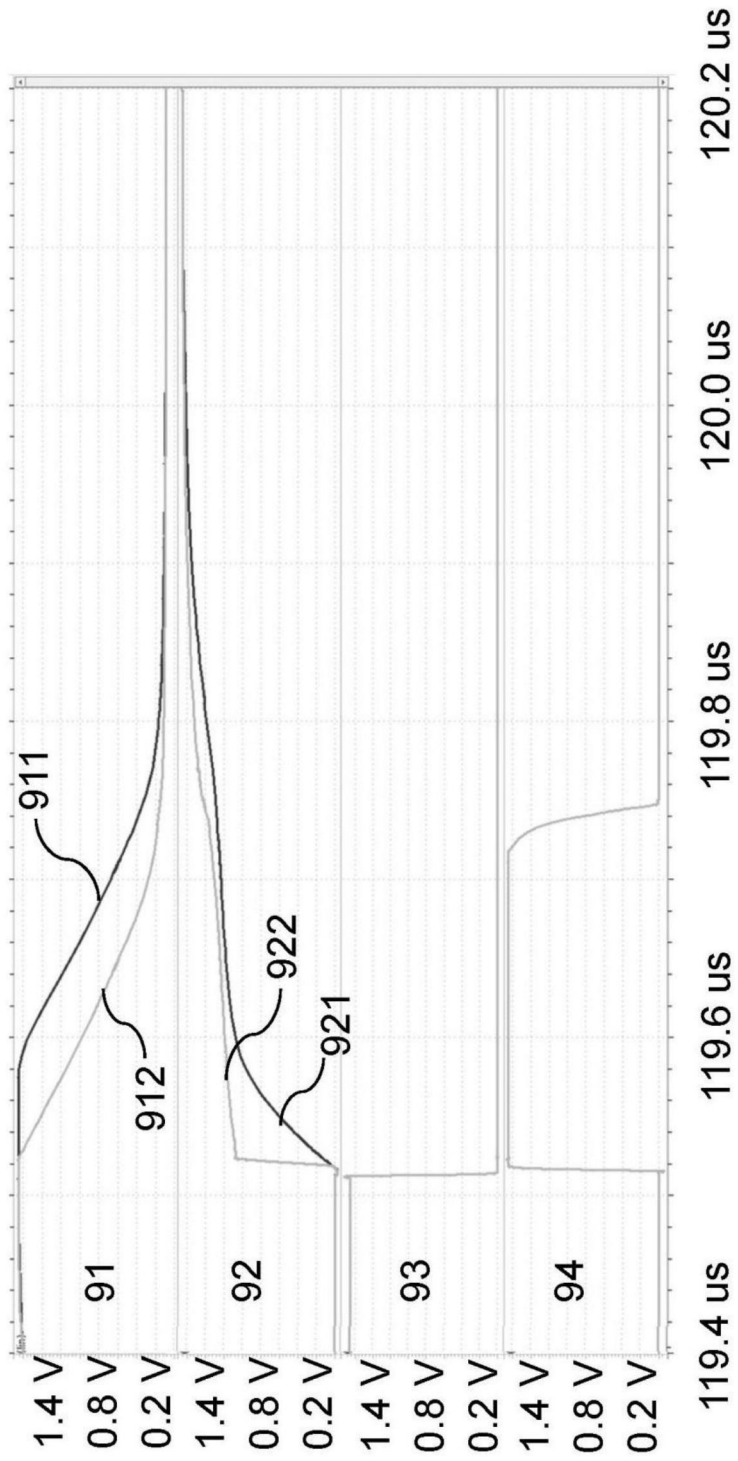


图9

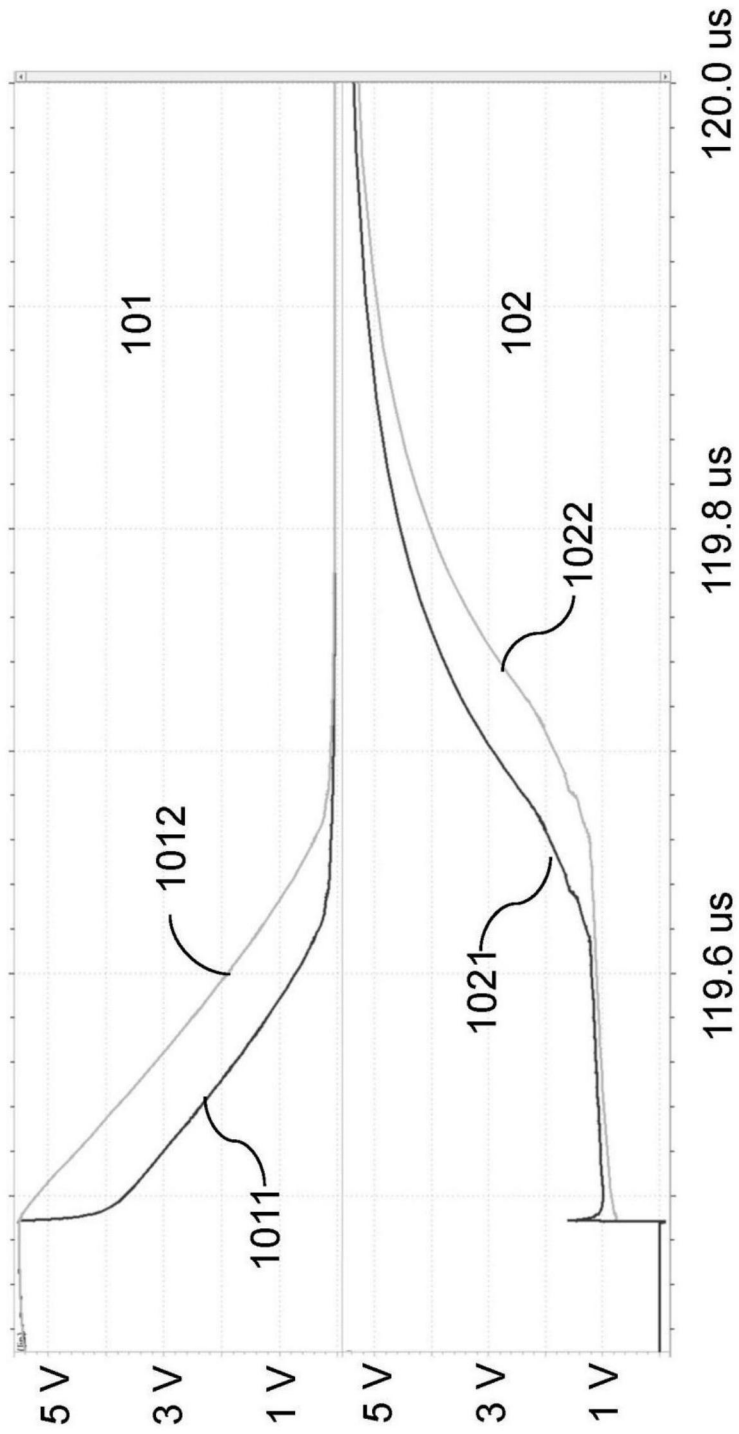


图10

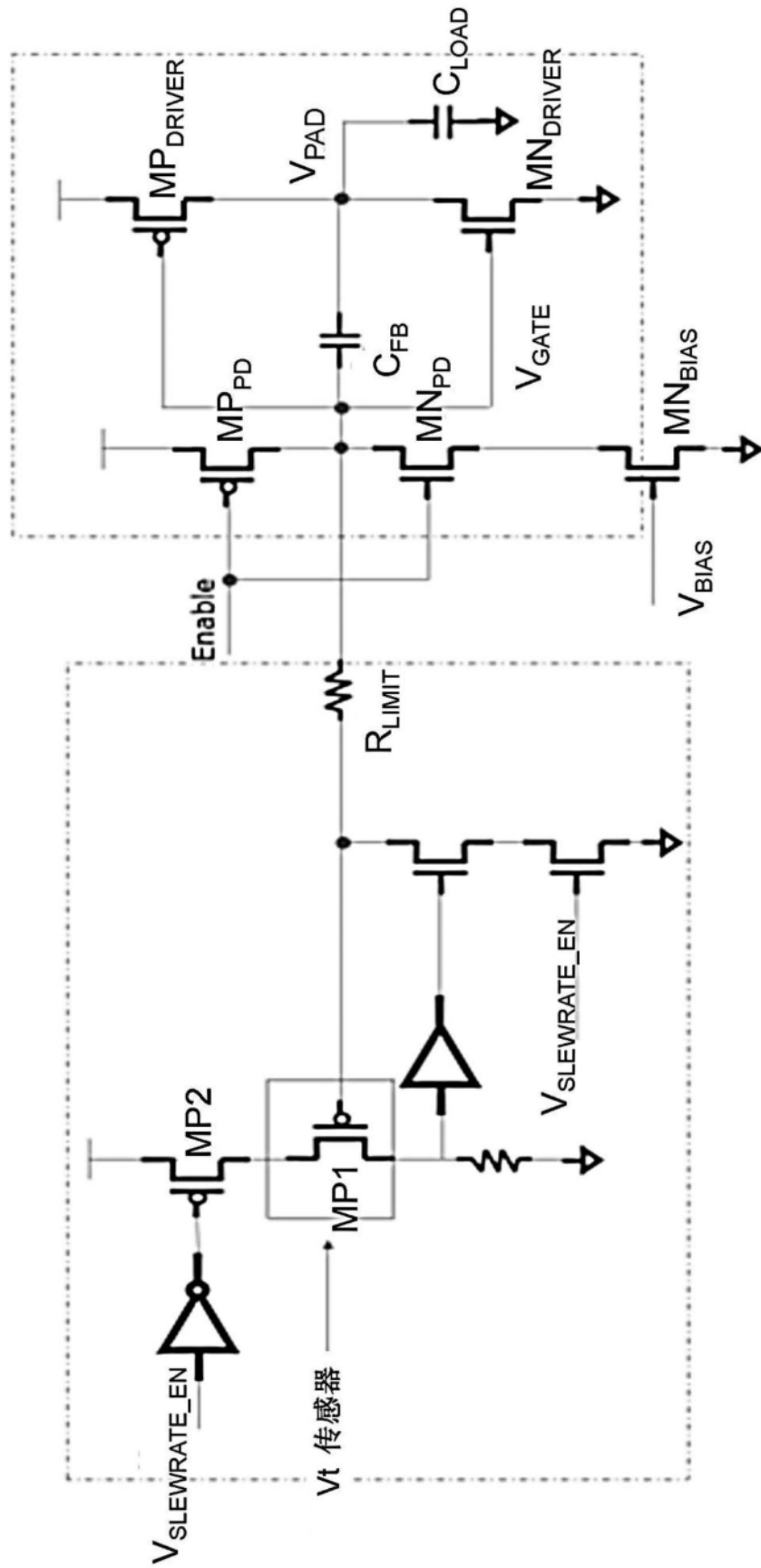


图11