(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3659711号
(P3659711)
(45)発行日　平成17年6月15日(2005.6.15)　(24)登録日　平成17年3月25日(2005.3.25)

(51)Int.Cl.[7]　F I
H04L 27/20　H04L 27/20　A

請求項の数 1　(全 17 頁)

(21)出願番号　特願平7-265083
(22)出願日　平成7年10月13日(1995.10.13)
(65)公開番号　特開平8-195777
(43)公開日　平成8年7月30日(1996.7.30)
審査請求日　平成14年10月15日(2002.10.15)
(31)優先権主張番号　322899
(32)優先日　平成6年10月13日(1994.10.13)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト ページ・ミル・ロード 395
395 Page Mill Road Palo Alto, California U.S.A.
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100087642
弁理士　古谷　聡

最終頁に続く

(54)【発明の名称】粗マッパ・プリセッション及び微フィルタ・プリセッションを備えたπ／４ＤＱＰＳＫ変調

(57)【特許請求の範囲】

【請求項１】

デジタル・プログラム・データにおける連続したビット対に接続され、該連続したビット対から、０°ＤＱＰＳＫマッピングを行なうための偶数変調状態記号C_{even}，D_{even}と、９０°ＤＱＰＳＫマッピングを行なうための奇数変調状態記号C_{odd}，D_{odd}とを、交互に生成するマッパと、

前記マッパが偶数変調状態記号を生成するときに偶数を示す値を有し、前記マッパが奇数変調状態記号を生成するときに奇数を示す相補的な値を有する２値信号ＥＶＥＮ／ＯＤＤと、

前記C_{even}およびC_{odd}を交互に受信するように接続されたＣ変調状態記号シフトレジスタであって、該Ｃ変調状態記号シフトレジスタの各ステージについて１つ、複数の出力を有するＣ変調状態記号シフトレジスタと、

前記D_{even}およびD_{odd}を交互に受信するように接続されたＤ変調状態記号シフトレジスタであって、該Ｄ変調状態記号シフトレジスタの各ステージについて１つ、複数の出力を有するＤ変調状態記号シフトレジスタと、

前記信号ＥＶＥＮ／ＯＤＤ、前記Ｃ変調状態記号シフトレジスタの出力、および変調状態記号間の４５°の段階的遷移を示す周期的にインクリメントされるπ／４軌道制御ビットの集合によってアドレス指定され、アドレス指定された各位置にＣコサイン制御値を生成するＣコサインＲＯＭと、

前記信号ＥＶＥＮ／ＯＤＤ、前記Ｄ変調状態記号シフトレジスタの出力、および前記π

／４軌道制御ビットによってアドレス指定され、アドレス指定された各位置にＤサイン制御値を生成するＤサインＲＯＭと、
前記信号ＥＶＥＮ／ＯＤＤ、前記Ｃ変調状態記号シフトレジスタの出力、および前記π／４軌道制御ビットによってアドレス指定され、アドレス指定された各位置にＣサイン制御値を生成するＣサインＲＯＭと、
前記信号ＥＶＥＮ／ＯＤＤ、前記Ｄ変調状態記号シフトレジスタの出力、および前記π／４軌道制御ビットによってアドレス指定され、アドレス指定された各位置にＤコサイン制御値を生成するＤコサインＲＯＭと、
前記ＣコサインＲＯＭの出力および前記ＤサインＲＯＭの出力に接続され、差の値ＣコサインーＤサインをＩ制御値として形成する第１の演算回路と、
前記ＣサインＲＯＭの出力および前記ＤコサインＲＯＭの出力に接続され、それらの和をＱ制御値として形成する第２の演算回路と、
前記Ｉ制御値および前記Ｑ制御値を受信するように接続されたＩＱ変調器と、
からなるπ／４ＤＱＰＳＫ変調器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、粗マッパ・プリセッション及び微フィルタ・プリセッションを備えたπ／４DQPSK 変調に関する。

【０００２】

【従来の技術】

ＩＱ変調は、搬送波の振幅及び位相の両方を制御することによって、情報で搬送波を符号化する技法である。ＩＱ変調器には、搬送波、同相制御入力Ｉ、及び直角位相制御入力Ｑが供給される。ＩＱ変調器は、制御入力の値に従って、搬送波の振幅及び位相を変形する。最も一般的な形態の場合、被変調搬送波の振幅及び位相は、独立して、連続的に変化させることが可能である。変調フォーマットによっては、搬送波の振幅及び位相が、制約されてある値だけを仮定するものもある。DQPSK及びπ／４DQPSKは、こうした変調フォーマットの例である。こうしたフォーマットの意味するところは、ＩＱ変調器に対してＩ及びＱ入力値を制御することが、離散的ステップにおいて、急激に変化するということである。しかし、そのようなことが可能であると、結果生じる搬送波のスペクトル内容には、許容通過帯域の外側に入る望ましくない過剰な成分量が、容易に含まれる可能性がある。こうした望ましくないスペクトル内容は、「スプラッタ（splatter）」と呼ばれることが多い。こうしたスプラッタを許容可能なレベルに低減するために、フィルタを設けて、ＩＱ変調器に対するＩ及びＱ制御入力の遷移を平滑化するのが一般的なやり方である。

【０００３】

デジタル情報（「プログラム」情報）のストリームを伝送するために、データの到来ストリームが、ｎ個の多くの連続したビットのグループにまとめられる。ｎ個の多くのビットの各グループは、次に、実際に送信、及び受信されるプログラムデータの項目である2^n個の異なる可能なデータ記号の１つを表している。送信器におけるＩＱ符号器（すなわち、「マッパ（mapper）」）は、プログラム情報のｎビット・データ記号と、Ｉ及びＱ制御信号の値を表す変調状態記号を交換する。受信機における対応する復号化機構（「逆マッパ」）は、受信した変調状態記号と、プログラム情報の元のｎビット・シーケンスを交換する。多くの変調フォーマットでは、Ｉ及びＱ制御信号の値は、それぞれ、１ビットで表されるので、全部で４つの異なる変調状態記号が含まれる。

【０００４】

一方の端部に、ＩＱ変調器を備える通信チャネルは通常、もう一方の端部にＩＱ復号器を備えている。離散的記号を伝送するこうしたチャネル（すなわち、デジタル変調を伴うチャネル）の最良のＳ／Ｎ比は、その１／２電力点が、記号レートの１／２だけ隔てられるナイキスト・フィルタによって、全体としてチャネルがフィルタリングされる場合に得られることが分かる。チャネルの各端部に同じフィルタリングを組み込むことが望ましいの

で、チャネル全体に組み合わせナイキスト応答を与えるために、受信器と送信器の両方にルート・ナイキスト・フィルタが用いられる。

【０００５】

二乗余弦フィルタは、これらの基準に合致し、ロール・オフ値αが適正に選択されれば、他の望ましい特性も有する。記号レートが２４．３ＫＨｚの場合、隣接する記号干渉を最小限に抑え、同時に、通過帯域があまり広くならないようにするには、αの値は０．３５が望ましい。（これらのパラメータは、実際、３０ＫＨｚチャネル間隔のNADC TDMA セルラ・テレフォン・サービスの定義に組み込まれている。）これによって、隣接記号の干渉が何故最小限に抑えられるのかを理解するために、二乗余弦フィルタによって実施されるナイキスト応答に、記号が実際にフィルタに到達する前（いわゆる「負の時間」）に、フィルタが出力の発生を開始するという、かなり始末の悪い概念が含まれていることを知るのが有効である。この「負の時間」の間、フィルタ出力は、無励振に対応する静止レベルの上下両方へ周期的に揺動する。従って、連続した変調状態記号の環境では、問題となる現在の記号に関して、フィルタがいかなる処理に従って、出力を発生しているにせよ、フィルタは、現在の記号に先行する記号に関しても、また、現在の記号に後続する記号に関しても尚も従っている。これらの出力は、全て、重畳によって加算され、フィルタの現在の出力である合成値が形成される。しかし、こうした各揺動（現在問題となっている記号以外の記号に関して）が、現在の各記号が期待される時間に、ゼロ交差を有するように構成することによって、フィルタ出力におけるこれら前後の揺動は、現在の記号に関する出力が期待される時間に、必ず一時的にゼロを加えることになる。この総計でゼロになることによって、フィルタの出力は、周期的に、現在の記号だけを表し、次いで、次の現在の記号だけを表す、等が可能になる。従って、問題となる現在の記号に関する出力は、必ず、隣接記号に関する残留出力がゼロになる時間に生成されることになる。

【０００６】

こうしたフィルタは、並列出力を備えたシフト・レジスタにおける最後の、例えば、１１番目のＩ及びＱ制御値を捕捉することによって、実用的に実現することが可能になる。１１番目の入力サイクル後、これらのシフト・レジスタにおける中央のＩ及びＱ制御値は、現在の（最新の値ではないとしても）記号に対応する。後続する５つの記号と同様に、先行する５つの記号に関するＩ及びＱ制御値も存在する。Ｉに関する１１個の値が、全て、「Ｉフィルタ」に加えられ、Ｑに関する１１個の値が、全て、「Ｑフィルタ」に加えられる。加えられた全ての値を利用して、各フィルタは中央値に作用し、その出力は、いわば、記号５つ分だけ遅れることになる。しかし、これによって、「負の時間」の概念が回避される。新しい値が利用可能になるので、該値をシフト・インし、最も古い値をシフト・アウトして、廃棄することになる。各種システムが、各種の数の先行記号、及び後続記号を利用することが可能であり、その数は等しくなくてもよい。

【０００７】

フィルタが要求されることをなすためには、出力Ｉ及びＱ制御信号が、入力値の変化に応答して、ある値から次の値に変化する際に、何かによって、出力Ｉ及びＱ制御信号の「軌道」を制御しなければならない。これは、Ｉ及びＱの値の規則的に予定される変化間の、サブインターバルと呼ばれるものを確立することによってなされる。例えば、サブインターバルの数は、１６（2^4）とすることが可能である。この場合、フィルタには、入力として、現在のサブインターバルを定義する４ビットが供給される。サブインターバルは、記号レートより速い、適適切な速度で刻まれるクロック信号に従って、規則的にインクリメントする。従って、各フィルタの出力は、部分的には、被変調搬送波信号のスプリアス周波数の含有量を最小限に抑える所望の時間関数である、Ｉ及びＱ制御信号に対する選択された軌道とすることが可能になる。

【０００８】

更なるスプラッタ制御技法は、単純なDQPSKとπ／４DQPSKの差にある。DQPSKの場合、各送信記号は、（新しい）現在の記号と、それに先行する記号との間の位相の変化に対応する。一般に、送信記号は、0°、＋90°、－90°、及び180°の位相変化に対応する２ビッ

トの位相情報を表している。問題は、これには、隣接する記号を表すのに、搬送波において１８０°の極度の位相変化が必要になり、これによって、望ましくない量のスプラッタが生じることである。

【０００９】

これに対し、π／４DQPSK は、±１３５°を超える位相シフトを決して必要としない。これは、隣接する記号間に付加的な４５°の位相シフトを導入することによって実現される。この位相シフトの基本となる定数は、「プリセッション」と称される。プリセッションの単位は、変調記号を表す際に基本単位として用いられる９０°の１／２であるため、結果として元の組間でインターリーブされる４つの記号の第２の組になる。しかし、これを記号数の２倍化として扱う罠は、ここで配列図が４つのポイントではなく、８つのポイントを有するとしても、回避され得る。プリセッションにより、４つの位相値の２組が交互に生じるので、２組のうちの一方の任意の現在値は、妥当な後続値として、他方の組の４つの値だけを有する。従って、この錯覚は、０から７個まで（2^3個）のプリセッション４５°の例が存在するが、受信機の復調器は、配列図の８つのポイントを元の４つの記号にマッピングして戻すことができると理解することにある。しかし、フィルタには、４つではなく、ここで８つの記号と思われるものが供給される。

【００１０】

Birgenheier 及びHooverに対する'613特許に記載されている、π／４DQPSKシステムに関するフィルタは、Ｉ及びＱにそれぞれ１ビットを、及び４５°のインクリメント数（モジュロ８、または、配列図の単位円上の基準位置に対して）を表すために、３つの追加入力ビットを利用して、この状況を表している。使用されるマッパが、DQPSK システム（プリセッションがない）に用いられるものと同じであり、π／４DQPSK におけるプリセッションにより引き起こされる有効位相回転は、フィルタにて考慮されねばならないということが伴うので、４５°位相シフト数を表す３ビットが、そのシステムにおいて必要とされる。

【００１１】

【発明が解決しようとする課題】

詳細に後述するように、'613特許により用いられるアプローチは、π／４DQPSKのためのＲＯＭベースのフィルタに、実際に必要とされるよりも４倍のアドレス可能な位置の数を使用せしめる。それは、サイズ及びコストを節約するために、付加的なメモリが削除され得る場合か、又は、そうではなく付加的なメモリが、余分な機能性を付与するために使用され得る場合には、望ましい。

【００１２】

ＲＯＭベースのπ／４DQPSK フィルタに必要とされるメモリ量は、他の記号毎に９０°の位相シフトを取り入れる、ＩＱ変調器のマッパ（復調器の場合は逆マッパ）を使用することによって、削減される。

【００１３】

介在する記号の間は、追加の位相シフトが、マッパによって取り入れられることはない。このポイントにおいて、変調状態記号のシーケンスに組み込まれたプリセッションの検査は、「０°のプリセッション、９０°のプリセッション、０°のプリセッション、９０°のプリセッション、０°のプリセッションと続く」と思われる。９０°のプリセッションは、交互の記号に対して、交互のＤＱＰＳＫマッパを用いることにより生成可能である。しかし、両方のマッパとも、共通のレパートリを共用しており、新しい変調状態記号を必要としないという点に留意されたい。さらに、交互の０°記号の間に、フィルタは、４５°位相シフトを挿入するが、マッパ（または逆マッパ）が９０°の位相シフトを挿入している介在時間の間に、こうした４５°の位相シフトを挿入しない。この結果、変調状態記号のシーケンスが有するプリセッション値が変更され、この時点で45°、90°、45°、90°、と続くように思われる。しかし、注意しないと、この概念は錯覚をもたらす。マッパに関する限り、０°記号と９０°のいずれについても、マッパが行うことには何も変化はなかった。この例に関連して実際に意図することは、９０°のプリセッションは、０°の

プリセッションが基準とするのと同じ位置を基準とするということであり、実際には、［0°,90°］、［0°,90°］、．．．［45°,90°］、［45°,90°］、．．．と書くべきであることを意味している。しかし、「プリセッション」という用語は、一般に、ある記号から次の記号への変化を表すために用いられる。このため、［45°,90°］、．．．から括弧を取り除いて、45°、45°、45°、45°、．．．を得ることが可能になる。従って、隣接する２ビット変調状態記号間においては、やはり、全体で±４５°または±１３５°の位相シフトが存在するが、フィルタのＲＯＭは、こうした４５°位相シフトの０－７のうちの数を表すための３ビットとは対照的に、単一の４５°位相シフトの有無を記述するためには、１ビットの入力だけしか必要としない。

【００１４】

π／４DQPSK として知られる変調フォーマットは、４５°の記号間プリセッションに加えて、ｎ×９０°（ｎ＝０、１、２、３）の公称記号間位相シフトを有するものと考えることができる。プリセッション量が、記号間位相間隔の１／２であるのは偶然ではない。そうである場合には、幾つかの利点が得られるが、絶対にそうでなければならないというわけではない。説明すべき技法には、プリセッションの一部をマッパ（「マッパ」または「粗」プリセッション）に割り当て、残りの部分（「フィルタ」または「微」プリセッション）をフィルタに割り当てることが含まれる。好適な場合では、全プリセッション量は、公称記号間位相期間（すなわち、搬送波位相差）の１／２になり、マッパからの粗プリセッションは、公称記号間位相期間に等しくなり、他の記号毎に生じる。フィルタからの微プリセッションは、介在記号に生じ、単一ビットで表すことが可能である。マッパからの他の粗プリセッション量、及びフィルタからの他の微プリセッション量が考えられるが、微プリセッションについては２ビット以上の記述になる。

【００１５】

熟慮すると明らかなように、新しいフィルタリング技法は、変調器及び復調器における既存のフィルタを個別に置き替えることが可能であり、対で置き替える必要はない。すなわち、新しいフィルタの変調器は、古いフィルタの復調器と以前の様に機能し、古いフィルタの変調器は、新しいフィルタの復調器と機能することになる。これは、新しいフィルタに関する送信／受信位相変化のシーケンスが、不変のままであるためであり、結局は、やはり、π／４DQPSK ということになる。

【００１６】

【課題を解決するための手段】

前述の目的を達成するために、本発明は、変調器が、デジタル・プログラム・データに結合可能であり、ｎ番目の変調状態記号毎に生じる粗プリセッションを示す変調状態記号を生成するマッパと、変調状態記号を受信するために結合された入力を有し、連続した変調状態記号のシーケンスを表す複数の出力を有するシフト・レジスタと、シフト・レジスタの出力によって、及び粗プリセッションを示すｎ番目の変調状態記号毎にゼロになり、介在する変調状態記号が生じる時に、粗プリセッションの１／ｎに等しい量だけ加えられる、微プリセッションを表した、周期的にインクリメントするビットの集合によって、アドレス指定され、アドレス可能な位置毎に、Ｉ制御値及びＱ制御値を生成するＲＯＭと、Ｉ及びＱ制御値を受信するために結合されたＩＱ変調器と、から構成されることを特徴とする。

【００１７】

【発明の実施の形態】

次に、図１－２を参照すると、本発明の原理に従って構成された、ＩＱ変調器の簡略したブロック図３３が示されている。直列デジタルデータ・ストリームDIG_DATA １は、伝送すべきアナログ・プログラム素材のデジタル・バージョン、または、まず第一に、デジタル形式で存在するデータ集合を表している。クロック信号DIG_CLK ３は、DIG_DATAの順次データ値をシフト・レジスタ２に刻時する。本発明の例の場合、デジタルデータ・ストリームは、直列であり、シフト・レジスタ２は、２ビットを有している。明らかに、これは、π／４DQPSK 変調を取り入れたセルラ・テレフォンの典型例であるが、データが並列で

、バイト指向のフォーマットで表されていたとしても、また、基本の記号間プリセッション・レートが、記号当たりπ／４ラジアン（４５°）以外であったとしても、本発明の原理を用いることが可能である。また、π／４DQPSK 変調が、本発明の教示が適用可能である、デジタルＩＱ変調に関するフォーマットの１つにすぎないことも明らかである。

【００１８】

シフト・レジスタ２は、直列／並列変換を実施し、この変換によって、入力プログラム・データ記号として扱われるビット対が生成される。クロック信号DIG_CLK３は、その出力５が信号NEW_SYM である（１／２の）分周器４に加えられる。NEW_SYM ５のエッジは、シフト・レジスタ２が新しいビット対によって占められる毎に１回生じる。クロック信号NEW_SYM ５自体は、別の（１／２の）分周器６に加えられて、信号EVEN_ODD７が生成される。EVEN_ODDは、シフト・レジスタ２のプログラム・データ記号を２つの集合にグループ化するために利用され、シフト・レジスタ２のあらゆる他のビット対は、「偶数」集合に属し、一方介在ビット対は、「奇数」集合にあると言われる。偶数及び奇数のこの要件は、単なるラベリングであり、１が奇数であるので、ストリングにおける第１の記号が奇数であり、２が偶数であるので、第２の記号が偶数であるべきことを意味するものではない。

【００１９】

信号７EVEN_ODDは、二極双投式スイッチとして機能する、ＭＵＸ８に加えられる。ＭＵＸ８に対する入力は、シフト・レジスタ２に含まれる２ビットのプログラム・データ記号である。プログラム・データ記号が偶数である期間中に、ＭＵＸは、そのデータ記号を０°DQPSK マッパ９に送り、奇数プログラム・データ記号は、９０°DQPSK マッパ１０に送られる。マッパ９及び１０の機能は、総合変調フォーマットに従って、入力プログラム・データ記号を変調状態記号と交換することである。（直接QPSKの場合、例えば、一方のビットは、Ｉの値を意味し、他方のビットは、Ｑの値を意味するためにとられ得る。こうした単純な場合には、更なるマッピングは不要であり、マッパ自体が不要になる。DQPSK 、及びπ／４DQPSK では、こうした単純性は許容されないので、実際のマッパが確実に必要である。）図３及び４に、マッパ９及び１０により実行されるグレイ・コード化マッピングを示す。すぐに明らかになるように、マッパ９及び１０は又、それぞれ、最新の変調状態記号を表すLAST_C１６及びLAST_D１７を入力信号として受信する。この情報は、差分マッピングの定義の一部（DQPSK におけるD ）であるので、必要になる。２つのマッパが何故必要か、及び、その出力が如何に協働するかについては、以下の部分で説明する。

【００２０】

各マッパ９及び１０の出力は、それぞれ値C_k及びD_kを表す、２ビットである。マッパ９及び１０のそれぞれの該出力は、やはり、二極双投式スイッチとして働く、別のＭＵＸ１１に加えられる。スイッチの位置は、ＭＵＸ８とちょうど同じように、信号EVEN_ODD７によって制御される。偶数期間中に、マッパ９は、ＭＵＸ８及びＭＵＸ１１の両方によって選択される。奇数期間中に、両方のＭＵＸは、マッパ１０を選択する。

【００２１】

ＭＵＸ１１のC_k出力は、１１ビットのＣシフト・レジスタ１４のデータ入力に結合され、一方D_k出力は、１１ビットのＤシフト・レジスタ１５のデータ入力に結合される。信号NEW_SYM５は、シフト・レジスタ１４及び１５のそれぞれのシフト制御入力に結合される。もちろん、最新のC_k及びD_kは、シフト・レジスタ１４及び１５に最近に刻時された値である。信号LAST_C１６及びLAST_D１７は、それぞれ、Ｃシフト・レジスタ１４及びＤシフト・レジスタ１５の入力セルから得られる。これらの信号１６及び１７は、どのマッパがそれを生成したかに関係なく、共に、以前の変調状態記号を表す。各マッパは、マッピング処理の一部としてこの情報を必要とする。従って、信号LAST_C１６及びLAST_D１７は、マッパ９及び１０のそれぞれに対する入力として供給される。

【００２２】

本発明の例の場合、Ｃシフト・レジスタ１４及びＤシフト・レジスタ１５は、それぞれ、１１ビットを有しているが、もちろん、これは、幾つかの可能性の１つにすぎない。ビット数が多くなれば、フィルタに関するナイキスト作用の実現がより良くなる。奇数ビット

数は、現在の（中間の）記号に先行するだけでなく、現在の記号に後続する、等しい数の変調状態記号に関して、対称的に影響し得る中間が存在することを表している。シフト・レジスタ１４及び１５における偶数のセルは、実際機能するが、セル数が増大するにつれ、非対称性の効果が減少する。Ｃシフト・レジスタ１４のセルにおけるビット値は、Ｃフィルタ入力１８としてまとめられ、Ｄシフト・レジスタ１５のセルのビット値は、同様に、Ｄフィルタ入力１９としてまとめられる。

【００２３】

フィルタ自体は、４つのフィルタＲＯＭ２０－２３から構成される。これらは、C COS ROM２０、D SIN ROM ２１、C SIN ROM ２２、及びD COS ROM ２３である。４つのＲＯＭ２０－２３は、全て、最上位アドレス・ビットとして信号EVEN_ODDを受信する。Ｃフィルタ入力１８は、中位のアドレス部分として、C COS ROM ２０、及びC SIN ROM ２２に加えられる。Ｄフィルタ入力１９は、同様に、中位のアドレス部分として、D SIN ROM ２１、及びD COS ROM ２３に加えられる。また、４つのＲＯＭ２０－２３は、全て、最下位アドレス・ビットとして４ビット信号SUB_INT ３４も受信する。この信号は、各記号期間を１６個の間隔に分割するカウンタ機構（不図示）によって発生される。フィルタからの出力（Ｉ及びＱ制御信号）に関する軌道が生成されるのは、これらの間隔においてである。

【００２４】

この例の場合、フィルタＲＯＭ２０－２３のそれぞれは、図示のように、１０ビット幅の出力を有している。特定の幅は、選択の問題である。各種フィルタROMの出力は、下記のように組み合わせられる。加算器２４は、C COS－D SIN の差を形成するが、この差は、１０ビットのデジタルI(t)信号３５である。加算器２５は、１０ビット幅の和C SIN＋D COS を形成するが、これは、デジタルQ(t)信号３６である。デジタルI(t)信号３５は、ＩDAC ２６に加えられ、その出力アナログI(t)信号３７が、そこからフィルタ２８に加えられて、フィルタリングされたアナログI(t)信号３９が生成される。デジタルQ(t)信号３６は、同様に、QDAC２７に加えられ、その出力アナログQ(t)信号３８が、そこからフィルタ２９に加えられて、フィルタリングされたアナログQ(t)信号４０が生成される。フィルタ２８及び２９は、単に、DAC ２８及び２９のアナログ出力における階段状遷移を平滑化するだけである。フィルタリングされたアナログI(t)及びQ(t)信号３９及び４０は、それぞれ、ＩＱ変調器３０のＩ入力及びＱ入力に結合される。ＩＱ変調器３０は、搬送波入力信号３１を受信し、次にＩＱ変調器内で変調して、被変調搬送波出力３２を生成する。搬送波信号３１は、無線信号または可聴信号とすることが可能である。

【００２５】

引き続き、説明したばかりの構造の動作方法に関する例について述べる前に、おそらくは、図２に組み込まれた、４つのＲＯＭ－２つの加算器アーキテクチャについて注釈を加えることが有効であろう。留意すべきは、それについては、組み込まれている'613特許、及び91年4月の HP Journalの論文においてある長さにわたって説明されているということである。そこで述べられているように、おそらく、４つのフィルタＲＯＭと２つの加算器の内部で行われていることだけの、簡単な説明を加えるのが、やはり有効であろう。これは、４つのＲＯＭ－２つの加算器アーキテクチャ、及びＭＵＸ－２つのマッパ－ＭＵＸ構造が、デジタルI(t)及びQ(t)信号３５及び３６の生成に必要とされる畳み込み和を行う、ＲＯＭベースのフィルタにおいて必要とされる、アドレス空間のサイズを縮小するための方法、又は方策であるためである。それらは、独立した縮小であるが、この独立性を真に認識し、理解するためには、各方策が何を行うのか、従ってそれらが何故異なるのかを知ることが有効である。これは又、２つの混同を防止するのにも役立ち、従って、全体が如何に機能するかについてのより深い理解を促進する。

【００２６】

始めに、マッパが１つしかなく、それは標準的なDQPSK の一種であるものと仮定する。デジタルI(t)信号を生成するために、１つのフィルタＲＯＭがあり、デジタルQ(t)信号を生成するために、１つのフィルタＲＯＭがあるものとする。I(t)を生成する畳み込み和、及びQ(t)を生成する畳み込み和は、それぞれ、完全な変調状態記号ストリングの関数である

。あいにく、それは、変調状態記号の分離可能部分が、Ｉだけしか表さず、残りの部分が、Ｑだけしか表さないという事例ではない。従って、各フィルタＲＯＭは、両方のフィルタ入力を必要とする。（両方のＲＯＭとも同様にアドレス指定されるので、これは、その出力幅を２倍すれば、１つのＲＯＭで十分であることを意味する。１つのＲＯＭ又は２つのＲＯＭと、その出力幅との間の差は、ここでは問題ではなく、問題は、実用システムに要求されるアドレス指定のビット数があまりにも多いということである。）

ＲＯＭを利用して、制限された範囲内のａ及びｂの任意の値に対して、ｆ（ａ）及びｇ（ｂ）の和を求めることに決まったと仮定する。ａ及びｂが、それぞれ、ほんの数ビットで表される場合には、これを行うのは容易である。単純に、ａを表すビット、及びｂを表すビットを、アドレス・ビットとして、ＲＯＭに適用し、関連する和が、可能性のあるａ及びｂの組み合わせに対応する各アドレスにロードされるように配列する。ここで、ａが実際にはΣa_iであり、ｂが実際にはΣb_iであり、ａ及びｂの値自体は、明示的に分かっていないものと仮定すると、利用可能な全ては、さまざまなa_i及びb_iということになる。賢明な者であれば、単純に、a_i及びb_iの全てをアドレスとして用いる。これは有効に作用するが、ここで、a_i及びb_iの組み合わせシーケンスが、ＲＯＭのアドレスとして利用できるビットより多くのビットによって表されるものと仮定する。さて、どうなるか？この答は、その出力がｆ（ａ）［Σｆ（a_i）］である一方のＲＯＭにa_iを適用し、ｆ（ｂ）を得るために他方のＲＯＭにb_iを適用することである。次に、２つのＲＯＭ出力を独立した機構によって加算する。必要とされるアドレス可能度は、１つのシーケンス全体Σa_i（またはΣb_i）を表すのに必要とされる量だけ、低下した。

【００２７】

ＲＯＭベースのフィルタによって実施される数学演算の性質を理解すれば、Ｉ（ｔ）が、ΣC_kｃｏｓ（ｋπ／４）項からΣD_kｓｉｎ（ｋπ／４）項を減ずることによって求められるのは明らかである。（ｋπ／４引数は、そのストリングにおけるｋ番目の記号に対して、DQPSK をπ／４DQPSK に関連づける代入から生じる。）同様に、Q(t)は、ΣC_kｓｉｎ（ｋπ／４）項とΣD_kｃｏｓ（ｋπ／４）項を合計することによって求められる。総和シーケンスにおけるさまざまなC_k（またはD_k）は、適用されるアドレス（シフト・レジスタから生じる）の一部であるので、フィルタＲＯＭの各アドレス可能位置には、適合する積和が含まれている。C_k及びD_kの両方を各フィルタＲＯＭに供給して、各フィルタＲＯＭが、アドレスの各種組み合わせ（C_k及びD_kのシーケンスに関する値）において、プリロードされた内容として関連する最終和（または差）を指定できるようにするというよりも、この概念は、ＲＯＭだけを利用して、シーケンス項ΣC_kｃｏｓ、ΣD_kｓｉｎ、ΣC_kｓｉｎ、及びΣD_kｃｏｓに関する値を求め、フィルタＲＯＭの出力に操作を加える加算器によって、その間の最終和と差が求められるようにすることである。このようにして、所与のフィルタＲＯＭは、ひとまとめに捉えられたC_kシーケンス、及びD_kシーケンスの直積演算のかなり大きい集合にわたってではなく、C_k（またはD_k）の単一シーケンスにわたってアドレス可能でありさえすればよい。Birgenheier に対する'613特許における式（３）、（４）、（９）、及び（１０）、及びコラム５－７の文章を参照されたい。

【００２８】

簡単に言えば、Birgenheier は、C_k及びD_kがいっしょにアドレス指定する２つのＲＯＭ（無償で、関連する和及び差を組み込むことができる）とは対照的に、和または差においてΣC_k またはΣD_kを利用する毎に、ΣC_kまたはΣD_kによってしかアドレス指定されないフィルタＲＯＭを設けることによって（４つのROMが必要になる）、フィルタＲＯＭに必要なアドレス・ビット数を減少させた。この４つのＲＯＭ構成は、尚も、最終和及び最終差を計算することが必要であり、従って、２つの加算器が必要になる。しかし、４つのＲＯＭ構成におけるＲＯＭは、はるかに小さいアドレス空間を有し、ΣC_kまたはΣD_kを表現するのに必要なビット数だけ縮小された。Birgenheier によって実現された縮小は、各種のC_k 及びD_k （Ｃフィルタ入力１８、及びＤフィルタ入力１９について考察されたい）を生成する方法に影響を与えないことに留意されたい。Birgenheier には、見落としがあった。

【００２９】
図１および図２の動作説明を再開するにあたって、Birgenheier による教示の一般的な改良が実際に組み込まれていることに留意されたい。４つのフィルタＲＯＭと２つの加算器がある。ただし、４５°の位相回転については３ビットではなく、１ビット、すなわち１ビット信号EVEN_ODD７である。さらに、Birgenheier が考慮しなかった、特別のマッパ、及び関連するＭＵＸがある。図１および図２の動作を理解するため、ここで、図３及び図４に示すマッパ・テーブルを参照する。
【００３０】
図３は、０°マッパ９について、新しい２ビット・データ記号（シフト・レジスタ２からの）と、先行する２ビット変調状態記号との全組み合わせに関して、どんな変調状態記号が与えられるかを表構成で示すものである。新しいデータ記号は、搬送波上に変調され、次いで送信されるプログラム素材である、単なる入力ビット対である。そのより重要な意味は、プログラム・データの関係でしか存在しない。図３のテーブルに関する限り、入力データ記号は、可能性のある各種の２ビットの組み合わせにすぎない。各種変調状態記号（次の、または以前の）は、図５－８を含めて、例示が進むにつれて明らかになるように、変調フォーマット内における意味を有している。（また、小さい文字Ａ－Ｄ、及び、０°／＋９０°／１８０°／－９０°は、図５－８の関係において意味を得て、該図によって示される例と関連して役立つことになる。）DQPSK に習熟した者であれば、そのサービスに用いられる正規のものとして、図３のマッピングを認識するであろう。
【００３１】
図４は、図３に示すものと全体の形式が同じマッピングであるが、その実体は、入力変数と出力との間の関係が異なっている。すなわち、図３及び４のマッピングは、両方とも、同じものから他のものへのマッピングであり、単なる異なるマッピングである。すぐに明らかになるように、その差は、９０°の位相シフトに対応する。すなわち、DATA_SYMが、各マッパに対する特定の入力であり、EVEN_MAP_OUT及びODD_MAP_OUTが、異なるマッパの出力である場合、「ODD_MAP_OUT －EVEN_MAP_OUT ＝ ９０°」の関係が、理解できる。
【００３２】
次に、π／４DQPSK を得るための方法の１つは、基本DQPSK マッピングが要求する上記変更に加えて、変調状態記号に規則的に増大する４５°のプリセッションを加える（フィルタにおいて）ことである。注目しようとしなくても、注目されるのは、こうした機構を利用して、単一の４５°の位相シフトを導入することができることである。正規のDQPSK マッピングを０°マッピングと呼ぶことにする。４５°のプリセッションを生じることになる連続入力データ記号に関して、０°マッピングと９０°マッピングの間における変更は如何に行われるのか？交差結合の変更（一方のマッパからの最後の時間の出力が、他方のマッパに対する次の時間の入力になる）によって結合される差動的性質によって、０°マッピングと９０°マッピングを組み合わせることによって、他の記号毎に９０°のプリセッションが生じ、介在記号［0°,90°］、［０°,90°］、．．．にはプリセッションが生じないが、ここで、括弧によるグループ化は、各プリセッション値に関する基準の共通点を表している。これが、粗プリセッションを生成する。微プリセッションは、各０°マッピングをフィルタにおける４５°シフトと結合することによって得られるが、９０°マッピング時にこうしたシフトを導入することはない。各プリセッション量を先行記号に対する基準とし、括弧を取り除いて、45°、45°、45°、45°、．．．を得ることができる。次に、これが、如何に作用するかを示す例について、図５を参照する。
【００３３】
図５には、ある程度限定的な、しかし任意に選択された、入力データ記号シーケンスに関するπ／４DQPSK 遷移図の例が示されている。「遷移番号（TRANSITION NUMBER）」と表示されたコラム４１は、単なるこの例に生じる遷移の順次番号付けである。それらは、図６－８において対応する位置を見つけるのを助けるため、六角形で包囲されている。「現在の変調状態（CURRENT MODULATION STATE）」と表示されたコラム４２には、この例で要求される、異なるπ／４DQPSK 変調状態の３ビット記述のシーケンスが記載されている。

π／４DQPSK には８つの状態が存在するので、それらを全て表すには３ビットが必要になる。「新データ記号（NEW DATA SYMBOL）」 と表示されたコラム４３は、プログラム・データから新たに到着した入力を表している。コラム４２の既存の状態とコラム４３の新しい入力を組み合わせることによって、コラム４２に次の下位の登録が生じる。図６には、結果生じる配列図が示されている。この例において、如何にしてＸとＯの両方が巡察され、単なる２ビット表現では、このシーケンスの十分な記述が不可能であることが示されているかに留意されたい。

【００３４】

コラム４４には、プリセッションの生成に用いられる、増大するが、周期的な複数（０－７）の４５°のオフセットを表すカウントを追加入力として有するフィルタと共に、標準的なDQPSK マッパを如何に利用することができるかが示されている。コラム４４は、図７と関連して検分すべきである。図７では、Ｘだけしか巡察されない点に留意されたい。図７及びコラム４４は、マッパ機能の記述であり、インクリメントする整数回の４５°位相シフトをフィルタに組み込む装置によって、マッパは、Ａ－Ｄで表示のちょうど４つの状態間を移行することが可能になるのは明らかである。すなわち、コラム４４は、４つの記号Ａ－Ｄの標準的なDQPSK マッパ出力に操作を加えて、図６に示す変調状態遷移の特定のシーケンスを生じさせる方法である。これは、有効に働くが、図８及びコラム４５で表された技法の場合のフィルタＲＯＭの４倍のアドレス空間のフィルタＲＯＭを必要とする。

【００３５】

コラム４５及び図８には、図６に示す変調状態遷移のシーケンスを表すもう１つの方法が示されているが、マッパからの４つの記号Ａ－Ｄだけしか用いられていない。この新しいマッパは、図１および図２のハードウェア・ブロック図において、交替で利用される１対のマッパとして実施される。それは、図示のシーケンスを発生するのに相応に複雑である単一マッパとすることも可能である。コラム４５の表現は、フィルタによって供給される４５°のオフセット量を表すのに単一ビットしか必要としないことに留意されたい。

【００３６】

実際に、コラム４２に記載された例示の遷移シーケンスを実行するには、図３及び図４を参考にすべきである。ここで、その全てについて詳述する必要はないが、コラム４４及び４５のそれぞれの開始にまで遡ることは、有益であるかもしれない。コラム４４の方法は、図３のマッパだけしか必要としない。初期変調状態は、１１０であり、これはＡ＋４５°である。入力データは、００であり、これによって、図３のマッピングに従って、ＡがＡにマッピングされる。その間に、３ビット・カウンタがインクリメントして、プリセッション量を増大し、フィルタによって導入される４５°のオフセットが９０°になる。これで、第２の遷移の準備が整ったことになる。入力データは、０１である。マッパは、０１の入力に対し、Ａの先行状態をＢにマッピングする。インクリメントしたオフセットは、この場合、さらに４５°大きく、すなわち１３５°になる。

【００３７】

コラム４５の方法は、以下の通りである。初期変調状態は、１１０である。これは、Ａ＋４５°によって表される。これは、偶数マッパからの出力であり、従って、入力データ記号のマッピングにおいては、奇数（９０°）マッパ（図４）が次に用いられる。その入力は、００である。図４のマッパによって、現在の変調状態記号Ａ、及び入力データ記号００が、次の変調状態記号Ｂにマッピングされる。（これと図３の０°マッパを比較されたい。）遷移＃１の終了によって、フィルタからの４５°オフセットが除去され、新しい変調状態として、Ｂだけが残される。次の入力データは、０１である。この場合、図３の偶数（０°）マッパが利用される。該マッパによって、現在の変調状態Ｂ、及び新しい入力データ記号０１が、次の変調状態Ｃにマッピングされる。この偶数マッパの利用には、４５°オフセットの復帰が伴い、遷移＃２の最終結果Ｃ＋４５°が生成される。奇数マッパによって、次の変調状態記号が生成される。該マッパによって、現在の変調状態Ｃ、及び新しいデータ入力００が、次の変調状態Ｄにマッピングされる。この奇数マッパの利用には、４５°オフセットの撤回が伴い、遷移＃３の最終結果は、単なるＤになる。

【００３８】
図５のテーブル表示を離れる前に、そこに見受けられる幾つかのの関係について留意するのが有用である。第１に、コラム４４に必要とされる表現は、変調状態記号Ａ－Ｄと、８つの異なるオフセット値０°－１３５°の全ての組み合わせを最終的に必要とするという点に留意されたい。これは、全部で３２の異なる組み合わせになり、フィルタにおけるＲＯＭに対するその表現のアドレス指定には、５ビットが必要になる。次に、コラム４５の技法には８つの異なる可能性しか存在しないという点に留意されたい。実際、コラム４５の内容は、可能性のある全ての例について、コラム４４の内容の部分集合である。このことは、重要かつ有用な結果である、というのも、それは、コラム４５に関してアドレス空間が縮小されたフィルタＲＯＭによって実行される操作が、コラム４４の技法に関してフィルタＲＯＭによって実行される操作の部分集合にすぎないということを意味しているからである。これは、ブラック・ボックスとして、フィルタは同等であり、同じタイプを対にして用いる必要はないが、通信チャネル内において混合し、整合させることが可能であるとする概念を支援する。

【００３９】
しかし、あいにくではあるが、このことは、２つのタイプのフィルタが、そのＲＯＭに同じ内容を記憶しているということを意味しない。これが何故そうなのかを理解するには、フィルタＲＯＭに対する入力から生じる$\Sigma C_k \sin(k\pi/4)$及び$\Sigma D_k \sin(k\pi/4)$の和に少し戻ることが必要になる。Birgenheierにより述べられた案では、引数（ｋπ／４）は、モジュロ８としているとみなされる（変数の変更後、'613特許におけるコラム７の３３行目からを参照）。本明細書に記載した、縮小されたアドレス指定フィルタＲＯＭの場合、モジュロ２としているとみなされる。これは、フィルタＲＯＭが０－７の４５°プリセッションのインクリメントを記述するのに要する３つのアドレス・ビットと、単一の４５°オフセットの有無を記述する１ビット（EVEN_ODD）とを比較した差を反映している。この単純な変更により、'613特許のコラム８に示された設計式（１４）及び（１５）を利用して、本明細書に記載の縮小されたアドレス指定フィルタＲＯＭ２０－２３の内容を計算することが可能になる。

【００４０】
これを理解するためのもう１つの方法は、変調状態記号がシフト・レジスタ１４及び１５を介して伝搬する（記号の一部は、一方のシフト・レジスタ内にあり、また、一部は、他方のシフト・レジスタ内にあるが、同時にシフトされる）際の、変調状態記号の意味について考察することである。変調状態記号は、シフト・レジスタに入る時点において、あるプリセッション量、すなわち、実質的に、記号が生成された時点における量と関連づけられる。この関連は、変化しないが、それは、変調状態記号自体の一部ではないので、暗黙的であるか、あるいは間接的に表されることになり、いつでも、多数の変調状態記号が、フィルタＲＯＭに対するアドレスとして適用されるが、プリセッション表示子は１つだけであるという点に留意されたい。それは何故か？つまり、３ビットの種類であろうと（ｋが、０－７の４５°プリセッション・インクリメントに等しい）あるいは、１ビットの種類（０°マッパ及び９０°に関するEVEN_ODD）であろうと、プリセッション表示子は、フィルタに適用される複数の変調状態記号のうちのある特定の変調状態記号（例えば、中央の記号）と暗黙的に関連づけられる。従って、例えば、Birgenheierの構成の場合、３ビット・プリセッション表示子０１１（３）は、中央の記号（本例のシフト・レジスタにおける位置が１１の場合には、５番目の記号が考慮される）が、インクリメントされた３番目のプリセッション量（おそらく、０°及び４５°の後の９０°）に対応するという意味を含む。暗に、シフト・レジスタ位置４の記号は、プリセッション表示子１００と関連づけられ、位置３の記号は、１０１と関連づけられ、位置２の記号は、１１０と関連づけられ、等のようになる。位置６は、プリセッション表示子０１０と関連づけられ、等のようになる。３ビット・フィールドが、ちょうど３ビット・カウンタのようにインクリメントし、デクリメントするので、０００が減少すると、１１１に変化し、１１１が増加すると、０００に変化する。各記号は、それ自体の個々のカウントを伴わないし（３の１１倍は

、３３ビット！）、中央の記号のカウントだけしか、ＲＯＭには供給されないので、順次隣接記号に対するインクリメント及びデクリメントが含まれ、フィルタＲＯＭにおける各種のアドレスについて計算される値に反映される。これに対し、１ビットEVEN_ODD信号、及び縮小されたアドレス空間のフィルタＲＯＭに関連した技法では、その値が、０、１、０、１、０、１、．．．のように変化するプリセッション・フィルタ表示子が用いられる。従って、フィルタ方策が実際には異なり、フィルタＲＯＭにおける数を再計算する必要がある。

【００４１】

最後に、最大限の縮小が達成されたことに注目される。４つの記号Ａ－Ｄは、２ビットを必要とし、唯一の４５°位相シフトは、１ビットを必要とするので、全部で３ビットになる。３ビットは、８つの記号を表すのに必要なものであり、この場合、８つの記号が、π／４DQPSK のものである。４５°オフセットが交替する８つの記号Ａ－Ｄの表現は、単なる便宜上のものでしかなく、処分に対して凝る者であれば、図６の０００－１１１変調状態に関連して、全てを記述することも可能である。

【００４２】

しかし、これらの結果が、π／４DQPSK フォーマットの全ての複雑さを、１対のマッパに（あるいは、単一のより複雑なマッパに）ゆだねるのが望ましいということを示唆するものと考えるのは、間違いである。必要とされるのは、同時に、マッパによって生成される変調状態記号のビット数を最小限に抑え、さらに、プリセッションの記述に必要なビット数を減少させることである。これを実現する有効な方法は、他の記号毎に、あるいは４番目の記号毎に、あるいは、多くの記号を伴うフォーマットの場合、８番目の記号毎に、マッパにある粗プリセッションを導入させることである。次に、フィルタによって、１、２、または３ビットで表示可能な微プリセッションが供給される。どれが、フィルタＲＯＭに関して最小数のアドレス指定ビットを必要としているかに従って、粗プリセッションと微プリセッションの混合が選択される。各シフト・レジスタに、ｋ個の多くのセルが存在する場合、変調状態記号の幅に１つのビットが追加される毎に、フィルタＲＯＭのアドレスには、ｋ個の多くのビットが追加されることを覚えておかねばならない。従って、マッパのプリセッションを表す能力は、その結果が、他の記号毎にのみ、あるいは、４番目の記号毎に、等というように生じる粗プリセッションであることを意味する場合であっても、できるだけ最大限に活用すべきである。マッパからのこうした粗プリセッションは、次に、１つおきの介在記号、または４つの記号からの３つの介在記号に関して、フィルタによって導入され、ほんの数ビットの単一集合によって表される、微プリセッションによって拡張することが可能である。しかし、全ての複雑さをマッパ、またはフィルタにゆだねると、フィルタＲＯＭのアドレス指定に必要なビット数がむやみに増大することになる。

【００４３】

本明細書に記載した新規の概念では、交替する４５°のオフセット・ビットEVEN_ODD が、変調状態符号化において、常に全ての記号をトグルする、ある（特定の）ビットとみなされる。π／４DQPSK の性質を考えれば、これは驚くに当たらない。その基本概念に戻ると、ＲＯＭベースのフィルタを最小限に抑えて、任意の２つの変調状態記号間における最小位相差を超えない、「インクリメンタル」・プリセッション量に関するプリセッション表示子を伴う、異なるシーケンスのDQPSK 変調状態記号を認識することが可能であることを示した。これには、マッパが、各「真の」π／４DQPSK 変調状態記号毎に、DQPSK とインクリメンタル・プリセッションに関連して記述を生成する必要があり、また、インクリメンタル・プリセッション量がフィルタに対して記述される必要がある。

【００４４】

以下に、本発明の実施態様を列挙する。

【００４５】

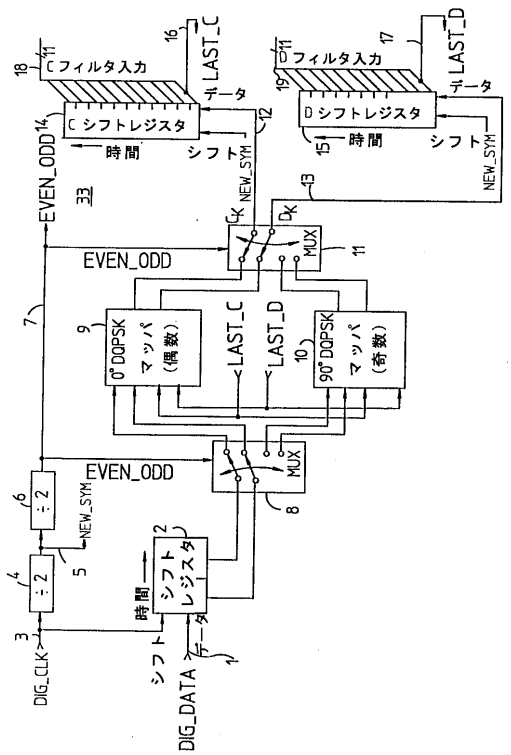
１．デジタル・プログラム・データに結合可能であり、ｎ番目の変調状態記号毎に生じる粗プリセッションを示す変調状態記号を生成するマッパと、

変調状態記号を受信するために結合された入力を有し、連続した変調状態記号のシーケン

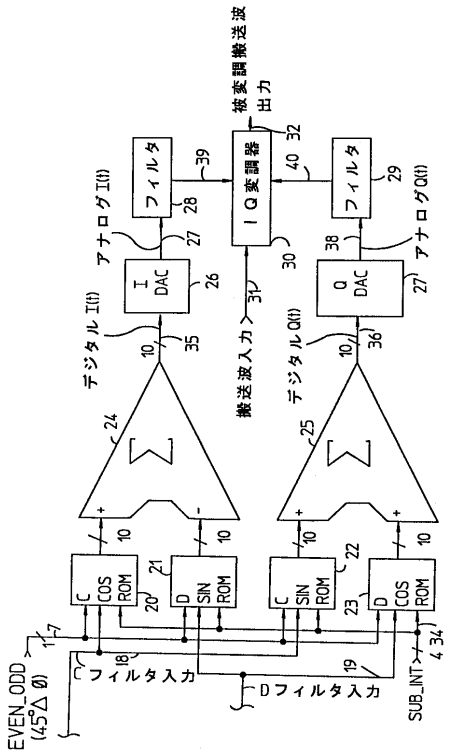
スを表す複数の出力を有するシフト・レジスタと、
シフト・レジスタの出力によって、及び粗プリセッションを示すｎ番目の変調状態記号毎にゼロになり、介在する変調状態記号が生じる時に、粗プリセッションの１／ｎに等しい量だけ加えられる、微プリセッションを表した、周期的にインクリメントするビットの集合によって、アドレス指定され、アドレス可能な位置毎に、Ｉ制御値及びＱ制御値を生成するＲＯＭと、
Ｉ及びＱ制御値を受信するために結合されたＩＱ変調器と、
から構成される変調器。
【００４６】
２．変調器が、π／４DQPSK 変調器であり、粗プリセッションが９０°であり、微プリセッションが４５°である、前項１に記載の変調器。
【００４７】
３．マッパが、DQPSK を実施する第１の符号器と、その出力がDQPSK から９０°変位する第２の符号器から構成され、粗プリセッションを示すｎ番目の各変調状態記号が、第２の符号器によって生成されるこ、前項２に記載の変調器。
【００４８】
４．ＲＯＭが、さらに、変調状態記号間のサブインターバルを表す、周期的にインクリメントするビットの集合によってアドレス指定され、ビットの集合が、各変調状態記号毎に１回の周期でインクリメントする、前項１に記載の変調器。
【００４９】
５．ＲＯＭが、第１の余弦値ＲＯＭ、及び第１の正弦値ＲＯＭから構成され、Ｉ制御値が、第１の余弦値ＲＯＭの出力から第１の正弦値ＲＯＭの出力を減ずることによって形成され、さらに、ＲＯＭが、第２の余弦値ＲＯＭ、及び第２の正弦値ＲＯＭから構成され、Ｑ制御値が、第２の余弦値ＲＯＭの出力を第２の正弦値ＲＯＭの出力に加えることによって形成される、前項１に記載の変調器。
【００５０】
６．ｎ番目の変調状態記号毎に、粗プリセッションを示す変調状態記号に、デジタル・プログラム情報をマッピングするステップと、
変調状態記号をフィルタリングして、こうした各記号毎に均一なプリセッションを示す、フィルタリング済み変調状態記号を生成するステップとを含み、
フィルタリングするステップは、ｎ番目の各変調状態記号間に生じる各介在する変調状態記号毎に、粗プリセッションの１／ｎに等しい量の微プリセッションを導入することを特徴とする、
ＩＱ変調方法。
【００５１】
【発明の効果】
本発明は上述のように構成したので、ＲＯＭベースのπ／４DQPSK フィルタに必要とされるメモリ量は、他の記号毎に９０°の位相シフトを取り入れる、ＩＱマッパ（復調器の場合は逆マッパ）、及び交互の０°記号の間に、４５°位相シフトを挿入するが、マッパ（または逆マッパ）が９０°の位相シフトを挿入している介在時間の間には、４５°位相シフトを挿入しない、ＩＱ記号フィルタを使用することによって削減することが可能となる。また、変調器及び復調器における既存のフィルタを個別に置き替えることが可能であり、対で置き替える必要はない。
【図面の簡単な説明】
【図１】交互の記号９０°位相シフトＩＱマッパ、及び介在する記号４５°位相シフトＩＱ記号フィルタを組み込んだ、ＩＱ変調器の一部の簡略したブロック図である。
【図２】交互の記号９０°位相シフトＩＱマッパ、及び介在する記号４５°位相シフトＩＱ記号フィルタを組み込んだ、ＩＱ変調器の一部の簡略したブロック図である。
【図３】図１の交互の記号ＩＱマッパに関する偶数記号０°DQPSK マッパの動作を記述するカルノー図である。

【図４】図１の交互の記号ＩＱマッパに関する奇数記号９０° DQPSK マッパの動作を記述するカルノー図である。
【図５】π／４DQPSK 変調状態遷移例リスト、及び単一DQPSK マッパの使用時に、またより直接的にπ／４DQPSK に対応するより高度なマッパの使用時に、該遷移を提示することが可能な方法を示す図である。
【図６】図５の例におけるπ／４DQPSK 変調状態遷移を表した配列図である。
【図７】図５の例に関するDQPSK マッパの出力を表した配列図である。
【図８】図５の例に関するより高度な交互の記号π／４DQPSK マッパの出力を表した配列図である。
【符号の説明】
9　　0° DQPSK マッパ
10　　９０° DQPSK マッパ
14　　Ｃシフト・レジスタ
15　　Ｄシフト・レジスタ
20-23　フィルタＲＯＭ
24,25　加算器
26　　ＩDAC
２７　　ＱDAC
２８，２９　フィルタ
30　　ＩＱ変調器

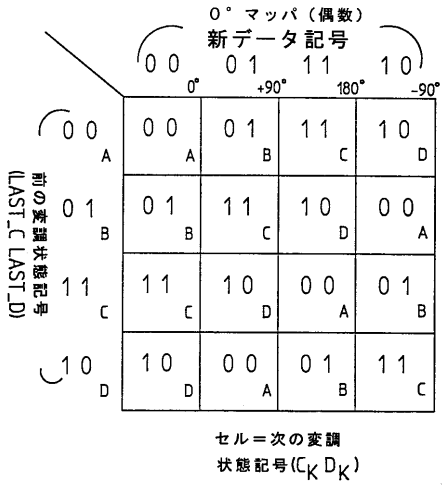
【図１】



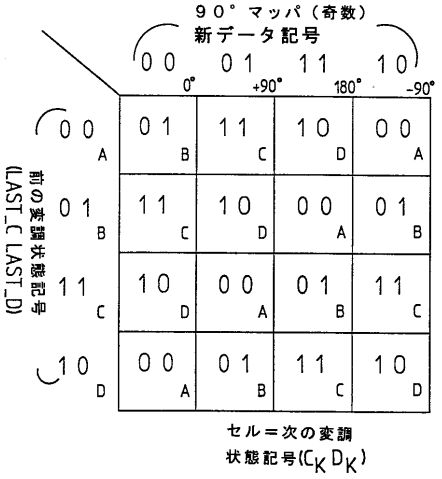
【図２】



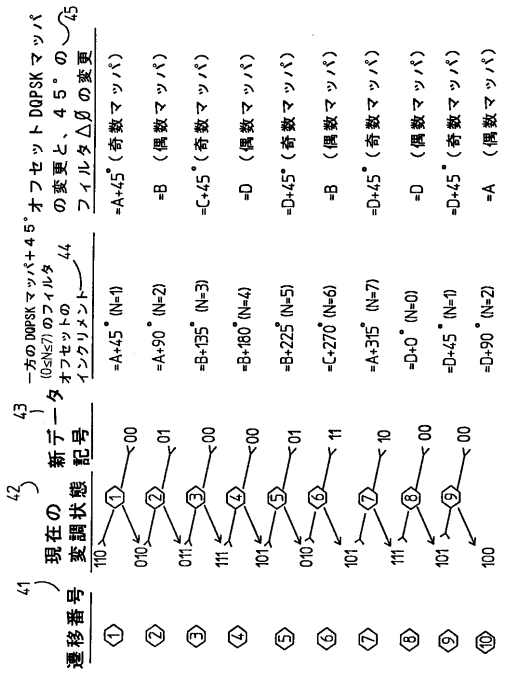
【図３】



【図４】

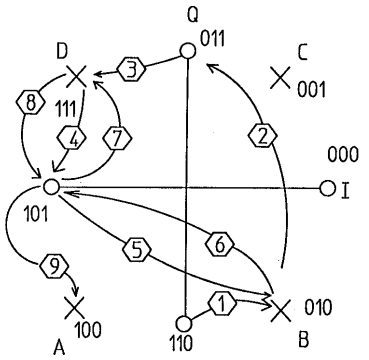


【図５】



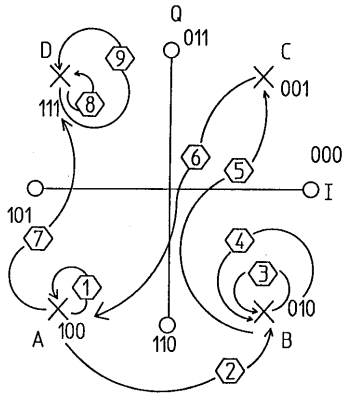
【図６】

図５の例に対する
π/4 DQPSK変調状態図



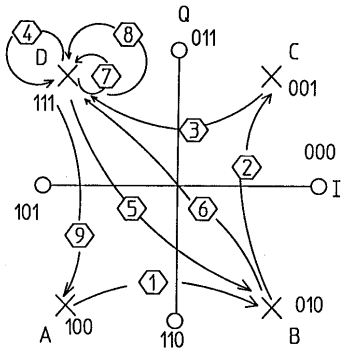
【図７】

一方のDQPSKマッパ＋４５°(0≦N ≦7)のフィルタオフセットのインクリメントのための図５のマッパ状態



【図８】

オフセットDQPSKマッパの変更、及び４５°のフィルタ Δθ の変更のための図５のマッパ状態



フロントページの続き

(72)発明者　ブライアン・ピー・フェッツ
アメリカ合衆国ワシントン州９９０３７ヴェラデイル，ベル・テレ・１４６１０

審査官　藤井　浩

(56)参考文献　特開平６－１１２９８１（ＪＰ，Ａ）
特開平６－２１７６５（ＪＰ，Ａ）
特開平６－２５２９６１（ＪＰ，Ａ）
特開平５－２２３５５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 27/20