(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/08

(11) 공개번호 특1995-0034763
(43) 공개일자 1995년12월28일

(21) 출원번호 특1995-0014102
(22) 출원일자 1995년05월31일
(30) 우선권주장 94-119110 1994년05월31일 일본(JP)
(71) 출원인 닛본덴기 가부시끼가이샤 가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7-1
(72) 발명자 이소노 도시오
일본국 도꾜도 미나도꾸 시바 5쪼메 7-1 닛본덴기 가부시끼가이샤 내
(74) 대리인 장수길, 구영창

심사청구 : 있음

(54) 반도체 집적회로 장치

요약

제1전원 전압으로 동작가능한 제1집적회로에 접속한 제1입력 단자(19)를 갖고, 제1전압 이하의 제2전압으로 동작가능한 출력 단자(51)에 접속된 제2집적회로, 및 제2전압 양단에 직렬고 접속된 제1및 제2MOS FET(45)를 포함하는 인터페이스 회로를 포함하는 반도체 집적회로 장치에 있어서, 인터페이스 회로는 입력 단자와, 제1과 제2MOS 전계 효과 트랜지스터의 게이트 전극 사이에 접속되고 제2전압 이하의 국부 전압이 공급된 게이트 전극을 갖는 n채널형 MOS FET(47), 및 제1MOS FET의 채널형을 갖고 있고 출력 단자에 접속된 병렬 접속점을 갖는 제1MOS FET에 병렬로 접속된 제MOS FET(53)을 포함한다. 제1 및 제2전압을 전형적으로 5볼트 및 3볼트이다. 제3MOS FET는 제2MOS FET의 채널형을 갖고 있고, 제2MOS FET와, 제2전압의 상한 전압 단부과 출력 단자 사이에 접속된 제1MOS FET를 갖는 제2전압의 하한 잔압단부 사이에 접속된다.

대표도

도3

명세서

[발명의 명칭]

반도체 집적회로 장치

[도면의 간단한 설명]

제3도는 본 발명의 제1실시예에 따른 반도체 집적회로 장치의 회로도, 제4도는 본 발명의 제2실시예에 따른 반도체 집적회로 장치의 부분 회로도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제2전원 전압보다 높은 제1전원 전압으로 동작가능한 제1반도체 집적회로에 접속되고, 상한 및 하한 전압을 갖는 사익 제2전원 전압으로 동작가능한 제2반도체 집적회로, 및 상기 제1반도체 집적회로 및 상기 제2반도체 집적회로에 접속된 입력 및 출력 단자를 갖는 인터페이스 회로를 포함하는 반도체 집적회로 장치에 있어서, 상기 인터페이스 회로가 직렬로 접속되고, 상기 강한 전압과 상기 하한 전압이 공급되는 제1 및 제2MOS 전계 효과 트래지스터; 상기 입력 단자와, 상기 제1및 제2MOS전계 효과 트랜지스터의 게이트 전극 상에 접속되고, 상기 상한 전압 이하의 국부 전압이 공급되는 게이트를 갖는 n채널형 MOS 전계 효과 트랜지스터; 및 상기 제1MOS 전계 효과 트랜지스터의 채널형을 갖고 있고, 상기 제1MOS 전계 효과 트랜지스터 및 상기 출력 단자에 병렬로 접속된 제3MOS 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 2

제1항에 있어서, 상기 국부 전압이 상기 전압과 동일한 것을 특징으로 하는 반도체 집적회로 장치.

청구항 3

제1항에 있어서, 상기 제2전원 전압은 사익 제1전원 전압의 1/2이상히고, 사익 국부 전압은 상기 제1전원 전압의 1/2 이상인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 4

제1항에 있어서, 상기 제1 및 제3MOS 전계 효과 트랜지스터가 p채널형으로 이루어진 것을 특징으로 하는 반도체 집적회로 장치.

청구항 5

제4항에 있어서, 상기 제1 및 제2전원 전압이 5볼트 및 3볼트인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 6

제2전원 전압보다 높은 제1전원 전압으로 동작가능한 제1반도체 집적회로에 접속되고, 상한 및 하한 전압을 갖는 상기 제2전원 전압으로 동작가능한 제2반도체 집적회로, 및 상기 제1반도체 집적회로 및 상기 제2반도체 집적회로에 접속된 입력 및 출력 단자를 갖는 인터페이스 회로를 포함하는 반도체 집적회로 장치에 있어서, 상기 인터페이스 회로가 제1MOS 전계 효과 트랜지스터에는 상기 상한 전압이 공급되고, 그 직렬 접속점이 상기 출력 단자에 접속되어 있고, 서로 직렬 접속된 제1및 제2MOS 전계 효과 트랜지스터; 상기 입력 단자, 및 상기 제1 및 제2MOS 전계 효과 트랜지스터의 게이트 전극에 접속되고, 상기 상한 전압 이하의 국부 전압이 공급되는 게이트 전극을 갖는 n채널형 MOS 전계 효과 트랜지스터; 및 상기 제2MOS 전계 효과 트랜지스터에 직렬로 접속되고, 상기 하한 전압이 공급되는 상기 제2MOS 전계효과 트랜지스터의 채널형을 갖는 제3MOS 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 7

제6항에 있어서, 상기 국부 전압은 상기 상한 전압과 동일한 것을 특징으로 하는 반도체 집적회로 장치.

청구항 8

제6항에 있어서, 상기 제2전원 전압은 상기 제1전원 전압의 1/2이상이고, 상기 국부 전압은 상기 제1전원 전압의 1/2 이상인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 9

제6항에 있어서, 상기 제2 및 제3MOS 전계 효과 트랜지스터는 n채널형으로 이루어진 것을 특징으로 하는 반도체 집적회로 장치.

청구항 10

제9항에 있어서, 상기 제1 및 제2전원 전압은 5볼트 및 3볼트인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 11

반도체 칩상의 다수의 MOS 전계 효과 트랜지스터, 제2전원 전압보다 높은 제1전원 전압으로 동작가능한 제1반도체 집적회로에 접속된 입력 단자를 갖는 상기 반도체 칩상의 입력 및 출력 단자, 제2전원 전압의 상한 전압 및 하한 전압이 공급되는 상기 반도체 칩상의 제1 및 제2단자, 및 상기 출력 단자에 그리고 상기 제1단자와 제2단자 사이에 접속된 제1반도체 집적회로를 형성하고, 상기 MOS 전계 효과 트랜지스터 중의 다른 MOS 전계 효과 트랜지스터들을 남겨 놓기 위해 상기 MOS 전계 효과 트랜지스터들 중 선택된 MOS 전계 효과 트랜지스터를 접속하기 위한 반도체 칩상의 와이링을 포함하는 반도체 집적회로 장치에 있어서, 상기 MOS 전계 효과 트랜지스터들 중 선택되지 않은 상기 다른 MOS 전계 효과트랜지스터들은 p형 및 n형의 제1 및 제2MOS 전계 효과 트랜지스터, 상기 n채널형을 가지며 실질적으로 0볼트의 임계값을 갖는 입력 MOS 전계 효과 트랜지스터 및 상기 p채널형의 제3MOS 전계 효과 트랜지스터를 포함하고; 상기 반도체 집적회로 장치가 상기 제1과 제2단자 사이에서 직렬고 상기 제1 및 제2MOS 전계 효과 트랜지스터를 상기 반도체 칩상에 접속하기 위한 부가적인 와이어링, 상기 입력 단자와 상기 제1 및 제2MOS 전계 효과 트랜지스터의 게이트 전극 사이에 있으며, 게이트 전극에는 상기 상한 전압 이하인 국부 전압이 공급되는 상기 입력 MOS 전계 효과 트랜지스터, 및 상기 출력단자에 접속된 병렬 접속점과 병렬인 상기 제1 및 제3MOS 전계 효과 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 12

제11항에 있어서, 상기 국부 전압은 상기 상한 전압과 동일한 것을 특징으로 하는 반도체 집적회로 장치.

청구항 13

제11항에 있어서, 상기 제2전원 전압은 상기 제1전원 전압의 1/2이상이고, 상기 국부 전압은 상기 제1전원 전압의 1/2이상인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 14

제11항에 있어서, 상기 제1 및 제2전원 전압은 5 볼트 및 3볼트인 것을 특징으로 하는 반도체 집적회로

장치.

청구항 15

반도체 칩상의 다수의 MOS 전계 효과 트랜지스터, 제2전원 전압보다 높은 제1전원 전압으로 동작가능한 제1반도체 집적회로에 접속된 상기 입력 단자를 갖는 상기 반도체 칩상의 입력 및 출력 단자에 그리고 상기 제1단자와 상기 제2단자 사이에 접속된 제2반도체 집적회로를 형성하고, 상기 MOS 전계 효과 트랜지스터들 중 다른 MOS 전계 효과 트랜지스터들을 남겨놓기 위해 상기 MOS 전계 효과 트랜지스터들 중 선택된 MOS 전계 효과 트랜지스터를 저속하기 위한 상기 반도체 칩상의 와이어링을 포함하는 반도체 집적회로에 있어서, 상기 MOS 전계 효과 트랜지스터들 중 선택되지 않은 상기 다른 MOS 전계효과 트랜지스터들은 p형 및 n형이 제1및 제2MOS 전계 효과 트랜지스터 및 상기 n채널형을 가지며 실질적으로 0볼트의 임계값을 갖는 입력 MOS 전계 효과 트랜지스터 및 상기 p채널형의 제3MOS 전게 효과 트랜지스터를 포함하고; 상기 반도체 집적회로 장치는 사익 제1단자와 상기 출력 단자 사이에 상기 제1MOS 전계 효과 트랜지스터를 포함하고; 상기 반도체 집적회로 장치는 상기 제1단자와 상기 출력 단자 사이에 상기 제1MOS 전계 효과 트랜지스터를 상기 반도체 칩상에서 접속하기 위한 부가적인 와이어링, 상기 출력 단자와 상기 제2단자 사이에 직력인 상기 제2밍 제3MOS 전계 효과 트랜지스터, 및 상기 입력 단자돠 상기 제1내지 제3MOS 전계효과 트랜지스터의 게이트 전극 사이에 있으며, 게이트 전극에는 상기 상한 전압 이하인 국부 전압이 공급되는 상기 입력 MOS 전계 효과 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 16

제15항에 있어서, 상기 국부 전압은 상기 상한 전압과 동일한 것을 특징으로 하는 반도체 집적회로 장치.

청구항 17

제15항에 있어서, 상기 제2전원 전압은 상기 제1전원 전압의 1/20이상이고, 상기 국부 전압은 상기 제2전원 전압의 1/2 이상인 것을 특징으로 하는 반도체 집적회로 장치.

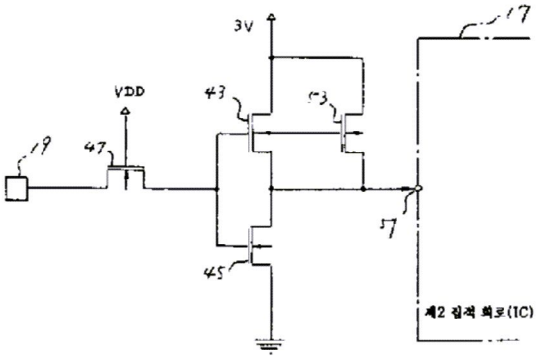
청구항 18

제15항에 있어서, 상기 제1 및 상기 제2전원 전압은 5 볼트 밍 3 볼트인 것을 특징으로 하는 반도체 집적회로 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4

