

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025년 5월 30일 (30.05.2025) WIPO | PCT



(10) 국제공개번호

WO 2025/110700 A1

- (51) 국제특허분류:
H01Q 1/22 (2006.01) H01Q 1/38 (2006.01)
- (21) 국제출원번호: PCT/KR2024/018364
- (22) 국제출원일: 2024년 11월 20일 (20.11.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2023-0160397 2023년 11월 20일 (20.11.2023) KR
- (71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]: 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭 (KR).
- (72) 발명자: 이길선 (LEE, Gilsun); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭 (KR). 오창우 (OH, Changwoo); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭 (KR). 신정균 (SHIN, Jungkyun); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭 (KR).
- (74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층 (KR).

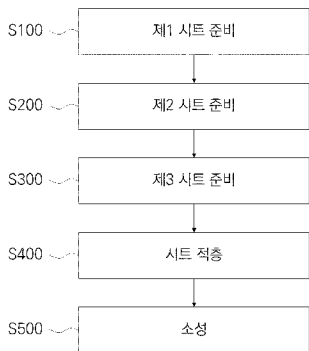
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: CHIP ANTENNA MANUFACTURING METHOD

(54) 발명의 명칭: 칩 안테나 제조 방법



S100 ... Prepare first sheet
S200 ... Prepare second sheet
S300 ... Prepare third sheet
S400 ... Stack sheets
S500 ... Firing

(57) Abstract: The present disclosure provides a technology relating to a chip antenna comprising a plurality of dielectric sheets stacked together, wherein a power supply line of a radiator is formed by stacking via holes formed through drilling, and thereby via holes having the same upper and lower diameters are formed, so that a reduction in the efficiency of power supply through the power supply line is prevented.

(57) 요약서: 본 개시는 복수의 유전체 시트가 적층된 칩 안테나에 관한 기술로, 드릴 가공을 통해 형성된 비아 홀들을 적층하여 방사체의 급전 라인을 형성하고, 이를 통해 상부 직경 및 하부 직경이 동일한 비아 홀을 형성하여 급전 라인의 급전 효율 저하를 방지한다.

WO 2025/110700 A1

발명의 설명

발명의 명칭: 칩 안테나 제조 방법

기술분야

- [1] 본 발명은 도전체가 형성된 복수의 유전체 시트가 적층된 칩 안테나를 제조하는 기술에 관한 것이다.

배경기술

- [2] 일반적으로, 칩 안테나는 도체 패턴이 형성된 복수의 유전체 시트를 적층하여 제조된다. 유전체 시트에 형성된 도체 패턴은 방사체, 급전 라인, 신호 라인 등을 구성한다.
- [3] 하지만, 칩 안테나는 유전체 시트를 적층하는 과정에서 정렬(Align)이 틀어지는 경우 도체 패턴들 간의 연결이 끊기거나, 연결되는 면적이 감소하여 공진 주파수가 변경되거나, 급전 효율이 저하되는 등의 문제가 발생할 수 있다.
- [4] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

발명의 내용

기술적 과제

- [5] 본 발명은 상기한 사정을 감안하여 제안된 것으로 방사체를 구비한 칩 안테나의 제조시 드릴 가공을 통해 형성된 비아 홀들을 적층하여 방사체의 급전 라인을 형성하도록 한 칩 안테나 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결 수단

- [6] 상기한 목적을 달성하기 위하여 본 발명의 실시 예에 따른 칩 안테나 제조 방법은 금속화된 비아 홀과 연결된 방사체가 형성된 제1 시트를 준비하는 단계, 방사체의 급전을 위한 금속화된 비아 홀이 형성된 제2 시트를 준비하는 단계, 제1 시트 및 제2 시트를 적층하는 단계 및 제1 시트 및 제2 시트가 적층된 적층체를 소성하는 단계를 포함하고, 제1 시트를 준비하는 단계 및 제2 시트를 준비하는 단계에서는 드릴 가공을 통해 제1 시트 및 제2 시트에 비아 홀을 형성한다.
- [7] 제1 시트를 준비하는 단계는 유전체 재질의 제1 그린 시트를 준비하는 단계, 드릴 가공을 통해 제1 그린 시트에 제1 비아 홀을 형성하는 단계, 제1 비아 홀에 도체를 충전하여 금속화된 제1 비아 홀을 형성하는 단계 및 제1 그린 시트의 상면에 방사체인 제1 도체층을 형성하는 단계를 포함할 수 있다. 제1 비아 홀을 형성하는 단계에서는 드릴 가공을 통해 제1 그린 시트의 중심점을 관통하는 제1 비아 홀을 형성하고, 제1 도체층을 형성하는 단계에서는 금속화된 제1 비아 홀과 중첩되도록 제1 도체층을 형성할 수 있다.
- [8] 제2 시트를 준비하는 단계는 유전체 재질의 제2 그린 시트를 준비하는 단계, 드릴 가공을 통해 제2 그린 시트에 제2 비아 홀을 형성하는 단계, 제2 비아 홀에 도체를 충전하여 금속화된 제2 비아 홀을 형성하는 단계 및 제2 그린 시트의 상면

에 제2 도체층을 형성하는 단계를 포함할 수 있다. 제2 그린 시트를 준비하는 단계에서 준비한 제2 그린 시트는 제1 시트의 제1 그린 시트와 동일한 유전체 재질이고, 제2 비아 홀을 형성하는 단계에서는 드릴 가공을 통해 제2 그린 시트의 중심점을 관통하는 제2 비아 홀을 형성하고, 제2 도체층을 형성하는 단계에서는 금속화된 제2 비아 홀과 중첩되도록 제2 도체층을 형성할 수 있다.

- [9] 적층하는 단계에서는 제1 시트의 하부에 복수의 제2 시트를 적층하되, 제1 시트의 금속화된 비아 홀과 복수의 제2 시트의 금속화된 비아 홀이 중첩되도록 적층하여 복수의 금속화된 비아 홀들이 연결된 방사체의 급전 라인을 형성할 수 있다.
- [10] 본 발명의 실시 예에 따른 칩 안테나 제조 방법은 적층하는 단계 이전에 유전체 재질의 제3 시트를 준비하는 단계를 더 포함하고, 적층하는 단계에서는 방사체가 형성된 제1 시트의 상부에 제3 시트를 적층할 수 있다.
- [11] 금속화된 비아 홀은 오차 범위 내에서 동일한 상부 직경 및 하부 직경을 갖도록 형성된다.

발명의 효과

- [12] 본 발명에 의하면, 칩 안테나 제조 방법은 방사체의 급전 라인을 형성하기 위해 드릴 가공을 통해 시트에 비아 홀을 형성함으로써, 비아 홀의 진원도(眞圓度, out of roundness)를 최소화할 수 있어 상부 직경 및 하부 직경이 거의 동일한 비아 홀을 형성할 수 있는 효과가 있다.
- [13] 또한, 칩 안테나 제조 방법은 복수의 시트를 적층할 때 시트들의 정렬이 일부 틀어지더라도 비아 홀들이 연결되는 면적을 일정 이상 확보할 수 있어 급전 라인의 급전 효율 저하를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [14] 도 1은 본 발명의 실시 예에 따른 칩 안테나 제조 방법을 설명하기 위한 흐름도.
- [15] 도 2 및 도 3은 도 1의 제1 시트 준비 단계를 설명하기 위한 흐름도.
- [16] 도 4는 도 1의 제1 시트를 준비 하는 단계를 통해 준비된 제1 시트를 설명하기 위한 도면.
- [17] 도 5 및 도 6은 도 1의 제2 시트 준비 단계를 설명하기 위한 흐름도.
- [18] 도 7은 도 1의 복수의 제2 시트를 준비 하는 단계를 통해 준비된 제2 시트를 설명하기 위한 도면.
- [19] 도 8은 도 1의 제3 시트를 준비 하는 단계를 통해 준비된 제3 시트를 설명하기 위한 도면.
- [20] 도 9는 도 1의 시트 적층 단계를 설명하기 위한 도면.
- [21] 도 10은 도 1의 소성 단계를 거쳐 제조된 칩 안테나를 설명하기 위한 단면도.
- [22] 도 11은 도 2 및 도 5의 비아 홀 형성 단계를 설명하기 위한 도면.
- [23] 도 12는 비아 홀 가공 방법에 따른 비아 홀의 단면을 비교 설명하기 위한 도면.

발명의 실시를 위한 형태

- [24] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [25] 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이고, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [26] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 본 출원에서 "포함하다", "구비하다", "가지다" 등의 용어는 발명의 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [27] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여(indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 하는 것을 원칙으로 한다.
- [28] 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [29] 본 발명의 실시예에 따른 칩 안테나 제조 방법은 유전체 시트를 적층하여 구성되어 설정 주파수 대역(예를 들면, UWB)의 칩 안테나를 제조한다. 즉, 칩 안테나 제조 방법은 방사체인 도전체가 형성된 유전체 시트, 급전 라인을 형성하는 금속화 비아 홀 및 도전체가 형성된 복수의 유전체 시트를 적층하여 설정 주파수 대역의 칩 안테나를 제조한다.
- [30] 도 1을 참조하면, 본 발명의 실시예에 따른 칩 안테나 제조 방법은 제1 시트 준비 단계(S100), 제2 시트 준비 단계(S200), 제3 시트 준비 단계(S300), 시트 적층 단계(S400) 및 소성 단계(S500)를 포함하여 구성된다.
- [31] 제1 시트 준비 단계(S100)에서는 칩 안테나(1000)의 방사체로 동작하는 제1 도체층(140)이 형성된 제1 그린 시트(110)를 제1 시트(100)로 준비한다. 이때, 제1 시트 준비 단계(S100)에서는 도체층과 연결된 금속화 비아 홀이 형성된 제1 그린 시트(110)를 제1 시트(100)로 준비한다.
- [32] 일례로, 도 2 및 도 3을 참조하면, 제1 시트 준비 단계(S100)는 제1 그린 시트 준비 단계(S110), 제1 비아 홀 형성 단계(S120), 제1 비아 홀 충전 단계(S130) 및 제1 도체층 형성 단계(S140)를 포함한다.

- [33] 제1 그린 시트 준비 단계(S110)에서는 유전체 재질의 제1 그린 시트(110)를 준비한다. 제1 그린 시트 준비 단계(S110)에서는 저온소성(LTCC) 공법에 주로 사용되는 세라믹 그린 시트를 제1 그린 시트(110)로 준비하는 것을 일례로 한다.
- [34] 제1 비아 홀 형성 단계(S120)에서는 제1 그린 시트(110)에 제1 비아 홀(120)을 형성한다. 제1 비아 홀 형성 단계(S120)에서는 제1 그린 시트(110)의 중심점을 관통하는 제1 비아 홀(120)을 형성한다. 제1 비아 홀 형성 단계(S120)에서는 드릴(drill) 가공을 통해 제1 그린 시트(110)의 중심점을 수직으로 관통하는 제1 비아 홀(120)을 형성한다.
- [35] 제1 비아 홀 충전 단계(S130)에서는 제1 그린 시트(110)에 금속화된 제1 비아 홀(130)을 형성한다. 제1 비아 홀 충전 단계(S130)에서는 제1 그린 시트(110)에 형성된 제1 비아 홀(120)을 도전체로 충전한다. 제1 비아 홀 충전 단계(S130)에서는 제1 그린 시트(110)에 형성된 제1 비아 홀(120)을 도전체로 충전하여 금속화된 제1 비아 홀(130)을 형성한다.
- [36] 제1 도체층 형성 단계(S140)에서는 방사체로 동작하는 제1 도체층(140)을 제1 그린 시트(110)의 상면에 형성한다. 제1 도체층 형성 단계(S140)에서는 제1 그린 시트(110)에 형성된 금속화된 제1 비아 홀(130)과 중첩되도록 제1 도체층(140)을 형성한다. 제1 도체층 형성 단계(S140)에서는 제1 그린 시트(110)의 상면에 도체를 인쇄하여 제1 도체층(140)을 형성하는 것을 일례로 한다.
- [37] 도 4를 참조하면, 제1 시트 준비 단계(S100)에서는 제1 그린 시트(110) 상에 판상의 제1 도체층(140)이 형성되고, 제1 도체층(140)과 금속화된 제1 비아 홀(130)과 직접 연결된 제1 시트(100)를 준비한다.
- [38] 제2 시트 준비 단계(S200)에서는 칩 안테나(1000)의 급전 라인(500)을 구성하는 금속화 비아 홀이 형성된 제2 그린 시트(210)를 제2 시트(200)로 준비한다. 제2 시트 준비 단계(S200)에서는 일면에 금속화 비아 홀과 연결된 제2 도체층(240)이 형성된 제2 그린 시트(210)를 제2 시트(200)로 준비한다. 여기서, 제2 시트 준비 단계(S200)에서는 제1 그린 시트(110)와 동일한 재질의 제2 그린 시트(210)로 구성된 제2 시트(200)를 준비하는 것을 일례로 한다.
- [39] 일례로, 도 5 및 도 6을 참조하면, 제2 시트 준비 단계(S200)는 제2 그린 시트 준비 단계(S210), 제2 비아 홀 형성 단계(S220), 제2 비아 홀 충전 단계(S230) 및 제2 도체층 형성 단계(S240)를 포함한다.
- [40] 제2 그린 시트 준비 단계(S210)에서는 유전체 재질인 복수의 제2 그린 시트(210)를 준비한다. 제2 그린 시트 준비 단계(S210)에서는 제1 그린 시트(110)와 동일한 재질인 세라믹 그린 시트를 제2 그린 시트(210)로 준비하는 것을 일례로 한다.
- [41] 제2 비아 홀 형성 단계(S220)에서는 제2 그린 시트(210)에 제2 비아 홀(220)을 형성한다. 제2 비아 홀 형성 단계(S220)에서는 제2 그린 시트(210)의 중심점을 관통하는 제2 비아 홀(220)을 형성한다. 제2 비아 홀 형성 단계(S220)에서는 드릴

(drill) 가공을 통해 제2 그린 시트(210)의 중심점을 수직으로 관통하는 제2 비아 홀(220)을 형성한다.

- [42] 제2 비아 홀 충전 단계(S230)에서는 제2 그린 시트(210)에 금속화된 제2 비아 홀(230)을 형성한다. 제2 비아 홀 충전 단계(S230)에서는 제2 그린 시트(210)에 형성된 제2 비아 홀(220)을 도전체로 충전한다. 제2 비아 홀 충전 단계(S230)에서는 제2 그린 시트(210)에 형성된 제2 비아 홀(220)을 도전체로 충전하여 금속화된 제2 비아 홀(230)을 형성한다.
- [43] 제2 도체층 형성 단계(S240)에서는 소성 단계(S600)에서 금속화된 비아 홀들의 연결을 보조하는 제2 도체층(240)을 제2 그린 시트(210)의 상면에 형성한다. 제2 도체층 형성 단계(S240)에서는 제1 비아 홀(120) 및 제2 비아 홀(220)보다 넓은 면적을 갖는 제2 도체층(240)을 형성한다. 제2 도체층 형성 단계(S240)에서는 제2 그린 시트(210)에 형성된 금속화된 제2 비아 홀(230)과 중첩되도록 제2 도체층(240)을 형성한다. 제2 도체층 형성 단계(S240)에서는 제2 그린 시트(210)의 상면에 도체를 인쇄하여 제2 도체층(240)을 형성하는 것을 일례로 한다.
- [44] 도 7을 참조하면, 제2 시트 준비 단계(S200)에서는 제2 그린 시트(210) 상에 판상의 제2 도체층(240)이 형성되고, 제2 도체층(240)과 금속화된 제2 비아 홀(230)과 직접 연결된 제2 시트(200)를 준비한다.
- [45] 제3 시트 준비 단계(S300)에서는 보호층을 구성하는 제3 시트(300)를 준비한다. 제3 시트 준비 단계(S300)에서는 제1 시트(100)의 상면에 배치되어, 제1 시트(100)에 형성된 제1 도체층(140)(즉, 방사체)을 보호하는 제3 시트(300)를 준비한다.
- [46] 도 8을 참조하면, 제3 시트 준비 단계(S300)에서는 제1 그린 시트(110) 및 제2 그린 시트(210)와 동일한 판상의 세라믹 그린 시트를 제3 시트(300)로 준비하는 것을 일례로 한다.
- [47] 시트 적층 단계(S400)에서는 제1 시트(100), 복수의 제2 시트(200) 및 제3 시트(300)를 적층한다. 시트 적층 단계(S400)에서는 제1 시트(100)의 상면에 제3 시트(300)가 배치되고, 제1 시트(100)의 하면에 복수의 제2 시트(200)가 배치되도록 제1 시트(100), 복수의 제2 시트(200) 및 제3 시트(300)를 적층한다.
- [48] 일례로, 도 9를 참조하면, 시트 적층 단계(S400)에서는 제1 도체층(140)이 형성된 제1 시트(100)의 상면에 제3 시트(300)를 적층한다. 시트 적층 단계(S400)에서는 제1 시트(100)의 하면에 복수의 제2 시트(200)를 적층한다. 시트 적층 단계(S400)에서는 제1 시트(100)에 형성된 제1 비아 홀(120)과 복수의 제2 시트(200)에 각각 형성된 복수의 제2 비아 홀(220)이 수직으로 정렬되어 서로 중첩되도록 제1 시트(100) 및 복수의 제2 시트(200)를 적층한다.
- [49] 소성 단계(S500)에서는 제1 시트(100), 복수의 제1 시트(200) 및 제3 시트(300)가 적층된 적층체(400)를 소성한다. 소성 단계(S500)에서는 저온 소성 공정을 통해 적층체(400)를 소성한다. 이를 통해, 소성 단계(S500)에서는 세라믹 재질의 제

1 시트(100) 내지 제3 시트(300)를 저온 소성하여 저온 동시 소성 세라믹 칩 안테나(1000)를 제조하는 것을 일례로 한다.

- [50] 도 10을 참조하면, 제1 시트(100) 내지 제3 시트(300)는 상술한 칩 안테나 제조 방법을 통해 유전체 재질의 적층체(400)를 구성한다. 이때, 제1 도체층(140)은 적층체(400)의 내부에 배치되어 설정 주파수 대역에 공진하는 방사체를 구성하고, 금속화된 제1 비아 홀(130)과 금속화된 복수의 제2 비아 홀(220)은 소성 단계(S500)를 통해 연결되어 제1 도체층(140)을 급전하는 급전 라인(500)을 형성한다.
- [51] 제1 비아 홀(120) 및 복수의 제2 비아 홀(220)은 제1 시트(100) 및 복수의 제2 시트(200)를 적층하는 과정에서 정렬(Align)이 틀어질 수 있다. 제1 비아 홀(120) 및 제2 비아 홀(220)의 정렬이 틀어지면, 비아 홀 간의 연결 면적이 감소하여 급전 라인(500)의 급전 효율이 저하된다.
- [52] 이에, 제2 도체층(240)은 제1 비아 홀(120) 및 제2 비아 홀(220)보다 넓은 면적으로 형성되기 때문에 정렬이 일부 틀어지더라도 제1 비아 홀(120) 및 복수의 제2 비아 홀(220)이 접촉되는 면적을 일정 이상 유지할 수 있어 급전 라인(500)의 급전 효율이 저하되는 것을 방지한다.
- [53] 본 발명의 실시 예에 따른 칩 안테나 제조 방법에서는 드릴 가공으로 방사체의 급전 라인(500)을 형성하는 비아 홀들을 형성한다.
- [54] 도 11을 참조하면, 제1 비아 홀 형성 단계(S120) 및 제2 비아 홀 형성 단계(S220)에서는 드릴(Drill) 가공을 통해 그린 시트에 비아 홀을 형성한다. 드릴은 그린 시트의 상부에 배치되고, 회전하며 서서히 하강하여 그린 시트를 관통하는 비아 홀을 형성한다.
- [55] 제1 비아 홀 형성 단계(S120) 및 제2 비아 홀 형성 단계(S220)에서는 드릴(Drill) 가공을 통해 비아 홀을 형성하기 때문에, 테이퍼(Taper)가 없는 비아 홀을 형성할 수 있다.
- [56] 또한, 제1 비아 홀 형성 단계(S120) 및 제2 비아 홀 형성 단계(S220)에서는 드릴(Drill) 가공을 통해 비아 홀을 형성하기 때문에, 비아 홀의 진원도(眞圓度, out of roundness)를 최소화할 수 있어 상부 직경 및 하부 직경이 거의 동일한 비아 홀을 형성할 수 있다.
- [57] 이에, 본 발명의 실시 예에 따른 칩 안테나 제조 방법은 복수의 시트를 적층할 때 시트들의 정렬이 일부 틀어지더라도 비아 홀들이 연결되는 면적을 일정 이상 확보할 수 있어 급전 라인(500)의 급전 효율 저하를 방지할 수 있다.
- [58] 한편, 비아 홀을 형성하기 위해 주로 사용되는 가공 방법으로는 레이저 가공, 펀칭 가공 및 드릴 가공이 있다.
- [59] 도 12를 참조하면, 레이저 가공을 통해 형성된 비아 홀은 비아 홀의 진원도가 크기 때문에 상부 직경(R1) 및 하부 직경(R1')의 차이가 발생한다.
- [60] 펀칭 가공을 통해 형성된 비아 홀은 펀칭 과정에서 비아 홀의 상부 및/또는 하부에 테이퍼(Taper)가 형성되기 때문에 상부 직경(R2) 및 하부 직경(R2')의 차이가 발생한다.

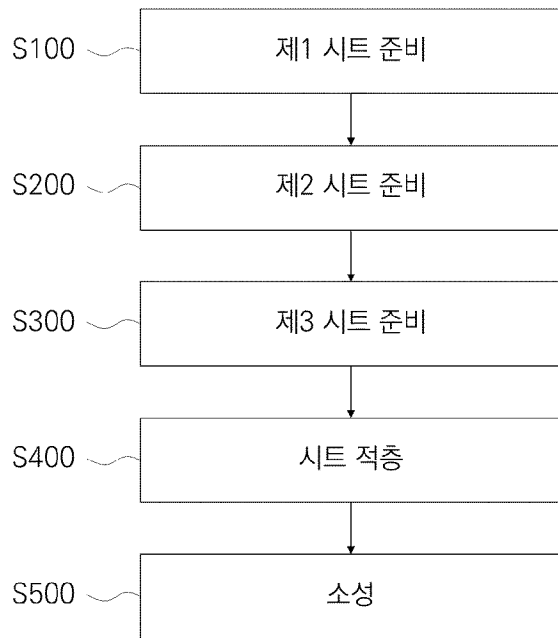
- [61] 이로 인해, 레이저 가공 또는 펀칭 가공을 통해 형성된 비아 홀을 통해 급전 라인(500)을 형성하면, 비아 홀들이 연결되는 면적을 일정 이상 확보할 수 없어 급전 라인(500)의 급전 효율이 저하된다.
- [62] 이에 반해, 드릴 가공을 통해 형성된 비아 홀은 진원도가 작기 때문에 상부 직경(R3) 및 하부 직경(R3')이 거의 동일하게 형성된다. 이에 본 발명의 실시 예에 따른 칩 안테나 제조 방법은 드릴 가공을 통해 그린 시트에 비아 홀을 형성한다.
- [63] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

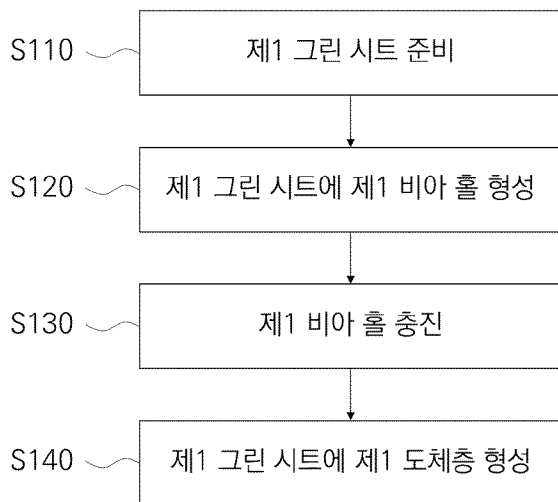
- [청구항 1] 금속화된 비아 홀과 연결된 방사체가 형성된 제1 시트를 준비하는 단계;
상기 방사체의 급전을 위한 금속화된 비아 홀이 형성된 제2 시트를 준비하는 단계;
상기 제1 시트 및 상기 제2 시트를 적층하는 단계; 및
상기 제1 시트 및 상기 제2 시트가 적층된 적층체를 소성하는 단계를 포함하고,
상기 제1 시트를 준비하는 단계 및 상기 제2 시트를 준비하는 단계에서는 드릴 가공을 통해 상기 제1 시트 및 상기 제2 시트에 비아 홀을 형성하는 칩 안테나 제조 방법.
- [청구항 2] 제1항에 있어서,
상기 제1 시트를 준비하는 단계는,
유전체 재질의 제1 그린 시트를 준비하는 단계;
드릴 가공을 통해 상기 제1 그린 시트에 제1 비아 홀을 형성하는 단계;
상기 제1 비아 홀에 도체를 충전하여 금속화된 제1 비아 홀을 형성하는 단계; 및
상기 제1 그린 시트의 상면에 상기 방사체인 제1 도체층을 형성하는 단계를 포함하는 칩 안테나 제조 방법.
- [청구항 3] 제2항에 있어서,
상기 제1 비아 홀을 형성하는 단계에서는 드릴 가공을 통해 상기 제1 그린 시트의 중심점을 관통하는 제1 비아 홀을 형성하는 칩 안테나 제조 방법.
- [청구항 4] 제2항에 있어서,
상기 제1 도체층을 형성하는 단계에서는 상기 금속화된 제1 비아 홀과 중첩되도록 상기 제1 도체층을 형성하는 칩 안테나 제조 방법.
- [청구항 5] 제1항에 있어서,
상기 제2 시트를 준비하는 단계는,
유전체 재질의 제2 그린 시트를 준비하는 단계;
드릴 가공을 통해 상기 제2 그린 시트에 제2 비아 홀을 형성하는 단계;
상기 제2 비아 홀에 도체를 충전하여 금속화된 제2 비아 홀을 형성하는 단계; 및
상기 제2 그린 시트의 상면에 제2 도체층을 형성하는 단계를 포함하는 칩 안테나 제조 방법.
- [청구항 6] 제5항에 있어서,
상기 제2 그린 시트를 준비하는 단계에서 준비한 상기 제2 그린 시트는 상기 제1 시트의 제1 그린 시트와 동일한 유전체 재질인 칩 안테나 제조 방법.
- [청구항 7] 제6항에 있어서,

- 상기 제2 비아 홀을 형성하는 단계에서는 드릴 가공을 통해 상기 제2 그린 시트의 중심점을 관통하는 제2 비아 홀을 형성하는 칩 안테나 제조 방법.
- [청구항 8] 제6항에 있어서,
상기 제2 도체층을 형성하는 단계에서는 상기 금속화된 제2 비아 홀과 중첩되도록 상기 제2 도체층을 형성하는 칩 안테나 제조 방법.
- [청구항 9] 제1항에 있어서,
상기 적층하는 단계에서는,
상기 제1 시트의 하부에 복수의 제2 시트를 적층하되, 상기 제1 시트의 금속화된 비아 홀과 상기 복수의 제2 시트의 금속화된 비아 홀이 중첩되도록 적층하여 복수의 금속화된 비아 홀들이 연결된 상기 방사체의 급전 라인을 형성하는 칩 안테나 제조 방법.
- [청구항 10] 제1항에 있어서,
상기 적층하는 단계 이전에 유전체 재질의 제3 시트를 준비하는 단계를 더 포함하고,
상기 적층하는 단계에서는 상기 방사체가 형성된 상기 제1 시트의 상부에 상기 제3 시트를 적층하는 칩 안테나 제조 방법.
- [청구항 11] 제1항에 있어서,
상기 금속화된 비아 홀은 오차 범위 내에서 동일한 상부 직경 및 하부 직경을 갖는 칩 안테나 제조 방법.

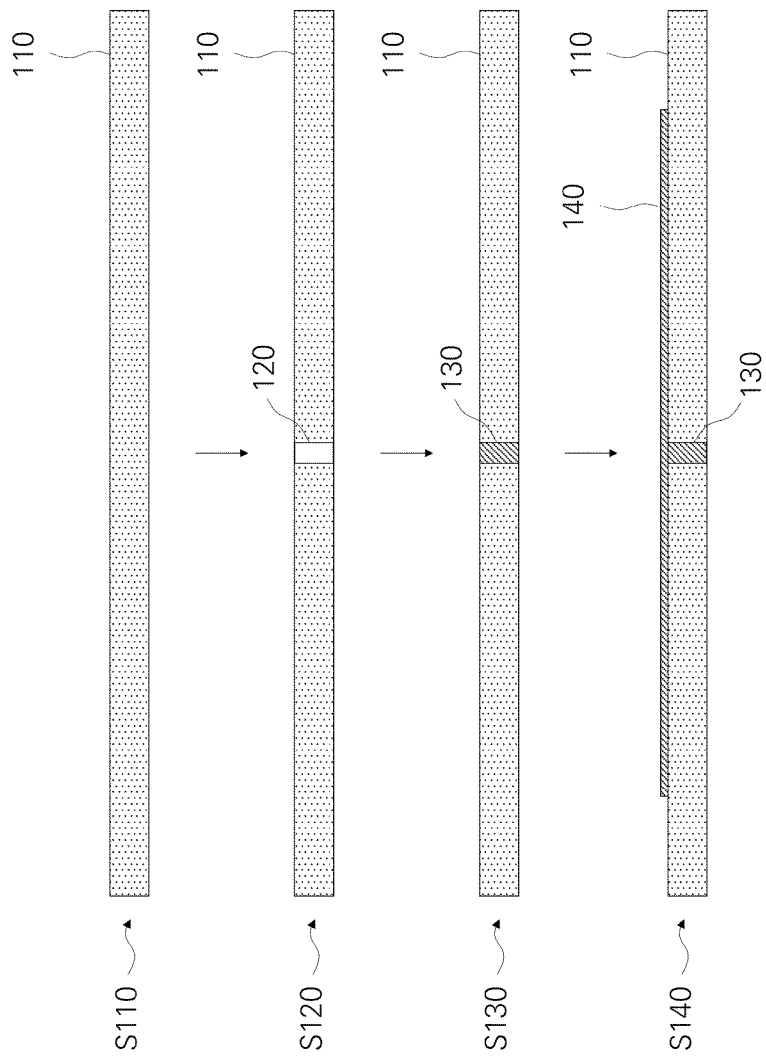
[도1]



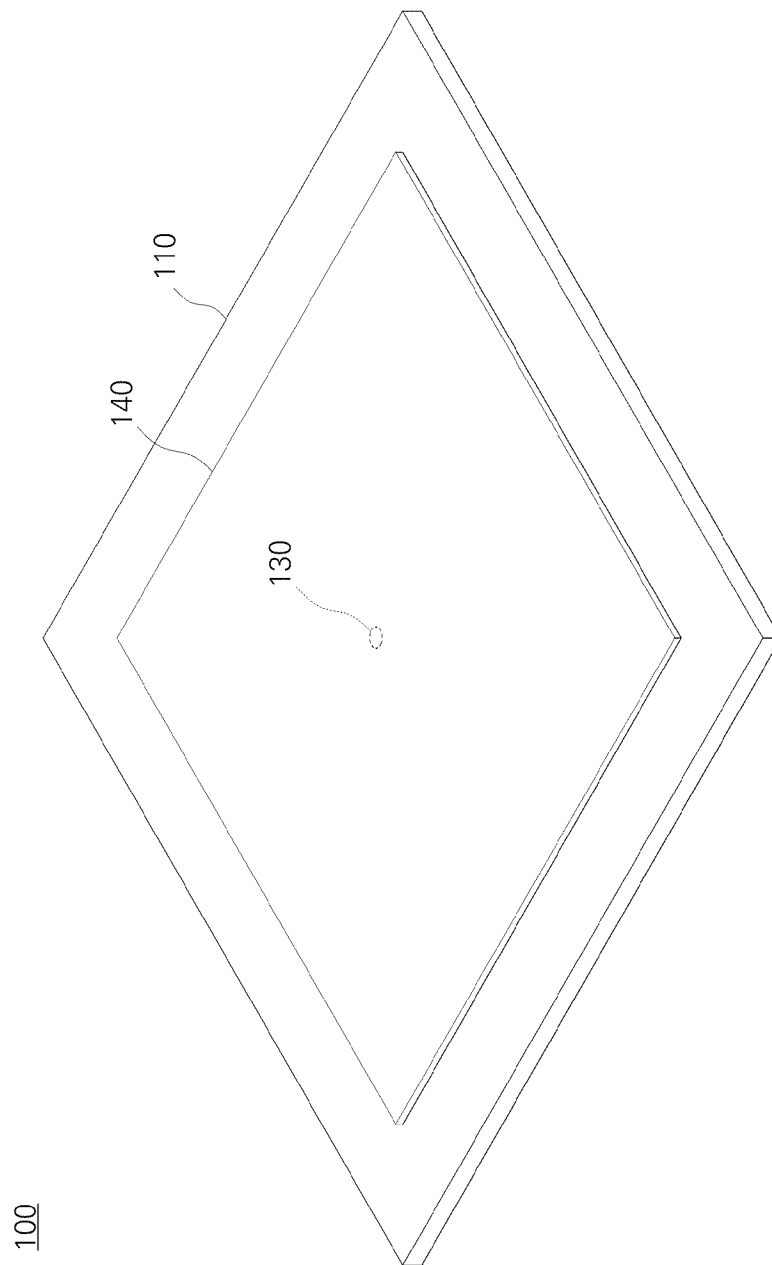
[도2]



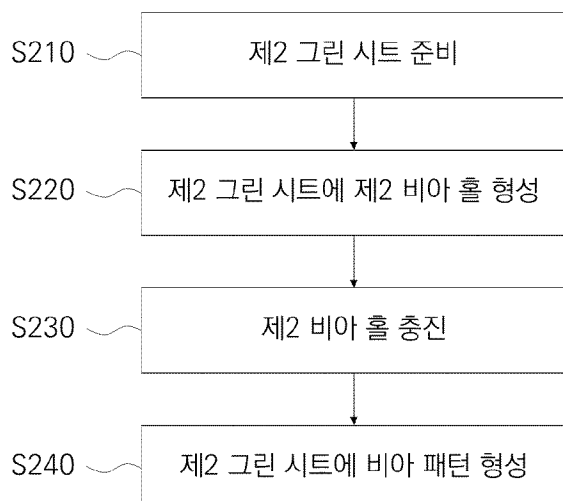
[도3]



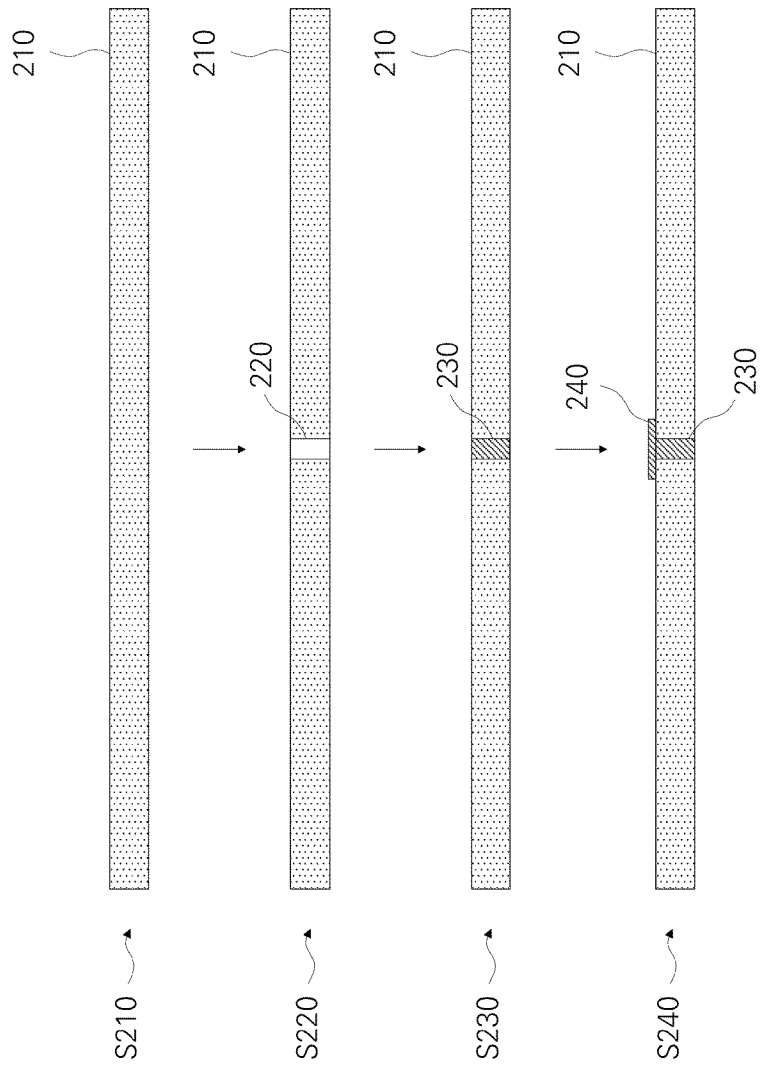
[도4]



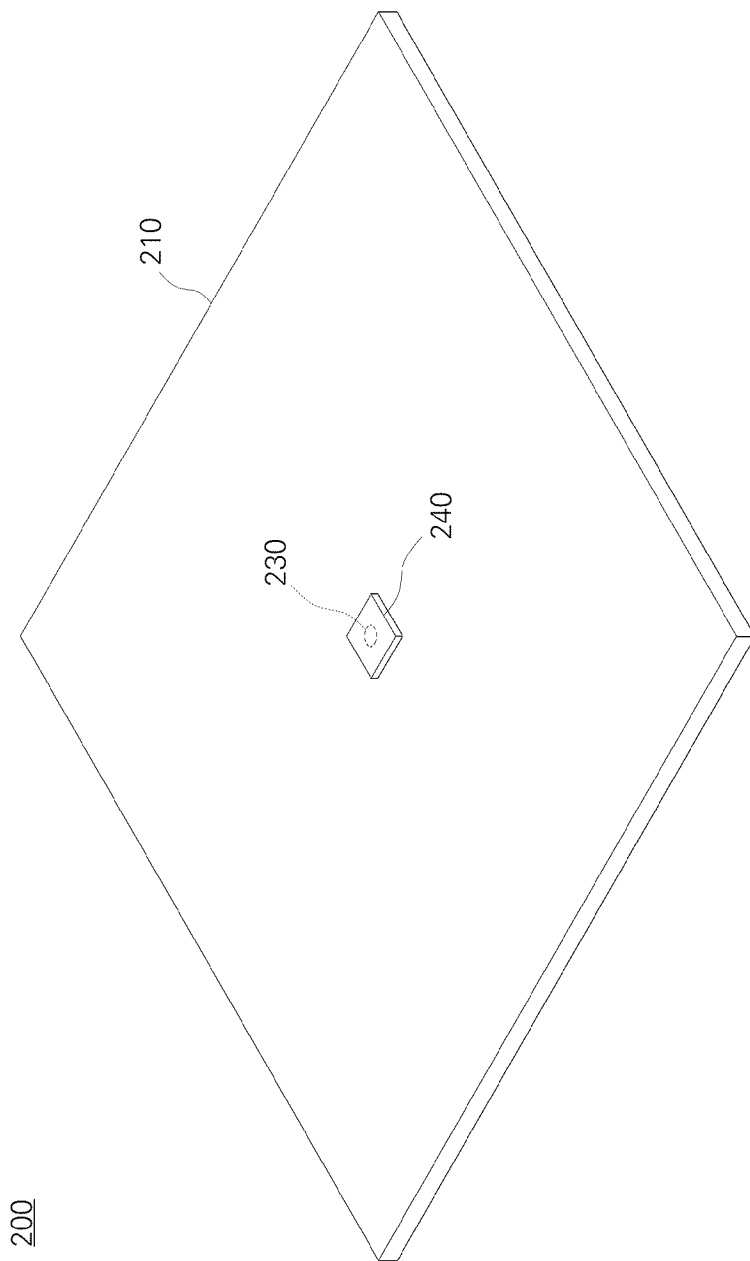
[도5]



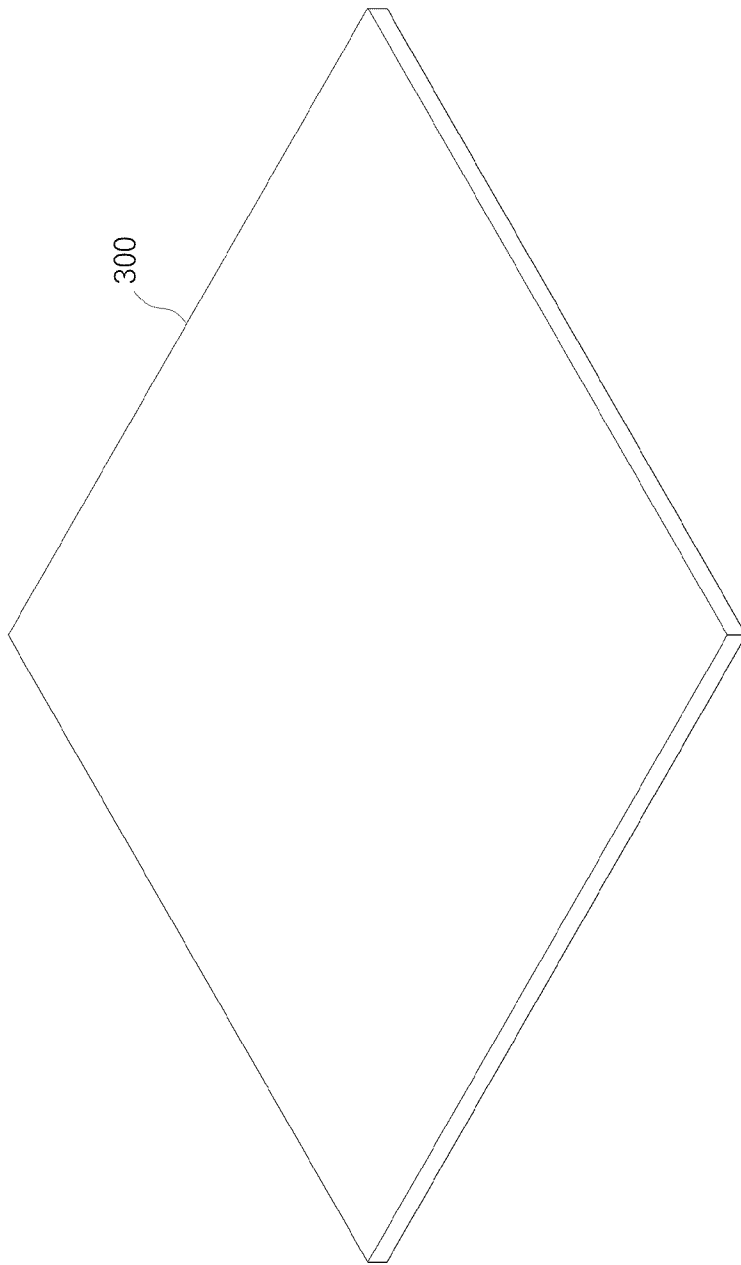
[도6]



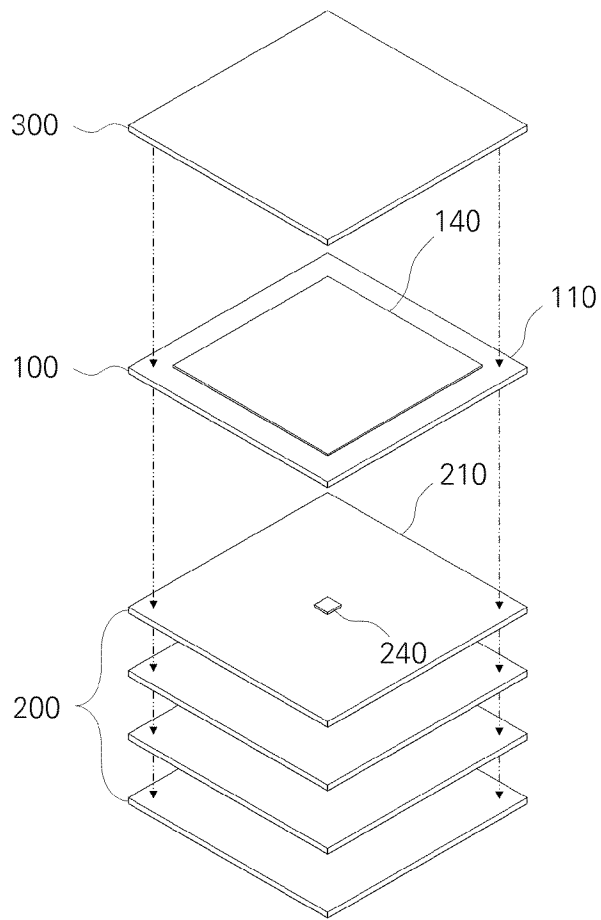
[도7]



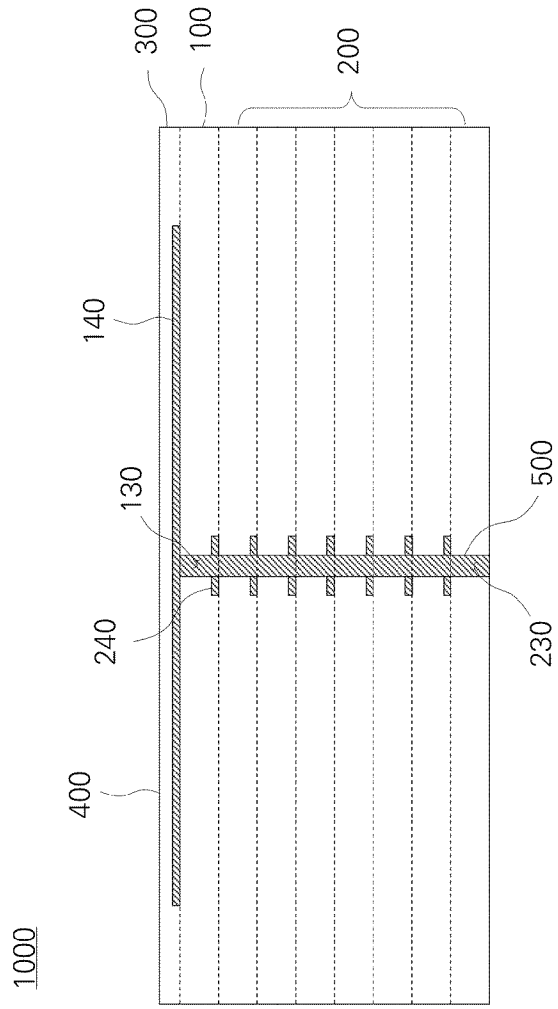
[도8]



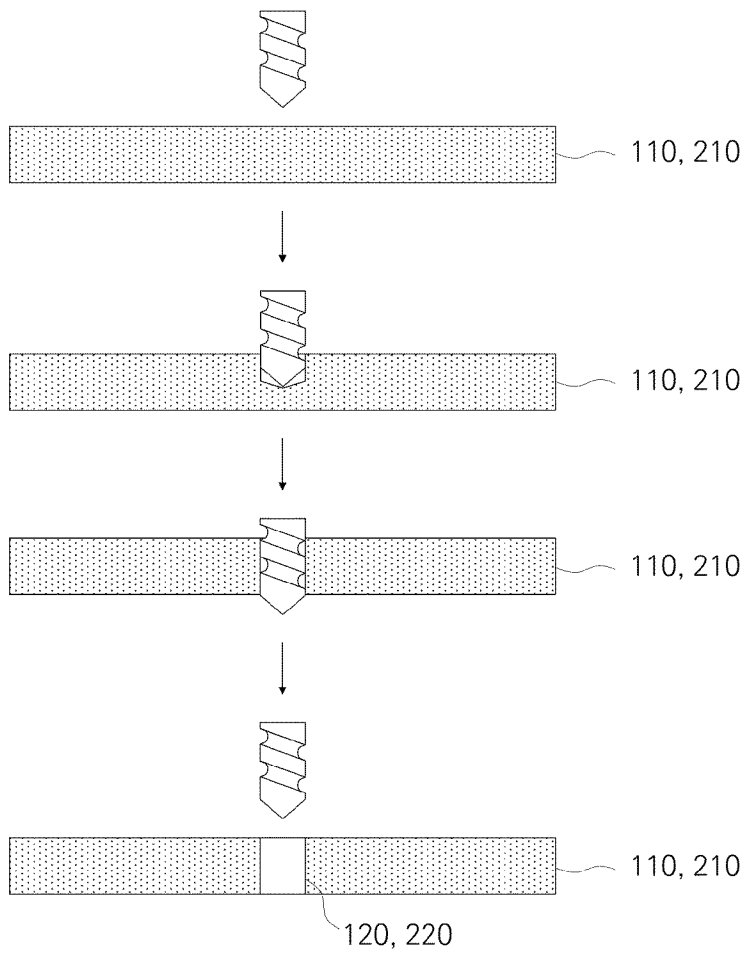
[도9]



[도 10]



[도11]



[도12]

가공 방법	단면
레이저 가공	
편칭 가공	
드릴 가공	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/018364

A. CLASSIFICATION OF SUBJECT MATTER**H01Q 1/22(2006.01)i; H01Q 1/38(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01Q 1/22(2006.01); G01S 1/40(2006.01); H01P 5/107(2006.01); H01Q 1/24(2006.01); H01Q 1/38(2006.01);
H01Q 13/22(2006.01); H01Q 5/30(2015.01); H05K 1/02(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 칩 안테나(chip antenna), 시트(sheet), 드릴 가공(drilling), 비아 홀(via-hole), 적층 (laminate)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-151467 A (HIRAI SEIMITSU KOGYO CORP.) 09 August 2012 (2012-08-09) See paragraphs [0018]-[0034], claim 5 and figures 2 and 14.	1-11
A	KR 10-0841236 B1 (SAMWOO E.P.C. CO., LTD.) 25 June 2008 (2008-06-25) See claim 1 and figure 2a.	1-11
A	WO 2010-114079 A1 (KYOCERA CORPORATION) 07 October 2010 (2010-10-07) See paragraphs [0012]-[0018] and figures 3A and 3B.	1-11
A	KR 10-2023-0147998 A (AMOTECH CO., LTD.) 24 October 2023 (2023-10-24) See paragraphs [0085]-[0109] and figures 13-23.	1-11
A	US 2003-0000079 A1 (HARADA, Hideyuki et al.) 02 January 2003 (2003-01-02) See paragraphs [0030]-[0056].	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 February 2025

Date of mailing of the international search report

26 February 2025

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/018364

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2012-151467	A	09 August 2012	None			
KR	10-0841236	B1	25 June 2008	None			
WO	2010-114079	A1	07 October 2010	DE	112010001453	B4	22 June 2017
				DE	112010001453	T5	14 June 2012
				JP	5369174	B2	18 December 2013
				KR	10-1316657	B1	10 October 2013
				KR	10-2011-0120361	A	03 November 2011
				US	2012-0013499	A1	19 January 2012
				US	8760342	B2	24 June 2014
				WO	2010-114079	A1	11 October 2012
KR	10-2023-0147998	A	24 October 2023	KR	10-2716657	B1	15 October 2024
				WO	2023-200202	A1	19 October 2023
US	2003-0000079	A1	02 January 2003	CN	1242661	C	15 February 2006
				CN	1395464	A	05 February 2003
				JP	2003-017851	A	17 January 2003
				KR	10-0451949	B1	08 October 2004
				KR	10-2003-0003072	A	09 January 2003
				US	6938332	B2	06 September 2005

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01Q 1/22(2006.01)i; H01Q 1/38(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01Q 1/22(2006.01); G01S 1/40(2006.01); H01P 5/107(2006.01); H01Q 1/24(2006.01); H01Q 1/38(2006.01);
H01Q 13/22(2006.01); H01Q 5/30(2015.01); H05K 1/02(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 칩 안테나(chip antenna), 시트(sheet), 드릴 가공(drilling), 비아 홀(via-hole), 적층(laminate)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2012-151467 A (HIRAI SEIMITSU KOGYO CORP.) 2012.08.09 단락 [0018]-[0034], 청구항 5 및 도면 2, 14	1-11
A	KR 10-0841236 B1 ((주)삼우이피씨) 2008.06.25 청구항 1 및 도면 2a	1-11
A	WO 2010-114079 A1 (KYOCERA CORPORATION) 2010.10.07 단락 [0012]-[0018] 및 도면 3A, 3B	1-11
A	KR 10-2023-0147998 A (주식회사 아모텍) 2023.10.24 단락 [0085]-[0109] 및 도면 13-23	1-11
A	US 2003-0000079 A1 (HIDEYUKI HARADA 등) 2003.01.02 단락 [0030]-[0056]	1-11



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2025년02월26일(26.02.2025)

국제조사보고서 발송일

2025년02월26일(26.02.2025)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2012-151467 A	2012/08/09	없음	
KR 10-0841236 B1	2008/06/25	없음	
WO 2010-114079 A1	2010/10/07	DE 112010001453 B4	2017/06/22
		DE 112010001453 T5	2012/06/14
		JP 5369174 B2	2013/12/18
		KR 10-1316657 B1	2013/10/10
		KR 10-2011-0120361 A	2011/11/03
		US 2012-0013499 A1	2012/01/19
		US 8760342 B2	2014/06/24
		WO 2010-114079 A1	2012/10/11
KR 10-2023-0147998 A	2023/10/24	KR 10-2716657 B1	2024/10/15
		WO 2023-200202 A1	2023/10/19
US 2003-0000079 A1	2003/01/02	CN 1242661 C	2006/02/15
		CN 1395464 A	2003/02/05
		JP 2003-017851 A	2003/01/17
		KR 10-0451949 B1	2004/10/08
		KR 10-2003-0003072 A	2003/01/09
		US 6938332 B2	2005/09/06