



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I503645 B

(45)公告日：中華民國 104 (2015) 年 10 月 11 日

(21)申請案號：103116198

(22)申請日：中華民國 103 (2014) 年 05 月 07 日

(51)Int. Cl. : G05F1/46 (2006.01)

G06F1/32 (2006.01)

(71)申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市新竹科學工業園區研新三路 4 號

(72)發明人：洪明哲 HUNG, MING CHE (TW)；盧巧玲 LU, CIAO LING (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 198508

TW M460457

TW 200928650A

TW 201032037A

TW 201327085A

CN 101510730A

審查人員：曾錦豐

申請專利範圍項數：13 項 圖式數：7 共 32 頁

(54)名稱

電壓調節器、方法與晶片

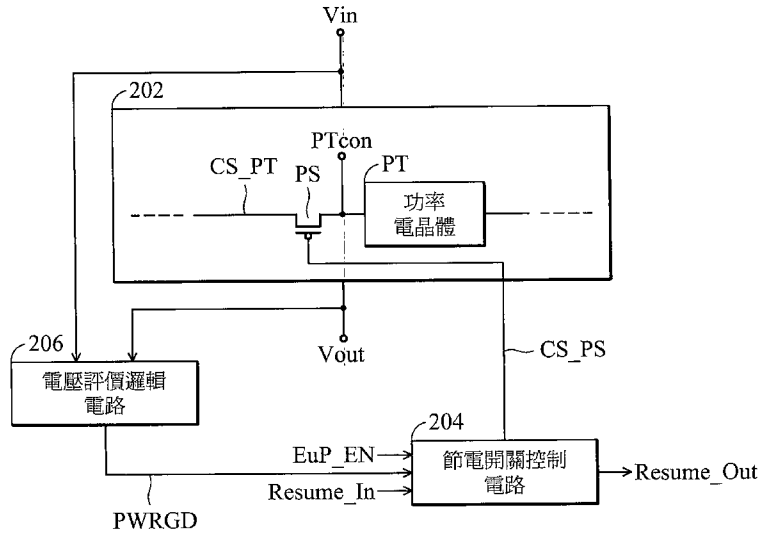
VOLTAGE REGULATOR AND VOLTAGE REGULATING METHOD AND CHIP USING THE SAME

(57)摘要

所揭露之電壓調節器係於其中功率電晶體之控制端作通路、斷路控制。電壓調節器之功率電晶體係用於驅動一第一電壓至一第二電壓的轉換。所揭露之電壓調節器係設置一節電開關耦接該功率電晶體之該控制端、且更包含一節電開關控制電路控制該節電開關。該節電開關於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開。

A voltage regulator with a control-path on-and-off control for the control terminal of the power transistor of the voltage regulator. The power transistor of the voltage regulator drives the conversion from a first voltage to a second voltage. The disclosed voltage regulator provides a power-saving switch at the control terminal of the power transistor, and includes a power-saving control circuit controlling the power-saving switch. When the power-saving switch is closed, the control signal for the power transistor is conveyed into the control terminal of the power transistor. When the power-saving switch is open, the connection between the control signal for the power transistor and the control terminal of the power transistor is broken.

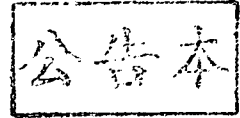
200



第 2 圖

- 200 . . . 電壓調節器
- 202 . . . 電壓調節基礎結構
- 204 . . . 節電開關控制電路
- 206 . . . 電壓評價邏輯電路
- CS_PS . . . 節電開關 PS 之控制信號
- CS_PT . . . 功率電晶體 PT 之控制信號
- EuP_EN . . . 節電致能信號
- PS . . . 節電開關
- PT . . . 功率電晶體
- PT_con . . . 功率電晶體 PT 之控制端
- PWRGD . . . 電源狀況指標
- Resume_In、Resume_Out . . . 喚醒輸入信號、喚醒輸出信號
- Vin、Vout . . . 第一電壓、第二電壓

發明摘要



※ 申請案號： 103116198

※ 申請日： 103. 5. 07

※IPC 分類：

G05F 1/46 (2006.01)

G06F 1/32 (2006.01)

【發明名稱】 電壓調節器、方法與晶片Voltage Regulator and Voltage Regulating Method
and Chip using the same**【中文】**

● 所揭露之電壓調節器係於其中功率電晶體之控制端作通路、斷路控制。電壓調節器之功率電晶體係用於驅動一第一電壓至一第二電壓的轉換。所揭露之電壓調節器係設置一節電開關耦接該功率電晶體之該控制端、且更包含一節電開關控制電路控制該節電開關。該節電開關於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開。

【英文】

● A voltage regulator with a control-path on-and-off control for the control terminal of the power transistor of the voltage regulator. The power transistor of the voltage regulator drives the conversion from a first voltage to a second voltage. The disclosed voltage regulator provides a power-saving switch at the control terminal of the power transistor, and includes a power-saving control circuit controlling the power-saving

switch. When the power-saving switch is closed, the control signal for the power transistor is conveyed into the control terminal of the power transistor. When the power-saving switch is open, the connection between the control signal for the power transistor and the control terminal of the power transistor is broken.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

200~電壓調節器；

202~電壓調節基礎結構；

204~節電開關控制電路；

206~電壓評價邏輯電路；

CS_PS~節電開關PS之控制信號；

CS_PT~功率電晶體PT之控制信號；

EuP_EN~節電致能信號；

PS~節電開關；

PT~功率電晶體；

PT_con~功率電晶體PT之控制端；

PWRGD~電源狀況指標；

Resume_In、Resume_Out~喚醒輸入信號、喚醒輸出信號；

Vin、Vout~第一電壓、第二電壓。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無。

發明專利說明書

【發明名稱】 電壓調節器、方法與晶片

Voltage Regulator and Voltage Regulating Method
and Chip using the same

【技術領域】

【0001】 本發明係有關於一種電壓調節器，特別有關於具有節電設計的電壓調節器。

【先前技術】

【0002】 第1圖圖解傳統的一種電壓調節器100之節電設計。如圖所示，電壓調節器100係安裝於一電路板102上，接收一電源供應器104所供應的一第一電壓 V_{in} ，並將該第一電壓 V_{in} 轉換為一第二電壓 V_{out} ，作為電路板102上所安裝之模塊(如晶片、或電路)106_1...106_4的電力來源。傳統技術係在電壓調節器100之後設置一節電開關108，由控制信號110控制，以於電路板有節電需求時，斷開第二電壓 V_{out} 對模塊106_1...106_4之供電，以達成節電。

【0003】 然而，第1圖之電壓調節器100本身在模塊106_1...106_4節電時事實上還是持續供電，消耗相當大的能量。

【發明內容】

【0004】 本說明書揭露一種電壓調節器，係於其中功率電晶體之控制端作通路、斷路控制，以改善節電效能。

【0005】 根據本發明一種實施方式所實施的一電壓調節器包括一功率電晶體、一節電開關以及一節電開關控制電路。該

功率電晶體係用於驅動一第一電壓至一第二電壓的轉換並具有一控制端。該節電開關耦接該功率電晶體之該控制端，在該節電開關控制電路控制下導通或斷路。該節電開關於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開。

【0006】 在一種實施方式中，該節電開關控制電路係於該第二電壓所供電的模塊遭切換為待機時切換該節電開關至不導通。所述電壓調節器可更具一電壓評價邏輯電路，根據該第一電壓以及該第二電壓輸出一電源狀況指標標示該第二電壓可靠與否。該節電開關控制電路可更接收該電源狀況指標，在該電源狀況指標標示該第二電壓可靠時，應允該第二電壓供電之模塊自待機喚醒。

【0007】 本發明更有一種實施方式為電壓調節方法，係於一電壓調節器提供一節電開關，耦接該電壓調節器中一功率電晶體的一控制端。該功率電晶體係根據該控制端之狀況驅動一第一電壓至一第二電壓的轉換。該節電開關係於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開。所述方法於該第二電壓所供電的模塊遭切換為待機時，切換該節電開關至不導通。

【0008】 根據本發明一種實施方式所實施的一晶片包括一功率電晶體、一節電開關、一節電開關控制電路、一第一接腳、一第二接腳、一第三接腳以及一第四接腳。該功率電晶體係用

於驅動一第一電壓至一第二電壓的轉換並具有一控制端。該節電開關耦接該功率電晶體之該控制端，在該節電開關控制電路控制下導通或斷路。該節電開關於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開。第一接腳耦接該第一電壓。第二接腳則輸出該第二電壓。第三接腳則耦接一地端電位。第四接腳則接收一回授電壓。該晶片所接收的回授電壓係用來調節功率電晶體之控制信號。

● **【0009】** 下文特舉實施例，並配合所附圖示，詳細說明本發明內容。

【圖式簡單說明】

【0010】

第1圖圖解傳統的一種電壓調節器100之節電設計；

第2圖根據本發明一種實施方式圖解一電壓調節器200；

第3圖根據本發明一種實施方式圖解一電壓調節器300，其中基於線性穩壓器(LDO Regulator)之設計實現電壓調節基礎結構(對應第2圖方塊202)；

第4A、4B與4C圖用於討論節電開關控制電路204，係有關於主機板上晶片組(chip set)之供電；

第5A、5B與5C圖用於討論該電壓評價邏輯電路206；

第6A…6D圖圖解電壓調節器300除了完整以一晶片實現，更可如何變形；

第7圖根據本發明一種實施方式圖解一電壓調節器700，其中基於脈衝控制穩壓器(Switching voltage Regulator)之設

計實現電壓調節基礎結構(對應第2圖方塊202)。

【實施方式】

【0011】 以下敘述列舉本發明的多種實施例。以下敘述介紹本發明的基本概念，且並非意圖限制本發明內容。實際發明範圍應依照申請專利範圍界定之。

【0012】 第2圖根據本發明一種實施方式圖解一電壓調節器200，其中將一第一電壓 V_{in} 轉換為第二電壓 V_{out} 的電壓調節基礎結構202可基於線性形式(如LDO Regulator)或脈衝控制形式(Switching voltage Regulator)或其他形式實現。電壓調節基礎結構202係採用一功率電晶體(power transistor)PT驅動第一電壓 V_{in} 至一第二電壓 V_{out} 的轉換。本案所揭露之電壓調節器200係在功率電晶體PT之控制端PTcon耦接一節電開關PS，並包含一節電開關控制電路204以控制信號CS_PS控制該節電開關PS。該節電開關PS於導通時將該功率電晶體PT之控制信號CS_PT接入該功率電晶體PT之該控制端PTcon，並於不導通時使該功率電晶體PT之控制信號CS_PT自該功率電晶體PT之該控制端PTcon斷開。

【0013】 在第2圖所示實施方式中，該節電開關控制電路204包括根據一節電致能信號EuP_EN運作。該節電致能信號EuP_EN係於該第二電壓 V_{out} 所供電之模塊遭切換為待機時(如，進入計算機系統所定義之S5狀態)切換為致能狀態。根據該節電致能信號EuP_EN被致能，該節電開關控制電路204於該第二電壓 V_{out} 所供電的模塊遭切換為待機時切換該節電開關PS至不導通。

【0014】 此外，第2圖所述之電壓調節器200更具一電壓評價邏輯電路206，根據該第一電壓 V_{in} 以及該第二電壓 V_{out} 輸出一電源狀況指標PWRGD標示該第二電壓 V_{out} 可靠與否。該節電開關控制電路204可更耦接一喚醒輸入信號Resume_In並接收該電源狀況指標PWRGD。在該喚醒輸入信號Resume_In致動後，若該電源狀況指標PWRGD標示該第二電壓 V_{out} 可靠，該節電開關控制電路204以一喚醒輸出信號Resume_Out將該第二電壓 V_{out} 供電之模塊自待機喚醒。

【0015】 第3圖根據本發明一種實施方式圖解一電壓調節器300，其中基於線性穩壓器(LDO Regulator)之設計實現電壓調節基礎結構(對應第2圖方塊202)。如圖所示，一參考電壓 V_{ref} 基於一帶隙(bandgap)電壓產生器302而產生，與第二電壓 V_{out} 之回授電壓 V_{fb} 一併交由比較器304作比較，以產生該功率電晶體PT之控制信號CS_PT，經該節電開關PS傳遞給功率電晶體PT，決定功率電晶體PT的導通通道，因而調節該第二電壓 V_{out} 之準位。在此實施例中，上述回授電壓 V_{fb} 是經由兩電阻R分壓而產生，然而本發明不限定於此種回授方式。在一可能實施例中，可採用其他回授方式用以產生上述回授電壓 V_{fb} 。

【0016】 參考第3圖所示之節電開關控制電路204，其中包括一內部下拉阻抗306、一計時器308以及一CS_PS產生邏輯電路310。

【0017】 內部下拉阻抗306耦接於該節電開關控制電路204對該節電致能信號EuP_EN的一接收端，避免該接收端之電位因未知第三態(tri-state)而浮動。計時器308則用於計數該節電

致能信號 EuP_EN 是否持續致能一時間量。 CS_PS 產生邏輯電路 310 於該節電致能信號 EuP_EN 持續致能該時間量時確認節電需求，切換該節電開關 PS 之控制信號 CS_PS 的狀態，使該節電開關 PS 不導通，第二電壓 V_{out} 不供電。在一實施例中，上述該節電開關控制電路 204 之計時器 308 所計時的時間量可被設定為 0 秒。

【0018】 關於第二電壓 V_{out} 之重新供電， CS_PS 產生邏輯電路 310 係基於喚醒輸入信號 $Resume_In$ 所指示的一喚醒事件 (wake-up event) 切換該節電開關 PS 之控制信號 CS_PS 的狀態，使該節電開關 PS 導通。此時控制信號 CS_PT 經由該節電開關 PS 傳遞給功率電晶體 PT ，繼而導通功率電晶體 PT ，因而提升第二電壓 V_{out} 。 CS_PS 產生邏輯電路 310 進一步考量第二電壓 V_{out} 之可靠度，於該電源狀況指標 $PWRGD$ 標示該第二電壓 V_{out} 可靠時切換該喚醒輸出信號 $Resume_Out$ (用以喚醒後端模塊) 之狀態，使第二電壓 V_{out} 所供電之模塊自待機喚醒。

【0019】 參考第 3 圖所示之電壓評價邏輯電路 206，其中包括比較器 312 與 314、計時器 316 以及 $PWRGD$ 產生邏輯電路 318。

【0020】 比較器 312 將第一電壓 V_{in} 經分壓器分壓後的電壓 $VC1$ 與參考電壓 V_{ref} 比較，用以判斷該第一電壓 V_{in} 是否低於該第一電壓 V_{in} 之低標。 $PWRGD$ 產生邏輯電路 318 於比較器 312 顯示該第一電壓 V_{in} 低於該第一電壓 V_{in} 之低標時即刻以該電源狀況指標 $PWRGD$ 標示該第二電壓 V_{out} 不可靠，以避免後端電路在不可靠電源操作下動作。

【0021】 比較器314將第二電壓Vout經分壓器分壓後的電壓VC2與參考電壓Vref比較，用以判斷該第二電壓Vout是否超出該第二電壓Vout之低標。計時器316耦接比較器314之輸出端，計數該第二電壓Vout是否超出該第二電壓Vout之低標長達一時間量。PWRGD產生邏輯電路318於比較器314顯示該第二電壓Vout高於該第二電壓Vout之低標長達該時間量後以該電源狀況指標PWRGD標示該第二電壓Vout可靠，如此便可保證後端電路將在一可靠電源操作下進行運作。

【0022】 PWRGD產生邏輯電路318更不透過計時器316而耦接該比較器314，於比較器314顯示該第二電壓Vout下拉至低於該第二電壓Vout之低標時即刻以該電源狀況指標PWRGD標示該第二電壓Vout不可靠，以避免後端電路在不可靠電源操作下動作。

【0023】 第4A、4B與4C圖用於討論節電開關控制電路204，係有關於主機板上晶片組(chipset)之供電。請同時參考第2圖以及第3圖。

【0024】 參考第4A圖，晶片組SLP_S5#信號隨系統由工作模式(S0狀態)切換至待機模式(S5狀態)而自高準位切換為低準位，節電致能信號EuP_EN隨之變動。在一實施例中，節電致能信號EuP_EN耦接至晶片組SLP_S5#信號。一般而言，當晶片組SLP_S5#信號為高位準時，系統處於工作模式(S0狀態)，此時節電致能信號EuP_EN為不致能狀態。當晶片組SLP_S5#信號為低位準時，系統處於待機模式(S5狀態)，此時節電致能信號EuP_EN為致能狀態。一旦節電致能信號EuP_EN維持低準位達

10秒(此數值可視系統需求設定，在一實施例中，此數值可被設定為0秒)，節電開關PS之控制信號CS_PS切換狀態，使節電開關PS斷路，功率電晶體PT繼而不導通，第二電壓Vout下拉，耗能銳減，系統始進入節電模式。在一實施例中，節電模式是符合歐盟能效要求(Energy Using Product/Energy Related Product, 簡稱EuP/ErP)的相關規範，也就是說，在節電模式下，整個系統(包含電源供應器)在待機模式下的功耗不得超過0.5瓦特以及整個系統(不包含電源供應器)在待機模式下的功耗不得超過0.25瓦特。在一實施例中，節電模式下的系統功耗係低於待機模式(S5狀態)下的的系統功耗。

【0025】 參考第4B圖，一喚醒事件發生，使系統與主機板上晶片組由「節電模式」回到「待機模式(S5狀態)」。該喚醒輸入信號Resume_In反應喚醒事件。按壓確認後(de-bounce)，節電開關PS之控制信號CS_PS切換狀態，節電開關PS導通，功率電晶體PT繼而導通，第二電壓Vout提升。第二電壓Vout穩定供應達150毫秒(此數值可視系統需求設定)後，電源狀況指標PWRGD標示第二電壓Vout可靠。接著，該喚醒輸出信號Resume_Out可設定於20毫秒(此數值可視系統需求設定)後致動，晶片組SLP_S5#信號將隨之稍後切換，使主機板上晶片組由「待機模式(S5狀態)」切換至「工作模式(S0狀態)」。

【0026】 第4C圖以流程圖討論節電開關控制電路204之操作。回應該節電致能信號EuP_EN所反應的節電需求，步驟S402判斷該節電致能信號EuP_EN是否維持其致動準位達一預定時間，例如10秒。若不達10秒，則結束流程。若滿足10秒低標，

則切換該控制信號 CS_PS 的狀態，使節電開關 PS 斷路，繼而功率電晶體 PT 不導通，第二電壓 Vout 下拉 (步驟 S404)。接著，監控該喚醒輸入信號 Resume_In 以偵測有無喚醒事件發生 (步驟 S406)。若沒有發生喚醒事件，則繼續進行步驟 S406。若發生喚醒事件，則切換該控制信號 CS_PS 之狀態，使節電開關 PS 導通，繼而使功率電晶體 PT 導通，第二電壓 Vout 提升 (步驟 S408)。接著，監控第二電壓 Vout 是否維持穩定達一預定時間，例如 150 毫秒 (步驟 S410)。若否，則繼續進行步驟 S410。一旦確認第二電壓 Vout 維持穩定長達 150 毫秒，則令電源狀況指標 PWRGD 標示第二電壓 Vout 可靠並靜待一預定時間，例如 20 毫秒 (步驟 S412)，並於 20 毫秒後，以該喚醒輸出信號 Resume_Out 喚醒第二電壓 Vout 所供電的後方模塊 (步驟 S414)。

【0027】 第 5A、5B 與 5C 圖用於討論該電壓評價邏輯電路 206。請同時參考第 2 圖以及第 3 圖。

【0028】 參考第 5A 圖，第一電壓 Vin 給電，第二電壓 Vout 隨之提升。一旦第二電壓 Vout 達其低標 Vout_LT 達 150 毫秒 (此數值可視系統需求設定)，電源狀況指標 PWRGD 轉態，標示該第二電壓 Vout 可靠。

【0029】 參考第 5B 圖，一旦第一電壓 Vin 突然掉電至低於其低標 Vin_LT，則電源狀況指標 PWRGD 即刻轉態以標示該第二電壓 Vout 不可靠，而無須等待第二電壓 Vout。在其他突發事件中，即使第一電壓 Vin 無異常但第二電壓 Vout 突發掉電使第二電壓 Vout 低於低標 Vout_LT，電源狀況指標 PWRGD 也會即刻轉態標示該第二電壓 Vout 不可靠。

【0030】 第5C圖以流程圖討論該電壓評價邏輯電路206之操作。當第二電壓 V_{out} 提升至低標且維持穩定達一預定時間，例如150毫秒，則令電源狀況指標PWRGD標示該第二電壓 V_{out} 為優良(GOOD)(步驟S502)。接著，監控第一電壓 V_{in} 與第二電壓 V_{out} (步驟S504)。若第一電壓 V_{in} 突發掉電，則令電源狀況指標PWRGD標示該第二電壓 V_{out} 為不良(步驟S506)。若第二電壓 V_{out} 突發掉電，則令電源狀況指標PWRGD標示該第二電壓 V_{out} 為不良(步驟S508)。

【0031】 本案所揭露之電壓調節器可以晶片方式實現。第6A…6D圖圖解電壓調節器300除了完整以一晶片實現，更可如何變形。

【0032】 第6A圖是將回授電壓 V_{fb} 的分壓器設置在晶片之外，晶片為接收該回授電壓 V_{fb} 特別設計一晶片腳位。如此設計使得回授電壓 V_{fb} 可以隨第二電壓 V_{out} 需求改變而簡單調整。在此實施例中，上述回授電壓 V_{fb} 是經由兩電阻 R 分壓而產生，然而本發明不限定於此種回授方式。在一可能實施例中，可採用其他回授方式用以產生上述回授電壓 V_{fb} 。

【0033】 第6B圖是在晶片中更設置一系統管理匯流排SMBus，並使晶片更供應晶片腳位接收計時器控制信號SCL與SDA。來自外部之計時器控制信號SCL與SDA經由上述系統管理匯流排SMBus可設定該電壓評價邏輯電路206之計時器316所計時的時間量與該節電開關控制電路204之計時器308所計時的時間量。

【0034】 第6C圖是將第一電壓 V_{in} 之低標 V_{in_LT} 電壓 V_{C1}

的設定電路設置在晶片之外，晶片為接收電壓 V_{C1} 特別設計一晶片腳位。如此設計使得第一電壓 V_{in} 之低標 V_{in_LT} 可簡單調整(藉由調整設定電路之分壓阻抗)。在此實施例中，上述低標 V_{in_LT} 電壓是經由兩電阻 R (設定電路)對第一電壓 V_{in} 分壓而產生，然而本發明不限定於此種設定方式。在一可能實施例中，可採用其他設定方式用以產生上述低標 V_{in_LT} 電壓。舉例來說，第3圖中對第一電壓 V_{in} 進行分壓的分壓器即為一種設定電路，且該設定電路位於晶片內部。

● **【0035】** 第6D圖是將第二電壓 V_{out} 之低標 V_{out_LT} 電壓 V_{C2} 的設定電路設置在晶片之外，晶片為接收電壓 V_{C2} 特別設計一晶片腳位。如此設計使得第二電壓 V_{out} 之低標 V_{out_LT} 可簡單調整(藉由調整設定電路之分壓阻抗)。在此實施例中，上述低標 V_{out_LT} 電壓是經由兩電阻 R (設定電路)對第二電壓 V_{out} 分壓而產生，然而本發明不限定於此種設定方式。在一可能實施例中，可採用其他設定方式用以產生上述低標 V_{out_LT} 電壓。舉例來說，第3圖中對第二電壓 V_{out} 進行分壓的分壓器即為一種設定電路，且該設定電路位於晶片內部。

【0036】 第7圖根據本發明一種實施方式圖解一電壓調節器700，其中基於一種脈衝控制穩壓器(Switching voltage Regulator)之設計實現其電壓調節基礎結構(對應第2圖方塊202)。如圖所示，所揭露之節電開關 PS 是安置在脈衝信號控制電路702與功率電晶體 PT 之驅動器704之間。

【0037】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和

範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】**【0038】**

- 100~電壓調節器；
- 102~電路板；
- 104~電源供應器；
- 106_1…106_4~晶片或電路；
- 108~節電開關；
- 110~節電開關108之控制信號；
- 200~電壓調節器；
- 202~電壓調節基礎結構；
- 204~節電開關控制電路；
- 206~電壓評價邏輯電路；
- 300~電壓調節器；
- 302~帶隙電壓產生器；
- 304~比較器；
- 306~內部下拉阻抗；
- 308~計時器；
- 310~CS_PS產生邏輯電路；
- 312、314~比較器；
- 316~計時器；
- 318~PWRGD產生邏輯電路；
- 700~電壓調節器；

702~脈衝信號控制電路；

704~驅動器；

CS_PS~節電開關PS之控制信號；

CS_PT~功率電晶體PT之控制信號；

EuP_EN~節電致能信號；

GND~地端電位；

PS~節電開關；

PT~功率電晶體；

PT_con~功率電晶體PT之控制端；

PWRGD~電源狀況指標；

R~阻抗元件；

Resume_In、Resume_Out~喚醒輸入信號、喚醒輸出信號；

S402... S414、S502... S508~步驟；

SCL、SDA~對應計時器316、308的計時器控制信號；

SMBus~系統管理匯流排；

VC1~第一電壓Vin之低標Vin_LT電壓；

VC2~第二電壓Vout之低標Vout_LT電壓；

Vfb~回授電壓；

Vin、Vout~第一電壓、第二電壓；

Vin_LT、Vout_LT~第一電壓之低標、第二電壓之低標；

Vref~參考電壓。

申請專利範圍

1. 一種電壓調節器，包括：
 - 一功率電晶體，驅動一第一電壓至一第二電壓的轉換，具有一控制端；
 - 一節電開關，耦接該功率電晶體之該控制端，於導通時將該功率電晶體之控制信號接入該功率電晶體之該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開，該節電開關控制電路係根據該第二電壓所供電的模塊遭切換為待機而切換該節電開關至不導通；
 - 一節電開關控制電路，控制該節電開關；以及
 - 一電壓評價邏輯電路，根據該第一電壓以及該第二電壓輸出一電源狀況指標標示該第二電壓可靠與否。
2. 如申請專利範圍第1項所述之電壓調節器，其中：
 - 該節電開關控制電路更包括一計時器，且係於該計時器顯示一節電致能信號持續致能一時間量時切換該節電開關之控制信號的狀態，使該節電開關不導通；以及
 - 該節電致能信號係於該第二電壓所供電之模塊遭切換為待機時切換為致能狀態。
3. 如申請專利範圍第2項所述之電壓調節器，其中：
 - 該節電開關控制電路更包括一內部下拉阻抗，耦接於該節電開關控制電路對該節電致能信號的一接收端。
4. 如申請專利範圍第1項所述之電壓調節器，其中：

該節電開關控制電路更接收一喚醒輸入信號，以基於該喚醒輸入信號所指示的一喚醒事件切換該節電開關之控制信號的狀態，使該節電開關導通。

5. 如申請專利範圍第4項所述之電壓調節器，其中：

該節電開關控制電路更輸出一喚醒輸出信號，於該電源狀況指標標示該第二電壓可靠時切換該喚醒輸出信號之狀態，以使該第二電壓所供電之模塊自待機喚醒。

6. 如申請專利範圍第1項所述之電壓調節器，其中該電壓評價邏輯電路包括：

一第一比較器，比較該第一電壓是否低於該第一電壓之低標；

一第二比較器，比較該第二電壓是否超出該第二電壓之低標；以及

一計時器，耦接該第二比較器之輸出端，計數該第二電壓是否超出該第二電壓之低標長達一時間量。

7. 如申請專利範圍第6項所述之電壓調節器，其中：

該電壓評價邏輯電路係於該第一比較器顯示該第一電壓低於該第一電壓之低標時即刻以該電源狀況指標標示該第二電壓不可靠；且

該電壓評價邏輯電路係於該第二比較器顯示該第二電壓拉升至高於該第二電壓之低標長達該時間量後以該電源狀況指標標示該第二電壓可靠。

8. 如申請專利範圍第6項所述之電壓調節器，其中：

該電壓評價邏輯電路更於該第二比較器顯示該第二電壓下拉至低於該第二電壓之低標時即刻以該電源狀況指標標示該第二電壓不可靠。

9. 如申請專利範圍第2項所述之電壓調節器，包括：

一晶片，包括上述功率電晶體、節電開關以及節電開關控制電路、且更包括一系統管理匯流排；

其中：

該晶片係以複數個晶片腳位分別耦接該第一電壓、輸出該第二電壓、耦接一地端電位、接收該節電致能信號、以及接收一計時器控制信號；且

該晶片係以所接收的該計時器控制信號經該系統管理匯流排設定該節電開關控制電路之該計時器所計時的該時間量。

10. 如申請專利範圍第6項所述之電壓調節器，包括：

一晶片，包括上述功率電晶體、節電開關、節電開關控制電路以及電壓評價邏輯電路、且更包括一系統管理匯流排；

其中：

該晶片係以複數個晶片腳位分別耦接該第一電壓、輸出該第二電壓、耦接一地端電位、輸出該電源狀況指標、以及接收一計時器控制信號；且

該晶片係以所接收的該計時器控制信號經該系統管理匯流排設定該電壓評價邏輯電路之該計時器所計時的該時間量。

11. 如申請專利範圍第6項所述之電壓調節器，包括：

一晶片，包括上述功率電晶體、節電開關、節電開關控制電路以及電壓評價邏輯電路，且以複數個晶片腳位分別耦接該第一電壓、輸出該第二電壓、耦接一地端電位、輸出該電源狀況指標、以及接收該第一電壓的一低標電壓，該低標電壓係供該晶片中該電壓評價邏輯電路之該第一比較器比較該第一電壓是否低於該第一電壓之低標；以及一設定電路，製作於該晶片外部，設定該第一電壓之該低標電壓並輸入至該晶片。

12. 如申請專利範圍第6項所述之電壓調節器，包括：

一晶片，包括上述功率電晶體、節電開關、節電開關控制電路以及電壓評價邏輯電路，且以複數個晶片腳位分別耦接該第一電壓、輸出該第二電壓、耦接一地端電位、輸出該電源狀況指標、以及接收該第二電壓的一低標電壓，該低標電壓係供該晶片中該電壓評價邏輯電路之該第二比較器比較該第二電壓與該第二電壓之低標；以及一設定電路，製作於該晶片外部，並耦接該晶片輸出該第二電壓的晶片腳位以設定該第二電壓之該低標電壓並輸入至該晶片。

13. 一種電壓調節方法，包括：

於一電壓調節器提供一節電開關，耦接該電壓調節器中一功率電晶體的一控制端，該功率電晶體係根據該控制端之狀況驅動一第一電壓至一第二電壓的轉換，該節電開關係於導通時將該功率電晶體之控制信號接入該功率電晶體之

第 103116198 號申請專利範圍修正本

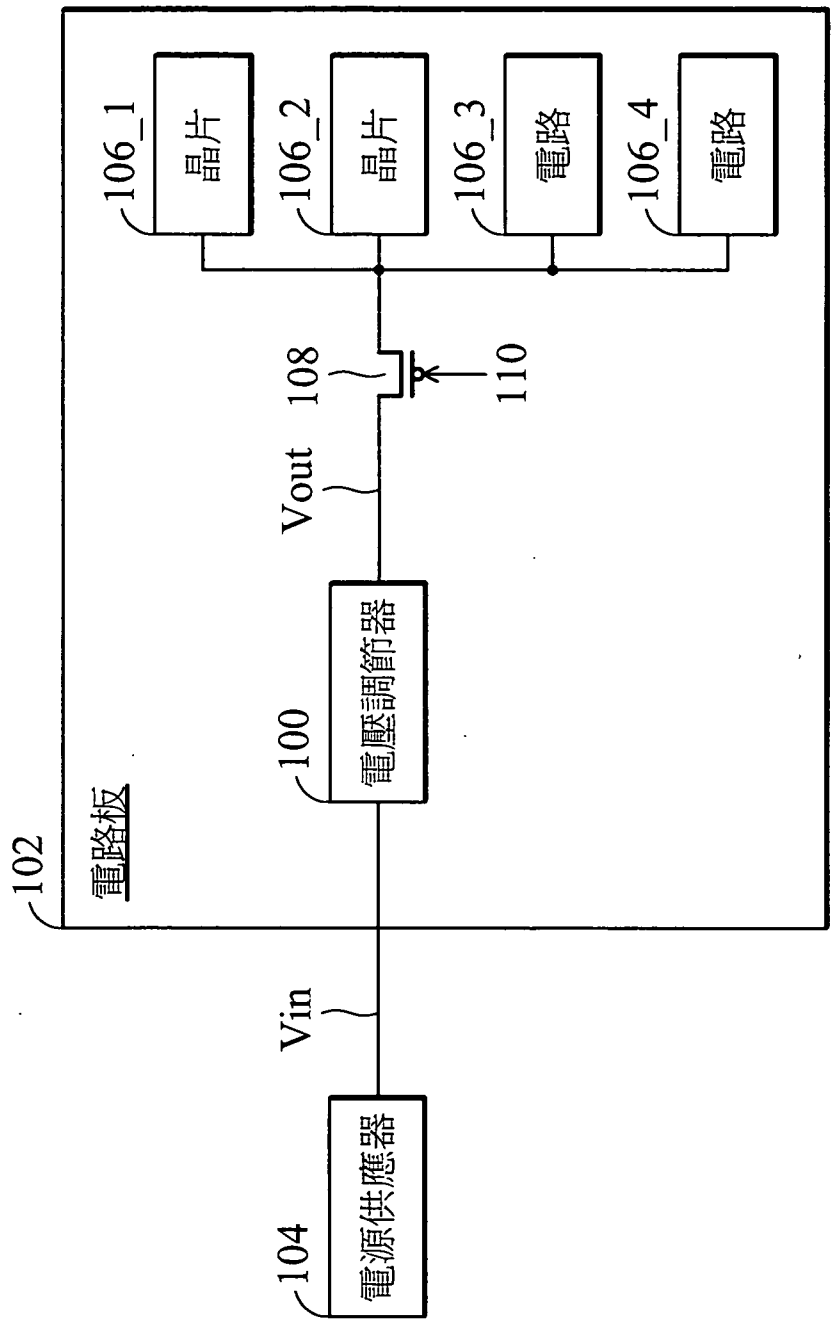
該控制端，並於不導通時使該功率電晶體之控制信號自該功率電晶體之該控制端斷開；

根據該第二電壓所供電的模塊遭切換為待機，而切換該節電開關至不導通；以及

根據該第一電壓以及該第二電壓輸出一電源狀況指標標示該第二電壓可靠與否。

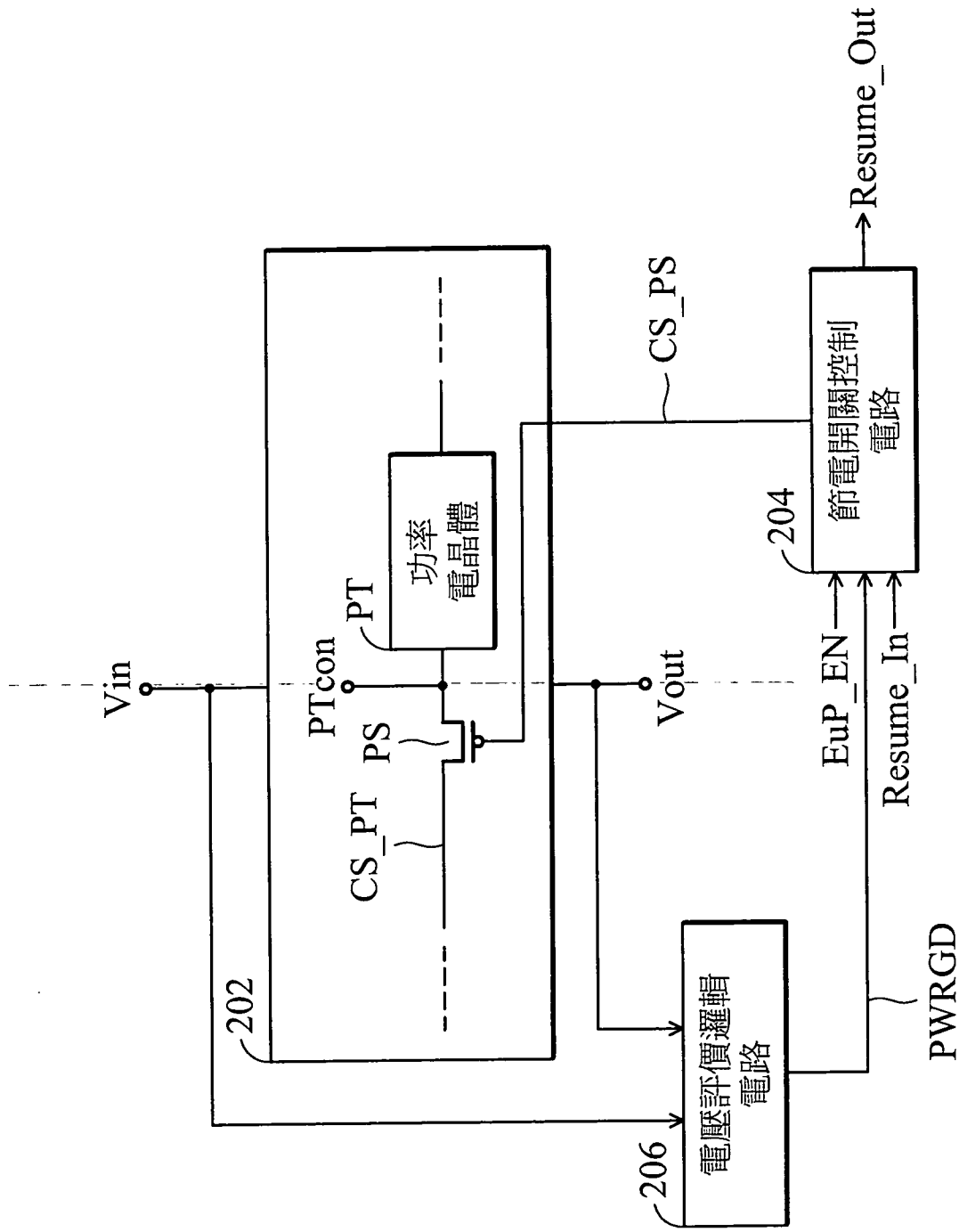
104
年 8月20日修正本

圖式



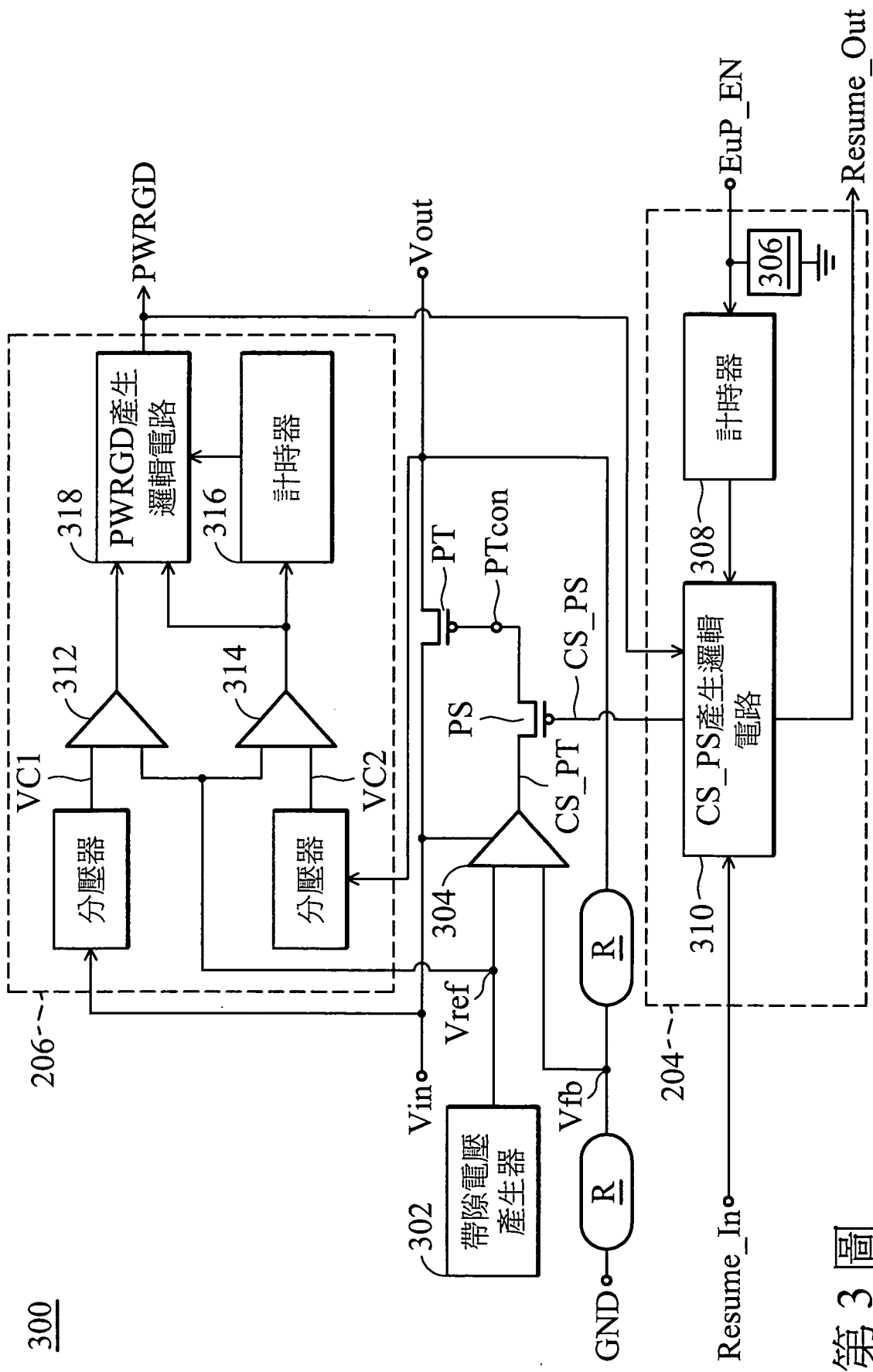
第 1 圖

200

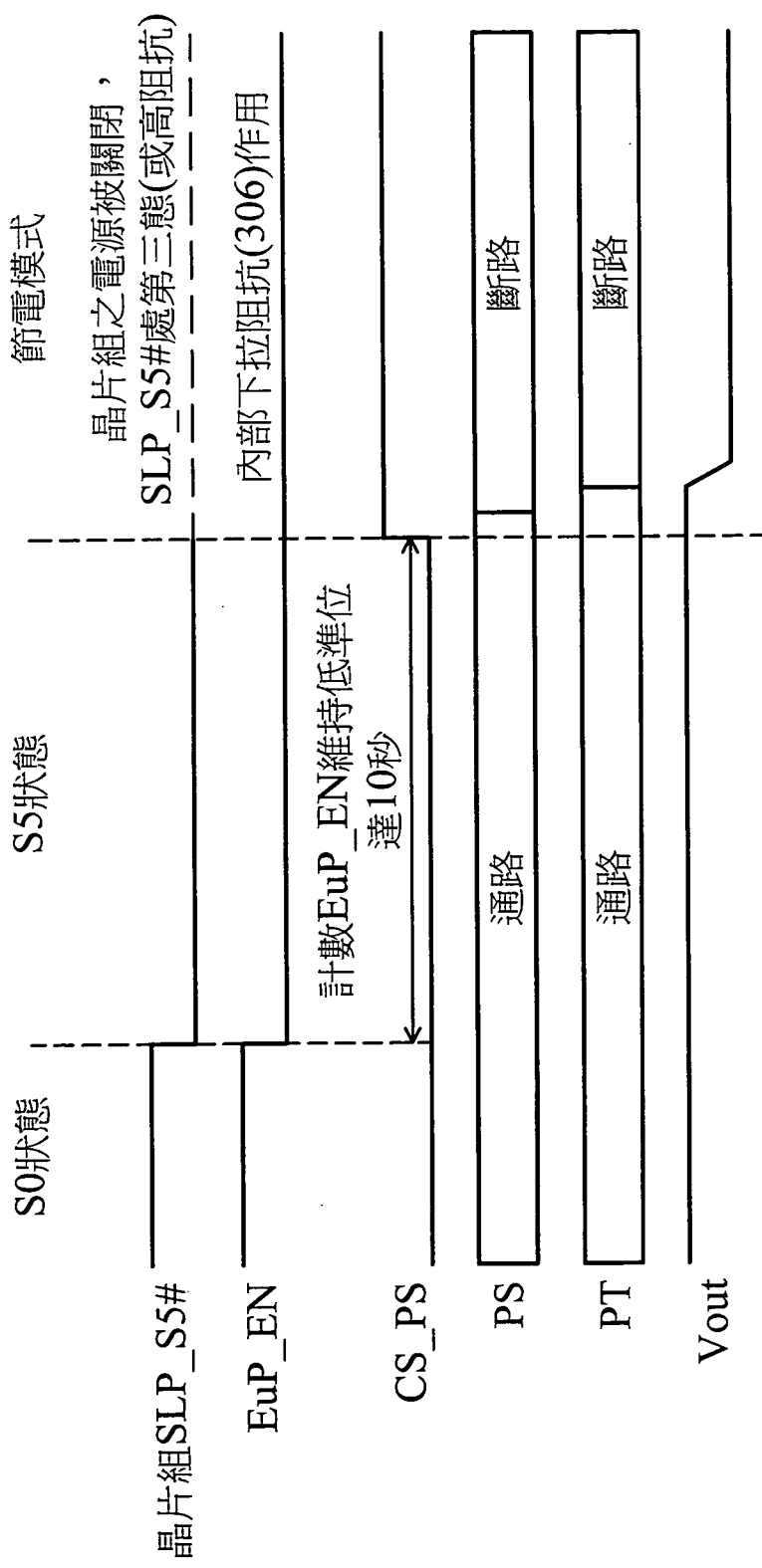


第 2 圖

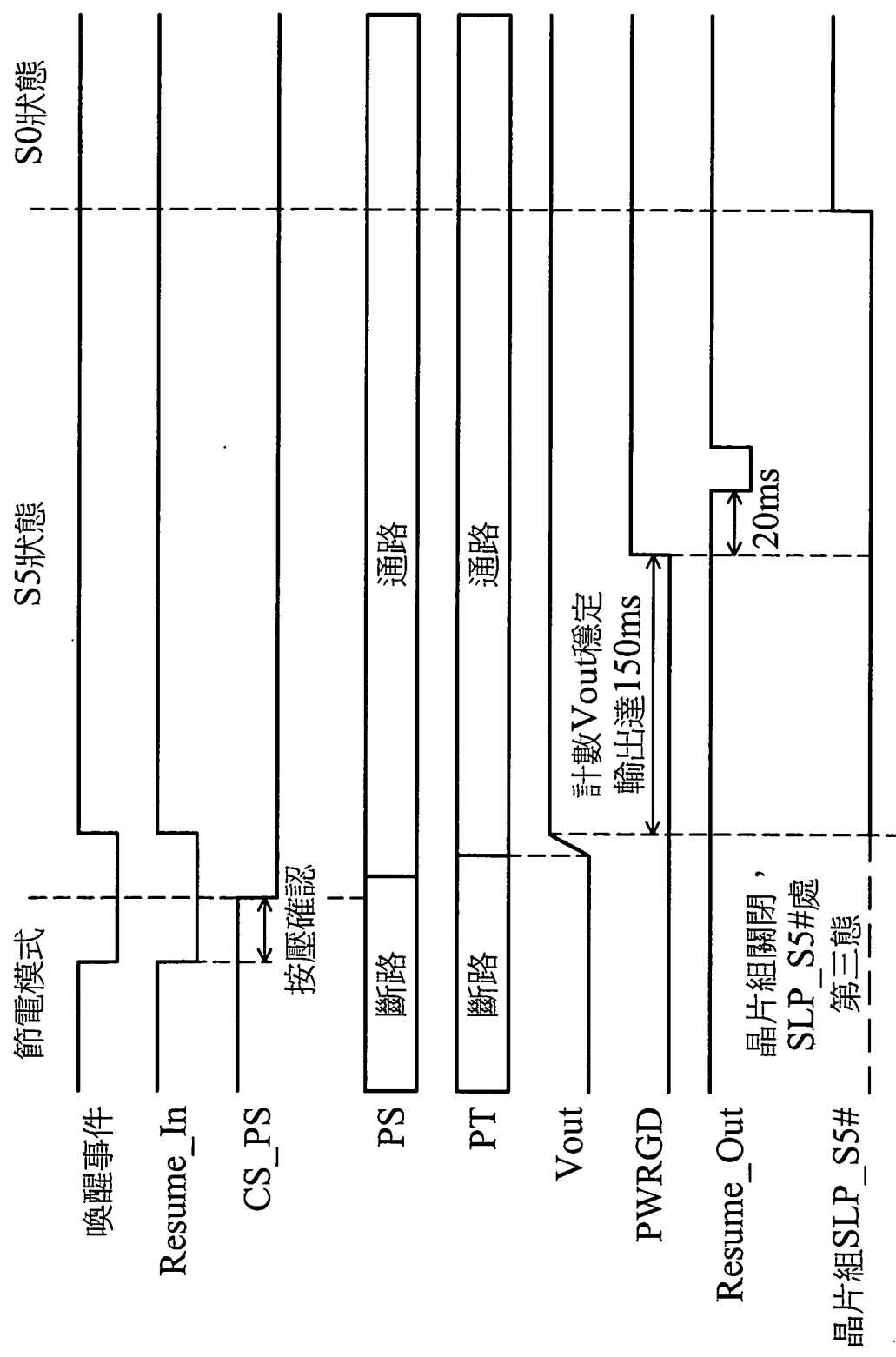
300



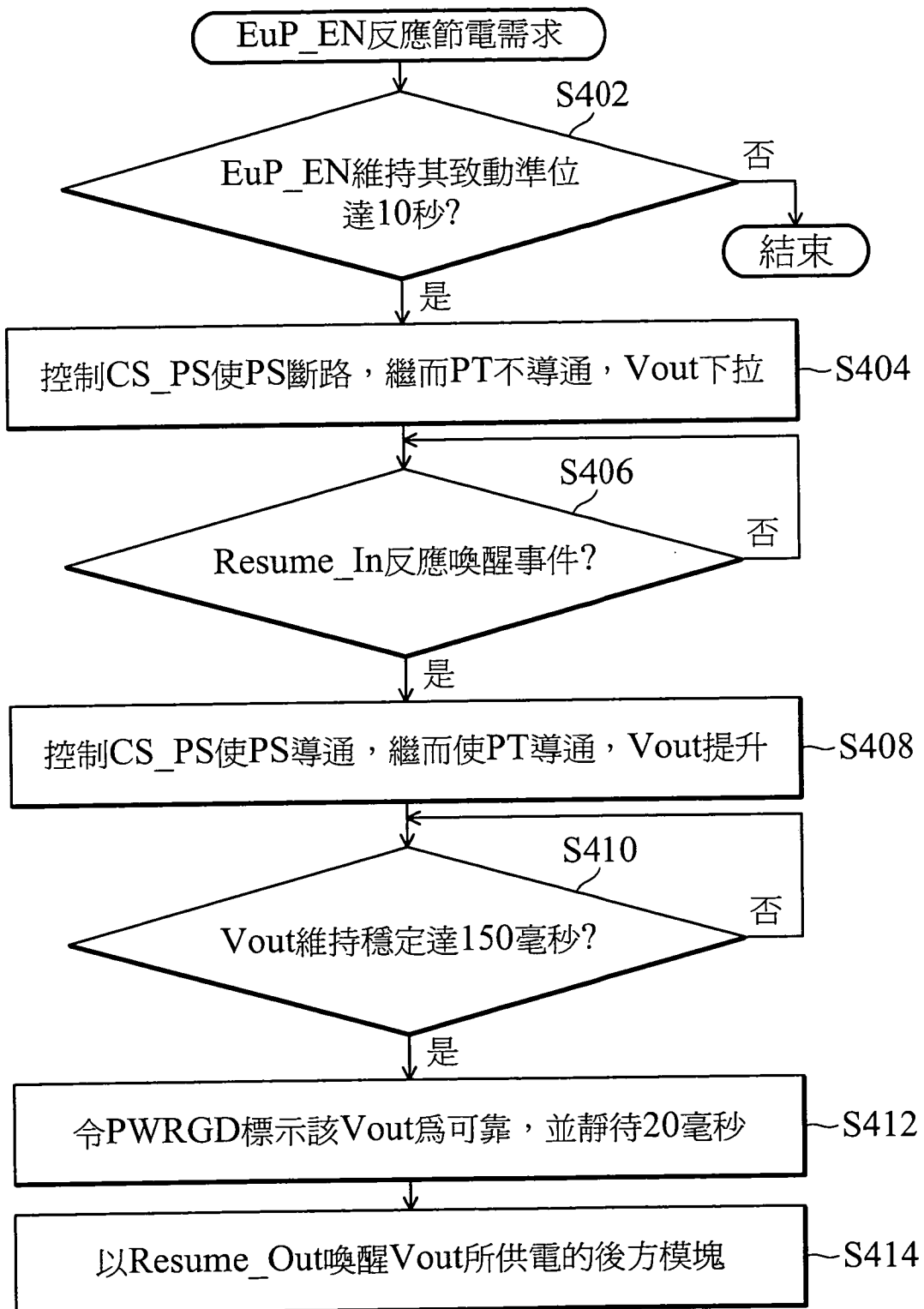
第3圖



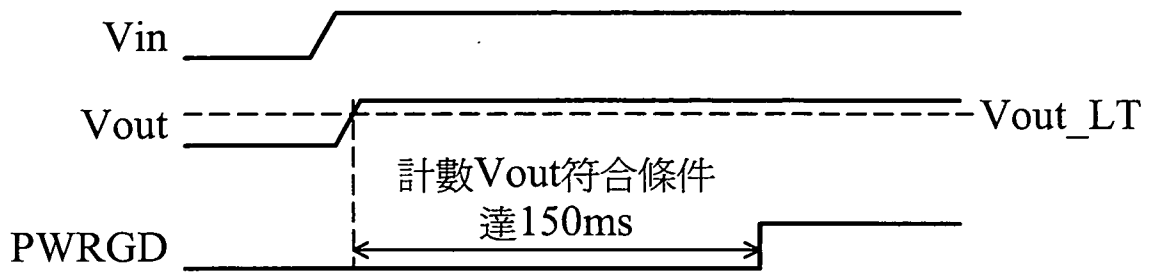
第 4A 圖



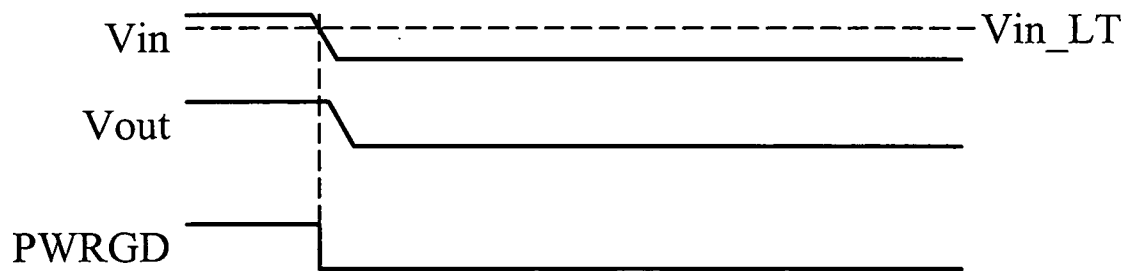
第 4B 圖



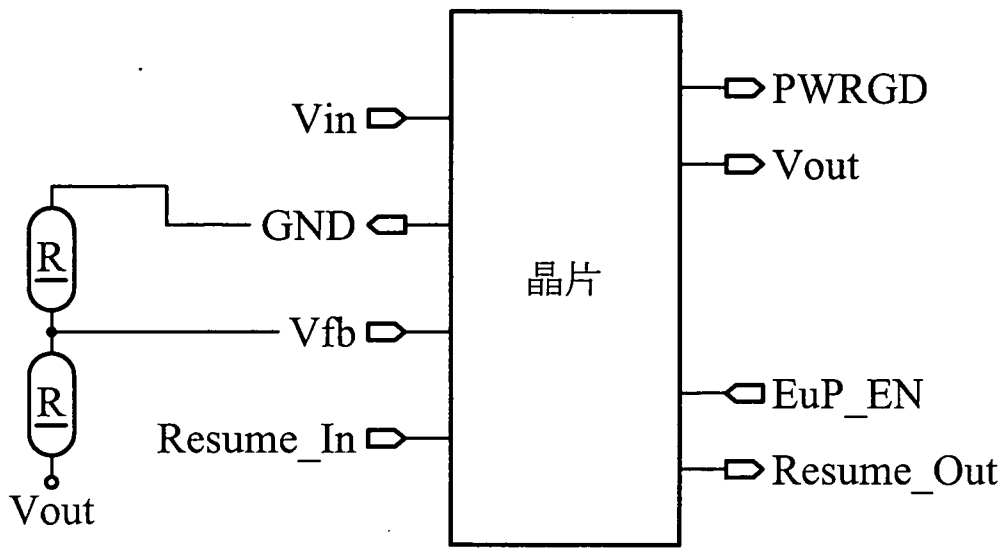
第 4C 圖



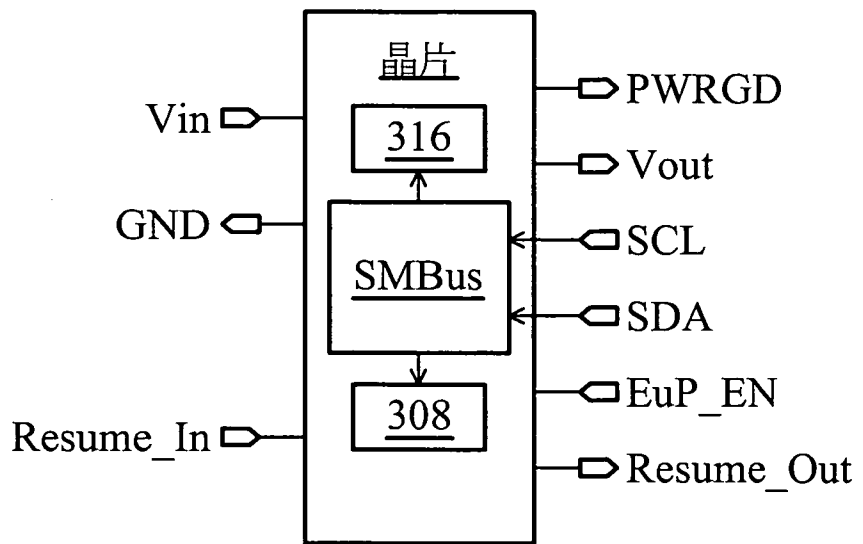
第 5A 圖



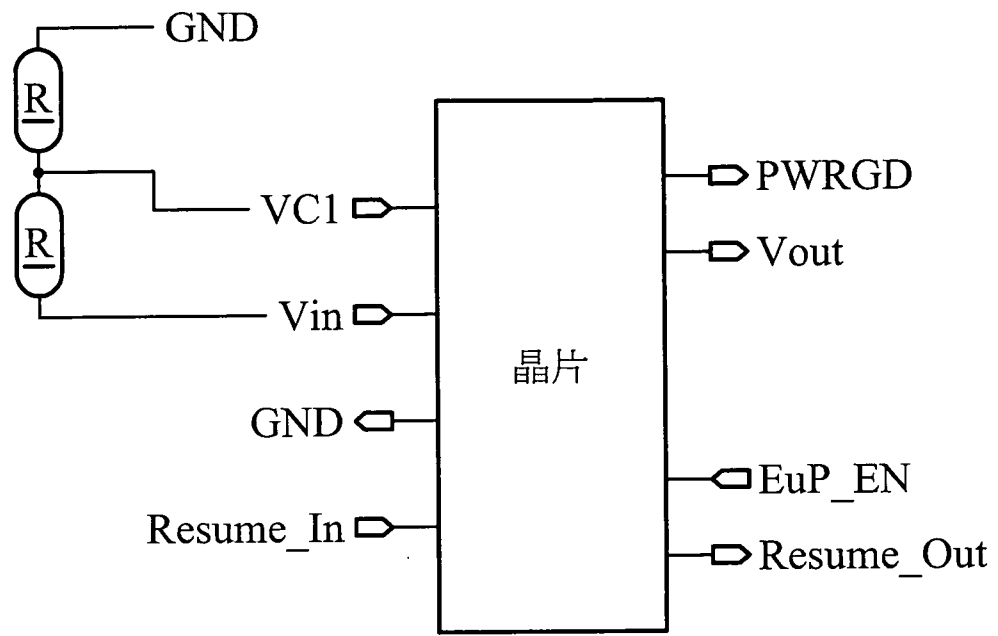
第 5B 圖



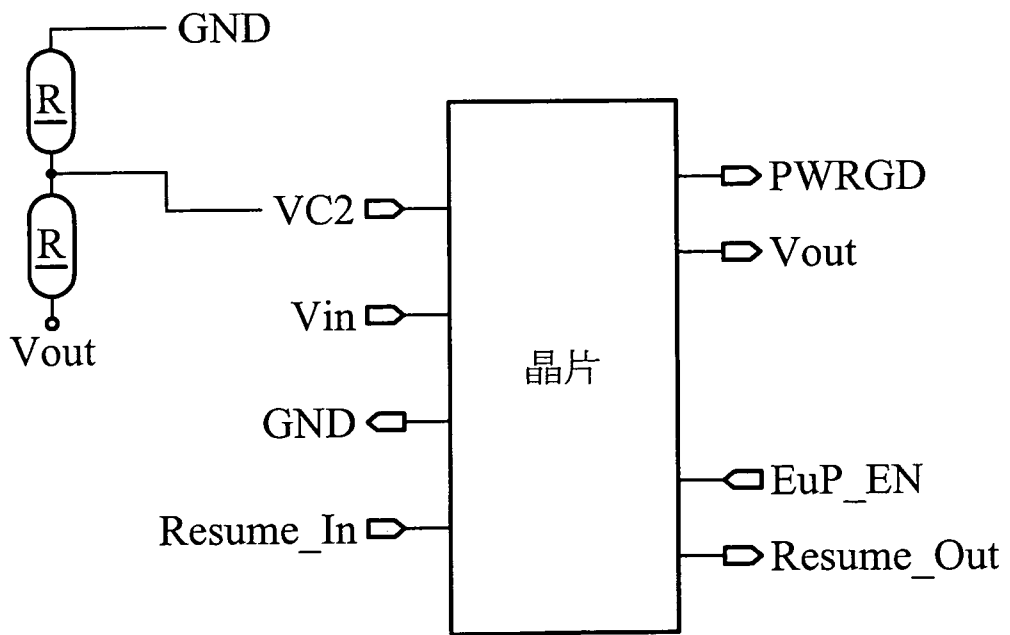
第 6A 圖



第 6B 圖

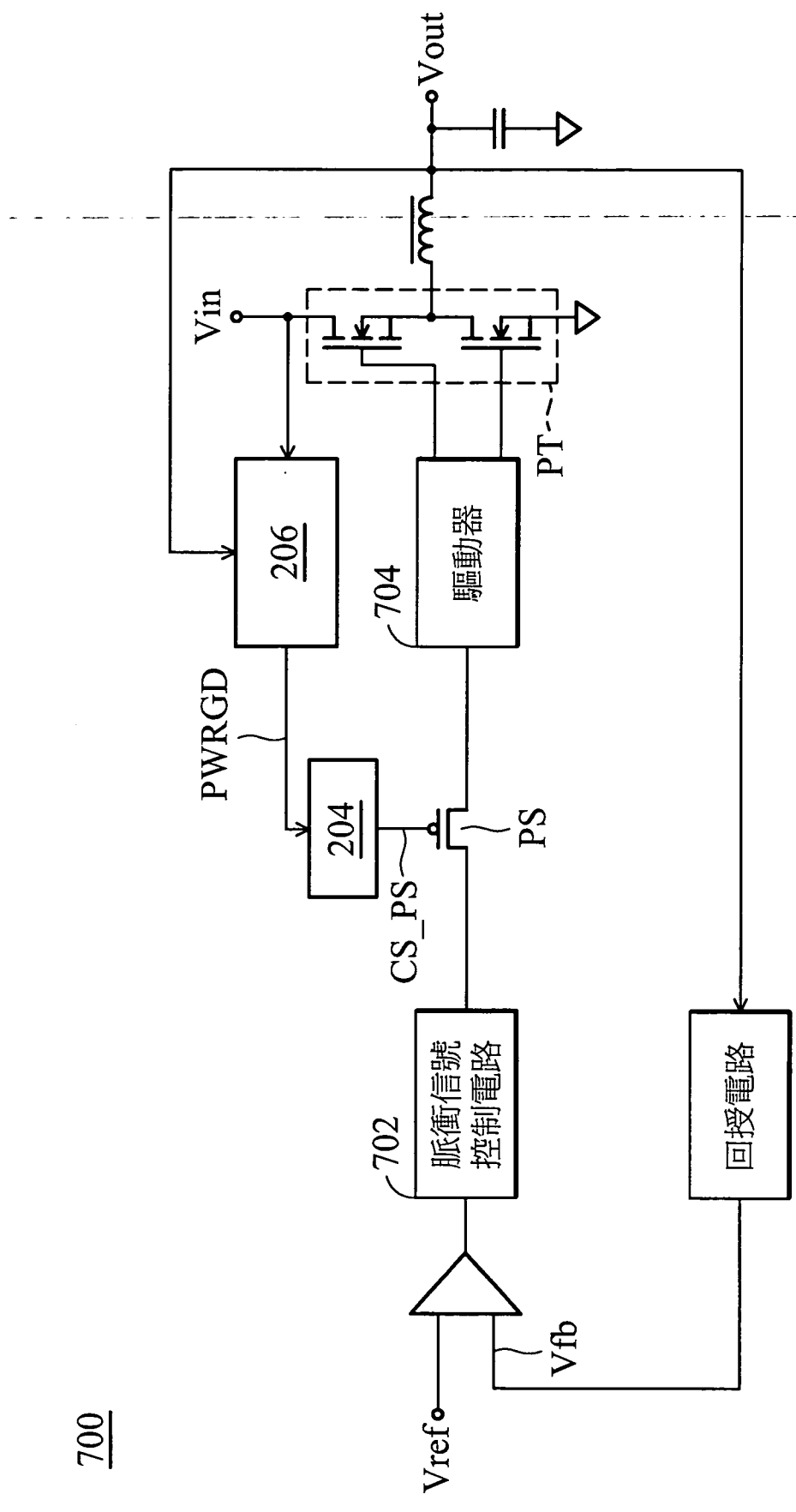


第 6C 圖



第 6D 圖

700



第7圖