

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2011年12月1日(01.12.2011)

PCT



(10) 国際公開番号

WO 2011/148583 A1

(51) 国際特許分類:

G06F 13/36 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01) *H04L 12/56* (2006.01)

(21) 国際出願番号:

PCT/JP2011/002681

(22) 国際出願日:

2011年5月13日(13.05.2011)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2010-121899 2010年5月27日(27.05.2010) JP

(71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 石井 友規 (ISHII, Tomoki). 山口 孝雄 (YAMAGUCHI, Takao). 吉田 篤(YOSHIDA, Atsushi).

(74) 代理人: 奥田 誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

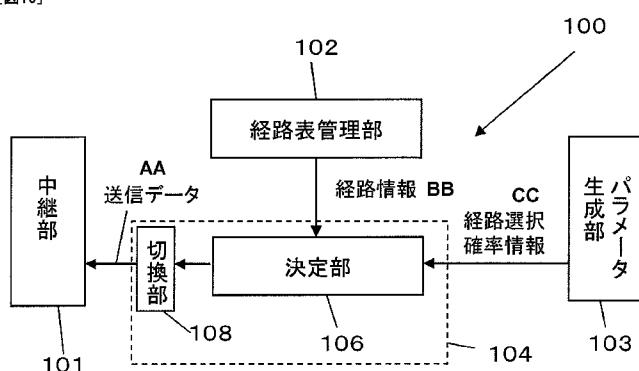
添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: BUS CONTROL DEVICE AND CONTROL DEVICE FOR OUTPUTTING INSTRUCTIONS TO THE BUS CONTROL DEVICE

(54) 発明の名称: バス制御装置およびバス制御装置に指示を出力する制御装置

[図10]



- 101 RELAY UNIT
 102 ROUTE TABLE MANAGEMENT UNIT
 103 PARAMETER GENERATION UNIT
 106 DETERMINATION UNIT
 108 SWITCH UNIT
 AA TRANSMISSION DATA
 BB ROUTE INFORMATION
 CC ROUTE SELECTION PROBABILITY INFORMATION

(57) Abstract: Disclosed is a bus control device for efficiently suppressing resource conflict when switching the route so as to shorten route switch delay, thereby improving average usage efficiency of the bus. The bus control device is provided between a bus master and a networked communication bus, and controls the transmission route of packets flowing through the communication bus. The bus control device is provided with a route table management unit for managing a plurality of transmission routes and the transmission status of each of the plurality of transmission routes; a parameter generation unit for generating a parameter conforming to a predetermined probability distribution or a parameter conforming to a predefined rule; a determination unit for determining a transmission route on the basis of the transmission status of each of the plurality of transmission routes and the parameter; and a relay unit for performing relay processing of the packets flowing upon the communication bus.

(57) 要約: 経路切り換え時のリソース競合を効率的に抑制することで経路切換遅延を短縮し、バスの平均利用効率を向上させる。バス制御装置は、バスマスターと、ネットワーク化された通信バスとの間に設けられ、通信バスに流れるパケットの送信経路を制御する。バス制御装置は、複数の送信経路および複数の送信経路の各々の送信状況を管理する経路表管理部と、所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、複数の送信経路の各々の送信状況とパラメータとに基き、送信経路を決定する決定部と、通信バス上を流れるパケットの中継処理を行う中継部とを備えている。

を制御する。バス制御装置は、複数の送信経路および複数の送信経路の各々の送信状況を管理する経路表管理部と、所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、複数の送信経路の各々の送信状況とパラメータとに基き、送信経路を決定する決定部と、通信バス上を流れるパケットの中継処理を行う中継部とを備えている。

明 細 書

発明の名称：

バス制御装置およびバス制御装置に指示を出力する制御装置

技術分野

[0001] 本発明は、ネットワーク化された通信バスを備える半導体チップに於いて、通信バスの制御を行うための装置、方法及びプログラムに関する。

背景技術

[0002] 近年、S o C (System on Chip) やプロセッサの高機能化に伴い、通常の通信バスに代わって、ネットワーク型のバスであるN o C (Network on Chip) が注目されている。N o Cでは、多数のバスマスタやメモリを相互に接続することが可能である。

[0003] たとえば図1 (a) および (b) は、N o Cバスの一部の構成を示す。図1 (a) はハードウェア接続構成例を示す図であり、図1 (b) はその模式図である。図1 (a) および (b) によれば、チップ10上に設けられたバスマスター1a～1cが、それぞれバス制御装置 (R) 2を通してバス3に接続されていることが示されている。なお、以下の本願図面のN o Cバスは、図1 (b) に示す模式図で記載する。

[0004] 図2は、2次元メッシュ型でバスマスターを結合したN o Cバスの構成例を示す。マイクロプロセッサやDSP、メモリ、入出力回路等のバスマスター毎に、データ転送経路の制御を行う中継ノードRが配置され、中継ノードR間を短配線で接続（リンク）する。本願明細書では、中継ノードRは、中継装置またはバス制御装置とも呼ばれる。

[0005] このような構成では、送信元のバスマスターから、受信先のバスマスターに対してデータ転送を行うための通信経路が複数存在する。たとえば図3は、送信元から送信先までの3つの経路（1）～（3）を示す。

[0006] 複数の選択候補経路の中から、バスの負荷状況に合わせて、最適な経路を選択することで、転送データがチップ全体に効率的に分散することになり、

平均的なバスの利用効率の向上を見込むことができる。このため、バス全体のスループットが向上し、設計時または動作時のバスの動作周波数を低減することが可能となり、チップの消費電力を低減できる。またバスマスター間でのデータ転送のためのレイテンシ（遅延時間）が改善されるため、バスマスターのパフォーマンスを最大限に引き出すことができ、チップ全体の処理能力向上にも繋がる。

[0007] バスマスターを相互に接続するバス上で、複数のデータ転送経路をバスの状態に合わせて選択する方法が特許文献1に開示されている。特許文献1の技術によれば、送信元のバスマスターから受信先のバスマスター迄、転送対象のデータがフレーム単位で転送される。受信先でフレームが正常に受信された場合には、アクノリッジデータを返信し、そうでない場合にはアクノリッジデータを返信しない。送信元のバスマスターは、アクノリッジデータの返信がなかったことをもってフレーム転送の不具合を検出し、他の送信経路を選択してフレームを再送信することで、通信を継続する。受信したフレームのヘッダにエラーが検出された場合には、受信先のバスマスターでフレームが破棄されるため、送信元のバスマスターでアクノリッジデータを受信することはない。また利用中のデータ転送経路に於いて、フレームの転送遅延が大きくなり、規定時間内にフレームが受信先に着信しない場合にも、規定時間内にアクノリッジデータを受信することができず、経路の切換が発生する。データ転送経路の状態に合わせて経路をダイナミックに切り換えることにより、転送遅延やエラーが少ない経路で通信することが可能となる。

先行技術文献

特許文献

[0008] 特許文献1：特許第3816531号明細書

発明の概要

発明が解決しようとする課題

[0009] 従来技術である複数経路制御技術を用いる場合、送信元のバスマスターは、

転送遅延時間の悪化を検出することでデータ転送経路の切り替えの必要性があると判定し、自らのデータ転送状態が最良となるよう経路の選択（利己的な経路選択）を行う。言い換えると、送信元のバスマスターは、高負荷な経路から低負荷な経路に使用経路を切り換えることで、転送遅延時間を改善しようとする。

[0010] しかしながら、独立に動作する複数のバスマスターが存在するような一般的なN○Cにおいて、各バスマスターが従来の方法によって経路切り換えを行っても、データ転送性能の改善は必ずしも達成できない。その理由は、独立に動作する複数のバスマスターが競合して最良経路を選択しようとして、データ転送経路及びリンク資源の奪い合いが生じ、いくつかのリンクに複数の送信元からの転送データが集中するためである。その結果、各経路間を流れる転送データ流量の偏りが拡大する。

[0011] この転送データ流量の偏りに起因する転送遅延時間の悪化により、各バスマスターは繰返し経路の再選択を行うため、経路切り換えに要する遅延時間が増大する。またデータ転送に要するレイテンシも増大し、それによって各バスマスターの動作速度が律速される。例えばプロセッサとメモリ間のデータ転送の場合には、メモリアクセスレイテンシに対応したプロセッサのウェイトサイクル数が増大し、処理性能の低下に繋がる。また競合によるスループットの低下により、バスで消費される電力も増加する。バスの動作周波数を上げなければ所望のバス転送能力が得られなくなるためである。バスの消費電力は、バスを構成するトランジスタの消費電力Pで表され、スイッチングレート α 、回路の容量C、電源電圧V、動作周波数fとすると、数1で表される。

[数1]

$$P = \alpha \cdot C \cdot V^2 \cdot f$$

なお、ここでいう「バスを構成するトランジスタ」とは、データを送信するネットワーク要素とそのデータを受信するネットワーク要素との間に存在す

るネットワーク要素（たとえば中継ノード）のトランジスタを含む。

[0012] また、動作周波数を抑えることにより、電源電圧も数 2 に示す関係で低減することが可能となる。

[数2]

$$V = \frac{C}{(1-\eta)^\gamma} \cdot f^{\frac{1}{\gamma-1}}$$

[0013] 数 2 中の η はトランジスタの動作スレッショルド電圧と電源電圧の比であり、 γ はプロセスルールに依存する定数である。例えば $\gamma = 2$ とした場合、動作周波数の低減は、消費電力 P に 3 乗のオーダーで寄与するため、高い転送レートを収容するためのリンクでは、スループットの偏りによる消費電力が非常に大きくなる。

[0014] 本発明は、上記課題を解決するためになされたものであり、その目的は、経路切り換え時のバスのリソース競合を効率的に抑制することで経路切り換え遅延を短縮し、バスの平均利用効率を向上させることが可能なバス制御装置（中継装置）を提供することにある。

課題を解決するための手段

[0015] 本発明によるバス制御装置は、バスマスターと、ネットワーク化された通信バスとの間に設けられ、前記通信バスに流れるパケットの送信経路を制御するバス制御装置であって、複数の送信経路および前記複数の送信経路の各々の送信状況を管理する経路表管理部と、所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、前記複数の送信経路の各々の送信状況と前記パラメータとに基き、送信経路を決定する決定部と、前記通信バス上を流れるパケットの中継処理を行う中継部とを備えている。

[0016] 前記バス制御装置は、前記パケットの送信経路を、前記決定部によって決定された新たな送信経路に切り換える切換部をさらに備え、前記中継部は、前記切換部によって切り換えられた前記新たな送信経路を利用して前記パケ

ットを送信してもよい。

- [0017] 前記決定部は、前記パラメータが、前記送信状況を示す評価値に応じて算出される選択確率の範囲に含まれるか否かに応じて、前記選択確率に対応する送信経路に切り換えるか否かを決定してもよい。
- [0018] 前記決定部は、各経路の送信状況の良さに比例した確率分布を用いて経路の選択を行ってもよい。
- [0019] 前記決定部は、伝送レートが基準値よりも高いレートのパケットのフローに対しては、既に使用中の経路の選択確率を補正し、経路切換確率を制限してもよい。
- [0020] 前記経路表管理部は、送信状況が予め定められた基準を下回った経路を切り換え対象の経路として特定し、前記パラメータ生成部は、熱雑音を基にした乱数、または、一様分布、ポアソン分布または正規分布に基づく疑似乱数を利用して前記パラメータを生成し、前記決定部は、前記切り換え対象の経路で伝送されるパケットのフローに関して、前記送信状況の悪化に応じて大きくなる評価値を算出し、前記パラメータが、前記評価値の範囲に含まれるか否かに応じて、前記評価値に対応する送信経路に切り換えるか否かを決定してもよい。
- [0021] 前記経路表管理部は、送信状況が予め定められた基準を下回った経路を切り換え対象の経路として特定し、前記パラメータ生成部は、規則的に変化するカウンタを利用して前記パラメータを生成し、前記決定部は、前記切り換え対象の経路で伝送されるパケットのフローに関して、前記送信状況の悪化に応じて大きくなる評価値を算出し、前記パラメータが、前記評価値の範囲に含まれるか否かに応じて、前記評価値に対応する送信経路に切り換えるか否かを決定してもよい。
- [0022] 本発明による制御装置は、バスマスターと、ネットワーク化された通信バスとの間に設けられたバス制御装置に指示を出力して、前記通信バスに流れるパケットの送信経路を制御する制御装置であって、複数の送信経路および前記複数の送信経路の各々の送信状況を管理する経路表管理部と、所定の確率

分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、前記複数の送信経路の各々の送信状況と前記パラメータとに基き、送信経路を決定して、決定した前記送信経路に関する指示を前記バス制御装置に出力する決定部とを備えている。

発明の効果

[0023] 本発明によれば、所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータが生成され、そのパラメータと複数の送信経路の各々の送信状況とに基づき、新たな送信経路が決定される。これにより、独立して動作する複数のバスマスターが接続された一般的なネットワークバスに於いて、各バスマスターが利己的な判断のみで送信経路を変更することによって発生するリソース競合に伴うスループットの低下を防ぐことが可能となり、競合によるレイテンシの悪化を抑制することができる。またスループットの改善により、バス自体の動作周波数を低く設定できるため、バスにおける消費電力も低く抑えることが可能となる。

図面の簡単な説明

[0024] [図1] (a) および (b) は、N○Cバスの一部の構成を示す図である。

[図2] 2次元メッシュ型でバスマスターを結合したN○Cバスの構成例を示す図である。

[図3] 送信元から受信先までの3つの経路(1)～(3)を示す図である。

[図4] 組込機器に搭載されるシステム半導体のメモリ間インターフェースを、バタフライ形式の多段接続網であるN○Cバスを用いて構成した例を示す図である。

[図5] CPUからDRAM0にアクセスする経路として、経路000102と経路001102の2本があることを示す図である。

[図6] CPUが実行するOSやアプリケーションが、経路000102を用いてDRAM0にアクセスしている状況を示す図である。

[図7] 図6の状況で、更にCPUのペリフェラルであるDMAC0が、経路000102を用いてDRAM0へのデータ転送を開始したことを示す図であ

る。

[図8]経路切り換えが行われた結果、中継ノードR11、R00に各バスマスターのメモリアクセス負荷が集中した様子を示す図である。

[図9]確率的な経路の切り換え処理によって、CPUが経路000102に留まり、DMAC0が経路001102への切り換えを行った様子を示す図である。

[図10]本発明の実施形態によるバス制御装置100の構成例を示す図である。

[図11]メモリへの書き込みアクセスを行うためのパケットの構成例を示す図である。

[図12]ヘッダフリットの構成例を示す図である。

[図13]ペイロードフリットの構成例を示す図である。

[図14]物理アドレス空間とDRAM0およびDRAM1との対応関係を示す図である。

[図15]図14の対応関係を記述するアドレス対応表の例を示す図である。

[図16]バス制御装置R00上の経路表管理部102で管理される経路表の例を示す図である。

[図17]フロー表の一例を示す図である。

[図18]図17のフロー表に示される通信状況において、フローIDが2のフローの経路を切り換えたときのフロー表である。

[図19]経路切換部104の処理手順を示すフローチャートである。

[図20]バス制御装置に対して送信経路の切り換えを指示する制御装置の構成例を示す図である。

発明を実施するための形態

[0025] 以下、添付の図面を参照しながら、本発明によるバス制御装置の実施形態を説明する。

[0026] (実施形態1)

本実施形態によるバス制御装置を具体的に説明するに先立って、NOC(

Network on Chip) と呼ばれる通信バス、その通信バスで利用可能な送信経路、および、本実施形態によるバス制御装置の動作原理を説明する。

- [0027] 図4は、組込機器に搭載されるシステム半導体のメモリ間インターフェースを、バタフライ形式の多段接続網であるNoCバスを用いて構成した例である。図4では、バスマスターにあたるCPU、DMAC、DSPと、メモリコントローラであるDRAM0、DRAM1が、2入力2出力の中継ノードRx_xy ($x = 0, 1, y = 0, 1, 2$) によって多段接続されている。この構成は、バスマスター側からメモリコントローラ側への一方向性のバスである。ただし実際には、バスマスターからメモリ側へのアクセスだけではなく、メモリ側からバスマスターへの逆方向の転送も存在する。しかしながら、その構成に関しては本例と同様のバタフライ網が往路と復路とで二重化されるだけであり、いずれの網も動作原理は同じとなる。そこで、ここではバスマスターからメモリへの往路の網を用いて説明を行い、復路の動作は省略する。
- [0028] 図4では、各バスマスターからいずれのメモリコントローラにデータを転送するにも、異なる2つの転送経路を利用することができる。図5は、CPUからDRAM0にアクセスする経路として、経路000102と経路001102の2本があることを示している。図中では省略されているが、同様に、他のバスマスターからいずれのメモリに対しても、それぞれ2本の利用可能な経路が存在している。
- [0029] 本実施形態の説明では、経路上の中継ノードに割り当てられた番号を連ねることによって、各経路を示す。例えば、図5のCPUからDRAM0に向かう経路のうち、中継ノードR00、R01、R02によって中継される経路は、「経路000102」と表現される。また、中継ノードR00、R11、R02によって中継される経路は、「経路001102」と表現される。
- [0030] 図6は、CPUが実行するOSやアプリケーションが、経路000102を用いてDRAM0にアクセスしている状況を示している。同様にDSP上

で動作するマイクロコードが、経路 101102 を用いて DRAM0 にアクセスしている状況を示している。これらの状況においては、いずれのメモリアクセスフローによっても、許容される平均アクセスレイテンシの時間内でメモリアクセスが実現されるとする。

- [0031] 図 7 は、図 6 の状況で、更に CPU のペリフェラルである DMA CO が、経路 000102 を用いて DRAM0 へのデータ転送を開始したことを示す。新たに発生したメモリアクセスフローの影響によって、CPU 及び DMA CO の平均アクセスレイテンシが許容値を超えると、CPU 及び DMA CO がデータ転送経路の切り換えを行う。
- [0032] いま、負荷が存在しない状態で、データ転送パケットが NOC バスを通過するために必要な固定的な転送遅延を 12 サイクルと仮定し、CPU または DMA CO から DRAM0 にアクセスする際の平均レイテンシを、経路 000102 で 112 サイクル、経路 001102 で 62 サイクルとする。レイテンシは、流れるデータの量と中継ノードの出力段に於けるアクセスの競合の強さによって増大する。したがって、経路 000102 のレイテンシは、経路 001102 のレイテンシに比べて大きい。
- [0033] 従来の経路切換方法によると、CPU、DMA CO 共に、平均レイテンシが高い経路 000102 から、平均レイテンシが低い経路 001102 へ経路切り換えを一斉に行う。図 8 は、経路切り換えが行われた結果、中継ノード R11、R00 に各バスマスターのメモリアクセス負荷が集中した様子を示している。中継ノード R11、R00 において負荷の集中を招くことで、各フローに基づくメモリアクセス状況は更に悪化する。
- [0034] 本実施形態においては、経路切換動作を行う際に、確率的な挙動を付加する（経路の切り換えを確率的に行う）ことで、このような経路競合による問題点を解決する。たとえば図 7 の事例においては、経路 000102 の平均レイテンシ 112 サイクル、経路 001102 の平均レイテンシ 62 サイクルの比率に逆比例した割合により、確率的に経路を選択する。即ち、CPU 及び DMA CO のいずれも、経路 000102 を選択する確率は 0.4、経

路001102を選択する確率は0.6となる。この結果、バスマスターが同時に経路切り換えを行おうとするときの、切り換え対象となる経路が確率的に分散されることになる。よって、図8に示されるような経路リソースの奪い合いによる競合状態に陥ることがなくなる。

[0035] 図9は、確率的な経路の切り換え処理によって、CPUが経路000102に留まり、DMA0が経路001102への切り換えを行った様子を示す。CPUのアクセス経路000102は変化しないが、DMA0のアクセスが経路001102に移動している。そのため、CPUからDRAM0への経路のレイテンシが112サイクルから62サイクルに向上する。またDMA0のアクセス経路は、経路000102から、経路001102に移動することで、レイテンシが112サイクルから62サイクルに向上する。さらに、DSPも経路101102により、62サイクルのレイテンシでDRAM0にアクセスする。DRAM0に向かう経路上の中継ノード間リンクの全てにアクセスフローが分散され、効率的にデータ転送帯域が利用されていることが分かる。

[0036] 以下、図10を参照しながら、上述の動作を行うためのバス制御装置の構成例を説明する。

[0037] 図10は、本実施形態によるバス制御装置100の構成例を示す。

[0038] バス制御装置は、中継部101と、経路表管理部102と、パラメータ生成部103と、経路切換部104とを備えている。以下、各構成要素の機能を説明する。

[0039] (中継部101)

ネットワークバス上でのメモリアクセスは、パケット単位で行われる。中継部101はパケットを受け取り、そのパケットに記述された宛先アドレスを参照して、そのパケットを隣接する中継装置やDRAM等のメモリに送信する。

[0040] 図11は、メモリへの書き込みアクセスを行うためのパケットの構成例を示す。本例のパケットは4つのフィールド、具体的にはLOW_ID、ADD

R、RW、DATAの各フィールドから構成されている。

- [0041] **FLOW ID** フィールドには、メモリへのアクセスを発行している主体を特定するための識別子が格納される。この値は、経路の切り換え単位を意味し、同一の値を持つパケット群は同じ経路で送信される。アプリケーション毎にメモリアクセスを管理する場合であれば、アプリケーションに固有のIDを格納してもよいし、アプリケーションを構成するプロセス毎に管理する場合であれば、プロセスIDを格納してもよい。更に細かいタスク単位で管理する場合であれば、タスクIDを格納してもよい。
- [0042] **ADDR** フィールドには、データの書き込みを行うメモリ番地の情報が格納される。RWフィールドには、読み出命令か書き込み命令かを区別するための情報が格納される。DATA フィールドには、書き込むデータのビットパターンが格納される。
- [0043] パケットのサイズは、使用するメモリやアプリケーションが一度にアクセスするデータの長さなどに依存する。そのため、1パケットは、バスクロック毎に転送が可能なフリットと呼ばれるより小さい単位に分割される。一般的には、パケットはひとつのヘッダフリットと、複数のペイロードフリットとによって構成される。
- [0044] 図12はヘッダフリットの構成例を示す。本例によるヘッダフリットは、4つのフィールドから構成されている。MARKER フィールドにはヘッダフリットであることを示す情報が格納される。LENGTH フィールドにはフリット数に関する情報が格納される。SRC フィールドには送信元のノードのID情報が格納される。DST フィールドにはアクセス先のメモリを識別するための情報、および、使用する経路に関する情報が格納される。
- [0045] 図13はペイロードフリットの構成例を示す。MARKER フィールドにはペイロードフリットであることを示す情報が格納される。PACKET PAYLOAD フィールドには図11に示したパケットが適切な個数に分割されて格納される。
- [0046] 物理的なアドレス空間と、パケットの送信先であるDRAM0またはDR

A M 1 を識別するための情報との関係付けは、設計情報としてアドレスマップ上で定義される。図 14 は、物理アドレス空間と D R A M 0 および D R A M 1 との対応関係を示す。また図 15 は、この対応関係を記述するアドレス対応表の例を示す。このアドレス対応表は、たとえばバスマスターの内部メモリ（図示せず）に保持され、管理されている。バスマスターは、このアドレス対応表を参照することにより、パケットの送信先を決定する。

[0047] 図 15 に示されるように、 0×00000000 から $0 \times 3FFFFF$ の範囲にあるアドレスが記述されたアクセスパケットには 00 のメモリ ID が割り当てられ、D R A M 0 にパケットが送信される。また 0×40000000 から $0 \times 7FFFFFFF$ の範囲にあるアドレスが記述されたアクセスパケットには 10 のメモリ ID が割り当てられ、D R A M 1 にパケットが送信される。図 12 の D S T フィールドには、経路切換部 104 が管理する経路番号と送信先のメモリの識別子とが格納される。例えば C P U から経路 000102 を用いて D R A M 0 にアクセスする場合には、D S T には 00 が格納される。また D M A C 0 から経路 001102 を用いて D R A M 0 にアクセスする場合には、100 が格納される。各中継ノードは、ヘッダフリットに格納された D S T フィールドの各ビットの値を読んで、フリットの転送先のポートを決定することで、パケットを D R A M 0 へと中継する。

[0048] (経路表管理部 102)

図 16 は、バス制御装置 R 00 上の経路表管理部 102 で管理される経路表の例を示す。中継ノード R 00 から D R A M 0 に向かう経路として、経路 000102 および 経路 001102 が存在する。また、D R A M 1 に向かう経路として、経路 000112 および 経路 001112 が存在する。したがって、経路表管理部 102 は、4 本の経路の各々を経路表上で経路評価値と共に管理する。

[0049] ここで、「経路評価値」とは各経路の伝送品質（送信状況）を表す値であり、たとえば経路の通信レイテンシを経路評価値として利用してもよい。各経路の通信レイテンシは、当該経路を通じたパケットの送受信にかかるサイ

クル数を計測することにより得ることができる。あるいは経路のレイテンシを計測するための計測用のパケットを送受信するプロトコルを備えてもよい。

[0050] 経路のレイテンシが予め定められた閾値を超えた場合、言い換えると、経路の伝送品質（送信状況）が閾値によって予め定められた基準を下回った場合には、経路表管理部102は、経路切換部104に対して、経路切換要求を発行する。レイテンシの閾値を50とした場合、経路000102と経路001102が切換対象経路となり、経路切換部104に通知される。

[0051] (パラメータ生成部103)

パラメータ生成部103は、所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成する。本実施形態においては、パラメータ生成部103は、0.0から1.0の範囲上の値をランダムに発生する。例えばパラメータ生成部103は、熱雑音を基にした乱数発生用のハードウェアで構成される。または、パラメータ生成部103は、一様分布、ポアソン分布または正規分布などの確率分布に基づく疑似乱数を発生するソフトウェアで構成されてもよい。また、上述の方法によって発生させた確率のテーブルを用意し、それを読み出してもよい。これらは確率分布に従うパラメータの生成例である。

[0052] 他方、パラメータ生成部103は予め定められた規則に従うパラメータを生成することもできる。ここでいう「予め定められた規則」とは、たとえば0.01から1まで規則的にインクリメントまたはデクリメントするカウンタを用意し、一定時間ごとに0.01単位で規則的にインクリメントさせる規則をいう。カウンタが示す各値をパラメータとして使うことにより、バスマスターが同時に経路切り換えを行おうとするときの切り替え対象となる経路が分散されることになる。よって、図8に示されるような経路リソースの奪い合いによる競合状態に陥ることがなくなる。

[0053] (経路切換部104)

経路切換部104は、決定部106および切換部108を有している。決

定部 106 は、バスの負荷状況に合わせてどの経路を選択するかを決定する。切換部 108 は、これまで採用されていた経路を、データの伝送経路を決定部 106 によって決定された経路に切り換える。この「経路を切り換える」とは、パケット（またはフリット）を送信する中継装置を変更すること、または送信経路上で中継する中継装置を変更することをいう。決定部 106 および切換部 108 はハードウェアとして存在しなくてもよく、モジュール化されたプログラムとして実現されてもよい。

[0054] 決定部 106 は、図 17 に示すようなフロー表を管理している。決定部 106 は、経路表管理部 102 から経路切換要求を受けた経路でメモリにアクセスしている各フローに対し、どの経路に切り換えるかを決定する。切換部 108 は決定部 106 によって決定された経路への切換を実行する。図 18 は、フロー ID が 2 のフローの経路を切り換えたときのフロー表を示す。以下、図 19 を参照しながら、フローの経路を切り換える処理の詳細を説明する。以下では、図 17 のフロー表で示される状態から、図 18 のフロー表で示される状態に書き換えられる例を説明する。図 17 では、フロー ID が 1 および 2 の各フローは経路 000102 を使用し、フロー ID が 3 のフローは経路 101102 を使用して伝送されるとする。

[0055] 図 19 は、経路切換部 104 の処理手順を示す。

[0056] 経路切換部 104 の決定部 106 は、経路表管理部 102 から、経路 000102 に対する経路切換要求を受信する（ステップ S1）。このとき、決定部 106 は、図 17 のフロー表を参照して、要求を受けた各経路に対するイテレーションを行う（ステップ S2）。その結果、図 17 で管理されるフロー 1 及びフロー 2 が経路切換対象のフローとして認識される（ステップ S3）。決定部 106 は、各切り換え対象フロー i に対するイテレーションを行う（ステップ S4）。

[0057] 決定部 104 は、経路表管理部 102 で管理される経路表から、メモリ ID が 00 の DRAM 0 に対応する切換候補経路である経路 000102 と経路 001102 の経路評価値 E1、E2 を読み出す（ステップ S5）。

[0058] 図16に示すように、経路評価値が $E_1 = 112$ 、 $E_2 = 62$ であったとすると、決定部106は、それらの逆数の比率である E_1 チルダ及び E_2 チルダを求める（ステップS6）。この例の場合は、 E_1 チルダ= $62 / (112 + 62) = 0.4$ 、 E_2 チルダ= $112 / (112 + 62) = 0.6$ となる。次に経路切り換えの対象フローであるフロー1とフロー2それぞれに対応する確率値として、パラメータ生成部103から2つの確率値 P_1 及び P_2 を取得する（ステップS7）。いまそれぞれの確率値を、 $P_1 = 0.2$ 及び $P_2 = 0.7$ とすると、以下の関係を見て切り換え対象の経路を決定できる（ステップS8）。即ち、フロー1については、以下の基準によって経路が切り換えられる。

$0 \leq P_1 < 0.6 \rightarrow P_1$ が $0.6 (= E_2$ チルダ $)$ より小さければ経路000102に切り換え

$0.6 \leq P_1 \leq 1.0 \rightarrow P_1$ が $0.6 (= E_2$ チルダ $)$ 以上であり、且つ $1.0 (= E_1$ チルダ+ E_2 チルダ $)$ 以下であれば経路001102に切り換え

[0059] またフロー2については、以下の基準によって経路が切り換えられる。

$0 \leq P_2 < 0.6 \rightarrow P_2$ が $0.6 (= E_2$ チルダ $)$ より小さければ経路000102に切り換え

$0.6 \leq P_2 \leq 1.0 \rightarrow P_2$ が $0.6 (= E_2$ チルダ $)$ 以上であり、且つ $1.0 (= E_1$ チルダ+ E_2 チルダ $)$ 以下であれば経路001102に切り換え

[0060] 上述の説明から理解されるとおり、上述の E_2 チルダは、選択確率として利用されているといえる。

[0061] この結果、決定部106は図18に示すようにフロー表を更新する。すなわち、フロー1は経路000102に留まり、フロー2は経路001102に切り換えられる（ステップS11）。この結果、切換部108はフロー2を経路001102に切り換える。その後、決定部106は、各切換対象フロー*i*に対するイテレーションを行い（ステップS12）、要求を受けた各

経路に対するイテレーションを行う（ステップS13）。以上の処理により、利用可能な複数の経路上にフローが確率的に分散されるため、経路の競合が抑制される。なお、上述した、フロー2を経路001102に切り換える処理は、パケット（またはフリット）を送信する中継装置を図5に示すR0からR11に変更する処理に相当する。

[0062] 上述した処理は候補経路数が2本の場合の最も簡単な例である。そこで次に、候補経路が多いときの一般的な処理の例を示す。以下ではN本の候補経路が存在し、各候補経路の経路評価値がE_iである場合、確率値の範囲判定の比率を算出するためにステップS6では次の数3にしたがって、正規化された値E_iチルダを求めてよい。

[数3]

$$\tilde{E}_i = \frac{E_i^{-1}}{\sum_n E_n^{-1}}$$

[0063] 上述のE_iチルダを用いて、ステップS8では生成した確率値P_iが下記数4に示す確率範囲にあるとき、候補経路jを切り換え先の経路として選択する。

[数4]

$$\sum_{k=0}^{j-1} \tilde{E}_k \leq P_i < \sum_{k=0}^j \tilde{E}_k$$

但し下記数5の条件を満たすとする。

[数5]

$$\tilde{E}_0 = 0$$

[0064] また各フローの平均レートなどのレート情報が利用可能であれば、現在使

用中の経路に対するE i チルダの値を次の数6ように補正してもよい。

[数6]

$$\tilde{E}'_i = (1 + w \cdot u(r - r_{th})) \cdot \tilde{E}_i$$

但しwは補正係数、u(・)はステップ関数、rは当該フローの平均レート値、r thは補正を行うかどうかを示す閾値である。

[0065] これによって、レートの大きなフローが他の経路に移動する確率が低くなり、レートの小さいフローが移動する確率が高まる。バスを流れる複数のメモリアクセスフローのレートのばらつきが大きく、高レートと低レートが混在するような用途においては、高レートのフロー同士が確率的に切り換え先経路で競合した場合の他のフローへの影響は大きいため、低レートのフローを優先的に経路切り換えしたほうがチップの動作をより安定させることができる。確率的な経路選択を行うことにより、低い負荷の経路が常に選択されるということが避けられる。したがって、従来行われていたような利己的な経路選択に起因する、リソース競合に伴うスループットの低下を防ぐことが可能となる。

[0066] また補正に用いる式は、数6には限られない。例えばシグモイド関数を用いて、数7のように定義してもよい。それ以外のさらに複雑な方法によって重み付けを行っても良い。

[数7]

$$\tilde{E}'_i = \frac{w}{1 + \exp(-K \cdot (r - r_{th}))}$$

Kは、r th付近での補正の変化の度合いを調整するための係数である。

[0067] またステップS 6において、読み出した経路評価値E i からE i チルダに変換しているが、この部分は、予め変換テーブルとして準備しておいても良い。ステップS 6は、ステップS 5で読み出された経路評価値E i を検索のキーとして、変換テーブルを探索し、予めテーブルに格納されているE i チ

ルダの値を取得する。変換テーブルを用いることにより、変換処理に要する演算時間を削減することができる。

[0068] 以上、本発明の実施形態を説明した。本実施形態においては、経路を決定した後、決定された経路に切り換えて送信データを伝送するとしている。しかしながら本発明にかかる装置は、経路を実際に切り換える処理までを行う必要はなく、新たな経路を決定する処理までを行えればよい。経路を切り換える処理は、たとえば本発明の装置から指示を受けた既存のバス制御装置によって行われてもよい。そのため、たとえば図10に示される切換部108や、中継部101は省略されてもよい。

[0069] 上記変形例に関連して以下の点に留意されたい。

[0070] 本願明細書では、バス制御装置は中継ノードであるとして説明したため、中継部101が省略された場合には厳密にはバス制御装置には該当しない。しかしながら、これは単に表現の問題である。中継部101が省略された構成は、データ転送経路の切り換えを制御するという意味においてはバス制御装置の範疇である。または、当該構成は、一般的なバス制御装置に対して送信経路の切り換えを指示する「制御装置」として捉えることもできる。

[0071] 図20は、制御装置110の構成例を示す。制御装置110の経路切換部104は、一般的なバス制御装置111からパケット（受信データ）を受け取り、上述の処理（説明は省略する。）を行うことによってそのパケットの出力経路を決定する。そして経路切換部104は、決定した送信経路で送信するよう、送信経路に関する指示を送信するとともに当該パケット（送信データ）を一般的なバス制御装置111に送信する。

[0072] 上述の実施形態では、メモリはDRAMとしたが、SRAMなどのオンチップメモリやキャッシュメモリであってもよい。またバスマスターとメモリ間だけではなく、プロセッサ同士の通信網に適用してもよい。またトポロジーもメッシュ網やトーラス網、他の多段接続網であっても良い。またチップ設計時に使用する伝送性能や消費電力などを見積もるためのソフトウェア・シミュレータ上にアルゴリズムとして実装しても良い。設計ツールに本実

施の形態を適用することで、マスキング前の評価段階でチップの性能向上を検証することができる。

産業上の利用可能性

[0073] 本発明は、組込機器向けのS〇Cに於けるオンチップバスや、汎用プロセッサ、DSP上のローカルバスに於ける、データ転送経路の制御技術を備えたネットワークバス制御装置、制御方法、制御プログラムに利用可能である。

符号の説明

- [0074] 100 バス制御装置
101 中継部
102 経路表管理部
103 パラメータ生成部
104 経路切換部
110 制御装置
111 一般的なバス制御装置

請求の範囲

- [請求項1] バスマスターと、ネットワーク化された通信バスとの間に設けられ、前記通信バスに流れるパケットの送信経路を制御するバス制御装置であって、
複数の送信経路および前記複数の送信経路の各々の送信状況を管理する経路表管理部と、
所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、
前記複数の送信経路の各々の送信状況と前記パラメータとに基き、送信経路を決定する決定部と、
前記通信バス上を流れるパケットの中継処理を行う中継部とを備えたバス制御装置。
- [請求項2] 前記パケットの送信経路を、前記決定部によって決定された新たな送信経路に切り換える切換部をさらに備え、
前記中継部は、前記切換部によって切り換えられた前記新たな送信経路を利用して前記パケットを送信する、請求項1に記載のバス制御装置。
- [請求項3] 前記決定部は、前記パラメータが、前記送信状況を示す評価値に応じて算出される選択確率の範囲に含まれるか否かに応じて、前記選択確率に対応する送信経路に切り換えるか否かを決定する、請求項1記載のバス制御装置。
- [請求項4] 前記決定部は、各経路の送信状況の良さに比例した確率分布を用いて経路の選択を行う、請求項1に記載のバス制御装置。
- [請求項5] 前記決定部は、伝送レートが基準値よりも高いレートのパケットのフローに対しては、既に使用中の経路の選択確率を補正し、経路切換確率を制限する、請求項4に記載のバス制御装置。
- [請求項6] 前記経路表管理部は、送信状況が予め定められた基準を下回った経路を切り換え対象の経路として特定し、

前記パラメータ生成部は、熱雑音を基にした乱数、または、一様分布、ポアソン分布または正規分布に基づく疑似乱数を利用して前記パラメータを生成し、

前記決定部は、前記切り換え対象の経路で伝送されるパケットのフローに関して、前記送信状況の悪化に応じて大きくなる評価値を算出し、前記パラメータが、前記評価値の範囲に含まれるか否かに応じて、前記評価値に対応する送信経路に切り換えるか否かを決定する、請求項3に記載のバス制御装置。

[請求項7]

前記経路表管理部は、送信状況が予め定められた基準を下回った経路を切り換え対象の経路として特定し、

前記パラメータ生成部は、規則的に変化するカウンタを利用して前記パラメータを生成し、

前記決定部は、前記切り換え対象の経路で伝送されるパケットのフローに関して、前記送信状況の悪化に応じて大きくなる評価値を算出し、前記パラメータが、前記評価値の範囲に含まれるか否かに応じて、前記評価値に対応する送信経路に切り換えるか否かを決定する、請求項3に記載のバス制御装置。

[請求項8]

バスマスターと、ネットワーク化された通信バスとの間に設けられたバス制御装置に指示を出力して、前記通信バスに流れるパケットの送信経路を制御する制御装置であって、

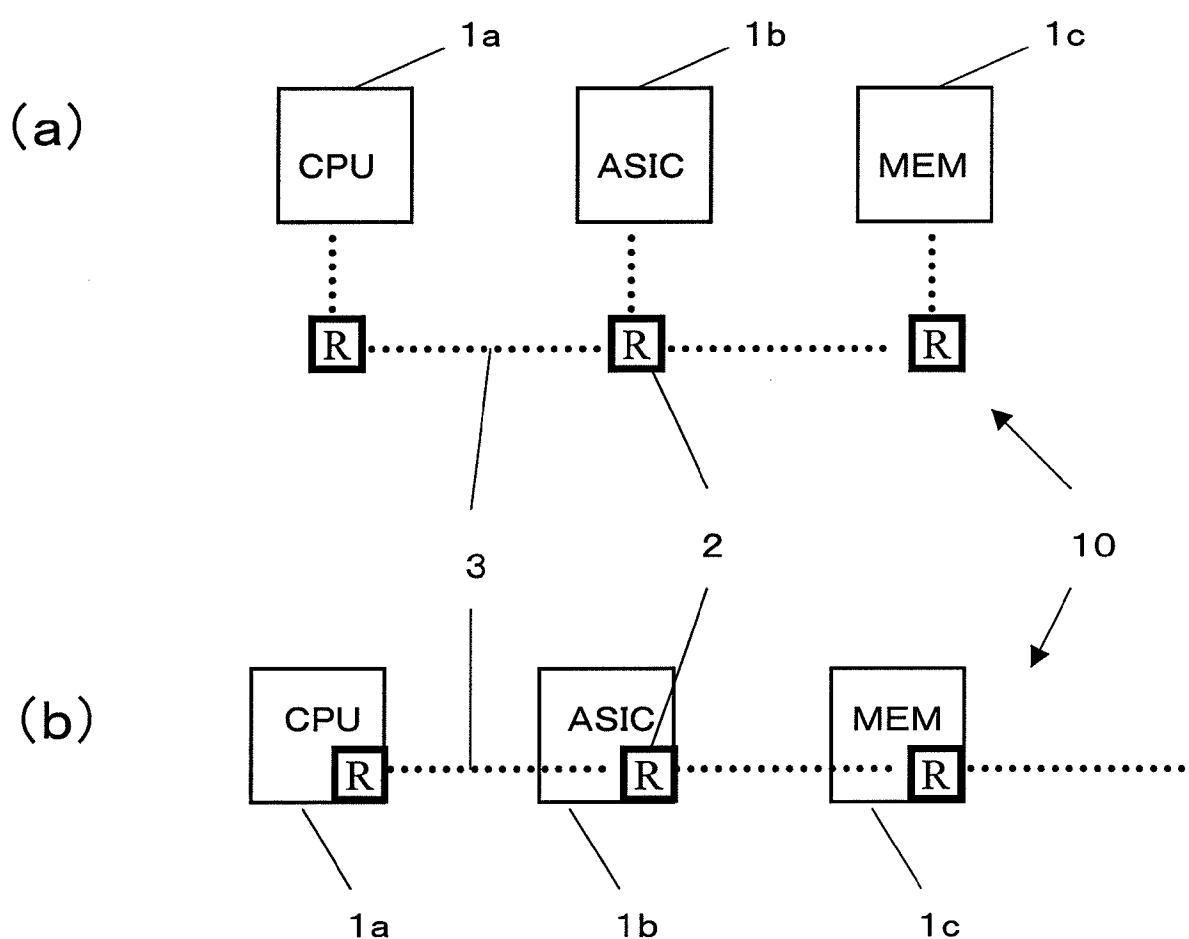
複数の送信経路および前記複数の送信経路の各々の送信状況を管理する経路表管理部と、

所定の確率分布に従うパラメータ、または、予め定められた規則に従うパラメータを生成するパラメータ生成部と、

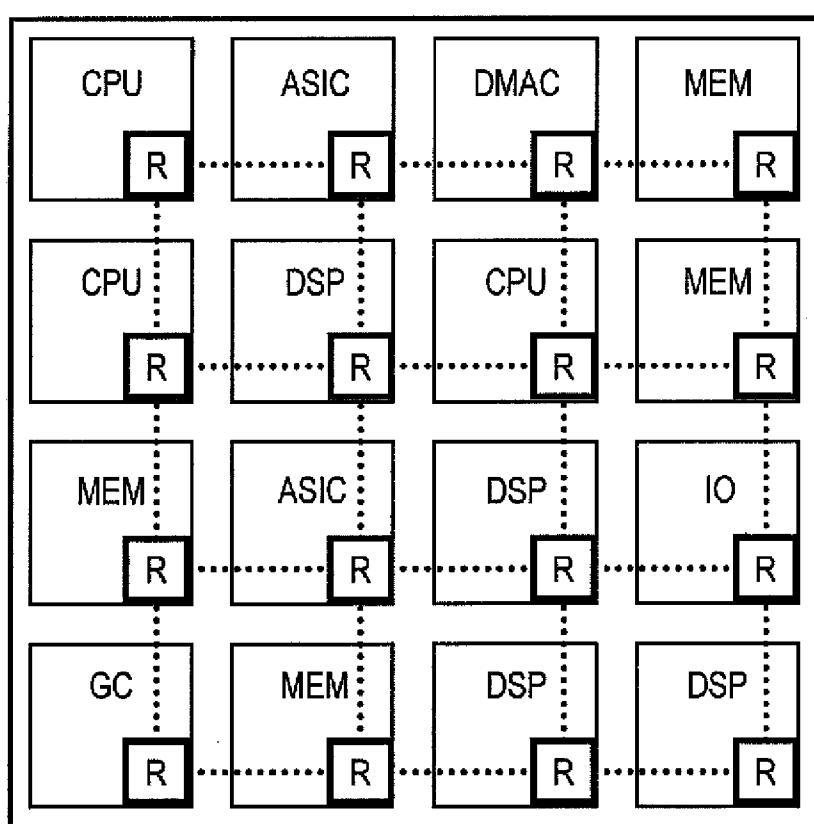
前記複数の送信経路の各々の送信状況と前記パラメータとに基き、送信経路を決定して、決定した前記送信経路に関する指示を前記バス制御装置に出力する決定部と、

を備えた制御装置。

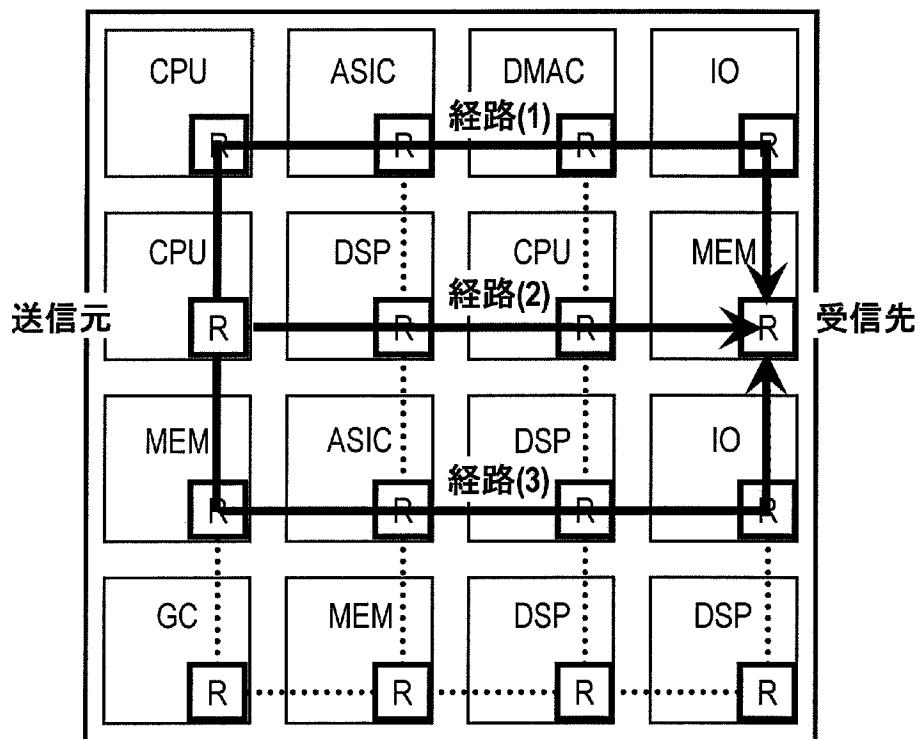
[図1]



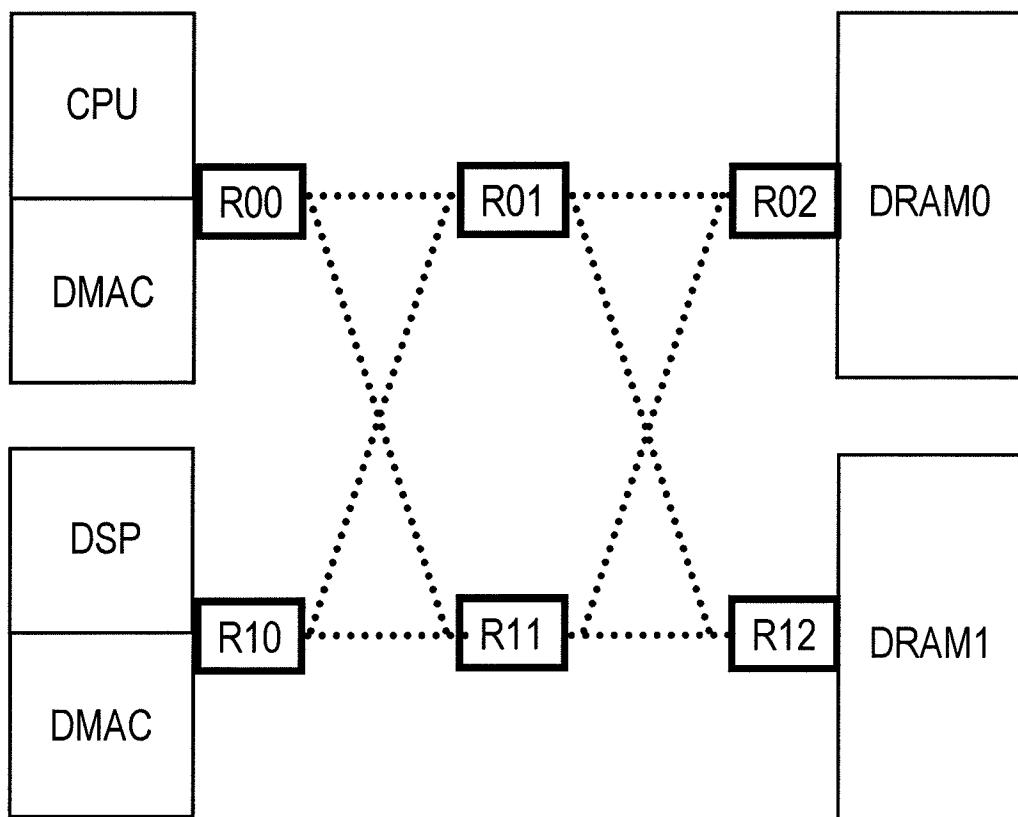
[図2]



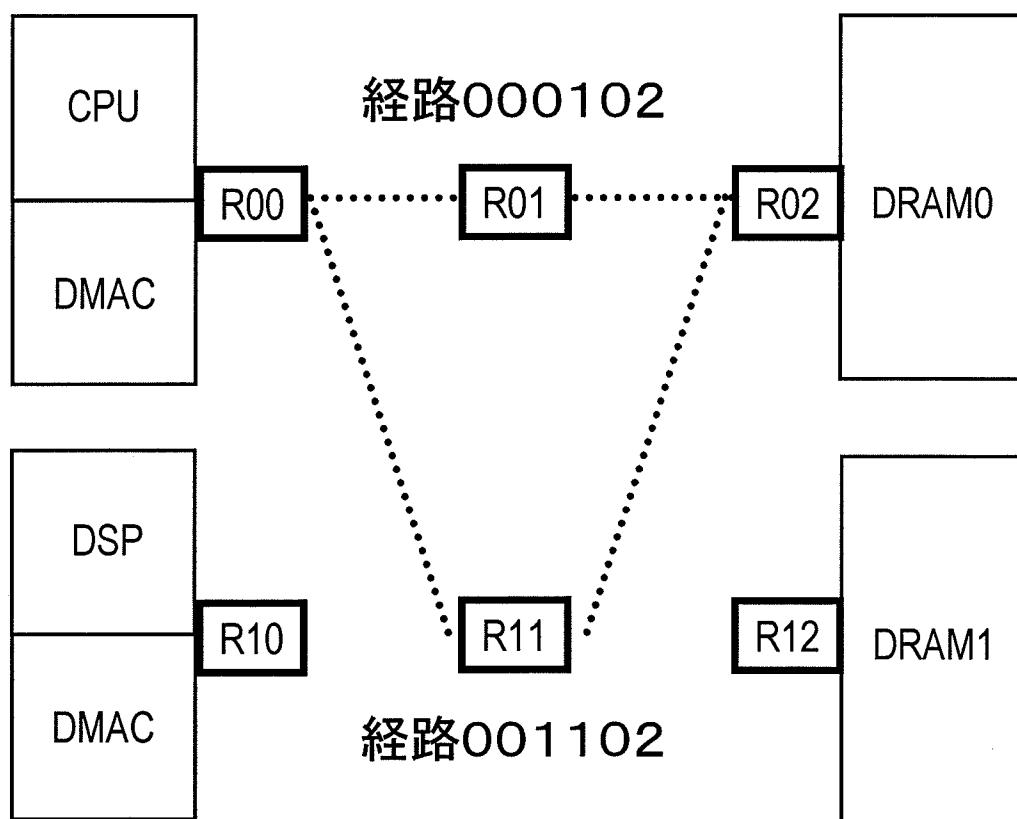
[図3]



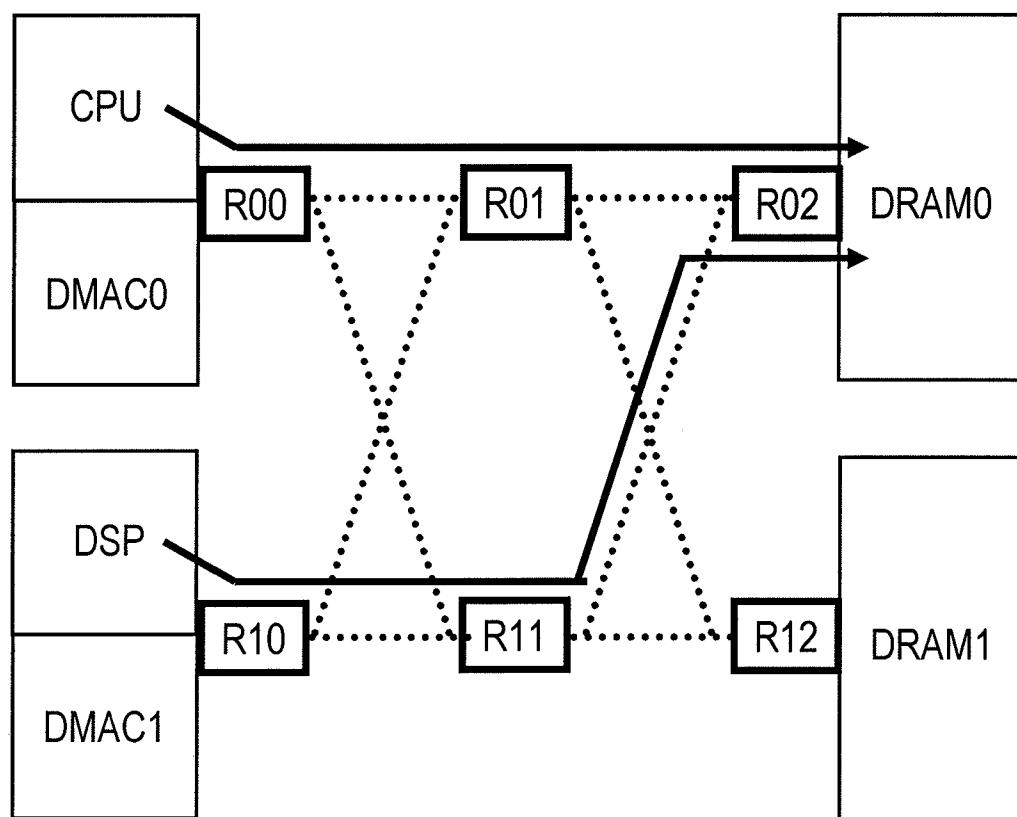
[図4]



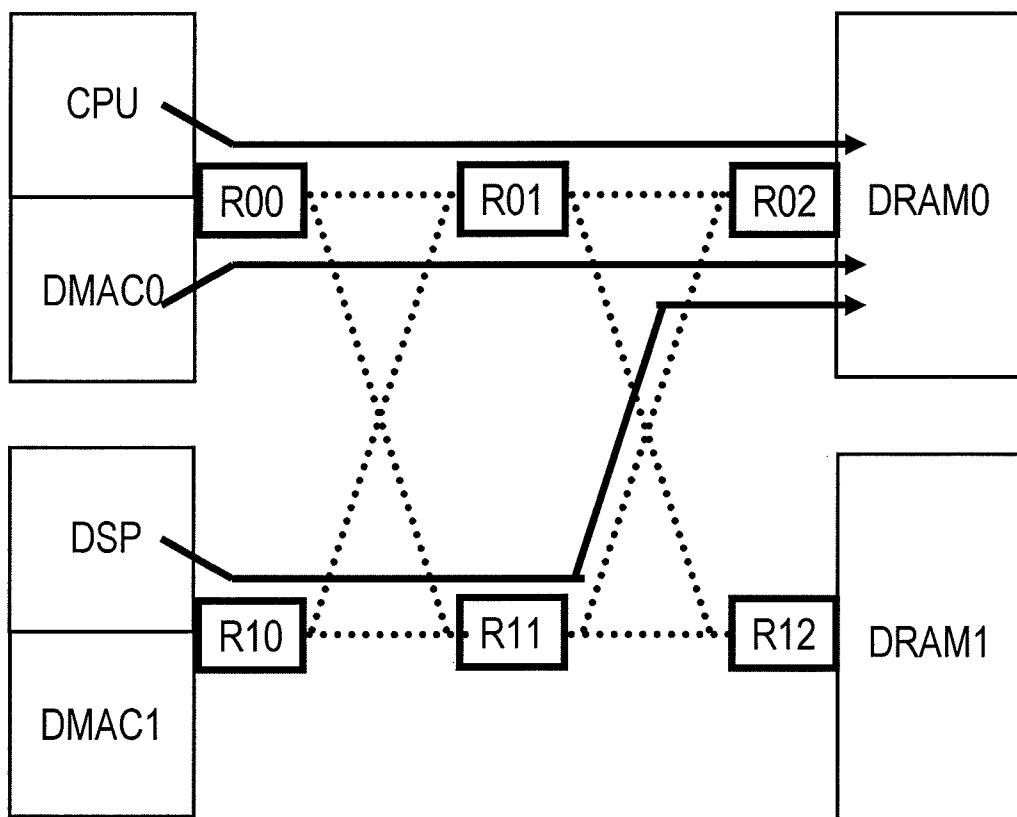
[図5]



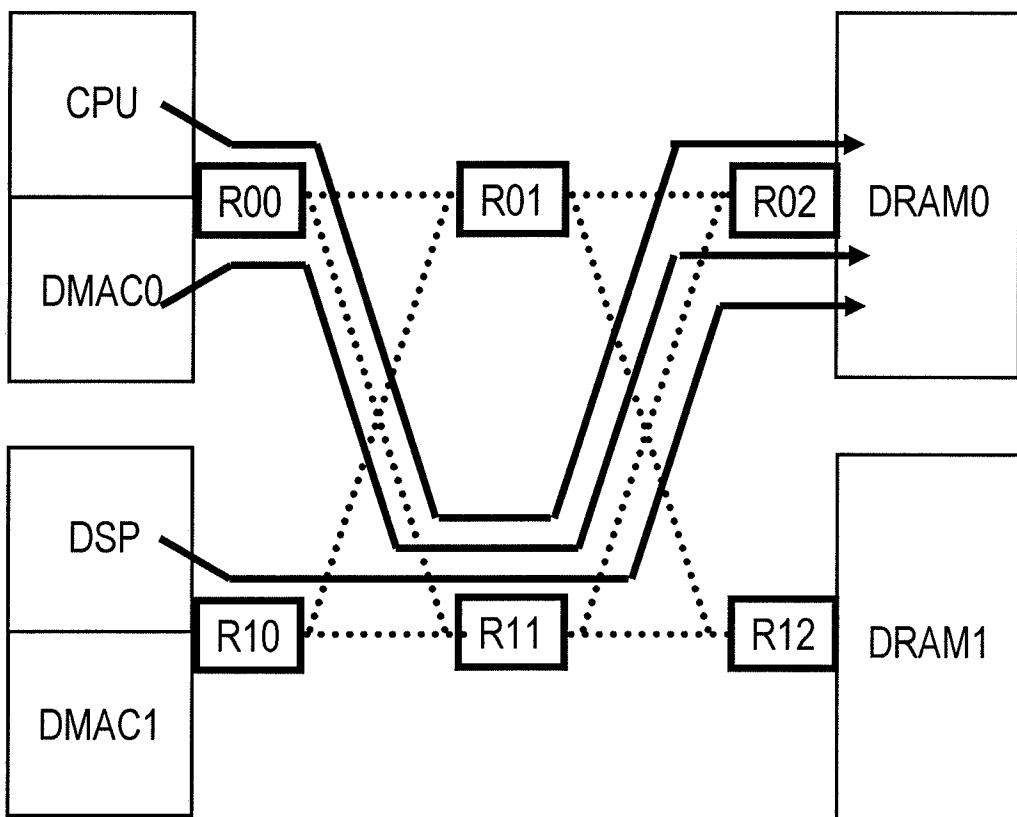
[図6]



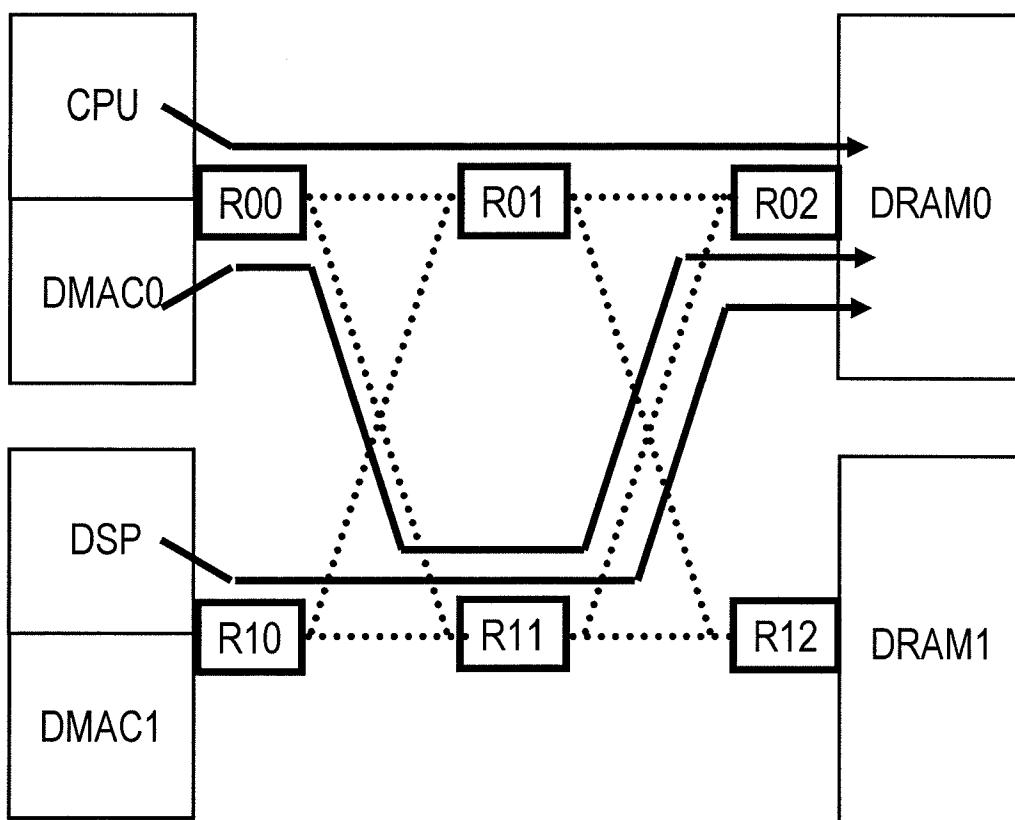
[図7]



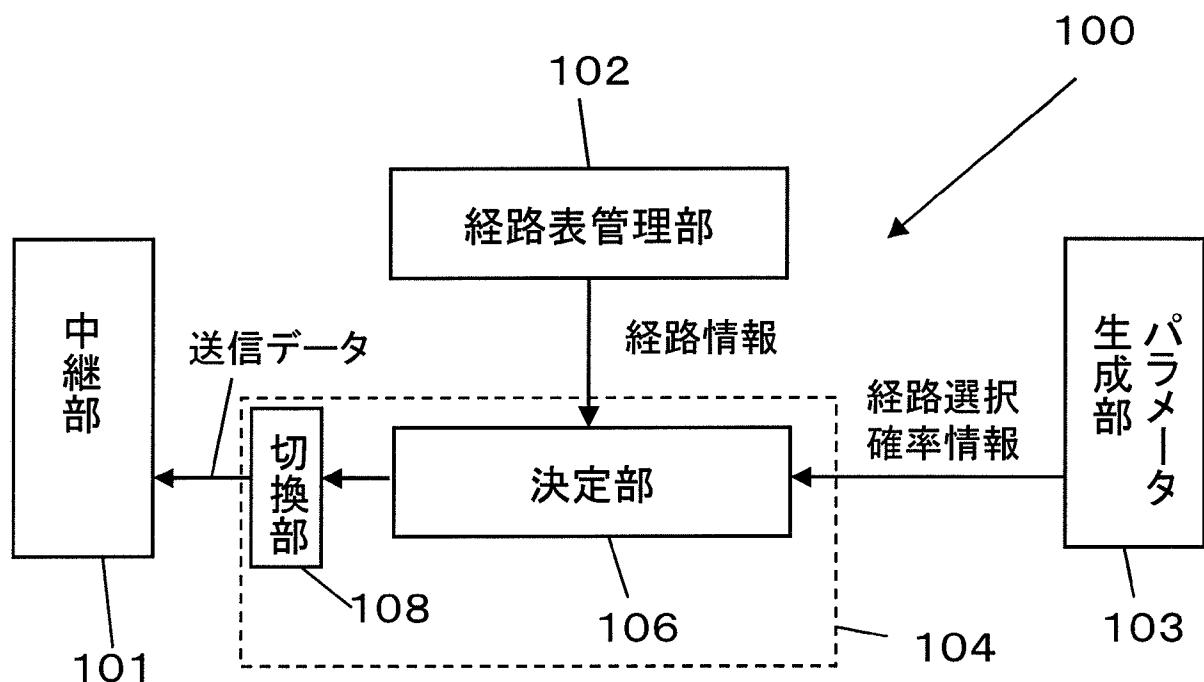
[図8]



[図9]



[図10]



[図11]



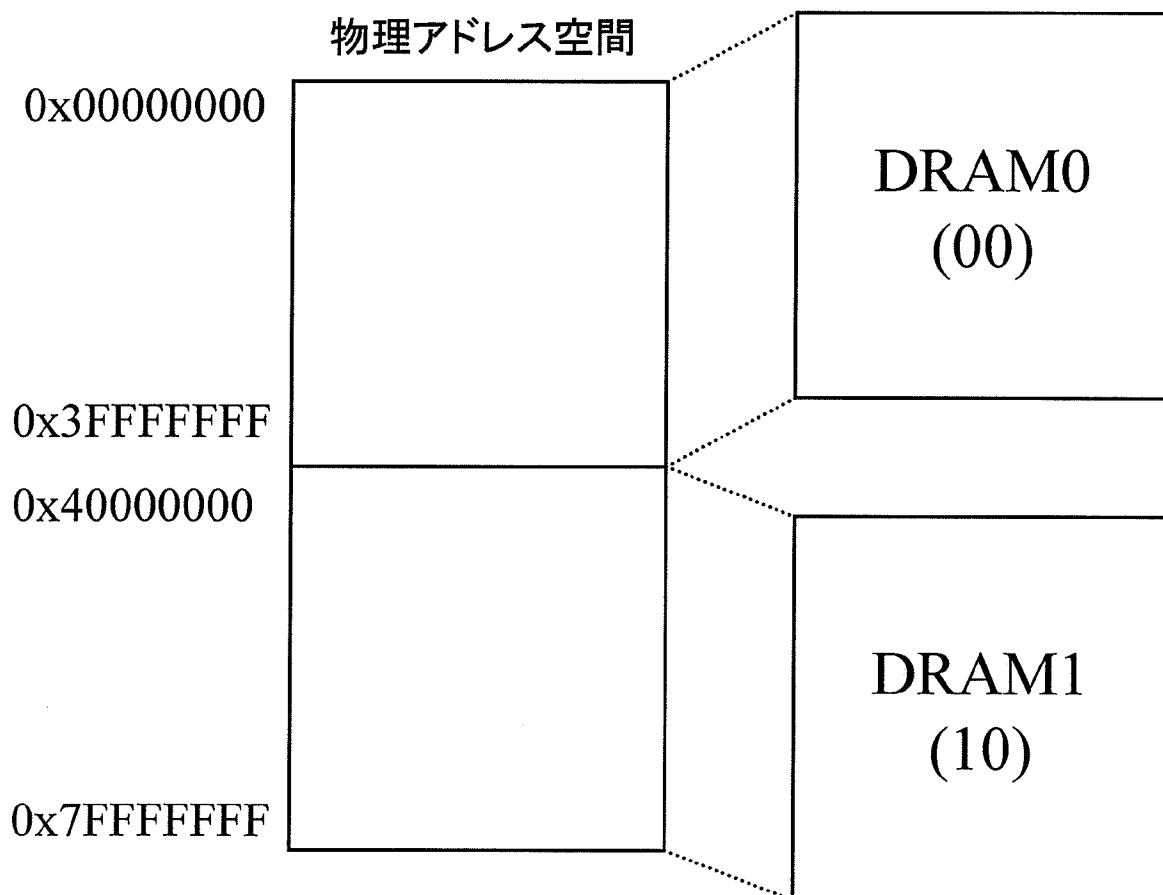
[図12]



[図13]



[図14]



[図15]

開始アドレス	終了アドレス	メモリID
0x00000000	0x3FFFFFFF	00
0x40000000	0x7FFFFFFF	10

[図16]

送信先	経路	評価値 (Ei)
DRAM0 (00)	経路000102	112
	経路001102	62
DRAM1 (10)	経路000112	30
	経路001112	23

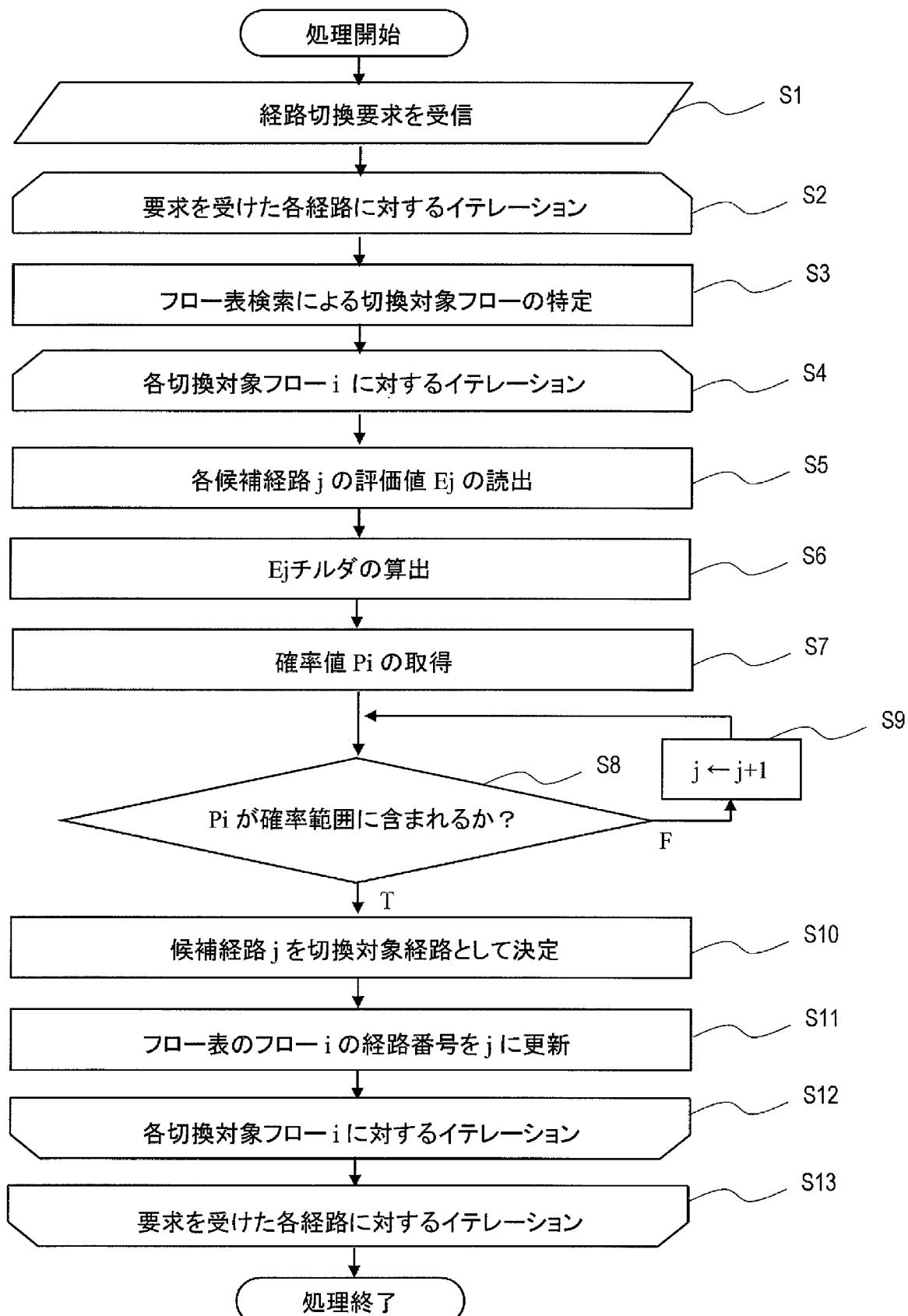
[図17]

FLOW ID	送信元	送信先	経路番号
1	CPU	00	0
2	DMAC0	00	0
3	DSP	00	1

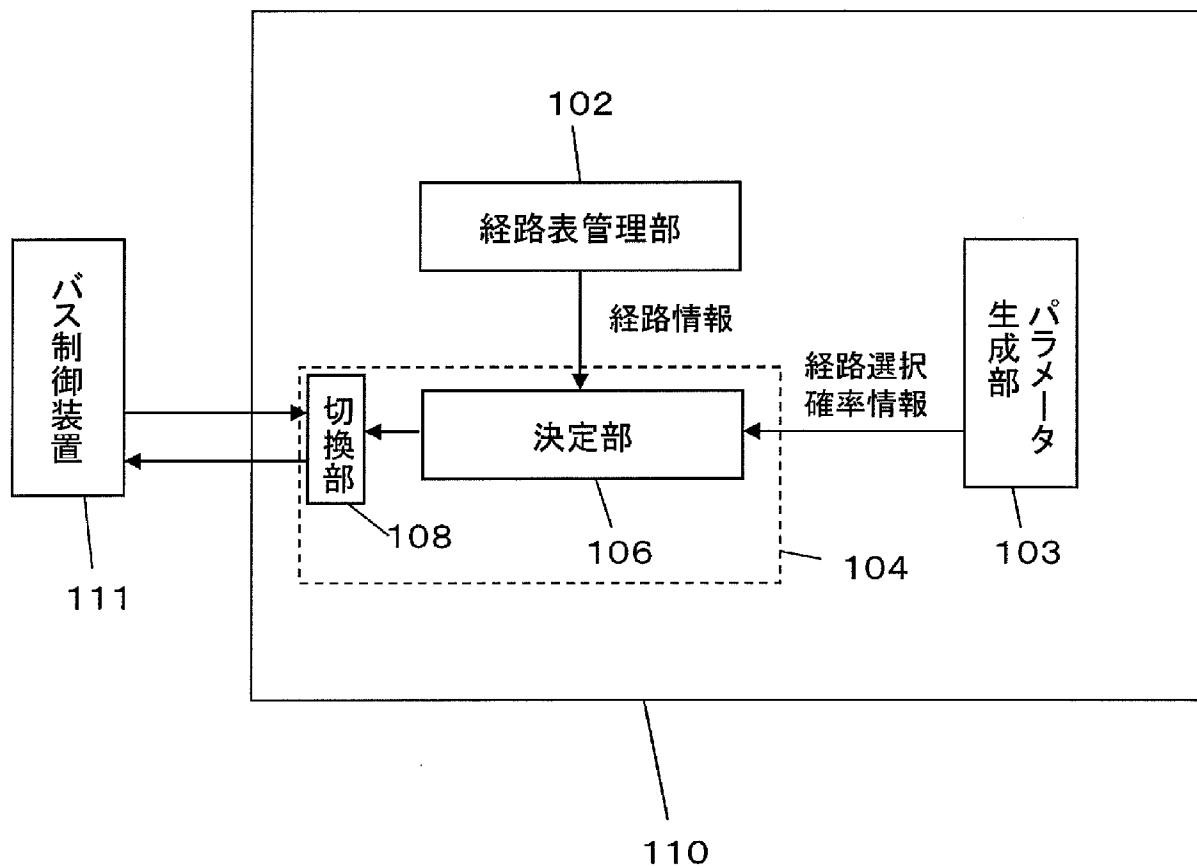
[図18]

FLOW ID	送信元	送信先	経路番号
1	CPU	00	0
2	DMAC0	00	1
3	DSP	00	1

[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002681

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/36(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H04L12/56
(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/36, H01L21/822, H01L27/04, H04L12/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/150849 A1 (Panasonic Corp.), 17 December 2009 (17.12.2009), entire text (particularly, paragraphs [0170] to [0202]); all drawings (particularly, fig. 25 to 30) (Family: none)	1-8
Y	JP 2010-056818 A (KDDI Corp.), 11 March 2010 (11.03.2010), entire text; all drawings (Family: none)	1-8
Y	JP 2002-247087 A (Nippon Telegraph and Telephone Corp.), 30 August 2002 (30.08.2002), entire text; all drawings (Family: none)	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 May, 2011 (31.05.11)

Date of mailing of the international search report
07 June, 2011 (07.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002681

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-325032 A (Nippon Telegraph and Telephone Corp.), 13 December 2007 (13.12.2007), entire text (particularly, paragraph [0052]); all drawings (Family: none)	5
Y	JP 09-036893 A (International Business Machines Corp.), 07 February 1997 (07.02.1997), entire text (particularly, paragraphs [0014], [0054], [0055]); all drawings & US 5940372 A & EP 753979 A1	5
A	JP 2007-074074 A (Nippon Telegraph and Telephone Corp.), 22 March 2007 (22.03.2007), entire text; all drawings (Family: none)	1-8
A	Shingo WAKITA et al., "Delay Reduction Algorithm by Balancing Distribution of Traffic for Odd-Even Turn Model in NoC", IEICE Technical Report, vol.108 no.478, 11 March 2009 (11.03.2009), pages 153 to 158	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F13/36(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H04L12/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F13/36, H01L21/822, H01L27/04, H04L12/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2009/150849 A1 (パナソニック株式会社) 2009.12.17, 全文 (特に、[0170]-[0202])、全図 (特に、図 25-30) (ファミリーなし)	1-8
Y	JP 2010-056818 A (KDDI 株式会社) 2010.03.11, 全文、全図 (ファミリーなし)	1-8
Y	JP 2002-247087 A (日本電信電話株式会社) 2002.08.30, 全文、 全図 (ファミリーなし)	1-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 31.05.2011	国際調査報告の発送日 07.06.2011
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 木村 貴俊 電話番号 03-3581-1101 内線 3565 51 9857

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-325032 A (日本電信電話株式会社) 2007.12.13, 全文 (特に、第52段落)、全図 (ファミリーなし)	5
Y	JP 09-036893 A (インターナショナル・ビジネス・マシーンズ・ コーポレイション) 1997.02.07, 全文 (特に、第14, 54, 55段落)、 全図 & US 5940372 A & EP 753979 A1	5
A	JP 2007-074074 A (日本電信電話株式会社) 2007.03.22, 全文、 全図 (ファミリーなし)	1-8
A	脇田 慎吾ら, Odd-Even Turn Model を対象とした NoC の負荷分散による遅延時間削減手法, 電子情報通信学会 技術研究報告 Vol. 108 No. 478, 2009.03.11, P.153-158	1-8