(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年10 月9 日 (09.10.2003)

PCT

(10) 国際公開番号
WO 03/084227 A1

(51) 国際特許分類[7]: H04N 7/01

(21) 国際出願番号: PCT/JP03/03927

(22) 国際出願日: 2003 年3 月28 日 (28.03.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-98368 2002 年4 月1 日 (01.04.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真１００６ Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 木本 高幸 (KIMOTO,Takayuki) [JP/JP]; 〒573-0065 大阪府 枚方市 出口２−２９−１−４３７ Osaka (JP).

(74) 代理人: 小笠原 史朗 (OGASAWARA,Shiro); 〒564-0053 大阪府 吹田市 江の木町３番１１号 第３ロンヂェビル Osaka (JP).

(81) 指定国 (国内): CN, JP, US.

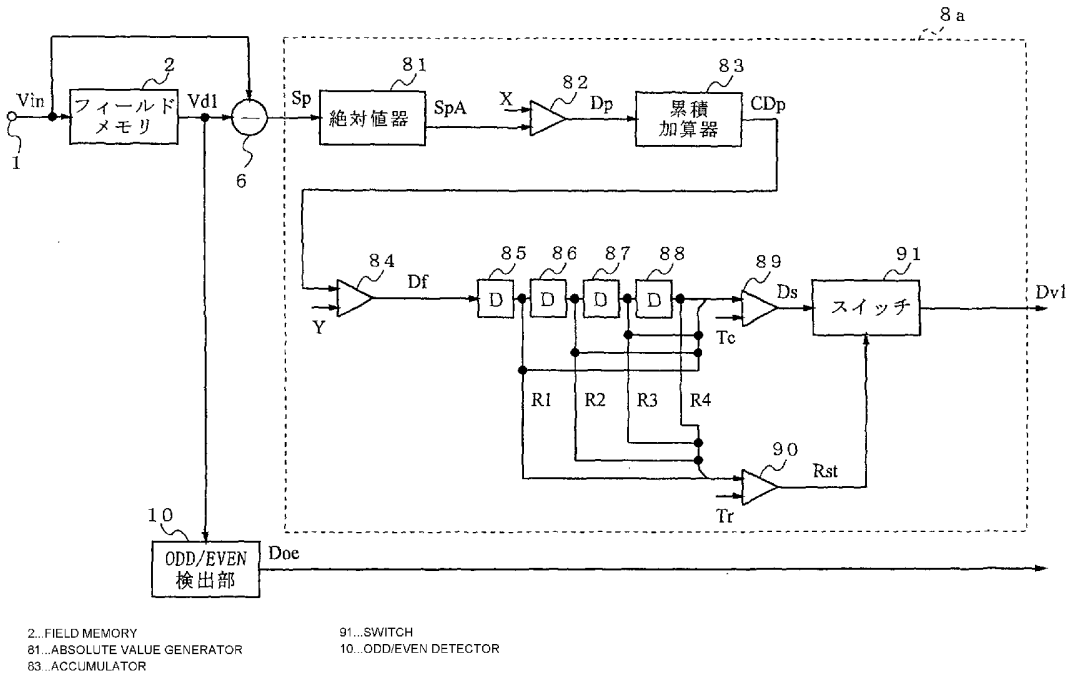
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: FIELD INTERPOLATION MEHTOD DETERMINATION DEVICE

(54) 発明の名称: フィールド補間方式決定装置



(57) Abstract: The correlation of videos between fields is judged from the difference between an input interlace signal and a signal that lags behind the input interlace signal by one field. By comparing the correlation among continuous (N-1) fields with a predetermined pattern, a determination is made whether the input interlace signal is reliably a telecine signal, whether the input interlace signal is reliably not a telecine signal, or whether it cannot be said that the interlace signal is reliably a telecine signal. When the determination that the signal is reliably a telecine signal is made for at least a predetermined number of fields, an instruction signal that instructs inter-field interpolation for the input interlace signal is outputted.

[続葉有]

WO 03/084227 A1

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 入力インタレース信号と当該入力インタレース信号を１フィールド遅延した信号との差分に基づいて、フィールド間の映像の相関を判定する。連続するＮ−１個のフィールド間の相関と、所定のパターンとを比較して、入力インタレース信号が確実にテレシネ信号であるか、確実にテレシネ信号でないか、または、確実にテレシネ信号であるともないともいえないかを判定する。確実にテレシネ信号である判定が、所定のフィールド数以上続いた場合、入力インタレース信号に対してフィールド間補間を行う指示信号を出力する。

明細書

フィールド補間方式決定装置

技術分野

入力されるインタレース信号の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でフレーム合成してプログレッシブ信号に変換すべきかを決定するフィールド補間方式決定装置に関する。

背景技術

プログレッシブ信号に変換すべきインタレース信号の中には、飛び越し走査で撮像された標準的な信号と、プログレッシブ信号をインタレース信号に変換した信号とがある。後者の代表的な例は、テレシネ変換信号である。

テレシネ変換方式の一つである２－２プルダウン方式では、テレシネ変換信号は、以下のように生成される。まず、毎秒２４コマの映画フィルムの各コマが順次走査され、毎秒２４フレームのプログレッシブ信号が生成される。そして、当該プログレッシブ信号の各フレーム（親フレーム）は、インタレース信号の奇数フィールドとその直後の偶数フィールドとに変換される。

例えば、映画フィルムの第１コマ（プログレッシブ信号の第１親フレーム）は、第１および第２フィールドに変換され、映画フィルムの第２コマ（プログレッシブ信号の第２親フレーム）は、第３および第４フィールドに変換され

る。

このため、同一の親フレームから変換された第１フィールドと第２フィールドとでは、それぞれの映像が類似しているため、映像の差異は小さい。一方、親フレームが異なる第２フィールドと第３フィールドとでは、フィールド間の映像の差異は、親フレーム間の差異を反映するため、前者と比較して大きくなる。つまり、隣り合うフィールド間の差異は、親フレームと各フィールドとの関係に従って、フィールドごとに大小交互に変化する。

このようなテレシネ変換信号の特徴は、毎秒３０フレームのプログレッシブ映像信号を生成する３０Ｐ方式のビデオカメラで撮影されたプログレッシブ信号を、２－２プルダウン方式で変換した毎秒６０フィールドのインタレース信号にも当てはまる。

また、ＮＴＳＣ方式（毎秒６０フィールド）のインタレース信号にテレシネ変換するために用いられる２－３プルダウン方式では、映画フィルムの１コマは２フィールドに、次の１コマは３フィールドに変換され、２コマごとに上記の変換パターンがくり返される。２－３プルダウン方式のテレシネ変換信号も、親フレームとフィールドとの関係に従って、フィールド間の画素レベルの差について規則的な変化パターンを有するため、上記と同様の特徴を備える。

日本特開平９－１８７８４号公報（優先権主張ＵＳ９４－３６６７９９）は、フィールド補間方式決定装置は、入力インタレース信号のフィールド間の差異に基づいて、入

力インタレース信号がテレシネ変換信号であるか否かを識別して、フィールド補間方式を決定するフィールド補間方式決定装置を開示している。

図１０を参照して、従来のフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。同図に示された映像信号処理装置２００は、入力インタレース信号がテレシネ変換信号である場合のみフィールド間補間を行い、テレシネ変換信号でない場合にはフィールド内補間を行って、当該インタレース信号をプログレッシブ信号に変換する。

映像信号処理装置２００は、入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、フィールド補間方式決定部１０８、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、およびプログレッシブ信号生成部２０を含む。

入力端子１には、入力インタレース信号Ｖｉｎが供給される。フィールドメモリ２は、入力インタレース信号Ｖｉｎに対して１フィールド分遅延した１フィールド遅延入力インタレース信号Ｖｄ１を出力する。また、１フィールド遅延入力インタレース信号Ｖｄ１は、プログレッシブ信号生成部２０に入力され、同信号に対してフィールド間補間またはフィールド内補間のいずれかが行われる。

減算器６は、入力インタレース信号Ｖｉｎと１フィールド遅延入力インタレース信号Ｖｄ１との画素レベルの差分を求めて、フィールド間画素レベル差分Ｓｐとして出力す

る。なお、インタレース信号では、隣り合うフィールドの走査線は、１ずつずれている。このため、減算器６は、一方のフィールドの隣り合う２ラインの画素レベルの平均値と他方のフィールドの対応する画素レベルとの差分を求める。

フィールド補間方式決定部１０８は、フィールド間画素レベル差分Ｓｐに基づいて、入力インタレース信号Ｖｉｎがテレシネ変換信号であるか否かを判定する。フィールド補間方式決定部１０８は、１フィールド遅延入力インタレース信号Ｖｄ１に対してフィールド間補間およびフィールド内補間のいずれを行うかを指示するフィールド補間方式指示信号Ｄｖｐを出力する。

第２のスイッチ１８は、フィールド間補間を指示するフィールド補間方式指示信号Ｄｖｐが入力される場合、上記の第１のスイッチ１２から出力されたフィールド間補間映像信号Ｓｗ１を選択して補間映像信号Ｓｗ２として出力する。

フィールド間補間信号映像Ｓｗ１は、１フィールド遅延入力インタレース信号Ｖｄ１に対して１フィールド前の信号である２フィールド遅延入力インタレース信号Ｖｄ２および１フィールド後の信号である入力インタレース信号Ｖｉｎのいずれかの信号であり、以下のように選択される。

ＯＤＤ／ＥＶＥＮ検出部１０は、１フィールド遅延入力インタレース信号Ｖｄ１に基づいて当該信号が奇数フィールドであるか偶数フィールドであるかを検出し、検出結果を示すフィールド識別信号Ｄｏｅを出力する。

第１のスイッチ１２は、フィールド識別信号Ｄｏｅに基づいて、２フィールド遅延入力インタレース信号Ｖｄ２または、入力インタレース信号Ｖｉｎを選択して、フィールド間補間映像信号Ｓｗ１として出力する。具体的には、第１のスイッチ１２は、１フィールド遅延入力インタレース信号Ｖｄ１が奇数フィールドである場合には、入力インタレース信号Ｖｉｎを出力し、一方、１フィールド遅延入力インタレース信号Ｖｄ１が偶数フィールドである場合には、２フィールド遅延入力インタレース信号Ｖｄ２を出力する。

プログレッシブ信号生成部２０は、第２のスイッチ１８から出力された、補間映像信号Ｓｗ２（この場合、第１のスイッチ１２で選択された現信号Ｖｉｎまたは２フィールド遅延入力インタレース信号Ｖｄ２）で１フィールド遅延入力インタレース信号Ｖｄ１を補間して、プログレッシブ信号を生成する。このように生成されたプログレッシブ信号のフレームは、元の親フレームと同一であり、後述するフィールド内補間で生成されたフレームと比較して垂直解像度が向上している。

一方、フィールド補間方式決定部１０８からフィールド内補間を指示するフィールド補間方式指示信号Ｄｖｐが出力される場合、第２のスイッチ１８は、２ライン補間部１６から出力されたフィールド内補間映像信号Ｖｄ１Ｓを選択して、補間映像信号Ｓｗ２として出力する。

２ライン補間部１６は、ラインメモリ１４によって１フィールド遅延入力インタレース信号Ｖｄ１が１ライン分遅

延された１ライン遅延信号Ｖｄ１Ｌおよび１フィールド遅延入力インタレース信号Ｖｄ１に基づいて、フィールド内補間映像信号Ｖｄ１Ｓを生成する。

プログレッシブ信号生成部２０は、第２のスイッチ１８から出力された、補間映像信号Ｓｗ２（この場合、フィールド内補間信号Ｖｄ１Ｓ）で１フィールド遅延入力インタレース信号Ｖｄ１を補間して、プログレッシブ信号生成する。

図１０における減算器６およびフィールド補間方式決定部１０８が、従来のフィールド補間方式決定装置に相当する。図１１を参照して従来のフィールド補間方式決定装置について説明する。図１１は、図１０に示されたフィールド補間方式決定部１０８の構成を詳細に示すブロック図である。

フィールド補間方式決定部１０８は、絶対値器８１、画素差判定比較器８２、累積加算器８３、フィールド間相関判定比較器８４、第１のレジスタ８５、第２のレジスタ８６、２フィールド間差判定比較器１８９、排他的論理和（ＥＯＲ）回路１９０、カウンタ９２、およびカウント判定比較器９３を含む。

また、図示していないが、タイミング発生回路により、フィールドパルスＶＰおよびフレームパルスＦＰが生成される。

絶対値器８１は、減算器６によって算出された入力インタレース信号Ｖｉｎと１フィールド遅延入力インタレース信号Ｖｄ１との画素ごとの画素レベルの差分であるフィー

ルド間画素レベル差分Ｓｐの絶対値を求めて、フィールド間画素レベル差分絶対値ＳｐＡを出力する。

画素差判定比較器８２は、フィールド間画素レベル差分絶対値ＳｐＡと所定の第１の閾値Ｘとを比較して、比較対照の２つのフィールドの画素レベルの差が同一の親フレームに由来すると認められる程度よりも大きな差（有意差）か否かを判定する。画素差判定比較器８２は、この判定結果を示すフィールド間画素差判定信号Ｄｐとして、上記判定が「有意あり」である場合には「１」を出力し、一方「有意無し」である場合には「０」を出力する。

累積加算器８３は、フィールド間画素差判定信号Ｄｐを累積加算した値であるフィールド間画素差判定累積値ＣＤｐを出力する。フィールド間画素差判定累積値ＣＤｐは、入力インタレース信号Ｖｉｎのフィールドと１フィールド遅延入力インタレース信号Ｖｄ１のフィールドとで異なると判定された画素数を示す値である。なお、累積加算器８３は、フィールドパルスＶＰにより、フィールドごとにリセットされる。

フィールド間相関判定比較器８４は、フィールド間画素差判定累積値ＣＤｐが所定の閾値Ｙよりも大きい場合は、フィールド間に差異があると判定する。そして、上記判定結果を示すフィールド間相関判定信号Ｄｆを出力する。

フィールド間相関判定信号Ｄｆの値は、差異がある場合は「１」であり、一方、差異が無い場合は「０」である。

第１のレジスタ８５および第２のレジスタ８６は、Ｄフリップフロップであり、フィールドパルスＶＰがクロック

として供給される。フィールド間判定結果は、第１のレジスタ８５および第２のレジスタ８６の直列回路に供給される。第１のレジスタ８５および第２のレジスタ８６は、それぞれ記憶するフィールド間差異を２フィールド間差判定比較器１８９およびＥＯＲ回路１９０へ出力する。

第１のレジスタ８５および第２のレジスタ８６の出力がそれぞれ「０」および「１」、または、「１」および「０」の場合には、連続する２つのフィールド間差異がそれぞれ「小、大」または「大、小」の関係にある。すなわち上述したテレシネ変換されたインタレース信号の特徴を示している。このような場合には、２フィールド間差判定比較器１８９は、入力インタレース信号Ｖｉｎがテレシネ変換されたものであると判定して「１」を出力し、カウンタ９２をカウントアップする。

一方、第１のレジスタ８５および第２のレジスタ８６の出力がそれぞれ「０」および「０」、または、「１」および「１」の場合には、連続する２つのフィールド間差異が「小、小」または「大、大」の関係にある。すなわち上述したテレシネ変換されたインタレース信号の特徴を示してはいない。このような場合には、ＥＯＲ回路１９０は、カウンタ９２をリセットする。

カウンタ９２は、上述したようにカウントアップあるいはリセットされる。このカウンタ９２のカウント値ＣＤｓが所定の値Ｚに到達すると、カウント判定比較器９３は、入力インタレース信号のフィールドに対してフィールド間補間を行うことを指示するフィールド補間方式指示信号Ｄ

ｖｐを出力する。

しかし、実際には、映像には様々なものがあり、テレシネ変換信号であっても親フレーム間の差異が無いあるいは差異が小さいために、親フレーム間の差異をフィールド間の差異として検出できない場合がある。このような場合には、フィールド補間方式決定装置は、テレシネ変換信号を検出できない。

例えば、静止画が続く映像など、２つの親フレームの画像が同一である場合には、異なる親フレームから変換されたフィールド間の差異も当然に小さくなる。このような場合には、フィールド補間方式決定装置は、フィールド間の差異に基づいて親フレーム間の差異を検出できない。この結果、従来のフィールド補間方式決定装置は、テレシネ変換信号に特有のフィールド間差異のパターンを検出できないため、インタレース信号がテレシネ変換信号ではないと判断してしまう。

また、暗い場面の映像では、動画であっても親フレーム間の画素レベルの差が小さいため、異なるフレームから変換されたフィールド間の差異も小さくなる。このような場合にも、上記と同様に、フィールド補間方式決定装置は、インタレース信号がテレシネ変換信号ではないと判断してしまう。

また、例えば、番組のインタレース信号の途中にＣＭ等の異なるフレーム相関を持つインターレース信号が混入されている場合など、親フレーム間の相関とフィールド間の相関が特異的に変化する場合ある。このような場合には、

テレシネ変換信号に特有のフィールド間差異の変化パターンが特異的に変化する、このため上記と同様に、フィールド補間方式決定装置は、インタレース信号がテレシネ変換信号ではないと判断してしまう。

このように、従来のフィールド補間方式決定装置は、入力インタレース信号がテレシネ変換信号であっても、少なくとも2フレーム間の差異を検出できない場合には、テレシネ変換信号を識別できない。結果、映像信号処理装置は、所定のフィールド数以上連続して、入力インタレース信号がテレシネ変換信号であると判定されるまでは、フィールド内補間を行う。このため、しばしば垂直解像度の高い元の親フレームを生成する事ができない。

また、上記の従来の技術では、テレシネ変換において、一般的には、親フレームは、奇数フィールドとその直後の偶数フィールドとに変換されると説明した。しかし、現実には、親フレームが偶数フィールドとその直後の奇数フィールドとに変換されたテレシネ変換信号が少数ながら存在する。

従来のフィールド補間方式決定装置は、補間対象の信号が奇数フレームか偶数フレームかによって、直前または直後のフレームのいずれかを補間映像信号として選択する。このため、親フレームから変換されたフィールドの前後関係が逆転した信号は、異なる親フレームから変換された2つのフィールドが相互に補間されて、1つのフレームに変換される。この結果、1つのフレームに異なる画像が混在するため、変換されたプログレッシブ信号の映像品質は、

著しく劣化してしまう。

そこで、本発明は、親フレーム間の差異を特異的に検出できない、または、検出困難な場合であっても、入力インタレース信号のフィールドとフレームとに関係を正確に検出して、フィールド間補間およびフィールド内補間のいずれで補間するべき決定できるフィールド補間方法決定装置を提供することを目的とする。

発明の開示

本発明は、上記のような目的を達成するために、以下に述べるような特徴を有している。

本発明の第１の局面は、入力されるインタレース信号の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でフレーム合成してプログレシブ信号に変換すべきかを決定するフィールド補間方式決定装置であって、

入力インタレース信号と、当該入力インタレース信号を１フィールド遅延させた１フィールド遅延入力インタレース信号との画素レベル差分を検出する画素レベル差分検出手段と、

画素レベル差分に基づいて、入力インタレース信号と１フィールド遅延入力インタレース信号との相関を検出してＮ－１個のフィールド間相関判定信号を出力する、フィールド相関検出手段と、

Ｎ－１個のフィールド間相関判定信号を記憶するフィールド間差異記憶手段と、

Ｎ－１個のフィールド間差異判定信号の値のパターンに基づいて、前記Ｎ個の連続するフィールドのそれぞれ連続する２つが同一フレームから生成されたか、異なるフレームから生成されたかを判定するフィールド／フレーム相関判定手段と、

同一フレームから生成されていると判断される場合はフィールド間補間と決定し、異なるフレームから生成された判断される場合にはフィールド内補間と補間方式を決定する補間方式判定手段とを備える、フィールド補間方式決定装置。

このような第１の局面によれば、入力インタレース信号について、２つの親フレーム相当するＮ－１フィールドより多くの数の連続するフィールドを判断対象として、少なくともＮ個のフィールド間の相関を検出しする。そして、当該Ｎ個のフィールド間の相関に基づいて、親フレームとフィールドとの関係を多段的に判定するため、より正確に入力インタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

また、判断対象とするすべてのフィールド間の相関のパターンに基づいて、親フレームとフィールドとの関係を判定するため、判断対象とするフィールド数が多いほど、より正確に入力インタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

また、親フレームとフィールドの関係の確実な判定が不能の場合は、判定前の入力インタレース信号に対する判別結果を変更しない。これにより、不確実な判定結果によっ

て、入力インタレース信号を誤って判別することを防止して、より正確に入力インタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

第２の局面は、第１の局面において、前記補間方式判定手段による補間方式の決定を所定時間だけ遅延させる、補間方式決定遅延手段を更に備える。

第３の局面は、第２の局面において、前記所定時間は、前記入力されたフィールドの補間方式が決定されてから実際に補間処理が施されるまでの時間差に基づいて決定されることを特徴とする。

第４の局面は、第３の局面において、所定時間は、０．５秒を中心として、当該フィールド補間方式決定装置とフィールド補間処理を施す装置の機械／電気的特性に基づいて決定されることを特徴とする。

第５の局面は、第２の局面において、同一フレームから生成されたと判定される場合は１カウントアップし、異なるフレームから生成されたと判定される場合はカウント値をリセットし、何れとも判定されないの場合はカウント値を保持するカウンタ手段と、

前記補間方式判定手段は、前記カウント値が所定値より大きい場合にはフィールド間補間と決定し、当該所定値以下の場合にはフィールド内補間と決定することを特徴する。

第６の局面は、第１の局面において、入力インタレース信号が２－３プルダウン信号である場合は、Ｎは６以上であることを特徴とする。

第７の局面は、第１の局面において、入力インタレース信号が２－２プルダウン信号である場合は、Ｎは５以上であることを特徴とする。

第８の局面は、第１の局面において、フィールド／フレーム相関判定手段は、Ｎ－１個のフィールド間相関判定信号のうち、少なくとも連続する２つが相関無しと示す場合は、連続する２つのフィールドが異なるフレームから生成されたと判断することを特徴とする。

第９の局面は、第１の局面において、フィールド／フレーム相関判定手段は、Ｎ－１個のフィールド間相関判定信号において、相関ありと相関なしとが交互に示される場合は、連続する２つのフィールドが同一のフレームから生成されたと判断することを特徴とする。

第１０の局面は、第１において、フィールド相関検出手段は、

画素信号レベル差分が所定の画素レベルを表す第１の閾値より大きいか否かを画素毎に判定して二値で表す画素単位レベル差判定結果を出力する画素差判定手段と、

画素単位レベル差判定結果を１フィールド単位で加算してフィールド単位レベル差判定結果を出力するフィールド単位レベル差判定手段と、

フィールド単位レベル差判定結果が所定の画素数を表す第２の閾値よりも大きいか否かにより、フィールド間の相関が大きいか否かを判定するフィールド間相関判定手段とを備える。

第１１の局面は、第１０の局面において、フィールド間

差異判定手段は、さらに、１フィールド遅延入力インタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

信号レベルの値に基づいて、第１の閾値を変化させ、第１の閾値変更手段とを備える。

第１２の局面は、第１０の局面において、フィールド間差異判定手段は、さらに、１フィールド遅延入力インタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

信号レベルの値に基づいて、第２の閾値を変化させる、第２の閾値変更手段とを備える。

第１１または、第１２の局面によれば、入力インタレース信号の映像の明るさに応じて、フィールド間の相関を検出するための閾値を変更するため、フィールド間の相関を検出し難い暗い映像の入力インタレース信号について、より正確にフィールド間の相関を検出することが出来るという優れた効果を奏する。

第１３の局面は、第１の局面において、フィールド間差異判定手段は、さらに、１フィールド遅延入力インタレース信号に基づいて当該１フィールド遅延入力インタレース信号のフィールドが偶数フィールドであるか、奇数フィールドであるかを示すフィールド識別信号を出力する、フィールド識別手段と、

当該フィールド識別手段とフィールド間相関判定信号との論理積を求めて、Ｎフィールド間差異記憶手段（へ出力する論理積回路とを備える。

第１３の局面によれば、フィールド間の相関の検出結果と補間対象フィールドについての偶数フィールド／奇数フィールドの検出結果との論理積に基づいて、親フレームとフィールドとの関係を判定する。このため、偶数フィールド、奇数フィールドの検出結果に基づき補間対象フィールドの、前もしくは後ろのフィールドを内挿する装置において、親フレームに対する偶数、奇数フィールドの順序が反転されたインタレース信号が入力された場合でも、偶数、奇数フィールドの順序が反転されたために生じる、前もしくは後ろのフィールドの内挿ミスを防ぐことが出来るという優れた効果を奏する。

第１４の局面は、第１３の局面において、フィールド間差異判定手段は、さらに、フィールド識別信号の反転信号を出力する反転器と、

フィールド識別信号および反転信号のいずれかを選択的に前期論理積回路へ出力するフィールド識別信号反転スイッチとを備える。

第１４の局面によれば、補間対象フィールドについての偶数フィールド／奇数フィールドの検出結果と当該偶数フィールド／奇数フィールドの検出結果の反転信号とを選択することができるスイッチとを具備し、当該スイッチで選択された偶数フィールド／奇数フィールドの検出結果とフィールド間の相関の検出結果との論理積に基づいて、親フレームとフィールドとの関係を判定する。このため、偶数フィールド、奇数フィールドの検出結果に基づき、補間対象フィールドの前もしくは後ろのフィールドを内挿する装

置において、親フレームに対する偶数、奇数フィールドの順序が反転されたインタレース信号が入力された場合でも、補間対象フィールドと同一の親フレームから分割されたフィールドを選択して元の親フレームを生成することが出来るという優れた効果を奏する。

図面の簡単な説明

図１は、本発明の第１の実施の形態係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図である。

図２は、図１に示した、フィールド補間方式決定部の詳細な構成を示す図である。

図３は、図２に示した、第１～４のレジスタの出力値と、カウンタに対する入力信号の関係を示す図である。

図４は、本発明の第１の実施の形態における入力インタレース信号のフィールドと変換後のプログレッシブ信号のフレームとの関係を示す図である。

図５は、本発明の第２の実施の形態係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図である。

図６は、図５に示した、フィールド補間方式決定部の詳細な構成を示す図である。

図７は、本発明の第３の実施の形態係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図である。

図８は、図７に示した、フィールド補間方式決定部の詳

細な構成を示す図である。

図９は、本発明の第４の実施の形態係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図である。

図１０は、従来のフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図である。

図１１は、図１０に示した、フィールド補間方式決定部の詳細な構成を示す図である。

発明を実施するための最良の形態

本発明の実施の形態に係るフィールド補間方式決定装置について具体的に説明する前に、まず本発明の基本概念について説明する。従来の技術に関して説明したように、フィールド補間方式決定装置の判断の誤りは、親フレーム間の差異が無いか、あるいは小さいために、異なる２つのフレームから変換されたフィールド間の差異が検出されないことに起因する。

従来のフィールド補間方式決定装置は、親フレーム間の境目を１つだけ判断対象とするフィールドに含むため、入力インタレース信号の２つの親フレーム間の差異が検出できない場合には、フィールド内補間で行うよう決定する。

しかし、２つの親フレーム間の差異が特異的に検出できない場合であっても、より多くの親フレーム間の境目を含むように判断対象とするフィールドの数を増やすことにより、親フレームとフィールド間の相関を多段的に評価する事が可能である。

このような観点から、判断対象とするフィールド数が多いほど、フィールド補間方式決定装置は、より正確に映像信号を識別できることは明らかである。つまり、より正確に映像信号を識別するためには、判断対象とするフィールド数を無限大に増加させることが望ましい。しかし、フィールド間の差異を記憶するレジスタの数を無限に増加させることになるため、フィールド補間方式決定装置のコストも無限に増加してしまう。

このため、本発明においては、少なくとも２つのフレーム間の境目を含む所定数以上のフィールド間の差異に基づいて、判断対象となるフィールド数を、ダイナミックに変化させる。このため、２つの親フレームから変換されたフィールド数をＮ－１とすると、少なくともＮフィールドの間の差異を判断対象とする。つまり、判断対象となるフィールド間差異の数は、少なくともＮ－１個となる。

また、親フレーム間の差異が小さいために、フィールド間の差異として検出されない場合には、より小さなフィールド間の差異を検出するために、フィールド間の差異を判定するための閾値をダイナミックに変化させる。

本発明においては、このような技術思想に基づいて、判断対象となるフィールドの数、またはフィールド間の差異を検出するための閾値をダイナミックに変化させることにより、より正確に映像信号の識別を行うことを可能にするものである。

また、上述したように、親フレームから変換されたフィールドの前後関係が逆転したテレシネ信号は、異なる親フ

レームから変換された２つのフィールドが相互に補間されて、１つのフレームに変換される。この結果、１つのフレームに異なる画像が混在するため、変換されたプログレッシブ信号の映像品質は、著しく劣化してしまう。

このような親フレームから変換されたフィールドの前後関係が逆転したインタレース信号における、フィールド間差異の大小と奇数フィールドと偶数フィールドの関係は、一般的なテレシネ変換信号とは逆になる。このため、本発明においては、フィールド間の相関を示す信号を各フィールドの奇数／偶数を示す検出信号で補正することにより、異なるフレームから変換されたフィールドが相互にフィールド間補間されることを防止する。

本発明は、プログレッシブ信号をインターレース信号に変換した信号におけるフィールドと親フレームの関係を判定して、インターレース信号の各フィールドをフィールド間補間あるいはフィールド内補間のいずれかで補間するものであるが、プログレッシブ信号をインターレース信号に変換した信号の代表例として、２－２プルダウン方式で変換されたテレシネ変換信号を検出する場合について説明する。

（第１の実施の形態）

図１を参照して、本発明に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。同図に示された映像信号処理装置１００ａは、入力インタレース信号のフィールドと親フレームとの関係を判定し、入力インタレース信号がテレシネ変換信号である場合は、フ

ィールド間補間で入力インタレース信号のフィールドをプログレッシブ信号のフレームに変換する。一方、入力インタレース信号がテレシネ変換信号ではない場合には、映像信号処理装置１００ａは、フィールド内補間で入力インタレース信号のフィールドをプログレッシブ信号のフレームに変換する。

映像信号処理装置１００ａは、入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、フィールド補間方式決定部８ａ、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、およびプログレッシブ信号生成部２０を含む。

入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、およびプログレッシブ信号生成部２０は、図１１に示した従来の映像信号処理装置２００と同一であるため、説明を省略する。

フィールド補間方式決定部８ａは、フィールド間画素レベル差分Ｓｐに基づいて、入力インタレースのフィールドと親フレームとの関係を判定し判定し、フィールド間補間およびフィールド内補間のいずれで１フィールド遅延入力インタレース信号Ｖｄ１をプログレッシブ信号に変換するかを決定する。

図２を参照して、フィールド補間方式決定部８ａの構成について説明する。フィールド補間方式決定部８ａは、絶

対値器８１、画素差判定比較器８２、累積加算機８３、フィールド間相関判定比較器８４、第１のレジスタ８５、第２のレジスタ８６、第３のレジスタ８７、第４のレジスタ８８、４フィールド間相関判定比較器８９、リセット判定器９０、およびスイッチ９１を含む。

また、図示していないが、タイミング発生回路により、フィールドパルスＶＰおよびフレームパルスＦＰが生成される。

絶対値器８１は、減算器６によって算出されたフィールド間画素レベル差分Ｓｐの絶対値を求めて、フィールド間画素レベル差分絶対値ＳｐＡとして出力する。なお、インタレース信号では、隣り合うフィールドの走査線は、１ずつずれている。このため、減算器６は、一方のフィールドの隣り合う２ラインの画素レベルの平均値と他方のフィールドの対応する画素レベルとの差分を求める。

画素差判定比較器８２は、フィールド間画素レベル差分絶対値ＳｐＡと所定の第１の閾値Ｘとを比較して、２つのフィールドの画素毎の画素レベルの差が同一の親フレームに由来すると認められる程度よりも大きな差（有意差）があるか否かを判定する。

このため第１の閾値Ｘは、同じフレームから分割されたフィールド間の画素レベルの差分に対しては、有意差が無いと判定されるような画素レベルの差分に設定される。そして、画素差判定比較器８２は、この判定結果を示すフィールド間画素判定信号Ｄｐとして、上記判定が「有意差有り」である場合には「１」を出力し、「有意差なし」の場

合には「０」を出力する。

累積加算器８３は、フィールド間画素差判定信号Ｄｐを累積加算した値であるフィールド間画素差判定累積値ＣＤｐを出力する。フィールド間画素差判定累積値ＣＤｐは、入力インタレース信号Ｖｉｎのフィールドと１フィールド遅延入力インタレース信号Ｖｄ１のフィールドとで「有意差有り」と判定された画素数を示す値である。なお、累積加算器８３は、フィールドパルスＶＰにより、フィールドごとにリセットされる。

フィールド間相関判定比較器８４は、入力インタレース信号Ｖｉｎのフィールドと、１フィールド遅延入力インタレース信号Ｖｄ１のフィールドとが同一のフレームから分割されたフィールドとみなせるほどの相関があるか否かを判定する。具体的にはフィールド間相関判定比較器８４は、フィールド間画素差判定累積値ＣＤｐが所定の閾値Ｙよりも大きい場合は、フィールド間に相関が無いと判定する。一方、フィールド間相関判定比較器８４は、フィールド間画素差判定累積値ＣＤｐが所定の閾値Ｙ以下である場合は、フィールド間に相関があると判定する。そして、上記判定結果を示すフィールド間相関判定信号Ｄｆを出力する。

フィールド間相関判定信号Ｄｆの値は、相関がある場合は「０」であり、一方、相関が無い場合は「１」である。

第１のレジスタ８５、第２のレジスタ８６、第２のレジスタ８７および第４のレジスタ８８は、Ｄフリップフロップであり、フィールドパルスＶＰがクロックとして供給さ

れる。これら４つのレジスタは、連続する４つのフィールド間相関判定信号Ｄｆをそれぞれ順に記憶する。また、記憶している４つのフィールド間相関判定信号の値をレジスタ出力信号（Ｒ１～Ｒ４）として出力する。

４フィールド間相関判定比較器８９は、４つのレジスタ出力信号（Ｒ１～Ｒ４）とテレシネ判定テーブルＴｃとを比較して、現在入力されている映像信号が、テレシネ変換信号におけるフィールド間相関のパターンを有するか否かを判定する。

図３に示された表Ｔｃは、テレシネ判定テーブルＴｃである。表Ｔｃに示される、４つのレジスタ出力信号（Ｒ１～Ｒ４）の出力値が順に「０１０１」および「１０１０」の場合は、フィールド間の相関が、大小交互に変化する２－２プルダウン方式のテレシネ変換信号の特徴と一致する。この場合、４フィールド間相関判定比較器８９は、入力インタレース信号Ｖｉｎがテレシネ変換信号であると判断する。そして、４フィールド間相関判定比較器８９は、テレシネ判定信号Ｄｓを出力する。

リセット判定器９０は、４つのレジスタ出力信号（Ｒ１～Ｒ４）とリセット判定テーブルＴｒとを比較して、現在入力されている映像信号が確実にテレシネ変換信号では無いか、否かを判定する。

図３に示された表Ｔｒは、上記リセット判定テーブルＴｒである。リセットテーブルＴｒに示されるすべてのパターンは、４つのレジスタ出力信号（Ｒ１～Ｒ４）の「０」の値のいずれかを「１」に変えたとしても２－２プルダウ

ン方式のテレシネ変換信号におけるフィールド間相関のパターンと一致する「０１０１」および「１０１０」にはなり得ない。

つまり入力インタレース信号Ｖｉｎは確実に２－２プルダウン方式のテレシネ変換信号では無いと判定できる。このため、リセット判定器９０は、リセット信号Ｒｓｔを出力する。

また、図３に示された表Ｔ１は、上記テレシネ判定テーブルＴｃおよびリセット判定テーブルＴｒのいずれにも属さない４つのレジスタ出力信号（Ｒ１～Ｒ４）を示す。表Ｔ１に示される各レジスタの出力値は、少なくとも１以上のレジスタの出力値が「０」から「１」に変われば、２－２プルダウン方式のテレシネ変換信号におけるフィールド間相関のパターンと一致する。

スイッチ９１は、上述のテレシネ判定信号Ｄｓおよびリセット信号に基づいて、１フィールド遅延入力インタレース信号Ｖｄ１に対してフィールド間補間およびフィールド内補間のいずれを行うかを指示するフィールド補間方式指示信号Ｄｖ１を出力する。

具体的には、スイッチ９１は、テレシネ判定信号Ｄｓが出力された場合には、フィールド間補間を指示するフィールド補間方式指示信号Ｄｖ１を出力し、一方、リセット信号Ｒｓｔが出力された場合には、フィールド内補間を指示するフィールド補間方式指示信号Ｄｖ１を出力する。また、テレシネ判定信号およびＤｓリセット信号Ｒｓｔのいずれもが出力されない場合には、スイッチ９１は、フィール

ド補間方式指示信号Ｄｖ１を変更しない。

次に、図４を参照して、映像信号処理装置１００ａの動作について説明する。入力インタレース信号Ｖｉｎは、プログレッシブ信号の親フレームＡ、Ｂ、およびＣがそれぞれ、Ａ１とＡ２、Ｂ１とＢ２、およびＣ１とＣ２に変換されたものである。入力インタレース信号Ｖｉｎ１の各フィールドはフィールドＮｏ．に小さい順に入力される。

入力インタレース信号Ｖｉｎと１フィールド遅延入力インタレース信号Ｖｄ１との差分に基づいて、当該２つのフィールド間の相関が判定される。例えば、入力インタレース信号ＶｉｎのフィールドＮｏ．４であるフィールドＢ２と、１フィールド遅延入力インタレース信号Ｖｄ１のフィールドＢ１との相関が判定される。この場合、両フィールドは、同一のフレームＢから変換され手いるのでフィールド間の差分は小さい。すなわち、相関有りと判定され、フィールド相関判定信号Ｄｆの値は「０」となる。

他方、入力インタレース信号ＶｉｎのフィールドＮｏ．５については、入力インタレース信号ＶｉｎのフィールドＣ１と１フィールド遅延入力インタレース信号Ｖｄ１のフィールドＢ２とは異なるフレームから変換されているので、差分は大きい。すなわち、相関なしと判定され、フィールド相関判定信号Ｄｆの値は「１」となる。

フィールド相関判定信号Ｄｆは、４つのレジスタ８５～８８に順次格納され、４つの連続するレジスタ出力は、「０１０１」もしくは「１０１０」となる。

このようにフィールド相関判定信号Ｄｆの値が「０１０

１」もしくは「１０１０」である場合、スイッチ９１は、フィールド間補間を指示する信号を補間方式指示信号Ｄｖ１として出力する。

このとき、第１のスイッチ１２は、ＯＤＤ／ＥＶＥＮ検出器１０によって求められたフィールド識別信号Ｄｏｅに基づいて、入力インタレース信号Ｖｉｎおよび２フィールド遅延入力インタレース信号Ｖｄ２のいずれかを選択する。

具体的には、１フィールド遅延入力インタレース信号Ｖｄ１が奇数フィールドならば入力インタレース信号Ｖｉｎが選択される。一方、１フィールド遅延入力インタレース信号Ｖｄ１が偶数フィールドならば２フィールド遅延入力インタレース信号Ｖｄ２が選択される。

例えば、入力インタレース信号ＶｉｎとしてフィールドＮｏ．４であるフィールドＢ２が入力されている時、補間対象信号としてプログレッシブ信号生成部２０に入力されているフィールドは、フィールドＮｏ．３のフィールドＢ１である。このとき、入力インタレース信号Ｖｉｎであるフィールド Ｂ２を補間信号Ｓｗ２としてフィールド間補間を行うことにより、元の親フレームＢが生成される

また、入力インタレース信号ＶｉｎとしてフィールドＮｏ．５であるフィールドＣ１が入力されている時、補間対象信号としてプログレッシブ信号生成部２０に入力されているフィールドは、フィールドＮｏ．４のフィールドＢ２である。このとき、２フィールド遅延入力インタレース信号Ｖｄ２であるフィールドＢ１を補間信号Ｓｗ２としてフ

ィールド間補間を行うことにより、元の親フレームBが生成される。

従来のフィールド補間方式決定装置では、親フレーム間の境目を1つだけ含む2つのフィールド間相関を判断対象として、親フレームとフィールドとの対応関係を検出することにより、テレシネ変換信号を検出している。そして、当該フィールド補間方式決定装置は、1つのフレーム間の差異が検出できない場合には、親フレームとフィールドとの対応関係が不明なため、入力インタレース信号がテレシネ信号ではないと判定している。

これに対して、本実施の形態にかかるフィールド補間方式決定装置は、フレーム間の境目が2以上含まれるような数のフィールド間差異を判断対象としている。このため1つのフレーム間差異が検出できない場合でも、複数のフレーム間差異に基づいて、入力インタレース信号がテレシネ変換信号であるか否かを判定することができる。また、複数のフレームの境目を判断対象に含むので、各フレームの境目についての判定に基づいて、判断対象のフィールド全体をを多段的に評価できる。

このため、フレーム間の差異が検出できない場合であっても、中間的な判定を下して、直ちにテレシネ変換信号ではないと判定しない。このため、フレーム間の差異が特異的に検出できないときでも、直前のフィールド補間方式を変更しないため、誤ってフィールド内補間を指示することによる画像品質の低下を生じない。これにより、本実施の形態に係るフィールド補間方式決定装置は、フレーム間の

差異が検出困難なテレシネ変換信号が入力された場合でも、より正確にフィールド補間方式を決定することができる。

（第２の実施の形態）

図５を参照して、本発明の第２の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。本実施の形態に係るフィールド補間方式決定装置は、映像が暗いために、親フレーム間の画素レベルの差異が小さい場合であっても、映像の明るさに対応してフィールド間の画素差を判定するための閾値を可変にすることによって、フレーム間の差異に起因するフィールド間差異を検出することを特徴とする。

このため、図５に示された映像信号処理装置１００ｂは、第１の実施の形態に係る映像信号処理装置と比較してフィールド補間方式決定部８ａがフィールド補間方式決定部８ｂに置換された構成を有している。なお、説明の冗長を避けるため、第１の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

映像信号処理装置１００ｂは、入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、フィールド補間方式決定部８ｂ、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、およびプログレッシブ信号生成部２０を含む。

フィールド補間方式決定部８ｂは、１フィールド遅延入力インタレース信号Ｖｄ１およびフィールド間画素レベル

差分Ｓｐに基づいて、入力インタレースのフィールドと親フレームとの関係を判定し判定し、フィールド間補間およびフィールドない補間のいずれで１フィールド遅延入力インタレース信号Ｖｄ１をプログレッシブ信号に変換するかを決定する。

図６を参照して、フィールド補間方式決定部８ｂの構成について説明する。フィールド補間方式決定部８ｂは、第１の実施の形態にかかるフィールド補間方式決定部８ａと比較して、スイッチ９１がカウンタ９２およびカウント判定比較器９３に置換され、オートピクチャレベル（ＡＰＬ）検出器９４ｂおよび画素差閾値変更部９５ｂを追加された構成を有している。

フィールド補間方式決定部８ｂは、絶対値器８１、画素差判定比較器８２、累積加算機８３、フィールド間相関判定比較器８４、第１のレジスタ８５、第２のレジスタ８６、第３のレジスタ８７、第４のレジスタ８８、４フィールド間相関判定比較器８９、リセット判定器９０、カウンタ９２、カウント判定比較器９３、オートピクチャレベル検出器９４ｂ、および画素差閾値変更部９５ｂを含む。

オートピクチャレベル検出器９４ｂは、１フィールド遅延入力インタレース信号Ｖｄ１の信号レベルＰＬを検出する。信号レベルＰＬは、映像が明るいほど高く、反対に暗いほど低い値になる。

画素差閾値変更部９５ｂは、信号レベルＰＬに基づいて、所定の規則に従って、画素差閾値Ｘｂの値を変更する。例えば、信号レベルＰＬの程度に対応する複数の画素差閾

値Ｘｂの値を予め定めておき、入力した信号レベルＰＬに従って、対応する画素差閾値Ｘｂの値を出力することとしてもよいし、所定の数式に従って、信号レベルＰＬから画素差閾値Ｘｂの値を求めることとしてもよい。

いずれにせよ信号レベルＰＬが高いほど画素差閾値Ｘｂの値が大きくなり、反対に信号レベルＰＬが低いほど画素差閾値Ｘｂの値が小さくなるように、設定される。

これにより、画素差判定比較器８２は、１フィールド遅延入力インタレース信号Ｖｄ１が暗い映像の場合には、画素差閾値Ｘｂの値が小さいため、より小さな画素レベルの差であっても、フィールド間の画素レベルに差があると判定する。一方、１フィールド遅延入力インタレース信号Ｖｄ１が明るい画像の時は、画素差閾値Ｘｂの値が大きいため、同じフレームから変換されたフィールド間の画素レベルの差があると判定するような誤まった判定を防止できる。

カウンタ９２は、テレシネ判定信号Ｄｓによってカウントアップされるテレシネ判定累積値ＣＤｓをカウントしている。また、リセット信号Ｒｓｔによってリセットされる。

また、上述したように、親フレームのフレーム間の差異が無いまたは小さい場合、異なるフレームから変換されたフィールド間の差異が検出されないため、テレシネ変換信号であっても、テレシネ変換信号であると判定されない場合がある。このため、入力インタレース信号Ｖｉｎがテレシネ変換信号であるとも、無いとも確実に判定できない場

合は、テレシネ判定カウンタ９２のカウントは、変更されない。

カウント判定比較器９３は、フィールド補間方式決定部８ｂの安定性を向上させるため、カウンタ９２のテレシネ判定累積値ＣＤｓが所定の閾値Ｚよりも大きくなると、１フィールド遅延入力インタレース信号Ｖｄ１のフィールドに対してフィールド間補間を行うことを指示するフィールド補間方式指示信号Ｄｖ１を出力する。閾値Ｚは、テレシネ判定信号Ｄｓが出力されてから、実際にフィールド間補間が実行される間での時間として設定され、通常は、０．５秒になるように設定される。

つまり、本実施の形態に係る映像信号処理装置は、明るい映像でも誤検出するおそれが無く、映像が暗いために、フレーム間の画素レベルの差が小さい場合でも、フィールド間差異をより正確に検出することができる。

なお、本実施の形態では、１フィールド遅延入力インタレース信号Ｖｄ１の信号レベルＰＬに基づいて、第１の閾値Ｘをダイナミックに変化させることとしたが、これに変えて、第２の閾値Ｙを変化させることとしてもよい。これにより、フィールド間で有意差が認められる画素レベルの数が少ない場合でもフィールド間に差異があると、判定されるため、第１の閾値Ｘを変化させる場合と同様の効果がある。

（第３の実施の形態）

図７を参照して、本発明の第３の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置に

ついて説明する。第１ないし第２の実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号、が入力された場合、異なる親フレームのフィールドをフィールド間補間してしまう。上述したように、異なる親フレームから変換されたフィールドをフィールド間補間すると、生成されたフレームの映像品質は著しく低下する。

本実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号、言い換えれば、親フレームを偶数フィールドとその直後の奇数フィールドとに変換したインタレース信号を入力する場合であっても、異なるフレームから変換されたフィールドを誤ってフィールド間補間することを防止することを特徴とする。

このため、図７に示された映像信号処理装置１００ｃは、第１の実施の形態に係る映像信号処理装置と比較してフィールド補間方式決定部８ａがフィールド補間方式決定部８ｃに置換された構成を有している。なお、説明の冗長を避けるため、第１の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

映像信号処理装置１００ｃは、入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、フィールド補間方式決定部８ｃ、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、およびプログレッシブ信号生成部

２０を含む。

フィールド補間方式決定部８ｃは、フィールド識別信号Ｄｏｅおよびフィールド間画素レベル差分Ｓｐに基づいて、入力インタレースのフィールドと親フレームとの関係を判定し判定し、フィールド間補間およびフィールドない補間のいずれで１フィールド遅延入力インタレース信号Ｖｄ１をプログレッシブ信号に変換するかを決定する。

図８を参照して、フィールド補間方式決定部８ｃの構成について説明する。フィールド補間方式決定部８ｃは、第１の実施の形態にかかるフィールド補間方式決定部８と比較して、論理積回路９６ｃが追加された構成を有している。

フィールド補間方式決定部８ｃは、絶対値器８１、画素差判定比較器８２、累積加算機８３、フィールド間相関判定比較器８４、第１のレジスタ８５、第２のレジスタ８６、第３のレジスタ８７、第４のレジスタ８８、４フィールド間相関判定比較器８９、リセット判定器９０、カウンタ９２、カウント判定比較器９３、および論理積回路９６ｃを含む。

論路積回路９６ｃは、フィールド間差異信号Ｄｆと、フィールド識別信号Ｄｏｅの論理積を求めて修正フィールド間差異信号Ｄｆａを出力する。図４を参照して、修正フィールド間差異信号Ｄｆａについて説明する。

一般的なテレシネ変換信号が入力された場合、１フィールド遅延入力インタレース信号Ｖｄ１が奇数フィールドの時には、フィールド間差異信号Ｄｆの値は、「０」になり

、１フィールド遅延入力インタレース信号Ｖｄ１が偶数フィールドの時には、フィールド間差異信号Ｄｆの値は、「１」になる。

ＯＤＤ／ＥＶＥＮ検出部は、１フィールド遅延入力インタレース信号Ｖｄ１が奇数フィールドの時には、「０」をフィールド識別信号Ｄｏｅとして出力し、一方、１フィールド遅延入力インタレース信号Ｖｄ１が偶数フィールドの時には、「０」をフィールド識別信号Ｄｏｅとして出力する。

この場合、修正フィールド間差異信号Ｄｆａの値は、フィールド間差異信号Ｄｆと同じ値になるため、テレシネ変換信号の検出結果であるテレシネ検出信号Ｖｄ３に何ら影響は無い。

次に、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号が入力された場合について考える。この場合、上記とは逆に、１フィールド遅延入力インタレース信号Ｖｄ１が奇数フィールドの時には、フィールド間差異信号Ｄｆの値は、「１」になり、１フィールド遅延入力インタレース信号Ｖｄ１が偶数フィールドの時には、フィールド間差異信号Ｄｆの値は、「０」になる。

フィールド識別信号Ｄｏｅの値は、変わらないので、修正フィールド間差異信号Ｄｆａの値はいずれも「０」になる。このため、カウンタ９２は、カウントアップされず、テレシネ検出信号Ｄｖ３は出力されない。この結果、フィールド間補間は行われず、代わりにフィールド内補間が行

われる。

以上により、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号が入力された場合であっても、異なるフレームから変換されたフィールドを、フィールド間補間することを防止できる。

しかしながら、本実施の形態に係るフィールド補間方式決定装置では、著しい映像品質の低下は防止できるものの、フィールド内補間するため、テレシネ変換信号であっても元の親フレームに再変換して垂直解像度を向上させることはできない。

（第４の実施の形態）

第４の実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号を入力した場合でも、同一の親フレームから変換されたフィールド同士を、フィールド間補間することを特徴とする。

図９を参照して、本実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。

本実施の形態に係るフィールド補間方式決定装置は、フィールド識別信号Ｄｏｅの値を選択的に逆転させて、フィールド補間方式決定部８ｃ及び第１のスイッチ１２へ出力することを特徴とする。

このため、図９に示された映像信号処理装置１００ｃは、第３の実施の形態に係る映像信号処理装置と比較して反転器２２ｄ及びフィールド識別信号逆転スイッチが追加さ

れた構成を有している。なお、説明の冗長を避けるため、第１の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

映像信号処理装置１００ｄは、入力端子１、フィールドメモリ２、フィールドメモリ４、減算器６、フィールド補間方式決定部８ｃ、ＯＤＤ／ＥＶＥＮ検出部１０、第１のスイッチ１２、ラインメモリ１４、２ライン補間部１６、第２のスイッチ１８、プログレッシブ信号生成部２０、反転器２２ｄおよびフィールド識別信号変更スイッチ２３ｄを含む。

反転器２２ｄは、フィールド識別信号Ｄｏｅを入力して、当該信号の値を反転させたフィールド識別反転信号ｎＤｏｅを出力する。

フィールド識別信号変更スイッチ２３ｄは、フィールド識別信号Ｓｗｆとしてフィールド識別信号Ｄｏｅまたはフィールド識別反転信号ｎＤｏｅのいずれかを選択的に出力する。

親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号を入力する場合、フィールド識別信号変更スイッチ２３ｄを切り替えることによって、フィールド補間方式決定部８ｃおよび第１のスイッチ１２へ出力される信号をフィールド識別反転信号ｎＤｏｅに切り替える。

この場合、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号であっても、フィールド補間方式決定部８ｃおよび第１のスイッ

チ１２においては、一般的なインタレース信号と同様に取り扱われる。

このため、フィールド補間方式決定部８ｃがテレシネ変換信号を検出すると共に、第１のスイッチ１２は、フィールド間補間信号を適切に選択することができる。これにより、本実施の形態における映像信号処理装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号であっても、フィールド間補間によって垂直解像度を向上させたプログレッシブ信号に変換することができる。

産業上の利用可能性

以上のように、本発明に係るフィールド補間方法決定装置は、親フレーム間の差異を特異的に検出できない、または、検出困難な場合であっても、判断対象とするフィールドの数およびフィールド間の相関を判定するための閾値をダイナミックに変えて、入力インタレース信号のフィールドと親フレームとの関係を正確に検出して、フィールド間補間およびフィールド内補間のいずれで補間するべきかを決定できる。

請求の範囲

１．入力されるインタレース信号（Ｖｉｎ）の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でフレーム合成してプログレシブ信号（Ｖｐｒ）に変換すべきかを決定するフィールド補間方式決定装置（６、８ａ）であって、

前記入力インタレース信号（Ｖｉｎ）と、当該入力インタレース信号（Ｖｉｎ）を１フィールド遅延させた１フィールド遅延入力インタレース信号（Ｖｄ１）との画素レベル差分（ＳｐＡ）を検出する画素レベル差分検出手段（６、８１）と、

前記画素レベル差分（ＳｐＡ）に基づいて、前記入力インタレース信号（Ｖｉｎ）と前記１フィールド遅延入力インタレース信号（Ｖｄ１）との相関を検出してＮ－１個のフィールド間相関判定信号（Ｄｆ）を出力する、フィールド相関検出手段（６、８１、８２、８３、８４）と、

前記Ｎ－１個のフィールド間相関判定信号（Ｄｆ：Ｒ１、Ｒ２、Ｒ３、Ｒ４）を記憶するフィールド間差異記憶手段（８５、８６、８７、８８）と、

前記Ｎ－１個のフィールド間差異判定信号の値（Ｒ１、Ｒ２、Ｒ３、Ｒ４）のパターンに基づいて、前記Ｎ個の連続するフィールドのそれぞれ連続する２つが同一フレームから生成されたか、異なるフレームから生成されたかを判定するフィールド／フレーム相関判定手段（８９、９０）と、

同一フレームから生成されていると判断される場合はフィールド間補間と決定し、異なるフレームから生成された判断される場合にはフィールド内補間と補間方式を決定する補間方式判定手段（９１）とを備える、フィールド補間方式決定装置（６、８ａ）。

２．前記補間方式判定手段（９１）による補間方式の決定を所定時間だけ遅延させる、補間方式決定遅延手段（９２、９３）を更に備える、請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

３．前記所定時間は、前記入力されたフィールドの補間方式が決定されてから実際に補間処理が施されるまでの時間差に基づいて決定されることを特徴とする、請求項２に記載のフィールド補間方式決定装置。

４．前記所定時間は、０．５秒を中心として、当該フィールド補間方式決定装置とフィールド補間処理を施す装置の機械／電気的特性に基づいて決定されることを特徴とする、請求項３に記載のフィールド補間方式決定装置。

５．　同一フレームから生成されたと判定される場合は１カウントアップし、異なるフレームから生成されたと判定される場合はカウント値（ＣＤｓ）をリセットし、何れとも判定されないの場合はカウント値を保持するカウンタ手段（９２）と、

前記補間方式判定手段（９３）は、前記カウント値（ＣＤｓ）が所定値より大きい場合にはフィールド間補間と決定し、当該所定値以下の場合にはフィールド内補間と決定することを特徴する請求項２に記載のフィールド補間方式

決定装置（６、８ａ）。

６．前記入力インタレース信号（Ｖｉｎ）が２－３プルダウン信号である場合は、前記Ｎは６以上であることを特徴とする、請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

７．前記入力インタレース信号（Ｖｉｎ）が２－２プルダウン信号である場合は、前記Ｎは５以上であることを特徴とする、請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

８．前記フィールド／フレーム相関判定手段（８９、９０）は、前記Ｎ－１個のフィールド間相関判定信号（Ｒ１、Ｒ２、Ｒ３、Ｒ４）のうち、少なくとも連続する２つが相関無しと示す場合は、前記連続する２つのフィールドが異なるフレームから生成されたと判断することを特徴とする、請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

９．前記フィールド／フレーム相関判定手段（８９、９０）は、前記Ｎ－１個のフィールド間相関判定信号（Ｒ１、Ｒ２、Ｒ３、Ｒ４）において、相関ありと相関なしとが交互に示される場合は、前記連続する２つのフィールドが同一のフレームから生成されたと判断することを特徴とする、請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

１０．前記フィールド相関検出手段（６、８１、８２、８３、８４）は、

前記画素信号レベル差分（ＳｐＡ）が所定の画素レベ

ルを表す第１の閾値（Ｘ）より大きいか否かを画素毎に判定して二値で表す画素単位レベル差判定結果（Ｄｐ）を出力する画素差判定手段（８２）と、

前記画素単位レベル差判定結果（Ｄｐ）を１フィールド単位で加算してフィールド単位レベル差判定結果（ＣＤｐ）を出力するフィールド単位レベル差判定手段（８３）と、

前記フィールド単位レベル差判定結果（ＣＤｐ）が所定の画素数を表す第２の閾値（Ｙ）よりも大きいか否かにより、フィールド間の相関が大きいか否かを判定するフィールド間相関判定手段（８４）とを備える請求項１に記載のフィールド補間方式決定装置（６、８ａ）。

１１．前記フィールド間差異判定手段（６、８１、８２、８３、８４）は、さらに、前記１フィールド遅延入力インタレース信号（Ｖｄ１）が表す画像の明るさを表す信号レベル（ＰＬ）を検出する信号レベル検出手段（９４ｂ）と、

前記信号レベル（ＰＬ）の値に基づいて、前記第１の閾値（Ｘｂ）を変化させる、第１の閾値変更手段（９５ｂ）とを備える、請求項１０に記載のフィールド補間方式決定装置（６、８ａ）。

１２．前記フィールド間差異判定手段（６、８１、８２、８３、８４）は、さらに、前記１フィールド遅延入力インタレース信号（Ｖｄ１）が表す画像の明るさを表す信号レベル（ＰＬ）を検出する信号レベル検出手段（９４ｂ）と、

前記信号レベル（ＰＬ）の値に基づいて、前記第２の閾値（Ｙ）を変化させる、第２の閾値変更手段とを備える、請求項１０に記載のフィールド補間方式決定装置（６、８ａ）。

１３．前記フィールド間差異判定手段（６、８１、８２、８３、８４）は、さらに、前記１フィールド遅延入力インタレース信号（Ｖｄ１）に基づいて当該１フィールド遅延入力インタレース信号（Ｖｄ１）のフィールドが偶数フィールドであるか、奇数フィールドであるかを示すフィールド識別信号（Ｄｏｅ）を出力する、フィールド識別手段（１０）と、

当該フィールド識別信号（Ｄｏｅ）と前記フィールド間相関判定信号（Ｄｆ）との論理積（Ｄｆａ）を求めて、前記Ｎフィールド間差異記憶手段（８５～８８）へ出力する論理積回路（９６ｃ）とを備える、請求項１にフィールド補間方式決定装置（６、８ｃ、１０）。

１４．前記フィールド間差異判定手段（６、８１、８２、８３、８４）は、さらに、前記フィールド識別信号（Ｄｏｅ）の反転信号（ｎＤｏｅ）を出力する反転器（２２ｄ）と、

前記フィールド識別信号（Ｄｏｅ）および前記反転信号（ｎＤｏｅ）のいずれかを選択的に前期論理積回路（９６ｃ）へ出力するフィールド識別信号反転スイッチ（２４ｄ）とを備える、請求項１３に記載のフィールド補間方式決定装置（６、８ｃ、１０、２２ｄ、２４ｄ）。

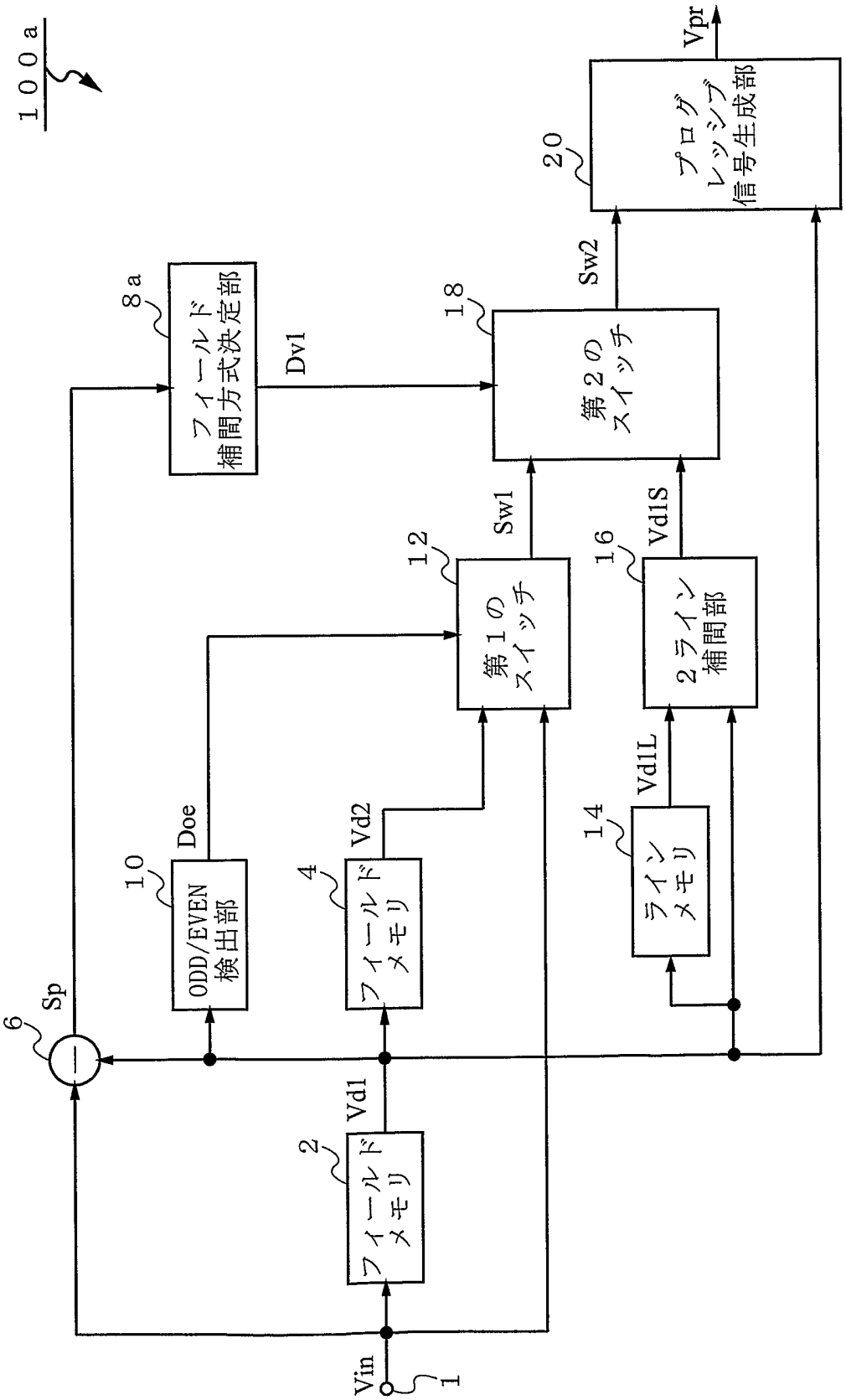

100a
Vpr
20
プログレッシブ信号生成部
Sw2
8a
フィールド補間方式決定部
Dv1
18
第2のスイッチ
Sw1
Vd1S
12
第1のスイッチ
16
2ライン補間部
Doe
10
ODD/EVEN検出部
Vd2
4
フィールドメモリ
Vd1L
14
ラインメモリ
Sp
6
Vd1
2
フィールドメモリ
Vin
1

図1

図2

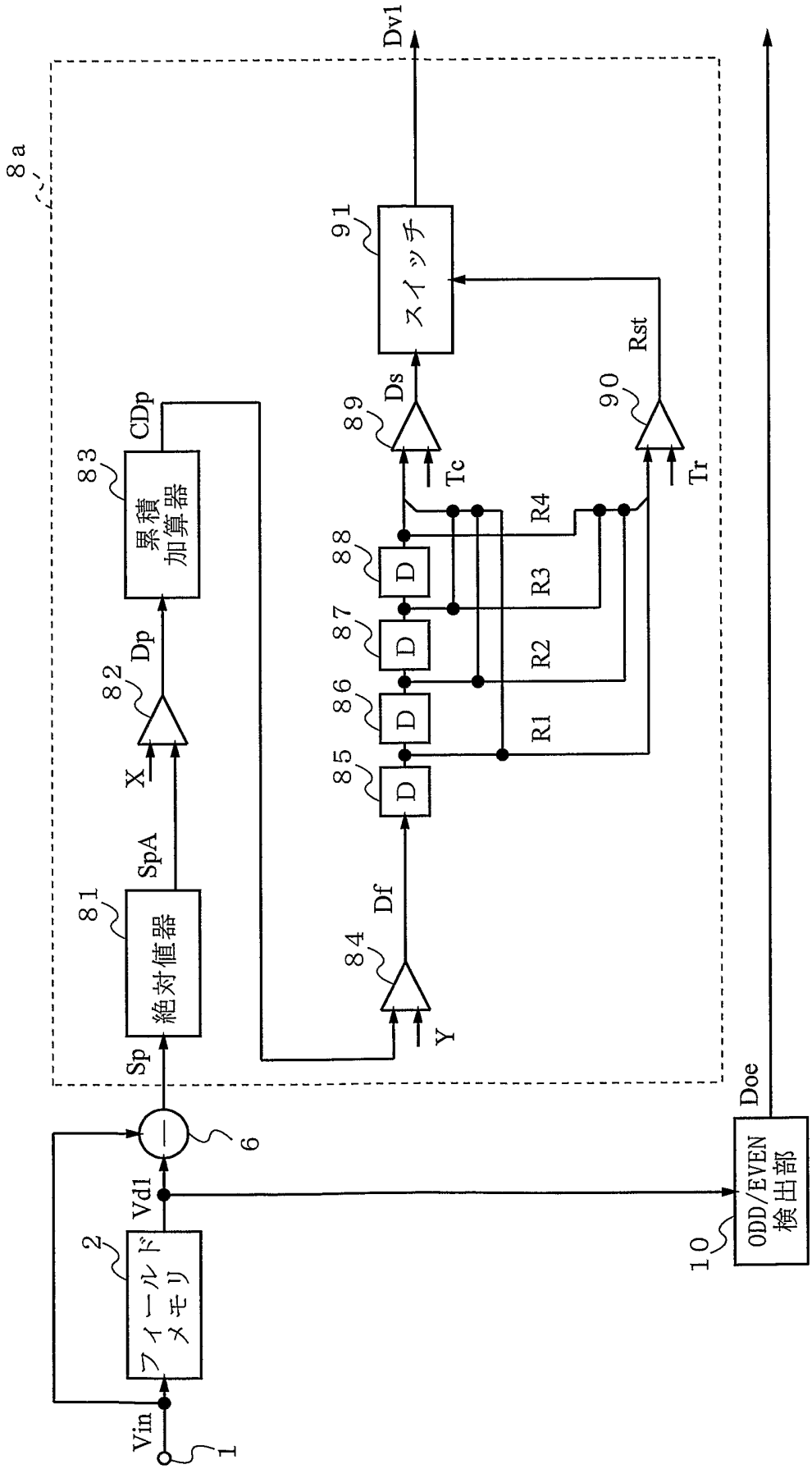
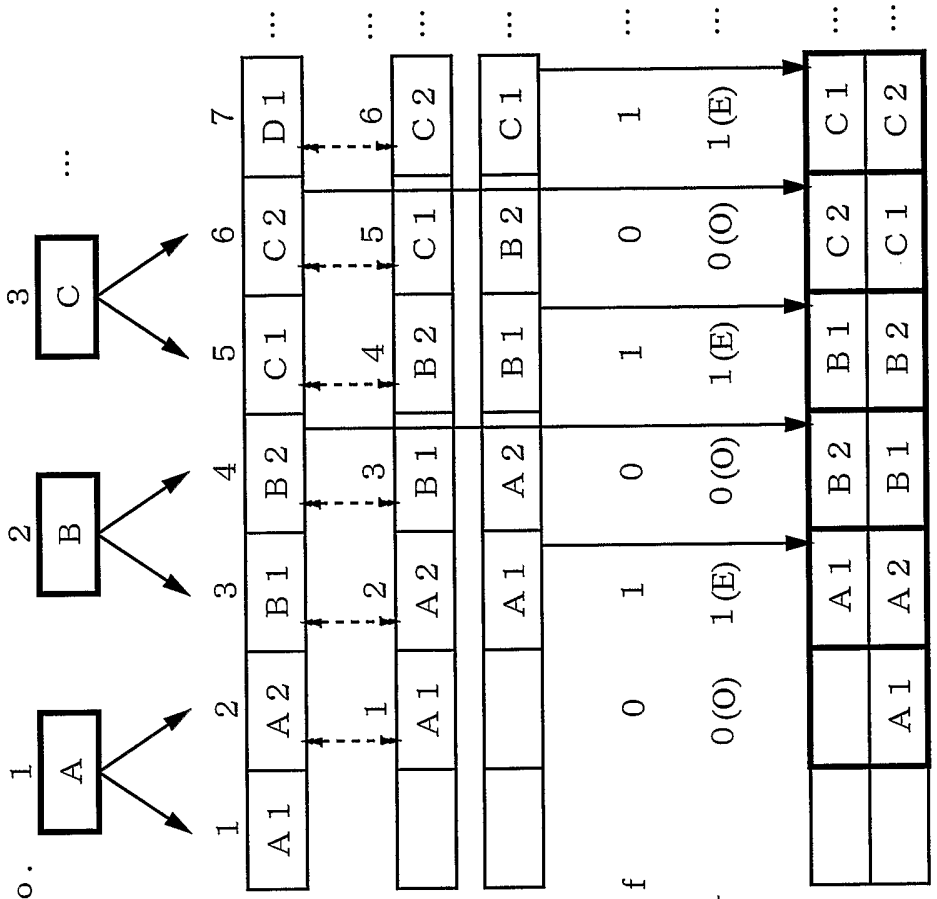

Vin
1
フィールドメモリ
2
Vd1
6
Sp
絶対値器
81
SpA
X
82
Dp
累積加算器
83
CDp
Df
84
Y
D
85
D
86
D
87
D
88
R1
R2
R3
R4
Ds
89
Tc
Rst
90
Tr
スイッチ
91
Dv1
8a
ODD/EVEN検出部
10
Doe

図３

レジスタ８５ R1	レジスタ８６ R2	レジスタ８７ R3	レジスタ８８ R4	カウンタ入力	
0	1	0	1	カウントアップ	Ｔｃ
1	0	1	0	カウントアップ	
0	0	0	0	キャンセル	Ｔ１
0	0	0	1	キャンセル	
0	0	1	0	キャンセル	
0	1	0	0	キャンセル	
1	0	0	0	キャンセル	
0	0	1	1	リセット	Ｔｒ
0	1	1	0	リセット	
0	1	1	1	リセット	
1	0	0	1	リセット	
1	0	1	1	リセット	
1	1	0	0	リセット	
1	1	0	1	リセット	
1	1	1	0	リセット	
1	1	1	1	リセット	

図４


フレームＮｏ．
親フレーム
フィールドＮｏ．
入力インタレース信号Ｖｉｎ
フィールドＮｏ．
１フィールド遅延入力インタレース信号Ｖｄ１
２フィールド遅延入力インタレース信号Ｖｄ２
ＶｉｎとＶｄ１とのフィールド間相関判定信号Ｄｆ
１フィールド遅延入力インタレース信号Ｖｄ１
のフィールド識別信号Ｄｏｅ
補間信号Ｓｗ２
１フィールド遅延入力インタレース信号Ｖｄ１
（補間対象信号）

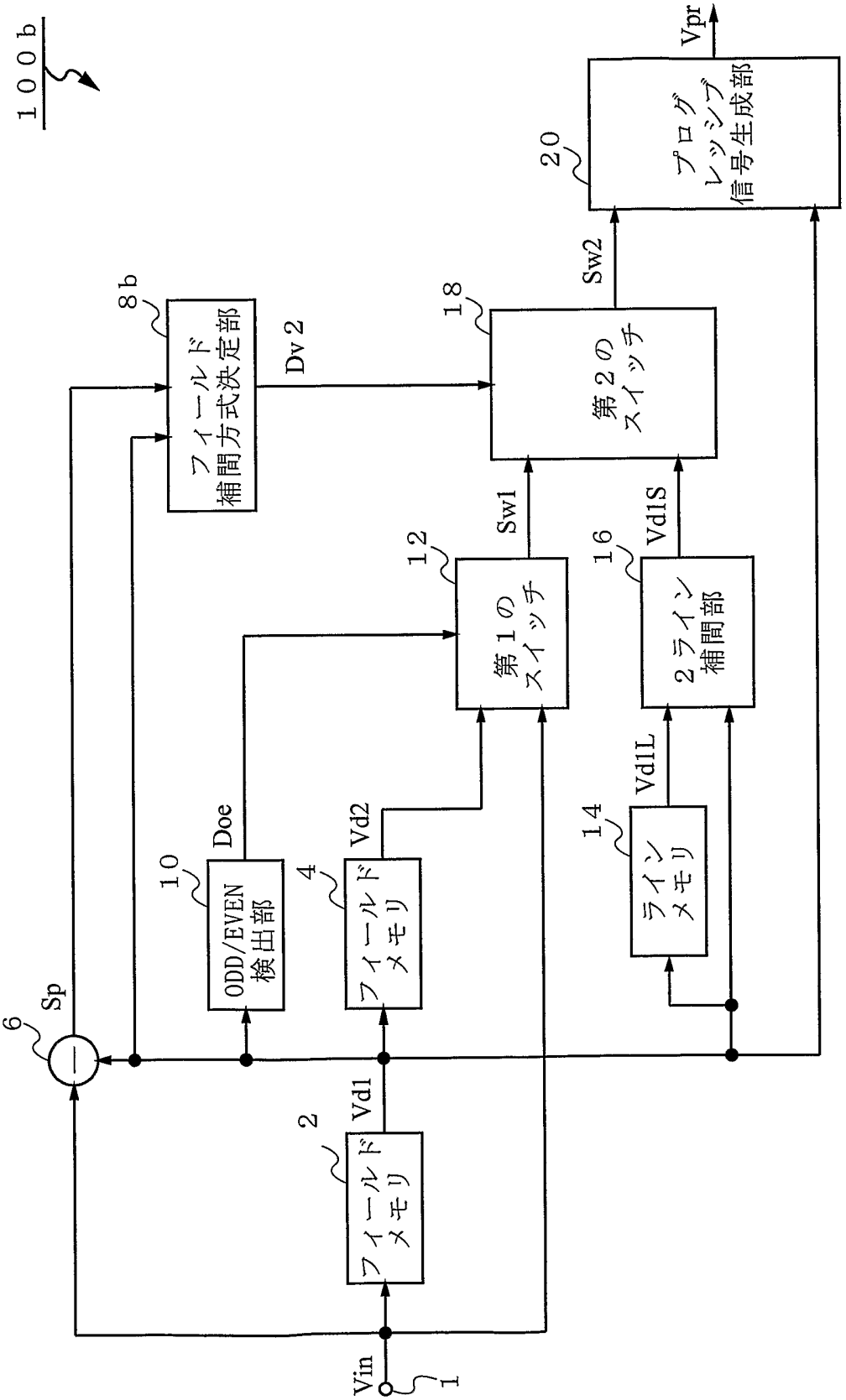

100b
Vpr
20
プログレッシブ信号生成部
Sw2
18
第２のスイッチ
8b
フィールド補間方式決定部
Dv2
Sw1
12
第１のスイッチ
16
Vd1S
２ライン補間部
Vd1L
14
ラインメモリ
Doe
10
ODD/EVEN検出部
Vd2
4
フィールドメモリ
Sp
6
Vd1
2
フィールドメモリ
Vin
1

図５

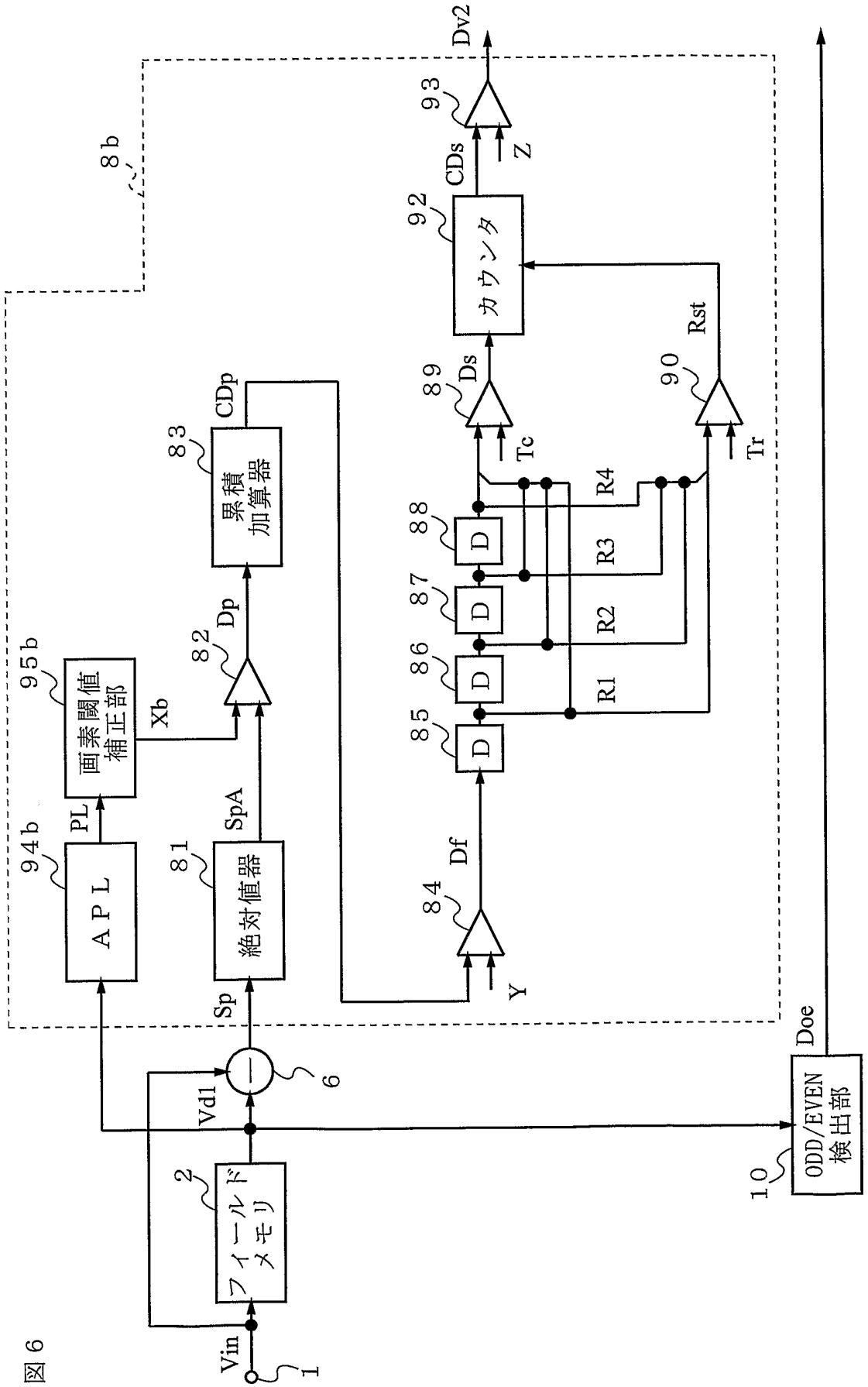

Vin
1
フィールドメモリ
2
Vd1
6
Sp
APL
94b
PL
画素閾値補正部
95b
Xb
絶対値器
81
SpA
Dp
82
累積加算器
83
CDp
8b
Df
84
Y
D
85
D
86
D
87
D
88
R1
R2
R3
R4
Tc
Ds
89
Tr
Rst
90
カウンタ
92
CDs
Z
93
Dv2
ODD/EVEN検出部
10
Doe

図6

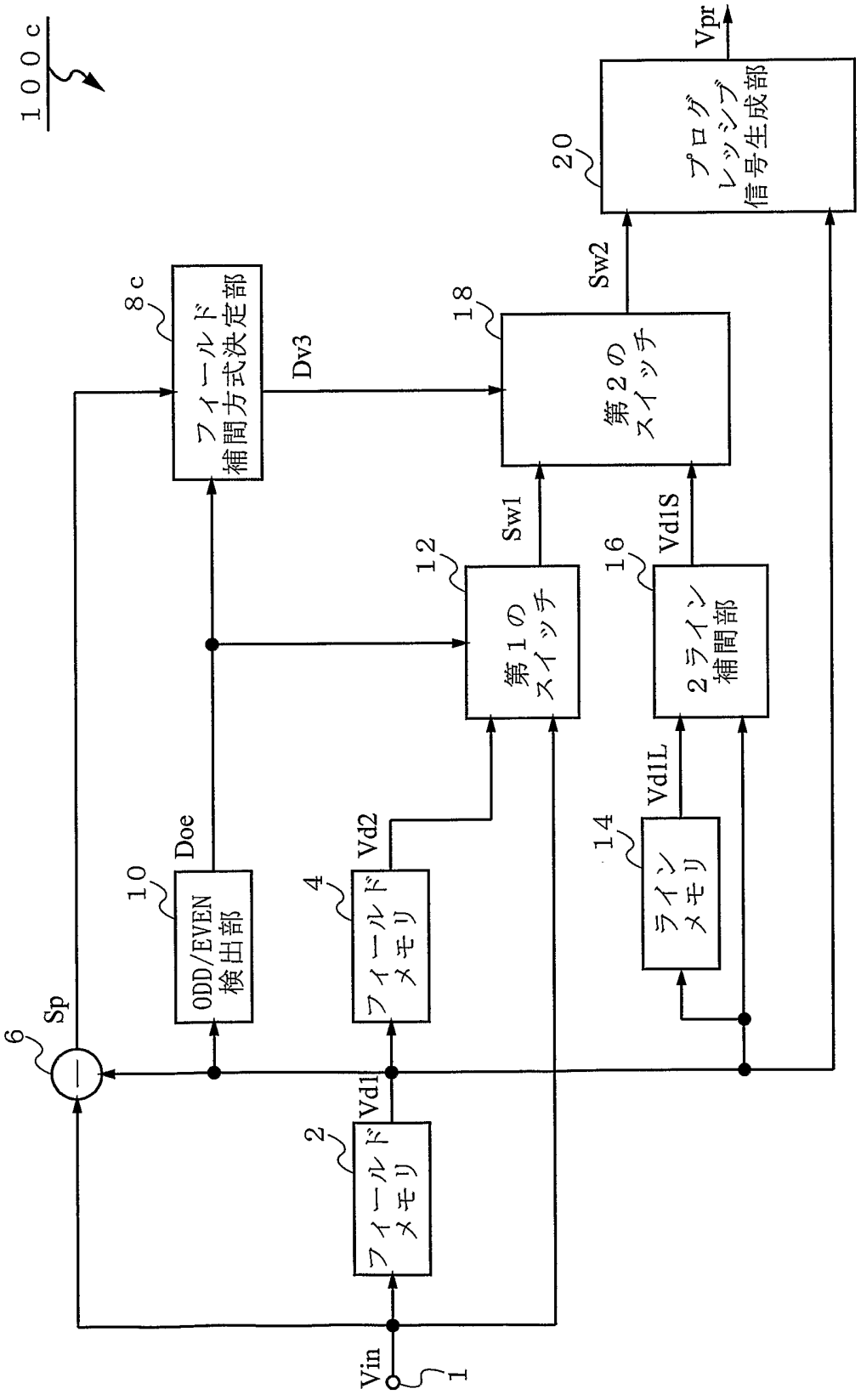
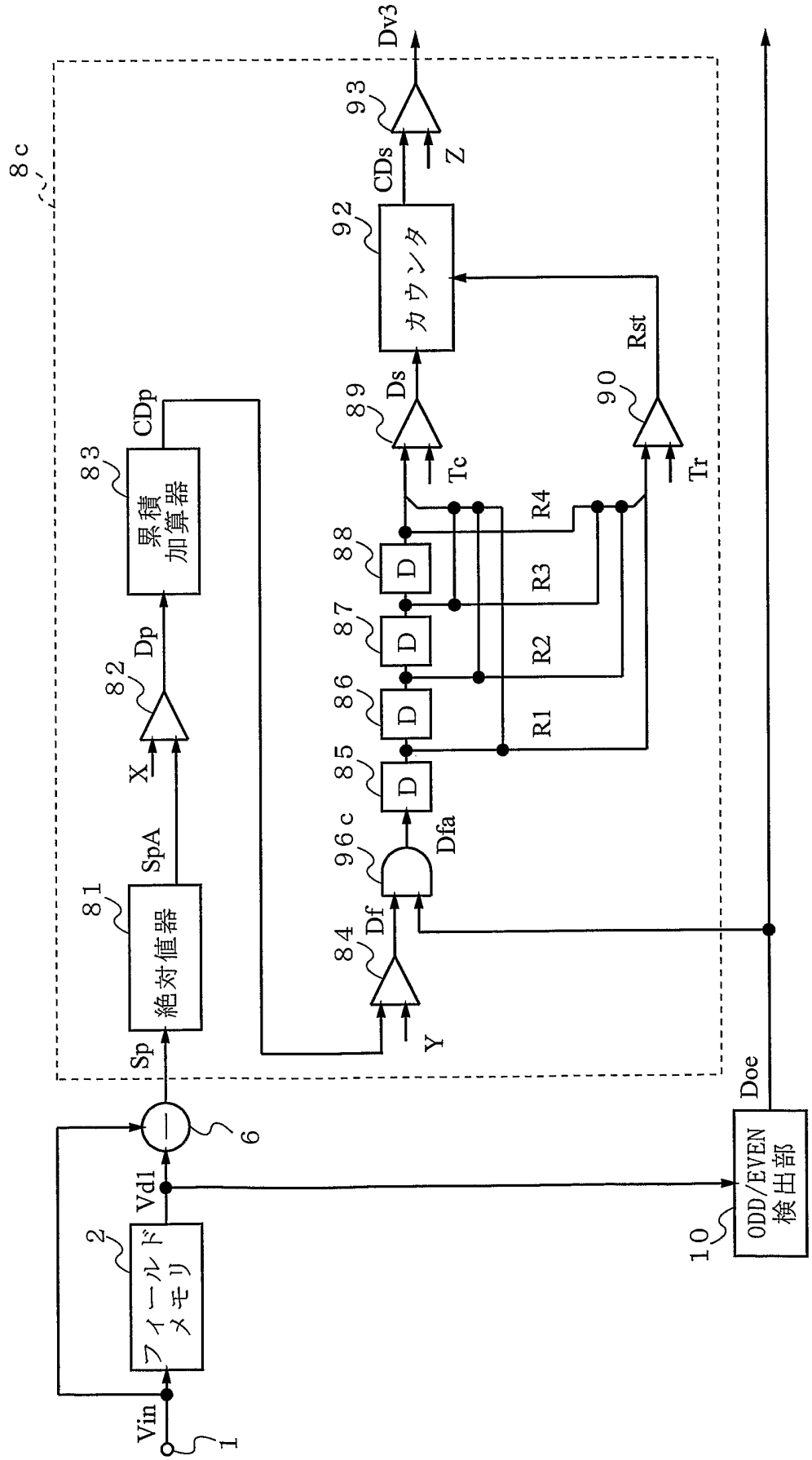

100c
Vpr
20
プログレッシブ信号生成部
Sw2
18
第2のスイッチ
8c
フィールド補間方式決定部
Dv3
Sw1
12
第1のスイッチ
16
Vd1S
2ライン補間部
Doe
10
ODD/EVEN検出部
Vd2
4
フィールドメモリ
Vd1L
14
ラインメモリ
Sp
6
Vd1
2
フィールドメモリ
Vin
1

図7

図８


Vin
1
フィールドメモリ
2
Vd1
6
Sp
絶対値器
81
SpA
X
Dp
82
累積加算器
83
CDp
8c
Y
Df
84
Dfa
96c
D
85
D
86
D
87
D
88
R1
R2
R3
R4
Tc
Ds
89
Tr
Rst
90
カウンタ
92
CDs
Z
93
Dv3
Doe
ODD/EVEN検出部
10

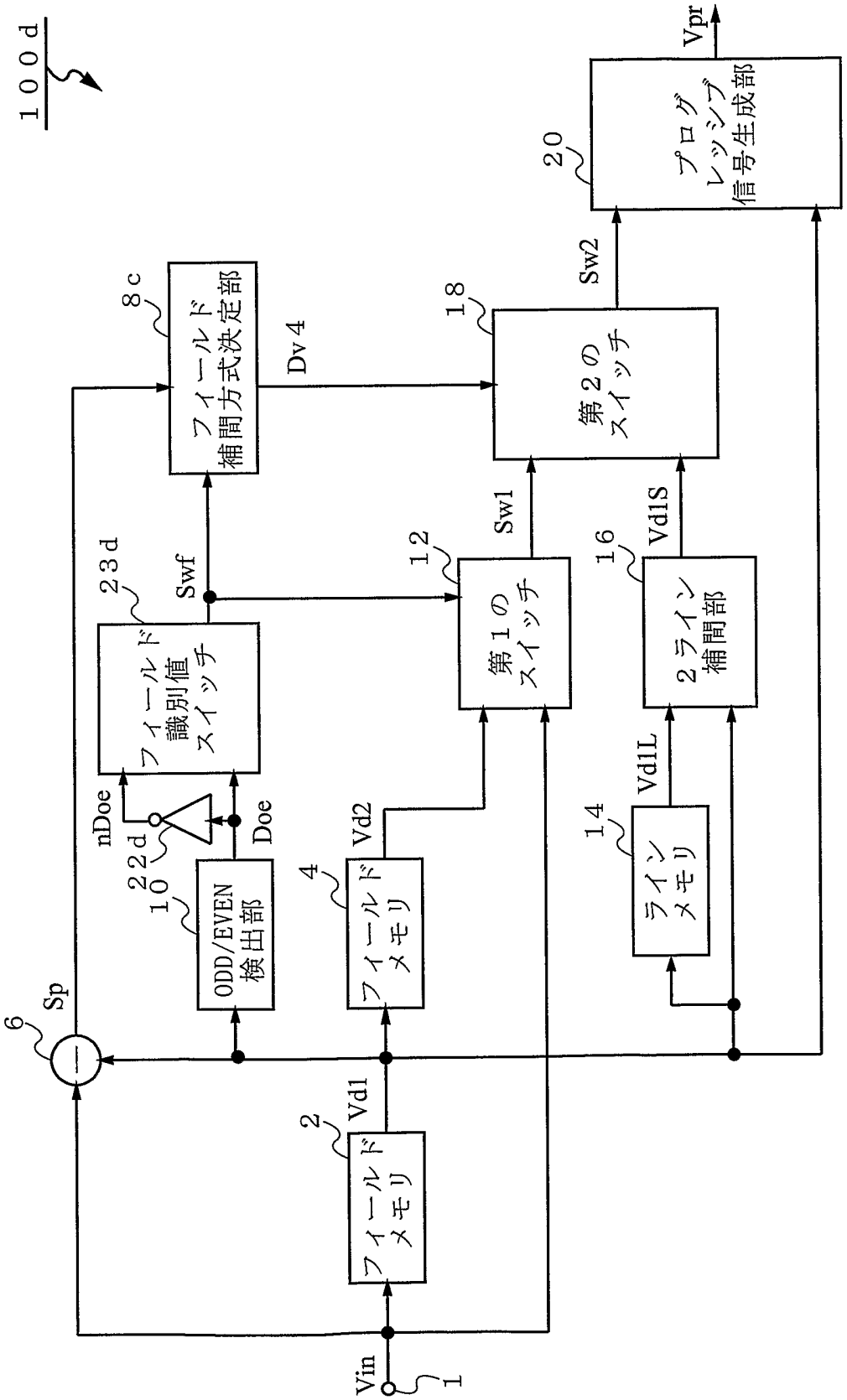

100d
Vpr
プログレッシブ信号生成部
20
Sw2
第2のスイッチ
18
フィールド補間方式決定部
8c
Dv4
フィールド識別値スイッチ
23d
Swf
第1のスイッチ
12
Sw1
2ライン補間部
16
Vd1S
ODD/EVEN検出部
10
22d
nDoe
Doe
フィールドメモリ
4
Vd2
ラインメモリ
14
Vd1L
フィールドメモリ
2
Vd1
Sp
6
Vin
1

図9

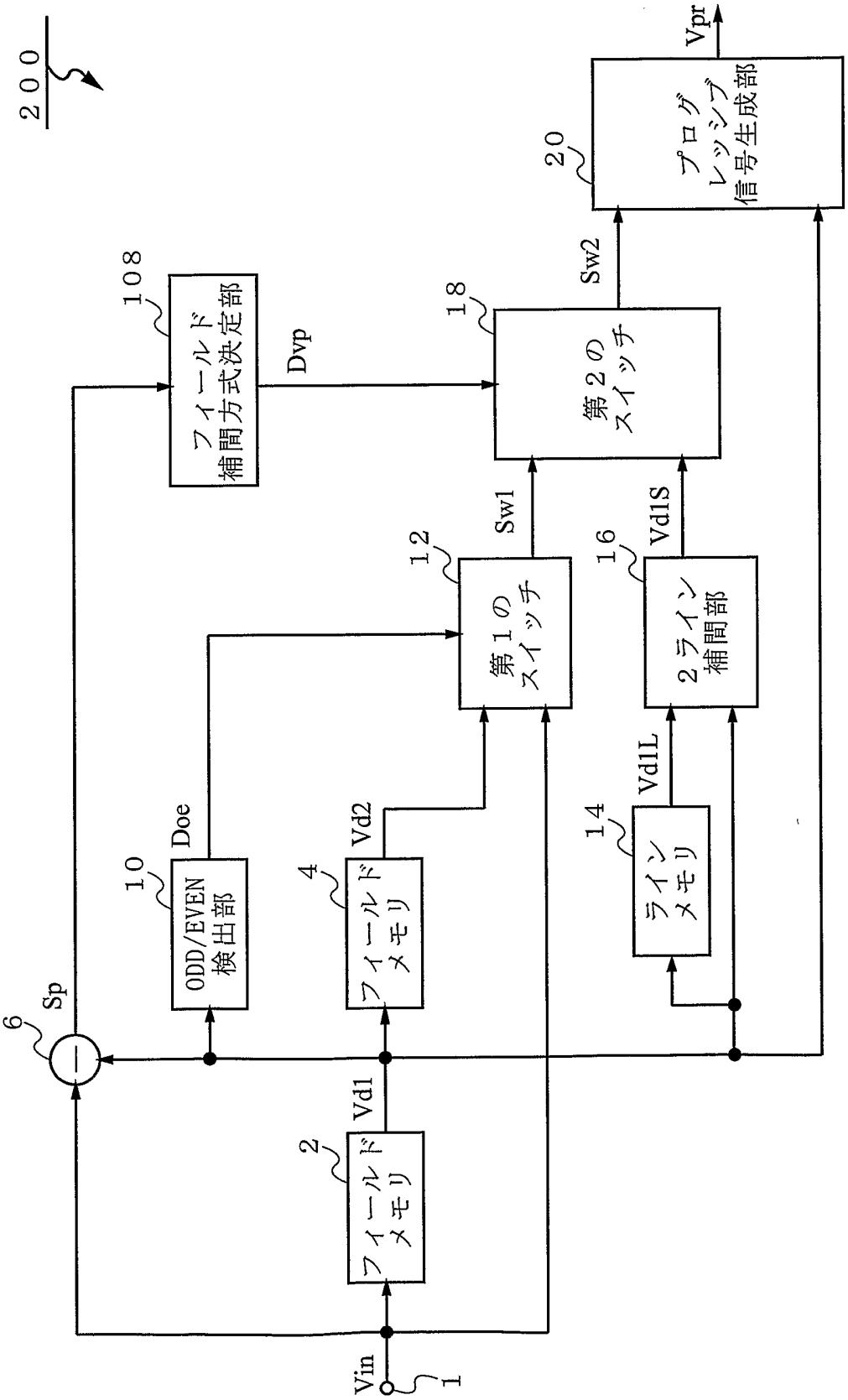
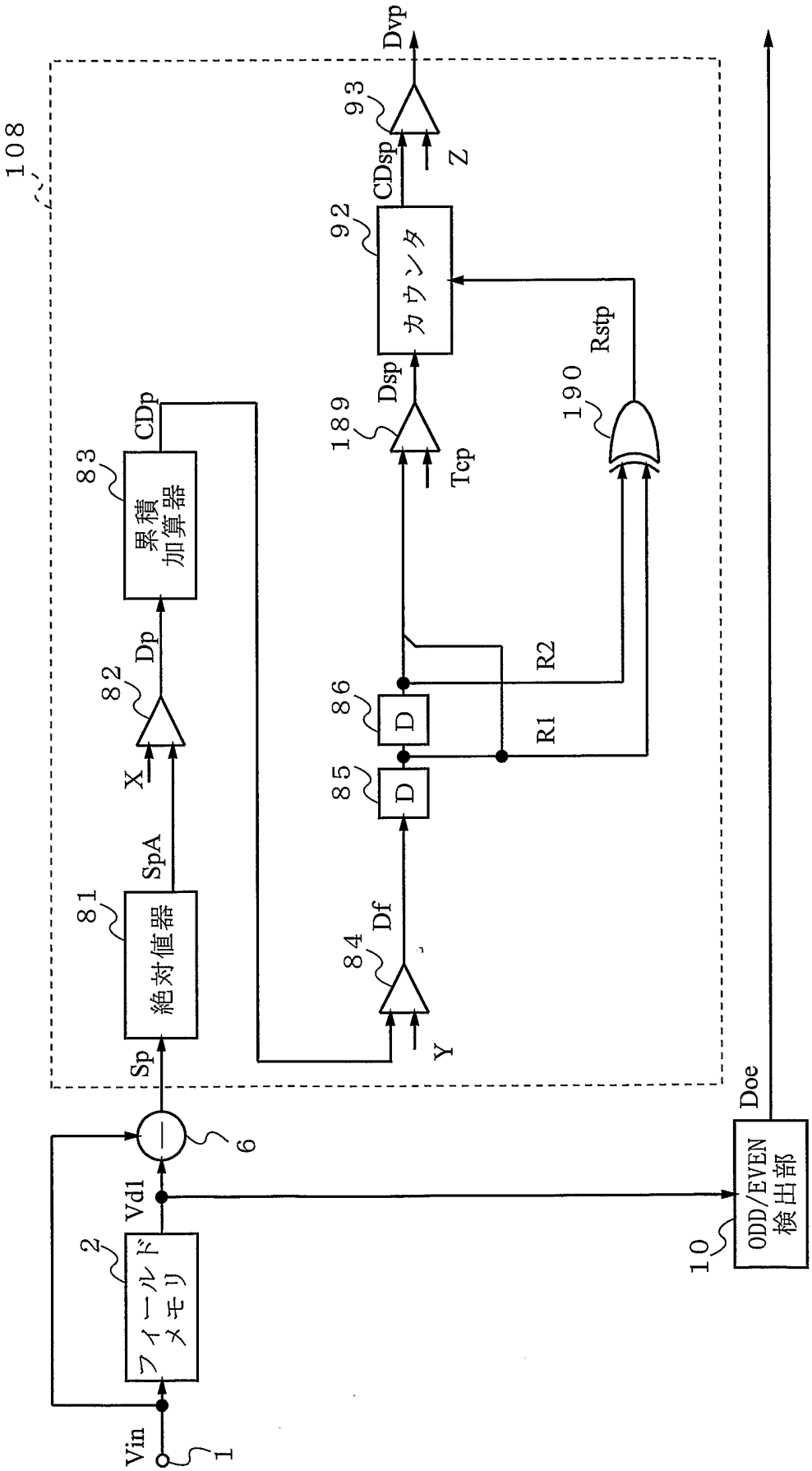

200
Vpr
プログレッシブ信号生成部
20
Sw2
フィールド補間方式決定部
108
Dvp
18
第２のスイッチ
Sw1
12
第１のスイッチ
Vd1S
16
２ライン補間部
Vd1L
14
ラインメモリ
Doe
10
ODD/EVEN検出部
Vd2
4
フィールドメモリ
Sp
6
Vd1
2
フィールドメモリ
Vin
1

図１０

図１１


Vin
1
フィールドメモリ
2
Vd1
6
Sp
絶対値器
81
SpA
X
82
Dp
累積加算器
83
CDp
108
Df
84
D
85
D
86
R1
R2
Y
Tcp
189
Dsp
カウンタ
92
CDsp
Z
93
Dvp
190
Rstp
Doe
ODD/EVEN検出部
10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/03927

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H04N7/01

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H04N7/00-7/088, H04N5/253

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-105292 A (Deutsche Thomson Brandt GmbH.), 15 April, 1994 (15.04.94), Full text; Figs. 1 to 6 & EP 567072 B1 & US 5365273 A & DE 4213551 A1	1-5,8-10 6,7,11-14
Y A	JP 2001-169252 A (Victor Company Of Japan, Ltd.), 22 June, 2001 (22.06.01), Full text; Figs. 1 to 9 (Family: none)	1-5,8-10 6,7,11-14
A	JP 4-72966 A (Hitachi, Ltd.), 06 March, 1992 (06.03.92), Full text; Figs. 1 to 12 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 June, 2003 (30.06.03)	15 July, 2003 (15.07.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/03927

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-78535 A (Victor Company Of Japan, Ltd.), 14 March, 2000 (14.03.00), Full text; Figs. 1 to 9 (Family: none)	1-14
A	JP 2000-341648 A (Pioneer Electronic Corp.), 08 December, 2000 (08.12.00), Full text; Figs. 1 to 5 & US 6509933 B1	1-14
A	JP 2001-94950 A (Matsushita Electric Industrial Co., Ltd.), 06 April, 2001 (06.04.01), Full text; Figs. 1 to 9 (Family: none)	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０３９２７

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０４Ｎ７／０１

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０４Ｎ７／００－７／０８８，Ｈ０４Ｎ５／２５３

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２００３年
日本国登録実用新案公報　１９９４－２００３年
日本国実用新案登録公報　１９９６－２００３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ Ａ	ＪＰ　６－１０５２９２　Ａ（ドイチエ　トムソンーブラント　ゲゼルシヤフト　ミツト　ベシユレンクテル　ハフツング） １９９４．０４．１５，全文，第１－６図 ＆　ＥＰ　５６７０７２　Ｂ１　＆　ＵＳ　５３６５２７３　Ａ ＆　ＤＥ　４２１３５５１　Ａ１	１－５，８－１０ ６，７，１１－１４
Ｙ Ａ	ＪＰ　２００１－１６９２５２　Ａ（日本ビクター株式会社） ２００１．０６．２２，全文，第１－９図（ファミリーなし）	１－５，８－１０ ６，７，１１－１４

☒ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日　３０．０６．０３

国際調査報告の発送日　15.07.03

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｐ　９４６８
畑中　高行

電話番号　０３－３５８１－１１０１　内線　３５８０

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０３９２７

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　４－７２９６６　Ａ（株式会社日立製作所） １９９２．０３．０６，全文，第１－１２図（ファミリーなし）	１－１４
Ａ	ＪＰ　２０００－７８５３５　Ａ（日本ビクター株式会社） ２０００．０３．１４，全文，第１－９図（ファミリーなし）	１－１４
Ａ	ＪＰ　２０００－３４１６４８　Ａ（パイオニア株式会社） ２０００．１２．０８，全文，第１－５図 ＆　ＵＳ　６５０９９３３　Ｂ１	１－１４
Ａ	ＪＰ　２００１－９４９５０　Ａ（松下電器産業株式会社） ２００１．０４．０６，全文，第１－９図（ファミリーなし）	１－１４