

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4056173号
(P4056173)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.

F 1

G 11 C 11/406 (2006.01)
G 11 C 11/403 (2006.01)G 11 C 11/34 363 J
G 11 C 11/34 363 M

請求項の数 9 (全 14 頁)

(21) 出願番号 特願平11-106813
 (22) 出願日 平成11年4月14日(1999.4.14)
 (65) 公開番号 特開2000-298982(P2000-298982A)
 (43) 公開日 平成12年10月24日(2000.10.24)
 審査請求日 平成15年9月26日(2003.9.26)

前置審査

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100077517
 弁理士 石田 敬
 (74) 代理人 100113826
 弁理士 倉地 保幸
 (74) 代理人 100082898
 弁理士 西山 雅也
 (74) 代理人 100081330
 弁理士 樋口 外治
 (72) 発明者 竹前 義博
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】半導体記憶装置および該半導体記憶装置のリフレッシュ方法

(57) 【特許請求の範囲】

【請求項 1】

メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であつて、

第1のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第1のリフレッシュモードと、

第2のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第2のリフレッシュモードと、

前記第1のリフレッシュアドレスおよび前記第2のリフレッシュアドレスを生成するリフレッシュアドレス生成器と、を備え、

前記リフレッシュアドレス生成器は、

リフレッシュアドレスカウンタと、

リフレッシュの対象となるメモリセルのアドレス情報を格納するリフレッシュアドレスレジスタと、を有し、

前記第1のリフレッシュモードにおいては、前記リフレッシュアドレスカウンタの出力の全ビットを前記第1のリフレッシュアドレスとし、

前記第2のリフレッシュモードにおいては、前記リフレッシュアドレスカウンタの出力の下位ビットと前記リフレッシュアドレスレジスタに格納された情報とに基づいて前記第2のリフレッシュアドレスを生成することを特徴とする半導体記憶装置。

【請求項 2】

10

20

請求項 1 に記載の半導体記憶装置において、

該半導体記憶装置は、リフレッシュの対象となるメモリセルの数に応じて所定の期間内に発生するリフレッシュコマンドの発生回数を変化させるリフレッシュコマンド発生部を備えることを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 に記載の半導体記憶装置において、

前記リフレッシュアドレスレジスタは、リフレッシュの対象となるメモリブロックのブロックアドレス情報を保持することを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体記憶装置において、

前記第 2 のリフレッシュモードは、前記半導体記憶装置のパワーダウン状態においてセルフリフレッシュ動作を実行するためのモードであることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体記憶装置において、

前記リフレッシュアドレス生成器は、前記一部を除いた前記リフレッシュアドレスカウンタの出力と、前記リフレッシュアドレスレジスタに格納された情報をと、リフレッシュモードに応じて選択的に出力するセレクタを備えることを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体記憶装置において、

前記リフレッシュアドレスカウンタの出力の一部は、下位ビットであることを特徴とする半導体記憶装置。

【請求項 7】

メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であつて、

第 1 のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第 1 のリフレッシュモードと、

第 2 のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第 2 のリフレッシュモードと、

リフレッシュアドレスカウンタと、

前記第 1 のリフレッシュモード時に前記リフレッシュアドレスカウンタの出力の全ビットを選択して前記第 1 のリフレッシュアドレスを生成し、前記第 2 のリフレッシュモード時に前記リフレッシュアドレスカウンタの出力の下位ビットを選択すると共にリフレッシュアドレスレジスタに格納された情報に基づいて前記第 2 のリフレッシュアドレスを生成するリフレッシュアドレス生成器と、を備えることを特徴とする半導体記憶装置。

【請求項 8】

複数のメモリブロックを有し、メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であつて、

第 1 のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第 1 のリフレッシュモードと、

第 2 のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第 2 のリフレッシュモードと、

前記第 1 のリフレッシュアドレスの全ビットを生成するアドレスカウンタと、を備え、前記第 2 のリフレッシュモード時にリフレッシュアドレスレジスタに格納された情報と、前記アドレスカウンタの出力であつてメモリブロック内のワード線選択に使用される部分とに基づいて前記第 2 のリフレッシュアドレスを生成することを特徴とする半導体記憶装置。

【請求項 9】

複数のメモリブロックを有する半導体記憶装置のメモリセルの記憶保持のために定期的にリフレッシュを行う半導体記憶装置のリフレッシュ方法であつて、

全てのメモリセルをリフレッシュする第 1 のリフレッシュモードにおいて、アドレスカ

10

20

30

40

50

ウンタからの出力であってメモリブロック選択に使用される部分と、メモリブロック内のワード線選択に使用する部分とに基づいて第1のリフレッシュアドレスを生成し、

一部のメモリセルをリフレッシュする第2のリフレッシュモードにおいて、リフレッシュアドレスレジスタに格納された情報と、前記アドレスカウンタの出力であってメモリブロック内のワード線選択に使用される部分とに基づいて前記第2のリフレッシュアドレスを生成し、

前記第1のリフレッシュアドレスまたは前記第2のリフレッシュアドレスに基づいてリフレッシュを行うことを特徴とする半導体記憶装置のリフレッシュ方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、メモリセルの記憶保持のために定期的なリフレッシュ動作を必要とするダイナミック型の半導体記憶装置に関する。

近年、D R A M (Dynamic Random Access Memory) 等のダイナミック型半導体記憶装置は、半導体製造技術の進歩に伴って高集積化並びに大容量化されて来ている。このような半導体記憶装置において、アクティブ状態でのリフレッシュ動作は、外部からのリフレッシュコマンド入力に基づいて行われ、また、パワーダウン状態でのリフレッシュ動作は、デバイス内部のオシレータ等によりクロックを発生して行われ、さらに、リフレッシュするメモリセルのアドレスは、デバイスに備えられたリフレッシュアドレスカウンタにより自動的に発生されるようになっている。そして、このようなダイナミック型半導体記憶装置のリフレッシュ動作（セルフリフレッシュ動作）の消費電力をより一層低減することのできる半導体記憶装置の提供が要望されている。

20

【0002】

【従来の技術】

図1は従来の半導体記憶装置の一例を示すブロック図であり、シンクロナスD R A M (S D R A M) のリフレッシュ回路の構成を示すものである。図1において、参照符号101はクロックバッファ (C L K バッファ) 、102はコマンドデコーダ、103はアドレスバッファ、104はリフレッシュ制御回路、105は発振器 (O S C) 、そして、106はモードレジスタを示している。また、参照符号107はリフレッシュアドレスカウンタ、108はR A S系制御回路、109はD R A Mコア、110はセレクタ、そして、111はアドレスラッチを示している。

30

【0003】

図1に示す従来のS D R A M (半導体記憶装置) において、アクティブ状態の場合、外部からのリフレッシュコマンド (A U T O R E F R E S H) が入力されると、コマンドデコーダ102からリフレッシュコマンド信号A R 1がリフレッシュ制御回路104に入力され、リフレッシュ制御回路104は、このリフレッシュコマンド信号A R 1に基づいてリフレッシュ制御信号R E F 1を発生する。ここで、コマンドデコーダ102には、チップセレクト信号 / C S 、ロウアドレスストローブ信号 / R A S 、コラムアドレスストローブ信号 / C A S 、および、ライトイネーブル信号 / W E が入力され、また、C L K バッファ101には、クロックC L K およびクロックイネーブル信号C K E が入力され、そして、アドレスバッファ103には、アドレス信号A 0 ~ A k が入力されている。なお、リフレッシュコマンド (A U T O R E F R E S H) は、例えば、クロックイネーブル信号C K E およびロウアドレスストローブ信号 / R A S 等の組み合わせとして外部から与えられる。

40

【0004】

リフレッシュアドレスカウンタ107は、リフレッシュ制御信号R E F 1が1回入力されるとアドレスを1つカウントアップするカウンタとして構成され、リフレッシュ制御信号R E F 1が入る毎にリフレッシュアドレスA D R 1を自動的に発生する。また、リフレッシュ制御信号R E F 1はセレクタ110にも供給され、該セレクタ110は、リフレッシュ制御信号R E F 1が入力されると、リフレッシュアドレスカウンタ107の出力である

50

リフレッシュアドレスADR1を選択し、また、それ以外の場合（リフレッシュ制御信号REF1が入力されない場合）には、アドレスバッファ103の出力である外部からのアドレスAD1を選択し、それぞれアドレスラッチ111に伝えるようになっている。

【0005】

なお、リフレッシュ制御信号REF1は、RAS系制御回路108にも供給され、アドレスラッチ111の出力により選択されたDRAMコア109のワード線に接続されたメモリセルに対してリフレッシュを行う。そして、DRAMコア109における全てのメモリセルの記憶を保持するために、決められた時間内に所定回数のリフレッシュコマンドを入力し、リフレッシュ動作を繰り返すようになっている。

【0006】

一方、パワーダウン状態の場合、まずアクティブ状態において外部からセルフリフレッシュコマンド（SELF REFRESH）が供給されると、コマンドデコーダ102がセルフリフレッシュコマンド信号SR1を発生してデバイス（半導体記憶装置）はパワーダウン状態になる。なお、セルフリフレッシュとは、リフレッシュ動作を継続するパワーダウンモードのことである。

【0007】

リフレッシュ制御回路104は、セルフリフレッシュコマンド信号SR1が入力すると制御信号SR2により発振器（OSC）105を起動させ、発振器105が発生するクロック信号に基づいて周期的にリフレッシュ制御信号REF1を発生させる。なお、セレクタ110およびRAS系制御回路108等の動作は、上述したアクティブ状態の場合のリフレッシュ動作と同様であるのでその説明は省略する。

【0008】

なお、モードレジスタ106は、コマンドデコーダ102の出力およびアドレスバッファ103の出力を受け取り、例えば、SDRAMのバーストモードにおけるバースト長やコマンドが入力されてからデータが出力されるまでのレーテンシ等を保持する。

【0009】

【発明が解決しようとする課題】

前述したように、従来のダイナミック型半導体記憶装置（SDRAM）は、アクティブ状態のリフレッシュ動作でもパワーダウン状態のリフレッシュ動作でも、DRAMコア109における全てのメモリセルをリフレッシュするようになっている。

【0010】

ところで、アプリケーションによっては、一時的に扱う情報は多くても、継続的に記憶しておく必要のある情報は少ないものも有り、従って、パワーダウン状態においては、DRAMコア109における一部のメモリセルのみのデータを保持しておけばよいといった場合が数多く存在する。具体的に、バッテリ駆動の携帯端末装置（例えば、携帯電話等）において、電源をオンにした状態における一部のデータだけを保持しておけば他の全ての情報を保持しておかなくてもよいといったものがある。

【0011】

しかしながら、従来のダイナミック型半導体記憶装置では、DRAMコア109における全てのメモリセルをリフレッシュするようになっているため、パワーダウン時の消費電力（例えば、数百μA程度）をより一層低減することは困難であった。特に、バッテリ駆動により使用する携帯端末装置等においては、例えば、パワーダウン時の消費電力が連続待機時間に直接影響を及ぼすため、消費電力の低減は非常に重要なものとなっている。なお、消費電力低減の要求は、バッテリ駆動の携帯端末装置ばかりでなく、ダイナミック型半導体記憶装置を使用する他の様々な機器においても必要とされている。

【0012】

本発明は、上述した従来の半導体記憶装置が有する課題に鑑み、必要な領域だけをリフレッシュすることにより、リフレッシュ動作の消費電力を低減し、パワーダウン状態における消費電力を大幅に削減することを目的とする。

【0013】

10

20

30

40

50

【課題を解決するための手段】

本発明の第1の形態によれば、メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であって、第1のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第1のリフレッシュモードと、第2のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第2のリフレッシュモードと、前記第1のリフレッシュアドレスおよび前記第2のリフレッシュアドレスを生成するリフレッシュアドレス生成器と、を備え、前記リフレッシュアドレス生成器は、リフレッシュアドレスカウンタと、リフレッシュの対象となるメモリセルのアドレス情報を格納するリフレッシュアドレスレジスタと、を有し、前記第1のリフレッシュモードにおいては、前記リフレッシュアドレスカウンタの出力の全ビットを前記第1のリフレッシュアドレスとし、前記第2のリフレッシュモードにおいては、前記リフレッシュアドレスカウンタの出力の下位ビットと前記リフレッシュアドレスレジスタに格納された情報とに基づいて前記第2のリフレッシュアドレスを生成することを特徴とする半導体記憶装置が提供される。

本発明の第2の形態によれば、メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であって、第1のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第1のリフレッシュモードと、第2のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第2のリフレッシュモードと、リフレッシュアドレスカウンタと、前記第1のリフレッシュモード時に前記リフレッシュアドレスカウンタの出力の全ビットを選択して前記第1のリフレッシュアドレスを生成し、前記第2のリフレッシュモード時に前記リフレッシュアドレスカウンタの出力の下位ビットを選択すると共にリフレッシュアドレスレジスタに格納された情報に基づいて前記第2のリフレッシュアドレスを生成するリフレッシュアドレス生成器と、を備えることを特徴とする半導体記憶装置が提供される。

本発明の第3の形態によれば、複数のメモリブロックを有し、メモリセルの記憶保持のために定期的にリフレッシュを必要とする半導体記憶装置であって、第1のリフレッシュアドレスに基づいて全てのメモリセルをリフレッシュする第1のリフレッシュモードと、第2のリフレッシュアドレスに基づいて一部のメモリセルをリフレッシュする第2のリフレッシュモードと、前記第1のリフレッシュアドレスの全ビットを生成するアドレスカウンタと、を備え、前記第2のリフレッシュモード時にリフレッシュアドレスレジスタに格納された情報と、前記アドレスカウンタの出力であってメモリブロック内でのワード線選択に使用される部分とに基づいて前記第2のリフレッシュアドレスを生成することを特徴とする半導体記憶装置が提供される。

本発明の第4の形態によれば、複数のメモリブロックを有する半導体記憶装置のメモリセルの記憶保持のために定期的にリフレッシュを行う半導体記憶装置のリフレッシュ方法であって、全てのメモリセルをリフレッシュする第1のリフレッシュモードにおいて、アドレスカウンタからの出力であってメモリブロック選択に使用される部分と、メモリブロック内のワード線選択に使用する部分とに基づいて第1のリフレッシュアドレスを生成し、一部のメモリセルをリフレッシュする第2のリフレッシュモードにおいて、リフレッシュアドレスレジスタに格納された情報と、前記アドレスカウンタの出力であってメモリブロック内でのワード線選択に使用される部分とに基づいて前記第2のリフレッシュアドレスを生成し、前記第1のリフレッシュアドレスまたは前記第2のリフレッシュアドレスに基づいてリフレッシュを行うことを特徴とする半導体記憶装置のリフレッシュ方法が提供される。

【0014】

本発明の第1の形態の半導体記憶装置によれば、少なくとも一部のメモリセルをリフレッシュする第2のリフレッシュモードが設けられているため、必要な領域だけをリフレッシュしてリフレッシュ動作の消費電力を低減することができる。

上述した本発明に係る半導体記憶装置において、リフレッシュアドレスレジスタをモードレジスタの一部として設け、リフレッシュアドレスレジスタとモードレジスタ同じレジスタとして構成することができる。また、リフレッシュアドレスレジスタに格納される

10

20

30

40

50

情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるアドレス範囲の最小値、最大値、或いは、最小値および最大値の両方としてもよい。さらに、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルを全てリフレッシュするためのリフレッシュ動作の回数、リフレッシュアドレスカウンタの初期値、或いは、リフレッシュの対象となるメモリセルを全てリフレッシュするためのリフレッシュ動作の回数およびリフレッシュアドレスカウンタの初期値の両方としてもよい。なお、リフレッシュアドレスカウンタの初期値は、リフレッシュの対象となるアドレスの範囲の最小値または最大値としてもよい。

【0015】

本発明の半導体記憶装置は、複数のメモリセルブロックを備え、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルブロックを選択するアドレス情報であってもよい。さらに、本発明の半導体記憶装置は、複数のメモリセルブロックを備え、リフレッシュアドレスレジスタに格納される情報は、第2のリフレッシュモードにおいてリフレッシュの対象となるメモリセルブロックを選択するためのアドレス情報であってもよい。なお、リフレッシュアドレス生成器は、セレクタを備えててもよい。

10

【0016】

また、第1のリフレッシュモードは、外部からのタイミング信号に同期してリフレッシュを行い、第2のリフレッシュモードは、内部発生クロックに同期してリフレッシュを行うようにしてもよい。さらに、第2のリフレッシュモードにおけるリフレッシュ動作の頻度を、リフレッシュアドレスレジスタに設定されたリフレッシュ対象となるメモリセルの数に対応して変更してもよい。そして、第2のリフレッシュモードは、パワーダウン状態においてメモリセルのセルフリフレッシュを行うモードであってもよい。

20

【0017】

【発明の実施の形態】

以下、図面を参照して、本発明に係る半導体記憶装置の実施例を詳述する。

図2は本発明に係る半導体記憶装置の第1実施例を示すブロック図であり、シンクロナスDRAM(SDRAM)のリフレッシュ回路の構成を示すものである。図2において、参考符号1はクロックバッファ(CLKバッファ)、2はコマンドデコーダ、3はアドレスバッファ、4はリフレッシュ制御回路、5は発振器(OSC)、そして、6はモードレジスタを示している。また、参考符号7はリフレッシュアドレスカウンタ、8はRAS系制御回路、9はDRAMコア、10はセレクタ、11はアドレスラッチ、12は比較器、そして、13はANDゲートを示している。

30

【0018】

図2に示す本発明の第1実施例の半導体記憶装置と前述した図1の従来の半導体記憶装置との比較から明らかなように、本第1実施例では、図1の従来例に対して、モードレジスタ6に設けられたりフレッシュアドレスレジスタ61、比較器12、および、ANDゲート13が追加されている。

すなわち、図2に示す第1実施例のSDRAM(半導体記憶装置)において、リフレッシュアドレスレジスタ61には、セルフリフレッシュの対象となるメモリセルのアドレス範囲の最小値および最大値(或いは、セルフリフレッシュの対象となるDRAMコア9におけるメモリセルブロックのブロック選択アドレス)が格納されている。これらリフレッシュアドレスレジスタ61に格納された最小値および最大値は、比較器12に供給されてリフレッシュアドレスカウンタの出力ADR1と比較される。なお、本第1実施例では、リフレッシュアドレスレジスタ61は、モードレジスタ6と同じレジスタとして構成され(モードレジスタ6内に設けられ)、例えば、電源投入後のモードレジスタ設定時に外部からのコマンド信号(/CS, /RAS, /CAS, /WE)およびアドレス信号(A0~AK)により設定されるが、チップの製造段階でマスクにより作り分けしたり、レザーフューズ等によりプログラミングしたり、或いは、ワイヤーボンディングの違いにより設定を変えたりすることも可能である。

40

50

【0019】

比較器12は、リフレッシュアドレスカウンタ7で発生したリフレッシュアドレスADR1とリフレッシュアドレスレジスタ61の内容（セルフリフレッシュの対象となるメモリセルのアドレスの最小値および最大値）を比較し、一致したら（セルフリフレッシュ対象アドレスであることを検出したら）その出力信号CMPを高レベル『H』とするもので、セルフリフレッシュモード時にはセルフリフレッシュ制御信号SR2によりアクティブ状態となってアドレスの比較を行い、セルフリフレッシュモード時のそれ以外の場合は出力CMPを低レベル『L』に固定するようになっている。

【0020】

図3は図2の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である 10
。

図3に示されるように、比較器12は、リフレッシュアドレスレジスタ61に保持されたセルフリフレッシュの対象となるメモリセルのアドレスの最小値Amおよび最大値Anをリフレッシュアドレスカウンタ7で発生したリフレッシュアドレスADR1(A0～Ak)と比較し、一致するアドレス範囲Am～Anにおいて出力信号CMPを高レベル『H』としてセルフリフレッシュを行い、一致しないアドレス範囲A0～Am-1およびAn+1～Akでは出力信号CMPを低レベル『L』としてセルフリフレッシュを行わない。

【0021】

すなわち、リフレッシュ制御回路4の出力であるリフレッシュ制御信号REF2は、ANDゲートの入力信号（比較器12の出力信号）CMPが高レベル『H』のときにリフレッシュ制御信号REF1としてRAS系制御回路8およびセレクタ10に供給され、リフレッシュアドレスレジスタ61に保持されたセルフリフレッシュの対象となるメモリセルのアドレス範囲Am～Anだけセルフリフレッシュを行うようになっている。 20

【0022】

なお、アクティブ状態の場合は、図1を参照して説明した従来の半導体記憶装置と同様に、外部からのリフレッシュコマンド(AUTO REFRESH)が入力されると、コマンドデコーダ2からリフレッシュコマンド信号AR1がリフレッシュ制御回路4に入力され、リフレッシュ制御回路4は、このリフレッシュコマンド信号AR1に基づいてリフレッシュ制御信号REF2を発生する。ここで、コマンドデコーダ2には、チップセレクト信号/CS、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CA S、および、ライトイネーブル信号/WEが入力され、また、CLKバッファ1には、クロックCLKおよびクロックイネーブル信号CKEが入力され、そして、アドレスバッファ3には、アドレス信号A0～Akが入力されている。なお、リフレッシュコマンド(AUTO REFRESH)は、例えば、クロックイネーブル信号CKEおよびロウアドレスストローブ信号/RAS等の組み合わせとして外部から与えられる。 30

【0023】

リフレッシュアドレスカウンタ7は、リフレッシュ制御信号REF2が1回入力するとアドレスを1つカウントアップするカウンタとして構成され、リフレッシュ制御信号REF2が入る毎にリフレッシュアドレスADR1を自動的に発生する。また、リフレッシュ制御信号REF2はANDゲート13にも供給され、比較器12の出力CMPとの論理積を取ってRAS系制御回路8およびセレクタ10にリフレッシュ制御信号REF1を供給するようになっている。ここで、比較器12の出力CMPは、セルフリフレッシュ時以外は、低レベル『L』に固定される。 40

【0024】

また、パワーダウン状態の場合、アクティブ状態において外部からセルフリフレッシュコマンド(SELF REFRESH)が供給されると、コマンドデコーダ2がセルフリフレッシュコマンド信号SR1を発生してデバイスはパワーダウン状態となり、リフレッシュ制御回路4は、制御信号SR2により発振器(OSC)5を起動させ、発振器5が発生するクロック信号に基づいて、リフレッシュアドレスカウンタ7およびANDゲート13に供給されるリフレッシュ制御信号REF2を周期的に発生させる。 50

【 0 0 2 5 】

さらに、リフレッシュ制御信号 R E F 1 はセレクタ 1 0 に供給され、該リフレッシュ制御信号 R E F 1 が入力されると、リフレッシュアドレスカウンタ 7 の出力であるリフレッシュアドレス A D R 1 を選択し、また、それ以外の場合（リフレッシュ制御信号 R E F 1 が入力されない場合）には、アドレスバッファ 3 の出力である外部からのアドレス A D 1 を選択し、それぞれアドレスラッチ 1 1 に伝える。また、リフレッシュ制御信号 R E F 1 は、R A S 系制御回路 8 にも供給され、アドレスラッチ 1 1 の出力により選択された D R A M コア 9 のワード線に接続されたメモリセルに対してリフレッシュを行うようになっている。

【 0 0 2 6 】

本発明の第 1 実施例によれば、パワーダウン時のリフレッシュの対象となるメモリセルのアドレス情報をリフレッシュアドレスレジスタ 6 1 に外部から設定することによって、セルフリフレッシュにおいては、リフレッシュアドレスレジスタ 6 1 で指定した範囲内のアドレスがリフレッシュアドレスカウンタ 7 から発生した場合だけ（データ保持の必要な領域だけ）をリフレッシュしてリフレッシュ動作の消費電力を低減することができる。

【 0 0 2 7 】

図 4 は本発明に係る半導体記憶装置の第 2 実施例を示すブロック図であり、図 5 は図 4 の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。

図 4 に示す本第 2 実施例は、前述した図 2 に示す第 1 実施例において常に動作していたリフレッシュアドレスカウンタ 7 (7 a) の動作を制限してより一層の消費電力の低減を図ったものである。図 4 において、参照符合 6 a はモードレジスタ、6 1 a はリフレッシュアドレスレジスタ、6 1 1 はリフレッシュアドレスの最小値を格納するレジスタ、6 1 2 はリフレッシュアドレスの最大値を格納するレジスタ、7 a はリフレッシュアドレスカウンタ、1 2 a は比較器、そして、1 2 1 は O R ゲートを示している。

【 0 0 2 8 】

図 4 に示されるように、本第 2 実施例において、リフレッシュアドレスレジスタ 6 1 a に保持されたリフレッシュアドレスの最小値 (6 1 1) は、そのままリフレッシュアドレスカウンタ 7 a に供給され、また、リフレッシュアドレスレジスタ 6 1 a に保持されたリフレッシュアドレスの最大値 (6 1 2) は、比較器 1 2 a に供給されている。そして、比較器 1 2 a の出力信号 C M P およびリフレッシュ制御回路 4 の出力であるセルフリフレッシュ制御信号 S R 3 は、O R ゲート 1 2 1 により論理和が取られ、セット信号 S E T としてリフレッシュアドレスカウンタ 7 a に供給される。

【 0 0 2 9 】

本第 2 実施例では、セルフリフレッシュモードに入ると、まず、セルフリフレッシュ制御信号（パルス信号）S R 3 が出力（1 発発生）され、O R ゲート 1 2 1 を介してセット信号 S E T がリフレッシュアドレスカウンタ 7 a に入力され、リフレッシュアドレスレジスタ 6 1 a に保持されたリフレッシュアドレスの最小値 (6 1 1 : A m) がリフレッシュアドレスカウンタ 7 a に初期値としてセットされる。次いで、セルフリフレッシュが開始され、アドレス A m から順次リフレッシュ動作が行われる。そして、リフレッシュアドレスカウンタ 7 a の出力であるリフレッシュアドレス A D R 1 がリフレッシュアドレスレジスタ 6 1 a に保持されたリフレッシュアドレスの最大値 (6 1 2 : A n) に達すると、比較器 1 2 a が出力信号（パルス信号）C M P を出力（1 発発生）する。この信号 C M P は、O R ゲート 1 2 1 を介してセット信号 S E T としてリフレッシュアドレスカウンタ 7 a に入力され、該リフレッシュアドレスカウンタ 7 a に初期値 (A m) が再設定され、以後同様の動作を繰り返す。これにより、リフレッシュアドレスカウンタ 7 a は、リフレッシュアドレスレジスタ 6 1 a に設定されたアドレス範囲 (A m ~ A n) 内だけで動作することになる。

【 0 0 3 0 】

ここで、第 2 実施例では、リフレッシュアドレスレジスタ 6 1 a に対してセルフリフレッシュの対象となるメモリセルのアドレスの最小値 A m (6 1 1) および最大値 A n (6 1

10

20

30

40

50

2)を保持するようにしているが、例えば、最小値A_mだけ或いは最大値A_nだけを保持するように構成してもよい。すなわち、リフレッシュアドレスレジスタ61aに対して最小値A_m(611)だけを格納した場合には、アドレスA_m~A_kがセルフリフレッシュの対象となり、また、リフレッシュアドレスレジスタ61aに対して最大値A_n(612)だけを格納した場合には、アドレスA₀~A_nがセルフリフレッシュの対象になる。

【0031】

なお、アクティブ状態でのリフレッシュ動作においては、セルフリフレッシュ制御信号S_R3および比較器12aの出力信号C_MPは出力されないため、リフレッシュアドレスカウンタ7aはD_RA_Mコア9における全てのメモリセルをリフレッシュするアドレスを発生することになる。

10

図6は本発明に係る半導体記憶装置の第3実施例を示すブロック図である。図6において、参照符合6bはモードレジスタ、61bはリフレッシュアドレスレジスタ、611はリフレッシュアドレスの最小値を格納するレジスタ、613はリフレッシュ回数を格納するレジスタ、12bは比較器、そして、122はカウンタを示している。

【0032】

図6に示す本第3実施例では、前述した第1実施例および第2実施例におけるリフレッシュアドレスレジスタ61(61a)に保持するリフレッシュアドレスの最大値(612)の代わりにリフレッシュ回数(613)を格納するようにしたものである。

すなわち、図6に示されるように、本第3実施例では、リフレッシュアドレスレジスタ61bには、リフレッシュアドレスの最小値(611:A_m)とリフレッシュ回数(613)が格納されるようになっており、カウンタ122によりリフレッシュ回数(613)をカウントするようになっている。

20

【0033】

すなわち、本第3実施例では、セルフリフレッシュモードにおいて、リフレッシュアドレスカウンタ7は、カウントアップを行ってリフレッシュアドレスADR1を発生し、また、比較器12bは、リフレッシュアドレスADR1とリフレッシュアドレスの最小値(611:A_m)とを比較し、一致したら出力信号C_MPを発生する。カウンタ122は、信号C_MPを受けて高レベル『H』の出力信号C1を発生すると共に、リフレッシュ制御回路4の出力であるリフレッシュ制御信号REF2の発生回数のカウントを開始し、リフレッシュアドレスレジスタ61bの回数情報(613)と一致したら、信号C1を低レベル『L』に下げる。これにより、信号C1が高レベル『H』となる期間だけ、信号REF2がリフレッシュ制御信号REF1としてRAS系制御回路8およびセレクタ10に供給されることになる。なお、他の構成は、図2の第1実施例と同様でありその説明は省略する。

30

【0034】

なお、リフレッシュアドレスレジスタ61bに対しては、リフレッシュアドレスの最小値(611)の代わりに最大値を格納するように構成し、そのリフレッシュアドレスの最大値から所定のリフレッシュ回数(613)だけセルフリフレッシュを行うように構成することもできる。

図7は本発明に係る半導体記憶装置の第4実施例を示すブロック図である。この図7に示す第4実施例では、モードレジスタ6cのリフレッシュアドレスレジスタ61cに対してリフレッシュ対象となるD_RA_Mコア9におけるブロックアドレスを格納するようになっている。

40

【0035】

例えば、D_RA_Mコア9が複数のメモリセルブロックから構成されているとき、このD_RA_Mコア9の一部のメモリセルブロックだけをセルフリフレッシュするのに有効なものである。そして、リフレッシュアドレスレジスタ61cには、セルフリフレッシュの対象となるブロック選択アドレスが格納され、また、リフレッシュアドレスカウンタ7bは、ブロック選択に使用される上位ビットH_Bとブロック内でのワード線選択に用いる下位ビットL_Bに分けて出力するようになっている。

50

【0036】

すなわち、セレクタ14は、リフレッシュ制御回路4からのセルフリフレッシュ制御信号S R 2により、セルフリフレッシュモードではリフレッシュアドレスレジスタ61cのブロック選択アドレスを選択してセレクタ10に供給し、それ以外ではリフレッシュアドレスカウンタ7bの上位ビットH Bを選択してセレクタ10に供給するようになっている。

【0037】

ここで、前述した本発明の第1実施例～第4実施例では、セルフリフレッシュの対象となるメモリセルの個数はリフレッシュアドレスレジスタ61(61a, 61b, 61c)の設定により可変である。すなわち、第1実施例および第2実施例では、最小値および最大値の設定により変えることができ、また、第3実施例では、回数を変更すればよく、そして、第4実施例では、リフレッシュ対象ブロックアドレスを複数設定できるようにしておけばよい。

10

【0038】

さらに、セルフリフレッシュの対象となる各メモリセルは、所定の時間内に1回のリフレッシュを行う必要があるが、第1実施例および第3実施例ではリフレッシュアドレスカウンタ7がセルフリフレッシュモードにおいて所定の時間内に一周するように発振器5を設計しておけばよいが、第2実施例および第4実施例ではセルフリフレッシュの対象となるメモリセルの数が増加すれば特定のメモリセルに対してセルフリフレッシュの実施される時間間隔が長くなってしまう。そこで、セルフリフレッシュの対象となるメモリセルの数が増加した場合にはリフレッシュ制御信号R E F 1の発生頻度を増加させる(セルフリフレッシュの対象となるメモリセルの数が減少した場合にはリフレッシュ制御信号R E F 1の発生頻度を低減させる)必要がある。これに対応した実施例(第5実施例)が図8に示すものである。

20

【0039】

図8は本発明に係る半導体記憶装置の第5実施例を示すブロック図であり、参照符号51は分周器を示している。

図8に示されるように、本第5実施例では、発振器5の出力を分周器51で分周してリフレッシュ制御回路4に供給するようになっている。リフレッシュアドレスレジスタ61cにはセルフリフレッシュの対象となるメモリセルブロックの個数の情報が格納されており、これに応じて分周器51の分周率を変更するようになっている。具体的に、例えば、セルフリフレッシュの対象となるメモリセルブロック数が4個、2個および1個の場合、分周器51の出力(周波数)は、メモリセルブロック数が4個の場合のを基準(1倍)とすると、メモリセルブロック数が2個および1個のときそれぞれ基準周波数の1/2倍および1/4倍となるようにする。これによりリフレッシュアドレスカウンタ7等を必要最小限の周波数での駆動することにより一層消費電力を低減することが可能になる。

30

【0040】

以上の説明は、半導体記憶装置としてD R A M(S D R A M)を例として説明したが、本発明は、例えば、シンクリンクD R A MやラムバスD R A M(R D R A M)等のメモリセルの記憶保持のために定期的なリフレッシュ動作を必要とする他の様々な半導体記憶装置に対しても適用することができる。

40

【0041】**【発明の効果】**

以上、詳述したように、本発明によれば、データを保持する必要な領域だけをリフレッシュすることにより、リフレッシュ動作の消費電力を低減し、パワーダウン状態における消費電力を大幅に削減することが可能な半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】従来の半導体記憶装置の一例を示すブロック図である。

【図2】本発明に係る半導体記憶装置の第1実施例を示すブロック図である。

【図3】図2の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。

50

【図4】本発明に係る半導体記憶装置の第2実施例を示すブロック図である。

【図5】図4の半導体記憶装置におけるセルフリフレッシュ動作を説明するための図である。

【図6】本発明に係る半導体記憶装置の第3実施例を示すブロック図である。

【図7】本発明に係る半導体記憶装置の第4実施例を示すブロック図である。

【図8】本発明に係る半導体記憶装置の第5実施例を示すブロック図である。

【符号の説明】

1 ... クロックバッファ (CLKバッファ)

2 ... コマンドデコーダ

3 ... アドレスバッファ

4 ... リフレッシュ制御回路

5 ... 発振器 (OSC)

6 , 6a , 6b , 6c , 6d ... モードレジスタ

7 , 7a , 7b ... リフレッシュアドレスカウンタ

8 ... RAS系制御回路

9 ... DRAMコア

10 , 14 ... セレクタ

11 ... アドレスラッチ

12 , 12a , 12b ... 比較器

13 ... ANDゲート

51 ... 分周器

61 , 61a , 61b , 61c , 61d ... リフレッシュアドレスレジスタ

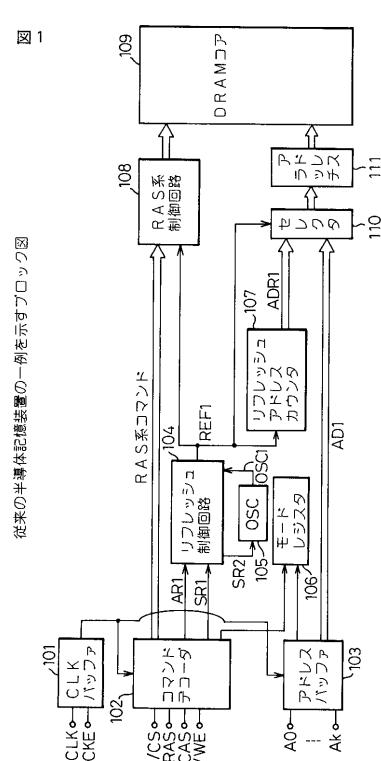
121 ... ORゲート

122 ... カウンタ

10

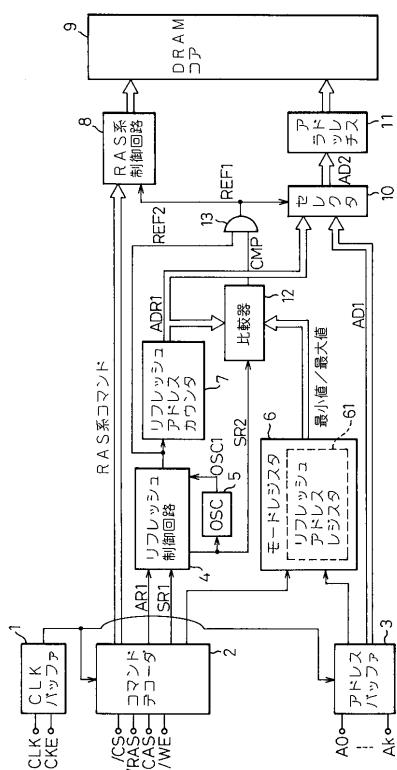
20

【図1】



従来の半導体記憶装置の一例を示すブロック図

【図2】



本発明に係る半導体記憶装置の第1実施例を示すブロック図

【 四 3 】

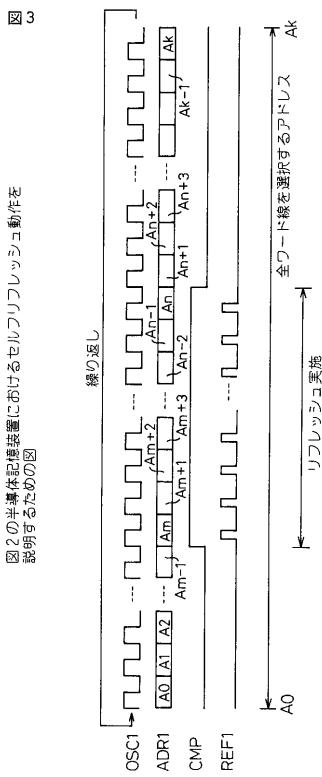


図4の半導体記憶装置におけるセルフルフレッシュ動作を説明するための図

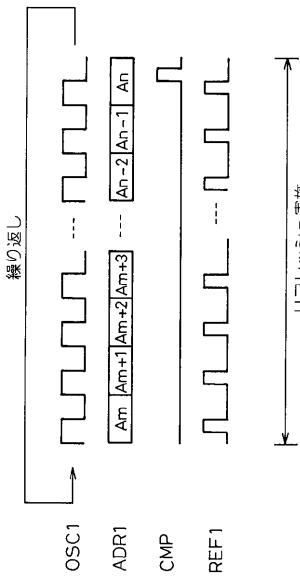
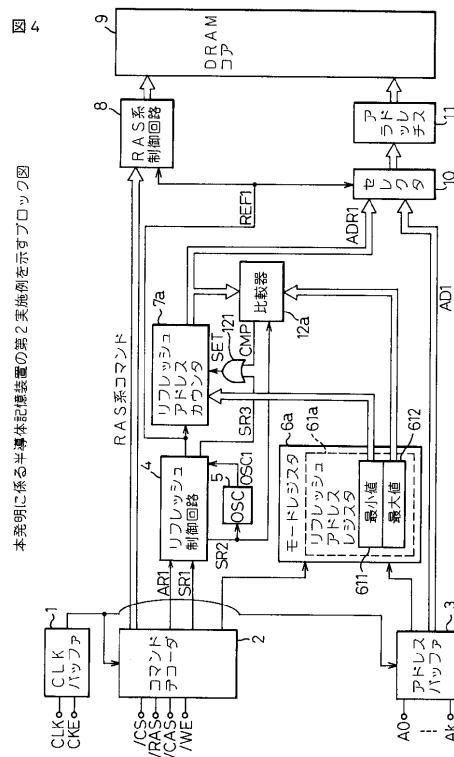


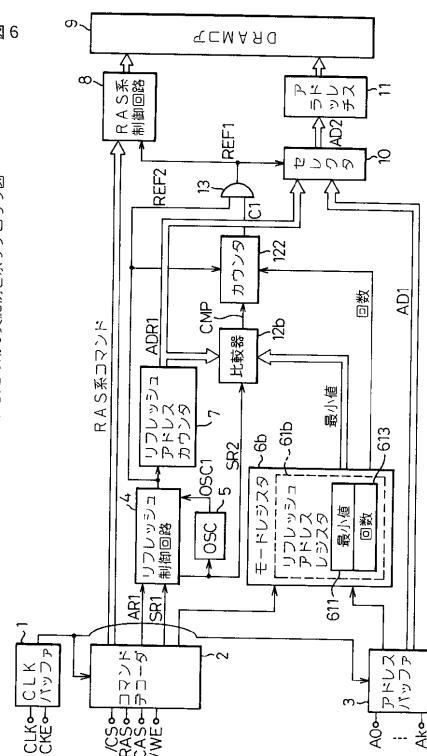
図2の半導体記憶装置におけるセルフルフレッシュ動作を説明するための図

【 図 4 】



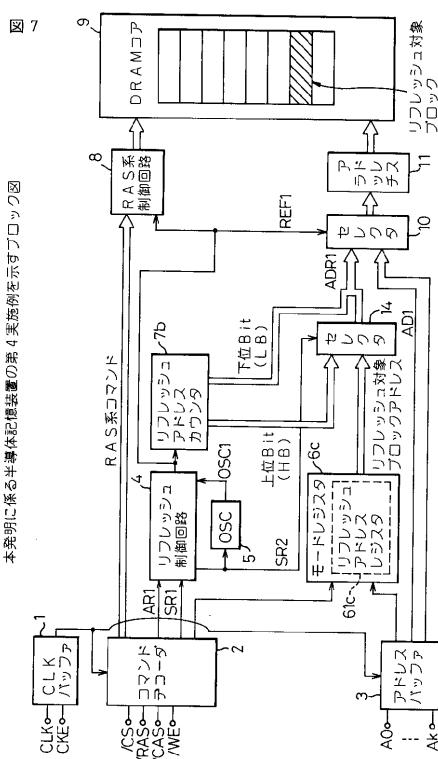
本発明に係る半導体記憶装置の第2実施例を示す図

〔 6 〕



本発明に係る半導体記憶装置の第3実施例を示すブロック図

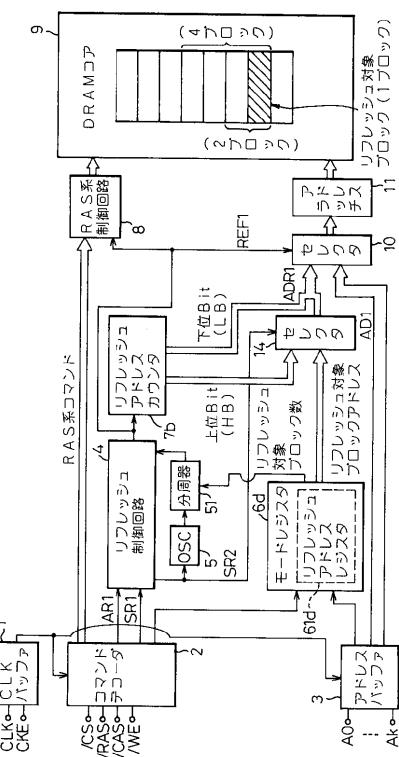
【図7】



本発明に係る半導体記憶装置の第4実施例を示すブロック図

四

【図8】



本発明に係る半導体記憶装置の第5実施例を示すブロック図

フロントページの続き

(72)発明者 松崎 康郎
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 園田 康弘

(56)参考文献 特開平09-139074(JP,A)
特開平11-086537(JP,A)
特開平07-240092(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/406
G11C 11/403