



(12)发明专利申请

(10)申请公布号 CN 107452638 A

(43)申请公布日 2017.12.08

(21)申请号 201710686454.2

(22)申请日 2017.08.11

(71)申请人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路865号

(72)发明人 程功 罗乐 徐高卫

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 余明伟

(51)Int.Cl.

H01L 21/60(2006.01)

H01L 23/488(2006.01)

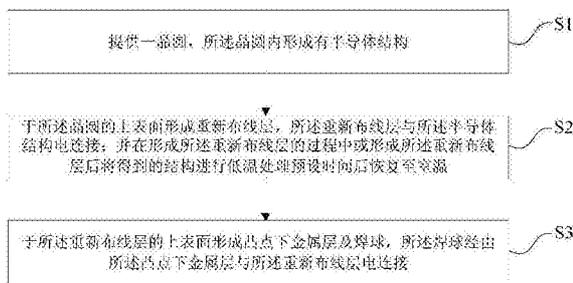
权利要求书2页 说明书10页 附图3页

(54)发明名称

圆片级封装结构及其制备方法

(57)摘要

本发明提供一种圆片级封装结构及其制备方法,所述圆片级封装结构的制备方法包括如下步骤:1)提供一晶圆,晶圆内形成有半导体结构;2)于晶圆的上表面形成重新布线层,并在形成重新布线层的过程中或形成重新布线层后将得到的结构进行低温处理预设时间后恢复至室温;3)于重新布线层的上表面形成凸点下金属层及焊球。本发明的晶圆级封装结构的制备方法通过形成重新布线层的过程中或形成重新布线层后将得到的结构进行低温处理,可以释放封装过程中产生的应力,有效降低晶圆由高温固化等带来的翘曲,在仅以提高极小的成本为代价的前提下,提高了制备过程中的精度和可操作性,进而提高了元器件的可靠性;同时,允许在封装结构中内嵌其他无源器件。



1. 一种圆片级封装结构的制备方法,其特征在于,所述圆片级封装结构的制备方法包括如下步骤:

1) 提供一晶圆,所述晶圆内形成有半导体结构;

2) 于所述晶圆的上表面形成重新布线层,所述重新布线层与所述半导体结构电连接;并在形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理预设时间后恢复至室温;

3) 于所述重新布线层的上表面形成凸点下金属层及焊球,所述焊球经由所述凸点下金属层与所述重新布线层电连接。

2. 根据权利要求1所述的圆片级封装结构的制备方法,其特征在于,步骤1)中,所述晶圆内形成的半导体结构包括CMOS电路及覆盖于所述晶圆上表面的第一钝化层,所述晶圆的上表面裸露出与所述CMOS电路电连接的连接焊垫。

3. 根据权利要求1所述的圆片级封装结构的制备方法,其特征在于,步骤2)包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

2-3) 将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;

2-4) 于低温处理后的所述第一介质层及图形化的所述金属互联层的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层。

4. 根据权利要求1所述的圆片级封装结构的制备方法,其特征在于,步骤2)包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

2-3) 于所述第一介质层及图形化的所述金属互联层的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层;

2-4) 将步骤2-3)得到的结构进行低温处理预设时间后恢复至室温。

5. 根据权利要求1所述的圆片级封装结构的制备方法,其特征在于,步骤2)包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

2-3) 重复步骤2-1)~步骤2-2)至少一次;

2-4) 将步骤2-3)得到的结构进行低温处理预设时间后恢复至室温;

2-5) 于步骤2-4)得到的结构的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层。

6. 根据权利要求1所述的圆片级封装结构的制备方法,其特征在于,步骤2)包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一

互联窗口；

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层；

2-3) 将步骤2-2) 得到的结构进行低温处理预设时间后恢复至室温；

2-4) 重复步骤2-1) ~ 步骤2-2) 至少一次；

2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。

7. 根据权利要求1所述的圆片级封装结构的制备方法, 其特征在于, 步骤2) 包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口；

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层；

2-3) 将步骤2-2) 得到的结构进行低温处理预设时间后恢复至室温；

2-4) 重复步骤2-1) ~ 2-3) 至少一次；

2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。

8. 根据权利要求1所述的圆片级封装结构的制备方法, 其特征在于, 步骤2) 包括如下步骤:

2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口；

2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层；

2-3) 重复步骤2-1) ~ 步骤2-2) 至少一次；

2-4) 于步骤2-3) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层；

2-5) 将步骤2-4) 得到的结构进行低温处理预设时间后恢复至室温。

9. 根据权利要求3至8中任一项所述的圆片级封装结构的制备方法, 其特征在于, 步骤2-2) 中还包括于图形化的所述金属互联层的上表面形成第二钝化层, 并于所述第二钝化层内形成第二互联窗口的步骤。

10. 根据权利要求9所述的圆片级封装结构的制备方法, 其特征在于, 低温处理的温度为 $-273^{\circ}\text{C} \sim -20^{\circ}\text{C}$ ; 低温处理的时间为 $1\text{s} \sim 1200\text{s}$ 。

11. 根据权利要求3至8中任一项所述的圆片级封装结构的制备方法, 其特征在于, 低温处理的温度为 $-273^{\circ}\text{C} \sim -20^{\circ}\text{C}$ ; 低温处理的时间为 $1\text{s} \sim 1200\text{s}$ 。

12. 一种圆片级封装结构, 其特征在于, 所述圆片级封装结构由如权利要求1至11中任一项所述的制备方法制备而得到。

## 圆片级封装结构及其制备方法

### 技术领域

[0001] 本发明涉及半导体封装技术领域,涉及一种封装过程中低温处理方法,特别是涉及一种圆片级封装结构及其制备方法。

### 背景技术

[0002] 在半导体工业中,圆片级封装(WLP)是近年来迅速发展起来的一种全新的先进封装技术,圆片级封装区别于其他封装技术之处在于其工艺是在切片前的半导体晶圆上完成的。这种技术是电子系统高密度、小型化和低成本的体现。近年来,圆片级封装应用广泛,其生产效率、制造成本等相较于传统封装都表现出非常明显的优势。

[0003] 圆片级封装将IC封装的大多数甚至全部工艺过程都在晶圆上完成,是一种典型的片上封装技术。该技术涉及很多特殊制程如重布线(RDL)、凸点制备等,这些制程涉及多种有机材料、金属薄/厚膜和多种焊料。作为布线层的金属通常为铜。作为介质层的有机材料主要有聚酰亚胺(PI)、聚苯并恶唑(PBO)等。这些聚合物虽然具有较好的电学、力学特性,然而其制作过程需要经历较高温度的固化过程。以PI为例,其固化需要在370℃恒温一个小时。焊球制作也需要经历较高温度的回流过程,且温变速率非常高。以目前锡银铜基无铅焊球为例,回流温度在260℃左右,最高温变速率为60℃/min。PI、铜、焊球的热膨胀系数分别为34ppm/℃、16ppm/℃、25ppm/℃,远比衬底硅(2.8ppm/℃)的热膨胀系数要大。因而在经历温度变化过程后会产生很大的热应力。此外,PI在固化过程中会发生很大的体积收缩。铜布线时,种子层溅射、电镀等过程也会引入较大应力。在这些因素的综合作用下,经历封装工艺后晶圆会产生严重的翘曲变形,并对后续工艺带来严重影响:

[0004] (1) 影响后续的工艺精度。如果重布线层制作完成之后晶圆产生较大翘曲,在凸点制作中很难进行光刻对准,从而影响精度。

[0005] (2) 影响机械手的自动化操作。

[0006] (3) 使光刻、键合等工艺中真空吸盘无法对晶圆进行紧密吸附,严重时可致晶圆碎裂。

[0007] (4) 较大的应力和翘曲会造成重布线层的分层、断裂或焊球的脱落,对器件的后续应用带来严重的可靠性问题。

[0008] 因此需要一种能够降低晶圆翘曲的方法,降低圆片在工艺过程中的翘曲,以提高芯片的良率和可靠性。

### 发明内容

[0009] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种圆片级封装结构及其制备方法,用于解决现有的晶圆级封装工艺后晶圆会产生严重的翘曲变形,进而影响芯片的良率及可靠性的问题。

[0010] 为实现上述目的及其他相关目的,本发明提供一种圆片级封装结构的制备方法,所述圆片级封装结构的制备方法包括如下步骤:

- [0011] 1) 提供一晶圆,所述晶圆内形成有半导体结构;
- [0012] 2) 于所述晶圆的上表面形成重新布线层,所述重新布线层与所述半导体结构电连接;并在形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理预设时间后恢复至室温;
- [0013] 3) 于所述重新布线层的上表面形成凸点下金属层及焊球,所述焊球经由所述凸点下金属层与所述重新布线层电连接。
- [0014] 优选地,步骤1)中,所述晶圆内形成的半导体结构包括CMOS电路及覆盖于所述晶圆上表面的第一钝化层,所述晶圆的上表面裸露出与所述CMOS电路电连接的连接焊垫。
- [0015] 优选地,步骤2)包括如下步骤:
- [0016] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;
- [0017] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0018] 2-3) 将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;
- [0019] 2-4) 于低温处理后的所述第一介质层及图形化的所述金属互联层的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层。
- [0020] 优选地,步骤2)包括如下步骤:
- [0021] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;
- [0022] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0023] 2-3) 于所述第一介质层及图形化的所述金属互联层的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层;
- [0024] 2-4) 将步骤2-3)得到的结构进行低温处理预设时间后恢复至室温。
- [0025] 优选地,步骤2)包括如下步骤:
- [0026] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;
- [0027] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0028] 2-3) 重复步骤2-1)~步骤2-2)至少一次;
- [0029] 2-4) 将步骤2-3)得到的结构进行低温处理预设时间后恢复至室温;
- [0030] 2-5) 于步骤2-4)得到的结构的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层。
- [0031] 优选地,步骤2)包括如下步骤:
- [0032] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;
- [0033] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0034] 2-3) 将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;

- [0035] 2-4) 重复步骤2-1) ~步骤2-2) 至少一次;
- [0036] 2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。
- [0037] 优选地, 步骤2) 包括如下步骤:
- [0038] 2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口;
- [0039] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0040] 2-3) 将步骤2-2) 得到的结构进行低温处理预设时间后恢复至室温;
- [0041] 2-4) 重复步骤2-1) ~2-3) 至少一次;
- [0042] 2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。
- [0043] 优选地, 步骤2) 包括如下步骤:
- [0044] 2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口;
- [0045] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;
- [0046] 2-3) 重复步骤2-1) ~步骤2-2) 至少一次;
- [0047] 2-4) 于步骤2-3) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层;
- [0048] 2-5) 将步骤2-4) 得到的结构进行低温处理预设时间后恢复至室温。
- [0049] 优选地, 步骤2-2) 中还包括于图形化的所述金属互联层的上表面形成第二钝化层, 并于所述第二钝化层内形成第二互联窗口的步骤。
- [0050] 优选地, 低温处理的温度为 $-273^{\circ}\text{C} \sim -20^{\circ}\text{C}$ ; 低温处理的时间为 $1\text{s} \sim 1200\text{s}$ 。
- [0051] 优选地, 低温处理的温度为 $-273^{\circ}\text{C} \sim -20^{\circ}\text{C}$ ; 低温处理的时间为 $1\text{s} \sim 1200\text{s}$ 。
- [0052] 本发明还提供一种圆片级封装结构, 所述圆片级封装结构由上述任一制备方法制备而得到。
- [0053] 如上所述, 本发明的圆片级封装结构及其制备方法, 具有以下有益效果: 本发明的晶圆级封装结构的制备方法通过形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理, 可以释放封装过程中产生的应力, 有效降低晶圆由高温固化等带来的翘曲, 在仅以提高极小的成本为代价的前提下, 提高了制备过程中的精度和可操作性, 进而提高了元器件的可靠性; 同时, 允许在封装结构中内嵌其他无源器件。

## 附图说明

- [0054] 图1显示为本发明提供的圆片级封装结构的制备方法的流程图。
- [0055] 图2至图9显示为本发明提供的圆片级封装结构的制备方法的中的各步骤对应的结构示意图。
- [0056] 元件标号说明
- [0057] 1 晶圆

[0058]	11	第一钝化层
[0059]	12	连接焊垫
[0060]	2	重新布线层
[0061]	21	第一介质层
[0062]	211	第一互联窗口
[0063]	22	金属互联层
[0064]	23	第二介质层
[0065]	3	凸点下金属层
[0066]	4	焊球

### 具体实施方式

[0067] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0068] 请参阅图1至图9。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,虽图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的形态、数量及比例可为一种随意的改变,且其组件布局形态也可能更为复杂。

[0069] 实施例一

[0070] 请参阅图1,本实施例提供一种圆片级封装结构及其制备方法的制备方法,所述圆片级封装结构的制备方法包括如下步骤:

[0071] 1) 提供一晶圆,所述晶圆内形成有半导体结构;

[0072] 2) 于所述晶圆的上表面形成重新布线层,所述重新布线层与所述半导体结构电连接;并在形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理预设时间后恢复至室温;

[0073] 3) 于所述重新布线层的上表面形成凸点下金属层及焊球,所述焊球经由所述凸点下金属层与所述重新布线层电连接。

[0074] 在步骤1)中,请参阅图1中的S1步骤及图2,提供一晶圆1,所述晶圆1内形成有半导体结构。

[0075] 作为示例,所述晶圆1内形成的半导体结构包括CMOS电路(未示出)及覆盖于所述晶圆1上表面的第一钝化层11,所述晶圆1的上表面裸露出与所述CMOS电路电连接的连接焊垫12,即所述第一钝化层11内形成有开口,所述开口暴露出所述连接焊垫12。

[0076] 作为示例,所述第一钝化层11可以为但不限于氮化钽(TaN)薄膜或氮化硅(SiNx)薄膜;所述第一钝化层11的厚度可以根据实际需要进行设定,优选地,所述第一钝化层11的厚度可以为但不限于5nm~1000nm,更为优选地,所述第一钝化层11的厚度为50nm。

[0077] 在步骤2)中,请参阅图1中的S2步骤及图3至图5,于所述晶圆1的上表面形成重新布线层2,所述重新布线层2与所述半导体结构电连接;并在形成所述重新布线层2的过程中

将得到的结构进行低温处理预设时间后恢复至室温。

[0078] 作为示例,所述步骤2)具体包括如下步骤:

[0079] 2-1)于步骤1)得到的结构的上表面形成第一介质层21,并与所述第一介质层21内形成第一互联窗口211,如图3所示;

[0080] 2-2)于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的金属互联层22,如图4所示;

[0081] 2-3)将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;

[0082] 2-4)于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成第二介质层23,所述第二介质层23完全覆盖图形化的所述金属互联层22,如图5所示。

[0083] 作为示例,在步骤2-1)中,通过涂覆工艺在步骤1)得到的结构的表面涂覆一层有机聚合物层作为所述第一介质层21;采用光刻刻蚀工艺于所述第一介质层21内对应于所述连接焊垫12的位置形成所述第一互连窗口211,然后再将所述第一介质层21固化。

[0084] 作为示例,所述第一介质层21的厚度可以根据实际需要进行设定,优选地,本实施例中,所述第一介质层21的厚度可以为 $0.5\mu\text{m}\sim 20\mu\text{m}$ ,譬如,所述第一介质层21的厚度可以为 $5\mu\text{m}$ 、 $10\mu\text{m}$ 、 $15\mu\text{m}$ 或 $20\mu\text{m}$ 。

[0085] 在一示例中,所述第一介质层21可以为但不仅限于聚酰亚胺层(PI)或苯并环丁烯(BCB)层的一种或二者的组合。

[0086] 在另一示例中,所述第一介质层21还可以为具有电子元器件结构的介质薄膜层。

[0087] 在又一示例中,所述第一介质层21为包括粘结剂层及具有电子元器件结构的介质薄膜层的叠层结构,此时,所述粘结剂层与步骤1)得到的结构的表面相接触。

[0088] 作为示例,在步骤2-2)中,于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的金属互联层22包括如下步骤:

[0089] 2-2-1)采用磁控溅射工艺于所述第一互联窗口211内及所述第一介质层21的上表面形成扩散阻挡层;所述扩散阻层的材料可以为但不仅限于TiW,所述扩散阻挡层的厚度可以为 $10\text{nm}\sim 500\text{nm}$ ,优选地,本实施例中,所述扩散阻挡层的厚度为 $50\text{nm}$ ;

[0090] 2-2-2)采用磁控溅射工艺于所述扩散阻挡层的上表面形成种子层;所述种子层的材料可以为但不仅限于铜,所述种子层的厚度可以为 $20\text{nm}\sim 1000\text{nm}$ ,优选地本实施例中,所述种子层的厚度为 $500\text{nm}$ ;

[0091] 2-2-3)采用电镀工艺(譬如,直流电镀工艺)于所述种子层的表面形成金属互联层;所述金属互联层的材料可以为但不仅限于铜,优选地,本实施例中,所述金属互联层的材料为具有优良力学特性及电学特性的纳米孪晶铜;所述金属互联层的厚度可以为 $0.5\mu\text{m}\sim 15\mu\text{m}$ ,优选地,本实施例中,所述金属互联层的厚度为 $5\mu\text{m}$ ;

[0092] 2-2-4)采用光刻、湿法刻蚀或干法刻蚀等工艺去除非电路部分的所述金属互联层、所述种子层及所述扩散阻挡层,以形成图形化的所述金属互联层22;在图形化的所述金属互联层22中包括若干条相互连接的金属互联线,所述金属互连线的宽度可以为 $0.2\mu\text{m}\sim 15\mu\text{m}$ ,相邻所述金属互连线的间距可以为 $0.2\mu\text{m}\sim 15\mu\text{m}$ 。

[0093] 作为示例,在步骤2-2)中,于所述第一互连窗口211内及所述第一介质层21的上表面形成所述图形化金属互联层22之后,还包括于图形化的所述金属互联层22的上表面形成第二钝化层(未示出),并于所述第二钝化层内形成第二互联窗口(未示出)的步骤;所述第

二互连窗口暴露出图形化的所述金属互联层22。所述第二钝化层可以为但不仅限于氮化钽(TaN)薄膜或氮化硅(SiNx)薄膜;所述第二钝化层的厚度可以根据实际需要进行设定,优选地,所述第二钝化层的厚度可以为但不仅限于5nm~1000nm,更为优选地,本实施例中,所述第二钝化层的厚度为50nm。

[0094] 作为示例,在步骤2-3)中,将步骤2-2)得到的结构冷却至-273℃~-20℃的低温,并于该温度下维持1s~1200s,然后再恢复至室温;优选地,本实施例中,将步骤2-2)得到的结构冷却至-196℃的低温,并于该温度下维持60s,然后再恢复至室温;当然,在其他示例中,冷却至的低温的温度可以根据实际需要设定为其他温度值,于低温条件下维持的时间也可以根据实际需要设定为其他时间值,譬如,在另一示例中,还可以,将步骤2-2)得到的结构冷却至-100℃的低温,并于该温度下维持300s,然后再恢复至室温。

[0095] 作为示例,在步骤2-4)中,通过涂覆工艺于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面涂覆一层有机聚合物层作为所述第二介质层23;采用光刻刻蚀工艺于所述第二介质层23内对应于所述金属互联层22的位置形成第三互连窗口,所述第三互连窗口暴露出部分所述金属互联层22,然后再将所述第二介质层23固化。

[0096] 作为示例,所述第二介质层23的厚度可以根据实际需要进行设定,优选地,本实施例中,所述第二介质层23的厚度可以为0.5μm~20μm,譬如,所述第二介质层23的厚度可以为5μm、10μm、15μm或20μm。

[0097] 在一示例中,所述第二介质层23可以为但不仅限于聚酰亚胺层(PI)或苯并环丁烯(BCB)层的一种或二者的组合。

[0098] 在另一示例中,所述第二介质层23还可以为具有电子元器件结构的介质薄膜层。

[0099] 在又一示例中,所述第二介质层23为包括粘结剂层及具有电子元器件结构的介质薄膜层的叠层结构,此时,所述粘结剂层与步骤1)得到的结构的表面相接触。

[0100] 在步骤3)中,请参阅图1中的S3步骤及图6,于所述重新布线层2的上表面形成凸点下金属层3及焊球4,所述焊球4经由所述凸点下金属层3与所述重新布线层2电连接。

[0101] 需要说明的是,于所述重新布线层2的上表面形成凸点下金属层3及焊球4的工艺为本领域人员所熟知,此处不再累述。

[0102] 需要进一步说明是,“所述焊球4经由所述凸点下金属层3与所述重新布线层2电连接”是指所述焊料4经由所述凸点下金属层3与所述重新布线层2内的所述金属互联层22电连接。

[0103] 实施例二

[0104] 本实施例还提供一种圆片级封装结构的制备方法,本实施例中所述的圆片级封装结构的制备方法与实施例一中所述的圆片级封装结构的制备方法大致相同,二者的区别仅在于步骤2)的具体步骤顺序不同:实施例一中,于所述第一互连窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,将得到的结构进行低温处理,在将得到的结构进行低温处理后再于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23;而本实施例中,于所述第一互连窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,于所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23,在于所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23之后,才将得到的结构进行低温处理。即本

实施例中步骤2) 具体包括如下步骤:

[0105] 2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口;

[0106] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

[0107] 2-3) 于所述第一介质层及图形化的所述金属互联层的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层;

[0108] 2-4) 将步骤2-3) 得到的结构进行低温处理预设时间后恢复至室温。

[0109] 本实施例中所述的圆片级封装结构的制备方法的其他步骤与实施例一中所述的圆片级封装结构的制备方法的其他步骤相同, 且本实施例所述的圆片级封装结构的制备方法的步骤2) 中的结构参数与实施例一中所述的圆片级封装结构的制备方法的步骤2) 中的结构参数相同, 具体请参阅实施例一, 此处不再累述。

[0110] 实施例三

[0111] 请参阅图7至图9, 本实施例还提供一种圆片级封装结构的制备方法, 本实施例中所述的圆片级封装结构的制备方法与实施例一中所述的圆片级封装结构的制备方法大致相同, 二者的区别在于步骤2) 形成的重新布线层2的结构及具体步骤不同: 实施例一中, 形成的所述重新布线层2中包括一层所述第一介质层21及一层所述金属互联层22, 且实施例一中的步骤2) 形成所述重新布线层2的具体方法为: 于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后, 将得到的结构进行低温处理, 在将得到的结构进行低温处理后再于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23; 而本实施例中, 形成的所述重新布线层2中包括至少两层所述第一介质层21及至少两层所述金属互联层22, 且本实施例中, 于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后, 重复上述步骤至少一次, 然后再将得到的结构进行低温处理, 在将得到的结构进行低温处理后再于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23。即本实施例中步骤2) 具体包括如下步骤:

[0112] 2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口;

[0113] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

[0114] 2-3) 重复步骤2-1) ~ 步骤2-2) 至少一次;

[0115] 2-4) 将步骤2-3) 得到的结构进行低温处理预设时间后恢复至室温;

[0116] 2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。

[0117] 本实施例中所述的圆片级封装结构的制备方法的其他步骤与实施例一中所述的圆片级封装结构的制备方法的其他步骤相同, 且本实施例所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数与实施例一中所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数相同, 具体请参阅实施例一, 此处不再累述。

[0118] 实施例四

[0119] 本实施例还提供一种圆片级封装结构的制备方法,本实施例中所述的圆片级封装结构的制备方法与实施例三中所述的圆片级封装结构的制备方法大致相同,二者的区别仅在于步骤2)的具体步骤顺序不同:实施例三中,于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,重复上述步骤至少一次,然后再将得到的结构进行低温处理,在将得到的结构进行低温处理后再于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23;而本实施例中,于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,将得到的结构进行低温处理,并与低温处理之后再重复至少一次于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22的步骤,然后再在得到的结构的上表面形成所述第二介质层23。即步骤2)包括如下步骤:

[0120] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;

[0121] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

[0122] 2-3) 将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;

[0123] 2-4) 重复步骤2-1)~步骤2-2)至少一次;

[0124] 2-5) 于步骤2-4)得到的结构的上表面形成第二介质层,所述第二介质层完全覆盖图形化的所述金属互联层。

[0125] 本实施例中所述的圆片级封装结构的制备方法的其他步骤与实施例三中所述的圆片级封装结构的制备方法的其他步骤相同,且本实施例所述的圆片级封装结构的制备方法的步骤2)中各分步骤的结构参数与实施例三中所述的圆片级封装结构的制备方法的步骤2)中各分步骤的结构参数相同,具体请参阅实施例三,此处不再累述。

[0126] 实施例五

[0127] 本实施例还提供一种圆片级封装结构的制备方法,本实施例中所述的圆片级封装结构的制备方法与实施例四中所述的圆片级封装结构的制备方法大致相同,二者的区别仅在于步骤2)的具体步骤顺序不同:实施例四中,于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,将得到的结构进行低温处理,并与低温处理之后再重复至少一次于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22的步骤,然后再在得到的结构的上表面形成所述第二介质层23;而本实施例中,于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后,将得到的结构进行低温处理,并与低温处理之后再重复至少一次上述包括低温处理的步骤,然后再在低温处理后得到的结构的上表面形成所述第二介质层23。即步骤2)包括如下步骤:

[0128] 步骤2)包括如下步骤:

[0129] 2-1) 于上一步得到的结构的上表面形成第一介质层,并与所述第一介质层内形成第一互联窗口;

[0130] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

[0131] 2-3) 将步骤2-2)得到的结构进行低温处理预设时间后恢复至室温;

[0132] 2-4) 重复步骤2-1) ~2-3) 至少一次;

[0133] 2-5) 于步骤2-4) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层。

[0134] 本实施例中所述的圆片级封装结构的制备方法的其他步骤与实施例四中所述的圆片级封装结构的制备方法的其他步骤相同, 且本实施例所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数与实施例四中所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数相同, 具体请参阅实施例四, 此处不再累述。

[0135] 实施例六

[0136] 本实施例还提供一种圆片级封装结构的制备方法, 本实施例中的圆片级封装结构的制备方法与实施例三中所述的圆片级封装结构的制备方法大致相同, 二者的区别仅在于步骤2) 的具体步骤顺序不同: 于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后, 重复上述步骤至少一次, 然后再将得到的结构进行低温处理, 在将得到的结构进行低温处理后再于低温处理后的所述第一介质层21及图形化的所述金属互联层22的上表面形成所述第二介质层23; 而本实施例中, 于所述第一互联窗口211内及所述第一介质层21的上表面形成图形化的所述金属互联层22之后, 重复上述步骤至少一次, 于得到的结构的上表面形成所述第二介质层23之后, 才将得到的结构进行低温处理。即步骤2) 包括如下步骤:

[0137] 2-1) 于上一步得到的结构的上表面形成第一介质层, 并与所述第一介质层内形成第一互联窗口;

[0138] 2-2) 于所述第一互联窗口内及所述第一介质层的上表面形成图形化的金属互联层;

[0139] 2-3) 重复步骤2-1) ~步骤2-2) 至少一次;

[0140] 2-4) 于步骤2-3) 得到的结构的上表面形成第二介质层, 所述第二介质层完全覆盖图形化的所述金属互联层;

[0141] 2-5) 将步骤2-4) 得到的结构进行低温处理预设时间后恢复至室温。

[0142] 本实施例中所述的圆片级封装结构的制备方法的其他步骤与实施例三中所述的圆片级封装结构的制备方法的其他步骤相同, 且本实施例所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数与实施例三中所述的圆片级封装结构的制备方法的步骤2) 中各分步骤的结构参数相同, 具体请参阅实施例三, 此处不再累述。

[0143] 综上所述, 本发明的圆片级封装结构及其制备方法, 所述圆片级封装结构的制备方法包括如下步骤: 1) 提供一晶圆, 所述晶圆内形成有半导体结构; 2) 于所述晶圆的上表面形成重新布线层, 所述重新布线层与所述半导体结构电连接; 并在形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理预设时间后恢复至室温; 3) 于所述重新布线层的上表面形成凸点下金属层及焊球, 所述焊球经由所述凸点下金属层与所述重新布线层电连接。本发明的晶圆级封装结构的制备方法通过形成所述重新布线层的过程中或形成所述重新布线层后将得到的结构进行低温处理, 可以释放封装过程中产生的应力, 有效降低晶圆由高温固化等带来的翘曲, 在仅以提高极小的成本为代价的前提下, 提高了制备过程中的精度和可操作性, 进而提高了元器件的可靠性; 同时, 允许在封装结构中内嵌其他无源器件。

[0144] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

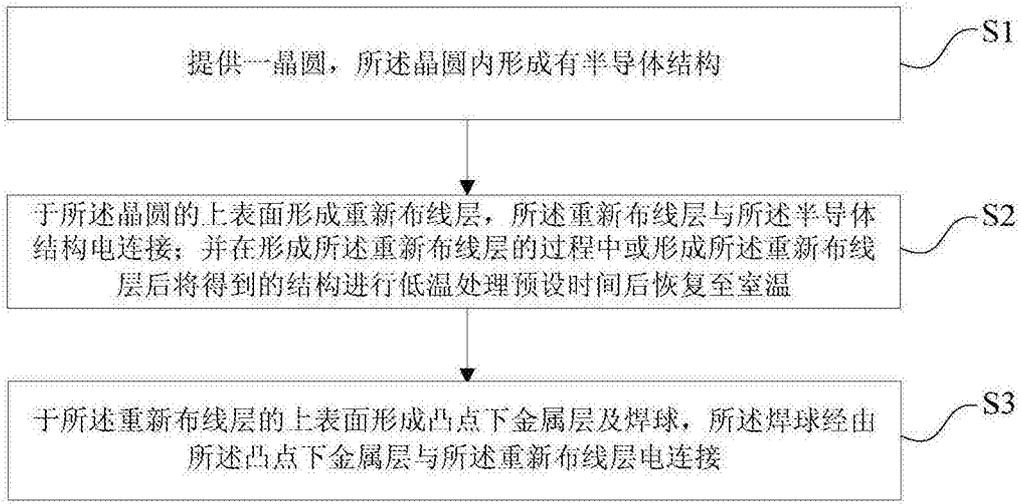


图1

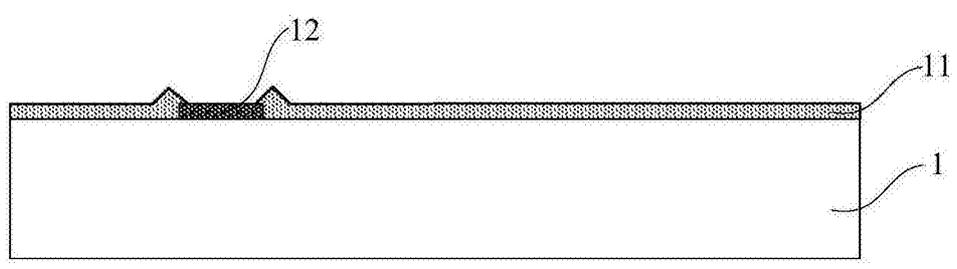


图2

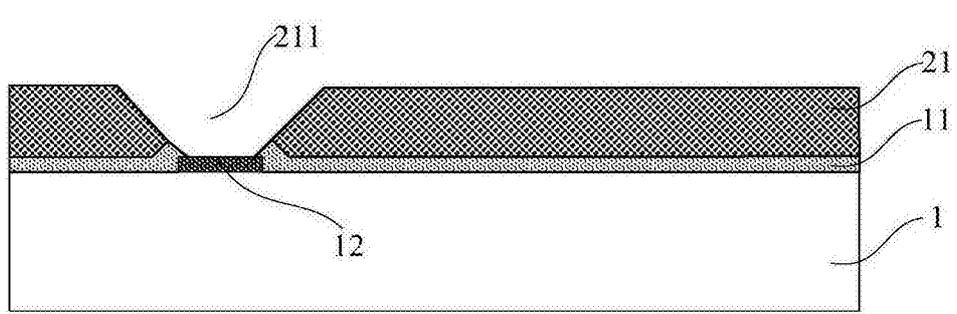


图3

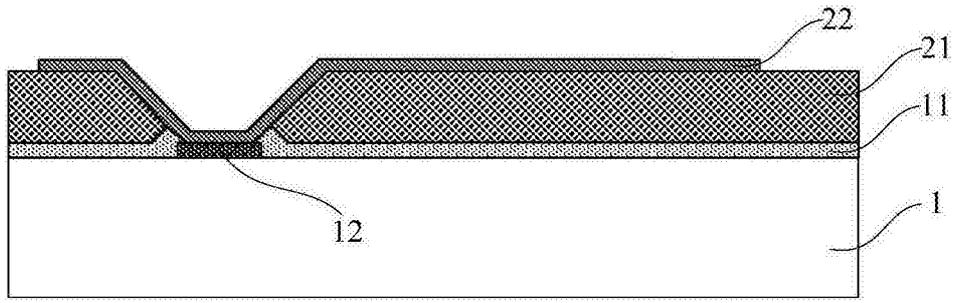


图4

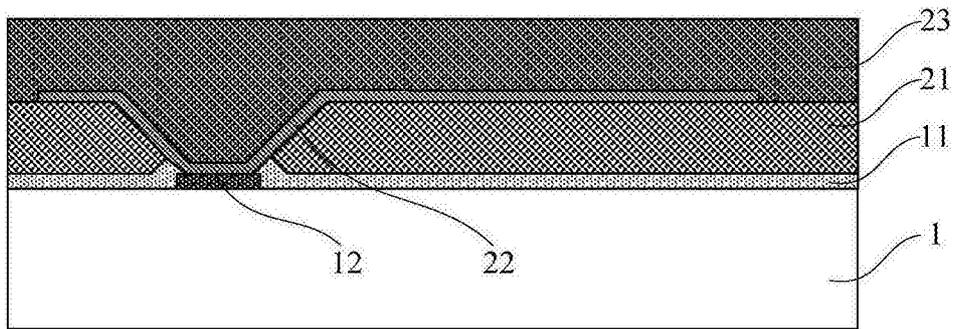


图5

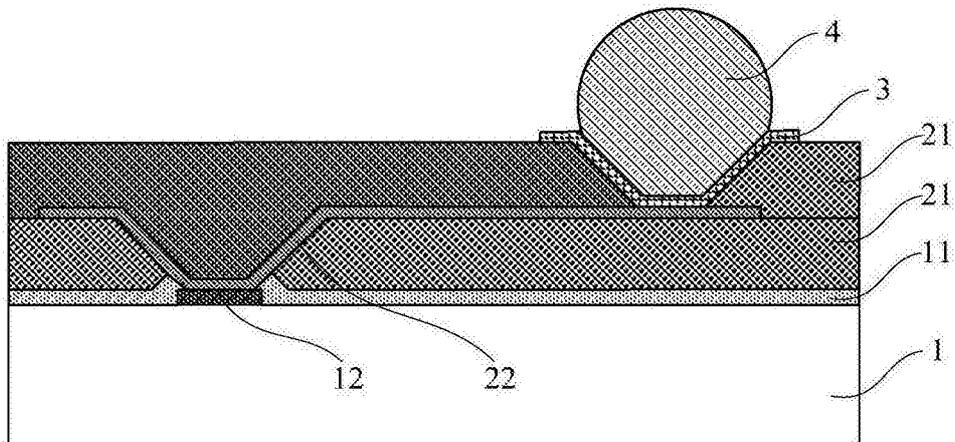


图6

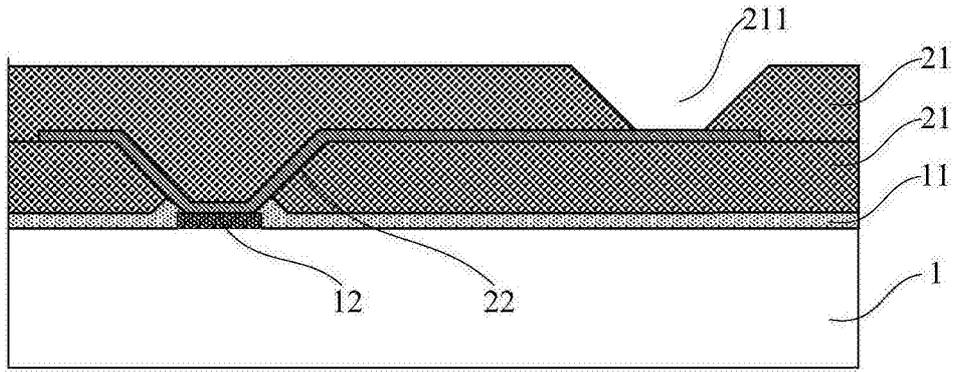


图7

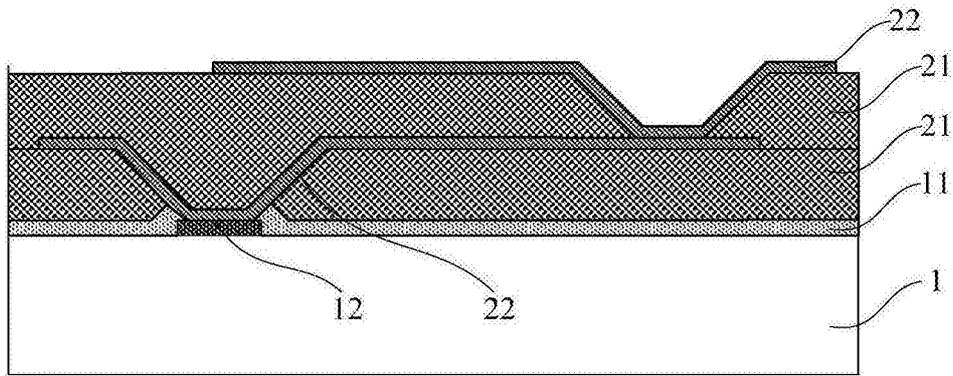


图8

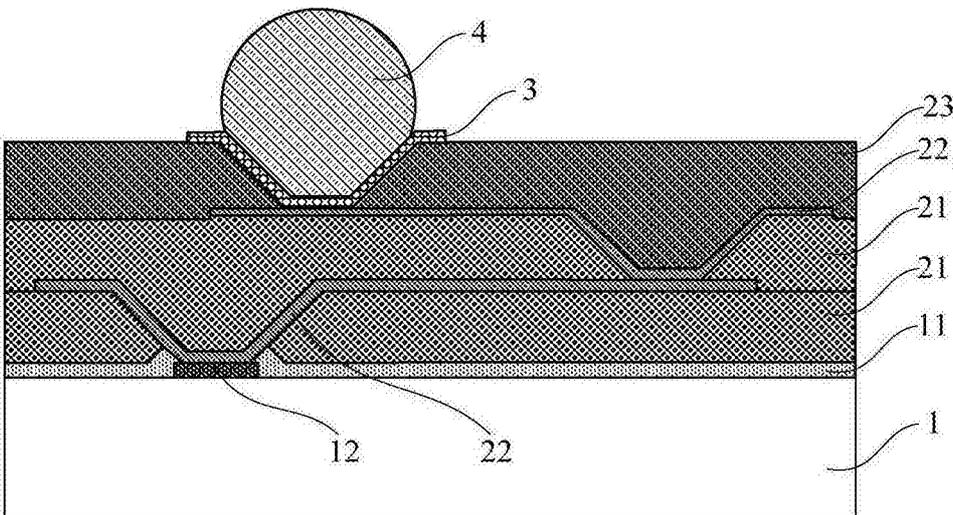


图9