

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年4月26日 (26.04.2007)

PCT

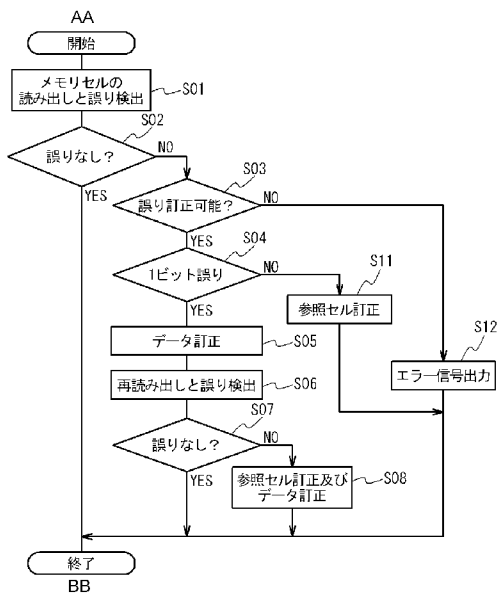
(10) 国際公開番号  
WO 2007/046350 A1

- (51) 国際特許分類:  
G11C 29/42 (2006.01) H01L 27/105 (2006.01)  
G11C 11/15 (2006.01) H01L 43/08 (2006.01)  
H01L 21/8246 (2006.01)
- (21) 国際出願番号: PCT/JP2006/320610
- (22) 国際出願日: 2006年10月17日 (17.10.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2005-303351  
2005年10月18日 (18.10.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 崎村 昇 (SAKIMURA, Noboru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 本田 雄士 (HONDA, Takeshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目24番10号カドヤビル6階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD,

[ 続葉有 ]

(54) Title: MRAM OPERATION METHOD

(54) 発明の名称: MRAMの動作方法



AA... START  
 S01... READ OUT MEMORY CELL AND DETECT ERROR  
 S02... ERROR-LESS?  
 S03... ERROR CORRECTION POSSIBLE?  
 S04... 1-BIT ERROR?  
 S11... CORRECT REFERENCE CELL  
 S05... CORRECT DATA  
 S06... RE-READ OUT AND DETECT ERROR  
 S07... ERROR-LESS?  
 S08... CORRECT REFERENCE CELL AND CORRECT DATA  
 S12... OUTPUT ERROR SIGNAL  
 BB... END

(57) Abstract: An MRAM operation method stores, in a memory array, error correction codes each formed by a plurality of symbols, each symbol consisting of a plurality of bits, and correctable on symbol unit. In this operation method, each symbol is read out by using different reference cells. Furthermore, in the MRAM operation method, when a detectable error is detected in the read data of the data cells constituting the error correction code corresponding to the inputted address, (A) for a first error symbol which is a 1-bit error pattern, data in the data cell corresponding to the error bit is corrected; and (B) for a second error symbol which is a multi-bit error pattern, data of the reference cell used for reading out the second error symbol is corrected.

(57) 要約: 本発明のMRAMの動作方法は、それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位での誤り訂正が可能な誤り訂正符号をメモリアレイに記憶する。当該動作方法では、各々のシンボルは互いに異なる参照セルを用いて読み出しが行われる。更に、MRAMの動作方法では、入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、(A) 1ビットの誤りパターンである第1の誤りシンボルに対しては、その誤りビットに対応するデータセルのデータを訂正し、(B) 複数ビットの誤りパターンである第2の誤りシンボルに対しては、第2の誤りシンボルの読み出しに使用された参照セルのデータを訂正する。

WO 2007/046350 A1



MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,  
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,  
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明 細 書

### MRAMの動作方法

#### 技術分野

[0001] 本発明は、磁気ランダムアクセスメモリ(MRAM)に関しており、特に、メモリセルに記憶されたデータの誤り訂正を行うMRAMに関する。

#### 背景技術

[0002] MRAMは、高速書き込み／読み出しが可能な不揮発性メモリであり、近年実用化に向けた研究開発が盛んに行われている。

[0003] 最も典型的には、MRAMは、磁化が反転可能な磁化自由層と、磁化が固定された磁化固定層と、その間に介設された非磁性層とで構成された磁気抵抗素子を、メモリセルとして利用する。データは、磁化自由層の磁化の向きとして記憶される。非磁性層が極めて薄い絶縁体で構成されている場合、磁気抵抗素子はTMR (tunnel magnetoresistance) 効果を示し、そのように構成された磁気抵抗素子は、しばしば、MTJ (magnetic tunnel junction) 素子と呼ばれる。一方、非磁性層が非磁性の導電体で構成されている場合には、磁気抵抗素子はGMR (giant magnetoresistance) 効果を示し、そのように構成された磁気抵抗素子は、CPP-GMR (current perpendicular to-plane giant magnetoresistive) 素子と呼ばれる。

[0004] データの書き込みは、最も一般的には、メモリセルの近傍に設けられたワード線とビット線に書き込み電流を流すことによって磁化自由層に磁場を印加し、これにより磁化自由層の磁化を所望の方向に反転することによって行われる。

[0005] 一方、データの読み出しには、磁気抵抗素子が示す磁気抵抗効果が利用される。TMR効果、GMR効果のいずれを利用する場合でも、メモリセルの抵抗は磁化自由層の磁化の向きに応じて変化する。このメモリセルの抵抗の変化は、メモリセルを流れる電流、又はメモリセルに発生する電圧降下の変化として現れる。このメモリセルを流れる電流、又はメモリセルに発生する電圧降下の変化を検知することにより、メモリセルのデータが判別される。

[0006] メモリセルのデータの判別には、しばしば、予め規定のデータが書き込まれた参照

セルが使用される。以下では、参照セルと区別するために、メモリセルのうちデータの記憶に実際に使用されるセルを、データセルと呼ぶことがある。参照セルが設けられたMRAMでは、データセルのデータの判別は、参照セルを用いて参照信号を生成し、データセルから得られたデータ信号をその参照信号と比較することによって行われる。

[0007] 当業者に広く知られているように、MRAMの一つの課題は書き込み動作におけるメモリセルの選択性である。伝統的なMRAMでは、メモリセルの特性のバラツキにより、半選択メモリセル、即ち、対応するワード線とビット線との一方にしか書き込み電流が流されていないメモリセルにもデータが書き込まれ得る。これは、MRAMの動作の信頼性を不所望に低下させる。

[0008] MRAMの書き込み動作の選択性を向上させるための一つの方法が、トグル書き込みである(米国特許6, 545, 906号公報参照)。トグル書き込み方式とは、磁化自由層にSAF (synthetic antiferromagnet)を使用することにより、選択性が高い書き込み動作を行う技術である;ここでSAFとは、複数の強磁性層から構成される、隣接する強磁性層が磁氣的に反強磁性的に結合された構造体である。

[0009] 図1は、トグル書き込み方式を採用するMRAMの典型的な構成を示す平面図である。MRAMのメモリアレイには、ビット線102と、ビット線102に直交するワード線103が延設されており、メモリセルとして使用される磁気抵抗素子101は、ビット線102とワード線103とが交差する位置のそれぞれに設けられる。図2に示されているように、磁気抵抗素子101は、反強磁性層111、磁化固定層112、バリア層113、及び磁化自由層114を備える磁気抵抗素子で構成されている。図1に示されているように、磁気抵抗素子101は、磁化固定層112と磁化自由層114の容易軸がビット線102及びワード線103に45°の角度をなすように、即ち、磁気抵抗素子101の長手方向がビット線102及びワード線103と45°の角度をなすように配置される。

[0010] 図2を再度に参照して、磁化自由層114は、強磁性層121、122と、その間に介設された非磁性層123とで構成される。磁化自由層114の全体としての残留磁化(即ち、外部磁場が0である場合の磁化自由層114の全体としての磁化)は、可能な限り0に近づけられる。これは、SAFにスピントロニクスを発現させるために重要である。この

条件は、例えば、2つの強磁性層121、122を同一の材料で、同一の膜厚を有するように形成することによって満足され得る。

[0011] 図3は、トグル書き込み方法の手順を説明する概念図であり、図4は、トグル書き込みによるデータ書き込みが行われるときの、ビット線102、ワード線103に流される電流の波形を示すグラフである。図3において、磁化自由層114の強磁性層121、122の磁化が、それぞれ、記号 $M_1$ 、 $M_2$ によって参照されていることに留意されたい。

[0012] トグル書き込み方法によるデータ書き込みは、磁化自由層114に印加される磁場の方向を面内で回転させ、この磁場によって磁化自由層114を構成する強磁性層121、122の磁化を反転することによって行われる。具体的には、まず、ワード線103に書き込み電流が流され、これによってワード線103に垂直な方向に磁場 $H_{WL}$ が発生される(時刻 $t_1$ )。続いて、ワード線103に書き込み電流が流されたまま、ビット線102に書き込み電流が流される(時刻 $t_2$ )。これにより、ワード線103とビット線102との両方に $45^\circ$ の角度をなす方向に、磁場 $H_{WL} + H_{BL}$ が発生される。更に続いて、ビット線102に書き込み電流が流されたままワード線103への書き込み電流の供給が停止される(時刻 $t_3$ )。これにより、ビット線102に垂直な方向(即ち、ワード線103に平行な方向)に磁場 $H_{BL}$ が発生される。このような手順でワード線103及びビット線102に書き込み電流が流されることにより、磁化自由層114に印加される磁場が回転され、これにより、磁化自由層114を構成する強磁性層121、122の磁化を $180^\circ$ 回転させることができる。

[0013] 注目すべきことは、トグル書き込み方法によるデータ書き込みでは、磁化を反転する、即ち、データを反転することしかできないことである。例えば、ある対象メモリセルにデータ"0"を書き込もうとする場合には、まず、当該対象メモリセルからデータが読み出される。読み出されたデータが"1"である場合にのみ、対象メモリセルにトグル書き込みが行われ、対象メモリセルにデータ"0"が保存される;読み出されたデータが"0"である場合には、対象メモリセルへの書き込みは行われない。

[0014] 他の多くのメモリデバイスと同様に、MRAMは、メモリセルのデータエラーに遭遇することが不可避である。例えば、書き込み動作において所望のデータが書き込まれない書き込みエラーや、熱擾乱を原因とするソフトエラー、即ち、熱擾乱による磁化

の不所望な反転が確率的に発生することは避けがたい。

[0015] このようなデータエラーの発生に対処するためには、他の多くのメモリデバイスと同様に、MRAMにも誤り訂正を採用することが望ましい。例えば、特開2003-68096号公報、特開2003-115195号公報、特開2003-115197号公報、特開2005-56556号公報、及び特開2005-85464号公報に開示されているように、誤り訂正が採用されているMRAMでは、データ書き込みの際に書き込みデータに対して誤り訂正符号化が行われ、誤り訂正符号化されたデータがメモリアレイに書き込まれる。データ読み出しの際には、メモリアレイから読み出されたデータからシンドロームが計算され、データ誤りが発見された場合には、その誤りが訂正されたデータが外部に出力される。このとき、メモリアレイに記憶されているデータも同時に訂正される。

[0016] しかし、MRAMにおける誤り訂正では、データ誤りが検出されても、その原因がデータセルと参照セルのいずれにあるのかが不明であることを考慮しなくてはならない。熱擾乱により、参照セルに書き込まれているデータが低い確率ではあっても不所望に反転することがある。したがって、データ誤りが検出されたからといって、単純にデータセルに記憶されているデータを訂正することは、データを誤って訂正する結果になるおそれがある。

[0017] 加えて、MRAMにおける誤り訂正では、参照セルにデータ誤りがあっても、誤り訂正が可能であることが望ましい。参照セルのデータ誤りは、バースト誤りとして発現しやすい。しかし、参照セルのデータ誤りによるバースト誤りがあまりに広範囲に影響を及ぼすと、誤り訂正が不能になってしまう。

[0018] このような背景から、データセル及び参照セルのいずれにデータ誤りがあっても、誤り訂正を正しく行うことができるようなMRAM技術の提供が望まれている。

#### 発明の開示

[0019] 本発明の目的は、MRAMのデータセル及び参照セルのいずれにデータ誤りがあっても、誤り訂正を正しく行うことを可能にする技術を提供することにある。

[0020] 本発明の一の観点において、MRAMの動作方法は、それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位での誤り訂正が可能な誤り訂正符号をメモリアレイに記憶する。当該動作方法では、各々

のシンボルは互いに異なる参照セルを用いて読み出しが行われる。更に、MRAMの動作方法では、入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、(A) 1ビットの誤りパターンである第1の誤りシンボルに対しては、その誤りビットに対応するデータセルのデータを訂正し、(B) 複数ビットの誤りパターンである第2の誤りシンボルに対しては、第2の誤りシンボルの読み出しに使用された参照セルのデータを訂正する。

[0021] 前記(A)に記載した第1の誤りシンボルのデータセルのデータを訂正した後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作が実行され、再読み出しデータに再度、訂正可能な誤りが検出された場合に、(C)前記第1の誤りシンボルの読み出しに使用された参照セルのデータを訂正し、前記(A)で訂正したデータセルのデータを再訂正することが好ましい。

[0022] また、当該MRAMの動作方法では、入力データから前記誤り訂正符号に基づく書き込みデータが符号化され、入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、(D)誤りの無いシンボル、及び、1ビットの誤りパターンである第1の誤りシンボルに対しては、前記書き込みデータを書き込み、(E)複数ビットの誤りパターンである第2の誤りシンボルに対しては、前記書き込みデータを書き込み、更に、第2の誤りシンボルの読み出しに使用された参照セルのデータを訂正することが好ましい。

[0023] 当該MRAMの動作方法では、前記(D)に記載した第1の誤りシンボルのデータセルに書き込み動作を実行した後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作が実行され、再読み出しデータに再度、訂正可能な誤りが検出された場合に、(F)前記第1の誤りシンボルの読み出しに使用された参照セルのデータを訂正することが好ましい。

[0024] この場合、前記(F)の動作において、前記第1の誤りシンボルに対して前記書き込みデータを書き込むことが好ましい。

[0025] 好適には、前記誤り訂正符号を構成する複数のシンボルは、複数の情報シンボルと複数のパリティシンボルに種別され、各々のパリティシンボルを構成する複数のデータセルは、各々の情報シンボルを構成するデータセルの読み出しに使用される参

照セル以外の参照セルを使用して読み出しが行われ、前記複数のパリティシンボルは、前記誤り訂正符号である読み出しデータのデータ誤りを検出するために使用される。

- [0026] 前記複数の情報シンボルと前記複数のパリティシンボルは、互いに別々のメモリアレイに記憶され、且つ、各々のシンボルを構成するデータセルの読み出しには、それぞれと同一のメモリアレイに配置された参照セルが使用されることが好ましい。
- [0027] 好適には、前記複数の情報シンボルの一の情報シンボルと、前記複数のパリティシンボルの一のパリティシンボルと、第1の参照セルと第2の参照セルとが一のメモリアレイに配置されており、前記一の情報シンボルを構成するデータセルの読み出しは第1の参照セルが使用され、前記一のパリティシンボルを構成するデータセルの読み出しは第2の参照セルが使用される。
- [0028] 前記誤り訂正符号は、入力されるアドレスによって第1の符号と第2の符号に区別され、第1の符号に含まれる第1の情報シンボル、及び第1のパリティシンボルと、第2の符号に含まれる第2の情報シンボル、及び第2のパリティシンボルと、第1の参照セルと、第2の参照セルとが一のメモリアレイに配置されており、前記第1の符号が選択されている場合に、前記第1の情報シンボルのデータセルの読み出しは第1の参照セルが使用され、前記第1のパリティシンボルのデータセルの読み出しは第2の参照セルが使用され、前記第2の符号が選択されている場合に、前記第2の情報シンボルのデータセルの読み出しは第2の参照セルが使用され、前記第2のパリティシンボルのデータセルの読み出しは第1の参照セルが使用されることが好ましい。
- [0029] 他の観点において、本発明によるMRAMの動作方法は、それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位の誤り訂正が可能な誤り訂正符号を記憶するための複数のデータセルと、前記データセルの読み出しに使用される複数の参照セルと、ECC回路を含む周辺回路とを具備するMRAMの動作方法である。データセル及び参照セルは、書き込み電流を供給するたびに記憶データが反転するトグル動作を利用して書き込み動作を行うトグルセルである。各々のシンボルは互いに異なる参照セルを用いて読み出しが行われる。前記データセルの読み出しデータに訂正可能な誤りが検出された場合に、前記



周辺回路は、1ビットの誤りパターンである第1の誤りシンボルに対して、読み出しデータとECC回路が出力する復号化データの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数ビットの誤りパターンである第2の誤りシンボルに対して、第2の誤りシンボルの読み出しに使用される参照セルをトグル動作させる制御とを行う。

[0030] 前記第1の誤りシンボルに含まれる誤りビットのデータセルをトグル動作させた後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作とが実行され、再読み出しデータに再度、前記第1の誤りシンボルと同じシンボルに誤りビットが検出された場合に、前記周辺回路は、前記第1の誤りシンボルの読み出しに使用される参照セルをトグル動作させる制御と、先にトグル動作させたデータセルを再度トグル動作させる制御とを行うことが好ましい。

[0031] 前記ECC回路は、入力データから前記誤り訂正符号に基づく書き込みデータを符号化し、入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、前記周辺回路は、誤りの無いシンボル、及び、1ビットの誤りパターンである第1の誤りシンボルに対して、前記読み出しデータと前記書き込みデータの各々のビットを比較し、異なるビットのデータセルをトグル動作させる制御と、複数ビットの誤りパターンである第2の誤りシンボルに対して、ECC回路が出力する復号化データと前記書き込みデータの各々のビットを比較し、異なるビットのデータセルをトグル動作させる制御と、第2の誤りシンボルの読み出しに使用される参照セルをトグル動作させる制御とを行うことが好ましい。

[0032] 好適には、前記第1の誤りシンボルのデータセルに対してトグル動作させた後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作とが実行され、再読み出しデータに再度、前記第1の誤りシンボルと同じシンボルに誤りビットが検出された場合に、前記周辺回路は、前記第1の誤りシンボルの読み出しに使用される参照セルをトグル動作させる制御と、前記第1の誤りシンボルに含まれていた1ビットの誤りビットのデータセルをトグル動作させる制御とを行うことが好ましい。

[0033] 更に他の観点において、本発明によるMRAMの動作方法は、それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル

単位での誤り訂正が可能な誤り訂正符号である第1～第mのブロック符号を記憶する複数のデータセルと、第1～第nの参照セルと、第1～第mのECC回路を含む周辺回路とを具備するMRAMの動作方法である。当該MRAMの動作方法は、前記第1～第mのブロック符号の各々の第iシンボルの読み出しに、前記第1～第nの参照セルのうちの第i参照セルを使用しながら前記第1～第mのブロック符号のデータを読み出し、且つ、前記第1～第mのブロック符号の各々について、それぞれ前記第1～第mのECC回路を用いて誤り検出を行うように構成され、且つ、前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、1つの第iシンボルに誤りが検出された場合には、その誤りビットのデータセルのデータを訂正し、複数の第iシンボルに誤りが検出された場合には、前記第i参照セルのデータを訂正する。

[0034] 前記第1～第mのECC回路のうちの第jのECC回路は、入力データから前記誤り訂正符号に基づく第jの書き込みデータを符号化し、前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、1つの第iシンボルに誤りが検出された場合には、第jのブロック符号のデータセルに前記第jの書き込みデータを書き込み、複数の第iシンボルに誤りが検出された場合には、第jのブロック符号のデータセルに前記書き込みデータを書き込み、且つ、前記第i参照セルのデータを訂正することが好ましい。

[0035] データセル及び参照セルは、書き込み電流を供給するたびに記憶データが反転するトグル動作を利用して書き込み動作を行うトグルセルであり、前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、1つの第iシンボルに誤りが検出された場合、即ち、前記第1～第mのブロック符号のうちの第kのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第kのブロック符号における第iシンボルの読み出しデータと、第kのECC回路が出力する復号化データにおける第iシンボルとの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セ

ルのデータをトグル動作させる制御とを行うことが好ましい。

[0036] 前記第1～第mのブロック符号のうちの第jのブロック符号のデータセルは、入力されたアドレスに対して選択されるデータセルであり、前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、前記第jのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第jのブロック符号における第iシンボルの読み出しデータと、第jのECC回路が出力する復号化データにおける第iシンボルとの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セルのデータをトグル動作させる制御とを行い、更に、第jのECC回路が出力する復号化データを前記アドレスの読み出しデータとして外部へ出力することが好ましい。

[0037] 前記第1～第mのECC回路のうちの第jのECC回路は、入力データから前記誤り訂正符号に基づく第jの書き込みデータを符号化し、前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、前記第jのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第jのブロック符号における第iのシンボルの読み出しデータと、前記第jの書き込みデータにおける第iのシンボルのデータについて各々のビットを比較し、異なるビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セルのデータをトグル動作させる制御とを行うことが好ましい。

[0038] 本発明により、MRAMのデータセル及び参照セルのいずれにデータ誤りがあっても、誤り訂正を正しく行うことを可能にする技術が提供される。

#### 図面の簡単な説明

[0039] [図1]図1は、トグル書き込みに対応したMRAMの構成を示す平面図である。

[図2]図2は、トグル書き込みに対応したMRAMの構成を示す断面図である。

[図3]図3は、トグル書き込みの手順を示す概念図である。

[図4]図4は、トグル書き込みにおいてワード線、ビット線に流される書き込み電流の波形を示すタイミングチャートである。

[図5]図5は、本発明の第1の実施形態に係るMRAMにおいて使用される誤り訂正符号の符号フォーマットを示す概念図である。

[図6]図6は、本発明の第1の実施形態に係るMRAMの構成を示すブロック図である。

[図7]図7は、第1の実施形態におけるデータアレイ、パリティアレイ、書き込み／読み出し回路、及びコントローラの構成を示す詳細図である。

[図8A]図8Aは、第1の実施形態におけるデータアレイ、パリティアレイの構成を示す詳細図である。

[図8B]図8Bは、参照セルに誤ったデータが書き込まれているときのMRAMの動作を説明する図である。

[図9A]図9Aは、第1の実施形態における、情報シンボル及びパリティシンボルのデータアレイ、パリティアレイへの割り付け法を示す概念図である。

[図9B]図9Bは、データセルが訂正されるデータエラーと、参照セルが訂正されるデータエラーの例を説明する図である。

[図10]図10は、第1の実施形態に係るMRAMのリード動作を示すフローチャートである。

[図11]図11は、第1の実施形態においてリード動作が行われるときの、MRAMの状態遷移図である。

[図12]図12は、第1の実施形態に係るMRAMのライト動作を示すフローチャートである。

[図13]図13は、第1の実施形態においてライト動作が行われるときの、MRAMの状態遷移図である。

[図14A]図14Aは、本発明の第2の実施形態に係るMRAMの構成を部分的に示す図である。

[図14B]図14Bは、第2の実施形態に係るMRAMについて、データセルが訂正されるデータエラーを示す図である。

[図14C]図14Cは、第2の実施形態に係るMRAMについて、参照セルが訂正されるデータエラーを示す図である。

[図15]図15は、第2の実施形態に係るMRAMのリード動作を示すフローチャートである。

[図16]図16は、書き込み動作においてあるアドレスが選択されたときに、実際にデータ書き込みが行われるデータセルを示す概念図である。

[図17]図17は、本発明の第3の実施形態に係るMRAMの構成を示すブロック図である。

[図18]図18は、第3の実施形態に係るMRAMのメモリアレイの構成を示す概念図である。

[図19]図19は、情報シンボル及びパリティシンボルのメモリアレイへの割り付け法を示す概念図である。

### 発明を実施するための最良の形態

[0040] 以下、添付図面を参照しながら、本発明のMRAMの実施の形態が説明される。図面において、同一又は類似の符号は、同一又は対応する構成要素を参照していることに留意されたい。

[0041] 第1の実施形態:

(MRAMの構成)

第1の実施形態において、本発明によるMRAMは、一のブロックが複数のシンボルで構成されているブロック符号を用いて誤り訂正を行う。ブロック符号とは、符号化後のデータが複数のブロックに区分されており、そのブロック毎に符号化及び復号化が行われる符号である。ブロック符号としては、例えば、ハミング符号、BCH符号、リード・ソロモン符号(RS符号)が知られているが、第1の実施形態ではリード・ソロモン符号が誤り訂正に使用される。

[0042] 図5は、本実施形態のMRAMにおける誤り訂正に使用される符号フォーマットを示す概念図である。図1に示されているフォーマットは、メモリセルの物理的な配置を表しているのではなく、あくまで、MRAMに記憶されるデータの論理的な構成を示しているに過ぎないことに留意されたい。

[0043] 本実施形態では、(10, 8)リード・ソロモン符号が用いられる;即ち、各ブロックは、8個の情報シンボルと、2つのパリティシンボルで構成される。情報シンボルとパリティシ

ンボルは、いずれも、4ビットで構成される。即ち、本実施形態では、32のデータビットに対し、8ビットのパリティビットが付加される。(10, 8)リード・ソロモン符号では、1つのシンボルの誤り訂正が可能である。1つのシンボル中であれば、その何ビットが誤っていても誤り訂正が可能であり、バースト誤りの訂正も行うことができる。

[0044] 本実施形態に係るMRAMの一つの主題は、情報シンボル及びパリティシンボルのメモリアレイへの割付の最適化によってデータセルと参照セルのいずれにデータ誤りがあるかの判定の正確性を向上し、更に参照セルに誤りがあったときのデータ訂正を可能にすることである。以下、本実施形態に係るMRAMを詳細に説明する。

[0045] 図6は、本発明の第1の実施形態に係るMRAM10の構成を示すブロック図である。MRAM10は、磁気抵抗素子で構成されたメモリセルが行列に配置されたメモリアレイを複数備えている。メモリセルとして使用される磁気抵抗素子の構成は、図1の磁気抵抗素子と同様である。

[0046] MRAM10のメモリアレイには、データアレイ $1_0 \sim 1_7$ とパリアレイ $2_0, 2_1$ の2種類がある。以下において、相互に区別しない場合には、データアレイ $1_0 \sim 1_7$ を総称してデータアレイ1と記載し、パリアレイ $2_0, 2_1$ をパリアレイ2と記載する。データアレイ1は、上述の情報シンボルを記憶するために使用され、パリアレイ2は、パリティシンボルを記憶するために使用される。データアレイ $1_0 \sim 1_7$ は、それぞれMRAM10のデータ入出力DQ0～DQ7に対応付けられている。データ書き込み時には、データ入出力DQ0～DQ7に入力された書き込みデータから情報シンボルが構成されてデータアレイ $1_0 \sim 1_7$ に保存される一方、その情報シンボルからパリティシンボルが生成されてパリアレイ $2_0, 2_1$ に保存される。

[0047] データアレイ1及びパリアレイ2へのアクセスは、周辺回路、具体的には、ロウデコーダ3と、カラムデコーダ4と、書き込み／読み出し回路5と、コントローラ6とを用いて行われる。ロウデコーダ3及びカラムデコーダ4は、アクセスされるメモリセルを選択するために使用される。書き込み／読み出し回路5は、選択されたメモリセルに対するデータ書き込み及びデータ読み出しを行う。本実施形態では、データ書き込みには、上述されたトグル書き込みが使用される。コントローラ6は、ロウデコーダ3と、カラムデコーダ4と、書き込み／読み出し回路5を制御する機能を有している。コントロー

ラ6は、更に、誤り訂正のための様々な演算、例えば、リード・ソロモン符号化や誤り検出を行う機能を有している。

[0048] 図7は、本実施の形態のMRAM10の構成の詳細を示すブロック図であり、一つのデータアレイ1(またはパリティアレイ2)と、それに対応する周辺回路の部分の構成を示している。データアレイ1及びパリティアレイ2に配置されているメモリセルには、データセル11と参照セル12の2種類がある。参照セル12は、2列に並べられている。図8に示されているように、データセル11と参照セル12は、ワード線13とビット線14とが交差する位置に配置されている。

[0049] 同一のメモリセルの行に位置する(即ち、同一のワード線13に接続されている)2つの参照セル12は、参照セル対15を構成している。一の参照セル対15に含まれる2つの参照セル12には、互いに相補のデータが書き込まれている。あるデータセル11からのデータ読み出しの際には、当該データセル11と同一の行に位置する2つの参照セル12に電流が流され、それらの電流から参照信号が発生される。この参照信号は、データ”1”及びデータ”0”の間に対応する信号レベルを有するように発生される。その参照信号と、データセル11に電流が流されることによって発生するデータ信号とを比較することにより、当該データセル11のデータが判別される。

[0050] 参照セル対15の2つの参照セル12の一方がデータ”0”を保持し、他方がデータ”1”を保持することは、データセル11からの読み出しを正しく行うために重要である。図8Bに示されているように、ある参照セル対15の参照セル12の両方が、例えば、データ”0”を保持していると、対応するデータセル11に記憶されているデータは、データ”1”と判別されやすくなる。この場合、バースト誤りが発生し易くなる。

[0051] 図7に戻り、読み出し／書き込み回路5は、書き込み回路16と、センスアンプ17とを備えている。書き込み回路16は、コントローラ6から供給されるトグル・イネーブル信号に応答して、データセル11及び参照セル12に記憶されているデータを反転するための書き込み電流を発生する。トグル・イネーブル信号には2種類ある:一つは、データセル・トグル・イネーブル信号であり、もう一つは、参照セル・トグル・イネーブル信号である。データセル・トグル・イネーブル信号が活性化されると、書き込み回路16は、データセル11のデータを反転させるための書き込み電流を発生する。同様に、参

照セル・トグル・イネーブル信号が活性化されると、書き込み回路16は、データセル11のデータを反転させるための書き込み電流を発生する。センスアンプ17は、選択されたメモリセルのデータを判別して出力データを生成し、コントローラ6に出力する。

[0052] コントローラ6は、アドレス／モード制御部21と、データ制御部22と、ECC回路23とを備えている。アドレス／モード制御部21は、アドレス入力とコマンド入力に応答して、様々な内部制御信号を生成する。この内部制御信号は、上述のロウデコーダ3、カラムデコーダ4、書き込み回路16、及びセンスアンプ17の制御に使用される。ECC回路23は、誤り訂正を行うための演算を行う。ECC回路23は、誤り訂正符号化を行うエンコーダ24と、復号化及び誤り検出を行うデコーダ25とを備えている。データ制御部22は、メモリアレイ1へのデータ書き込み、及びメモリアレイ1からのデータ読み出しを制御する。具体的には、データ制御部22は、(必要な場合には誤り訂正が行われた)読み出しデータをデコーダ25から受け取ってデータ入出力DQ0～DQ7に出力する。更にデータ制御部22は、データセル・トグル・イネーブル信号及び参照セル・トグル・イネーブル信号を生成して書き込み回路16に供給する。データセル・トグル・イネーブル信号及び参照セル・トグル・イネーブル信号の生成には、(1)センスアンプ17から受け取った出力データ、(2)デコーダ25から受け取った誤り訂正された読み出しデータ、及び、(3)データ入出力DQ0～DQ7から受け取った書き込みデータが使用される。

[0053] (情報シンボル及びパリティシンボルの割り付け)

図9を参照して、本実施形態のMRAMの一つの特徴は、情報シンボル及びパリティシンボルの、データアレイ1及びパリティアレイ2への割り付け法にある。本実施形態のMRAMでは、情報シンボル及びパリティシンボルのデータアレイ1及びパリティアレイ2への割り付けは、一のブロックの8つの情報シンボル及び2つのパリティシンボルが、互いに異なる参照セル12に対応付けられるように決定されている。即ち、一のブロックの8つの情報シンボル及び2つのパリティシンボルは、互いに異なる参照セル12を用いて読み出される。

[0054] より具体的には、あるブロックの8つの情報シンボルは、互いに異なるデータ入出力DQ0～DQ7に対応付けられ、従って異なるデータアレイ1に保存される;以下にお



いて、データ入出力DQ0～DQ7に対応付けられた情報シンボルは、それぞれ、情報シンボルDQ0～DQ7と記載される。即ち、情報シンボルDQ0～DQ7は、それぞれ、データアレイ $1_0 \sim 1_7$ に保存される。データアレイ $1_0 \sim 1_7$ のそれぞれに参照セル12の列が設けられているから、情報シンボルDQ0～DQ7は、異なる参照セル12を用いて読み出されることになる。ある情報シンボルを記憶する4つのデータセル11は、データアレイ1の同一の行に設けられ、それら4つのデータセル11のデータ読み出しには、同一の行にある参照セル12が使用される。これにより、8つの情報シンボルは、互いに異なる参照セル12を用いて読み出されることになる。

[0055] あるブロックの情報シンボルDQ0～DQ7が記憶されるデータセル11の列アドレスは、データアレイ $1_0 \sim 1_7$ 間で同一である。例えば、あるブロックの情報シンボルDQ0～DQ7は、ある行アドレスX及び列アドレスY0～Y3によって特定されるデータセル11に保存される。このような構成は、データセル11の選択を簡素化し好適である。

[0056] 加えて、当該ブロックの2つのパリティシンボルは、異なるパティアレイ2に対応付けられて保存される;以下において、パティアレイ $2_0, 2_1$ に対応付けられたパリティシンボルは、パリティシンボル $P_0, P_1$ と記載される。パリティシンボル $P_0, P_1$ は、データアレイ $1_0 \sim 1_7$ とは別に用意されたパティアレイ $2_0, 2_1$ に別々に保存されるから、パリティシンボル $P_0, P_1$ は、互いに異なり、且つ、情報シンボルDQ0～DQ7の読み出しに使用される参照セル12以外の参照セル12を用いて読み出されることになる。あるパリティシンボルを記憶する4つのデータセル11は、データアレイ1の同一の行に設けられ、それら4つのデータセル11のデータ読み出しには同一の行にある参照セル12が使用される。

[0057] このような割り付け法の利点は、データセル11及び参照セル12のいずれに誤りがあるかを高い確率で正しく特定することが可能である上に、それらのいずれに誤りがある場合でも、誤り訂正によって正しい読み出しデータを特定して外部に出力することが可能な点である。図9Bに示されているように、メモリセルのデータエラー率が十分に低ければ、データセル11のデータエラーは単ビット誤りとして発現し、参照セル12のデータエラーは多くの場合に単一シンボル内のバースト誤りとして発現する。単ビット誤りが検出された場合に対応するデータセル11のデータを訂正し、バースト誤

りが検出された場合には参照セル12のデータを訂正することにより、データセル11及び参照セル12のうちの適切なものを、高い確率で正しく訂正できる。

[0058] 参照セル12のデータエラーによってバースト誤りが発生しても、誤り訂正によって正しい読み出しデータが得られることに留意されるべきである。一のブロックの情報シンボル及びパリティシンボルが互いに異なる参照セル12に対応付けられているから、ある参照セル12のデータエラーによって発生するバースト誤りは、単一のシンボルに現れる。(10, 8)リード・ソロモン符号は、一のシンボルの誤りを訂正可能であるから、データエラーが単一の参照セル対15で発生している限り、必ず、当該シンボルを訂正して正しい読み出しデータを得ることが可能である。

[0059] (リード動作)

以下、上記の割り付け法の利点を生かしたデータ読み出しの手順を説明する。図10は、本実施形態のMRAMの好適な読み出し動作を示すフローチャートである。本実施形態のMRAMのリード動作では、まず、データセル11からのデータの読み出しと、誤り検出が行われる(ステップS01)。

[0060] データセル11からのデータ読み出しは、ブロックごとに行われる。アドレス入力を与えられると、そのアドレス入力に対応するブロックに属する全ての情報シンボル及びパリティシンボルを格納するデータセル11が選択される。このとき同時に、選択されたデータセル11と同一の行にある参照セル12も選択される。続いて、選択されたデータセル11からデータビットが読み出される。

[0061] 選択されたデータセル11からのデータの読み出し時には、当該データセル11と同一の行に位置する参照セル対15の2つの参照セル12が使用される。具体的には、該2つの参照セル12に流れる電流の平均と、データセル11を流れる電流がセンスアンプ17によって比較され、データセル11のデータビットが判別される。このようにして読み出されたデータセル11のデータビットは、ECC回路23のデコーダ25に送られて誤り検出が行われる。一実施形態では、ECC回路23は、読み出されたデータビットからシンドロームを算出し、そのシンドロームに基づいて誤り検出を行う。

[0062] 誤りが検出されなかった場合には、対象データセルから読み出されたデータが出力データとして出力される(ステップS02)。

- [0063] 一方、誤りが検出された場合には、ECC回路23は、誤り訂正が可能であるかを判断する(ステップS03)。誤り訂正が不可能であると判断した場合、ECC回路23は、エラー信号を外部に出力する(ステップS12)。リード動作は、これによって中断される。
- [0064] 誤り訂正が可能であると判断した場合、ECC回路23は、正しい読み出しデータを算出して外部に出力する。既述のとおり、(10, 8)リード・ソロモン符号が使用されている本実施形態では、データエラーが単一の情報シンボルにのみ存在している場合には、何ビットの誤りであっても正しい読み出しデータを算出することが可能である。
- [0065] 続いて、データセル11又は参照セル12の誤りが訂正される。
- [0066] 具体的には、ステップS01において検出された誤りが単ビット誤りでない場合(即ち、一の情報シンボルに複数ビット誤りが検出された場合)、データ制御部22による制御の下、データ誤りが発見された情報シンボル又はパリティシンボルに対応する参照セル12に記憶されているデータが訂正される(ステップS11)。データ制御部22は、一の情報シンボルに複数ビット誤りが検出された場合、参照セル・トグル・イネーブル信号を活性化して書き込み回路16に参照セル12への書き込み電流の供給を許可する。参照セル12の訂正は、データエラーに関連する参照セル対15の参照セル12の一方のデータを反転することによって行われる。参照セル12を訂正すべき場合とは、ある参照セル対15の参照セル12のデータが、いずれもデータ"0"である、又はいずれもデータ"1"である場合であるから、任意に選択された一方の参照セル12のデータを反転することにより、データエラーに関連する参照セル対15の参照セル12を、データ読み出しに使用可能な状態に戻すことができる。データエラーに関連する参照セル対15の参照セル12のうち一方の参照セル12に対応するワード線13、ビット線14に順次に書き込み電流が流されて該一方の参照セル12のデータが反転され、参照セル12の訂正が完了する。参照セル12の訂正により、リード動作が完了する。
- [0067] 一方、ステップS01において検出された誤りが単ビット誤りである場合、ECC回路23による制御の下、データセル11に記憶されているデータが訂正される(ステップS05)。即ち、選択されたデータセル11のうち、データエラーがあると判断されたデータ

セル11のデータが反転される。データの反転は、上述されたトグル書き込みによって行われる。より具体的には、データ制御部22は、センスアンプ17から受け取った出力データと、デコーダ25から受け取った誤り訂正後のデータとを比較し、これらが相違する場合にはデータセル・トグル・イネーブル信号を活性化して書き込み回路16にデータセル11への書き込み電流の供給を許可する。更に、データエラーがあると判断されたデータセル11に対応するワード線13、ビット線14に順次に書き込み電流が流されて該一方の参照セル12のデータが反転され、参照セル12の訂正が完了する。

[0068] 続いて、選択されたデータセル11から再度にデータが読み出され、更にECC回路23によって誤り検出が行われる(ステップS06)。誤りが発見されなかった場合(ステップS07)、リード動作は完了する。基本的には、ステップS06では、誤りは発見されないはずである。なぜなら、単ビット誤りは多くの場合にデータセル11のデータエラーに起因しており、そのデータ誤りはステップS05で訂正されているからである。

[0069] ただし、低い確率ではあるがステップS06で誤りが検出されることがある。これは、多くの場合、参照セル12にデータエラーがあったにも関わらず、その参照セル12の特性によってステップS01において単ビット誤りが検出されてしまったことに起因する。

[0070] ステップS06で誤りが検出された場合には、参照セル12のデータを訂正するとともに、データセル11のデータが再度に訂正される(ステップS08)。図11は、データセル11と参照セル12の両方を訂正する必要性を説明する状態遷移図である。図11において、「Data:○」は、データセル11にデータエラーがない状態、「Data:"1"」は、データセル11に1ビット誤りがある状態を示している。更に、「Data:×」は、データセル11に複数ビット誤りがある状態を示している。また、「Ref. :○」は、参照セル12にデータエラーがない状態を示し、「Ref. :×」は、参照セル12にデータエラーがある状態を示している。

[0071] 書き込みエラーやソフトエラーの発生確率が十分に抑制されているという条件の下では、(具体的には、読み出し動作が行われたデータセル11及び参照セル12のうち一つのメモリセルにしかデータ誤りが存在しない程度に抑制されているという条件の下では)、データ誤りが発見された場合には、MRAMは、下記2つの状態:データ

セル11にのみデータ誤りがある状態A、参照セル12にのみデータ誤りがある状態Bのいずれかの状態にある。MRAMが状態A及び状態Bの何れにあるかは、検出された誤りが単ビット誤りであるか否かで概略的には判断可能であるが、多少の不確実性が残されている。

- [0072] 単ビット誤りが検出されると、ステップS05では、MRAMが状態Aにあったという前提でデータセル11が訂正される。実際にMRAMが状態Aにあった場合には、データセル11の訂正により、MRAMは、正常な状態(即ち、データセル11と参照セル12の両方のデータが正しい状態)に遷移する。
- [0073] しかし、単ビット誤りが検出されてデータセル11が訂正されたにも関わらず、実際には参照セル12に誤りがあった場合(即ち、実際はMRAMが状態Bにあった場合)には、データセル11と参照セル12の両方が誤っている状態B'に遷移する。MRAMが状態B'に遷移してしまった場合には、MRAMを正常な状態に戻すためには、参照セル12のデータを訂正し、更に、データセル11のデータを再度に訂正する必要がある。
- [0074] ステップS08におけるデータセル11及び参照セル12のデータの訂正は下記の手順で行われる。データ制御部22は、ステップS06で誤りが検出されると、データセル・トグル・イネーブル信号と参照セル・トグル・イネーブル信号の両方を活性化し、書き込み回路15にデータセル11及び参照セル12への書き込み電流の供給を許可する。更に、ステップS01においてデータ誤りが検出されたデータセル11、及び誤りが検出されたシンボルに対応する参照セル対15の一方の参照セル12に書き込み電流が供給され、当該データセル11及び当該参照セル12のデータが訂正される。データセル11と参照セル12の訂正が同時に行われることに留意されたい。データセル11と参照セル12の訂正を同時に行うことは、リードサイクル(即ち、読み出し動作に必要な時間)を短くするために有効である。以上で、リード動作が完了する。
- [0075] 以上のリード動作によれば、データセル11及び参照セル12のいずれに誤りがあった場合でも、高い確率でMRAMを正常な状態に復帰させることができる。
- [0076] (ライト動作)

上述されているように、トグル書き込みでは、書き込み動作の前にデータ読み出し

が行われる。読み出されたデータに誤りがあっても、データセル11のデータが誤っている場合には書き込み動作を行うことによってデータセル11の誤りを自動的に訂正することができる。しかし、参照セル12のデータが誤っていると、このデータ読み出しにおいて対象メモリセルから誤ったデータが読み出され、その結果、対象メモリセルに誤ったデータが書き込まれる可能性がある。したがって、トグル書き込みでは、参照セル12に保存されているデータが誤っていても、正しくデータを書き込むことができることが重要である。本実施形態では、参照セル12に誤りがあった場合には参照セル12の訂正が行われ、その後にデータセル11へのトグル書き込みが行われる。

[0077] 具体的には、下記の手順によってライト動作が行われる：書き込みアドレスと書き込みデータが外部から与えられると、その書き込みアドレスによって選択されるデータセル11が属する情報シンボル、及びその情報シンボルに対応するパリティシンボルが、データアレイ1及びパリアレイ2から読み出される(ステップS21)。例えば、図9の例では、行アドレスX、列アドレスY0が書き込みアドレスとして指定されると、各データアレイ1、パリアレイ2の両方において、行アドレスX、列アドレスY0～Y3のデータセル11からデータが読み出され、対応する情報シンボルDQ0～DQ7及びパリティシンボルP0、P1がデータアレイ1、パリアレイ2から出力される。読み出された情報シンボルDQ0～DQ7及びパリティシンボルP0、P1は、ECC回路23のデコーダ25に送られると共に、データバッファ18に送られる。

[0078] 続いて、デコーダ25により読み出されたデータの誤り検出が行われる。誤りが検出されなかった場合(ステップS22)、トグル書き込みによって書き込みデータの書き込みが行われる(ステップS23)。データ書き込みは、下記の手順で行われる。

[0079] まず、エンコーダ24により、外部から与えられた書き込みデータとステップS01において読み出された情報シンボルDQ0～DQ7から、新たに書き込まれるべきパリティシンボルP0、P1が算出される。詳細には、行アドレスX、列アドレスY0が書き込みアドレスとして指定されている場合、行アドレスX、列アドレスY0の書き込みデータと、データアレイ1から読み出された列アドレスY1～Y3のデータから新たな情報シンボルDQ0～DQ7が生成され、更に、生成された情報シンボルDQ0～DQ7からパリティシンボルP0、P1が生成される。

- [0080] 続いて、外部から与えられた書き込みデータと、パリティシンボルP0、P1がトグル書き込みによって書き込まれる。例えば、図16に示されているように、行アドレスX、列アドレスY0が書き込みアドレスとして指定されている場合には、行アドレスX、列アドレスY0の書き込みデータと、パリティシンボルP0、P1の行アドレスX、列アドレスY0～Y3に対応するビットが、データアレイ1、パリアレイ2の対応するデータセル11に書き込まれる。
- [0081] 図7を参照して、データセル11へのデータ書き込みは、センスアンプ17から出力される出力データと、エンコーダ24から出力される符号化データとの一致、不一致に応答して行われる。データ制御部22は、センスアンプ17から出力される出力データとエンコーダ24から出力される符号化データとが一致しない場合にデータセル・トグル・イネーブル信号を活性化し、書き込み回路16に書き込み電流のデータセル11への供給を許可する。更に、書き込み対象のデータセル11に書き込み電流が供給され、これにより、当該データセル11のデータがトグル書き込みによって反転される。センスアンプ17から出力される出力データとエンコーダ24から出力される符号化データとが一致する場合には、書き込み対象のデータセル11のデータは反転される必要がない。この場合、データセル・トグル・イネーブル信号は非活性化され、トグル書き込みは行われぬ。
- [0082] 一方、ステップS21において誤りが検出された場合には、ECC回路23は、誤り訂正が可能であるかを判断する(ステップS24)。誤り訂正が不可能であると判断した場合、ECC回路23は、エラー信号を外部に出力する(ステップS32)。ライト動作は、これによって中断される。
- [0083] 誤り訂正が可能である場合には、検出された誤りの種類に応じて異なる処理が行われる。検出された誤りが単ビット誤りでない場合(即ち、一の情報シンボルに複数のビット誤りが検出された場合)、データ制御部22による制御の下、データ誤りが発見された情報シンボル又はパリティシンボルに対応する参照セル12に記憶されているデータの訂正と、書き込み対象のデータセル11へのデータ書き込みとが同時に行われる(ステップS31)。参照セル12の訂正とデータセル11への書き込みとが同時に行われることは、ライトサイクル(即ち、書き込み動作に必要な時間)を短くするために有効

である。

[0084] より具体的には、データ制御部22は、参照セル・トグル・イネーブル信号を活性化して書き込み電流の参照セル12への供給を許可する。これにより、参照セル12のデータが訂正される。更に、データ制御部22は、デコーダ25によって生成される誤り訂正後の読み出しデータとエンコーダ24によって生成される符号化データとを使用してデータセル11へのデータ書き込みを行う。誤り訂正後の読み出しデータと符号化データとが一致しない場合、データ制御部22は、データセル・トグル・イネーブル信号を活性化してデータセル11への書き込み電流の供給を許可する。更に、書き込み対象のデータセル11に書き込み電流が供給され、これにより、当該データセル11のデータがトグル書き込みによって反転される。デコーダ25によって生成される誤り訂正後の読み出しデータとエンコーダ24から出力される符号化データとが一致する場合には、トグル書き込みは行われない。

[0085] ステップS23におけるデータ書き込みとは異なり、データ書き込みに使用されるのが、センスアンプ17から出力される出力データではなく、デコーダ25によって生成される誤り訂正後の読み出しデータであることに留意されたい。参照セル12に誤りがある場合には、センスアンプ17から出力される出力データは、データセル11に実際に記憶されているデータとは相違する。従って、参照セル12に誤りがある場合に、センスアンプ17から出力される出力データをデータ書き込みに使用することは、誤ったデータをデータセル11に書き込むことになる。本実施形態では、デコーダ25によって生成される誤り訂正後の読み出しデータ(この読み出しデータは、データセル11に実際に記憶されているデータに一致する)がデータ書き込みに使用されることにより、正しいデータ書き込みを実現できる。

[0086] データセル11への書き込みと参照セル12の訂正が終了すると、リード動作が完了する。

[0087] 一方、検出された誤りが単ビット誤りである場合(ステップS25)、ステップS23と同様の手順により、外部から与えられた書き込みデータと、パリティシンボルP0、P1が、対応するデータセル11にトグル書き込みによって書き込まれる(ステップS26)。センスアンプ17から出力される出力データとエンコーダ24から出力される符号化データ



とが一致しない場合、データ制御部22は、データセル・トグル・イネーブル信号を活性化し、書き込み回路16に書き込み電流のデータセル11への供給を許可する。更に、書き込み対象のデータセル11に書き込み電流が供給され、これにより、当該データセル11のデータがトグル書き込みによって反転される。センスアンプ17から出力される出力データとエンコーダ24から出力される符号化データとが一致する場合には、トグル書き込みは行われない。

[0088] 続いて、データセル11から再度にデータが読み出され、ECC回路23によって誤り検出が行われる(ステップS27)。誤りが発見されなかった場合(ステップS28)、ライト動作は完了する。基本的には、ステップS28では、誤りは発見されないはずである。なぜなら、単ビット誤りは多くの場合にデータセル11のデータエラーに起因しており、そのデータ誤りはステップS26におけるデータ書き込みで訂正されているからである。

[0089] ただし、低い確率ではあるがステップS28で誤りが検出されることがある。これは、リード動作の場合と同様に、参照セル12にデータエラーがあったにも関わらず、その参照セル12の特性によってステップS21において単ビット誤りが検出されてしまったことに起因する。図13に示されているように、単ビット誤りが検出されると、ステップS26では、MRAMが状態Aにあったという前提でデータセル11にデータ書き込みが行われる。実際にMRAMが状態Aにあった場合には、データセル11へのデータ書き込みにより、MRAMは、正常な状態(即ち、データセル11と参照セル12の両方のデータが正しい状態)に遷移する。

[0090] しかし、単ビット誤りが検出されてデータセル11へのデータ書き込みが行われたにも関わらず、実際には参照セル12に誤りがあった場合(即ち、実際はMRAMが状態Bにあった場合)には、データセル11と参照セル12の両方が誤っている状態B'に遷移する。MRAMが状態B'に遷移してしまった場合には、MRAMを正常な状態に戻すためには、参照セル12のデータを訂正し、更に、データセル11のデータを訂正する必要がある。

[0091] 図12に戻り、ステップS27において誤りが検出された場合には、読み出しに使用された参照セル対15の参照セル12の訂正と、データセル11のデータの訂正が同時

に行われる(ステップS29)。参照セル12の訂正とデータセル11のデータの訂正とが同時に行われることは、ライトサイクル(即ち、書き込み動作に必要な時間)を短くするために有効である。

[0092] より具体的には、データ制御部22は、参照セル・トグル・イネーブル信号を活性化して書き込み電流の参照セル12への供給を許可する。これにより、参照セル12のデータが訂正される。更に、データ制御部22は、データセル・トグル・イネーブル信号を活性化して、ステップS21、S25で検出された1ビットの誤りビットのデータセル11への書き込み電流の供給を許可する。ここで、ステップS25で検出された誤りビット以外のビットのデータセルへは書き込み電流の供給を許可しない。書き込み対象のデータセル11に書き込み電流が供給され、これにより、当該データセル11のデータがトグル書き込みによって反転される。以上説明したように、ステップS29におけるデータ訂正は、ステップS21、S25で検出された誤りビットのデータセルを無条件にトグル動作させることに留意されたい。なぜなら、本来誤りが無かった情報シンボルであったはずだが、1ビットの誤りビットを含む誤った読み出しデータを元にステップS26で書き込み動作が行われたため、上記誤りビットのデータセルを再度トグル動作させて元の正しいデータに書き戻す必要があるからである。

[0093] 以上のライト動作によれば、参照セル12に誤りがあった場合でも、正しいデータ書き込みを行い、高い確率でMRAMに正常な状態に復帰させることができる。

[0094] 第2の実施形態:

第1の実施形態に係るMRAMのリード動作の一つの課題は、図10に示されているように、誤り訂正の確実性を向上するためにはデータセル11の訂正(ステップS05)の後、再度にデータ読み出しを行う必要があることである。再度にデータ読み出しを行うことは、リードサイクルを増大させるため好ましくない。実施の第2形態では、データセル11の訂正のデータ読み出しを不要化するためのMRAMのアーキテクチャが提供される。

[0095] 図14Aは、本発明の第2の実施形態に係るMRAMの構成を部分的に示す図である。コントローラ6に、2つのECC回路23A、23Bが設けられている。ECC回路23A、23Bは、それぞれが、1ブロックのデータに対して誤り検出及び訂正を行う能力を有

している。

- [0096] 加えて、本実施形態のMRAMでは、外部から読み出しアドレスが指定されると、2つのブロックの読み出しが行われるように構成されている。一つのブロックは、読み出しアドレスに対応するブロックであり、もう一つのブロックは、そのブロックを構成する情報シンボル、パリティシンボルの読み出しに使用される参照セルと同一の参照セルを用いて読み出される情報シンボル、パリティシンボルで構成されるブロックである。
- [0097] より具体的には、データアレイ1、パリアレイ2に接続されているセンスアンプ17は、それぞれ、同一の参照セル対15を用いて2つのシンボルのデータ(即ち、8ビットのデータ)を同時に読み出すように構成されている。上述のように、一つのブロックは、データアレイ1<sub>0</sub>~1<sub>7</sub>のそれぞれに記憶されている8つの情報ブロックと、パリアレイ2のそれぞれに記憶されている2つのパリティブロックとから構成されているから、データアレイ1、パリアレイ2のそれぞれから同一アドレスの2つのシンボルを読み出すことにより、2つのブロックが読み出されることになる。
- [0098] 例えば、読み出しアドレスとして行アドレスX、列アドレスY0が指定されると、データアレイ1及びパリアレイ2のそれぞれにおいて、行アドレスX、列アドレスY0~Y3のデータセル11に記憶されたシンボルと、行アドレスX、列アドレスY4~Y6のデータセル11に記憶されたシンボルとが、行アドレスXで選択される参照セル対15の参照セル12を用いて読み出される。データアレイ1及びパリアレイ2のそれぞれから、行アドレスX、列アドレスY0~Y3に対応するシンボルがECC回路23Aに送られ、行アドレスX、列アドレスY4~Y7に対応するシンボルがECC回路23Bに送られる。ECC回路23A、23Bは、それぞれに送られてくるシンボルを用いて、上記の2つのブロックに対する誤り検出及び誤り訂正を行う。
- [0099] このように構成された第2の実施形態のMRAMでは、データセル11の訂正のデータ読み出しを不要化するために、以下の手順によってデータセル11及び参照セル12の訂正が行われる。
- [0100] 図15を参照して、まず、データ読み出しと、誤り検出が行われる(ステップS41)。データ読み出しでは、上述のように、読み出しアドレスに対応するブロックに加えて、もう一つのブロックがデータアレイ1、パリアレイ2から読み出され、読み出された2つ

のブロックについて、誤り検出が行われる。

- [0101] 誤りが検出されなかった場合には、読み出しアドレスによって指定されたデータセル11から読み出されたデータが読み出しデータとして外部に出力されて、リード動作が終了する(ステップS42)。
- [0102] 誤りが検出された場合には、更に、誤りの種類に応じて、データセル11の訂正、又は参照セル12の訂正が行われる。
- [0103] 2つのブロックを通じて単一のシンボルにしか誤りが検出されなかった場合(ステップS43)、誤り訂正によって正しい読み出しデータが算出され、その算出された正しい読み出しデータが、外部に出力される。更に、図14Bの左図に示されているように、そのシンボルに対応するデータセル11のうちデータ誤りが発見されたデータセル11のデータが訂正され(ステップS46)、リード動作が終了する。
- [0104] いずれかの一方のブロックに2個を超えるシンボルに誤りが検出された場合、誤り訂正が不可能である。この場合、エラー信号が出力されてリード動作が終了する(ステップS49)。
- [0105] 上記以外の場合とは、2つのブロックのそれぞれについて、一つずつのシンボルに誤りが検出された場合であり、誤り訂正は可能である。この場合、誤り訂正によって算出された正しい読み出しデータが外部に出力された後、データセル11と参照セル12のうち適切なメモリセルが訂正される。具体的には、誤りが検出された2つのシンボルが同一の参照セル12に対応している場合には(ステップS45)、図14Cに示されているように、参照セル12の訂正が行われる(ステップS47)。一方、異なる参照セル12に対応している場合には、図14Bの右図に示されているように、データセル11の訂正が行われる(ステップS48)。データセル11の訂正、又は参照セル12の訂正が完了すると、リード動作が完了する。
- [0106] 本実施形態のMRAMのリード動作は、データセル11の訂正が行われた後に再度にデータを読み出さなくても、高い確率でデータセル11及び参照セル12の訂正を正しく行うことができる。ある参照セル12に誤りがある場合には、高い確率で当該参照セル12に対応する2つのシンボルに誤りが発生し、一つのシンボルにのみ誤りが発生することは実質上有り得ない。したがって、誤りが検出された2つのシンボルが同

一の参照セル12に対応している場合以外は、検出されたデータ誤りはデータセル11の誤りと判断してよい。したがって、本実施形態のMRAMのリード動作は、データセル11の訂正が行われた後にその訂正が正しいかを検証しなくても、高い確率でデータセル11及び参照セル12の訂正を正しく行うことができる。

[0107] なお、図13のMRAMでは、2つのECC回路がコントローラ6に設けられているが、3以上のECC回路がコントローラ6に設けられ、3以上の数のブロックが同時に読み出されることも可能である。この場合、同一の参照セル12に対応する2つ以上のシンボルに誤りが検出された場合に当該参照セル12が訂正され、そうでない場合にはデータセル11が訂正される。

[0108] 第3の実施形態:

第1の実施形態のMRAMのもう一つの問題点は、データ書き込み時に、書き込み電流がパリティレイ2に集中的に流されることである。例えば、図16を参照して、ある一のアドレス(例えば、列アドレスY0)のデータを書き換える場合、データレイ1については、それぞれ、そのアドレスに対応する1ビットの書き込みが行われる;しかしながら、パリティレイ2については、パリティシンボル全体を書き換える必要があるため、4ビットを書き込む必要がある。これは、データレイ1に流される書き込み電流に比べて、パリティレイ2に流される書き込み電流を増加させる。このような書き込み電流の不均一性は、局所的な電源電圧の変動を招く。シンボルが更に多くのビットで構成される場合には、書き込み電流の不均一性は更に大きくなる。このような書き込み電流の不均一性は、MRAMの動作の信頼性を低下させるおそれがあるため好ましくない。第3の実施形態では、書き込み電流の不均一性を解消するためのMRAMのアーキテクチャが提供される。

[0109] 図17は、第3の実施形態のMRAMの構成を示すブロック図である。本実施形態のMRAMでは、パリティシンボルを構成するビットがメモリアレイ31<sub>0</sub>~31<sub>7</sub>に分散して記憶される。メモリアレイ31<sub>0</sub>~31<sub>7</sub>は、同一の構成を有しており、区別する必要がない場合には、総称的にメモリアレイ31と記載される。図17では、図の簡略化のため、メモリアレイ31<sub>0</sub>、31<sub>4</sub>の構成のみが詳細に記述されていることに留意されたい。

[0110] より具体的には、図18に示されているように、メモリアレイ31のそれぞれは、2つのメ

メモリエリア:メモリエリア32A、32Bで構成される。メモリエリア32A、32Bは、データ領域33とパリティ領域34とをそれぞれに有している。データ領域33は、データセル11と参照セル12が配置される領域であり、パリティ領域34は、パリティシンボルを記憶するためのメモリセルであるパリティセル35が配置される領域である。参照セル12は、メモリエリア32A、32Bそれぞれのデータ領域33に、2列に配置されている。メモリエリア32Aに配置されているデータセル11及びパリティセル35のデータビットは、メモリエリア32Aに配置されている参照セル12(以下、参照セル12Aという。)を使用して読み出され、メモリエリア32Aに配置されているデータセル11及びパリティセル35のデータビットは、メモリエリア32Bに配置されている参照セル12(以下、参照セル12Bという。)を使用して読み出される。

- [0111] 図19は、本実施形態のMRAMにおける情報シンボル及びパリティシンボルのデータレイ1及びパリアレイ2への割り付け法を示す図である。本実施形態のMRAMの情報シンボル及びパリティシンボルの割り付け法の特徴は、8つの情報シンボルと、8つのパリティビットが、互いに異なる参照セル12を用いて読み出されるように、情報シンボル及びパリティシンボルがメモリアレイ31に割り付けられていることである。
- [0112] より具体的には、本実施形態では、一のブロックの8つの情報シンボルDQ0～DQ7が、それぞれ、メモリアレイ31<sub>0</sub>～31<sub>7</sub>のデータ領域33に記憶される。各情報シンボルの4ビットを記憶するデータセル11は、同一の行に配置される。
- [0113] 一方、パリティシンボルを構成するビットは、メモリアレイ31<sub>0</sub>～31<sub>7</sub>に分散して保存される。より具体的には、パリティシンボルP<sub>0</sub>を構成する4ビットは、それぞれ、メモリアレイ31<sub>0</sub>～31<sub>3</sub>に分散して保存される一方、パリティシンボルP<sub>1</sub>を構成する4ビットは、それぞれ、メモリアレイ31<sub>4</sub>～31<sub>7</sub>に分散して保存される。パリティシンボルのビットを記憶するパリティセル35は、各メモリアレイ31において、同一のブロックに属する情報シンボルが記憶されるデータセル11と同一の行に位置する(即ち、同時に選択される)が、異なるメモリエリア32A、32Bに配置される。
- [0114] 例えば、列アドレスY0～Y3の情報シンボルDQ0を記憶する4つのデータセル11とパリティシンボルP<sub>0</sub>の列アドレスY0に対応するビットを記憶するパリティセル35は、

メモリアレイ31<sub>0</sub>の同一の行に配置されるが、前者はメモリエリア32Aに配置され、後者は、メモリエリア32Bに配置される。この結果、情報シンボルDQ0を記憶する4つのデータセル11のデータ読み出しには、メモリエリア32Aに配置されている参照セル12Aが使用される一方、パリティシンボルP<sub>0</sub>の列アドレスY0に対応するビット記憶するパリティセル35のデータ読み出しには、メモリエリア32Bに配置されている参照セル12Bが使用されることになる。

[0115] 同様に、列アドレスY4~Y7の情報シンボルDQ0を記憶する4つのデータセル11とパリティシンボルP<sub>0</sub>の列アドレスY4に対応するビットを記憶するパリティセル35は、メモリアレイ31<sub>0</sub>の同一の行に配置されるが、前者はメモリエリア32Bに配置され、後者は、メモリエリア32Aに配置される。この結果、情報シンボルDQ0を記憶する4つのデータセル11のデータ読み出しには、メモリエリア32Bに配置されている参照セル12Aが使用される一方、パリティシンボルP<sub>0</sub>の列アドレスY0に対応するビット記憶するパリティセル35のデータ読み出しには、メモリエリア32Aに配置されている参照セル12Aが使用されることになる。

[0116] このような割り付けによれば、8つの情報シンボル及びパリティシンボルの8つのビットが互いに異なる参照セル12を用いて読み出されることになる。

[0117] 本実施形態のMRAMでは、パリティシンボルにエラー誤りが検出されても、その誤りを訂正できない;なぜなら、パリティシンボルの各ビットにデータ誤りが発見されても、それが、データセル11と参照セル12のいずれに原因があるかが特定できないからである。本実施形態では、パリティシンボルにエラー誤りが検出されても、データセル11と参照セル12の誤りは訂正されない。

[0118] しかしながら、本実施形態のMRAMでは、データ書き込み時にメモリアレイ31に流れる書き込み電流を均一化できるという大きな利点がある。図16から理解されるように、ある一のアドレス(例えば、列アドレスY0)のデータを書き換える場合には、各メモリアレイ31において書き換えられるメモリセルは、データ領域33に位置する一のデータセル11と、パリティ領域34に位置する一のパリティセル35の2つのメモリセルである。したがって、データ書き込み時にメモリアレイ31に流れる書き込み電流は、同一である。これは、MRAMの電源電圧の局所的な低下を防止し、書き込み動作の

信頼性を向上するために有効である。

[0119] 以上には本発明の様々な実施形態が提示されているが、本発明は、上記の実施形態に限定されて解釈されてはならない。例えば、本発明において採用される誤り訂正符号化方式は、リード・ソロモン符号に限定される解釈されてはならない。リード・ソロモン符号の代わりに、1ブロックが複数のシンボルで構成されるバースト誤り訂正符号が使用されることが可能である。このような符号の例としては、ファイア符号が挙げられる。また、書き込み動作に、トグル書き込み以外の書き込み方式が採用されることも可能である。



## 請求の範囲

- [1] それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位での誤り訂正が可能な誤り訂正符号をメモリアレイに記憶するMRAMの動作方法であって、
- 各々のシンボルは互いに異なる参照セルを用いて読み出しが行われ、
- 入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、(A) 1ビットの誤りパターンである第1の誤りシンボルに対しては、その誤りビットに対応するデータセルのデータを訂正し、(B) 複数ビットの誤りパターンである第2の誤りシンボルに対しては、第2の誤りシンボルの読み出しに使用された参照セルのデータを訂正する
- MRAMの動作方法。
- [2] 請求の範囲1に記載のMRAMの動作方法であって、
- 前記(A)に記載した第1の誤りシンボルのデータセルのデータを訂正した後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作が実行され、
- 再読み出しデータに再度、訂正可能な誤りが検出された場合に、(C) 前記第1の誤りシンボルの読み出しに使用された参照セルのデータを訂正し、前記(A)で訂正したデータセルのデータを再訂正する
- MRAMの動作方法。
- [3] 請求の範囲1に記載のMRAMの動作方法であって、
- 入力データから前記誤り訂正符号に基づく書き込みデータが符号化され、
- 入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出しデータに訂正可能な誤りが検出された場合に、(D) 誤りの無いシンボル、及び、1ビットの誤りパターンである第1の誤りシンボルに対しては、前記書き込みデータを書き込み、(E) 複数ビットの誤りパターンである第2の誤りシンボルに対しては、前記書き込みデータを書き込み、更に、第2の誤りシンボルの読み出しに使用された参照セルのデータを訂正する
- MRAMの動作方法。
- [4] 請求の範囲3に記載のMRAMの動作方法であって、

前記(D)に記載した第1の誤りシンボルのデータセルに書き込み動作を実行した後、前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作が実行され、

再読み出しデータに再度、訂正可能な誤りが検出された場合に、(F)前記第1の誤りシンボルの読み出しに使用された参照セルのデータを訂正する

MRAMの動作方法。

- [5] 請求の範囲4に記載のMRAMの動作方法であって、  
前記(F)の動作において、前記第1の誤りシンボルに対して前記書き込みデータを書き込む

MRAMの動作方法。

- [6] 請求の範囲1に記載のMRAMの動作方法であって、  
前記誤り訂正符号を構成する複数のシンボルは、複数の情報シンボルと複数のパリティシンボルに種別され、各々のパリティシンボルを構成する複数のデータセルは、各々の情報シンボルを構成するデータセルの読み出しに使用される参照セル以外の参照セルを使用して読み出しが行われ、前記複数のパリティシンボルは、前記誤り訂正符号である読み出しデータのデータ誤りを検出するために使用される

MRAMの動作方法。

- [7] 請求の範囲6に記載のMRAMの動作方法であって、  
前記複数の情報シンボルと前記複数のパリティシンボルは、互いに別々のメモリアレイに記憶され、且つ、各々のシンボルを構成するデータセルの読み出しには、それぞれと同一のメモリアレイに配置された参照セルが使用される

MRAMの動作方法。

- [8] 請求の範囲6に記載のMRAMの動作方法であって、  
前記複数の情報シンボルの一の情報シンボルと、前記複数のパリティシンボルの一のパリティシンボルと、第1の参照セルと第2の参照セルとが一のメモリアレイに配置されており、

前記一の情報シンボルを構成するデータセルの読み出しは第1の参照セルが使用され、

前記一のパリティシンボルを構成するデータセルの読み出しは第2の参照セルが使用される

MRAMの動作方法。

- [9] 請求の範囲6に記載のMRAMの動作方法であって、  
前記誤り訂正符号は、入力されるアドレスによって第1の符号と第2の符号に区別され、

第1の符号に含まれる第1の情報シンボル、及び第1のパリティシンボルと、第2の符号に含まれる第2の情報シンボル、及び第2のパリティシンボルと、第1の参照セルと、第2の参照セルとが一のメモリアレイに配置されており、

前記第1の符号が選択されている場合に、前記第1の情報シンボルのデータセルの読み出しは第1の参照セルが使用され、前記第1のパリティシンボルのデータセルの読み出しは第2の参照セルが使用され、

前記第2の符号が選択されている場合に、前記第2の情報シンボルのデータセルの読み出しは第2の参照セルが使用され、前記第2のパリティシンボルのデータセルの読み出しは第1の参照セルが使用される

MRAMの動作方法。

- [10] それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位での誤り訂正が可能な誤り訂正符号を記憶するための複数のデータセルと、前記データセルの読み出しに使用される複数の参照セルと、ECC回路を含む周辺回路とを具備するMRAMの動作方法であって、

データセル及び参照セルは、書き込み電流を供給するたびに記憶データが反転するトグル動作を利用して書き込み動作を行うトグルセルであり、

各々のシンボルは互いに異なる参照セルを用いて読み出しが行われ、

前記データセルの読み出しデータに訂正可能な誤りが検出された場合に、前記周辺回路は、1ビットの誤りパターンである第1の誤りシンボルに対して、読み出しデータとECC回路が出力する復号化データの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数ビットの誤りパターンである第2の誤りシンボルに対して、第2の誤りシンボルの読み出しに使用される参照セルをト

グル動作させる制御とを行う

MRAMの動作方法。

- [11] 請求の範囲10に記載のMRAMにおいて、  
前記第1の誤りシンボルに含まれる誤りビットのデータセルをトグル動作させた後、  
前記誤り訂正符号を構成するデータセルの再読み出し動作と誤り検出動作とが実行  
され、

再読み出しデータに再度、前記第1の誤りシンボルと同じシンボルに誤りビットが検  
出された場合に、前記周辺回路は、前記第1の誤りシンボルの読み出しに使用され  
る参照セルをトグル動作させる制御と、先にトグル動作させたデータセルを再度トグ  
ル動作させる制御とを行う

MRAMの動作方法。

- [12] 請求の範囲10に記載のMRAMにおいて、  
前記ECC回路は、入力データから前記誤り訂正符号に基づく書き込みデータを符  
号化し、

入力されたアドレスに対応する前記誤り訂正符号を構成するデータセルの読み出  
しデータに訂正可能な誤りが検出された場合に、前記周辺回路は、誤りの無いシン  
ボル、及び、1ビットの誤りパターンである第1の誤りシンボルに対して、前記読み出し  
データと前記書き込みデータの各々のビットを比較し、異なるビットのデータセルをト  
グル動作させる制御と、複数ビットの誤りパターンである第2の誤りシンボルに対して、  
ECC回路が出力する復号化データと前記書き込みデータの各々のビットを比較し、  
異なるビットのデータセルをトグル動作させる制御と、第2の誤りシンボルの読み出し  
に使用される参照セルをトグル動作させる制御とを行う

MRAMの動作方法。

- [13] 請求の範囲12に記載のMRAMにおいて、  
前記第1の誤りシンボルのデータセルに対してトグル動作させた後、前記誤り訂正  
符号を構成するデータセルの再読み出し動作と誤り検出動作とが実行され、  
再読み出しデータに再度、前記第1の誤りシンボルと同じシンボルに誤りビットが検  
出された場合に、前記周辺回路は、前記第1の誤りシンボルの読み出しに使用され

る参照セルをトグル動作させる制御と、前記第1の誤りシンボルに含まれていた1ビットの誤りビットのデータセルをトグル動作させる制御とを行う

MRAMの動作方法。

- [14] それぞれが複数のシンボルから構成され、各々のシンボルが複数のビットから構成され、更にシンボル単位での誤り訂正が可能な誤り訂正符号である第1～第mのブロック符号を記憶する複数のデータセルと、第1～第nの参照セルと、第1～第mのECC回路を含む周辺回路とを具備するMRAMの動作方法であって、

前記第1～第mのブロック符号の各々の第iシンボルの読み出しに、前記第1～第nの参照セルのうちの第i参照セルを使用しながら前記第1～第mのブロック符号のデータを読み出し、且つ、前記第1～第mのブロック符号の各々について、それぞれ前記第1～第mのECC回路を用いて誤り検出を行うように構成され、且つ、

前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、1つの第iシンボルに誤りが検出された場合には、その誤りビットのデータセルのデータを訂正し、複数の第iシンボルに誤りが検出された場合には、前記第i参照セルのデータを訂正する

MRAMの動作方法。

- [15] 請求の範囲14に記載のMRAMの動作方法であって、

前記第1～第mのECC回路のうちの第jのECC回路は、入力データから前記誤り訂正符号に基づく第jの書き込みデータを符号化し、

前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、1つの第iシンボルに誤りが検出された場合には、第jのブロック符号のデータセルに前記第jの書き込みデータを書き込み、複数の第iシンボルに誤りが検出された場合には、第jのブロック符号のデータセルに前記書き込みデータを書き込み、且つ、前記第i参照セルのデータ

を訂正する

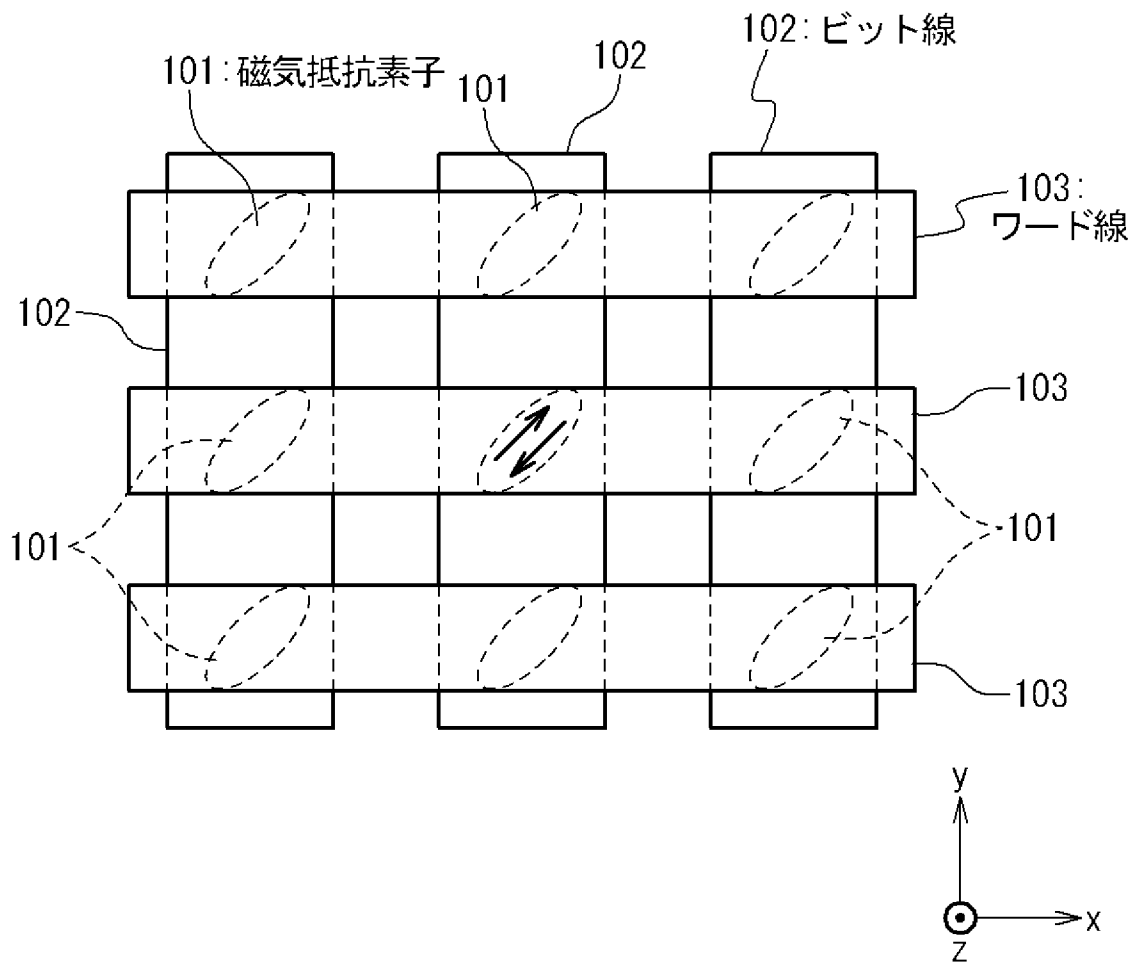
MRAMの動作方法。

- [16] 請求の範囲14に記載のMRAMの動作方法であって、  
データセル及び参照セルは、書き込み電流を供給するたびに記憶データが反転するトグル動作を利用して書き込み動作を行うトグルセルであって、  
前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、  
1つの第iシンボルに誤りが検出された場合、即ち、前記第1～第mのブロック符号のうちの第kのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第kのブロック符号における第iシンボルの読み出しデータと、第kのECC回路が出力する復号化データにおける第iシンボルとの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セルのデータをトグル動作させる制御とを行う  
MRAMの動作方法。
- [17] 請求の範囲16に記載のMRAMの動作方法であって、  
前記第1～第mのブロック符号のうちの第jのブロック符号のデータセルは、入力されたアドレスに対して選択されるデータセルであり、  
前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、前記第jのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第jのブロック符号における第iシンボルの読み出しデータと、第jのECC回路が出力する復号化データにおける第iシンボルとの各々のビットを比較し、異なるビット、即ち、誤りビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セルのデータをトグル動作させる制御とを行い、更に、第jのECC回路が出力する復号化データを前記アドレスの読み出しデータとして外部へ出力する  
MRAMの動作方法。
- [18] 請求の範囲17に記載のMRAMの動作方法であって、  
前記第1～第mのECC回路のうちの第jのECC回路は、入力データから前記誤り訂正符号に基づく第jの書き込みデータを符号化し、

前記周辺回路は、前記第1～第mのECC回路の各々が訂正可能な誤りを検出した場合に、前記第i参照セルを用いて読み出されたm個の第iシンボルについて、前記第jのブロック符号における第iシンボルのみに誤りシンボルが検出された場合、第jのブロック符号における第iのシンボルの読み出しデータと、前記第jの書き込みデータにおける第iのシンボルのデータについて各々のビットを比較し、異なるビットのデータセルをトグル動作させる制御と、複数の第iシンボルに誤りが検出された場合、第i参照セルのデータをトグル動作させる制御とを行う

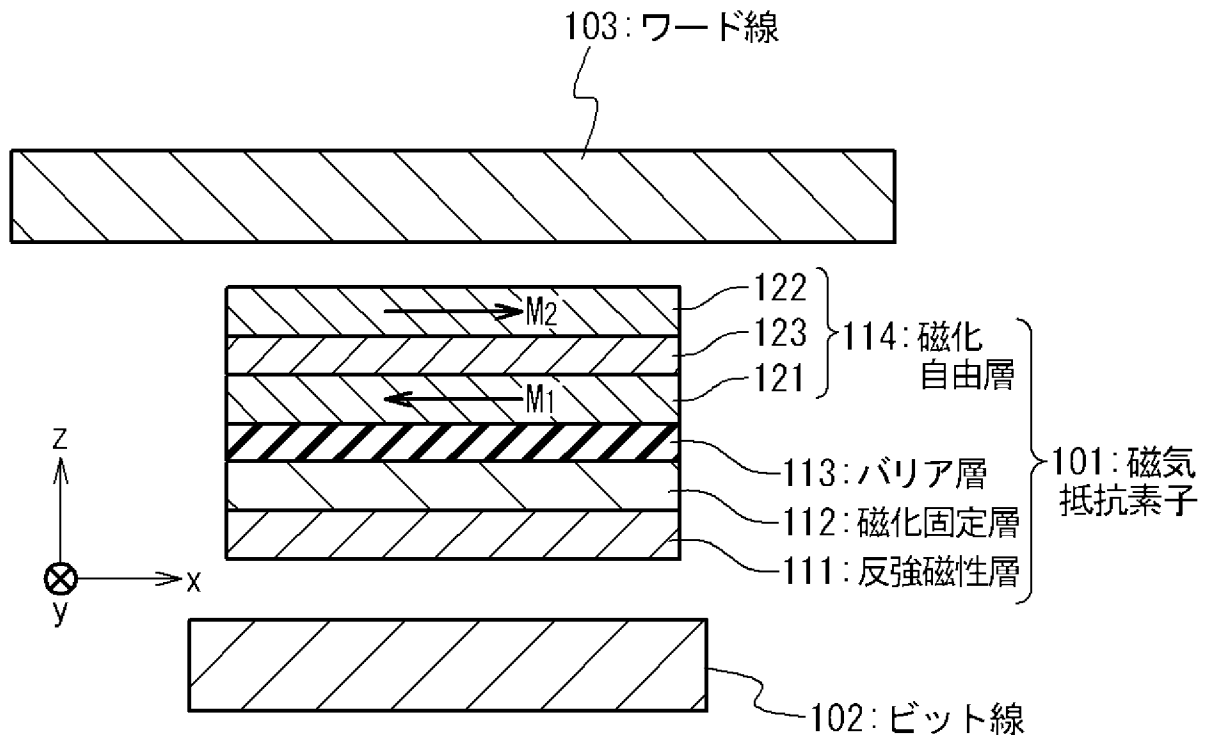
MRAMの動作方法。

[図1]

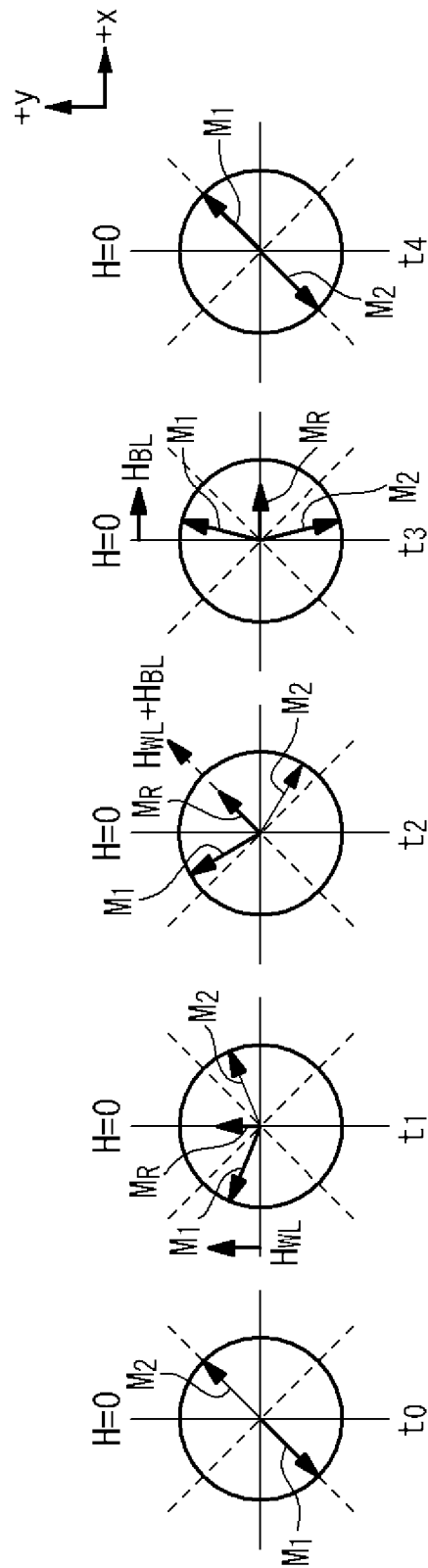




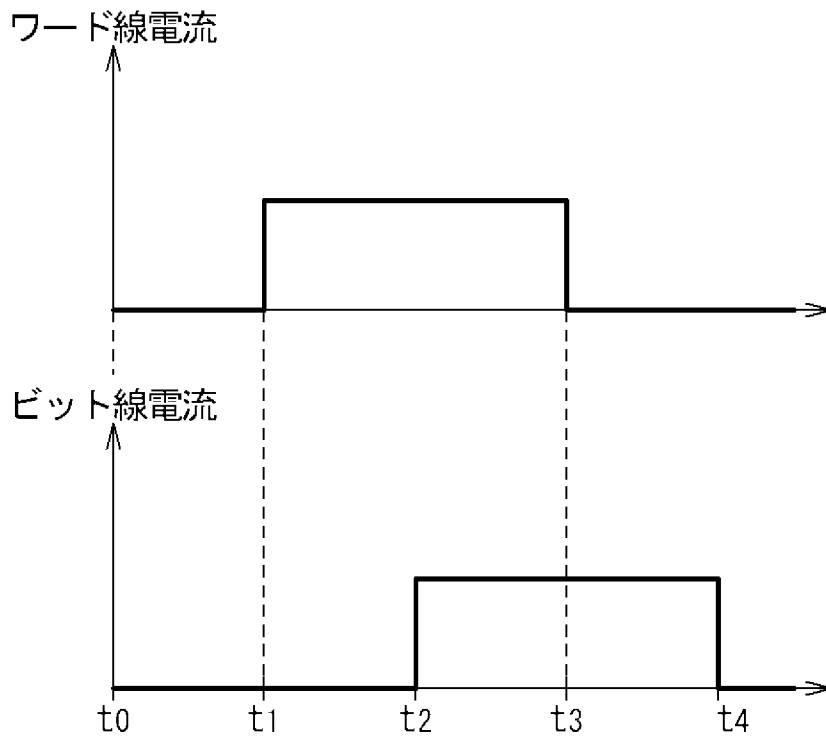
[図2]



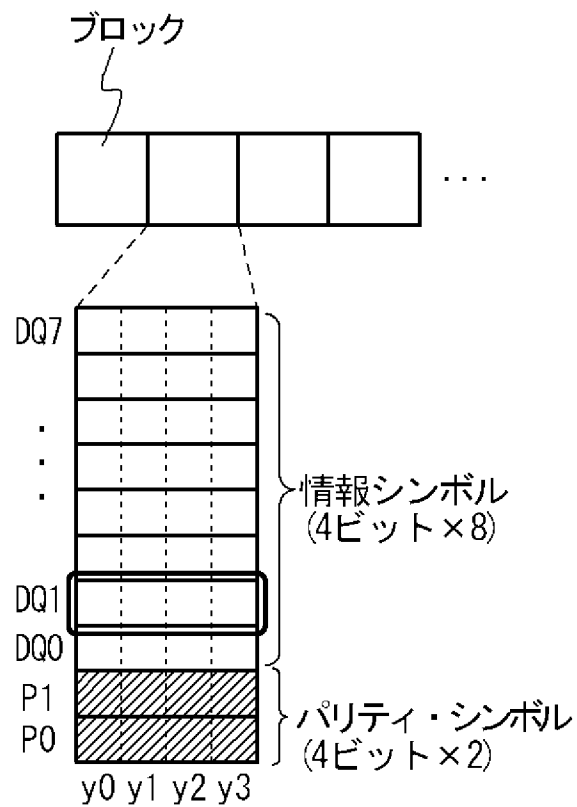
[図3]



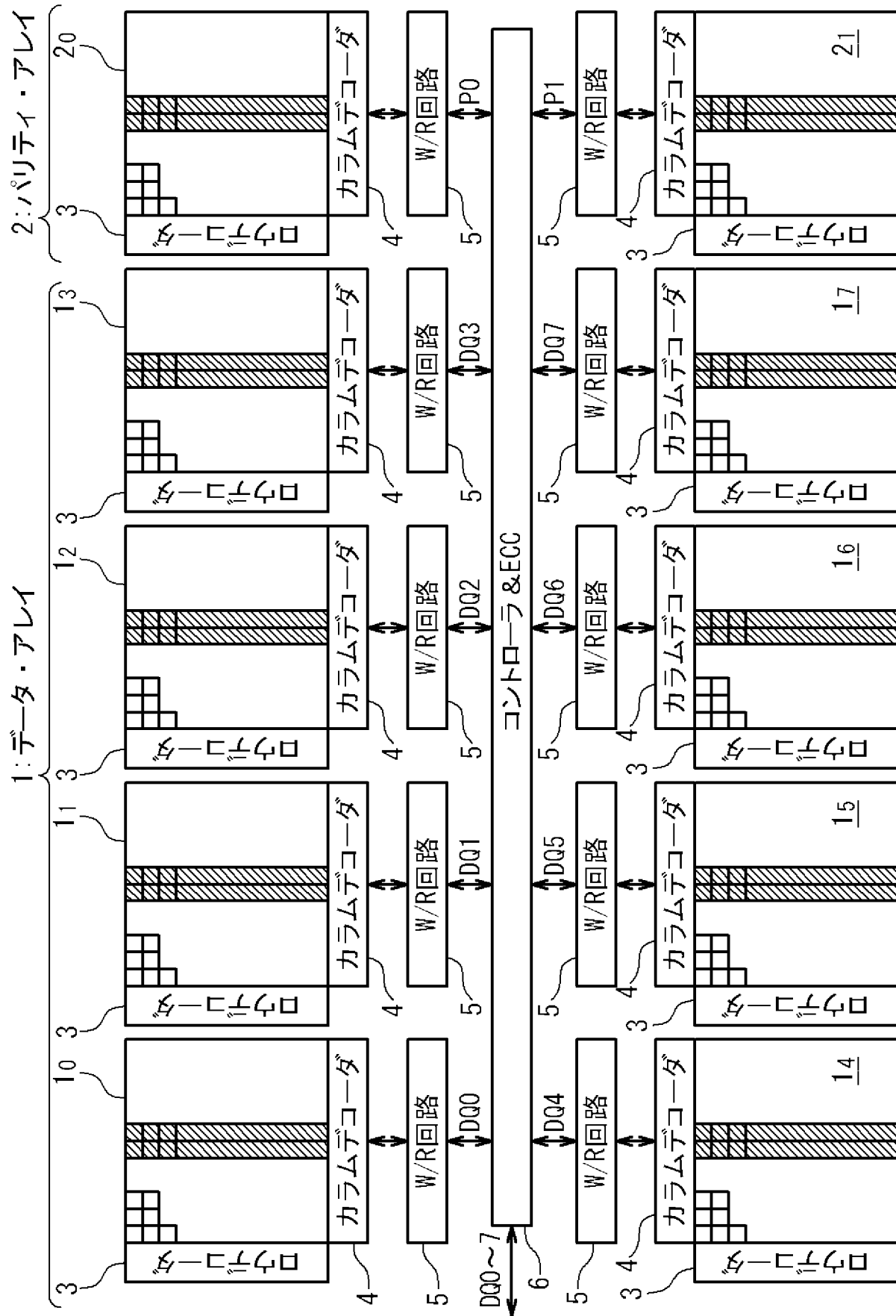
[図4]



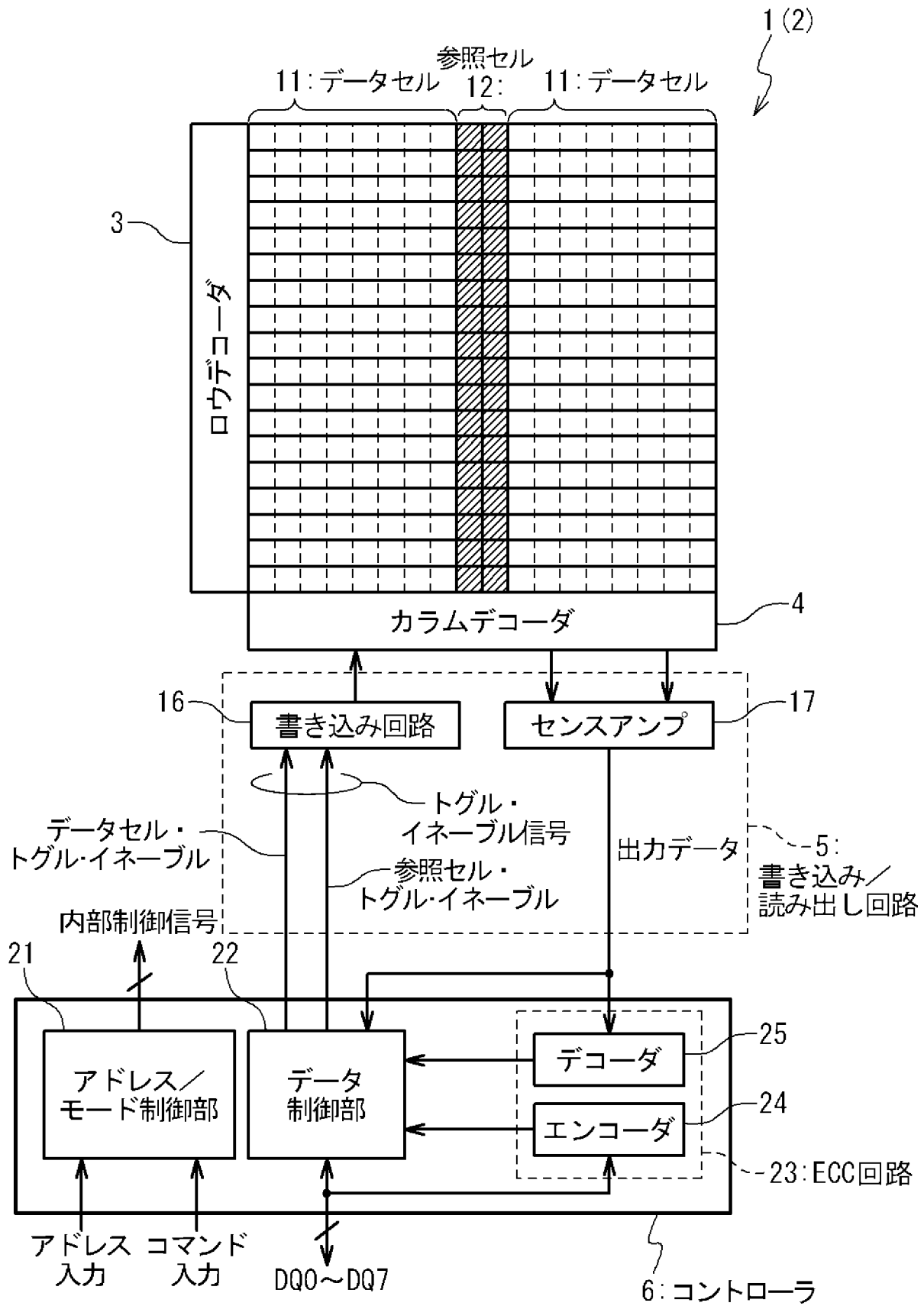
[図5]



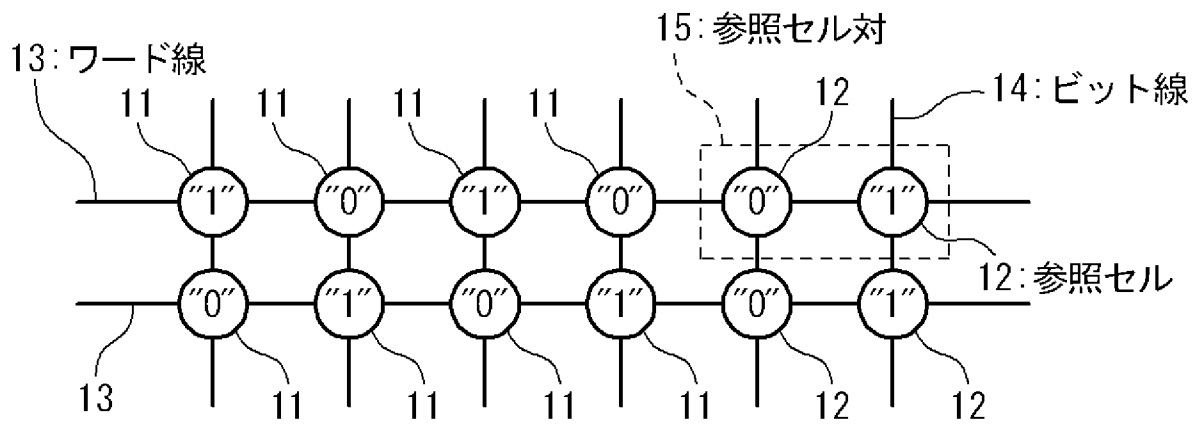
【図6】



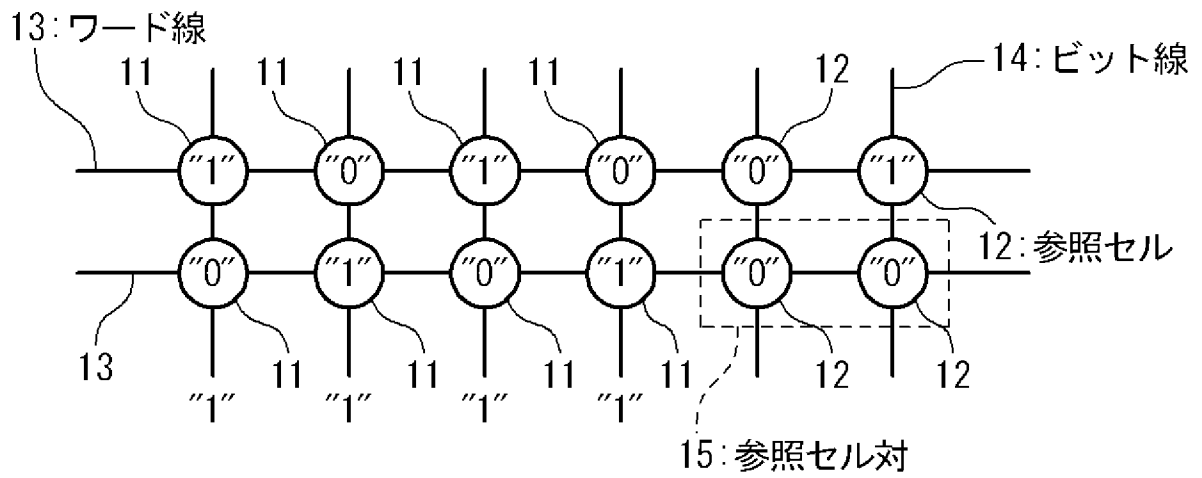
[図7]



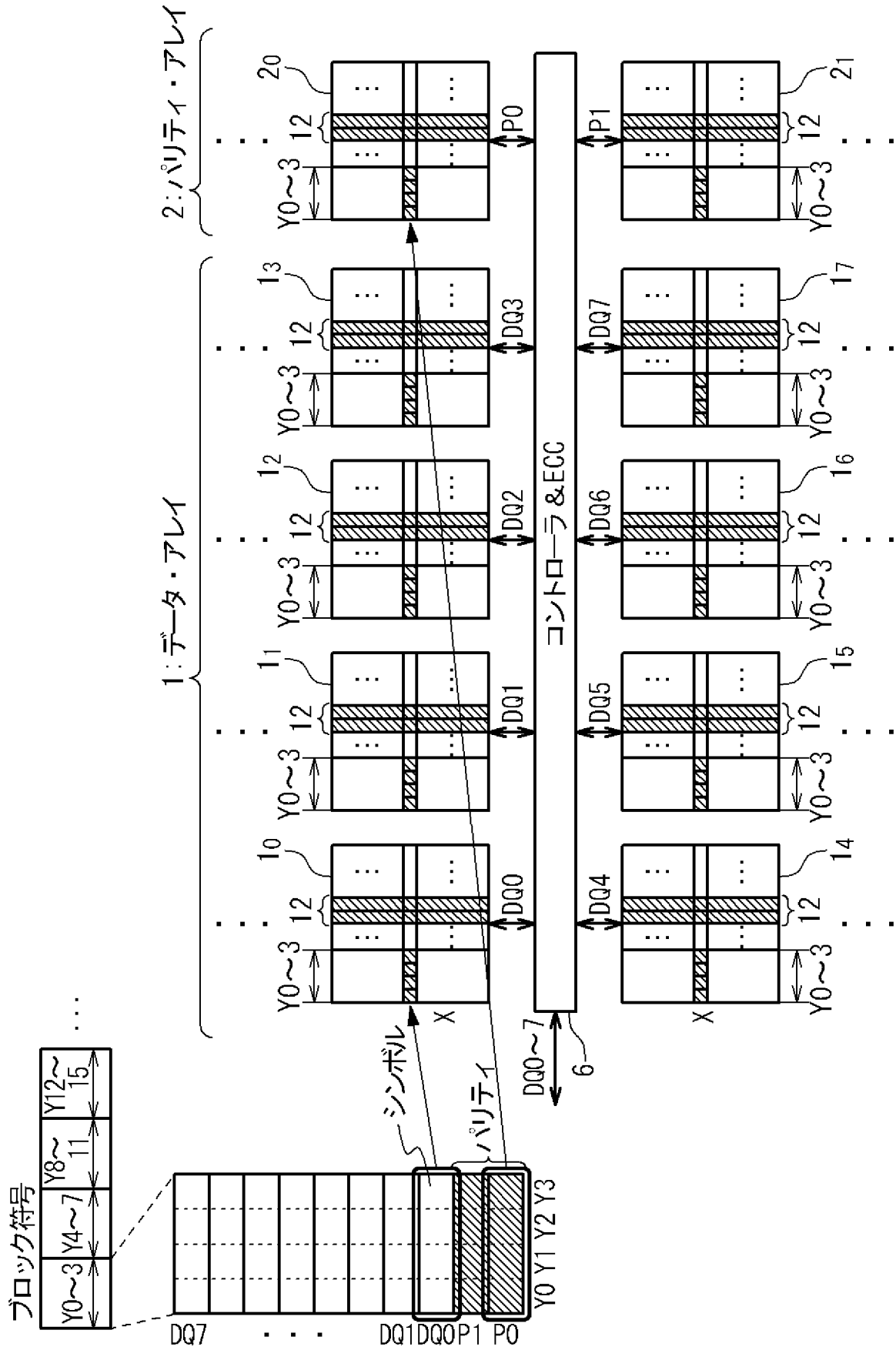
[図8A]



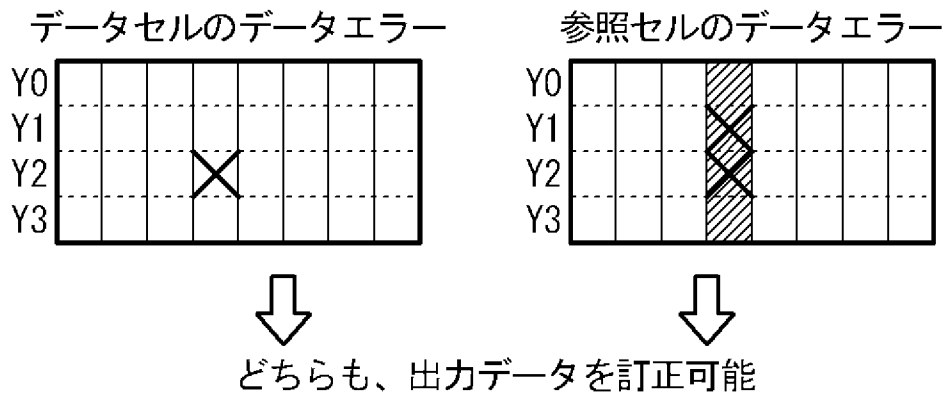
[図8B]



[図9A]

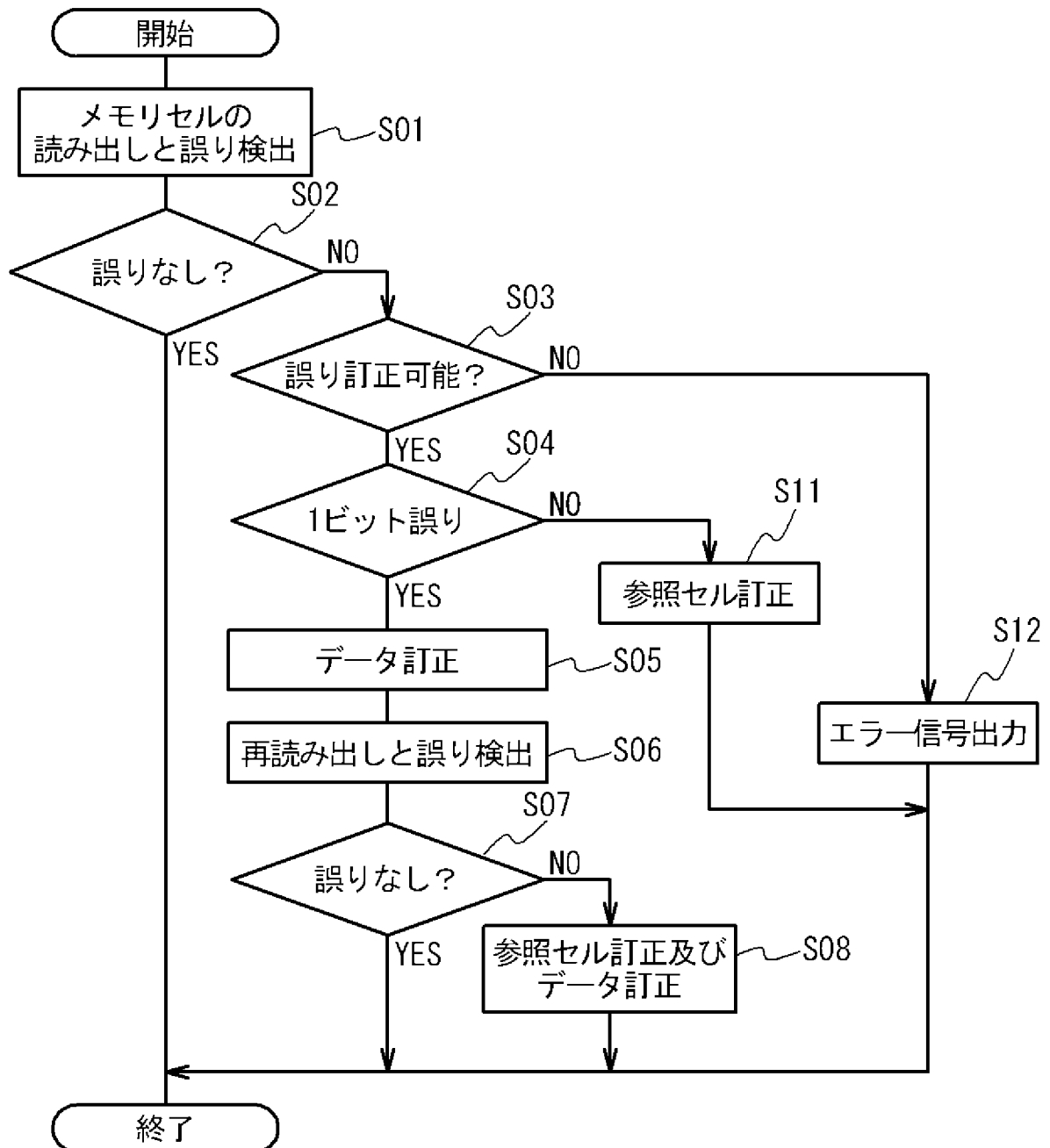


[図9B]

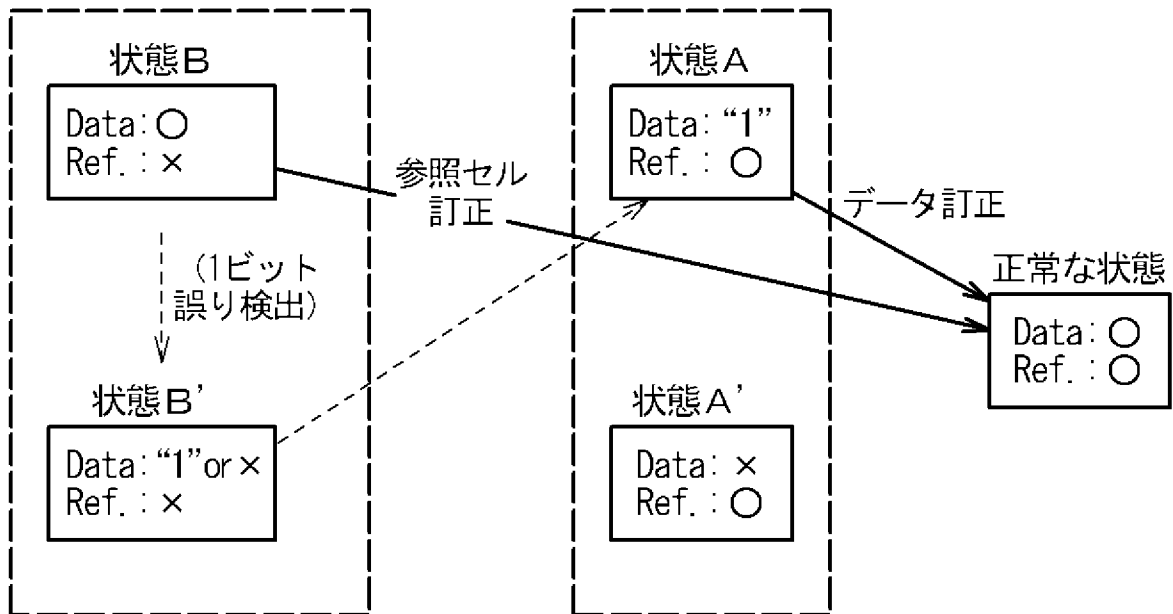




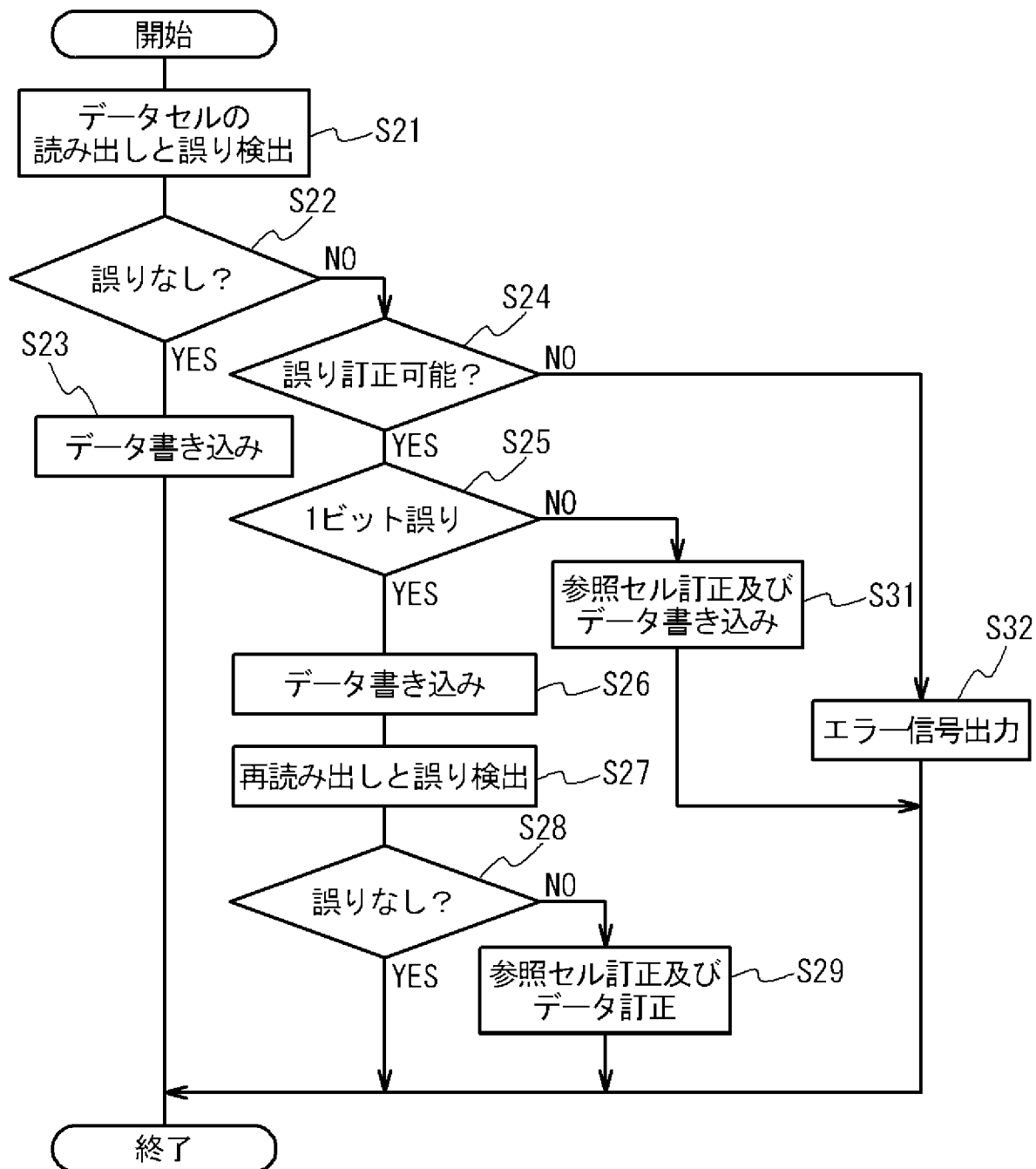
[図10]



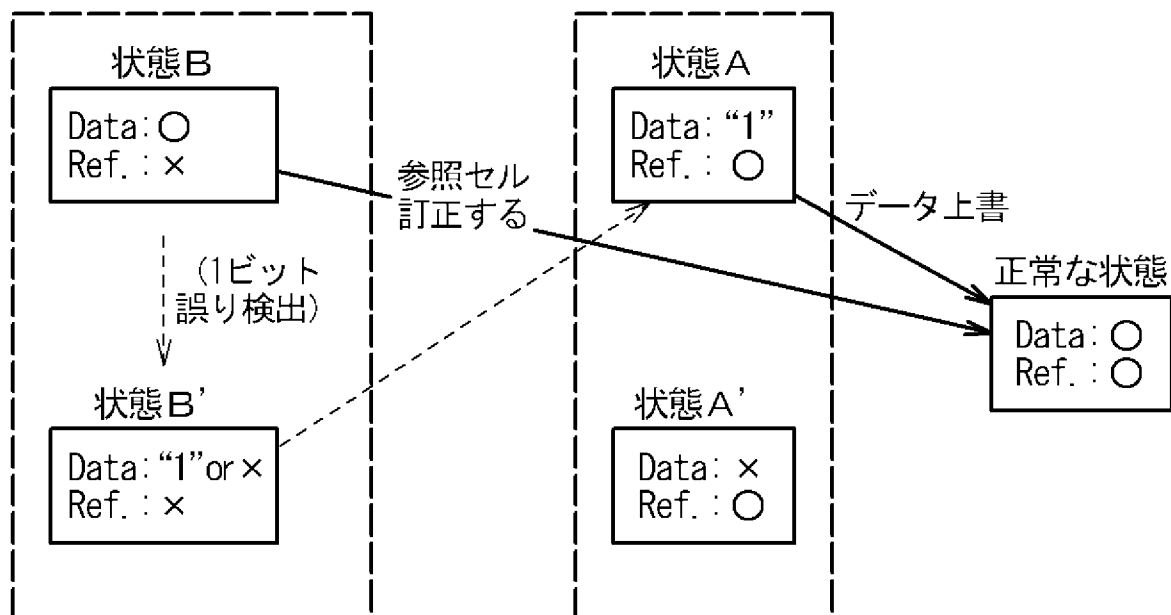
[図11]



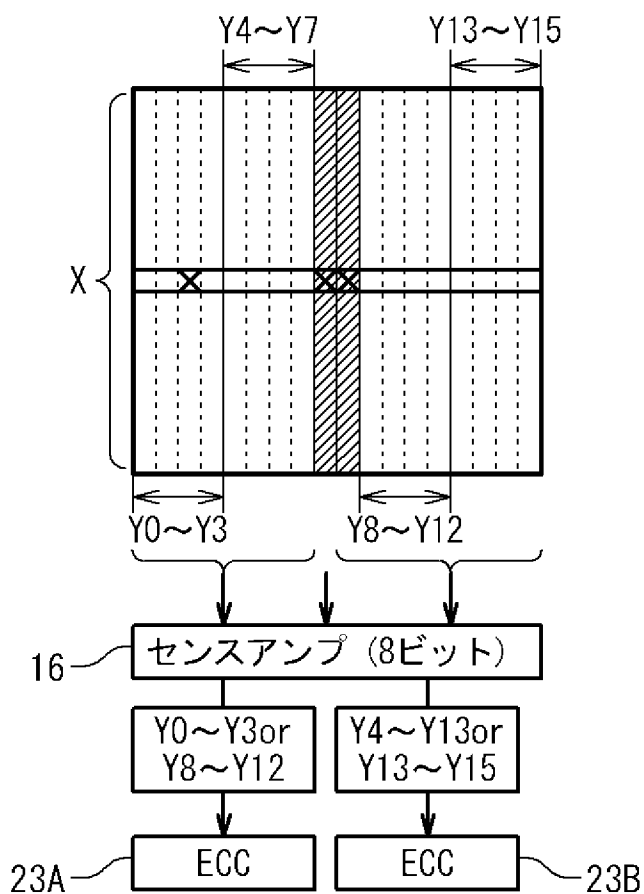
[図12]



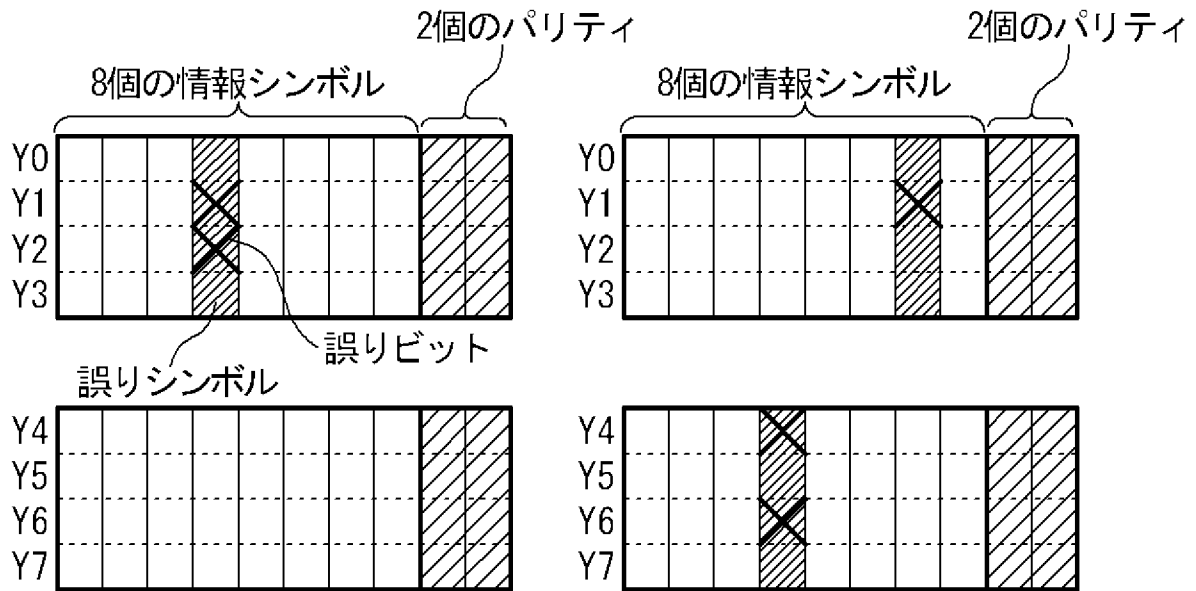
[図13]



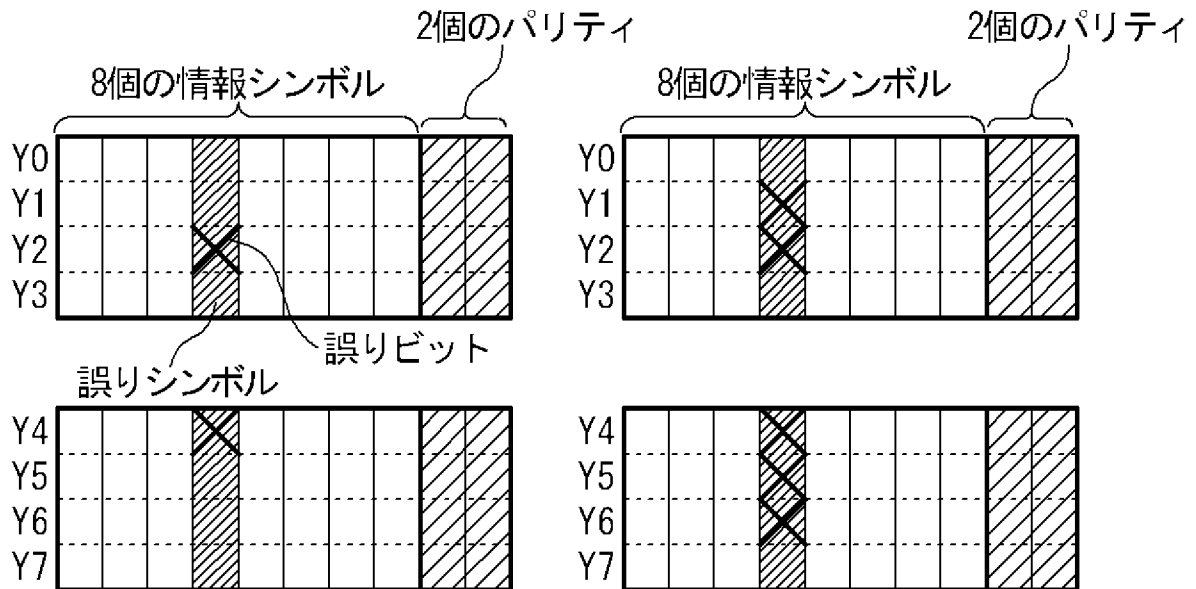
[図14A]



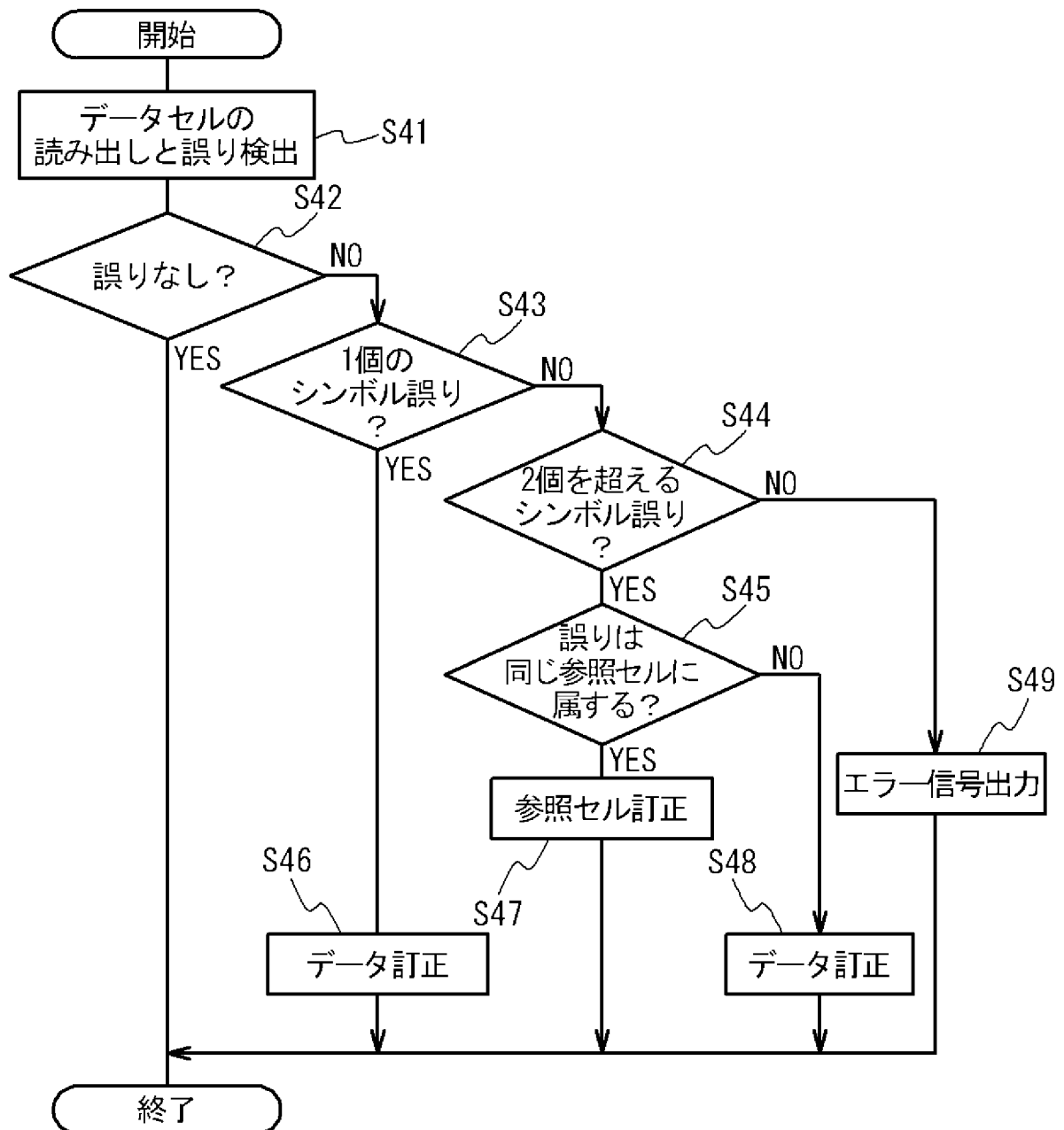
[図14B]



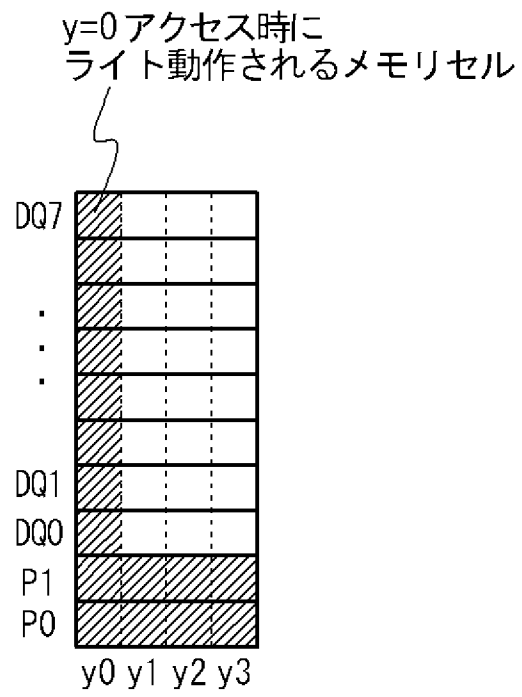
[図14C]



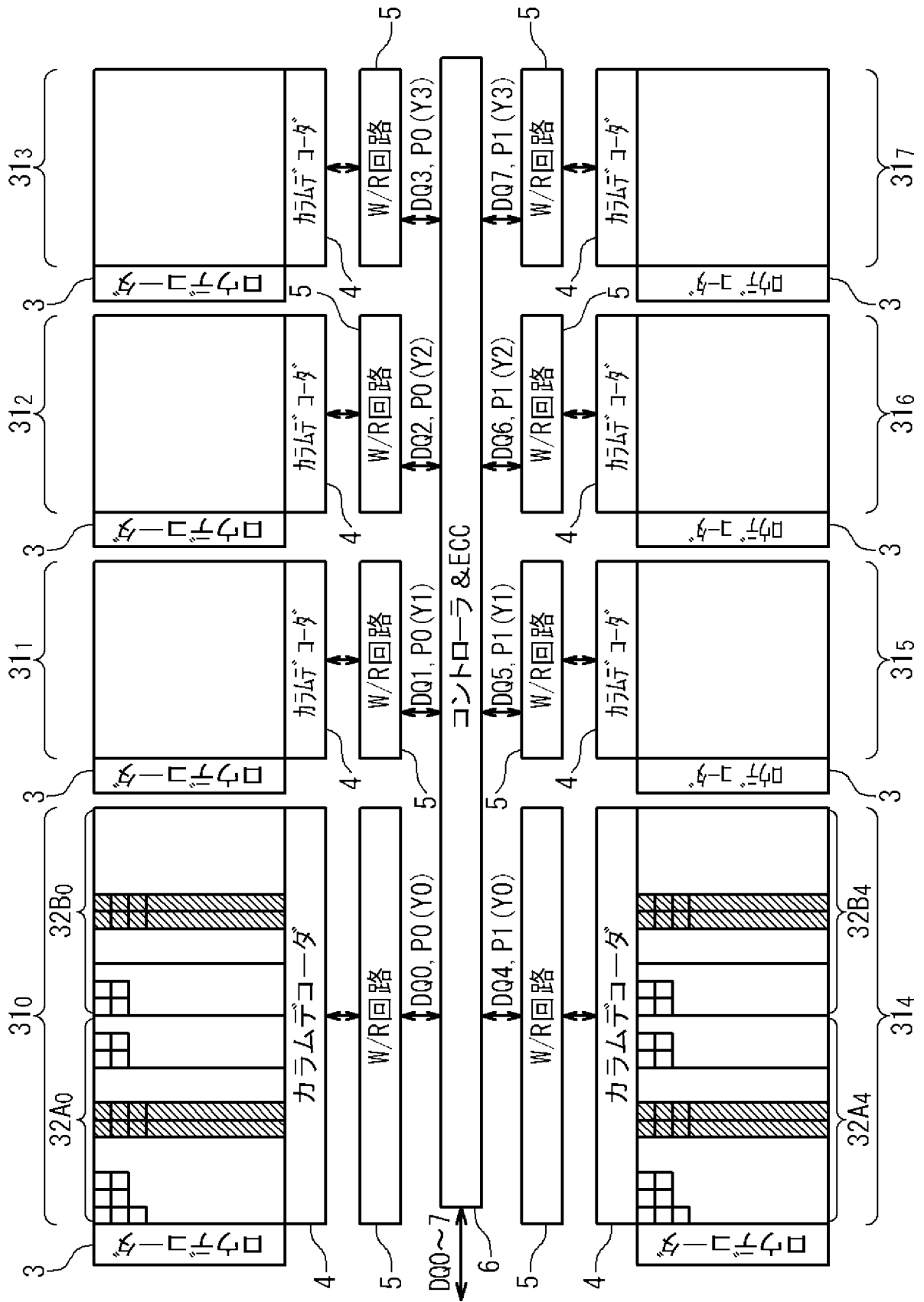
[図15]



[図16]

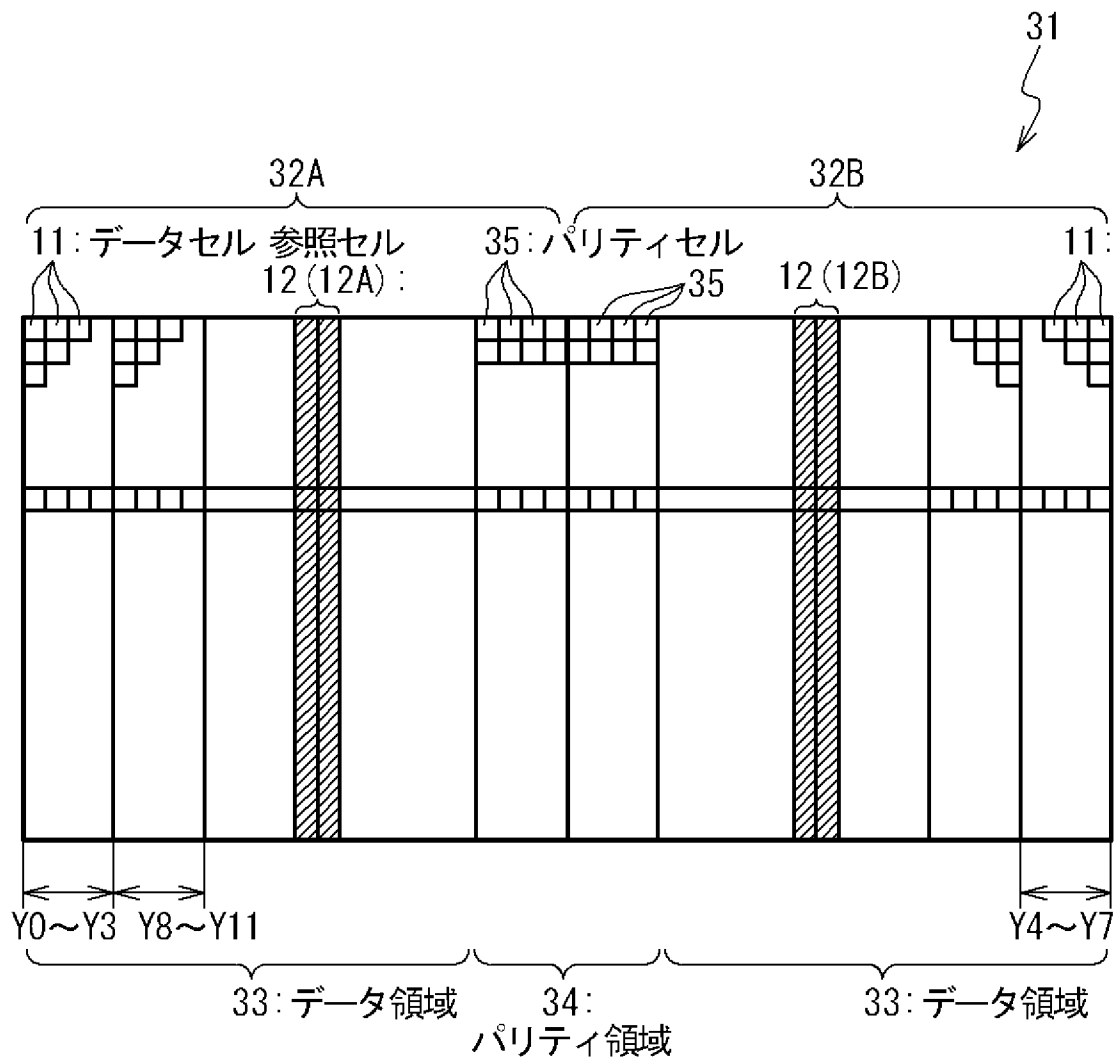


[図17]

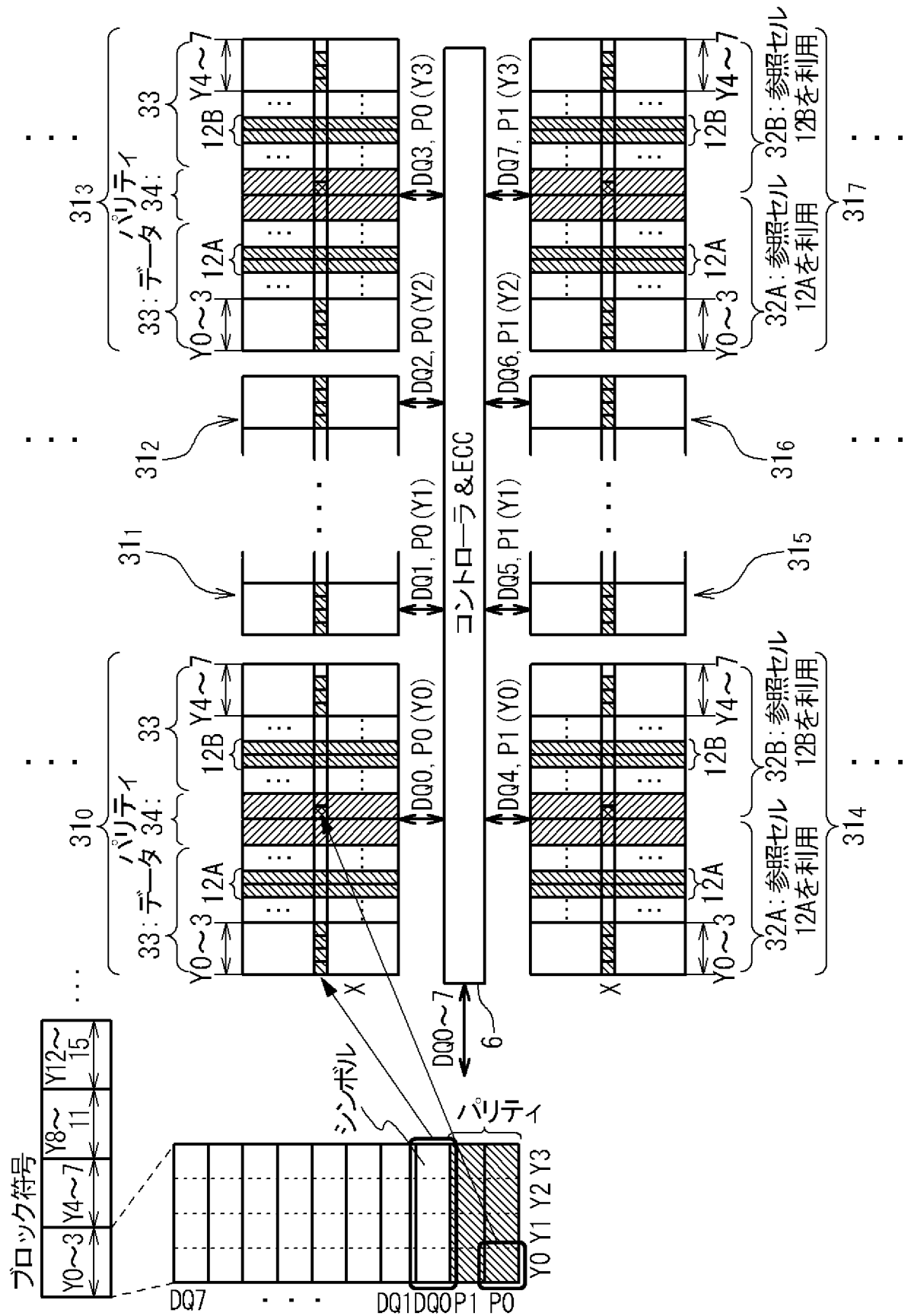




[図18]



[図19]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/320610

**A. CLASSIFICATION OF SUBJECT MATTER**

G11C29/42(2006.01)i, G11C11/15(2006.01)i, H01L21/8246(2006.01)i,  
H01L27/105(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G11C29/42, G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-115195 A (Hewlett-Packard Co.), 18 April, 2003 (18.04.03), Fig. 1 & US 2003/0023922 A & GB 2380572 A & EP 1286360 A2	1-18
E, A	JP 2006-286047 A (Toshiba Corp.), 19 October, 2006 (19.10.06), Fig. 1 (Family: none)	1-18

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
16 November, 2006 (16.11.06)

Date of mailing of the international search report  
28 November, 2006 (28.11.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. G11C29/42(2006.01)i, G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. G11C29/42, G11C11/15</p>														
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2006年													
日本国実用新案登録公報	1996-2006年													
日本国登録実用新案公報	1994-2006年													
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>														
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2003-115195 A (ヒューレット・パカード・カンパニー) 2003.04.18, 図1 &amp; US 2003/0023922 A &amp; GB 2380572 A &amp; EP 1286360 A2</td> <td>1-18</td> </tr> <tr> <td>E, A</td> <td>JP 2006-286047 A (株式会社東芝) 2006.10.19, 図1 (ファミリーなし)</td> <td>1-18</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	A	JP 2003-115195 A (ヒューレット・パカード・カンパニー) 2003.04.18, 図1 & US 2003/0023922 A & GB 2380572 A & EP 1286360 A2	1-18	E, A	JP 2006-286047 A (株式会社東芝) 2006.10.19, 図1 (ファミリーなし)	1-18			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号												
A	JP 2003-115195 A (ヒューレット・パカード・カンパニー) 2003.04.18, 図1 & US 2003/0023922 A & GB 2380572 A & EP 1286360 A2	1-18												
E, A	JP 2006-286047 A (株式会社東芝) 2006.10.19, 図1 (ファミリーなし)	1-18												
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&amp;」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	の日の後に公表された文献	「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献													
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの													
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献													
「P」国際出願日前で、かつ優先権の主張の基礎となる出願														
<p>国際調査を完了した日</p> <p>16.11.2006</p>	<p>国際調査報告の発送日</p> <p>28.11.2006</p>													
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁 (ISA/J P)</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p>須原 宏光</p> <p>電話番号 03-3581-1101 内線 3586</p>	<table border="1"> <tr> <td>5N</td> <td>9057</td> </tr> </table>	5N	9057										
5N	9057													