

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-117509

(P2017-117509A)

(43) 公開日 平成29年6月29日(2017.6.29)

| | | |
|---------------------------------|---------------|-------------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G 1 1 C 16/04 (2006.01) | G 1 1 C 17/00 | 6 2 3 Z 5 B 2 2 5 |
| H O 1 L 27/115 (2017.01) | H O 1 L 27/10 | 4 3 4 5 F O 8 3 |
| H O 1 L 29/788 (2006.01) | H O 1 L 29/78 | 3 7 1 5 F 1 O 1 |
| H O 1 L 21/336 (2006.01) | H O 1 L 27/10 | 4 4 4 A |
| H O 1 L 29/792 (2006.01) | H O 1 L 27/10 | 3 2 1 |

審査請求 未請求 請求項の数 13 O L 外国語出願 (全 41 頁) 最終頁に続く

| | | | |
|--------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2016-246994 (P2016-246994) | (71) 出願人 | 514156563 アイメック・ヴェーゼットウェー I MEC V ZW ベルギー、ペー 3 0 0 1 ルーヴァン、カ ペルドリーフ 7 5 番 |
| (22) 出願日 | 平成28年12月20日 (2016.12.20) | (74) 代理人 | 100101454 弁理士 山田 卓二 |
| (31) 優先権主張番号 | 15201495.7 | (74) 代理人 | 100081422 弁理士 田中 光雄 |
| (32) 優先日 | 平成27年12月21日 (2015.12.21) | (74) 代理人 | 100112911 弁理士 中野 晴夫 |
| (33) 優先権主張国 | 欧州特許庁 (EP) | (72) 発明者 | ヤン・ファン・ハウト ベルギー 3 0 0 1 ルーヴァン、カペルドリ ーフ 7 5 番 アイメック内 |

最終頁に続く

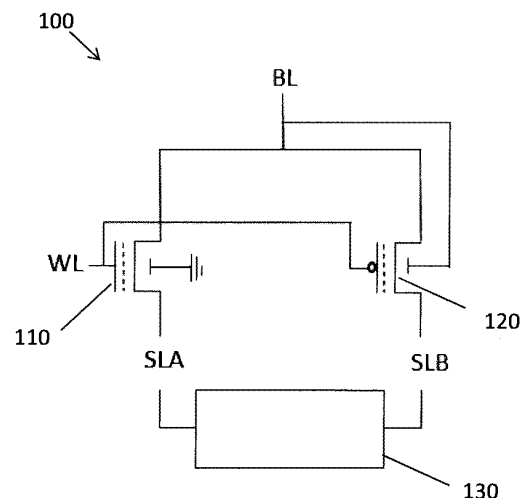
(54) 【発明の名称】 メモリセル

(57) 【要約】 (修正有)

【課題】 6 T - S R A M に比べて面積が小さく、かつ、N O R、1 T 1 R、1 T 1 C メモリセルよりアクセス速度の速いメモリセルを提供する。

【解決手段】 メモリセル 1 0 0 は、第一のトランジスタ 1 1 0、第二のトランジスタ 1 2 0 および差動センスアンプ 1 3 0 を含む。第一のトランジスタは、しきい値電圧可変の n チャネルトランジスタであり、第二のトランジスタは、しきい値電圧可変の p チャネルトランジスタであって、両方のトランジスタは、第一および第二の主電極を有する。第一および第二のトランジスタの第一の主電極は互いに接続される。差動センスアンプ 1 3 0 は、第一のトランジスタ 1 1 0 および第二のトランジスタ 1 2 0 の第二の主電極に接続され、第一のトランジスタ 1 1 0 と第二のトランジスタ 1 2 0 との間の電流差を感知するように構成される。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

第一のトランジスタ(110)、第二のトランジスタ(120)および差動センスアンプ(130)を含むメモリセル(100)であって、

第一のトランジスタは、第一および第二の主電極を有する V_t 可変のnチャネルトランジスタであり、

第二のトランジスタは、第一および第二の主電極を有する V_t 可変のpチャネルトランジスタであり、

第一および第二のトランジスタの第一の主電極は互いに接続され、

差動センスアンプ(130)は、第一(110)および第二のトランジスタ(120)の第二の主電極に接続され、

この差動センスアンプは、第一のトランジスタ(110)と第二のトランジスタ(120)との間の電流差を感知するように構成されるメモリセル(100)。

【請求項 2】

第一のトランジスタ(110)および第二のトランジスタ(120)は、直接トンネルデバイスである、請求項1に記載のメモリセル(100)。

【請求項 3】

第一のトランジスタ(110)および第二のトランジスタ(120)は、フローティングゲート型トランジスタである、請求項2に記載のメモリセル(100)。

【請求項 4】

第一のトランジスタおよび第二のトランジスタのゲートスタックは、第一の酸化層(210)、第二の金属および/またはドーパされた多結晶層(220)、 HfO_2 層(250)、および金属ゲート(260)を含む、請求項3に記載のメモリセル(100)。

【請求項 5】

第一のトランジスタ(110)および第二のトランジスタ(120)は、電荷トラップデバイスである、請求項2に記載のメモリセル(100)。

【請求項 6】

第一のトランジスタ(110)および第二のトランジスタ(120)のゲートスタックは、第一の酸化層(210)、選択的に第二の窒化層(220)、 HfO_2 層(250)、および金属ゲート(260)を含む、請求項5に記載のメモリセル(100)。

【請求項 7】

第一のトランジスタ(110)および第二のトランジスタ(120)は、強誘電体電界効果トランジスタである、請求項1に記載のメモリセル(100)。

【請求項 8】

第一のトランジスタ(110)および第二のトランジスタ(120)のゲートスタックは、ドーパされた HfO_2 から成る第一の強誘電体層(310)、第二の HfO_2 層(250)、および金属ゲート(260)を含む、請求項7に記載のメモリセル(100)。

【請求項 9】

トランジスタは制御電極を有し、第一のトランジスタ(110)の制御電極が第二のトランジスタ(120)の制御電極に接続されている、請求項1～8のいずれか1つに記載のメモリセル(100)。

【請求項 10】

メモリセル(100)は第三のトランジスタ(710)を含み、第三のトランジスタ(710)の主電極は、第一のトランジスタ(110)および第二のトランジスタ(120)の第一の主電極に接続されている、請求項1～9のいずれか1つに記載のメモリセル(100)。

【請求項 11】

請求項1～10のいずれか1つに記載のメモリセルを含み、キャッシュメモリとして使用されるメモリアレイ。

【請求項 12】

10

20

30

40

50

第一のトランジスタの制御電極と第二のトランジスタの制御電極に同じ消去電圧を加えることによってメモリセルを消去する第一の工程と、

第一のトランジスタの制御電極と第二のトランジスタの制御電極に同じ書込電圧を加えることによってメモリセルに書き込む第二の工程と、を含む請求項 1 ~ 10 のいずれかに記載のメモリセルに書き込む方法。

【請求項 13】

書込電圧が供給電圧の 2 倍以下である、請求項 12 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、メモリセルに関する。特に、本発明は、伝統的な S R A M セルの代替品として使用されるメモリセルに関する。

【背景技術】

【0002】

静的 R A M (静的ランダムアクセスメモリ) は、オンチップのキャッシュメモリに役立つものとして、現在の集積回路の至る所にある。しかしながら、S R A M セルは大きく、適切にスケールアップされていない (セルサイズは F^2 を単位としてますます大きくなり、スタティックリーク (the static leakage) も増えている) 。特に、高いキャッシュレベル (L3 および L4) においては、この面積の不利益はかなりのものとなる。

【0003】

20

最先端の S R A M セルは、通常、6 個のトランジスタを含む。このことは、S R A M セルのサイズと、S R A M セルの電力消費の結果に影響を与える。2 次元平面構造の場合、6 個のトランジスタを含む典型的な S R A M セルのサイズは、 $150F^2$ より大きくなる。ここで、F は、最小線幅を指す。このサイズは、スケールアップにより更に増えている。

【0004】

それゆえ、他のメモリセル概念を使用すべきという強い要請がある。しかしながら、提案されている最先端のメモリセルは、S R A M に比べてアクセス速度が著しく小さい。N O R、1 T 1 R、1 T 1 C がその一例である。

【0005】

S R A M の面積と電力消費を減少させる代替案が模索されている。可能な代替品は、スピントランジスタ型磁気ランダムアクセスメモリ (S T T - M R A M) である。しかしながら、S T T - M R A M には、異なる解決すべき問題 (例えば、加工の問題) がまだある。S T T - M R A M は S R A M に代替可能な候補ではあるが、代替には長期間を要する。

30

【0006】

したがって、セル毎の面積が S R A M より小さい S R A M の代替品の余地はまだある。

【発明の概要】

【0007】

本発明の具体例の目的は、6 T - S R A M に比べて面積が小さく、かつ、N O R、1 T 1 R、1 T 1 C メモリセルよりアクセス速度の速いメモリセルを準備することである。

【0008】

40

上記の目的は、本発明の具体例に記載のデバイスと方法により達成される。

【0009】

第一の態様では、本発明は、第一のトランジスタ、第二のトランジスタおよび差動センスアンプ回路を含むメモリセルを準備する。第一のトランジスタは、第一および第二の主電極を有する V_t 可変 n チャネルトランジスタであり、第二のトランジスタは、第一および第二の主電極を有する V_t 可変 p チャネルトランジスタであって、第一および第二のトランジスタの第一の主電極は共に接続されていて、差動センスアンプ回路は第一および第二のトランジスタの第二の主電極に接続されている。差動センスアンプは、第一のトランジスタと第二のトランジスタとの間の電流差を感知するように構成されている。

【0010】

50

本発明の具体例に記載のメモリセルは、行および列によって論理的に組織されたメモリセルを含むメモリアレイの中で使用されてもよい。同じ列にあるメモリセルは、単一のセンスアンプ回路を共有することができる。

【0011】

本発明の具体例の長所は、速度においてSRAMに匹敵するものが、通常6個のトランジスタを使用するSRAMより少ないトランジスタにより得られることである。本発明の具体例の長所は、しきい値電圧 V_t を変えることによってビットを記憶させて、直接的にチャネルの電流を低くすることである。

【0012】

本発明の具体例の長所は、シングルエンド構造のメモリセルに比べて高速度が得られることである。この速度増加は、相補信号が得られるようにnチャネルとpチャネルのトランジスタを並行に使用すること、および、差動センスアンプを使用することにより電流差を感知することによる結果である。

【0013】

本発明の具体例の長所は、2個のトランジスタのみで相補信号を得るのに十分であることである。相補信号の長所は、以下の通りである。

【0014】

0基準電流 I_{ref} は、読み込みウィンドウを開く。シングルエンドセルには、電流が流れているか流れていないかのどちらかである。シングルエンドセルを作動させるためには、電流は、0から既定の電流レベルまで増加する必要がある。相補セルへ、電流は、pチャネルトランジスタ（第二のトランジスタ）またはnチャネルトランジスタ（第一のトランジスタ）から流れる。したがって、本発明の具体例の長所は、基準レベルが0とオンにされた場合のトランジスタが作動する電流レベルとの間にあるシングルエンドセルと比較して、基準電流レベル0が使用できることである。

【0015】

シングルエンドトランジスタの読み込みウィンドウを増加させるためには、通常、トランジスタの幅を増加させる。しかしながら、この方法にはいくつかの欠点がある。例えば、シングルエンドトランジスタの幅を2倍にした場合、作動電流は、本発明の具体例による相補セルへの $+/-I_{read}$ と比較して、2倍の I_{read} に変化する。しかしながら、シングルエンドトランジスタの幅を2倍にした場合、センスアンプに見られるように、キャパシタンスも増加する。シングルエンドトランジスタの幅を増加させることによって電流は増加するが、充電される必要があるキャパシタンスのサイズも増加し、したがって、メモリセルの動作が遅くなる。本発明の具体例では、メモリセルは、1つの分岐（nチャネルまたはpチャネル）に電流を必要とするのみである。したがって、差動センスアンプはONトランジスタのキャパシタンスのみを見る。

【0016】

（本発明の具体例の場合のような）対称セルは、同相信号除去（common mode rejection）の結果をもたらすビット線のねじり（twisting）を可能にする。このビット線のねじりは、シングルエンドトランジスタでは、非対称であるから（1つのビット線しか持たない）、不可能である。

【0017】

本発明の具体例の長所は、低コストで実施可能なことである。2 V_{cc} が書込みのために十分である場合、ブートストラップがこの2 V_{cc} を作り出すのに十分である。CMOSチップのI/Oトランジスタも書込みと消去のために使用され得るため、この「高い」電圧のために更に追加される製造コストはない。

【0018】

本発明の具体例の長所は、既存の製造過程が再使用できることである。したがって、本発明に従って製造されるメモリセルは安価である。

【0019】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタは、直接トンネル

10

20

30

40

50

デバイス (direct tunnelling devices) である。

【0020】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタは、フローティングゲート型トランジスタである。

【0021】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタのゲートスタックは、第一の酸化層、第二の金属および / またはドーパされた多結晶層、 HfO_2 層、および金属ゲートを含む。

【0022】

本発明の具体例の長所は、スタックが、CMOSと互換性があることである。

10

【0023】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタは、電荷トラップデバイスである。

【0024】

本発明の具体例の長所は、フローティングゲート型トランジスタの代わりに電荷トラップトランジスタを使用することにより、必要なゲート電圧を減少させることができることである。

【0025】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタのゲートスタックは、第一の酸化層、第二の窒化膜、 HfO_2 層、および金属ゲートを含む。

20

【0026】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタは、強誘電体電界効果トランジスタである。

【0027】

本発明の具体例の長所は、保持と低い書き込電圧との間のトレードオフが回避されることである。脱分極電場 (the depolarization field) を取り除くために測定は必要ない。

【0028】

本発明の具体例では、第一のトランジスタおよび第二のトランジスタのゲートスタックは、ドーパされた HfO_2 で作製された第一の強誘電体層、選択的に第二の HfO_2 層、および金属ゲートを含む。

30

【0029】

本発明の具体例の長所は、強誘電状態は HfO_2 から成ることである。このことにより、ドーパされている事実を除けば、CMOSに関しては、同じゲート誘電材料を使用することが許される。

【0030】

本発明の具体例では、トランジスタは制御電極を有し、第一のトランジスタの制御電極は第二のトランジスタの制御電極に接続される。

【0031】

本発明の長所は、1つのメモリセルのトランジスタに係る制御電極が、1つのワード線によって作動可能なことである。例えば、セルに書き込むために、正電圧が第一のトランジスタの制御電極および第二のトランジスタの制御電極に加えられた場合、両方のトランジスタのしきい値電圧が増加する。強誘電体電界効果トランジスタの場合、しきい値電圧 V_t の増加は、nチャネルトランジスタのスイッチをオンにする原因となり、また、pチャネルトランジスタのスイッチをオフにする原因となる。電荷トラップデバイスおよびフローティングゲート型トランジスタの場合、しきい値電圧 V_t の増加は、nチャネルトランジスタのスイッチをオフにする原因となり、また、pチャネルトランジスタのスイッチをオンにする原因となる。電荷トラップデバイスおよびフローティングゲート型トランジスタの場合、しきい値電圧 V_t の増加は、nチャネルトランジスタのスイッチをオフにする原因となり、また、pチャネルトランジスタのスイッチをオンにする原因となる。このように、本発明の具体例では、同時に両方を動作するために1つのワード線だけが必要で

40

50

あって、４個の端子のみを持つ２個のセルから成る非常に小さな構造が可能となる。

【００３２】

本発明の具体例では、メモリセルは、第三のトランジスタの主電極が第一および第二のトランジスタの第一の主電極に接続される第三のトランジスタを含む。

【００３３】

本発明の具体例の長所は、セルは読み前に選択されることである。したがって、読みディスタート問題（read disturb problems）は回避される。

【００３４】

第二の態様では、本発明は、キャッシュメモリとして使用される、本発明の第一の態様の具体例に記載のメモリセルを含むメモリアレイを提供する。

【００３５】

本発明の具体例の長所は、最先端の６ＴのＳＲＡＭセルを使用したキャッシュメモリに比べて、キャッシュメモリの面積を小さくできることである。

【００３６】

第三の態様では、本発明は、第一のトランジスタの制御電極と第二のトランジスタの制御電極とに同じ消去電圧を加えることによってメモリセルを消去する第一の工程と、第一のトランジスタの制御電極と第二のトランジスタの制御電極とに同じ書込電圧を加えることによってメモリセルに書き込む第二の工程とを含む、本発明の第一の態様の具体例に記載のメモリセルに書き込む方法を提供する。

【００３７】

本発明の具体例の長所は、消去時および書込時において、第一のトランジスタおよび第二のトランジスタの制御電極を同時に作動させることができることにある。

【００３８】

本発明の具体例では、書込電圧は供給電圧の２倍以下である。

【００３９】

本発明の具体例では、電圧と保持の間のトレードオフを克服するために、リフレッシュ方法が実装されている。

【００４０】

本発明の特有かつ推奨される態様は、添付の独立および従属する請求項に記載されている。従属する請求項の特徴は、適切に、また、単に明確に請求項に記載されているもののみならず、独立する請求項の特徴および他の従属する請求項の特徴と組み合わせることができる。

【００４１】

本発明のこれらおよびその他の態様は、以下に記載の態様を参照すれば明らかであり、解明される。

【図面の簡単な説明】

【００４２】

【図１】本発明の具体例による２Ｔメモリセルの回路図を示す。

【図２】本発明の具体例で使用され得る電荷トラップトランジスタのまたはフローティングゲート型トランジスタのゲートスタックを示す。

【図３】本発明の具体例で使用され得る強誘電体トランジスタのゲートスタックを示す。

【図４】本発明の具体例で使用され得る電荷トラップトランジスタのゲートスタックを示す。

【図５】本発明の具体例に記載のメモリセルの基本的な配置を示す。

【図６】格子状に配置された、本発明の具体例に記載の２個のメモリセルを示す。

【図７】本発明の具体例に記載の３Ｔメモリセルの回路図を示す。

【図８】本発明の具体例に記載の、別々に制御可能なゲートを含む２Ｔメモリセルの回路図を示す。

【図９】本発明の具体例に記載の、図１に示す２Ｔメモリを作動するための動作表を示す。

。

10

20

30

40

50

【図 10】本発明の具体例に記載の、図 7 に示す 3 T メモリを作動するための動作表を示す。

【図 11】本発明の具体例に記載の、図 8 に示す 2 T メモリを作動するための動作表を示す。

【図 12】本発明の具体例で使用され得る直接トンネルトランジスタの誘電体の厚さの関数としてのプログラムゲートパルス電圧を示す。

【0043】

これらの図は単なる概略であり、限定的なものではない。図面においては、図示の目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。

請求項中のどの参照符号も、請求の範囲を制限するものとして解釈されるべきではない。異なる図において、同じ参照符号が同一または類似の要素を指すことがある。

【発明を実施するための形態】

【0044】

本発明は、特定の具体例についておよび限定された図面を参照して説明されるが、本発明はこれに限定されるものではなく、請求の範囲によってのみ限定されるものである。記載された図面は単なる概略であり、限定的なものではない。図面においては、図示の目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。寸法および相対寸法は、本発明の実施の実際の縮図には対応していない。

【0045】

説明や請求項中の、第一、第二等の用語は、類似の要素を区別するために使用されるものであって、必ずしも時間的、空間的、順位付けまたは他の何らかの方法による順序を説明するために使用されるものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された本発明の具体例は、ここに記載されまたは図示されたものと異なる順序であっても操作できるものと理解されなければならない。

【0046】

更に、説明や請求項中の、上、下等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された本発明の具体例は、ここに記載されまたは図示されたものと異なる位置にあっても操作できるものと理解されなければならない。

【0047】

請求項で使用する「含む (comprising)」の用語は、それ以降に示される手段に限定されるものと解釈すべきではなく、他の要素や工程を排除するものではない。このように、この用語は、言及された特徴、整数 (integers)、工程、または述べられた構成要素の存在を明記されたように解釈され、1 またはそれ以上の他の特徴、整数、工程または構成要素、またはそれらの組の存在や追加を排除するものではない。このように、「手段 A および B を含む装置」の表現の範囲は、構成要素 A と B のみを含む装置に限定されるべきではない。本発明では、単に装置に関連した構成要素が A と B であることを意味する。

【0048】

この明細書を通じて参照される「一の具体例 (one embodiment)」または「ある具体例 (an embodiment)」は、この具体例に関係して記載された特定の長所、構造、または特徴が本発明の少なくとも 1 つの具体例に含まれていることを意味する。このように、この明細書の多くの場所にある「一の具体例で (in one embodiment)」または「ある具体例で (in an embodiment)」の語句の表現は、必ずしも同じ具体例を表すものではないが、表しても構わないものである。更に、特定の長所、構造、または特徴は、この記載から当業者に明らかなように、1 またはそれ以上の具体例中において適当な方法で組み合わせることができる。

【0049】

同様に、本発明の多くの長所は、本発明の例示の記載中において、能率的に開示し、多くの発明の形態の 1 またはそれ以上の理解を助ける目的で、時には 1 つの具体例、図面、またはその記載中にまとめられていると評価されるべきである。しかしながら、この開示

10

20

30

40

50

の方法は、請求される発明がそれぞれの請求項に記載されたものより多くの特徴を必要とすることを意図して表されていると解釈されるべきではない。むしろ、以下の請求項が表すように、発明の態様は、1つの記載された具体例のすべての長所より少なくなる。このように、詳細な説明に続く請求の範囲は、これにより詳細な説明中に明確に含まれ、それぞれの請求項は、この発明の別々の具体例としてそれ自身で成立する。

【0050】

更に、ここで記載されたいくつかの具体例は、他の具体例に含まれる特徴以外のいくつかの特徴を含み、異なった具体例の長所の組合せは、本発明の範囲に入ることを意味し、当業者に理解されるように異なった具体例を形成する。例えば、以下の請求の範囲では、請求された具体例のいくつかは、他の組合せにおいても使用することができる。

10

【0051】

ここで与えられる記載において、多くの特別な詳細が示される。しかしながら、本発明の具体例は、それらの特別な詳細無しに実施できるものと理解される。他の例では、公知の方法、構造、および技術は、この記載の理解を不明瞭にしないために、詳細には示されない。

【0052】

本発明の具体例では、 V_t 可変のトランジスタ、しきい値電圧が電氣的に変更可能なトランジスタについて説明する。

【0053】

第一の態様では、本発明の具体例は、図1に示されているようなメモリセル100に関するものである。すなわち、本発明の具体例では、メモリセルの回路概念が想定されている。本発明の具体例に記載のメモリセル100は、第一のトランジスタ110、第二のトランジスタ120、および差動センスアンプ130を含む。第一のトランジスタは V_t 可変なnチャンネルトランジスタであり、第二のトランジスタは V_t 可変なpチャンネルトランジスタである。これらのトランジスタは、ソースやドレインのような第一の主電極および第二の主電極、並びに第一の主電極と第二の主電極との間の電化の流れを制御するためのゲートのような制御電極を含む、三端子のデバイスである。

20

【0054】

差動センスアンプ130は、第一のトランジスタ110と第二のトランジスタ120との間の電流差を感知するように構成されている。

30

【0055】

第一のトランジスタ110の第一の主電極は、第二のトランジスタ120の第一の主電極に接続され、かつ、その両方がビット線BLに接続される。差動センスアンプ130は、第一のトランジスタ110の第二の主電極、および第二のトランジスタ120の第二の主電極に接続される。第一および第二のトランジスタ110、120の制御電極は、ワード線WLに接続される。

【0056】

2個の相補的な V_t 可変のトランジスタ110、120（nチャンネルとpチャンネル）を採用してそれらを並列に設置し、両トランジスタの間の電流差を感知することにより、差動メモリセルが得られる。言い換えれば、本発明の具体例に記載の回路構造にこれらを設置することにより、シングルエンドセルが相補的に作られるということである。

40

【0057】

本発明の具体例では、 V_t 可変のトランジスタが使用される。これらは、しきい値電圧 V_t を変えることによって調整されるトランジスタである。その例は、薄い酸化フローティングゲート（FG）セルや、電荷トラッピング（CT）セルのような直接トンネルデバイスである。 V_t 可変のトランジスタは、強誘電体FET（FE）であってもよい。直接トンネルデバイスのためのプログラミングは、ゲートとも呼ばれる制御電極とチャンネルとの間の電荷を持ってくることによってされる。

【0058】

フローティングゲート型セルのゲートスタックは、トンネルアイソレータ（a tunneli

50

ng isolator)、制御誘電体および制御ゲートを含むゲートスタックを含む。フローティングゲートは、例えば、金属ゲートまたはドーパされた多結晶シリコンゲートであってもよい。

【0059】

電荷トラップデバイスは、フローティングゲートの代わりに、例えば、窒化層のような電荷トラップ層を有する。

【0060】

本発明の具体例では、 V_t 可変のトランジスタは、強誘電体電界効果トランジスタである。ゲートとチャネルとの間の電荷の代わりに、強誘電体 (ferroelectricum) が使用される。強誘電体 (ferroelectricum) は、いかなる電荷も保持しないが、分極する (polarise) ことができる。ゲートとチャネルとの間の分極電荷は、しきい値電圧 V_t の変化をも生じさせる。

【0061】

本発明は技術独立である。本発明の具体例に記載のメモリセルは、例えばプレーナ技術、finFET技術、SOI (Silicon On Insulator) のような、異なる種類の技術に組み込むことができる。

【0062】

図2は、本発明の具体例に記載のメモリセル100の中で使用されるトランジスタ110、120 (直接トンネルデバイス) のゲートスタックを示す。この例においては、ゲートスタックは、例えばトンネル酸化層のようなトンネル誘電体層210である第一の層 (チャネルに最も近い層) を含む。この層の厚さは、書き込みのためのゲート電圧を減少させるために2nm以下であることが好ましい。トンネル誘電体層の厚さは例えば1nmと1.5nmとの間であってもよい。

【0063】

トンネル誘電体層210の上には、フローティングゲートや電荷チャージ層となり得る非常に薄い第二の層220がある。本発明の具体例では、例えば電荷トラップ層の場合、第二の層220の厚さは1nmと10nmとの間であるが、好適には3nmと5nmとの間である。フローティングゲートデバイスに関しては、厚さの値は非常に異なり得る。第二の層220は、フローティングゲートを形成するつもりであれば、例えば金属やドーパされた多結晶シリコンゲートのような、適した導電性の材料で作製され得る。混成のフローティングゲート (多結晶と組み合わせられた金属) であってもよい。第二の層220は、電荷トラップ層を形成するつもりであれば、例えば窒化層であってもよい。この例においては、第二の層220は、2nmの厚さで、 Si_3N_4 が金属で作製される。第二の層220の上には、 HfO_2 はCMOSと相性がよいから、例えば最良の誘電体としての HfO_2 層のような制御誘電体250が準備される。 HfO_2 の代わりに、その他の十分な質の絶縁体を使用されてもよい。そのような絶縁体は、好適には、例えば10~100程度の高いk値 (k value) を有する。制御誘電体250の上には、例えば金属ゲートや多結晶ゲートのような、伝導ゲート260が準備される。

【0064】

トンネル誘電体層210の厚さが制限されているため、保持期間は短い。直接トンネルトランジスタのための誘電体の厚さ (nm単位の) の関数としてのプログラムゲートパルス電圧は図12に示されている。プログラミングパルスは、10nsの持続時間を有する。グラフ中の上段の曲線1210は、トンネル酸化物が HfSiON (Hf が23%) で作製されるトンネルデバイスに対応する。トンネル誘電体の厚さ1.3nmに対して100sのリフレッシュ期間が必要である一方で、トンネル誘電体層の厚さが1.2nmである場合は、64msのリフレッシュ期間が必要である。したがって、本発明に記載のメモリセルに直接トンネルトランジスタを使用する場合は、定期的なリフレッシュ (regular refresh) が必要である。ここでのトレードオフは、厚さが増加することによってプログラミング電圧も増加することである。グラフ中の中段の曲線1220は、トンネル誘電体層が SiO_2 で作製されるトンネルデバイスに対応する。グラフ中の下段の曲線1230

10

20

30

40

50

は、トンネル酸化物が SiON で作製されるトンネルデバイスに対応する。この材料では、 1.4 nm の厚さにおいて 64 ms のリフレッシュ期間が必要である一方で、 1.3 nm の厚さにおいては $200 \mu\text{s}$ のリフレッシュ期間が必要である。

【0065】

他方で、 FeFET を基礎とする不揮発性メモリの書込電圧は、直接トンネルトランジスタを基礎とするメモリ書込みのための書込電圧ほど高くない。

【0066】

図3は、本発明の具体例に記載のメモリセル100の中で使われ得るトランジスタ110、120 (FeFET 版) のゲートスタックを示す。このスタックは、強誘電体である第一の層310を含む。強誘電体は、例えばドーパされた HfO_2 であってもよい。そのドーパントは、例えばアルミニウムやイットリウムやストロンチウムであってもよい。本発明の具体例では、強誘電体は、ダミーゲートと接合が注入された (implants) 後に活性化された、 Al がドーパされた HfO_2 層である。本発明の具体例では、第一の層の厚さは、 3 nm と 10 nm との間であるが、好適には 3 nm と 5 nm との間、好適には約 5 nm である。第一の層310の上には、制御誘電体250が準備され得る。直接トンネルセルとは対照的に、制御誘電体は FeFETs のために不可欠なものではない。しかしながら、制御誘電体250の存在は、例えば上部の誘電体が CMOS ゲートである場合、互換性を増加させ得る。 HfO_2 層250は、 CMOS との互換性のため、とりわけ適切である。 HfO_2 層250の上には、例えば金属ゲートのような、ゲート260が準備される。不活性メモリの先行技術である FeFET では、脱分極電場 (the depolarisation field) を取り除く必要があるのに対し、 FeFET トランジスタの中における長期間のデータ保持は必要とされないので、本発明の具体例に記載のメモリの中の FeFET トランジスタについては、この限りでない。

【0067】

図4は、本発明の具体例に記載のメモリセル100の中で使用されうる代替的なトランジスタ110、120のゲートスタックを示す。このスタックは、トンネル誘電体層として使用される第一の誘電体層410 (例えば、約 2 nm 以下の厚さの SiO_2 層のような酸化層)、電荷トラップ層 (例えば、約 5 nm の厚さの Si_3N_4 層のような窒化層) である第二の層420、および誘電体層 (例えば、約 5 nm の厚さの SiO_2 のような酸化層) である第三の層430を含む。第三の層430の上には、薄いエッチング停止層440 (例えば Al_2O_3 のような) が存在する。その上には、高い k 値を有する材料 (high- k material) 250 (例えば HfO_2) および、例えば金属ゲートのようなゲート260がある。例えば HfO_2 のような高い k 値を有する材料250および、例えば金属ゲートのようなゲート260は、 CMOS プロセスに共に使用され得る。本発明の具体例の長所は、これが追加マスクなしでまたは多くとも1つの追加マスクにより適用できることである。後者は、ゲートエッチングを別々に行わなければならないのであれば生じる。追加のマスクは、選択されたフラッシュコンセプトを理由としてではなく、例えば、高電圧トランジスタのために必要である。代替のゲートプロセスフローが使用されてもよい。

【0068】

本発明の具体例に記載のメモリセル100の一部であるトランジスタに書き込むために必要なゲート電圧は、 2 V と 4 V との間、例えば 3 V である。トンネル誘電体層210、310、410の厚さが薄くなればなるほど、メモリセル100をプログラミングするために必要なゲート電圧も小さくなる。必要なゲート電圧は、例えば (電荷トラッピングトランジスタの中の) 窒化層のような電荷トラッピング層220、420を使用することによって、または、性能 (消去と書込みに必要な電圧) と保持の間のトレードオフに対処する必要のない FeFET 技術を使用することによって、減少し得る。

【0069】

図5は、本発明の具体例に記載のメモリセル100の基本的な配置図 (上面図) を示す。すべての層が図示されているわけではないように、この配置は非常に基本的なものである。例えば、ウェルは、必要であるが図示されていない。ソース線 SLA および SLB は

図示され、ビット線 B L は図示され、ワード線 W L は図示され、そしてアクティブ領域 5 1 0 は図示されている。この配置図の目的は、本発明の具体例に記載のセル 1 0 0 の大きさの目安をつけることにある。実際には、ウェルおよび要求される面積ルールのため、セルサイズはわずかに大きいこともあり得る。この例では、セルの面積は、F が加工寸法 (the feature size) を示すものとする、 $6 F \times 5 F$ である。この計算には、以下の式が使用された。すなわち、

$$(3 M L 1 \text{ 層} = 6 F) \times (1 C N T + 1 \text{ ゲート} + 2 C N T \text{ 間隔} + 1 A A \text{ 間隔} = 5 F) = 30 F^2$$

これは、一次計算 (a first order calculation) である。ここで、M L 1 層は金属層 # 1 であり、C N T はコンタクト面を表し、そして A A はアクティブ領域である。

10

【0070】

本発明の具体例に記載のメモリセル 1 0 0 に書き込むため、第一のトランジスタ 1 1 0 および第二のトランジスタ 1 2 0 のゲートに同じ正電圧が加えられてもよい。以下の段落は、直接トンネルトランジスタにも当てはまるが、本発明はこれに限定されない。正電圧が n チャネルのゲートに加えられた場合、n チャネルは反転状態になり、正電圧が p チャネルのゲートに加えられた場合、p チャネルは蓄積状態になる。正電圧を両方のゲートに加えた場合、n チャネルトランジスタも p チャネルトランジスタも電圧が増加してしきい値電圧 V_t となる。n チャネルトランジスタのしきい値電圧 V_t が増加することにより、n チャネルのスイッチはオフになり、p チャネルトランジスタのしきい値電圧 V_t が増加することにより、p チャネルのスイッチはオンになる。更に、本発明の具体例の長所は、書き込みが自己制限される (すなわち、n M O S のフローティングゲートの電圧がしきい値電圧 V_t で止まり、p M O S のフローティングゲートの電圧がフラットバンド電圧 V_{fb} で止まる) ことである。

20

【0071】

第一および第二のトランジスタ 1 1 0、1 2 0 のゲートは、1 つの、かつ同じワード線によって一緒に作動することができ、あるいは別々に作動することができる。ゲートが同じワード線に接続されている複数のセルを作動する場合、「1」になる必要があるセルは、他のビット線を抑止しながらワード線に高電圧を加えることによって書き込むことができる。両方のゲートを同時に作動する 1 つのワード線の使用法は、4 個の端子のみを持つ 2 個のセルから成る非常に小さな構造を生み出す。

30

【0072】

書き込む前に、最初に、すべての本発明の具体例に記載のメモリセルは消去される必要がある。したがって、本発明の具体例では、1 つは消去のための、もう 1 つは書き込みのための、2 サイクルが必要である。

【0073】

消去は、第一のトランジスタ 1 1 0 のゲートおよび第二のトランジスタ 1 2 0 のゲートに同じ負のゲート電圧を加えることにより行うことができる。消去のために、n チャネルの蓄積の消去と、p チャネルの反転の消去とを組み合わせることができる。更に、本発明の具体例の長所は、消去が自己制限される (すなわち、n M O S のフローティングゲートの電圧がフラットバンド電圧 V_{fb} で止まり、p M O S の電圧がしきい値電圧 V_t で止まる) ことである。

40

【0074】

代わりに、ウェルに正バイアスを加えることを消去するために用いてもよい。この方法は、負電圧を必要としないという長所を有する。しかしながら、充電されるための大きなコンデンサが必要である。

【0075】

強誘電体トランジスタの場合、以下のルールが適用される。すなわち、F e F E T は、負バイアスを加えると高いしきい値電圧 V_t になり、正バイアスを加えると低いしきい値電圧 V_t になる。したがって、トンネルセルと比べると、プログラム / 消去の定義は逆となる。自然なウィンドウ (通常のウィンドウは、自己制限されたプログラム / 消去作業の

50

ため、与えられた構造に係する)は、3つの場合(フローティングゲート、電荷トラップデバイス、F e F E T)を区別するために計算されるべきである。通常、フローティングゲート型トランジスタおよび電荷トラップデバイスにおいては、保持は、低電圧および優れた耐久性と交換で得られる。

【0076】

本発明の具体例に記載のメモリセルに書き込む場合、トンネル効果を得るためにまたは強誘電分極を得るために(使用されるトランジスタの類型による)、ゲート電圧は十分に高くなければならない。直接トンネルトランジスタの通常書き込みゲート電圧は、供給電圧の2倍以上である。低電圧では、このことは小さなウィンドウにつながる。一般的に、保持は、より小さな V_t ウィンドウの方が優れている。しかしながら、あまりに小さな電圧では、 V_t ウィンドウが小さすぎるので、差動センスアンプによって検出される信号は小さくなりすぎる。 V_t ウィンドウまたはメモリウィンドウは、高い V_t と低い V_t との間の差であって、センスアンプへの実際の信号は、この V_t の変化により生み出される電流差である。オプションとして、トンネル誘電体の厚さを減らすことが考えられる。しかしながら、 $2V_{cc}$ を下回る電圧では、トンネル誘電体を非常に薄く作ることが必要であるから、保持は非常に小さく、電荷は直ちに(例えば、1秒以下の後のように、数秒未満の後に)消える。

【0077】

書き込むための電圧は、 $2V_{cc}$ より高くてもよい。しかしながら、これは面積増加および消費電力の増加という犠牲を伴うものである。ブートストラップ回路を使用することにより、チップの供給電圧は増加する。これは供給電圧を増加させる容量性の回路である。この回路の欠点は、セルの領域を占領することである。供給電圧の2倍である書き込み電圧を制限することによって、このブートストラップ回路は、たった1つのコンデンサによって実現することができる。

【0078】

本発明の具体例に従えば、ゲートに供給される読込電圧は、0と書き込み電圧の間に位置する。最適な読込電圧は、構造に依存し、高いオン電流と、メモリセルを読み込んでいる間メモリセルに書き込むことを防ぐこととの間のトレードオフ関係にある。もし読込電圧が高すぎると、メモリセルは読み込んでいるときに書き込まれる。もし読込電圧が低すぎると、読込電流は、感知するには低すぎることになる。読込時、電圧はビット線に加えられる。この電圧は、ディスタープ問題を引き起こさないように選択される。例えば、 V_{cc} がビット線に加えられてもよい。ゲートにおける通常読込電圧は、供給電圧それ自体が、供給電圧の半分である。

【0079】

本発明に記載のメモリセルが一定の期間内にアドレス指定されなかった場合は、再書き込みされる必要がある(例えば、DRAMのように)。本発明の具体例に記載のメモリセルのリフレッシュのために、最先端のリフレッシュ技術を使用することができる。

【0080】

本発明の具体例は、SRAMのように相補的に動作し、DRAMのようにリフレッシュされる必要がある。本発明の具体例に記載のセルの密度は、SRAMの密度とDRAMの密度の間にある。

【0081】

図9は、本発明の具体例に記載のメモリセル100を作動するための動作表を示す。図9の動作表は、例えば図1に示されたメモリセルを作動するのに適している。書き込む前に、消去手順が実行される。

【0082】

メモリセルを消去するためには、ビット線BL、ソース線A(SLA)およびソース線B(SLB)を0ボルトに保ちながら、ワード線WLに $-2V_{cc}$ が加えられる。

【0083】

メモリセル100に書き込むためには、SLAおよびSLBをオープンにしたまま、ワ

10

20

30

40

50

ード線WLを $2V_{cc}$ に設定する。セルの選択は、ビット線BLに0電圧を加えることによって行うことができる。セルの選択解除は、ビット線BLに V_{cc} と $2V_{cc}$ との間の電圧を加えることによって行うことができる。ビット線のこの電圧は、WLとBLの間の差、したがってゲート・ドレイン間電圧 V_{gd} をも減少させる。ソースがオープンであるから、この電圧 V_{gd} はチャンネルの全長を超えて、プログラミングを阻止する。 $2V_{cc}$ がワード線に加えられることが必要であるから、ブートストラップがワード線デコーダにおいて必要である。ブートストラップは、 V_{cc} から $2V_{cc}$ の電圧を生成することができるべきである。

【0084】

セル100を読み込むために、ワード線WLに $V_{cc}/2$ が加えられ、ビット線BLに V_{cc} が加えられる。電流差は、センスアンプ130を用いて計測される。

10

【0085】

読込時のしきい値電圧 V_t とゲート電圧との差は、放出可能な電流を決める。しきい値ウィンドウは、高い V_t と低い V_t との間の差である。

【0086】

同じ動作表を、強誘電体FETに基づく2Tメモリセルを消去し/プログラミングし/読み込むのと同様に、フローティングゲート/電荷トラッピングトランジスタに基づく2Tメモリセルを消去し/プログラミングし/読み込むために使用することができる。

【0087】

図6は、格子状に整列された本発明の具体例に記載の2個のメモリセル100、600を示す。格子状のメモリセルは、行および列によって論理的に組織されている。この説明を通じて、「水平な(horizontal)」、および「垂直な(vertical)」の用語(それぞれ「行(row)」および「列(column)」に関連する)は、座標系を準備するためおよび説明しやすくするためだけに使用される。これらの用語は、装置の実際の物理的な方向を示す必要はないが、示してもよい。更に、「行(row)」および「列(column)」の用語は、互いに連結される配列の要素(メモリセルで形成される)の一组を記述するために使用される。この連結は、行と列から成るデカルト配列によって形成され得るが、本発明はそれに限定されない。当業者に理解されるように、行と列は容易に入替ることができ、この開示では、これらの用語は交換可能であることが意図されている。非デカルト配列が構成されてもよいし、本発明の範囲に含まれる。したがって、「行(row)」および「列(column)」の用語は、広義に解釈されるべきである。この広義の解釈を促すため、本発明では、メモリセルが「行および列によって論理的に組織されている」という。これによって、メモリセルの組は、位相線形に交差させる方法で(in a topologically linear intersecting manner)互いに連結されることになる。しかしながら、物理的なまたは地理的な配置はそうである必要はない。例えば、行は円であって、列はこれらの円の半径であり、その円と半径は本発明において行および列によって「論理的に組織されている」ものとして説明されるものであってもよい。ワード線やビット線のような様々な線の固有の名前は、説明を容易にするため、および特定の機能を表すために使用される一般的な名前を意図するものであって、この言葉の固有の選択は、決して本発明に限定することを意味してはいない。すべてのこれらの用語は、説明された特定の構造の理解を容易にするためのみに使用され、本発明を限定するものではないことが理解されるべきである。

20

30

40

【0088】

図6に示されている配列は、説明しやすくするために、2個のメモリセル100、600のみを含むものであるが、実際には、メモリアレイはより多くのメモリセルを含む。図6に示されているメモリアレイは、1つが他の上に垂直に配置されている2個のメモリセルを含む。したがって、メモリセルは2つの行と1つの列を有する。第一のメモリセル100は、nチャンネルトランジスタ110およびpチャンネルトランジスタ120を含む。第二のメモリセル600は、nチャンネルトランジスタ610およびpチャンネルトランジスタ620を含む。

【0089】

50

両方のセル 1 0 0、6 0 0 のソース線 A は、互いに点 S L A で接続され、両方のセル 1 0 0、6 0 0 のソース線 B は、互いに点 S L B で接続される。ビット線は、メモリアレイの列方向に沿って垂直に伸びていて、両方のメモリセルの第一の主電極および両方のセルの p チャネルトランジスタ 1 2 0、6 2 0 のバルクに接続される。ワード線は、メモリアレイの行方向に沿って平行に伸びていて、行方向上のメモリセルのゲートに接続される（ワード線は、ビット線には接続されない）。

【0090】

読み込みまたは書き込みのために特定のセルを選択する場合、電圧は、その特定のセルの位置の交差点にあるレイのワード線とビット線の両方に加えられる。1つのビット線に電圧が加えられると、その電圧はこのビット線に接続されているすべてのセルに加えられることになり、1つのワード線に電圧が加えられると、その電圧はこのワード線に接続されているすべてのセルに加えられることになる。

10

【0091】

ディスタート問題は、例えば第一のメモリセル 1 0 0 のようなメモリセルを読み込む場合に起こる。この場合、読み込まれるメモリセルが配置されている行に対応するワード線、例えば第一のメモリセル 1 0 0 に対応するワード線に電圧 $V_{cc}/2$ が加えられ、他の行のワード線、例えば図 6 に示された具体例において第二のメモリセル 6 0 0 に対応するワード線は 0 ボルトに設定される。読み込まれるメモリセルが配置されている列に対応するビット線、例えば第一のメモリセル 1 0 0 に対応するビット線に電圧 V_{cc} が加えられ、他の列のビット線（図 6 に示された具体例にはない）は 0 ボルトに設定される。ディスタート問題は、第二のメモリセル 6 0 0 のトランジスタ 6 2 0 で発生する。このトランジスタの V_{gs} 電圧は $-V_{cc}$ であって、同じビット線上の（書き込まれる）p チャネルトランジスタは、読み込時に、アドレス指定されたセルよりも多くの電流を引き込む。セル 1 0 0 が読み込まれ、セル 6 0 0 のワード線が 0 ボルトになれば、p チャネルトランジスタ 6 2 0 はオンになる。したがって、電流はこのトランジスタ 6 2 0 へ流れる。この電流は、読み込まれているセルのソース線と同じソース線上を流れる。ソース線上のこの信号を受け取るセンスアンプは、電流がどちらのセルから流れて来ているのか区別することができないので、読み取りエラーの結果が起こり得る。

20

【0092】

本発明の具体例では、この問題は、n チャネルトランジスタに個々のワード線を、p チャネルトランジスタに個々のワード線を準備することによって解決される。そのようなセルの例は、図 8 に示されている。この解決法は、n および p トランジスタが異なる電圧（NMOS に $-V_{cc}$ 、p MOS に $+V_{cc}$ ）で同じ BL 上にあるという事態を抑制することを可能にする。図 11 は、本発明の具体例に記載の、n チャネルトランジスタに個々のワード線を、p チャネルトランジスタに個々のワード線を持つ 2T メモリを作動するための動作表を示す。

30

【0093】

本発明の具体例では、読み込みディスタート問題は、第一のセル 1 0 0 を読み込んでいる間に第二のセル 6 0 0 のワード線に負電圧を加えることによって解決することができる。その長所は、第三のトランジスタや、n チャネルおよび p チャネルのための個々のワード線が必要ないことである。しかしながら、欠点は、周辺長を増加させる負電圧が必要なことである。アドレス指定されていないすべてのワード線が負電圧に設定されなければならない、オーバーヘッドが増加する。とはいえ、負の消去電圧はデコードにすでに存在するので、この電圧を読み込みにも用いることができる。

40

【0094】

読み込みディスタート問題および例えば図 8 に示すようなデュアルセル構造が過剰除去に反応しないものではないという問題を解決するために、本発明の具体例では、図 7 のように、選択トランジスタ 7 1 0 をビット線とメモリセルの間に追加してもよい。したがって、3T メモリセルとなる。選択トランジスタは n MOS トランジスタであってもよい。ワード線は、同じ行に論理的に配置されたセル中の選択トランジスタのゲートに接続される

50

。これらの具体例では、 n チャネルおよび p チャネルトランジスタ 1 1 0、1 2 0 のゲートを 0 V にすることによってセルを読み込むことができる（振れ幅 = $1 + V_{cc}$ ）。図 1 0 は、本発明の具体例に記載の 3 T メモリセル（図 7 のセル）を作動させるための動作表を示す。これらの具体例では、セルは、ワード線（WL）が接続された選択トランジスタのゲートを通してアドレス指定される。セルのプログラミングは、第一のトランジスタ 1 1 0 および第二のトランジスタ 1 2 0 のゲートに接続されたプログラミング線（PL）に電圧を加えることによって行うことができる。

【0095】

本発明の具体例では、読み込みディスタート問題は、ウィンドウを正に保つことによって解決でき、負の電圧は必要ない。同じ BL 上のセルの選択を解除するためには、これらのセルを通る電流を遮断する必要がある。ウィンドウが対称であれば、このことは、負のゲートバイアスを意味する。ウィンドウが正（低い V_t も高い V_t も 0 以上）であれば、セルは 0 ボルトで選択解除することができる。この場合、必要な周辺長は少なくなるが、書き込みのために必要なゲート電圧は高くなる。ウィンドウは、 -1 V と $+1\text{ V}$ との間である代わりに、例えば 0.5 V と 2.5 V との間でよい。

10

【0096】

本発明に記載のメモリセルは、キャッシュメモリとして使用されてもよい。好適には、本発明に記載のメモリセルは、L 1 およびより高いレベルにおいて使用されてもよい。レジスタレベルおよび L 0 レベルにおいては、セルの面積はそれほど危機的ではないが、プロセッサの速度はマッチしなければならない。これは、最先端の SRAM によって実行することができる。

20

【0097】

しかしながら、高いレベル（L 1 およびより高いレベル）においては、ビットレベルではそのような高速度は必要でない。より高いキャッシュレベルにおいては、バンド幅が重要である。したがって、これらの SRAM を、本発明の具体例に記載のメモリセルに置き換えてもよい。本発明の具体例の長所は、これらの SRAM セルを本発明の具体例に記載のメモリセルに置き換えることによって、（セル単位で、6 T から 3 T さらには 2 T になることによって）全体の面積を減らすことができることである。2 T の場合においては、ファクター 4 あるいはファクター 5 においても、面積削減につながる（ 150 F^2 に比べて 30 F^2 ）。

30

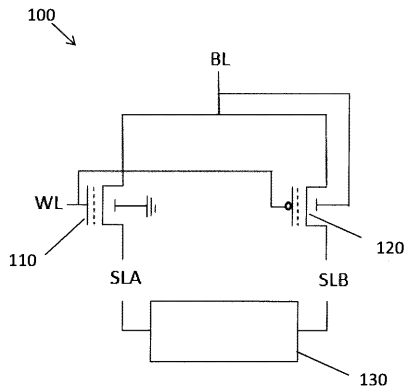
【0098】

本発明の具体例に記載のメモリセルは、（e - ）DRAM に置き換えることができる。

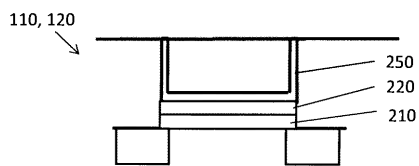
【0099】

本発明の具体例に記載のメモリセルは、FPGA セルとして使用することができる。

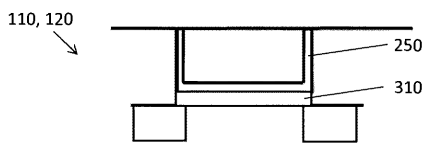
【図 1】



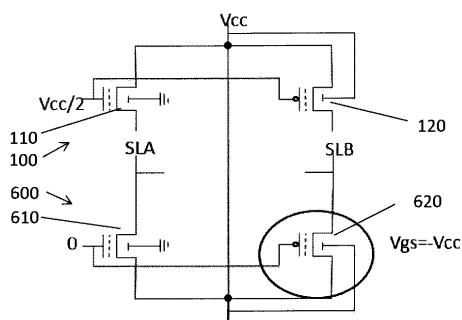
【図 2】



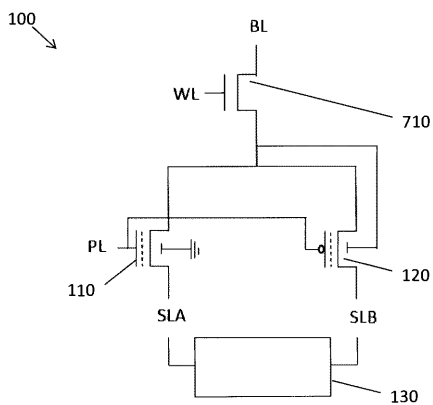
【図 3】



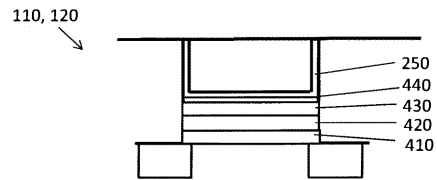
【図 6】



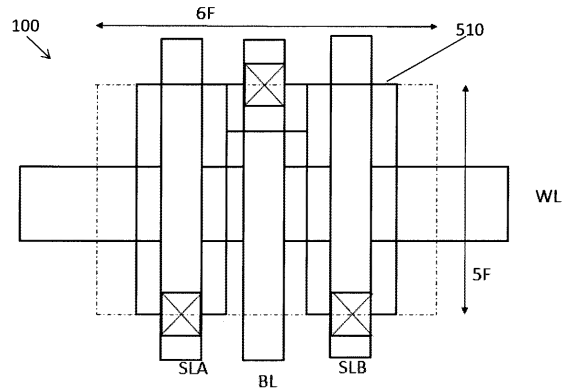
【図 7】



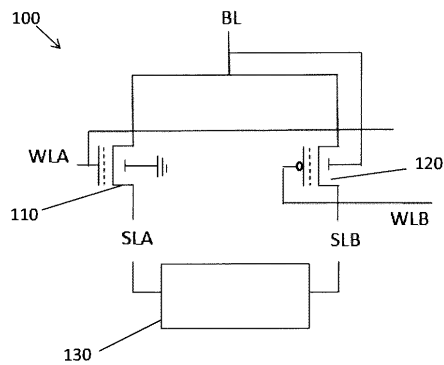
【図 4】



【図 5】



【図 8】



【図 9】

| 動作表 | WL | BL | SLA | SLB |
|-----------------|-------|--------------|------|------|
| ページ消去 | -2Vcc | 0 | 0 | 0 |
| 書き込み選択/ 選択解除 | 2Vcc | 0/ (2)Vcc | open | open |
| 読み込み | Vcc/2 | Vcc | SA | SA |

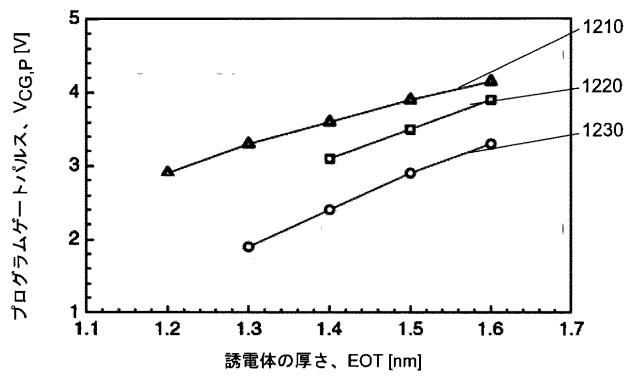
【図 10】

| 動作表 | WL | BL | PL | SLA/SLB |
|-----------------|-----|-----------|-------|---------|
| ページ消去 | Vcc | 0 | -2Vcc | 0 |
| 書き込み選択/ 選択解除 | Vcc | 0/ Vcc | 2Vcc | open |
| 読み込み | Vcc | Vcc | 0 | SA |

【図 1 1】

| 動作表 | WLA | WLB | BL | SLA/SLB |
|----------------|--|---------------------------------------|-----------------------|---------|
| ページ消去 | -2V _{cc} | -2V _{cc} | 0 | 0 |
| 書込み選択/ 選択解除 | 2V _{cc} | 2V _{cc} | 0/ V _{cc} | open |
| 読み込み/ 選択解除 | V _{cc} /2 -V _{cc} | V _{cc} /2 V _{cc} | V _{cc} | SA |

【図 1 2】



(51) Int.Cl.

テーマコード（参考）

G 1 1 C 17/00 6 1 3

G 1 1 C 17/00 6 2 1 A

G 1 1 C 17/00 6 2 1 Z

G 1 1 C 17/00 6 3 4 D

G 1 1 C 11/22 5 0 3

5F083 AD03 AD69 EP02 EP18 EP22 ER09 ER19 ER21 ER30 FR05

LA21 PR06

BA01 BA19 BA23 BA35 BA45 BA62 BB02 BB08 BB15 BC11

BD12

【 外国語明細書 】

PA 2015/194 JP1

1

A memory cell**Field of the invention**

The present invention relates to the field of memory cells. More specifically it relates to memory cells which could be used as a replacement for traditional SRAM cells.

5 Background of the invention

Static RAM (Static Random Access Memory) is ubiquitous in current integrated circuits as the work horse for on-chip cache memory. However, SRAM cell is large and not well scaling (cell size becomes increasingly larger in terms of F^2 and the static leakage is increasing). Especially at higher caching levels (L3 and L4), the area penalty is substantial.

10 State of the art SRAM cells typically comprise 6 transistors. This has its consequences for the size of an SRAM cell and for the power consumption of the SRAM cell. In case of 2D planar design the size of an SRAM cell with 6 transistors typically is larger than $150 F^2$, wherein F is the smallest linewidth. This size is moreover increasing with scaling.

Therefore, there is a strong urge to use other memory cell concepts. Suggested state
15 of the art memory cells, however, have an access speed which is much smaller than SRAM. Examples thereof are NOR, 1T1R, 1T1C.

Alternatives are searched to decrease the area and power consumption of the SRAM. A possible alternative is spin-transfer-torque magnetoresistive random access memory (STT-MRAM). There are, however, still different issues to be solved for STT-MRAM (e.g. processing
20 issues). STT-MRAM could be a possible replacement candidate for SRAM, but only on the long term.

There is therefore still room for alternatives for SRAM which have a smaller area per cell than SRAM.

Summary of the invention

25 It is an object of embodiments of the present invention to provide memory cells with a reduced area compared to 6T-SRAM and with a higher access speed than NOR, 1T1R, or 1T1C memory cells.

The above objective is accomplished by a device and method according to embodiments of the present invention.

30 In a first aspect the present invention provides a memory cell comprising a first transistor, a second transistor and a differential sense amplifier. The first transistor is a V_t -

PA 2015/194 JP1

2

modifiable n-channel transistor having a first and a second main electrode and the second transistor is a V_t -modifiable p-channel transistor having a first and a second main electrode, the first main electrodes of the first and second transistors being connected together, and the differential sense amplifier being connected to the second main electrodes of the first and the second transistor. The differential sense amplifier is adapted for sensing the current difference between the first transistor and the second transistor.

A memory cell according to embodiments of the present invention may be for use in a memory array, comprising an array of memory cells logically organised in rows and columns. The memory cells on a same column may share a single sense amplifier.

It is an advantage of embodiments of the present invention that a speed comparable to SRAM can be obtained with fewer transistors than in SRAM, where typically 6 transistors are used. It is an advantage of embodiments of the present invention that storing a bit by changing the threshold voltage V_t results in a direct change of the current in the channel below. This results in a compact way to store information.

It is an advantage of embodiments of the present invention that a higher speed can be obtained than in single ended memory cells. This speed increase is the result of using an n-channel and p-channel transistor in parallel, which results in complementary signals, and of sensing the current difference using a differential sense amplifier.

It is an advantage of embodiments of the present invention that the use of only two transistors is sufficient to obtain a complementary signal. Advantages of a complementary signal are:

- The zero reference current I_{ref} opens the read window. In a single ended cell either a current is flowing or no current is flowing. For the single ended cell to turn on, the current needs to increase from zero to a predetermined current level. For a complementary cell the current comes either from the p-channel transistor (the second transistor) or from the n-channel transistor (the first transistor). It is therefore an advantage of embodiments of the present invention that a reference current level 0 can be used compared to a single ended cell where the reference level is between zero and the current level of the transistor when it is turned on.

- To increase the read window of a single ended transistor one would typically increase the width of the transistor. However, this has some drawbacks. When for example doubling the width of a single ended transistor, the turn-on current changes to twice I_{read} compared to $\pm I_{read}$ for the complementary cell according to embodiments of the present invention.

PA 2015/194 JP1

3

However, when doubling the width of the single ended transistor also the capacitance, seen by the sense amplifier, increases. By increasing the width of the single ended transistor the current increases, but the size of the capacitance, which needs to be charged, also increases, thus slowing down the operation of the memory cell. In embodiments of the present invention the memory cell only requires current on one branch (the n-channel or the p-channel). Therefore the differential sense amplifier only sees the capacitance of the ON transistor.

5 - A symmetrical cell (as is the case in embodiments of the present invention) permits to do bit line twisting resulting in common mode rejection. This bit line twisting is not possible in a single ended transistor as it is asymmetrical (it only has one bit line).

It is an advantage of embodiments of the present invention that they can be implemented at a low cost. In case $2V_{cc}$ is sufficient for writing, a boot strap is sufficient for generating this $2V_{cc}$. Also the I/O transistors of the CMOS chip may be used for writing and erasing, hence no additional processing cost is attached to this 'high' voltage.

15 It is an advantage of embodiments of the present invention that existing processes can be reused. Therefore producing memory cells according to the present invention is cheap.

In embodiments of the present invention the first transistor and the second transistor are direct tunnelling devices.

20 In embodiments of the present invention the first transistor and the second transistor are floating gate transistors.

In embodiments of the present invention the gate stack of the first transistor and the second transistor comprises a first oxide layer, a second metal and/or doped polycrystalline layer, a HfO_2 layer, and a metal gate.

25 It is an advantage of embodiments of the present invention that the stack is compatible with CMOS.

In embodiments of the present invention the first transistor and the second transistor are charge trap devices.

It is an advantage of embodiments of the present invention that the required gate voltage can be decreased by using a charge trap transistor instead of a floating gate transistor.

30 In embodiments of the present invention the gate stack of the first transistor and the second transistor comprises a first oxide layer, a second nitride layer, a HfO_2 layer, and a metal gate.

PA 2015/194 JP1

4

In embodiments of the present invention the first transistor and the second transistor are ferroelectric field effect transistors.

It is an advantage of embodiments of the present invention that the trade-off between retention and lower write voltage is avoided. No measures are needed for removing the depolarization field.

In embodiments of the present invention the gate stack of the first transistor and the second transistor comprises a first ferroelectric layer made of doped HfO_2 , optionally a second HfO_2 layer, and a metal gate.

It is an advantage of embodiments of the present invention that the ferroelectrical phase can be made of HfO_2 . This allows to use the same gate dielectric material as for CMOS except for the fact that it is doped.

In embodiments of the present invention the transistors have a control electrode, wherein the control electrode of the first transistor is connected to the control electrode of the second transistor.

It is an advantage of embodiments of the present invention that the control electrodes of transistors of a single memory cell may be driven by a single word line. When for example, for writing a cell, a positive voltage is applied to the control electrode of the first transistor and to the control electrode of the second transistor, the threshold voltage of both transistors increases. In the case of ferroelectric field effect transistors an increasing threshold voltage V_t causes the n-channel transistor to switch on and causes the p-channel transistor to switch off. In the case of charge trap devices and in the case of floating gate transistors an increasing threshold voltage V_t causes the n-channel transistor to switch off and causes the p-channel transistor to switch on. As, in embodiments of the present invention, only one word line is needed to drive both at the same time, a very compact design of 2 cells with only 4 terminals is possible.

In embodiments of the present invention the memory cell comprises a third transistor wherein a main electrode of the third transistor is connected to the first main electrodes of the first and second transistor.

It is an advantage of embodiments of the present invention that a cell can be selected before reading it. Thus read disturb problems are avoided.

In a second aspect the present invention provides a memory array, the array comprising memory cells according to embodiments of the first aspect of the present invention, wherein the memory array is used as cache memory.

PA 2015/194 JP1

5

It is an advantage of embodiments of the present invention that the cache memory area can be reduced compared to cache memories using state of the art 6T SRAM cells.

In a third aspect the present invention provides a method for writing a memory cell according to embodiments of the first aspect of the present invention, the method comprising, in a first step erasing the memory cell by applying a same erase voltage to a control electrode of the first transistor as to a control electrode of the second transistor, and in a second step writing the memory cell by applying a same write voltage to the control electrode of the first transistor as to the control electrode of the second transistor.

It is an advantage of embodiments of the present invention that the control electrodes of the first transistor and the second transistor can be simultaneously driven when erasing and when writing.

In embodiments of the present invention the write voltage is twice the supply voltage or lower.

In embodiments of the present invention a refresh scheme is implemented to overcome the trade-off between voltage and retention.

Particular and preferred aspects of the invention are set out in the accompanying independent and dependent claims. Features from the dependent claims may be combined with features of the independent claims and with features of other dependent claims as appropriate and not merely as explicitly set out in the claims.

These and other aspects of the invention will be apparent from and elucidated with reference to the embodiment(s) described hereinafter.

Brief description of the drawings

FIG. 1 shows a circuit diagram of a 2T memory cell in accordance with embodiments of the present invention.

FIG. 2 shows the gate stack of a charge trapping transistor or of a floating gate transistor as may be used in embodiments of the present invention.

FIG. 3 shows the gate stack of a ferroelectric transistor as may be used in embodiments of the present invention.

FIG. 4 shows the gate stack of a charge trapping transistor as may be used in embodiments of the present invention.

FIG. 5 shows a basic layout of a memory cell in accordance with embodiments of the present invention.

PA 2015/194 JP1

6

FIG. 6 shows two memory cells according to embodiments of the present invention which are arranged in a matrix.

FIG. 7 shows a circuit diagram of a 3T memory cell in accordance with embodiments of the present invention.

5 FIG. 8 shows a circuit diagram of a 2T memory cell with separately controllable gates in accordance with embodiments of the present invention.

FIG. 9 shows an operating table for operating a 2T-memory cell as in FIG. 1, in accordance with embodiments of the present invention.

10 FIG. 10 shows an operating table for operating a 3T-memory cell as in FIG. 7, in accordance with embodiments of the present invention.

FIG. 11 shows an operating table for operating a 2T-memory cell as in FIG. 8, in accordance with embodiments of the present invention.

FIG. 12 shows the program gate pulse voltage in function of the dielectric thickness for direct tunnelling transistors as may be used in embodiments of the present invention.

15 The drawings are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale for illustrative purposes.

Any reference signs in the claims shall not be construed as limiting the scope.

In the different drawings, the same reference signs refer to the same or analogous elements.

Detailed description of illustrative embodiments

20 The present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale for illustrative purposes. The dimensions and the relative dimensions do not correspond to actual
25 reductions to practice of the invention.

 The terms first, second and the like in the description and in the claims, are used for distinguishing between similar elements and not necessarily for describing a sequence, either temporally, spatially, in ranking or in any other manner. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of
30 the invention described herein are capable of operation in other sequences than described or illustrated herein.

PA 2015/194 JP1

7

Moreover, the terms top, under and the like in the description and the claims are used for descriptive purposes and not necessarily for describing relative positions. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other
5 orientations than described or illustrated herein.

It is to be noticed that the term "comprising", used in the claims, should not be interpreted as being restricted to the means listed thereafter; it does not exclude other elements or steps. It is thus to be interpreted as specifying the presence of the stated features, integers, steps or components as referred to, but does not preclude the presence or
10 addition of one or more other features, integers, steps or components, or groups thereof. Thus, the scope of the expression "a device comprising means A and B" should not be limited to devices consisting only of components A and B. It means that with respect to the present invention, the only relevant components of the device are A and B.

Reference throughout this specification to "one embodiment" or "an embodiment"
15 means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present invention. Thus, appearances of the phrases "in one embodiment" or "in an embodiment" in various places throughout this specification are not necessarily all referring to the same embodiment, but may. Furthermore, the particular features, structures or characteristics may be combined in
20 any suitable manner, as would be apparent to one of ordinary skill in the art from this disclosure, in one or more embodiments.

Similarly it should be appreciated that in the description of exemplary embodiments of the invention, various features of the invention are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the
25 disclosure and aiding in the understanding of one or more of the various inventive aspects. This method of disclosure, however, is not to be interpreted as reflecting an intention that the claimed invention requires more features than are expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are
30 hereby expressly incorporated into this detailed description, with each claim standing on its own as a separate embodiment of this invention.

Furthermore, while some embodiments described herein include some but not other features included in other embodiments, combinations of features of different embodiments

PA 2015/194 JP1

8

are meant to be within the scope of the invention, and form different embodiments, as would be understood by those in the art. For example, in the following claims, any of the claimed embodiments can be used in any combination.

In the description provided herein, numerous specific details are set forth. However,
5 it is understood that embodiments of the invention may be practiced without these specific details. In other instances, well-known methods, structures and techniques have not been shown in detail in order not to obscure an understanding of this description.

Where in embodiments of the present invention reference is made to V_t modifiable transistors, reference is made to transistors for which the threshold voltage can be modified
10 electrically.

In a first aspect, embodiments of the present invention relate to a memory cell 100 as illustrated in FIG. 1. More specifically, in embodiments of the present invention the circuit concept of the memory cell is envisaged. Memory cells 100 according to embodiments of the
15 present invention comprise a first transistor 110, a second transistor 120, and a differential sense amplifier 130. The first transistor is a V_t -modifiable n-channel transistor and the second transistor is a V_t -modifiable p-channel transistor. The transistors are three-terminal devices, comprising a first main electrode and a second main electrode, such as a source and a drain, and a control electrode, such as a gate, for controlling the flow of electrical charges between
20 the first main electrode and the second main electrode.

The differential sense amplifier 130 is adapted for sensing the current difference between the first transistor 110 and the second transistor 120.

The first main electrode of the first transistor 110 is connected to the first main electrode of the second transistor 120, and both are connected to a bitline BL. The
25 differential sense amplifier 130 is connected to the second main electrode of the first transistor 110 and to the second main electrode of the second transistor 120. The control electrodes of the first and the second transistors 110, 120 are connected to a wordline WL.

By taking two complementary V_t modifiable transistors 110, 120 (n-channel and p-channel) and putting them in parallel and by sensing the difference in current between both
30 transistors, a differential memory cell can be obtained. In other words, single ended cells are made complementary by putting them in a circuit configuration in accordance with embodiments of the present invention.

PA 2015/194 JP1

9

In embodiments of the present invention Vt-modifiable transistors are used. These are transistors which may be programmed by shifting the threshold voltage Vt. Examples thereof are direct tunnelling devices such as thin oxide floating gate (FG) cells, and charge trapping (CT) cells. Vt-modifiable transistors may also be ferroelectric FETs (FE). For the direct
5 tunnelling devices programming is done by bringing a charge between the control electrode, further called the gate, and the channel.

The gate stack of a floating gate cell comprises a gate stack comprising a tunnelling isolator, a floating gate, a control dielectric, and a control gate. The floating gate may for example be a metal gate or a doped polycrystalline silicon gate.

10 Charge trap devices have a charge trapping layer, such as for instance a nitride layer, instead of a floating gate.

In embodiments of the present invention the Vt-modifiable transistors are ferroelectric field effect transistors. Instead of a charge between the gate and the channel, a ferroelectricum is used. A ferroelectricum does not store any charge; however, it can be
15 polarised. The polarisation charge between the gate and the channel also introduces a change in threshold Vt.

The present invention is technology independent. Memory cells according to embodiments of the present invention can be implemented in different types of technology such as for instance planar technology, finFET technology, or Silicon On Insulator.

20 FIG. 2 shows a gate stack of a transistor 110, 120 (direct tunnelling device) which may be used in a memory cell 100 in accordance with embodiments of the present invention. In the example the gate stack comprises a first layer (the layer closest to the channel) which is a tunnel dielectric layer 210, e.g. a tunnel oxide layer. This layer may for example be a SiON layer, an HfSiON layer or a SiO₂ layer. The thickness of this layer is preferably below 2 nm to
25 reduce the gate voltage for writing; the tunnel dielectric layer thickness may for example be between 1 and 1.5 nm.

On top of the tunnel dielectric layer 210 is a very thin second layer 220, which may be a floating gate or a charge trapping layer. In embodiments of the present invention, for example in the case of a charge trap layer, the thickness of this second layer 220 is between 1
30 and 10 nm, preferably between 3 and 5 nm. For a floating gate device, the thickness values could be very different. The second layer 220, if intended to form a floating gate, can be made of any suitable conductive material, such as for instance a metal or a doped polycrystalline silicon gate. It can also be a hybrid floating gate (metal combined with poly).

PA 2015/194 JP1

10

The second layer 220, if intended to form a charge trapping layer, can for instance be a nitride layer. In the example the second layer 220 has a thickness of 2 nm and is made of Si_3N_4 or metal. On top of the second layer 220, a control dielectric 250 is provided, for instance a HfO_2 layer as top dielectric because HfO_2 is compatible with CMOS. Instead of HfO_2 any other insulator of sufficient quality may be used. Such an insulator preferably has a higher k value, for example about 10 to 100. On top of the control dielectric 250 a conductive gate 260, for instance a metal gate or poly gate, is provided.

Because of the limited thickness of the tunnel dielectric layer 210, the retention period is short. The program gate pulse voltage (in V) in function of the dielectric thickness (in nm) for direct tunnelling transistors is illustrated in FIG. 12. The programming pulses had a duration of 10 ns. The top curve 1210 in the graph corresponds with a tunnelling device wherein the tunnel oxide is made of HfSiON (23% Hf). When the tunnel dielectric layer has a thickness of 1.2 nm a refresh period of 64 ms is required, while for a thickness of 1.3 nm a refresh period of 100 s would be sufficient. Therefore regular refresh is required when using direct tunnelling transistors in memory cells according to the present invention. The trade-off here is that by increasing the thickness also the programming voltage increases. The middle curve 1220 in the graph corresponds with a tunnelling device wherein the tunnel dielectric layer is made of SiO_2 . The bottom curve 1230 in the graph corresponds with a tunnelling device wherein the tunnel oxide is made of SiON . For this material the refresh period of 200 μs is required at 1.3 nm thickness, while a refresh period of 64 ms suffices at 1.4 nm thickness.

The write voltage for non-volatile memories based on FeFETs, on the other hand, is not as high as the write voltage for writing memories based on direct tunnelling transistors.

FIG. 3 shows a gate stack of a transistor 110, 120 (FeFET version) which may be used in a memory cell 100 in accordance with embodiments of the present invention. The stack comprises a first layer 310 which is a ferroelectricum. The ferroelectricum may for instance be a doped HfO_2 . The dopant may be for example aluminium or yttrium or strontium. In embodiments of the present invention the ferroelectricum is an Al doped HfO_2 layer which is activated after dummy gate and junction implants. In embodiments of the present invention the thickness of the first layer is between 3 and 10 nm, preferably between 3 and 5 nm, preferably about 5 nm. On top of the first layer 310 a control dielectric 250 may be provided. In contrast to direct tunnelling cells the control dielectric is not essential for FeFETs. However, the presence of the control dielectric 250 may increase the compatibility, e.g. when the top

PA 2015/194 JP1

11

dielectric is a CMOS gate. A HfO_2 layer 250 may be particularly suitable because of its compatibility with CMOS. On top of the HfO_2 layer 250, a gate 260 is provided, for instance a metal gate. Whereas in prior art FeFETs for non-volatile memory, there is a need to remove the depolarisation field, this is not the case for the FeFET transistors in memories according to embodiments of the present invention, as in this case no long term retention of data in the FeFET transistors is required.

FIG. 4 shows a gate stack of an alternative transistor 110, 120 which may be used in a memory cell 100 in accordance with embodiments of the present invention. The stack comprises a first dielectric layer 410 (for example an oxide layer, e.g. a SiO_2 layer with a thickness of about 2 nm or below) for use as a tunnel dielectric layer, a second layer 420 which is a charge trapping layer (for instance a nitride layer e.g. a Si_3N_4 layer with a thickness of about 5 nm), and a third layer 430 which is a dielectric layer (for instance an oxide layer, e.g. SiO_2 with a thickness of about 5 nm). On top of the third layer 430 a thin etch stop layer 440 (such as for instance Al_2O_3) is present. On top thereof is a high-k material 250 (e.g. HfO_2) and a gate 260, e.g. a metal gate. The high-k material 250, e.g. HfO_2 , and the gate 260, e.g. metal gate, can be applied together with the CMOS process. It is an advantage of embodiments of the present invention that this can be done with no or with at most 1 additional mask. The latter occurs if the gate etch has to be done separately. Additional masks may for example be required for high voltage transistors but not because of the chosen flash concept. A replacement gate process flow may be used.

The gate voltage required to write a transistor, part of a memory cell 100 according to embodiments of the present invention, may be between 2 and 4 V, for example about 3 V. The smaller the thickness of the tunnel dielectric layer 210, 310, 410, the smaller the required gate voltage for programming the memory cell 100. The required gate voltage may be decreased by using a charge trapping layer 220, 420 (in a charge trapping transistor), e.g. a nitride layer, or by using FeFET technology which does not have to cope with the trade-off between performance (voltage needed for erase and write) and retention. FeFET has moreover a simpler process technology and a better non-volatility than direct tunnelling.

FIG. 5 shows a basic layout (top view) of a memory cell 100 in accordance with embodiments of the present invention. The layout is very basic as even not all layers are drawn. For example the well is, although required, not drawn. The source lines SLA and SLB are drawn, the bit line BL is drawn, the word line WL is drawn and the active area 510 is drawn. The goal of this layout is to get an estimate of the size of a cell 100 in accordance with

PA 2015/194 JP1

12

embodiments of the present invention. In reality the cell size may be a little bit bigger because of the well and the required spacing rule. The area of the cell in this example is $6F \times 5F$ wherein F is the feature size. For the calculation the following formula was used:

$$(3 \text{ ML1 layers} = 6F) \times (1 \text{ CNT} + 1 \text{ gate} + 2 \text{ CNT spacing} + 1 \text{ AA spacing} = 5F) = 30F^2$$

- 5 This is a first order calculation wherein ML1 layers are the metal layers #1, wherein CNT stands for contact side, and wherein AA is the active area.

For writing a memory cell 100 according to embodiments of the present invention, a same positive voltage can be applied to the gates of the first transistor 110 and second transistor 120. The following paragraphs apply to a direct tunnelling transistor, although the present invention is not limited thereto. When a positive voltage is applied to the gate of an n-channel, the n-channel will go into inversion and when a positive voltage is applied to the gate of a p-channel, the p-channel will go into accumulation. When applying a positive voltage to both gates this results in a threshold voltage V_t which increases for the n-channel transistor as well as for the p-channel transistor. By increasing the threshold voltage V_t of the n-channel transistor, the n-channel switches off; and by increasing the threshold voltage V_t of the p-channel transistor, the p-channel switches on. Moreover, it is an advantage of embodiments of the present invention that write is self-limiting (i.e. the nMOS floating gate voltage stops at the threshold voltage V_t , the pMOS floating gate voltage stops at the flat band voltage V_{fb}).

The gates of the first and second transistors 110, 120 may be driven together by one and the same word line, or they may be driven separately. When driving a plurality of cells of which the gates are connected with the same word line, the cells that need to be '1' can be written by applying a high voltage on the word line, while inhibiting the other bit lines. The use of a single word line for driving both gates simultaneously yields a very compact design of two cells with only four terminals.

Before writing, first all memory cells according to embodiments of the present invention need to be erased. Therefore, in embodiments of the present invention, two cycles are required: one for erasing, and one for writing.

30 Erasing can be done by applying the same negative gate voltage to the gate of the first transistor 110 as to the gate of the second transistor 120. For erasing, an n-channel erase in accumulation can be combined with a p-channel erase in inversion. Moreover, it is an advantage of embodiments of the present invention that erasing is self-limiting (i.e. the

PA 2015/194 JP1

13

nMOS floating gate voltage stops at the flat band voltage V_{fb} , the pMOS voltage stops at the threshold voltage V_t).

Alternatively a positive bias at the wells may be used for erasing. This has the advantage that no negative voltages are required. However, it requires a large capacitor to be
5 charged.

In the case of a ferroelectric transistor the following rules apply: a FeFET gets a high threshold voltage V_t with negative bias, and a low threshold voltage V_t with positive bias. Hence, the program/erase definitions are reversed as compared to tunneling cells. The natural window (typical window associated with a given design because of the self-limiting
10 program/erase operation) should be calculated to differentiate between the three cases (floating gate, charge trap device, FeFET). Typically in floating gate transistors and charge trap devices retention is traded for lower voltage and good endurance.

When writing a memory cell 100 according to embodiments of the present invention, the gate voltage must be high enough in order to obtain the tunnelling effect or to obtain the
15 ferroelectric polarisation (depending on the type of transistors used). A typical write voltage at the gate of a direct tunnelling transistor is twice the supply voltage or higher. At lower voltages this leads to a smaller window. In general, the retention gets better for a smaller V_t window. However at too small voltages the signal, to be detected by the differential sense amplifier, will be too small because the V_t window will be too small. The V_t window or
20 memory window is the difference between high V_t and low V_t , please and the actual signal for the sense amplifier is the current difference generated by this V_t shift. An option would be to reduce the thickness of the tunnel dielectric. However, for voltages below $2V_{cc}$ it would be required to make the tunnel dielectric so thin that the retention is so small that the charge immediately disappears (e.g. after less than a few seconds, such as after 1 second or less).

25 The voltage for writing may be higher than $2V_{cc}$. However, this is at the cost of an increased area and an increased power consumption. The supply voltage can be increased on chip using a boot strap circuit. This is a capacitive circuit for increasing the supply voltage. The disadvantage of the circuit is that it occupies cell area. By limiting to a write voltage which is the double of the supply voltage this boot strap circuit can be realised with only one capacitor.

30 In accordance with embodiments of the present invention the read voltage, applied to the gate, is located between zero and the write voltage. The optimal read voltage is depending on the design and is a trade-off between getting a high on-current and preventing writing the memory cell while reading the memory cell. If the read voltage is too high the

PA 2015/194 JP1

14

memory cell will be written when reading it. If it is too low the read current will be too low to detect. When reading, a voltage is applied to the bit line. This voltage is selected so as to not cause a disturb problem. For example V_{cc} may be applied to the bit line. A typical read voltage at the gate is the supply voltage itself or half of the supply voltage.

5 When a memory cell according to the present invention is not addressed within a period of time, it needs to be re-written (e.g. like in DRAM). State of the art refresh techniques can be used for refreshing memory cells according to embodiments of the present invention.

Embodiments of the present invention are operating complementary like in SRAM
10 and need to be refreshed like in DRAM. The density of cells according to embodiments of the present invention is between the density of SRAM and the density of DRAM.

FIG. 9 shows an operating table for operating a memory cell 100 in accordance with embodiments of the present invention. The operating table of FIG. 9 is for example suitable for operating the memory cell illustrated in FIG. 1. Before writing, an erase step is done.

15 For erasing the memory cell, $-2V_{cc}$ is applied to the word line WL while keeping the bit line BL, source line A (SLA) and source line B (SLB) at 0 volt.

For writing the memory cell 100, the word line WL is set at $2V_{cc}$ while SLA and SLB are left open. Selecting the cell can be done by applying a zero voltage to the bit line BL. Deselecting the cell can be done by applying a voltage between V_{cc} and $2V_{cc}$ to the bitline BL.
20 This voltage at the bitline reduces the difference between WL and BL and thus also the gate-to-drain voltage V_{gd} . Since the source is open, this voltage V_{gd} is over the entire channel length and inhibits programming. As a voltage of $2V_{cc}$ needs to be applied to the word line, a boot strap is needed in the word line decoder. The boot strap should be able to generate $2V_{cc}$ from V_{cc} .

25 For reading the cell 100, $V_{cc}/2$ is applied to the word line WL and V_{cc} is applied to the bitline BL. The current difference is measured using the sense amplifier 130.

The margin between the threshold voltage V_t and the gate voltage when reading determines the current which can be emitted. The threshold window is the difference between high V_t and low V_t .

30 The same operating table can be used for erasing/programming/reading a 2T-memory cell based on floating gate/charge trapping transistors as for erasing/programming/reading 2T-memory cells based on ferroelectric FETs.

FIG. 6 shows two memory cells 100, 600 according to embodiments of the present invention organised in a matrix. The memory cells in the matrix are logically organised in rows and columns. Throughout this description, the terms "horizontal" and "vertical" (related to the terms "row" and "column" respectively) are used to provide a co-ordinate system and for ease of explanation only. They do not need to, but may, refer to an actual physical direction of the device. Furthermore, the terms "column" and "row" are used to describe sets of array elements (in the form of memory cells) which are linked together. The linking can be in the form of a Cartesian array of rows and columns; however, the present invention is not limited thereto. As will be understood by those skilled in the art, columns and rows can be easily interchanged and it is intended in this disclosure that these terms be interchangeable. Also, non-Cartesian arrays may be constructed and are included within the scope of the invention. Accordingly the terms "row" and "column" should be interpreted widely. To facilitate in this wide interpretation, the present invention refers to memory cells "logically organised in rows and columns". By this is meant that sets of memory cells are linked together in a topologically linear intersecting manner; however, that the physical or topographical arrangement need not be so. For example, the rows may be circles and the columns radii of these circles and the circles and radii are described in this invention as "logically organised" rows and columns. Specific names of the various lines, e.g. word line and bit line, are intended to be generic names used to facilitate the explanation and to refer to a particular function and this specific choice of words is not intended to in any way limit the invention. It should be understood that all these terms are used only to facilitate a better understanding of the specific structure being described, and are in no way intended to limit the invention.

The array illustrated in FIG. 6 only comprises two memory cells 100, 600 for ease of explanation, but in reality a memory array comprises many more memory cells. The memory array illustrated in FIG. 6 comprises two memory cells arranged vertically one atop the other; hence the memory cell has two rows and one column. The first memory cell 100 comprises an n-channel transistor 110 and a p-channel transistor 120. The second memory cell 600 comprises an n-channel transistor 610 and a p-channel transistor 620.

PA 2015/194 JP1

16

Source lines A of both cells 100, 600 are connected together in point SLA and source lines B of both cells 100, 600 are connected together in point SLB. A bit line runs vertically along the column direction of the memory array and is connected to the first main electrodes of both memory cells and to the bulk of the p-channel transistors 120, 620 of both cells.

- 5 Word lines run horizontally along the row direction of the memory array and is connected to the gates of the memory cells on a row (they are not connected with the bit line).

When selecting a particular cell for reading or writing, a voltage is put both on the word line and on the bit line of the array which cross at the location of that particular cell. If a voltage is applied on one bit line, the voltage is applied to all cells connected to this bit line, and if a voltage is applied to one word line, the voltage is applied to all cells connected to that word line.

A disturb problem occurs when reading a memory cell, for instance the first memory cell 100. In that case a voltage $V_{cc}/2$ is applied to the word line associated with the row on which the memory cell to be read is located, for instance the word line associated with the first memory cell 100, while the word lines of the other rows, e.g. in the embodiment illustrated in FIG. 6 the word line associated with the second memory cell 600 is set to zero Volt. A voltage V_{cc} is applied to the bit line associated with the column on which the memory cell to be read is located, for instance the bit line associated with the first memory cell 100, while the bit lines of the other columns (none in the embodiment illustrated in FIG. 6) are set to zero Volt. The disturb problem occurs on transistor 620 of the second memory cell 600. The V_{GS} voltage of this transistor is $-V_{cc}$, and the (written) p-channel transistors on the same bit line will draw more current in read than the addressed cell. If the cell 100 is read and the word line of the cell 600 is at zero Volt, the p-channel transistor 620 will be on. Therefore a current will be flowing through this transistor 620. This current will flow on the same source line as the source line of the cell which is being read. As the sense amplifier, receiving this signal on the source line, cannot distinguish from which cell the current is coming, this can result in a wrong reading.

In embodiments of the present invention this is solved by providing a separate word line for the n-channel transistor and a separate word line for the p-channel transistor. An example of such a cell is illustrated in FIG. 8. This solution allows to inhibit the n- and p-transistors on the same BL with different voltages ($-V_{cc}$ for NMOS, $+V_{cc}$ for pMOS). FIG. 11 shows an operating table for operating a 2T-memory cell with a separate word line for the n-

PA 2015/194 JP1

17

transistor and a separate word line for the p-transistor in accordance with embodiments of the present invention.

In embodiments of the present invention the read disturb problem may be solved by applying a negative voltage to the word line of the second cell 600 while reading the first cell 100. The advantage thereof is that no third transistor nor separate word lines for the n-channel and p-channel transistors are required. The disadvantage is, however, that a negative voltage is required which increases the periphery. All the word lines which are not addressed should be set to a negative voltage which increases the overhead. Nevertheless, the negative erase voltage is already present in the decoder, so this voltage could also be used for reading.

To solve the read disturb problem and the problem that the dual-cell configuration as for instance illustrated in FIG. 8 is not overerase insensitive, in embodiments of the present invention a select transistor 710 may be added between the bit line and the memory cell, such as in FIG. 7. Hence a 3T memory cell is obtained. The select transistor may be an n-MOS transistor. A word line is then coupled to the gates of the select transistors of cells logically arranged on the same row. In these embodiments the cell can be read with 0V at the gates of the n-channel and p-channel transistors 110, 120 (swing = $1+V_{cc}$). FIG. 10 shows an operating table for operating a 3T-memory cell (the cell of FIG. 7) in accordance with embodiments of the present invention. In these embodiments the cell is addressed through the gate of the select transistor to which the word line (WL) is connected. Programming the cell is done by applying a voltage to the programming line (PL) connected to the gates of the first transistor 110 and the second transistor 120.

In embodiments of the present invention the read disturb problem is solved by keeping the window positive: no negative voltage needed. To deselect cells on the same BL the currents through these cells need to be cut off. If the window is symmetrical, this implies a negative gate bias. If the window is positive (low and high V_t above zero) the cell can be deselected with a zero voltage. This requires less periphery, but the needed gate voltage will be higher for writing. The window may for example be between 0.5 V and 2.5 V instead of between -1 V and +1 V.

Memory cells according to the present invention may be applied as cache memory. Preferably they may be applied at L1 and higher levels. At register level and at L0 level the cell

PA 2015/194 JP1

18

area is not so critical but the speed of the processor should be matched. This can be done by state of the art SRAM.

At higher levels (L1 and higher), however, such a high speed is not required on a bit level. At the higher cache levels the bandwidth is important. These SRAMs could hence be
5 replaced by memory cells according to embodiments of the present invention. It is an advantage of embodiments of the present invention that by replacing these SRAM cells with memory cells according to embodiments of the present invention the total area can be decreased (by going from 6T to 3T or even to 2T per cell). In the 2T case this may lead to an area reduction with a factor 4 or even with a factor 5 ($30F^2$ compared to $150F^2$).

10 Memory cells according to embodiments of the present invention may also replace (e-)DRAM

Memory cells according to embodiments of the present invention may be employed as FPGA cells.

PA 2015/194 JP1

19

Claims

- 1.- A memory cell (100) comprising a first transistor (110), a second transistor (120) and a differential sense amplifier (130), wherein the first transistor is a Vt-modifiable n-channel transistor having a first and a second main electrode and the second transistor is a Vt-modifiable p-channel transistor having a first and a second main electrode, the first main electrodes of the first and second transistors being connected together, and the differential sense amplifier (130) being connected to the second main electrodes of the first (110) and the second transistor (120), wherein the differential sense amplifier is adapted for sensing the current difference between the first transistor (110) and the second transistor (120).
- 2.- A memory cell (100) according to claim 1, wherein the first transistor (110) and the second transistor (120) are direct tunnelling devices.
- 3.- A memory cell (100) according to claim 2 wherein the first transistor (110) and the second transistor (120) are floating gate transistors.
- 4.- A memory cell (100) according to claim 3, wherein the gate stack of the first transistor and the second transistor comprises a first oxide layer (210), a second metal and/or doped polycrystalline layer (220), a HfO₂ layer (250), and a metal gate (260).
- 5.- A memory cell (100) according to claim 2, wherein the first transistor (110) and the second transistor (120) are charge trap devices.
- 6.- A memory cell (100) according to claim 5, wherein the gate stack of the first transistor (110) and the second transistor (120) comprises a first oxide layer (210), optionally a second nitride layer (220), a HfO₂ layer (250), and a metal gate (260).
- 7.- A memory cell (100) according to claim 1, wherein the first transistor (110) and the second transistor (120) are ferroelectric field effect transistors.
- 8.- A memory cell (100) according to claim 7, wherein the gate stack of the first transistor (110) and the second transistor (120) comprises a first ferroelectric layer (310) made of doped HfO₂, a second HfO₂ layer (250), and a metal gate (260).
- 9.- A memory cell (100) according to any of the previous claims, the transistors having a control electrode, wherein the control electrode of the first transistor (110) is connected to the control electrode of the second transistor (120).
- 10.- A memory cell (100) according to any of the previous claims, wherein the memory cell (100) comprises a third transistor (710) wherein a main electrode of the third transistor

PA 2015/194 JP1

20

(710) is connected to the first main electrodes of the first (110) and second transistor (120).

- 11.- A memory array, the array comprising memory cells according to any of the previous claims, wherein the memory array is used as cache memory.
- 5 12.- A method for writing a memory cell according to any of claims 1 to 10, the method comprising, in a first step erasing the memory cell by applying a same erase voltage to a control electrode of the first transistor as to a control electrode of the second transistor, and in a second step writing the memory cell by applying a same write voltage to the control electrode of the first transistor as to the control electrode of the
- 10 second transistor.
- 13.- A method according to claim 12, wherein the write voltage is twice the supply voltage or lower.

15

PA 2015/194 JP1

21

Abstract**A memory cell**

A memory cell (100) comprises a first transistor (110), a second transistor (120) and a differential sense amplifier (130). The first transistor is a Vt-modifiable n-channel transistor and the second transistor is a Vt-modifiable p-channel transistor, each transistor having first and second main electrodes. The first main electrodes of the first and second transistors are connected together. The differential sense amplifier (130) is connected to the second main electrodes of the first (110) and the second transistor (120). The differential sense amplifier is adapted for sensing the current difference between the first transistor (110) and the second transistor (120).

+ FIG. 1

PA 2015/194 JP1

1/6

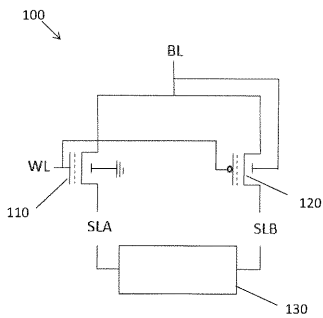


FIG. 1

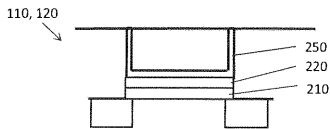


FIG. 2

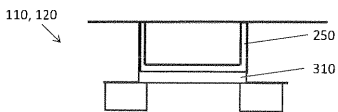


FIG. 3

PA 2015/194 JP1

2/6

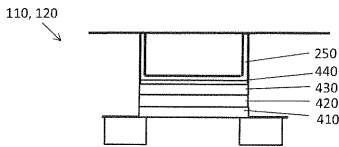


FIG. 4

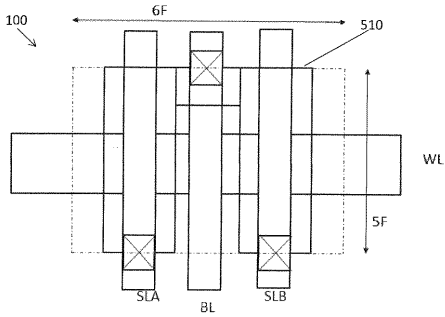


FIG. 5

PA 2015/194 JP1

3/6

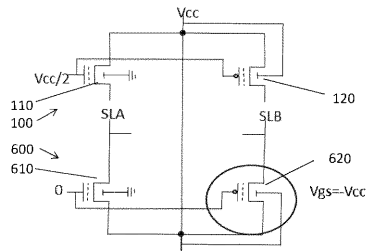


FIG. 6

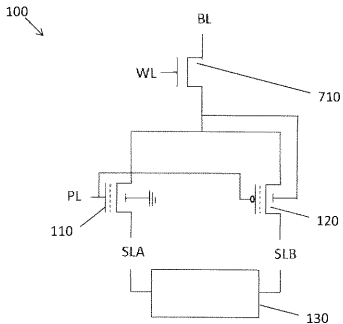


FIG. 7

PA 2015/194 JP1

4/6

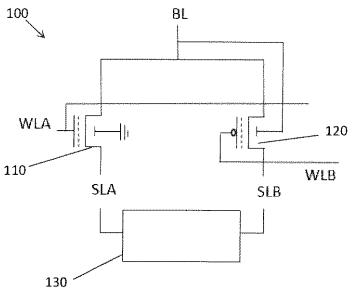


FIG. 8

| Operating table | WL | BL | SLA | SLB |
|---------------------------|-------|--------------|------|------|
| Page erase | -2Vcc | 0 | 0 | 0 |
| Write select/ deselect | 2Vcc | 0/ (2)Vcc | open | open |
| Read | Vcc/2 | Vcc | SA | SA |

FIG. 9

PA 2015/194 JP1

5/6

| Operating table | WL | BL | PL | SLA/SLB |
|-----------------|-----|-------|-------|---------|
| Page erase | Vcc | 0 | -2Vcc | 0 |
| Write/deselect | Vcc | 0/Vcc | 2Vcc | open |
| Read | Vcc | Vcc | 0 | SA |

FIG. 10

| Operating table | WLA | WLB | BL | SLA/SLB |
|-----------------|---------------|--------------|-------|---------|
| Page erase | -2Vcc | -2Vcc | 0 | 0 |
| Write/deselect | 2Vcc | 2Vcc | 0/Vcc | open |
| Read/deselect | Vcc/2 -Vcc | Vcc/2 Vcc | Vcc | SA |

FIG. 11

PA 2015/194 JP1

6/6

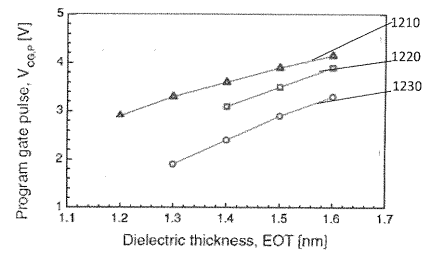


FIG. 12