

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3715947号  
(P3715947)

(45) 発行日 平成17年11月16日(2005.11.16)

(24) 登録日 平成17年9月2日(2005.9.2)

(51) Int. Cl.<sup>7</sup>

F I

G09G 3/22

G09G 3/22 H

G09G 3/20

G09G 3/20 611J

G09G 3/20 612U

G09G 3/20 641A

G09G 3/20 641G

請求項の数 10 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2002-170568 (P2002-170568)

(22) 出願日 平成14年6月11日(2002.6.11)

(65) 公開番号 特開2003-114639 (P2003-114639A)

(43) 公開日 平成15年4月18日(2003.4.18)

審査請求日 平成16年2月23日(2004.2.23)

(31) 優先権主張番号 特願2001-180897 (P2001-180897)

(32) 優先日 平成13年6月14日(2001.6.14)

(33) 優先権主張国 日本国(JP)

(31) 優先権主張番号 特願2001-232594 (P2001-232594)

(32) 優先日 平成13年7月31日(2001.7.31)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100085006

弁理士 世良 和信

(74) 代理人 100100549

弁理士 川口 嘉之

(74) 代理人 100106622

弁理士 和久田 純一

(72) 発明者 嵯峨野 治

東京都大田区下丸子3丁目30番2号

キヤノン株式会社 内

(72) 発明者 阿部 直人

東京都大田区下丸子3丁目30番2号

キヤノン株式会社 内

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と

前記行配線に接続され、順次行配線を走査する走査手段と、

前記列配線に接続された変調手段と、を備える画像表示装置において、

入力された画像データに対応して、少なくとも前記行配線の抵抗による電圧降下の影響を低減するための補正画像データを算出する補正画像データ算出手段と、

該補正画像データの階調数を減じる変換処理を行う階調数変換手段と、を有し、

前記補正画像データ算出手段は、

前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、

前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正画像データを算出する離散補正画像データ算出手段と、

前記離散補正画像データ算出手段の出力を補間して、補間された補正画像データを算出する補正画像データ補間手段と、を有し、

前記変調手段は、前記階調数変換手段によって変換処理された補正画像データに基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

【請求項2】

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と

前記行配線に接続され、順次行配線を走査する走査手段と、  
前記列配線に接続された変調手段と、を備える画像表示装置において、  
前記行配線の抵抗による電圧降下によって生じる輝度の低下を補償するための補正を、  
画像データに対して行って補正画像データを算出する補正画像データ算出手段と、  
該補正画像データの階調数を減じる変換処理を行う階調数変換手段と、を有し、  
前記補正画像データ算出手段は、

前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な  
時間のそれぞれにおける前記電圧降下の量を算出する手段と、

前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水  
平走査期間内の離散的な時間に対応する補正画像データを算出する離散補正画像データ算  
出手段と、

前記離散補正画像データ算出手段の出力を補間して、補間された補正画像データを算  
出する補正画像データ補間手段と、を有し、

前記変調手段は、前記階調数変換手段によって変換処理された補正画像データに基づい  
て変調信号を各列配線に出力することを特徴とする画像表示装置。

**【請求項3】**

前記階調数変換手段は、前記補正画像データに所定のディザテーブルの出力を演算する  
演算手段と、該演算手段の出力の下位ビットを切り捨てる手段とからなることを特徴とす  
る請求項1又は2に記載の画像表示装置。

**【請求項4】**

前記階調数変換手段は、kビットの入力される画像データに対し、(k+L)ビットで  
ある前記補正画像データをkビットのデータに変換処理することを特徴とする請求項3に  
記載の画像表示装置(但し、k, Lは正の整数)。

**【請求項5】**

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と

前記行配線に接続され、順次行配線を走査する走査手段と、  
前記列配線に接続された変調手段と、を備える画像表示装置において、  
入力された画像データに対応して、少なくとも前記行配線の抵抗による電圧降下の影響  
を低減するための補正データを算出する補正データ算出手段と、  
該補正データの階調数を減じる変換処理を行う階調数変換手段と、  
階調数変換された補正データと前記入力された画像データとを加算する加算手段とを有  
し、  
前記補正データ算出手段は、

前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な  
時間のそれぞれにおける前記電圧降下の量を算出する手段と、

前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水  
平走査期間内の離散的な時間に対応する補正データを算出する離散補正データ算出手段と

前記離散補正データ算出手段の出力を補間して、補間された補正データを算出する補  
正データ補間手段と、を有し、

前記変調手段は、前記加算手段の出力に基づいて変調信号を各列配線に出力することを  
特徴とする画像表示装置。

**【請求項6】**

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と

前記行配線に接続され、順次行配線を走査する走査手段と、  
前記列配線に接続された変調手段と、を備える画像表示装置において、

10

20

30

40

50

前記行配線の抵抗による電圧降下によって生じる輝度の低下を補償するための補正データを、画像データに対応して算出する補正データ算出手段と、  
 該補正データの階調数を減じる変換処理を行う階調数変換手段と、  
 階調数変換された補正データと前記入力された画像データとを加算する加算手段とを有し、

前記補正データ算出手段は、

前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、

前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正データを算出する離散補正データ算出手段と

10

前記離散補正データ算出手段の出力を補間して、補間された補正データを算出する補正データ補間手段と、を有し、

前記変調手段は、前記加算手段の出力に基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

【請求項7】

前記階調数変換手段は、該補正データに所定のディザテーブルの出力を演算する演算手段と、該演算手段の出力の下位ビットを切り捨てる手段とからなることを特徴とする請求項5又は6に記載の画像表示装置。

【請求項8】

20

前記変調信号は、前記画像データに基づいてパルス幅が変調された信号であることを特徴とする請求項1～7のいずれか1項に記載の画像表示装置。

【請求項9】

前記画像形成素子は、前記変調信号に応じて電子を放出する電子放出素子であることを特徴とする請求項1～8のいずれか一つに記載の画像表示装置。

【請求項10】

前記電子放出素子は表面伝導型放出素子であることを特徴とする請求項9に記載の画像表示装置。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、マトリクス状に配置された画像形成素子を備えた画像表示装置に関するものであり、例えば、マトリクス配線された複数の表面伝導型素子とその電子線照射を受け発光する蛍光面を備える表示パネルを用いてテレビジョン信号やコンピュータからなどの表示信号を受信し画像を表示するテレビジョン受信機やディスプレイ装置に適用され、特に前記表示パネルのマトリクス配線などが有する電気抵抗に起因する駆動電圧の電圧降下を補正する画像データの補正手段、及び画像データ又は補正データの階調数を変換処理する階調数変換手段からなる信号処理部に関するものである。

【0002】

【従来の技術】

40

従来、この種の画像表示装置としては、電子放出素子への電氣的な接続配線などの配線抵抗による電圧降下に起因する輝度低下を補正するために、統計演算によりその補正データを算出し、電子線要求値と補正值を合成する構成を有する画像表示装置が、特開平8-248920号公報に開示されている。

【0003】

図18は従来技術に係る画像表示装置の概略構成ブロック図である。

【0004】

以下にデータの補正に係わる構成を説明する。

【0005】

まず、デジタル画像信号の1ライン分の輝度データを合算器206で合算し、この合算

50

値に対応する補正率データをメモリ207から読み出す。一方、デジタル画像信号はシフトレジスタ204においてシリアル/パラレル変換され、ラッチ回路205において所定時間保持された後、所定のタイミングで各列配線毎に備えられる乗算器208に入力される。

【0006】

乗算器208において各列配線毎に輝度データとメモリ207から読み出された補正データを乗算し、得られた補正後のデータは変調信号発生器209に転送され、補正後のデータに対応する変調信号が変調信号発生器209において生成され、この変調信号に基づいて表示パネルに画像が表示される。

【0007】

ここでは、合算器206におけるデジタル画像信号の1ライン分の輝度データの合算処理のように、デジタル画像信号に対して総和や平均を算出するというような統計的な演算処理を行い、この値に基づいて補正を行っている。

【0008】

一方、画像信号のディザ処理については、例えば、特開昭63-213084号公開公報に記載されているように、ディザマトリックスを用いて、多値化画像信号を得ることが知られている。

【0009】

【発明が解決しようとする課題】

しかしながら、上述した従来の構成においては、各列配線毎の乗算器、補正データを出力するためのメモリ、メモリにアドレス信号を与えるための合算器など大規模なハードウェアが必要であった。

【0010】

また、補正を行うことにより、デジタルデータのビットの切り捨てが発生し、画像の階調性の劣化が生じるという問題があった。

【0011】

本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、簡易な構成で、配線の電気抵抗に基づく電圧減少の補正を行いつつ、画像品質に優れた画像表示装置及び画像表示方法を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するために本発明の画像表示装置にあつては、以下の構成を採用する。複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置において、入力された画像データに対応して、少なくとも前記行配線の抵抗による電圧降下の影響を低減するための補正画像データを算出する補正画像データ算出手段と、該補正画像データの階調数を減じる変換処理を行う階調数変換手段と、を有し、前記補正画像データ算出手段は、前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正画像データを算出する離散補正画像データ算出手段と、前記離散補正画像データ算出手段の出力を補間して、補間された補正画像データを算出する補正画像データ補間手段と、を有し、前記変調手段は、前記階調数変換手段によって変換処理された補正画像データに基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置において、前記行配線の抵抗による電圧降下によって生じる輝度の低下を補償するための補正を、画像データに対して行って補正画像データを算出する補正画像データ算出手段と、該補正画像データの階調数を減じる変換処理を行う階

10

20

30

40

50

調数変換手段と、を有し、前記補正画像データ算出手段は、前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正画像データを算出する離散補正画像データ算出手段と、前記離散補正画像データ算出手段の出力を補間して、補間された補正画像データを算出する補正画像データ補間手段と、を有し、前記変調手段は、前記階調数変換手段によって変換処理された補正画像データに基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

前記階調数変換手段は、前記補正画像データに所定のディザテーブルの出力を演算する演算手段と、該演算手段の出力の下位ビットを切り捨てる手段とからなることが好ましい。

10

前記階調数変換手段は、kビットの入力される画像データに対し、(k+L)ビットである前記補正画像データをkビットのデータに変換処理することが好ましい(但し、k, Lは正の整数)。

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置において、入力された画像データに対応して、少なくとも前記行配線の抵抗による電圧降下の影響を低減するための補正データを算出する補正データ算出手段と、該補正データの階調数を減じる変換処理を行う階調数変換手段と、階調数変換された補正データと前記入力された画像データとを加算する加算手段とを有し、前記補正データ算出手段は、前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正データを算出する離散補正データ算出手段と、前記離散補正データ算出手段の出力を補間して、補間された補正データを算出する補正データ補間手段と、を有し、前記変調手段は、前記加算手段の出力に基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

20

複数の行配線及び列配線に接続され、マトリクス状に配置された複数の画像形成素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置において、前記行配線の抵抗による電圧降下によって生じる輝度の低下を補償するための補正データを、画像データに対応して算出する補正データ算出手段と、該補正データの階調数を減じる変換処理を行う階調数変換手段と、階調数変換された補正データと前記入力された画像データとを加算する加算手段とを有し、前記補正データ算出手段は、前記画像データに基づいて、離散的な水平表示位置及び1水平走査期間内の離散的な時間のそれぞれにおける前記電圧降下の量を算出する手段と、前記電圧降下の量から、前記電圧降下の量を算出した離散的な水平表示位置及び1水平走査期間内の離散的な時間に対応する補正データを算出する離散補正データ算出手段と、前記離散補正データ算出手段の出力を補間して、補間された補正データを算出する補正データ補間手段と、を有し、前記変調手段は、前記加算手段の出力に基づいて変調信号を各列配線に出力することを特徴とする画像表示装置。

30

40

前記階調数変換手段は、該補正データに所定のディザテーブルの出力を演算する演算手段と、該演算手段の出力の下位ビットを切り捨てる手段とからなることが好ましい。

前記変調信号は、前記画像データに基づいてパルス幅が変調された信号であることが好ましい。

前記画像形成素子は、前記変調信号に応じて電子を放出する電子放出素子であることが好ましい。

前記電子放出素子は表面伝導型放出素子であることが好ましい。

【0014】

【発明の実施の形態】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし

50

、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみ限定する趣旨のものではない。

【0015】

なお、以下に示す実施においては、表面伝導型放出素子（以下、SCEと称する）を用いた画像表示装置を例として、詳しく説明する。

【0016】

（第1の実施の形態）

以下、図面を参照して、本発明の第1の実施の形態に係る画像表示装置について説明する。

10

【0017】

まず、本発明の実施の形態に係る画像表示装置の表示パネルの概観、表示パネルの電気的接続、SCEの特性から簡単に説明する。

【0018】

画像表示装置は、行電極を線順次に走査選択する走査回路と、画像データの大きさに応じて、列電極への出力電圧のパルス幅を可変するパルス幅変調手段からなる単純マトリクスディスプレイの構成を有する。なお、以降では、行配線を走査配線、列配線を変調配線と呼ぶこともある。

【0019】

（画像表示装置の概観）

20

図2は、本発明の実施の形態に係る画像表示装置（表示パネル）の斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0020】

図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、これらにより表示パネルの内部を真空に維持するための気密容器を形成している。

【0021】

リアプレート1005には、素子基板1001が固定されているが、この基板1001上には画像形成素子としてのSCE1002が $N \times M$ 個形成されている。行配線1003及び列配線1004及びSCEは図3のように接続されている。

【0022】

30

ここで、上記基板1001、SCE1002、行配線1003及び列配線1004によって構成される部分をマルチ電子源と呼ぶこととする。

【0023】

また、フェースプレート1007の下面には、赤、緑、青の3原色の蛍光体1008が各画素に対応して形成されている。

【0024】

蛍光膜1008の下面にはメタルバック1009が形成され、メタルバック1009に電氣的に接続されているHv端子に高電圧を印加することにより、リアプレートとフェースプレートの間に高電圧が印加される。

【0025】

40

（SCEの特性）

SCEは、図4に示すように、（放出電流 $I_e$ ）対（素子印加電圧 $V_f$ ）特性、および（素子電流 $I_f$ ）対（素子印加電圧 $V_f$ ）特性を有する。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

【0026】

すなわち、放出電流 $I_e$ に関して以下に述べる3つの特性を有している。

【0027】

第一に、閾値電圧 $V_{th}$ 以上の電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。

50

## 【0028】

また、第二に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  を可変することにより、放出電流  $I_e$  の大きさを制御できる。

## 【0029】

また、第三に、SCEは高速応答性を有しているため、電圧  $V_f$  の印加時間により放出電流  $I_e$  の放出時間を制御できる。

## 【0030】

図2に示した表示パネルを用いた画像表示装置において、第一の特性を利用すれば、選択された素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加し、順次走査して素子を選択することにより単純マトリクス表示を行うことが可能である。

10

## 【0031】

また、第二の特性を利用することにより、素子に印加する電圧  $V_f$  を変調することにより、蛍光体の発光輝度を制御することができ、振幅変調による階調表示を行うことが可能である。

## 【0032】

また、第三の特性を利用することにより、素子に電圧  $V_f$  を印加する時間を変調することにより、蛍光体の発光時間を制御することができ、パルス幅変調(PWM)による階調表示を行うことができる。

## 【0033】

(表示パネルの駆動方法)

図5は本発明の実施の形態に係る表示パネルを駆動した際に走査配線及び変調配線の電圧供給端子に印加した電圧の一例である。

20

## 【0034】

いま、水平走査期間  $I$  は  $i$  行目のピクセルを発光させる期間とする。

## 【0035】

$i$  行目のピクセルを発光させるためには、 $i$  行目の走査配線を選択状態とし、その電圧供給端子  $D_{xi}$  に選択電位  $V_s$  を印加する。また、それ以外の走査配線の電圧供給端子  $D_{xk}$  ( $k = 1, 2, \dots, N$ 、但し  $k \neq i$ ) は非選択状態とし、非選択電位  $V_{ns}$  を印加する。

30

## 【0036】

本例では、選択電位  $V_s$  を図4に記載の電圧  $V_{SEL}$  の半分の  $-0.5 V_{SEL}$  に設定し、非選択電位  $V_{ns}$  はGND電位とした。

## 【0037】

また、変調配線の電圧供給端子には、電圧振幅  $V_{pwm}$  のパルス幅変調信号を供給した。 $j$  番目の変調配線に供給するパルス幅変調信号のパルス幅は、従来、補正を行わない場合は、表示する画像の第  $i$  行第  $j$  列のピクセルの画像データの大きさに応じて決定し、すべての変調配線に各々のピクセルの画像データの大きさに応じたパルス幅変調信号を供給していた。

## 【0038】

なお、本実施形態においては、後述するように、電圧降下の影響による、輝度の低下を補正するために、 $j$  番目の変調配線に供給するパルス幅変調信号のパルス幅は、表示する画像の第  $i$  行第  $j$  列のピクセルの画像データの大きさと、その補正量に応じて決定し、すべての変調配線にパルス幅変調信号を供給する。

40

## 【0039】

本実施形態では、電圧  $V_{pwm}$  の電圧は  $+0.5 V_{SEL}$  に設定した。

## 【0040】

(走査配線での電圧降下について)

上述したように、本発明の課題は、表示パネルの走査配線における電圧降下によって、走査配線上の電位が上昇することにより、SCEに印加される電圧が減少するため、SCE

50

からの放出電流が低減してしまうことである。以下、この電圧降下の機構について説明する。

【0041】

SCEの設計仕様や製法によっても異なるが、SCEの1素子分の素子電流は電圧 $V_{SEL}$ を印加した場合に数100 $\mu$ A程度である。

【0042】

このため、ある水平走査期間において選択された走査線上の1ピクセルのみを発光させ、それ以外のピクセルは発光させない場合には、変調配線から選択行の走査配線に流入する素子電流は1ピクセル分の電流(すなわち上述の数100 $\mu$ A)だけであるため、電圧降下はほとんど生じることはなく、発光輝度が低下することはない。

10

【0043】

しかし、ある水平走査期間において、選択された行の全ピクセルを発光させる場合には、全変調配線から選択状態としている走査配線に対し、全ピクセル分の電流が流入するため、電流の総和は数100mA~数Aとなり、走査配線の配線抵抗によって走査配線に電圧降下が発生する。

【0044】

走査配線に電圧降下が発生すれば、SCEの両端に印加される電圧が低下する。このためSCEから発光される放出電流が低下してしまい、結果として発光輝度が低下していた。

【0045】

また、さらに複雑なことに、電圧降下の大きさはパルス幅変調によって変調を行うことにより1水平走査期間の中でも変化する性質を持っている。

20

【0046】

各列に供給するパルス幅変調信号が、図5に示したように入力されるデータに対し、そのデータの大きさに依存したパルス幅の、立ち上がりが同期したパルス幅変調信号を出力する場合には、入力画像データにもよるが一般的には、1水平走査期間の初めほど点灯しているピクセルの数が多く、その後輝度の低い箇所から順に消灯していくため、点灯するピクセルの数は一水平走査期間の中では、時間を追って減少する。

【0047】

したがって、走査配線に発生する電圧降下の大きさも、1水平走査期間の初めほど大きく次第に減少していく傾向がある。

30

【0048】

パルス幅変調信号は変調の1階調に相当する時間ごとに出力が変化するため、電圧降下の時間的な変化もパルス幅変調信号の1階調に相当する時間毎に変化する。

【0049】

以上、本発明の根本的な課題である走査配線における電圧降下について説明した。

【0050】

次に、本発明の実施の形態の特徴である電圧降下の影響に対する補正の方法について説明する。

【0051】

(電圧降下の計算方法)

電圧降下の影響を低減するための補正量を求めるには、まずその第一段階として、電圧降下の大きさとその時間変化をリアルタイムに予測するハードウェアが必要とされる。しかし、本発明の実施の形態のような画像表示装置の表示パネルとしては、数千本もの変調配線を備えることが一般的であり、変調配線のすべてと走査配線との交点の電圧降下を計算することは非常に困難であるとともに、それをリアルタイムで計算するハードウェアを作製することは現実的ではない。

40

【0052】

従って、同一行の位置に関してブロック化するとともに、画像データの大きさ方向へもブロック化することにより、電圧降下量を求める。

50



## 【 0 0 5 3 】

このようなブロック化は電圧降下における以下のような特徴に基づくものである。

## 【 0 0 5 4 】

i ) 一水平走査期間のある時点においては、走査配線上に発生する電圧降下は走査配線上で空間的に連続的な量であり非常に滑らかなカーブである。

## 【 0 0 5 5 】

i i ) 電圧降下の大きさは表示画像によっても異なるが、パルス幅変調の1階調に相当する時間毎に変化するが、概略的には、パルスの立ち上がり部分ほど大きく、時間的には次第に小さくなるか、もしくはその大きさを維持するかのどちらかである。すなわち、図5のような駆動方法では1水平走査期間の中で電圧降下の大きさが増加することはない。

10

## 【 0 0 5 6 】

具体的には以下で説明する縮退モデルによる電圧降下の計算を複数の時刻に対して計算することによって、電圧降下の時間変化を概略的に予測した。

## 【 0 0 5 7 】

( 縮退モデルによる電圧降下の計算 )

図6 ( a ) は、本発明の実施の形態における縮退を行う際のブロック及びノードを説明するための図である。

## 【 0 0 5 8 】

同図では図を簡略化するため、選択された走査配線と各変調配線およびその交差部に接続されるSCEのみを記載した。

20

## 【 0 0 5 9 】

いま一水平走査期間の中のある時刻であって、選択された走査配線上の各ピクセルの点灯状態 ( すなわち変調手段の出力が " H " であるか、 " L " であるか ) が分かっているものとする。

## 【 0 0 6 0 】

この点灯状態において、各変調配線から選択された走査配線へ流れ込む素子電流を  $I f i$  (  $i = 1, 2, \dots, N$ ,  $i$  は列番号 ) と定義する。

## 【 0 0 6 1 】

また、同図に示すように、 $n$  本の変調配線と選択された走査配線のそれと交差する部分及び、その交点に配置されるSCEを1つのグループとしてブロックを定義する。本例では、ブロック分けを行うことで4つのブロックに分割された。

30

## 【 0 0 6 2 】

また、各々のブロックの境界位置においてノードという位置を設定した。ノードとは、縮退モデルにおいて同一行上に発生する電圧降下量を離散的に計算するための水平位置 ( 基準点 ) である。ここで、分割されたブロックはノード ( 基準点 ) によって分割された走査配線の領域に接続されるSCEによって構成されている。

## 【 0 0 6 3 】

本例ではブロックの境界位置に、ノード0 ~ ノード4の5つのノードを設定した。

## 【 0 0 6 4 】

図6 ( b ) は縮退モデルを説明するための図である。

40

## 【 0 0 6 5 】

縮退モデルでは同図 ( a ) の1ブロックに含まれる  $n$  本の変調配線を1本に縮退化し、それが走査配線のブロックの中央に位置するように接続した。

## 【 0 0 6 6 】

また、集中化された各々のブロックの変調配線には電流源が接続されており、各電流源から各々のブロック内の電流の総和 ( 統計量 )  $I F 0 \sim I F 3$  が流れ込むものとした。

## 【 0 0 6 7 】

即ち、 $I F j$  (  $j = 0, 1, \dots, 3$  ) は、次ぎの式で表される電流である。

## 【 0 0 6 8 】

【 数 1 】

50

$$IF_j = \sum_{i=j \times n + 1}^{(j+1) \times n} If_i \quad (\text{式 1})$$

また、走査配線の両端の電位が同図 ( a ) の例では  $V_s$  であるのに対し、同図 ( b ) では GND 電位としているのは、縮退モデルでは、変調配線から選択した走査配線に流れ込む電流を上記電流源によりモデリングしたことにより、走査配線上の各部の電圧降下量は、その給電部を基準電位として各部の電圧 ( 電位差 ) を算出することにより計算できるためである。

【 0 0 6 9 】

また、SCE を省略しているのは、選択された走査配線から見た場合に、列配線から同等の電流が流れ込めば、SCE の有無によらず、発生する電圧降下自体は変わらないためである。従って、ここでは、各ブロックの電流源から流れ込む電流値を各ブロック内の素子電流の総和の電流値 ( 式 1 ) に設定することで SCE を省略した。

【 0 0 7 0 】

また、各ブロックの走査配線の配線抵抗は一区間の走査配線の配線抵抗  $r$  の  $n$  倍とした ( ここで一区間とは走査配線の、ある列配線との交差点とその隣の列配線との交差点の間を指している。また本例では、一区間の走査配線の配線抵抗は均一であるものとした ) 。

【 0 0 7 1 】

このような縮退モデルにおいて、走査配線上の各ノードにおいて発生する電圧降下量  $DV_0 \sim DV_4$  は以下のような積和形式の式により、簡単に計算することができる。

【 0 0 7 2 】

【 数 2 】

$$DV_0 = a_{00} \times IF_0 + a_{01} \times IF_1 + a_{02} \times IF_2 + a_{03} \times IF_3$$

$$DV_1 = a_{10} \times IF_0 + a_{11} \times IF_1 + a_{12} \times IF_2 + a_{13} \times IF_3$$

$$DV_2 = a_{20} \times IF_0 + a_{21} \times IF_1 + a_{22} \times IF_2 + a_{23} \times IF_3$$

$$DV_3 = a_{30} \times IF_0 + a_{31} \times IF_1 + a_{32} \times IF_2 + a_{33} \times IF_3$$

$$DV_4 = a_{40} \times IF_0 + a_{41} \times IF_1 + a_{42} \times IF_2 + a_{43} \times IF_3$$

すなわち、

【 数 3 】

$$DV_i = \sum_{j=0}^3 a_{ij} \times IF_j \quad (\text{式 2})$$

$$( i = 0, 1, 2, 3, 4 )$$

ただし、 $a_{ij}$  は縮退モデルにおいて  $j$  番目のブロックだけに単位電流を注入したときに、 $i$  番目のノードに発生する電圧である ( 以下、これを  $a_{ij}$  の定義とする。 ) 。

【 0 0 7 3 】

上記の  $a_{ij}$  はキルヒホフの法則により導出され、一度計算してテーブルとして記憶しておけばよい。

【 0 0 7 4 】

さらに、式 1 で定めた各ブロックの総和電流  $IF_0 \sim IF_3$  に対し、式 4 のような近似を行う。

【 0 0 7 5 】

【 数 4 】

10

20

30

40

50

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} IF_i = IFS \times \sum_{i=j \times n+1}^{(j+1) \times n} \text{Count } i \quad (\text{式 4})$$

ただし、上式において  $\text{Count } i$  は選択された走査線上の  $i$  番目のピクセルが点灯状態である場合には 1 をとり、消灯状態である場合には 0 をとる変数である。

【0076】

$I F S$  は  $S C E 1$  素子の両端に電圧  $V_{SEL}$  を印加したときに流れる素子電流  $I F$  に対し、 $0 \sim 1$  の間の値をとる係数  $\alpha$  をかけた量である。

10

【0077】

すなわち、次式のように定義した。

【0078】

【数5】

$$I F S = \alpha \times I F \quad (\text{式 5})$$

式 4 は選択された走査配線に対し各ブロックの列配線から該ブロック内の点灯数に比例した素子電流が流れ込むものとしている。この際 1 素子の素子電流  $I F$  に係数  $\alpha$  をかけたものを 1 素子の素子電流  $I F S$  としたのは、以下の理由による。

【0079】

20

本来、電圧降下量を計算するためには、電圧降下による走査配線の電圧上昇とそれによる素子電流の減少量とを繰り返し計算することが必要であるが、この収束計算をハードウェアで計算するのは現実的でない。

【0080】

そこで、本発明の実施の形態においては、 $I F$  の収束値として近似的に  $I F$  を用いる。具体的には、電圧降下量が最大となる時（全白のとき）の  $I F$  の低下率（ $= \alpha_1$ ）と、電圧降下量が（最小 = 0）となる時の  $I F$  の低下率（ $= \alpha_2$ ）を予め見積もっておいて、 $\alpha_1$  と  $\alpha_2$  の平均値または  $0.8 \times \alpha_1$  として求められる。

【0081】

図 6 (c) は、ある点灯状態において、縮退モデルにより各ノードの電圧降下量  $D V 0 \sim D V 4$  を計算した結果の一例である。

30

【0082】

電圧降下は非常に滑らかなカーブとなるため、ノードとノードの間の電圧降下は近似的には図の点線に示したような値をとると想定される。

【0083】

このように本縮退モデルを用いれば、任意の画像データに対し所望の時点でのノードごとの電圧降下を計算することが可能である。

【0084】

以上、ある点灯状態における電圧降下量を、縮退モデルを用いて簡単に計算した。

【0085】

40

選択された走査配線上に発生する電圧降下は一水平走査期間内で時間的に変化するが、これについては、一水平走査期間中のいくつかの時刻（基準時刻）に対して、その時の点灯状態を求め、その点灯状態に対し縮退モデルを用いて電圧降下を計算することにより予測した。

【0086】

なお、一水平走査期間のある時点での各ブロック内の点灯数は各ブロックの画像データを参照すれば簡単に求めることができる。

【0087】

いま、1つの例としてパルス幅変調回路への入力データのビット数が 8 ビットであるものとし、パルス幅変調回路は、入力データの大きさに対してリニアなパルス幅を出力するも

50

のとする。

【0088】

すなわち入力データが0のときは、出力は”L”となり、入力データが255のとき一水平走査期間の間は”H”を出力し、入力データが128のときには一水平走査期間のうち初めの半分の期間は”H”を出力し、後の半分の期間は”L”を出力するものとする。

【0089】

このような場合、パルス幅変調信号の立ち上がった時刻（開始時刻）の点灯数は、パルス幅変調回路への入力データが0よりも大きいものの数をカウントすれば簡単に検出できる。

【0090】

同様に一水平走査期間の中央の時刻の点灯数は、パルス幅変調回路への入力データが128よりも大きいものの数をカウントすれば簡単に検出できる。

【0091】

このように画像データがある閾値に対してコンパレートし、コンパレータの出力が真である数をカウントすれば、任意の時間における点灯数を簡単に計算することができる。

【0092】

ここで以降の説明を簡単化するため、タイムスロットという時間量を定義する。

【0093】

すなわち、タイムスロットとは一水平走査期間のなかのパルス幅変調信号の立ち上がりからの時間を表しており、タイムスロット=0とはパルス幅変調信号の開始時刻（この場合は立ち上がり）直後の時刻を表すものと定義する。

【0094】

タイムスロット=64とは、パルス幅変調信号の開始時刻から、64階調分の時間が経過した時刻を表すものと定義する。

【0095】

なお、本例ではパルス幅変調は立ち上がり時刻を基準として、そこからのパルス幅を変調した例を示したが、同様に、パルスの立ち下がり時刻を基準として、パルス幅を変調する場合でも、時間軸の進む方向とタイムスロットの進む方向が逆となるが、同様に適用することができることはいうまでもない。

【0096】

（電圧降下量から補正データの計算）

上述したように、縮退モデルを用いて繰り返し計算を行うことで一水平走査期間中の電圧降下の時間変化を近似的かつ離散的に計算することができる。


【0097】

図7は、ある画像データに対して、電圧降下を繰り返し計算し、走査配線での電圧降下の時間変化を計算した例である（ここに示されている電圧降下及びその時間変化は、ある画像データに対する一例であって、別の画像データに対する電圧降下は、また別の変化をすることは当然である。）。

【0098】

同図ではタイムスロット=0, 64, 128, 192の4つの時点に対して、各々縮退モデルを適用して計算を行うことに、それぞれの時刻の電圧降下を離散的に計算した。

【0099】

図7では各ノードにおける電圧降下量を点線で結んでいるが、点線は図を見やすくするために記載したものであって、本縮退モデルにより計算された電圧降下は、で示した各ノードの位置において離散的に計算した。

【0100】

本発明者らは、電圧降下の大きさとその時間変化を計算可能となった次の段階として、電圧降下量から画像データを補正する補正データを算出する方法について検討を行った。

【0101】

図8は、選択した走査配線上に図7に示した電圧降下が発生した際に、点灯状態にあるS

10

20

30

40

50

C E から放出される放出電流を見積もったグラフである。

【0102】

縦軸は電圧降下がないときに放出される放出電流の大きさを100%として、各時間、各位置の放出電流の量を百分率で表しており、横軸は水平位置を表している。

【0103】

図8に示すように、ノード2の水平位置(基準点)において、タイムスロット=0の時の放出電流を $I_{e0}$ 、タイムスロット=64の時の放出電流を $I_{e1}$ 、タイムスロット=128の時の放出電流を $I_{e2}$ 、タイムスロットが192の時の放出電流を $I_{e3}$ とする。

【0104】

図8は図7の電圧降下量と図4の“駆動電圧対放出電流”のグラフから計算した。具体的には電圧 $V_{SEL}$ から電圧降下量を引いた電圧が印加された際の放出電流の値を単に機械的にプロットしたものである。

10

【0105】

したがって、同図はあくまで点灯状態にあるSCEから放出される電流を意味しており、消灯状態にあるSCEが電流を放出することはない。

【0106】

以下に、電圧降下量から画像データを補正する補正データを算出する方法について説明する。

【0107】

図9(a), (b), (c)は図8の放出電流の時間変化から、電圧降下量の補正データを計算する方法を説明するための図である。同図は大きさが64の画像データに対する補正データを算出した例である。

20

【0108】

輝度の発光量は、放出電流パルスによる放出電流を時間的に積分した、放出電荷量に他ならない。したがって以降では、電圧降下による輝度の変動を考えるのにあたって、放出電荷量をもとに説明を行う。

【0109】

いま、電圧降下の影響がない場合の放出電流を $I_E$ 、パルス幅変調の1階調に相当する時間を $t$ とするならば、画像データが64のときの、放出電流パルスによって放出されるべき放出電荷量 $Q_0$ は放出電流パルスの振幅 $I_E$ にパルス幅( $64 \times t$ )をかけて、次のように表すことができる。

30

【0110】

【数6】

$$Q_0 = I_E \times 64 \times \Delta t \quad (\text{式6})$$

しかし、実際には、走査配線上の電圧降下によって放出電流が低下する現象が発生する。

【0111】

電圧降下の影響を考慮した放出電流パルスによる放出電荷量は、近似的には次のように計算できる。

40

【0112】

すなわち、ノード2のタイムスロット=0、64の放出電流をそれぞれ $I_{e0}$ 、 $I_{e1}$ とし、0~64の間の放出電流は $I_{e0}$ と $I_{e1}$ の間を直線的に変化するものと近似すれば、この間の放出電荷量 $Q_1$ は図9(b)の台形の面積、すなわち、次のように計算できる。

【0113】

【数7】

$$Q_1 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式7})$$

50

次に、図9(c)に示すように、電圧降下による放出電流の低下分を補正するために、パルス幅をDC1だけ伸ばしたとき、電圧降下の影響を除去できたとする。

【0114】

また、電圧降下の補正を行い、パルス幅を伸ばした場合には、各タイムスロットにおける放出電流量は変化すると考えられるが、ここでは簡単化のため、図9(c)のように、タイムスロット=0では、放出電流が $I_{e0}$ 、タイムスロット=(64+DC1)における放出電流が $I_{e1}$ になるものとする。

【0115】

また、タイムスロット0とタイムスロット(64+DC1)の間の放出電流は、2点の放出電流を直線で結んだ線上の値をとるものと近似する。

10

【0116】

すると、補正後の放出電流パルスによる放出電荷量 $Q_2$ は、次のように計算できる。

【0117】

【数8】

$$Q_2 = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{式8})$$

これが前述の $Q_0$ と等しいとすれば、

【数9】

$$IE \times 64 \times \Delta t = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5$$

20

これをDC1について解けば、

【数10】

$$DC1 = ((2 \times IE - I_{e0} - I_{e1}) / (I_{e0} + I_{e1})) \times 64 \quad (\text{式9})$$

となる。

【0118】

このようにして、画像データが64の場合の補正データを算出した。

【0119】

すなわち、ノード2の位置の、大きさが64の画像データに対しては式9に記載のように、 $CData = DC1$ だけ補正量を加算すればよい。

30

【0120】

同様に、大きさが192の画像データに対しては、図10のように、3つの期間の各々に対して補正量を求めることができる。

【0121】

また、パルス幅が0の時には、当然ながら放出電流に対する電圧降下の影響はないため、補正データは0とし画像データに加算する補正データ $CData$ も0とした。

【0122】

なお、このように0、64、128、192というように、とびとびの画像データに対して補正データを計算しているのは、計算量を減らすことを狙ったものである。

40

【0123】

本方法により求めた、ある入力画像データに対する離散補正データの例を図11(a)に示す。同図において横軸は水平表示位置に対応しており、各ノードの位置が記載されている。また、縦軸は補正データの大きさである。

【0124】

離散補正データは図の , , , で記載したノードの位置と画像データ $Data$ の大きさ(画像データ基準値=0, 64, 128, 192)に対して計算がされているものである。

【0125】

50

(離散補正データの補間方法)

離散的に算出された補正データは、各ノードの位置に対する離散的なものであって、任意の水平位置(列配線番号)における補正データを与えるものではない。また、それと同時に、各ノード位置においていくつかの予め定められた画像データの基準値の大きさをもつ画像データに対する補正データであって実際の画像データの大きさに応じた補正データを与えるものではない。

【0126】

そこで、次に、離散的に算出した補正データを直線補間することにより、各列配線の任意の画像データに対する補正データを算出する方法について説明する。

【0127】

図11(b)はノードnとノードn+1の間に位置するxという位置における、画像データDataに相当する補正データを算出する方法を示した図である。

【0128】

なお、前提として、補正データはすでにノードn及びノードn+1の位置 $X_n$ 及び $X_{n+1}$ において離散的に計算されているものとする。

【0129】

また、入力画像データであるDataはすでに離散的に補正データが算出されている2つの画像データ基準値 $D_k$ と $D_{k+1}$ の間の値をとるものとする。

【0130】

いま、ノードnのk番目の画像データの基準値 $D_k$ に対する補正データを $CData[k][n]$ と表記するならば、位置xにおける画像データ $D_k$ に対する補正データCAは、 $CData[k][n]$ と $CData[k][n+1]$ の値を用いて、直線近似により、以下のように計算できる。

【0131】

【数11】

$$CA = \frac{(X_{n+1} - x) \times CData[k][n] + (x - X_n) \times CData[k][n+1]}{X_{n+1} - X_n} \quad (\text{式10})$$

また、位置xにおける画像データ $D_{k+1}$ の補正データCBは以下のように計算できる。

【0132】

【数12】

$$CB = \frac{(X_{n+1} - x) \times CData[k+1][n] + (x - X_n) \times CData[k+1][n+1]}{X_{n+1} - X_n} \quad (\text{式11})$$

CAとCBの補正データを直線近似することにより、位置xにおける画像データDataに対する補正データCDは、以下のように計算できる。

【0133】

【数13】

$$CD = \frac{CA \times (D_{k+1} - Data) + CB \times (Data - D_k)}{D_{k+1} - D_k} \quad (\text{式12})$$

以上のように、離散補正データから実際の位置や画像データの大きさに適合した補正データを算出するためには、式10～式12に記載した方法により簡単に計算できる。図11(a)のノード間を結ぶ破線は以上の計算により、離散的補正データが補間された結果である。図からわかるように、本発明の電圧降下補正法においては、画像データが0のときは電圧降下が起こらないので、位置xについて同じ補正データを算出するが(もちろん補正データが0であることも含む)、画像データが0でない同一の画像データに対しては位

10

20

30

40

50

置 $x$ 、即ち画面の水平方向について、なだらかな分布をもつ補正データを算出する。但し、走査線の方向が画面の垂直方向である場合は、画面の垂直方向について、なだらかな分布をもつ補正データとなる。

【0134】

このようにして算出した補正データを画像データに加算して画像データを補正し、補正後の画像データに応じてパルス幅変調を行えば、従来からの課題であった電圧降下による画質の低下を低減することができ、画質を向上させることができる。

【0135】

(システム全体と主要部分の機能説明)

図1は本発明の実施の形態に係る画像表示装置の回路構成の概略を示すブロック図である 10

【0136】

図1において1は表示パネル、 $Dx1 \sim DxM$ 及び $Dx1' \sim DxM'$ は表示パネルの走査配線の端子、 $Dy1 \sim DyN$ は表示パネルの変調配線の端子、 $Hv$ はフェースプレートとリアプレート間に加速電圧を印加するための高圧端子、 $Va$ は高圧電源である。

【0137】

また、2は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路により $YPrPb$ 信号を $RGB$ に変換するための変換回路である。また、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は表示パネルの変調配線に変調信号を出力するパルス幅変調手段、12は画像データと補正データを加算し、補正画像データ $Dout$ を出力する加算器、14は補正データ算出手段、15は階調数変換手段である。 20

【0138】

また、同図において、 $R[7:0]$ 、 $G[7:0]$ 、 $B[7:0]$ は8ビット幅の $RGB$ の入力画像データ、 $gR[7:0]$ 、 $gG[7:0]$ 、 $gB[7:0]$ は逆変換処理を施された8ビット幅の画像データ、 $Data[7:0]$ は、データ配列変換部によりパラレル・シリアル変換されたシリアルな8ビット幅の画像データである。

【0139】

また、 $CD[9:0]$ は10ビット幅の補正データ、 $DZ[7:0]$ は階調数変換された8ビット幅の補正データ、 $Dout[7:0]$ は補正データを加算された8ビット幅の画像データである。 30

【0140】

(加算器12)

加算器12は補正データ算出手段からの補正データ $CD$ と画像データ $Datb$ を加算する手段である。加算を行うことにより画像データ $Data$ は補正が施され、画像データ $Dout$ としてシフトレジスタへ転送される。

【0141】

なお、画像データ $Data$ と補正データ $CD$ を加算する際に、加算器でオーバーフローが起きる可能性があるが、これに対し、本例ではオーバーフローを起こさないための構成として、画像データ $Data$ と補正データ $CD$ を加算した際の最大値に応じて、加算器のビット幅と、その後の変調手段のビット幅を決定した。 40

【0142】

より具体的には、本例の画像表示装置の場合、画像データがすべて255の画面の際に補正データが最大120になったため、加算器の出力の最大値 $= 255 + 120 = 375$ となったため、加算器の出力ビット数を9ビット、変調手段のビット数も9ビットとして各部のビット数を決定した。

【0143】

また、オーバーフローがおきないようにするための別の構成としては、加算される補正データの最大値をあらかじめ見積もり、該最大値が加算されたときにオーバーフローがおき 50



ないように、画像データの取りえる範囲を予め小さくしておいてもよい。

【0144】

画像データの取りえる大きさを小さくするためには、たとえば、入力画像データをA/D変換する際に制限してもよいし、乗算器を設けて、入力された画像データに0以上1以下のゲインを乗算し、その大きさを制限してもよい。

【0145】

また、補正データ出力部にリミッタを設けてもよい。

【0146】

(遅延回路19)

データ配列変換部により並び替えが行われた画像データSDataは補正データ算出手段と遅延回路(遅延手段)19に入力される。補正データ算出手段の補正データ補間部はタイミング制御回路からの水平位置情報xと画像データSDataを参照して、それらにあった補正データCDを算出する。

10

【0147】

遅延回路19は、補正データ算出にかかる時間を吸収するために設けられており、加算器で画像データに補正データが加算される際に、画像データにそれに対応した補正データが正しく加算されるよう遅延を行う手段である。同手段はフリップフロップを用いることにより構成できる。

【0148】

(変調手段の詳細)

ラッチ回路6の出力であるパラレル画像データD1~DNは変調手段8へと供給される。

20

【0149】

変調手段は、図12(a)に示したように、PWMカウンタと、各変調配線ごとにコンパレータとスイッチ(同図ではFET)を備えたパルス幅変調回路(PWM回路)である。

【0150】

画像データD1~DNと変調手段の出力パルス幅の関係は、図12(b)のようになりニアな関係にある。

【0151】

同図(c)に変調手段の出力波形の例を3つ示す。

【0152】

同図において上側の波形は、変調手段への入力データが0の時の波形、中央の波形は、変調手段への入力データが256の時の波形、下側の波形は、変調手段への入力データが511の時の波形である。

30

【0153】

なお、本例では変調手段への入力データD1~DNのビット数は前述のように、オーバーフローしないことを考慮して、9ビットとした。

【0154】

なお、前述の説明では、変調手段の入力データが511のときは、一水平走査期間に相当するパルス幅の変調信号が出力されると記載した箇所があるが、詳細には、同図(c)のように非常に短い時間ではあるがパルスの立ち上がる前と、立ち下がった後に駆動しない期間を設けタイミング的な余裕を持たせている。

40

【0155】

(補正データ算出手段)

補正データ算出手段は前述した補正データ算出方法により、電圧降下の補正データを算出する回路である。補正データ算出手段は図13に示すように離散補正データ算出部と補正データ補間部の2つのブロックから構成される。

【0156】

離散補正データ算出部では入力された映像信号から電圧降下量を算出し、電圧降下量から補正データを離散的に計算する手段である。同手段は計算量やハードウェア量を減少させるために、前述の縮退モデルの概念を導入して、補正データを離散的に算出する。

50

## 【 0 1 5 7 】

離散的に算出された補正データは補正データ補間部（補正データ補間手段）により補間され、画像データの大きさやその水平表示位置  $x$  に適合した補正データ  $CD$  が算出される。

## 【 0 1 5 8 】

（離散補正データ算出部）

離散補正データ算出部は、画像データをブロックわけし、ブロックごとの統計量（点灯数）を算出するとともに、統計量から各ノードの位置における、電圧降下量の時間変化を計算する電圧降下量算出部としての機能と、各時間ごとの電圧降下量を発光輝度量に変換する機能、および発光輝度量を時間方向に積分して、発光輝度総量を算出する機能、およびそれらから離散的な基準点における、画像データの基準値に対する補正データを算出する手段である。

10

## 【 0 1 5 9 】

（補正データ補間部）

補正データ補間部は画像データの表示される位置（水平位置）及び、画像データの大きさに適合した補正データを算出するための手段である。同手段は離散的に算出された補正データを補間することにより、画像データの表示位置（水平位置）及び、画像データの大きさに応じた補正データを算出する。

## 【 0 1 6 0 】

（各部の動作タイミング）

図 15 に各部の動作タイミングのタイミングチャートを示す。

20

## 【 0 1 6 1 】

なお、同図において  $Hsync$  は水平同期信号、 $DotCLK$  はタイミング発生回路の中の PLL 回路により水平同期信号  $Hsync$  から作成したクロック、 $R$ 、 $G$ 、 $B$  は入力切り替え回路からのデジタル画像データ、 $Data$  はデータ配列変換後の画像データ、 $DotOut$  は電圧降下補正を施された画像データ、 $TSFT$  はシフトレジスタ 5 へ画像データ  $DotOut$  を転送するためのシフトクロック、 $DataLoad$  はラッチ回路 6 へデータをラッチするためのロードパルス、 $Pwmstart$  は前述のパルス幅変調の開始信号、変調信号  $XD1$  は変調配線 1 へ供給されるパルス幅変調信号の一例である。

## 【 0 1 6 2 】

1 水平期間の開始とともに、入力切り替え回路からデジタル画像データ  $RGB$  が転送される。同図では水平走査期間  $I$  において、入力される画像データを  $R\_I$ 、 $G\_I$ 、 $B\_I$  で表すと、それらは、データ配列変換回路 9 では 1 水平期間の間、画像データを蓄えられ、水平走査期間  $I + 1$  において、表示パネルの画素配置に合わせてデジタル画像データ  $Data\_I$  として出力される。

30

## 【 0 1 6 3 】

$R\_I$ 、 $G\_I$ 、 $B\_I$  は、水平走査期間  $I$  において補正データ算出手段に入力される。同手段では、前述した点灯数をカウントし、カウントの終了とともに、電圧降下量が算出される。

## 【 0 1 6 4 】

電圧降下量が算出されるのにつづいて、離散補正データが算出され、算出結果がレジスタに格納される。

40

## 【 0 1 6 5 】

走査期間  $I + 1$  に移り、データ配列変換部から、1 水平走査期間前の画像データ  $Data\_I$  が出力されるのに同期して、補正データ補間部では離散補正データが補間され、補正データが算出される。補間された補正データは、階調数変換部 15 で直ちに階調数変換を施され、加算器 12 に供給される。

## 【 0 1 6 6 】

加算器 12 では、画像データ  $Data$  と補正データ  $CDz$  を順次加算し、補正された画像データ  $DotOut$  をシフトレジスタへ転送する。シフトレジスタは  $Tsft$  にしたがって、一水平期間分の画像データ  $DotOut$  を記憶するとともにシリアル・パラレル変換をおこな

50

ってパラレルな画像データID1～IDNをラッチ回路6に出力する。ラッチ回路6はData loadの立ち上がりにしたがってシフトレジスタからのパラレル画像データID1～IDNをラッチし、ラッチされた画像データD1～DNをパルス幅変調手段8へと転送する。

【0167】

パルス幅変調手段8は、ラッチされた画像データに応じたパルス幅のパルス幅変調信号を出力する。本実施形態の画像表示装置では、結果として、変調手段が出力するパルス幅は、入力された画像データに対し、2水平走査期間分おくらせて表示される。

【0168】

このような画像表示装置により画像の表示を行ったところ、従来からの課題であった走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

10

【0169】

また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できるなど、非常に優れた効果があった。

【0170】

また、画像データの小さい箇所では、補正データを算出した際の誤差により受ける影響が目立ちやすいという特徴がある。またこれと逆に、画像データの大きさが大きい箇所では、画像データの大きさ自体が大きいため、補正データを算出した際の誤差による影響は目立ちにくい。

20

【0171】

このような特徴を鑑みて、補正の誤差を減らすという観点では、画像データの小さい領域において、画像データ基準値を設定する間隔を細かく設定し、逆に、画像データの大きさの大きい領域においては、画像データ基準値を設定する間隔を荒く設定することが好ましかった。

【0172】

(第2の実施の形態)

上記第1の実施の形態では、入力画像データに対し、離散的な画像データの基準値を設定するとともに、行配線上に基準点を設定し、該基準点における、画像データ基準値の大きさの画像データに対する補正データを算出していた。

30

【0173】

さらに離散的に算出された補正データを補間することにより、入力された画像データの水平表示位置と、その大きさに応じた補正データを算出し、画像データと加算することにより、補正を実現していた。

【0174】

一方、上述の構成とは別に下記の構成によっても同様の補正が行える。

【0175】

離散的な水平位置と、画像データ基準値に対する、画像データの補正結果(すなわち前記離散補正データと画像データ基準値の和:すなわち補正画像データ)を算出し、さらに離散的に算出された補正結果を補間し、入力された画像データの水平表示位置と、その大きさに応じた補正結果を算出し、その補正結果に応じて変調を行ってもよい。

40

【0176】

この構成では、離散的な計算の際に、画像データと補正データの加算された結果として算出されるため、補間後に画像データと補正データの加算を行う必要はない。このように算出される補正画像データについても、図11(a)と同様の分布を有する。即ち、画像データが0のときは電圧降下が起こらないので、位置xについて同じ補正画像データを算出するが、画像データが0でない同一の画像データに対しては位置x、即ち画面の水平方向について、なだらかな分布をもつ補正画像データを算出する。但し、走査線の方向が画面の垂直方向である場合は、画面の垂直方向について、なだらかな分布をもつ補正画像デー

50

タとなる。

【0177】

(階調数変換手段)

次に本発明の実施の形態の主要な部分である階調数変換手段について説明する。

【0178】

これまで説明してきたように、電圧降下の補正データは画像データが8ビットであるのに対し、10ビット精度で補正データを算出した。すなわち、画像データの最上位ビット(以下、MSBとする)に対しては、補正データのMSBが対応しており、補正データは小数点以下の2ビット分高精度に計算を行った。

【0179】

10ビットの補正データは、本実施の形態の場合、変調手段の階調数が8ビットであるため、8ビットの補正データに変換する必要がある。

【0180】

そこで、本実施の形態では、8ビットの補正データで10ビット分の擬似階調を表現するためにディザ法を用いて10ビットデータを8ビットに変換した。

【0181】

すなわち、図14(a)に示すように、本実施の形態の階調数変換手段はディザ法により、10ビットの補正データCD[9:0]を8ビットの補正データDZ[7:0]に変換する手段である。

【0182】

同図では、2121はディザテーブル、2122は加算器である。

【0183】

ディザテーブル2121は、補正データの水平アドレス位置および、垂直アドレス位置に応じて、ディザ・データQ0を出力する。

【0184】

なお、補正データの水平アドレス位置及び垂直アドレス位置とは、その補正データにより補正が施される画像データの水平アドレス位置及び垂直アドレス位置である。

【0185】

より具体的には、その補正データの水平アドレス位置が奇数である場合をH='1'、偶数である場合をH='0'、垂直アドレス位置が奇数である場合をV='1'、偶数である場合をV='0'とするならば、H及びVの状態により、図14(b)によって定義されるディザ・データQ0を出力する。

【0186】

ディザテーブルの出力Q0は加算器2122により、補正データCD[9:0]に加算され、加算後の補正データCDz[9:0]は、切り捨て手段で下位の2ビットが切り捨てられ、8ビットの補正データDZ[7:0](すなわちCDz[9:2])となる。

【0187】

このような階調数変換手段を用いれば、10ビットの補正データを8ビットの補正データに階調数変換できるだけでなく、面積階調により、画面全体としてみれば、8ビットの画像データで10ビット相当の階調数を擬似的に表現することができるため、非常に良好に補正を施すことができる。

【0188】

なお、ディザ法により補正データの下位の2ビットを上位の8ビットに反映させる方法は、上述のように、空間方向にディザを施す方法でなくともよく、時間方向に展開する方法でも効果があることを本発明者らは確認している。

【0189】

時間方向にディザを施すためには、図14の例では、水平アドレス位置及び垂直アドレス位置によりディザ・データを変化させていたが、これを水平アドレス位置とフレーム(奇数フレーム・偶数フレーム)に応じてディザ・データQ0を変化させてもよいし、垂直アドレス位置とフレームに応じて変化させてもよいし、それらの組み合わせであっても構成

10

20

30

40

50

できる。

【0190】

ディザの方式は、上述のディザテーブルのかわりに、補正データにランダムな乱数列を加算し、その後、量子化をするランダム・ディザ法であっても良い。また、図14で説明したような、Bayerマトリクスなどのディザ・マトリクス(ディザテーブル)を補正データに加算し、下位のビットを切り捨てる組織ディザ法であっても良い。

【0191】

また、ディザ法でなくても、階調を変換する手法であっても中間調を表現できれば、特にこれにこだわるものではない。例えば誤差拡散法を用いても構わない。

【0192】

以上のように、ディザ法により補正データの最小分解能を小さくして、補正を行うことにより、補正を施すことによって生じる後述の妨害パターンを目立たなくすることができるという優れた効果がある。

【0193】

(補正データを高精度に計算することの利点)

図16は、補正データの精度を画像データと同等のビット数で計算した際に確認された、妨害パターンを説明するための図である。

【0194】

同図(a)は表示したい画像の1画面分のイメージであり、グレーの背景の中央に白のウィンドウが配置されている入力画像データである。

【0195】

同図(b)は同図(a)に示したA-A'で示した走査線上の1水平走査期間の画像データであって、横軸は画面の水平方向の位置、縦軸は画像データの大きさを表している。

【0196】

同図(c)は同図(b)の画像データに対し補正を施した際の画像データであって、横軸は水平方向の位置、縦軸は補正後の画像データの大きさを表している。

【0197】

同図(d)は同図(c)に示したような補正を施した画像データにより、変調を行った際の画面のイメージである。

【0198】

同図(e)は同図(a)に示したような白いウィンドウパターンを水平方向に移動させたときに発生する妨害パターンを説明するための図である。

【0199】

図1で説明したように、本実施の形態の画像表示装置は、表示パネルの走査配線の両端に走査回路2, 2'を備えている。このため走査配線の電圧降下は中央ほど大きく、電圧降下の補正データも画面の中央ほどおおきくなるため、例えば図16(b)の画像データは、図16(c)に示したような画像データに補正される。

【0200】

しかし、図16(c)をさらに調べてみると、前述の直線近似により、非常に滑らかな補正が施されているとは言っても、拡大してみると補正データは同図に示すように変調手段の最小分解能を単位とした階段状のパターンにより構成されている。補正データがこのように階段状のパターンとして施されていることは、図16(d)に示すように静止画を表示している際にはほとんど分からなかった(変調手段の階調数を8ビットで作製した場合)。

【0201】

一方、図16(e)に示すように白いウィンドウパターンが横方向に連続的に移動すると、それに伴ってウィンドウの横に縦線状のパターンが移動していくのが視覚的に確認できた。このとき、縦線状のパターンは、前述した補正データの階段状のパターンである。

【0202】

本補正方式は1水平走査期間の画像データに対し、リアルタイムに電圧降下の補正データ

10

20

30

40

50

を算出し補正を行っているため、この階段状のパターンも、白いウィンドウが連続的に移動することにより同時に水平方向へ移動する。

【0203】

縦線状のパターンが動画の場合確認され、静止画の場合確認されないのは、人間の視覚特性によるものであり、移動するものの方が静止しているものより視認性が高いためである。

【0204】

なお、本実施の形態では変調手段の階調数を256階調とした場合について説明したが、例えば64階調にした場合は、静止画でも確認される可能性がある。

【0205】

また、同様に表示パネルの発光輝度がさらに大きな画像表示装置では、変調手段の1階調に相当する輝度量が大きくなるため、静止画でも確認される可能性がある。

【0206】

発明者らは、上述の内容を鑑みて補正データの精度をより高精度に算出し、さらに補正データの最小分解能をさらに小さくすることにより、縦線状の妨害パターンが目立たなくなることを確認した。

【0207】

本実施の形態では、補正データを10ビットで演算し、それをディザ法により10ビット相当の擬似階調をもつ8ビットの補正データに変換した。

【0208】

さらには、8ビットの補正データと8ビットの画像データを加算し、それに応じて変調を施しところ、縦線状の妨害パターンはほとんど確認できなくなった。

【0209】

なお、上記の妨害パターンは上述したような特殊な映像（特に空間周波数の高域が小さい映像）を表示した際には確認されるが、通常のテレビジョン映像を表示している際には気にならない。

【0210】

しかし、本発明者らは、コンピュータ映像などにより、上述の妨害感がでることがあることを確認し、そのような場合でも違和感のない画像を表示することが重要と考えた。また、ハードウェア規模を見積もった場合、それによるハードウェアの増加は大きな問題ではないため、上述した階調数変換手段を設けることとして、本発明の実施の形態に係る画像表示装置を作製した。

【0211】

なお、変調手段のビット数を8ビット、画像データのビット数を8ビット、補正データの階調数変換前のビット数を10ビットとしたが、特にこれにこだわることはない。

【0212】

また、本例では、画像データのビット数を8ビット、変調手段のビット数を8ビットとしたが、特にこれにこだわることはなく、画像データのビット数が変調手段のビット数よりも少なくても良い。

【0213】

また、本例では、補正データの整数部のビット数を8ビットとしたが、整数部のビット数は、補正データ自体の大きさに応じて決定すればよい。

【0214】

たとえば、非常に電圧降下が大きな表示パネルを用いた場合には、補正データが255を超えることもありえる。このような場合整数部を9ビットとして算出してよい。

【0215】

本実施の形態は、より一般的には以下のような構成を含む。

【0216】

変調手段のビット数をKビット（KはK > 0の整数）、画像データのビット数をKビットとすると、次のようになる。

10

20

30

40

50

## 【0217】

(1)  $K$ ビットの画像データから  $(k + L)$ ビット ( $k$ 、 $L$ は正の整数)の補正データを算出する。

## 【0218】

ただし、画像データは、 $K$ ビットの整数部と0ビットの小数部を持つデータである。また、補正データは、 $k$ ビットの整数部と $L$ ビットの小数部を持つデータである。

## 【0219】

(2)  $(k + L)$ ビットの補正データを階調数変換し、 $k$ ビットの補正データを算出する。

## 【0220】

ただし階調数変換された $k$ ビットの補正データは $k$ ビットの整数部と0ビットの小数部を持つデータであり、前記 $(k + L)$ ビットの補正データの小数点以下をディザ等の方式により展開し、 $k$ ビットのデータに階調数変換したものである。

10

## 【0221】

(3)  $K$ ビットの画像データと階調数変換された $k$ ビットの補正データを上述した小数点を考慮して加算する。加算された結果、補正された画像データは、 $K'$ ビットの画像データとなった。

## 【0222】

(4) 補正された $K'$ ビットの画像データに基づいて変調を行う。

## 【0223】

上記(1)で、補正データの整数部のビット数を $k$ ビット ( $k$ は $0 < k$ の整数)としたが、補正データの最大値に応じて決定すればよく、 $K = k$ であってもよい。

20

## 【0224】

たとえば、補正が最大になるときの最大値が $63$ であるならば、補正データの整数部のビット数は $6$ ビットでよく、上述してきたような、 $8$ ビットの補正データとして算出しなくても良い。

## 【0225】

逆に、補正が最大になるときの最大値が $300$ であるならば、補正データの整数部のビット数は $9$ ビット必要である。

## 【0226】

(第3の実施の形態)

図17は本発明の第3の実施の形態に係る画像表示装置のブロック図である。

30

## 【0227】

第3の実施の形態と第1の実施の形態との差異は、次の通りである。

## 【0228】

(1) 第1の実施の形態で説明した逆処理部の処理をより高品位に行うために、 $8$ ビット入力 $10$ ビット出力のメモリにより構成する。

## 【0229】

(2)  $10$ ビットの画像データと $10$ ビットの補正データを $10$ ビットの加算器で加算する。

40

## 【0230】

(3) 加算した結果の $10$ ビット画像データを階調数変換部により $8$ ビットに変換する。この際 $10$ ビット分の擬似階調が表現されるように、下位の $2$ ビットをディザにより展開し、上位の $8$ ビットに反映させる。

## 【0231】

なお、本実施の形態では、ディザにより $10$ ビットのデータを $8$ ビットに階調数変換するやり方は、第1の実施の形態と同様に、図14を用いて説明した方法により階調数変換を行うことができる。

## 【0232】

このような画像表示装置により画像の表示を行ったところ、従来からの課題であった走査

50

配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0233】

また、さらには逆変換処理部のビット数を増やしたことにより逆処理における誤差を低減することができた。

【0234】

また、さらには電圧降下の10ビットで算出した補正データと、逆処理後の10ビットの画像データを加算し、その加算結果に対して階調数変換を行い、10ビットを8ビットのデータに階調数変換を行ったことで、以下に説明する代替の構成と比較した場合、優れた効果がある。

【0235】

本実施の形態の代替の構成として以下のような構成が考えられる。

【0236】

(1) 10ビットに逆処理を施された画像データに階調数変換を施し、10ビット8ビットの変換を施す。

【0237】

(2) 10ビットの補正データを階調数変換し、10ビット8ビットの変換を行う。

【0238】

(3) 階調数変換された8ビットの画像データと8ビットの補正データを加算して、補正する。

【0239】

上記の構成に対し、本実施の形態の構成は加算処理を施したあとに、階調数変換を行うという特徴があり、加算処理をより高精度で行うことにより演算による誤差が生じないという点で優れている。

【0240】

また、高精度で計算された加算結果を階調数変換手段16により変換することにより、10ビット相当の擬似階調として表示することができ、より高品位な画像表示を行うことができるという別の効果があった。

【0241】

また、本実施の形態の構成では、逆処理後の画像データのビット数を10ビット、補正データのビット数を10ビット、変調手段への入力信号のビット数を8ビットとしたが、特にこれにこだわることはない。

【0242】

【発明の効果】

以上説明したように、本発明は、簡易な構成で、配線の電気抵抗に基づく電圧減少の補正を行いつつ、優れた画像品質を実現できた。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る画像表示装置の回路構成の概略を示すブロック図である。

【図2】本発明の実施の形態に係る画像表示装置の斜視図である。

【図3】表示素子の配線の様子を模式的平面図である。

【図4】表面伝導型放出素子の特性図である。

【図5】表示パネルの駆動方法を示す図である。

【図6】本発明の実施の形態の縮退モデルを説明する図である。

【図7】離散的に算出した電圧降下量を示すグラフである。

【図8】離散的に算出した放出電流の変化量を示すグラフである。

【図9】本発明の実施の形態の補正データの算出方法を説明するための図である。

【図10】画像データの大きさが192の場合の補正データの算出例を示す図である。

【図11】本発明の実施の形態の補正データの補間方法を説明するための図である。

【図12】本発明の実施の形態に係る画像表示装置の変調手段の構成及び動作を説明する

10

20

30

40

50



図である。

【図13】本発明の実施の形態に係る画像表示装置の補正データ算出手段の構成を示すブロック図である。

【図14】ディザ法の説明図である。

【図15】本発明の実施の形態に係る画像表示装置のタイミングチャートである。

【図16】妨害パターンを説明するための図である。

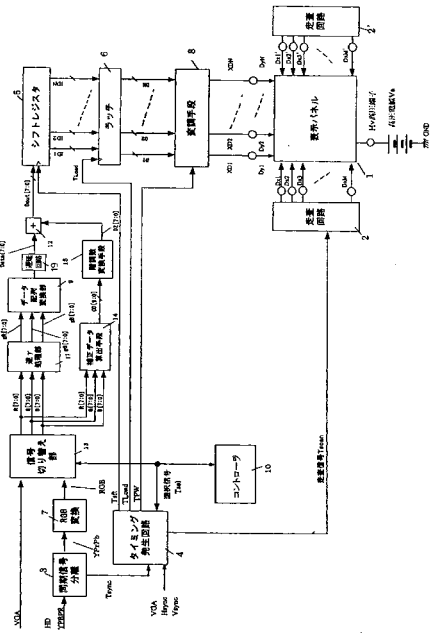
【図17】本発明の第3の実施の形態に係る画像表示装置のブロック図である。

【図18】従来技術に係る画像表示装置の概略構成ブロック図である。

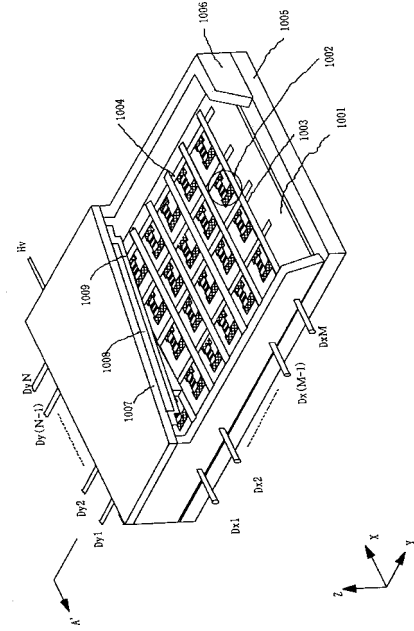
【符号の説明】

1	表示パネル	10
2, 2'	走査回路	
3	同期信号分離回路	
4	タイミング発生回路	
5	シフトレジスタ	
6	ラッチ回路	
7	RGB変換回路	
8	変調手段	
10	コントローラ	
12	加算器	
14	補正データ算出手段	20
15, 16	階調数変換手段	
17	逆処理部	
19	遅延回路	
1001	基板	
1002	冷陰極素子	
1003	行配線	
1004	列配線	
1005	リアプレート	
1006	側壁(枠)	
1007	フェースプレート	30
1008	蛍光膜	
1009	メタルバック	

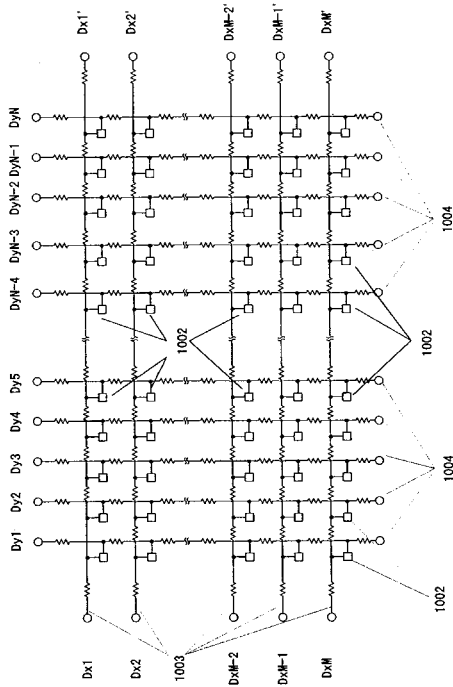
【図1】



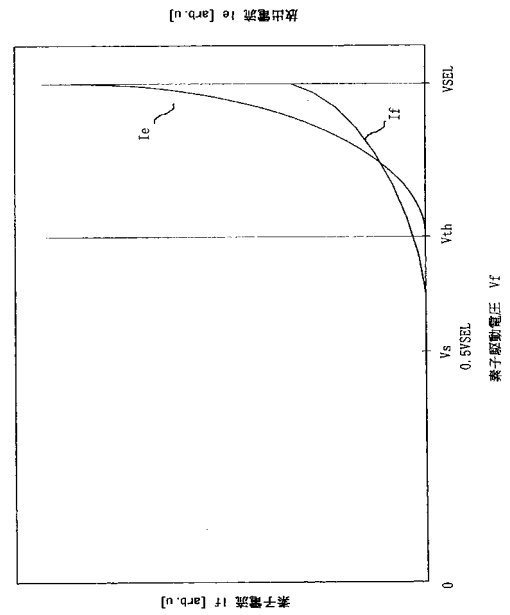
【図2】



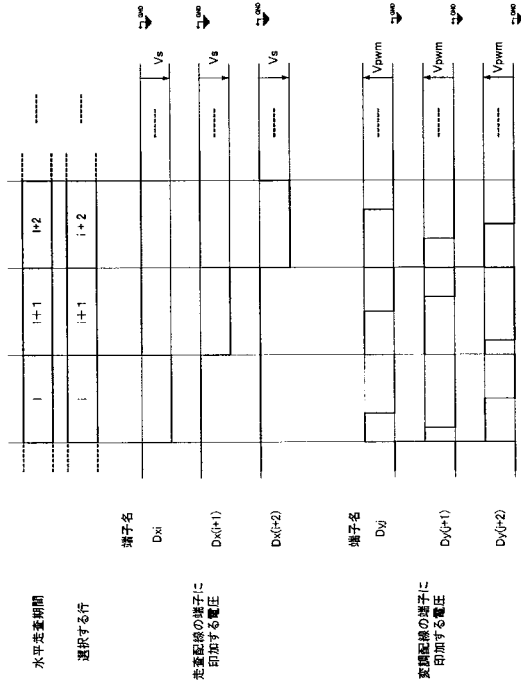
【図3】



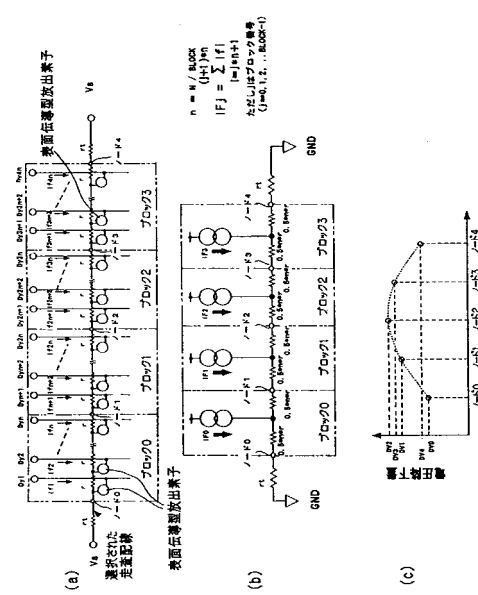
【図4】



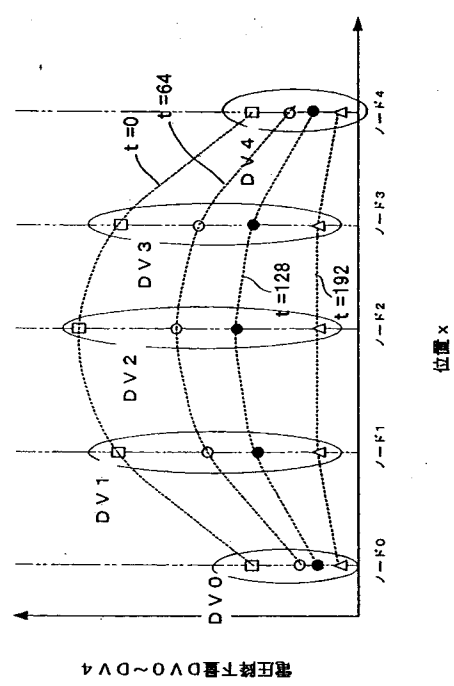
【 図 5 】



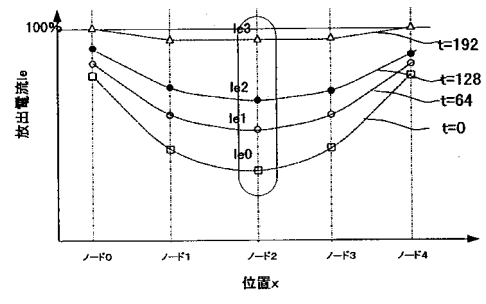
【 図 6 】



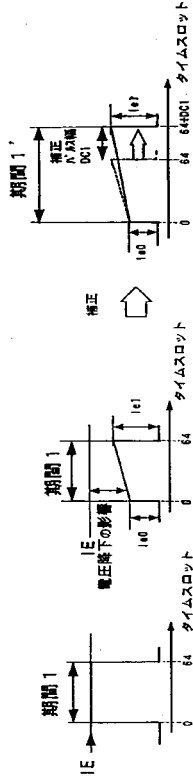
【 図 7 】



【 図 8 】



【 図 9 】



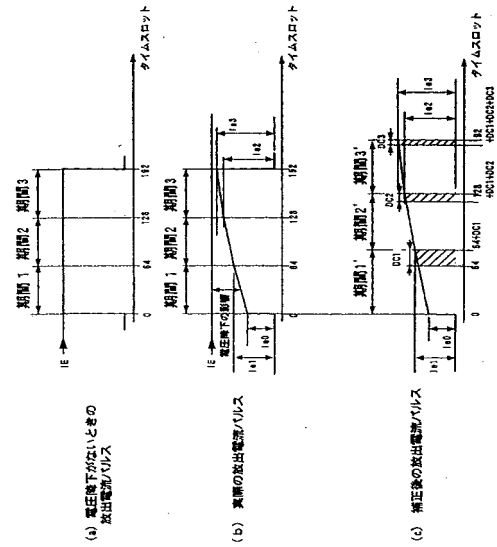
※ IE：電圧低下のないときに放出される放出電流

(c) 補正後の放出電流パルス

(b) 実際の放出電流パルス

(a) 電圧低下がない時の放出電流パルス

【 図 10 】

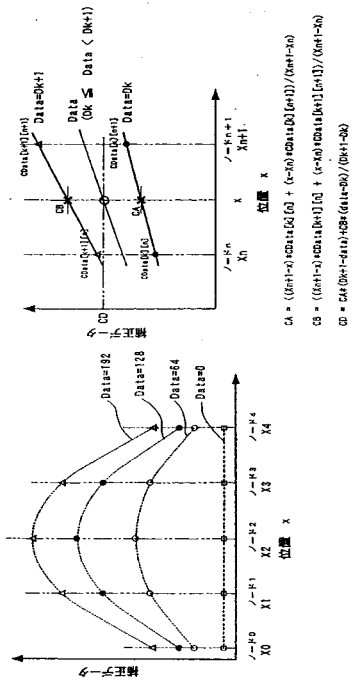


(a) 電圧低下がないときの放出電流パルス

(b) 実際の放出電流パルス

(c) 補正後の放出電流パルス

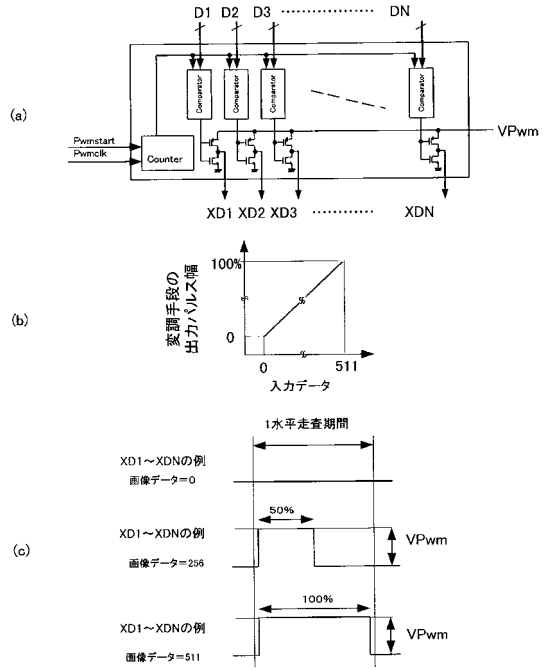
【 図 11 】



(b)

(a)

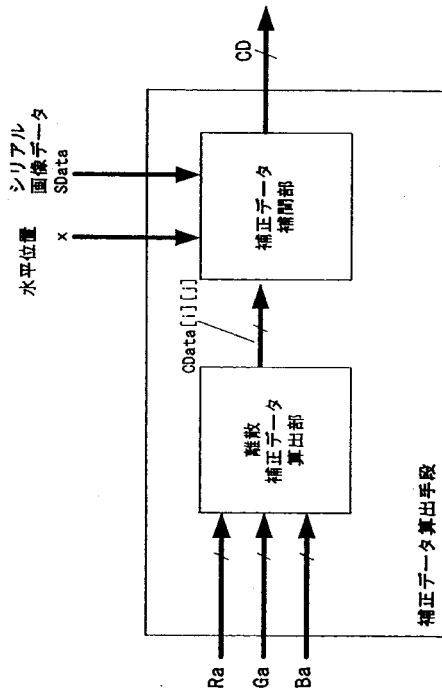
【 図 12 】



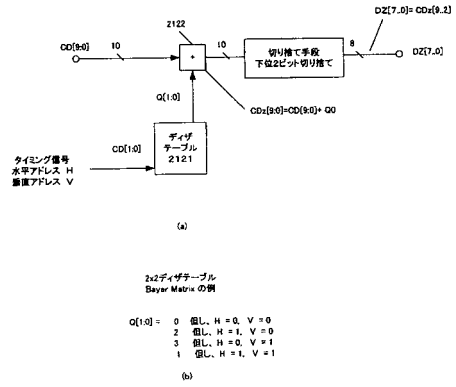
(b)

(c)

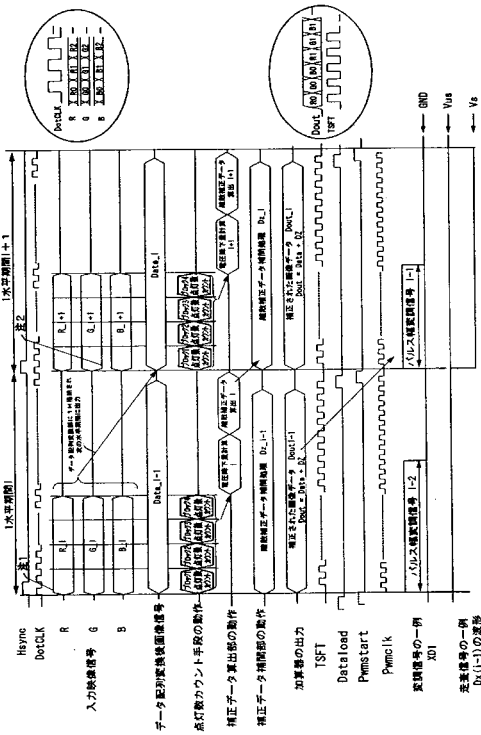
【 図 1 3 】



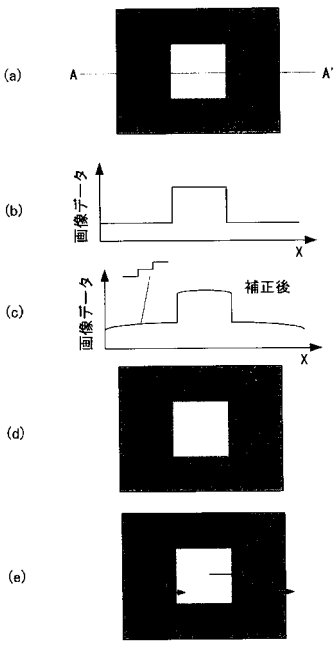
【 図 1 4 】



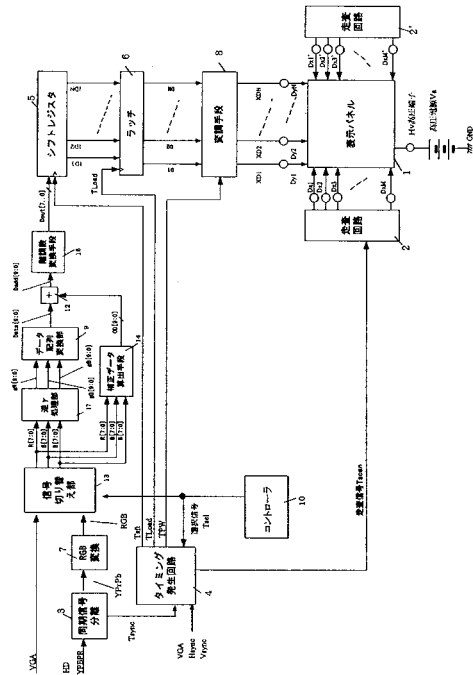
【 図 1 5 】



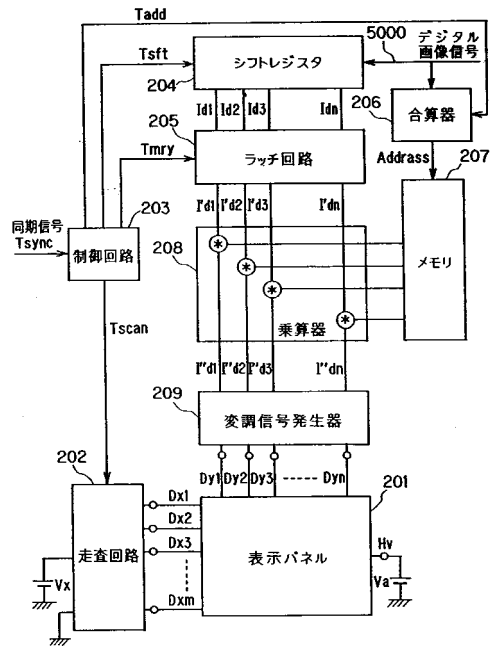
【 図 1 6 】



【図17】



【図18】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 4 2 A

(72)発明者 齋藤 裕

東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内

審査官 濱本 禎広

(56)参考文献 特開平02-257553(JP,A)

特開平09-134145(JP,A)

特開2001-112015(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G09G 3/22,3/20