

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5143205号  
(P5143205)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int.Cl. F I  
**G 1 1 C 13/00 (2006.01)**  
 G 1 1 C 13/00 1 4 0  
 G 1 1 C 13/00 1 1 0 P

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2010-223931 (P2010-223931)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成22年10月1日(2010.10.1)	(74) 代理人	100080001 弁理士 筒井 大和
(62) 分割の表示 原出願日	特願2005-863 (P2005-863) の分割 平成17年1月5日(2005.1.5)	(72) 発明者	長田 健一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
(65) 公開番号	特開2011-28840 (P2011-28840A)	(72) 発明者	河原 尊之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
(43) 公開日 審査請求日	平成23年2月10日(2011.2.10) 平成22年10月1日(2010.10.1)	審査官	後藤 彰

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

アドレスに基づいてメモリセルにアクセスする半導体装置であって、  
 前記アドレスは、ロウアドレスとカラムアドレスを含み、  
 第1方向に延在する複数のワード線と前記複数のワード線と交差する第2方向に延在する複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置される複数のメモリセルとを含むメモリアレイと、  
 前記複数のワード線の夫々に接続される複数のワードドライバ回路と、  
 前記複数のビット線に接続され、前記複数のビット線の一部を選択して複数の読み出し回路と複数の書き込み回路に接続するカラム選択回路と、  
 前回のアクセスサイクルに係るロウアドレスとカラムアドレスを記憶するアドレス保持回路と、  
 アドレス比較回路とを有し、  
 前記ワード線は前記ロウアドレスをデコードして選択され、前記カラム選択回路は前記カラムアドレスをデコードして選択され、  
 前記アドレス比較回路は、今回のアクセスサイクルに係るロウアドレスとカラムアドレスと、前記アドレス保持回路に保持された前記ロウアドレスと前記カラムアドレスとを比較するものであり、

前記複数のメモリセルの夫々は、前記複数のビット線のうち対応する1本に互いに直列接続された選択素子と記憶素子とを有し、前記選択素子の制御電極が前記複数のワード線

のうち対応する1本に接続されて構成され、

前記記憶素子は、抵抗値の変化でデータを記憶するものであり、

連続する読み出しアクセスサイクルに於いて、前記アドレス比較回路が今回のアクセスサイクルに係るロウアドレスとカラムアドレスとがともに前回のアクセスサイクルに係るロウアドレスとカラムアドレスと等しいことを検出した場合には、前記ワード線をオンしないことを特徴とする半導体装置。

【請求項2】

請求項1において、前記半導体装置は、さらにプリチャージ回路を有し、

前記プリチャージ回路は前記カラム選択回路によって選択される前記ビット線をプリチャージし、前記メモリアレイ内の他のビット線をプリチャージしないことを特徴とする半導体装置。

10

【請求項3】

請求項1において、前記半導体装置は、連続する読み出しアクセスサイクルに於いて、前記アドレス比較回路が今回のアクセスサイクルに係るロウアドレスとカラムアドレスとがともに前回のアクセスサイクルに係るロウアドレスとカラムアドレスとそれぞれ等しいことを検出した場合には、前記読み出し回路の値を出力することを特徴とする半導体装置。

【請求項4】

請求項1において、前記記憶素子は、相変化素子であることを特徴とする半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置および半導体記憶装置に関し、特に不揮発メモリやシステムLSI（マイクロコンピュータ等）に搭載されるオンチップメモリに関する。

【背景技術】

【0002】

高速で高集積な不揮発性メモリを目指して、相変化メモリの開発が進められている。相変化メモリについては、非特許文献1, 2, 3や特許文献1で述べられている。例えば非特許文献1に示されるように相変化メモリでは、カルコゲナイド材料と呼ばれる相変化材料を抵抗性の記憶素子として採用し、相変化材料の状態によりその記憶素子の抵抗が異なることを利用して、情報を記憶する。相変化抵抗の書き換えは、電流を流して発熱させることにより、材料の状態を変化させて行う。リセット（RESET）動作とも呼ばれる高抵抗化（アモルファス化）は、比較的高温に保つことにより行い、セット（SET）動作とも呼ばれる低抵抗化（結晶化）は、比較的低温に十分な期間保つことにより行う。相変化材料の読み出し動作は、相変化抵抗の状態を変化させない範囲で電流を流して行う。

30

【0003】

非特許文献2および特許文献1には、相変化抵抗の特性について述べられている。さらに、非特許文献3には、相変化抵抗とNMOSトランジスタにより構成されたメモリセルについて述べられている。

【0004】

40

これらの文献で、高速なROM（Read-Only Memory）に留まらず、不揮発性のRAM（Random Access Memory）の可能性も述べられており、ROMとRAMの機能を併せ持つ統合型メモリの実現も言及されている。相変化メモリは、相変化抵抗の電極面積が小さい方が、小さな電力で相変化抵抗を変化させられるため、スケールアップが容易である。また、相変化抵抗は、大きく変化するため、高速な読み出し動作が実現できる。これらの理由から、相変化メモリによる高速不揮発性メモリの実現が期待されている。

【0005】

同様の高速不揮発性メモリを実現する目的で、強誘電体材料を記憶素子に使う強誘電体メモリが、提案されている。強誘電体メモリは、記憶素子のキャパシタの絶縁材料に強誘電体材料を用い、その分極状態によって情報を記憶するものである。強誘電体メモリの書

50

き換えは、記憶素子に電圧を印加して、その分極状態を変化させて行う。特許文献2には、強誘電体メモリにおいて、電源切断途中に記憶素子のキャパシタの両端に電位差が生じると、強誘電体の分極が反転して記憶されたデータが破壊されるという課題が指摘され、その解決手段として全てのワード線を非選択レベルとする内部回路について開示されている。また、特許文献3には、電源投入時に記憶素子のキャパシタの両端に電位差が生じ、強誘電体の分極が反転して記憶されたデータが破壊されるという課題が指摘され、その解決手段としてビット線とプレート線を同電位にする技術について開示されている。

【先行技術文献】

【特許文献】

【0006】

10

【特許文献1】特開2003-100084号公報

【特許文献2】特開平8-124377号公報

【特許文献3】特開平8-124379号公報

【非特許文献】

【0007】

【非特許文献1】アイ・イー・イー・イー、インターナショナル・ソリッドステート・サーキット・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第202頁から第203頁（2002年）（2002 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 202-203.）

【非特許文献2】アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイス・ミーティング、テクニカル・ダイジェスト、第923頁から第926頁（2002年）（2002 IEEE International Electron Devices Meeting, Technical Digest, pp. 923-926.）

20

【非特許文献3】ノンボラタイル・セミコンダクタ・メモリ・ワークショップ、ダイジェスト・オブ・テクニカル・ペーパーズ、第91頁から第92頁（2003年）（2003 Non-Volatile Semiconductor Memory Workshop, Digest of Technical Papers, pp. 91-92.）

【発明の概要】

【発明が解決しようとする課題】

【0008】

本願発明者等は、本願発明をするに当たって相変化素子の信頼性について検討した。特許文献2および特許文献3に記載の強誘電体メモリにおいては、記憶素子がキャパシタであってその分極によって情報を記憶するので、電圧が印加されたときにデータが書き換えられる。記憶素子に予期しない電位差が生じたときにデータ破壊となる。一方、相変化メモリでは、記憶素子は抵抗であって、電流が流れて発熱したときにデータが書き換えられる。強誘電体メモリとは、情報の記憶と書き換えのメカニズムが異なるので、予期しない電位差が生じてデータ破壊には直結しないが、相変化素子独特のデータ破壊原因があり得る。本願発明者等は、相変化素子に特有の観点で信頼性についての検討を行った。相変化素子は結晶の状態により値を記憶する素子で、特にアモルファス状態が熱により結晶化することによってデータ破壊が生じることがあり、問題であることを発見した。さらに、発熱は電源の立ち上げおよび立ち下げ時にノイズにより記憶素子に一時的に流れる電流や読み出し時に流れる電流によって生じること、また、発熱が繰り返されることによって、徐々に結晶化が進行してやがてデータの破壊に至ることがあるという問題点についても、新たに明らかにした。本発明が解決しようとしている課題は、電源の立ち上げおよび立ち下げ時に記憶素子に流れる電流を最小とし、発熱を抑えることである。また、読み出し時の発熱を抑えることで、もって高信頼のメモリを実現することである。

30

40

【課題を解決するための手段】

【0009】

本願明細書において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0010】

第1に、加えられる温度により状態が変化することにより情報を記憶するメモリセルと

50

入出力回路とを有し、電源の立ち上げ時には、電源回路が立ち上がるまでワード線をオフすることにある。

【0011】

第2に、加えられる温度により状態が変化することにより情報を記憶するメモリセルと入出力回路とを有し、電源の立ち上げ時には、電源回路が立ち上がるまでビット線とソース線を接続することにある。

【0012】

第3に、加えられる温度により状態が変化することにより情報を記憶するメモリセルと入出力回路とを有し、同じデータを続けて読む場合には、ワード線をオンせず、あらかじめ読み出しておいたデータを出力することにある。

10

【0013】

第4に、加えられる温度により状態が変化することにより情報を記憶するメモリセルと入出力回路とを有し、エラー訂正回路によりエラービットを検出した場合には、再度データを書き込むことにある。

【発明の効果】

【0014】

本発明によれば、高信頼なメモリを実現することができる。

【図面の簡単な説明】

【0015】

【図1】本発明を適用した回路図を示す図である。

20

【図2】図1に示す回路の動作波形図である。

【図3】図1のメモリアレイを詳細に示す図である。

【図4】図3のメモリアレイに用いられるメモリセルを示す回路図である。

【図5】図1の電源電圧オン検出回路の詳細を示す図である。

【図6】図1の電源電圧オン検出回路の詳細を示す図である。

【図7】図3に示すメモリアレイの動作波形図である。

【図8】図3に示すメモリアレイの別の動作波形図である。

【図9】図1で使用される電源回路の回路図である。

【図10】電源回路のパターンをまとめた図である。

【図11】図3に示すメモリアレイの別の実施例を示す回路図である。

30

【図12】システムLSIに使用した場合の実施例を示すブロック図である。

【図13】図12に示すシステムLSIの別の実施例を示す回路図である。

【図14】図3に示すメモリアレイの別の実施例を示す回路図である。

【図15】図3に示すメモリアレイの別の実施例を示す回路図である。

【図16】図15に示すメモリアレイの動作波形図である。

【図17】図3に示すメモリアレイの別の実施例を示す回路図である。

【図18】図17に示すメモリアレイの動作波形図である。

【発明を実施するための形態】

【0016】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。実施例の各機能ブロックを構成する回路素子は、特に制限がないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような一つの半導体基板上に形成される。図面には、MOSトランジスタの基板電位の接続は特に明記しないが、MOSトランジスタが正常に動作可能な範囲であれば、その接続方法は特に限定しない。また、特に断りのない場合、信号のロウレベルを‘L’、ハイレベルを‘H’とする。

40

【0017】

本願発明者らが見出したように、相変化素子ではアモルファス状態が結晶状態となるデータ破壊が最も大きな問題であり、電源のオン・オフ時やデータの読み出し時に生じる。特に、CPUなどと同半導体上に形成されたメモリでは、電源投入時のCPUはリセットされ

50

ておらず、制御信号の状態が不確定であること、また、データ破壊特性は素子間のばらつきが存在することが、問題を誘発し深刻にしている。これらを解決するための回路方式を説明する。

< 電源立ち上げ時/電源立ち下げ時のシーケンス >

図1は、本発明のチップ構成を、図2に(a)に電源立ち上げ時の動作波形を、(b)に電源立ち下げ時の動作波形を、それぞれ示している。メモリアレイARRAYは、複数のワード線WLと複数のビット線BLより構成されており、ワード線WLとビット線BLの交点にメモリセルCELLが接続されている。各メモリセルCELLは、ワード線WLとビット線BLに接続されている。メモリセルの夫々は、Nチャネル型MOSトランジスタと記憶素子で構成されている。記憶素子は、たとえば相変化素子と呼ばれる素子である。ビット線BLにはアンプ回路AMPが、ワード線WLにはデコーダ回路ADECがそれぞれ接続されている。ワード線WLにはまた、ワード線WLを強制的に接地電位とするためのNチャネル型MOSトランジスタMN1が接続されており、ゲート電極は制御信号PRVに接続されている。電源回路は、リセット用の電源を供給する電源回路PSreset、セット用の電源を供給する電源回路PSset、読み出し用の電源を供給する電源回路PSreadの3種類から構成される。電源回路PSresetはリセット電圧Vresetを、電源回路PSsetはセット電圧Vsetを、電源回路PSreadは読み出し用電圧Vreadを、メモリアレイARRAYに供給する。電源回路PSresetには、活性化信号Cresetが、電源回路PSsetには、活性化信号Csetが、電源回路PSreadには、活性化信号Creadが入力される。電源電圧検出回路PRVNTは、電源電圧が供給されたことを検出し、各回路に制御信号(Creset、Cset、Cread、PRV)を出力する回路である。電源立ち上げのときの動作は、外部からの電源電圧VDDが‘L’から‘H’になると、これを検出回路PRVNTは検出し、ワード線WLを強制的に接地電位とする信号PRVに‘H’を出力する。その後、信号Cread、信号Cset、Creset、の順で‘H’レベルとし出力電圧が低い電源回路から活性化させていく。電源を立ち上げる順番は低い電圧の電源回路からが一般的により安全であるが、3つ同時でも、別の順番でもかまわない。全ての電源回路が安定したところで、信号PRVを‘H’から‘L’にし、ワード線WLの接地電位との接続を切り離す。以上のような動作により、電源の立ち上げ時に記憶素子へ電流が流れることを防止でき、発熱によるデータ破壊を防止することができる。

【0018】

また、電源オフ時にも同様にワード線を強制的に接地電位とすることによりデータ破壊を防止できる。図2(b)に電源下げ時の動作波形を示している。外部からの電源電圧VDDが‘H’から‘L’になると、これを検出回路PRVNT\_OFFは検出し、ワード線WLを強制的に接地電位とする信号PRV\_OFFに‘H’を出力する。その後、信号Creset、Cset、Cread、の順で‘L’レベルとし出力電圧が高い電源回路から不活性化させていく。電源を立ち下げる順番は高い電圧の電源回路からが一般的により安全であるが、3つ同時でも、別の順番でもかまわない。以上のような動作により、電源の立ち上げ時に記憶素子へ電流が流れることを防止でき、発熱によるデータ破壊を防止できる。

【0019】

さらに、電源立ち上げと立ち上げを検出する回路の感度を適切に設定することによって、実際の電源投入や遮断ではないときに、電源に大きなノイズが入って、電源電圧が所望の範囲外になったときにも、そのノイズによってデータが破壊されるのを防止することができる。

【0020】

本発明の趣旨は、電源回路が安定に電源を供給することができない期間に、記憶素子を通る電流経路を遮断することにより、記憶されたデータの破壊を防止するところにある。ワード線を接地電位にして、非選択とすることは、その一例である。例えば、接地電位以外の電位であっても良く、また、電流経路の遮断は、通常考えられるリークを伴ったものであっても許容されるなどのように、発明の趣旨を逸脱しない範囲での変更は、多数考えられる。

< メモリアレイ構成 >

続いて、図1のメモリアレイの詳細な回路の一例を、図3に示したメモリアレイARRAY1を用いて説明する。メモリアレイARRAY1は、マイクロコントローラにオンチップメモリとして搭載されたり、不揮発メモリ単体に搭載されたりする。メモリセルアレイMEM\_ARRAYは、複数のワード線WLと複数のビット線BLより構成されており、ワード線WLとビット線BLの交点にメモリセルCELLが接続されている。各メモリセルCELLは、メモリセルCELL00で例示されているようにノードN1でワード線WLと、ノードN2でビット線BLと、ノードN3で接地電位と接続されている。各メモリセルCELLの詳細を図4(a)と(b)に示す。メモリセルの夫々は、Nチャンネル型MOSトランジスタMN00と記憶素子であるPCM00で構成されている。記憶素子PCM00は、たとえば相変化素子と呼ばれる素子であり、例えば、結晶状態では10k程度の低い抵抗で、アモルファス状態では100k以上の高い抵抗であることを特徴とする素子である。記憶素子PCM00は、記憶素子に加える温度でその状態を変化させることができる。具体的には、高い温度を記憶素子に加え溶融させ、急冷することによりアモルファス状態となり、低い温度を比較的長時間加えることにより結晶状態となる。アモルファス状態とすることをリセット動作、結晶状態とすることをセット動作と呼ぶ。素子に加える温度は、記憶素子PCM00に流す電流値、及び、電流を流す時間を変更することにより変えることができる。Nチャンネル型MOSトランジスタMN00のゲート電極には、ノードN1を介してワード線WLが接続され、Nチャンネル型MOSトランジスタを選択状態ではオン状態に、非選択状態ではオフ状態となるように制御する。また、本実施例のメモリセルは、記憶素子PCM00の抵抗値、言い換えれば、ビット線からソース線に流れる電流値の大小により情報を読み出す。従って、(a)に示すように相変化素子PCM00の一方の端子がノードN3を介して接地電位に接続されても、(b)に示すようにPCM00の一方の端子がノードN2を介してビット線に接続されてもよい。本明細書では、特に言及しない限り、(b)に示されるメモリセルを用いる。

#### 【0021】

メモリセルCELLの別の実施例を図4(c)と(d)に示す。メモリセルの夫々は、PNP型バイポーラトランジスタBP00と記憶素子であるPCM00で構成されている。記憶素子PCM00は、たとえば相変化素子と呼ばれる素子であり、例えば、結晶状態では10k程度の低い抵抗で、アモルファス状態では100k以上の高い抵抗であることを特徴とする素子である。PNP型バイポーラトランジスタBP00のベース電極には、ノードN1を介してワード線WLが接続され、PNP型バイポーラトランジスタBP00を選択状態ではオン状態に、非選択状態ではオフ状態となるように制御する。また、本実施例のメモリセルは、記憶素子PCM00の抵抗値、言い換えれば、ビット線からソース線に流れる電流値の大小により情報を読み出す。従って、(c)に示すように相変化素子PCM00の一方の端子がノードN3を介して接地電位に接続され、もう一方の端子がPNP型バイポーラトランジスタBP00のコレクタ電極に接続されても、(d)に示すようにPCM00の一方の端子がノードN2を介してビット線に接続され、もう一方の端子がPNP型バイポーラトランジスタBP00のエミッタ電極に接続されてもよい。本明細書では、特に言及しない限り、(d)に示されるメモリセルを用いる。

#### 【0022】

図3に戻り、引き続きメモリアレイの詳細な回路を説明する。ワード線WLには、ワードドライバ回路(WD0、WD1)が接続されている。ワードドライバ回路(WD0、WD1)は列状に並べられ、ワードドライバアレイWD\_ARRAYを形成する。例えば、ワードドライバ回路WD0は、ワード線WL0を選択するNチャンネル型MOSトランジスタMN10とPチャンネル型MOSトランジスタMP10とワード線WL0を強制的に0VとするNチャンネル型MOSトランジスタMN2で構成されており、デコーダ回路ADECにより、ひとつのワード線WLを選択する。Nチャンネル型MOSトランジスタMN2のゲート電極は制御信号PRVに接続されている。デコーダ回路ADECには、アドレスXADDが入力される。

#### 【0023】

ビット線BLには、読出し用プリチャージ回路PCRが接続されている。読出し用プリチャージ回路PCRは行状に配置されプリチャージ回路アレイPC\_ARRAYを構成する。具体的には、例えば、プリチャージ回路PCR0は、Pチャンネル型MOSトランジスタMP20で構成されており、

10

20

30

40

50

ドレイン電極にはビット線BL0が、ゲート電極には制御信号PC0が、ソース電極には読み出し用電源電位線Vreadがそれぞれ接続される。また、読み出し用プリチャージ回路PCRは、一つ置きに制御信号線(PC0、PC1)に接続される。

【0024】

ビット線BLには、さらに、カラム選択回路YSが接続されている。カラム選択回路YSは行状に配置されカラム選択回路アレイYS\_ARYを構成する。具体的には、例えば、カラム選択回路YS0は、Pチャンネル型MOSトランジスタ(MP30、MP31)で構成されており、Pチャンネル型MOSトランジスタMP31のドレイン電極にはビット線BL0が、ゲート電極には制御信号YSR0が、ソース電極にはセンスアンプ回路SA0がそれぞれ接続される。また、Pチャンネル型MOSトランジスタMP30のドレイン電極にはビット線BL0が、ゲート電極には制御信号YSW0が、ソース電極にはライトアンプ回路WA0がそれぞれ接続される。カラム選択回路YSは、一つ置きに制御信号線(YSR0またはYSR1と、YSW0またはYSW1)に接続される。従って、並列して読み出し、または書込みされるビット線BLは、一つ置きに制御される。即ち、読み出し動作又は書込み動作を行っているメモリセルに隣接するメモリセルは、必ず非選択状態となる。これにより熱を発生するメモリセルは一つ置きとなり、熱が局部的に発生することを防止でき、半導体集積回路の安定動作の向上を図ることができる。

【0025】

センスアンプ回路SAは活性化信号SA\_ENによりデータを増幅し、データバスRDATAへ出力する。ライトアンプ回路WAは、データバスWDATAと制御信号WA\_CONTにより、ビット線BLに適切な電圧を供給する。センスアンプ回路SAとライトアンプ回路WAは行状に並べられアンプアレイAMP\_ARYを形成する。

【0026】

センスアンプ回路SAは、Nチャンネル型MOSトランジスタ(MN40、MN41、MN42)とPチャンネル型MOSトランジスタ(MP43、MP44)で構成されるセンスアンプ部とPチャンネル型MOSトランジスタ(MP40、MP41、MP42)で構成されるセンスアンププリチャージ部とPチャンネル型MOSトランジスタMP45で構成されるレファレンス用Yスイッチ部とインバータ回路INVOで構成される出力回路よりなる。センスアンプ部は、Pチャンネル型MOSトランジスタ(MP43、MP44)とNチャンネル型MOSトランジスタ(MN40、MN41)からなるフリップフロップとセンスアンプを活性にするNチャンネル型MOSトランジスタMN42からなるラッチ型センスアンプ回路である。Nチャンネル型MOSトランジスタMN42のゲート電極には活性化信号SA\_ENが接続される。センスアンププリチャージ部は、読み出し用電源線Vreadとセンスアンプ部の内部ノードをつなぐPチャンネル型MOSトランジスタ(MP40、MP41)とセンスアンプ部の内部ノードをイコライズするPチャンネル型MOSトランジスタMP42から構成される。Pチャンネル型MOSトランジスタ(MP40、MP41、MP42)のゲート電極には制御信号PC\_AMPが接続される。レファレンス用Yスイッチ部のPチャンネル型MOSトランジスタMP45のゲート電極は制御信号YS\_AMPに、ソース電極はレファレンス電圧であるVREFに接続される。本実施例では、読み出し電圧Vreadは、電源電位より小さい電圧、例えば0.5Vとする。なお、レファレンス電位VREFは、リード電源電位と接地電位との間の電位とする。

【0027】

ライトアンプ回路WA0は、リセット用電圧Vresetをビット線BLに供給するPチャンネル型MOSトランジスタMP46とセット用電圧Vsetをビット線にBLに供給するPチャンネル型MOSトランジスタMP47、Pチャンネル型MOSトランジスタ(MP46、MP47)のゲート電極を書込みデータバスWDATAの値と制御信号WA\_CONTに基づいて制御するコントロール回路WCONTより構成される。

【0028】

制御回路CNTLは、メモリアレイARRAY外部から制御信号(SETEND、RESETEND、YADD、CNT)を受け取り、制御信号(PC、YSR、YSW、WA\_CONT、SA\_EN、PC\_AMP、YS\_AMP)を生成し出力する。

【0029】

図5には電源電圧検出回路PRVNTを示した。PRVNTはNチャンネル型MOSトランジスタMNC0と

10

20

30

40

50

容量 (C0、C1)、制御回路PR\_CONTより構成される。容量C0は、外部電源である電源電圧VDDとNチャンネル型MOSトランジスタMNC0のドレイン電極PRVに接続され、容量C1は、接地電位とNチャンネル型MOSトランジスタMNC0のゲート電極INVSに接続される。容量C0は、PRVに接続される寄生容量より大きい値とし、容量C1は、INVSに接続される寄生容量より大きい値とする。これにより、電源電圧VDDが‘L’から‘H’となった場合に、PRVは電源電圧とほぼ同一の値となり、INVSは接地電位を維持する。

【0030】

制御回路PR\_CONTには、PRVが入力され、INVS、Creset、Cset、Creadを出力する。

【0031】

図6には電源がオフとなることを検出する電源電圧検出回路PRVNT\_OFFを示した。PRVNT\_OFFはPチャンネル型MOSトランジスタMPC1とNチャンネル型MOSトランジスタMNC1と容量 (C2、C3)、抵抗 (R2、R3)、制御回路PR\_CONT\_OFFより構成される。容量C3は、外部電源である電源電圧VDDとPチャンネル型MOSトランジスタMPC1とNチャンネル型MOSトランジスタMNC1のゲート電極INVS\_OFFに接続され、容量C2は、抵抗R2と、Pチャンネル型MOSトランジスタMPC1のソース電極に接続される。Pチャンネル型MOSトランジスタMPC1とNチャンネル型MOSトランジスタMNC1のドレイン電極は信号PRV\_OFFに接続され、信号PRV\_OFFは、制御回路PR\_CONT\_OFFに接続されると共に、PRVと同様メモリアレイに入力され、電源オフ時、相変化素子PCMIに電流が流れないように制御する。また、抵抗R3はINVS\_OFFを、抵抗R2はPチャンネル型MOSトランジスタMPC1のソース電極をそれぞれ電源オン時に電源電位レベルとするために接続されている。

【0032】

容量C3は、PRV\_OFFに接続される寄生容量より大きい値とし、容量C3は、INVS\_OFFに接続される寄生容量より大きい値とする。これにより、電源電圧VDDが‘H’から‘L’となった場合に、INVS\_OFFは接地電位となり、PRV\_OFFは電源電圧とほぼ同一の値となる。

【0033】

制御回路PR\_CONT\_OFFには、PRV\_OFFが入力され、Creset、Cset、Creadを出力する。

<動作方式>

図7を用いて詳細な動作を説明する。電源立ち上げ時 (POWER UP) は、外部電源電圧VDDが‘L’から‘H’になると、これを検出回路PRVNTは検出し、信号PRVが‘H’となる。これによりNチャンネル型MOSトランジスタ (MN2、MN3) はオンし、全てのワード線は強制的に接地電位とされ、非選択状態となる。その後、信号Cread、信号Cset、信号Creset、の順で‘H’レベルとし出力電圧が低い電源回路から活性化させていく。全ての電源回路が安定したところで、制御回路PR\_CONTによりINVSを‘L’から‘H’にすることにより信号PRVを‘H’から‘L’にし、ワード線WLの接地電位との強制的な接続を解除する。

【0034】

この後通常の動作が行われる。

【0035】

本実施例ではデータ“1”をメモリセルCELL00に書き込み、データ“0”をメモリセルCELL11に書き込む場合について説明する。データ“1”とは相変化素子をセットし、抵抗値を1k ~ 10k とすることである。データ“0”とは相変化素子をリセットし、抵抗値を10k ~ 1M とすることである。はじめはセット動作SETを行う。アドレスADDと書き込みデータWDATA0が入力される。アドレスADDは、デコーダ回路ADECに入力されるX系アドレスXADDと制御回路CNTLに入力されるY系アドレスYADDに分かれている。X系アドレスはデコーダ回路ADECでデコードされ、選択された1つのワード線WLが、‘L’から‘H’に遷移する。本実施例ではワード線WL0が選択される。Y系アドレスYADDは、制御回路CNTLでデコードされカラムを選択する信号 (YSW、YSR) となる。本実施例では書き込み制御信号YSW0が選択され‘H’から‘L’に遷移する。

【0036】

書き込みデータWDATA0はライトアンプ回路WA0に入力され、書き込むデータに応じてビット線に電圧を供給する。データ“1”を書き込む場合は、ビット線に電圧Vsetを供給す

10

20

30

40

50

る。記憶素子がセットされる十分な時間電圧を印加した後、ワード線WL0をオフし書込み動作を終了する。

【 0 0 3 7 】

続いてリセット動作RESETを行う。アドレスADDと書き込みデータWDATA0が変わり、ワード線WL1と制御信号YSW1が選択される。データ“0”を書き込むため、ビット線に電圧Vresetが供給される。Vresetは記憶素子を溶解させる必要があるため、通常は電圧Vsetより高い電圧である。記憶素子がリセットされる十分な時間電圧を印加した後、ワード線WL1をオフし書込み動作を終了する。

【 0 0 3 8 】

図3に図示したセット終了信号SETENDはセット時間を計測してセットが終了したことを、リセット終了信号RESETENDはリセット時間を計測してリセットが終了したことを、それぞれ制御回路CNTLに知らせる信号である。図7にセット終了信号SETENDと制御回路CNTLの波形は図示されないが、通常はリセット時間のほうがセット時間より短い。

【 0 0 3 9 】

続いて、読み出し動作READについて説明する。はじめにメモリセルCELL00から読み出し、続いてメモリセルCELL11から読み出しを行なう。

【 0 0 4 0 】

アドレスADDが変わり、ワード線WL0と制御信号YSR0が選択される。プリチャージ制御信号PC0を‘H’から‘L’にし、ビット線BL0を読み出し用電圧Vreadにプリチャージする。また同時に制御信号PC\_AMPも‘H’から‘L’にし、センスアンプ回路SAの内部ノードもプリチャージする。Vreadは記憶素子を破壊せずに読み出しを行なえる電圧であるため、通常はVsetより小さい値である。その後、制御信号PC0を‘L’から‘H’にし、ビット線BL0からメモリセルCELL00により電流を接地電位へ流す。メモリセルCELL00の記憶素子はセット状態で、抵抗が例えば1k ~ 10k であるので、ビット線の電圧は比較的速く低下し、リファレンス電圧VREFより小さくなる。この後センスアンプ活性化信号SA\_ENを‘L’から‘H’にしビット線BL0とリファレンス電位VREFの電位差を増幅する。この結果、データバスRDATA0には“1”が出力される。

【 0 0 4 1 】

次に、アドレスADDが変わり、ワード線WL1と制御信号YSR1が選択される。プリチャージ制御信号PC1を‘H’から‘L’にし、ビット線BL1を読み出し用電圧Vreadにプリチャージする。また同時に制御信号PC\_AMPも‘H’から‘L’にし、センスアンプ回路SAの内部ノードもプリチャージする。その後、制御信号PC1を‘L’から‘H’にし、ビット線BL1からメモリセルCELL11により電流を接地電位へ流す。メモリセルCELL11の記憶素子はリセット状態で、抵抗が例えば100k ~ 1M であるので、ビット線の電圧はほとんど変化せず、リファレンス電圧VREFより大きいままとなる。この後センスアンプ活性化信号SA\_ENを‘L’から‘H’にしビット線BL1とリファレンス電位VREFの電位差を増幅する。この結果、データバスRDATA0には“0”が出力される。

【 0 0 4 2 】

本実施例では、Vresetは例えば、1.5V、Vsetは1.0V、Vreadは0.5V、リファレンス電圧VREFは0.2Vである。

【 0 0 4 3 】

以上のような動作により、電源の立ち上げ時に記憶素子へ電流が流れることを防止し、データ破壊を防止できる。

【 0 0 4 4 】

電源オフ時にも全てのワード線を強制的に接地電位として非選択状態とすることによりデータ破壊を防止できる。図8に電源オフ時の動作波形を示す。通常動作中は、図7により既に説明した通りであり、電源立ち下げ時(POWER OFF)は、外部電源電圧VDDが‘H’から‘L’になると、これを検出回路PRVNT\_OFFは検出し、信号PRV\_OFFが‘H’となる。これによりNチャネル型MOSトランジスタ(MN2、MN3)はオンし、全てのワード線は強制的に接地電位とされ、非選択状態となる。その後、信号Creset、信号Cset、信号Cread、の順

10

20

30

40

50

で‘L’レベルとし出力電圧が低い電源回路から順に遮断していく。以上のような動作により、電源遮断時において、全ての電源回路が遮断されるまで、すべてのワード線WLを強制的に接地電位にして非選択状態とし、記憶素子への電流の流れ込みを防止して、データ破壊を防止することができる。

#### < 電源回路方式 >

図9を用いて電源回路について説明する。本実施例では、電圧は $V_{reset} > VDD > Vset > Vread$ の大小関係があり、リセット用電源回路 $PS_{reset}$ は、昇圧回路で構成され、セット用電源回路 $PS_{set}$ と読み出し用電源回路 $PS_{read}$ は降圧回路で構成されている。電源電圧検出回路 $PRVNT$ から制御信号 $Creset$ がリセット用電源回路 $PS_{reset}$ へ、制御信号 $Cset$ がセット用電源回路 $PS_{set}$ へ、制御信号 $Cread$ が読み出し用電源回路 $PS_{read}$ へ、それぞれ接続される。また、リセット用電源回路 $PS_{reset}$ から電圧 $V_{reset}$ が、セット用電源回路 $PS_{set}$ から電圧 $Vset$ が、読み出し用電源回路 $PS_{read}$ から電圧 $Vread$ が、それぞれメモリアレイARRAYへ供給される。

10

#### 【0045】

リセット用電源回路 $PS_{reset}$ は、チャージポンプ回路 $CP$ 、リングオシレータ $OSC$ 、基準電圧発生回路 $Vref(reset)$ 、比較回路 $CMP0$ で構成される昇圧回路である。また、リングオシレータ $OSC$ にはNチャンネル型MOSトランジスタ $MN4$ が接続され、ゲート電極に接続された信号 $Creset$ によりリングオシレータをオン・オフする。本回路は出力電圧 $V_{reset}$ と発生基準電圧 $Vref(reset)$ を比較し、基準電圧より出力電圧が小さいときはリングオシレータ $OSC$ のスピードを上げ、大きいときにはスピードを下げる。リングオシレータ $OSC$ の出力はチャージポンプ $CP$ に接続され、昇圧電圧 $V_{reset}$ が生成される。電源電圧 $VDD$ 立ち上げ時は、信号 $Creset$ を‘L’とすることにより、リングオシレータ $OSC$ はオフし出力電圧 $V_{reset}$ は接地電位となる。

20

#### 【0046】

セット用電源回路 $PS_{set}$ は、基準電圧発生回路 $Vref(set)$ 、比較回路 $CMP1$ 、出力バッファであるPチャンネル型MOSトランジスタ $MP0$ で構成されている。また、 $MP0$ のゲート電極にはPチャンネル型MOSトランジスタ $MP1$ が接続され、 $MP1$ のゲート電極に接続された信号 $Cset$ によりPチャンネル型MOSトランジスタ $MP0$ のゲート電極を電源電圧 $VDD$ またはフローティングとする。本回路は出力電圧 $Vset$ と発生基準電圧 $Vref(set)$ を比較し、この結果に基づいて、出力バッファPチャンネル型MOSトランジスタ $MP0$ のゲート電極を制御する。電源電圧 $VDD$ 立ち上げ時は、信号 $Cset$ を‘L’とすることにより、Pチャンネル型MOSトランジスタ $MP0$ はオフし出力電圧 $Vset$ は接地電位となる。

30

#### 【0047】

読み出し用電源回路 $PS_{read}$ は、基準電圧発生回路 $Vref(read)$ 、比較回路 $CMP1$ 、出力バッファであるPチャンネル型MOSトランジスタ $MP2$ で構成されている。また、 $MP2$ のゲート電極にはPチャンネル型MOSトランジスタ $MP3$ が接続され、 $MP3$ のゲート電極に接続された信号 $Cread$ によりPチャンネル型MOSトランジスタ $MP2$ のゲート電極を電源電圧 $VDD$ またはフローティングとする。本回路は出力電圧 $Vread$ と発生基準電圧 $Vref(read)$ を比較し、この結果に基づいて、出力バッファPチャンネル型MOSトランジスタ $MP2$ のゲート電極を制御する。電源電圧 $VDD$ 立ち上げ時は、信号 $Cread$ を‘L’とすることにより、Pチャンネル型MOSトランジスタ $MP2$ はオフし出力電圧 $Vread$ は接地電位となる。

40

#### 【0048】

以上の例は電圧が $V_{reset} > VDD > Vset > Vread$ の場合であったが、これ以外の大小関係の場合は、図10に示したように、電圧 $V_{reset}$ 、 $Vset$ 、 $Vread$ 、を内部回路の動作電圧 $VDD$ や入出力端子の動作電圧 $VDDQ$ を基に、昇圧回路または降圧回路から生成する。本実施例は図10のパターン3に相当する。

#### 【0049】

リセットは多くの電流が必要なため、電源電圧 $VDD$ を使用するのが望ましい。また、昇圧回路は面積が大きいので、できるだけ降圧回路を使うのが望ましい。従ってパターン2、9、15、16が理想的である。

50

< その他の実施例 >

図11は、図3に示したメモリアレイの一部を変更している。電源立ち上げ時ワード線WLを強制的に接地電位とする代わりに、ビット線BLとソース線SLを接続する方式である。制御アレイPRV\_ARYには、Nチャンネル型MOSトランジスタが行状に配置されている。Nチャンネル型MOSトランジスタMN5は、ビット線BLとソース線SLを接続するトランジスタであり、制御信号PRVにより制御される。電源立ち上げ時には、PRVが‘H’となり、ビット線BLとソース線SLは強制的に接続され、記憶素子に電流が流れることを防ぎ、データ破壊を防止する。ソース線SLは接地電位に接続される場合もあるが、接地電位にノイズが生じた場合でも記憶素子に電流が流れることがなく、データ破壊を防ぐことができる。

【 0 0 5 0 】

ソース線SLは、接地電位と同じ電位にしても良いし、適切な単位ごとにソース線駆動回路を設けて制御しても良い。ソース線SLを接地電位とする場合、メモリセルアレイ上に面状にレイアウトすることにより、ノイズ耐性を向上することができる。適切な単位ごとにソース線駆動回路を設けることにより、きめ細かく制御することが可能となる。

【 0 0 5 1 】

図12は、システムLSI ( IC1 ) に適用した場合である。IC1は、入出力回路IO、中央処理装置CPU、メモリモジュールMEM\_MOD、メモリコントロール回路MEM\_CNT、電源回路PSUより構成される。CPUからメモリモジュールMEM\_MODにアドレスADDが、メモリコントロール回路MEM\_CNTに書込みデータWD、書込み許可信号WE、読み出し許可信号REがそれぞれ与えられる。また読み出しデータRDとアクセス可能信号であるREADY信号はメモリコントロール回路MEM\_CNTからCPUへ出力される。メモリコントロール回路MEM\_CNTには、セット時間を計測するTIMER\_SETとリセット時間を計測するTIMER\_RESET回路、電源電圧検出回路PRVNTが含まれている。

【 0 0 5 2 】

電源電圧が立ち上がると、電源電圧検出回路PRVNTが検出し、制御信号PRVを‘H’とし、ワード線WLを接地電位とし、同時にセット時間の計測を始める。セット時間が経過すると制御信号PRVを‘L’とし、ワード線WLを接地電位から切り離し、通常の動作を行えるようにする。セット時間計測中に電源回路PSUに置かれている電源回路 ( PSreset、PSset、PSread ) を立ち上げる。また、PRVを‘L’とする時に同時にCPUへアクセス可能信号であるREADY信号を出力し、アクセス可能であることを伝える。

【 0 0 5 3 】

相変化メモリでは、数ns相変化素子に電流が流れるとデータが破壊されるので、電源電圧検出回路がメモリアレイから離れていた場合、ワード線を強制的にオフする信号が遅れ、データが破壊される可能性が高くなる。このため図13に示す方式を考案した。図13は図12の一部を変更したものであり、電源電圧検出回路PRVNTは複数あり、2つのメモリアレイARRAY毎に1つの割合で置かれている。例えば電源電圧検出回路PRVNT0はメモリアレイARRAY00とARRAY01を制御する。このようにメモリモジュールMEM\_MOD内部に電源電圧検出回路PRVNTを埋め込むことにより、電源立ち上げ時のノイズにより、記憶素子へ電流が流れる時間を短くでき、データ破壊を防止することが可能となる。

【 0 0 5 4 】

図14は、ワード線WLとソース線SLを電源立ち上げ時に接続するメモリアレイARRAY3である。例えばワード線WL0にはワードドライバWDR\_0と接続用Nチャンネル型MOSトランジスタMN7のドレイン電極が接続され、ソース線SLにはソース線ドライバSDR\_0とMN7のソース電極が接続される。電源立ち上げ時には、信号PRVが‘H’となり、ワード線WLとソース線SLが接続される。この結果メモリセルCELLに使用されるNチャンネル型MOSトランジスタMNのゲート-ソース間電圧が0Vとなるため記憶素子PCMには電流が流れず、データ破壊を防ぐことが可能となる。

< 連続読み出しによるデータ破壊 >

発明者らは、同じ相変化素子を連続して読み出しを行なった場合、素子に流れる電流により発熱し、リセット素子 ( アモルファス状態 ) がセット化 ( 結晶化 ) する問題が生じる

10

20

30

40

50

ことを見出した。読み出し時の発熱を低減するためには、読み出し時に素子に印加する電圧を下げる、印加している時間を短くすることが有効である。電圧を下げると読み出し速度が劣化する。印加している時間を短くするには、ビット線を短くする必要があるため面積のオーバーヘッドが大きい。本実施例では、連続して読み出し動作が同一のメモリセルに行われた場合、実際にはメモリセルにアクセスせずに、データを出力することにより、発熱温度を下げる方法を提案する。

【 0 0 5 5 】

図15は、本実施例を示す図であるが、一部を除いて図3と同一であり、異なる部分のみ説明する。ワードドライバWDは、ナンド回路NANDとインバータINVから構成され、デコーダ回路ADECからのデコード信号と、アクセス許可信号ENが入力されている。

10

【 0 0 5 6 】

連続読み出しを検出する回路SRDは、アドレスバッファABUFと比較回路COMPで構成されアドレスバッファABUFは毎サイクルアドレスADDを保存し、次のサイクルでABUF\_OUTに出力し、次のサイクルのアドレスADDと比較回路COMPで比較し、結果をアクセス許可信号ENとして出力する。

【 0 0 5 7 】

次に図16を用いて動作について説明する。書き込みは図7で述べた方法と同一であるので、読み出しのみ説明する。メモリセルCELL00には、データ“1”が、メモリセルCELL11にはデータ“0”がそれぞれ書き込まれており、はじめにサイクルREAD0でCELL00のデータが読み出される。

20

【 0 0 5 8 】

アドレスADDが変わり、ワード線WL0と制御信号YSR0が選択される。このアドレスはアドレスバッファABUFに保存される。プリチャージ制御信号PC0を‘H’から‘L’にし、ビット線BL0を読み出し用電圧Vreadにプリチャージする。また同時に制御信号PC\_AMPもH’から‘L’にし、センスアンプ回路SAの内部ノードもプリチャージする。その後、制御信号PC0を‘L’から‘H’にし、ビット線BL0からメモリセルCELL00により電流を接地電位へ流す。メモリセルCELL00の記憶素子はセット状態で、抵抗が例えば1k ~ 10k であるので、ビット線の電圧は比較的速く低下し、リファレンス電圧VREFより小さくなる。この後センスアンプ活性化信号SA\_ENを‘L’から‘H’にしビット線BL0とリファレンス電位VREFの電位差を増幅する。この結果、データバスRDATA0には“1”が出力される。

30

【 0 0 5 9 】

本動作では読み出しを行なわないビット線BL1は、接地電位のままとし、また、読み出しを行なわないワード線WL1も接地電位のままとしている。この結果読み出しを行なうセルCELL00の記憶素子にのみ電流が流れ、読み出しを行なわないセルについては、選択されていないワード線に接続されたセルはもとより、選択されたワード線WL0に接続されたセルCELL01においても、その記憶素子には電流が流れず劣化することはない。

【 0 0 6 0 】

次のサイクルREAD1でも同一のアドレスによる読み出しを行なう。前のサイクルのアドレスであるABUF\_OUTの値と新しいアドレスADDの値が比較回路COMPで比較される。この場合一致するので、アクセス許可信号ENを‘L’にし、ワード線WLも制御信号YSRも選択しない。また、ビット線もプリチャージしない。センスアンプ活性化信号SA\_ENは‘H’とし、前のデータを出力したままとする。このため、全てのメモリセルで電流を流すことなく、データを出力でき、記憶素子の値の破壊を防止できる。

40

【 0 0 6 1 】

次のサイクルREAD2では、メモリセルCELL11からデータ“0”を読み出す。アドレスADDが変わり、このアドレスはアドレスバッファABUFに保存される。前のサイクルのアドレスであるABUF\_OUTの値と新しいアドレスADDの値が比較回路COMPで比較される。この場合一致しないので、アクセス許可信号ENを‘H’にし、ワード線WL1と制御信号YSR1が選択される。プリチャージ制御信号PC0を‘H’から‘L’にし、ビット線BL1を読み出し用電圧Vreadにプリチャージする。また同時にセンスアンプ活性化信号SA\_ENを‘L’にし、制御信号P

50

C\_AMPも‘H’から‘L’にし、センスアンプ回路SAの内部ノードもプリチャージする。その後、制御信号PC1を‘L’から‘H’にし、ビット線BL0からメモリセルCELL11により電流を接地電位へ流す。メモリセルCELL11の記憶素子はリセット状態で、抵抗が例えば100k ~ 1M であるので、ビット線の電圧はほとんど変化せず、リファレンス電圧VREFより大きいままとなる。この後センスアンプ活性化信号SA\_ENを‘L’から‘H’にしビット線BL1とリファレンス電位VREFの電位差を増幅する。この結果、データバスRDATA0には“0”が出力される。

【0062】

以上のような動作をすることにより読み出しを行なったメモリセルの記憶素子のみ電流が流れ、記憶素子の値の破壊を最小限にすることができる。また、同一素子を連続アクセスする場合は実際には素子に電流を流す必要がなくなるので、記憶素子の値の破壊を防ぐことができる。

10

【0063】

本実施例では、センスアンプ回路SAにデータを保持して出力しているが、ラッチ回路等にデータを保持しても良い。また、ワード線WLを立ち上げる信号などの内部信号は、周波数を変えた場合にも一定となるようにクロックの立ち上がりから作ることが望ましい。これにより周波数を下げた場合に、さらに発熱を抑えることができ信頼性を向上できる。

【0064】

また、アドレスバッファABUFを複数個持ち、順番に使うことにより、さらに更に実際のメモリセルへのアクセス数を減らすことが可能となる。

20

<エラー訂正回路>

読み出しによる発熱や温度の上昇によりリセット素子（アモルファス状態）がセット化（結晶化）するデータ破壊は同じアドレスで1ビット生じた場合、別のセルも破壊される可能性が高い。そこで、読み出し時にエラー訂正回路ECCで1ビットのエラーを検出した場合、全てのデータを再度書き戻すことが有効となる。これについて詳細に述べる。

【0065】

図17は、本実施例を示す図であるが、一部を除いて図3と同一であり、異なる部分のみ説明する。読み出したデータRDATAはエラー訂正回路ECCに接続され、また、エラー訂正回路ECCは書き込みデータWDATAとも接続されている。エラー訂正回路ECCからはエラー検出信号ERR\_DETが出力される。メモリセルアレイMEM\_ARRAYには通常のメモリセルに加えパリティビットも置かれている。

30

【0066】

次に図18を用いて動作について説明する。通常書き込みは図6で述べた方法と同一であるので、読み出しのみ説明する。メモリセルCELL00には、データ“0”が書き込まれており、CELL00のデータが読み出される。

【0067】

アドレスADDが変わり、ワード線WL0と制御信号YSR0が選択される。プリチャージ制御信号PC0を‘H’から‘L’にし、ビット線BL0を読み出し用電圧Vreadにプリチャージする。また同時に制御信号PC\_AMPも‘H’から‘L’にし、センスアンプ回路SAの内部ノードもプリチャージする。その後、制御信号PC0を‘L’から‘H’にし、ビット線BL0からメモリセルCELL00により電流を接地電位へ流す。メモリセルCELL00の記憶素子はリセット状態で、抵抗が例えば100k ~ 1M であったが、劣化により抵抗が100k 以下に下がっており、ビット線の電圧は比較的速く低下し、リファレンス電圧VREFより小さくなる。この後センスアンプ活性化信号SA\_ENを‘L’から‘H’にしビット線BL0とリファレンス電位VREFの電位差を増幅する。この結果、データバスRDATA0には“1”が出力される。

40

【0068】

読み出したデータはエラー訂正回路ECCで正しく訂正される。エラーが発生した場合にはエラー検出信号ERR\_DETが‘H’となり、同一アドレスでデータ“0”が書かれたメモリセルのみ再度書き込みを行なう。

【0069】

50

制御信号YSW0が選択され、データ“0”を書き込むため、ビット線に電圧Vresetが供給される。記憶素子がリセットされる十分な時間電圧を印加した後、ワード線WL0をオフし書き込み動作を終了する。

【0070】

発明者らは、相変化メモリにおいては、電源の投入や遮断に際してのノイズもしくは同一メモリセルの連続読み出しによって記憶素子に流れる電流による熱ストレスは、アモルファス状態にリセットされている素子を結晶化する方向へのデータ破壊を引き起こすことがあるが、逆に結晶状態にセットされている素子を非結晶化することはないことを見出した。即ち、通常はリセット素子のみがセット状態へと破壊を起こすため、エラー検出後の書き込みはリセット（データ“0”の書き込み）のみすれば良い。セット時間やリード時間と比べて、リセット時間は比較的短いので、読み出し動作の後に行い、通常はサイクルに影響をほとんど与えず、同一のリードサイクル内に隠蔽することができる。

10

【0071】

また、電源立ち上げ時にデータを一度読み出して破壊されているデータを書き戻すとさらに信頼性向上に有効である。また、この時わざとマージンを小さくして読み出しを行えば、劣化程度が少ない時にデータ破壊を検出できるので有効である。マージンを小さくして読み出しを行なうには、センスアンプ活性化信号SA\_ENのタイミングを遅くする。これによりリセット状態の素子の抵抗が低下したことを検出できる。また、センスアンプのリファレンス電圧VREFの電圧を高くすることにより、マージンを小さくして読み出しを行なうことができる。

20

【0072】

本発明の趣旨を逸脱しない限り、種々の変更が可能である。例えば、相変化素子に代えて、電流で記憶情報を書き換える記憶素子を用いた記憶装置には、特に有効である。

【符号の説明】

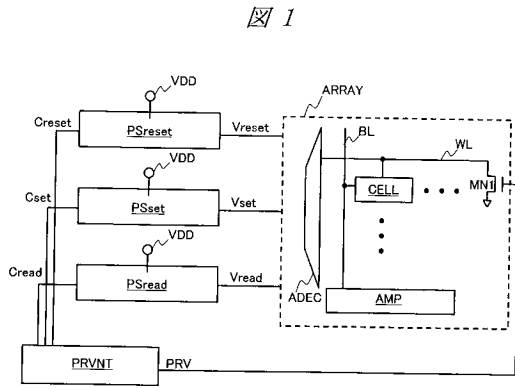
【0073】

ARRAY...メモリアレイ、WL...ワード線、BL...ビット線、CELL...メモリセル、MN...Nチャンネル型MOSトランジスタ、AMP...アンプ回路、ADEC...デコーダ回路、PRV...制御信号、MEM\_ARY...メモリセルアレイ、PSreset...リセット用の電源を供給する電源回路、PSset...セット用の電源を供給する電源回路、PSread...読み出し用の電源を供給する電源回路、Vreset...リセット電圧、Vset...セット電圧、Vread...読み出し用電圧、Creset...活性化信号、Cset...活性化信号、Cread...活性化信号、PRVNT...電源電圧検出回路、VDD...電源電圧、N...ノード、PCM...記憶素子、WD...ワードドライバ回路、WD\_ARY...ワードドライバアレイ、MP...Pチャンネル型MOSトランジスタ、XADD...アドレス、PCR...読み出し用プリチャージ回路、PC\_ARY...プリチャージ回路アレイ、YS...カラム選択回路、YS\_ARY...カラム選択回路アレイ、YSR...制御信号、SA...センスアンプ回路、YSW...制御信号、SA\_EN...活性化信号、RDATA...データバス、WA...ライトアンプ回路、WDATA...データバス、WA\_CONT...制御信号、AMP\_ARY...アンプアレイ、INV...インバータ回路、PC\_AMP...制御信号、YS\_AMP...制御信号、VREF...レファレンス電圧、PR\_CONT...制御回路、CO...容量、INVS...制御信号、SETEND...セット終了信号、RESEREND...リセット終了信号、CP...チャージポンプ回路、OSC...リングオシレータ、Vref...基準電圧発生回路、CMP0...比較回路、VDDQ...IO電圧、SL...ソース線、PRV\_ARY...制御アレイ、IC...システムLSI、IO...入出力回路、CPU...中央処理装置、MEM\_MOD...メモリモジュール、MEM\_CNT...メモリコントロール回路、PSU...電源回路、WE...書き込み許可信号、RE...読み出し許可信号、READY...アクセス可能信号、TIMER\_SET...セット時間を計測する回路、TIMER\_RESET...リセット時間を計測する回路。

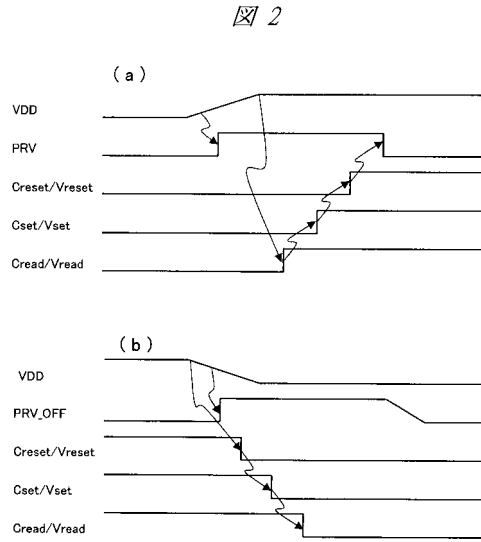
30

40

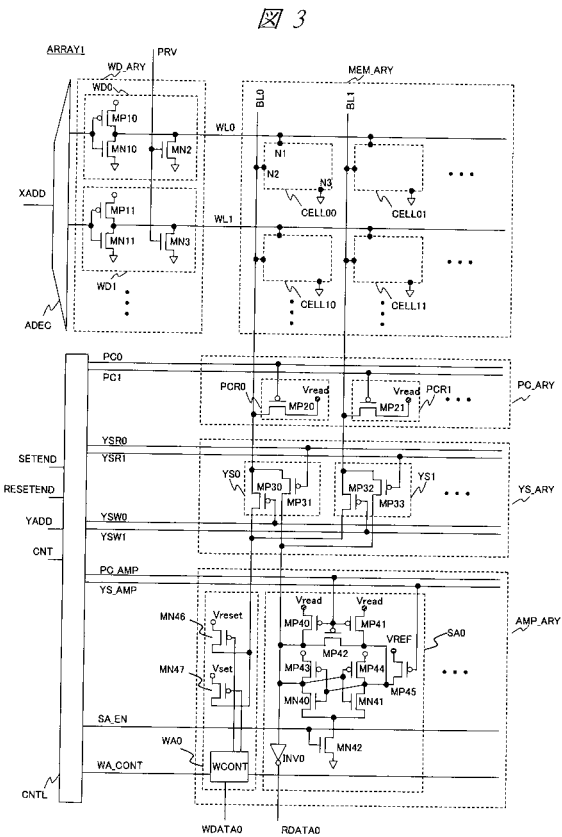
【 図 1 】



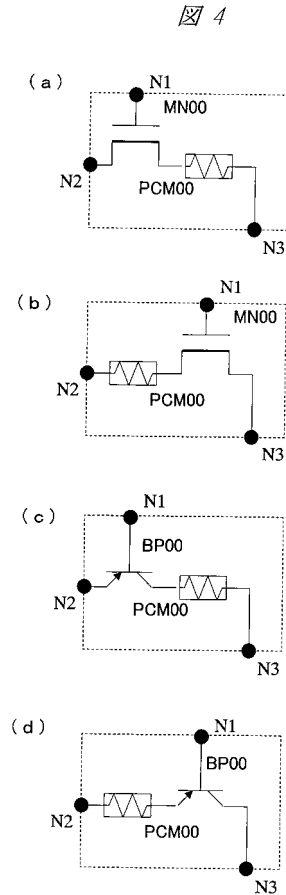
【 図 2 】



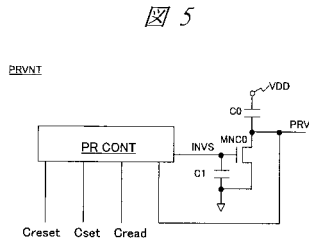
【 図 3 】



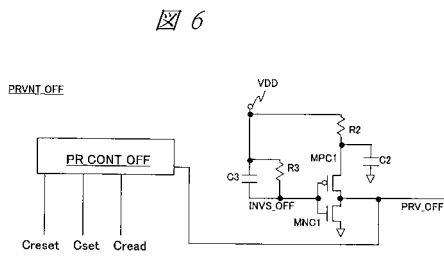
【 図 4 】



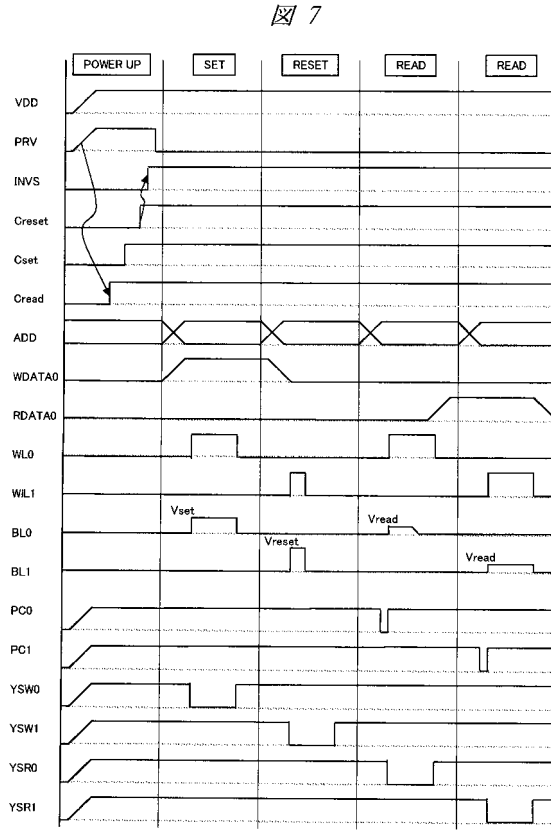
【 図 5 】



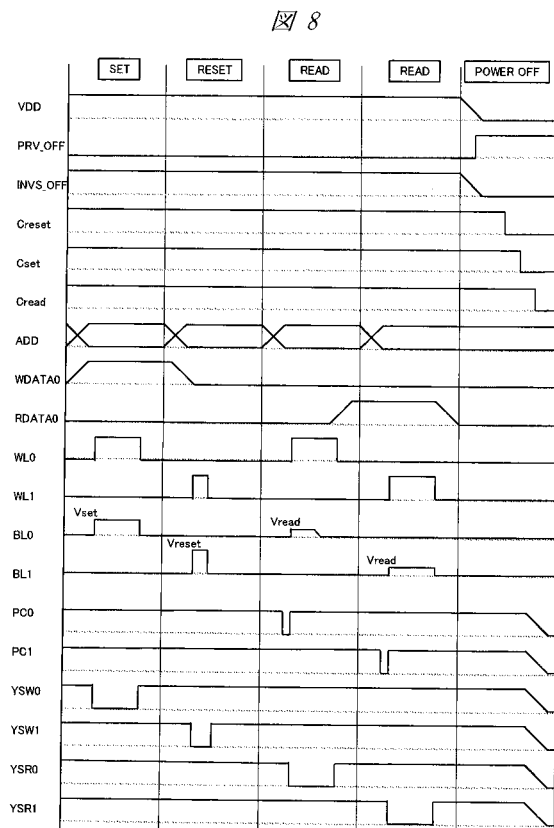
【 図 6 】



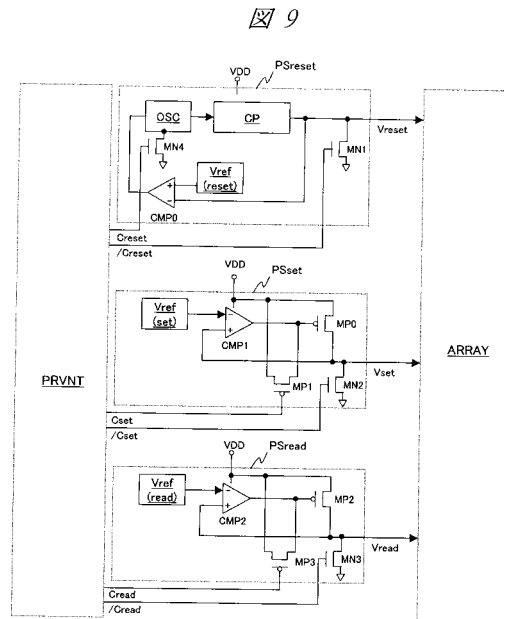
【 図 7 】



【 図 8 】



【 図 9 】



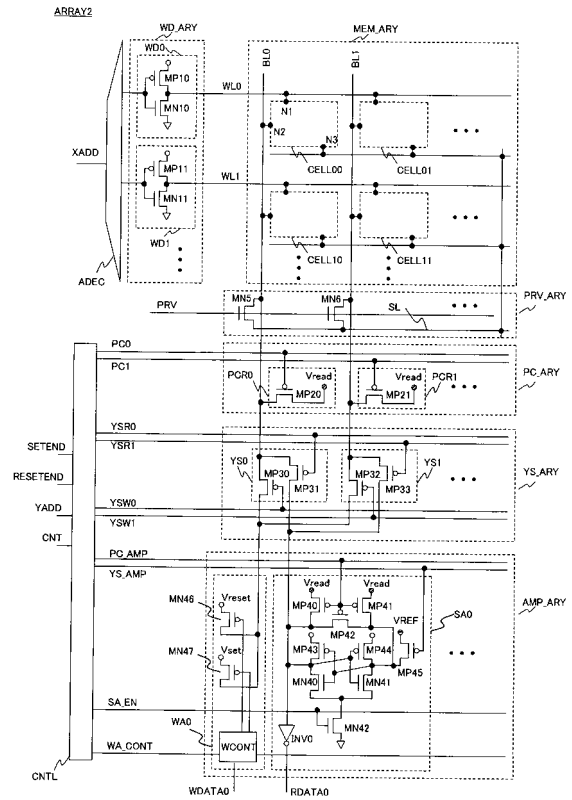
【図10】

図10

電圧	大 ←				→ 小
パターン	Vreset	Vset	VDD	Vread	
1	VDD	VDD降圧	VDD降圧	VDD降圧	
2	VDD	VDD降圧	VDD降圧	VDD降圧	
3	VDD	VDD昇圧	VDD	VDD降圧	
4	VDD	VDD昇圧	VDD	VDD降圧	
5	VDD	VDD昇圧	VDD昇圧	VDD	VDD降圧
6	VDD	VDD昇圧	VDD昇圧	VDD	VDD
7	VDD	VDD昇圧	VDD昇圧	VDD昇圧	VDD
8	VDDQ/VDD	VDD降圧	VDD降圧	VDD降圧	
9	VDDQ	VDD	VDD降圧	VDD降圧	
10	VDDQ	VDDQ降圧	VDD	VDD降圧	
11	VDDQ	VDDQ降圧	VDD	VDD降圧	
12	VDDQ	VDDQ降圧	VDDQ降圧	VDD	VDD降圧
13	VDDQ	VDDQ降圧	VDDQ降圧	VDD	
14	VDDQ	VDDQ降圧	VDDQ降圧	VDDQ降圧	VDD
15	VDDQ	VDDQ	VDD降圧	VDD降圧	
16	VDDQ	VDDQ	VDD	VDD降圧	
17	VDDQ	VDDQ降圧	VDD	VDD降圧	
18	VDDQ	VDDQ降圧	VDD	VDD降圧	
19	VDDQ	VDDQ降圧	VDDQ降圧	VDDQ降圧	VDD
20	VDDQ	VDDQ	VDD	VDD降圧	
21	VDDQ	VDDQ	VDDQ降圧	VDD	VDD降圧
22	VDDQ	VDDQ	VDDQ降圧	VDD	
23	VDDQ	VDDQ	VDDQ降圧	VDDQ降圧	VDD
24	VDDQ	VDDQ	VDDQ	VDD	VDD降圧
25	VDDQ	VDDQ	VDDQ	VDD	
26	VDDQ	VDDQ	VDDQ	VDDQ降圧	VDD
27	VDDQ	VDDQ	VDDQ	VDD	
28	VDDQ	VDDQ	VDDQ	VDDQ降圧	VDD
29	VDDQ	VDDQ	VDDQ	VDDQ	VDD

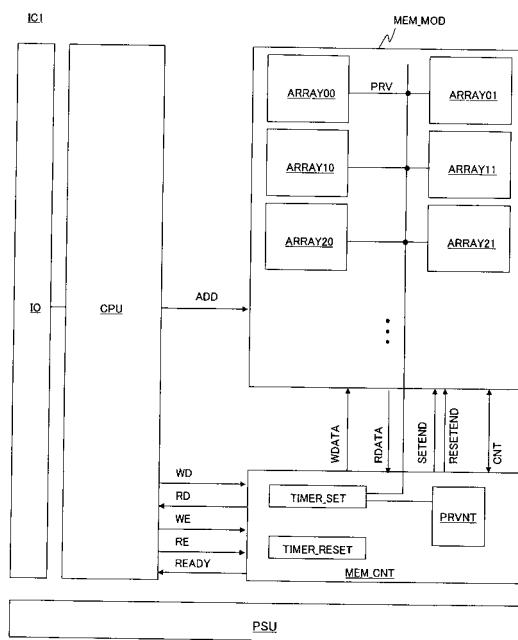
【図11】

図11



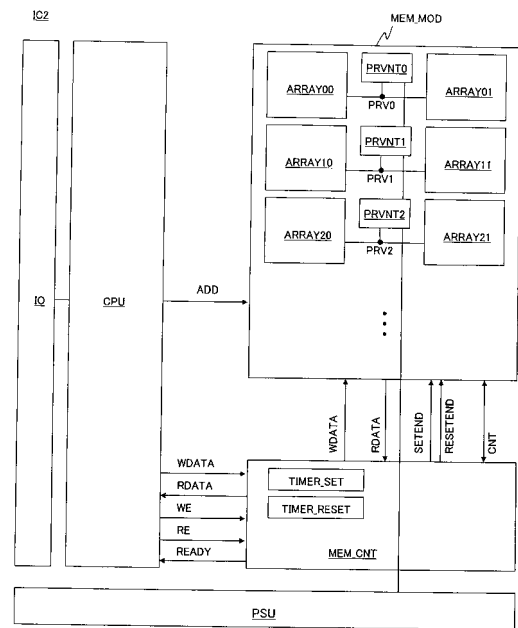
【図12】

図12

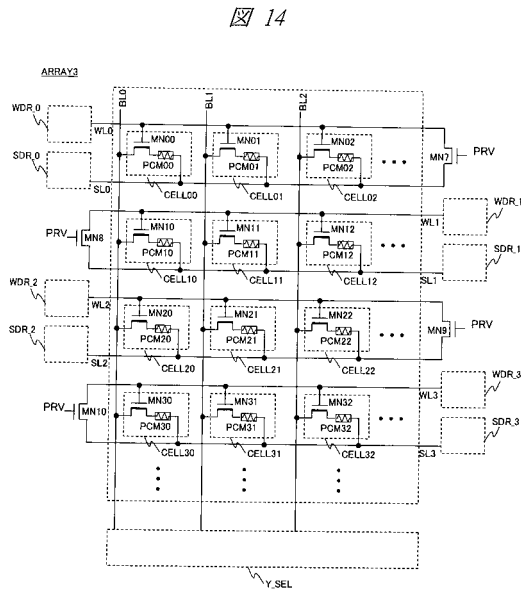


【図13】

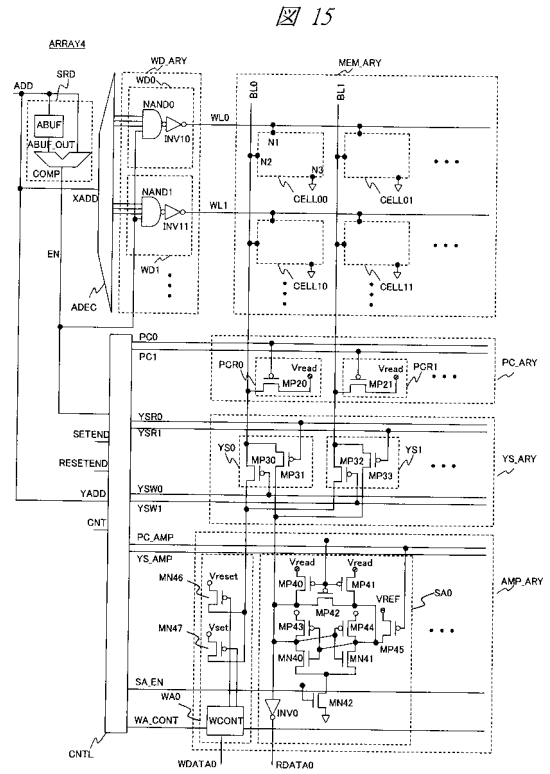
図13



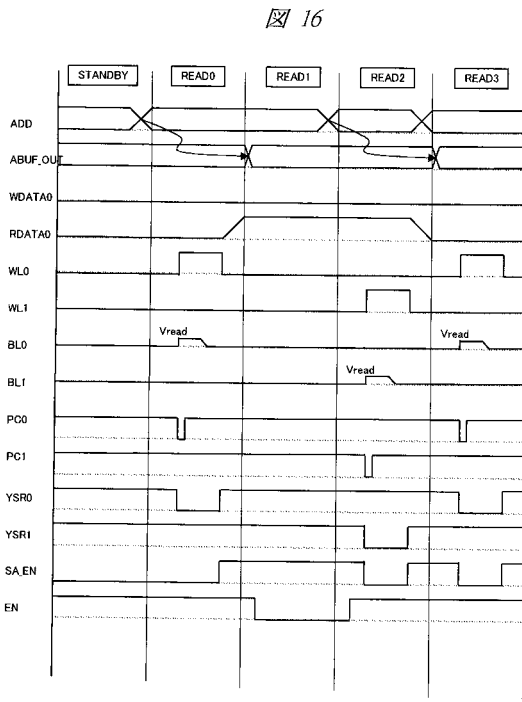
【 図 14 】



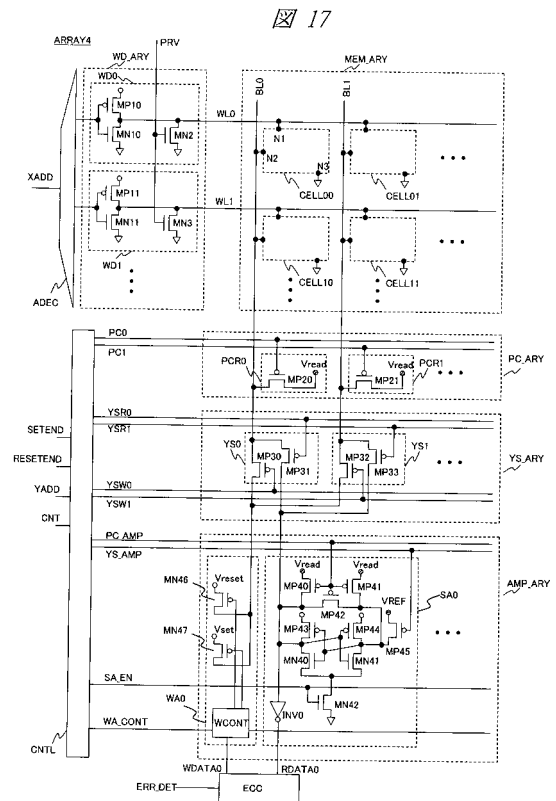
【 図 15 】



【 図 16 】

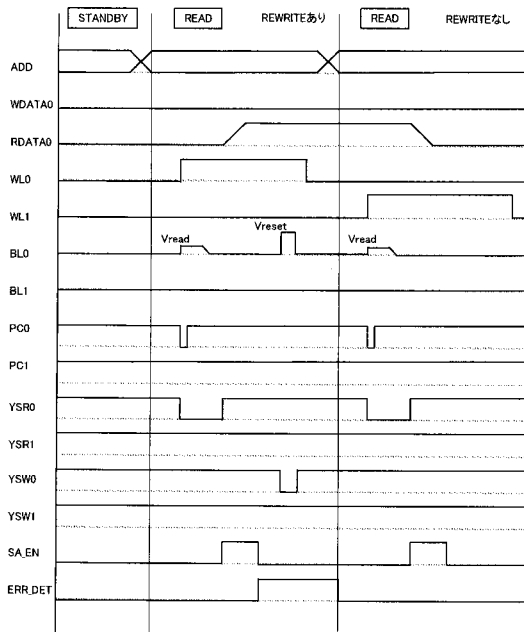


【 図 17 】



【 18 】

18



---

フロントページの続き

(56)参考文献 特開2004-355689(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00