

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：
一 国際調査報告（条約第21条(3)）

(57) 要約：本開示に係る発光素子駆動回路（2）は、定電流回路（10）と、スイッチ（20）と、昇圧回路（30）とを備える。定電流回路（10）は、電源電圧（Vcc）から発光素子（3）に定電流（Ia）を供給する。スイッチ（20）は、外部信号に基づいて発光素子（3）に流れる電流（I1）を断続させる。昇圧回路（30）は、発光素子（3）が点灯するタイミングと同期して、電源電圧（Vcc）と発光素子（3）との間を昇圧する。

明 細 書

発明の名称：発光素子駆動回路および発光装置

技術分野

[0001] 本開示は、発光素子駆動回路および発光装置に関する。

背景技術

[0002] レーザダイオード (Laser Diode : LD) や LED (Light Emitting Diode) などの発光素子を備える発光装置には、かかる発光素子に駆動電流を供給する発光素子駆動回路が設けられている (たとえば、特許文献 1 参照)。

先行技術文献

特許文献

[0003] 特許文献 1 : 特開 2003-60289 号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示では、発光素子の立ち上がり時間の短縮と消費電力の低減とを両立させることができる発光素子駆動回路および発光装置を提案する。

課題を解決するための手段

[0005] 本開示によれば、発光素子駆動回路が提供される。発光素子駆動回路は、定電流回路と、スイッチと、昇圧回路とを備える。定電流回路は、電源電圧から発光素子に定電流を供給する。スイッチは、外部信号に基づいて前記発光素子に流れる電流を断続させる。昇圧回路は、前記発光素子が点灯するタイミングと同期して、前記電源電圧と前記発光素子との間を昇圧する。

図面の簡単な説明

[0006] [図1]本開示の実施形態に係る発光装置および発光素子駆動回路の構成例を示す回路図である。

[図2]参考例 1 の発光装置および発光素子駆動回路の構成例を示す回路図である。

[図3]参考例 1 の発光素子駆動回路の動作例を示すタイミングチャートである。

[図4]参考例 2 の発光装置および発光素子駆動回路の構成例を示す回路図である。

[図5]参考例 2 の発光素子駆動回路の動作例を示すタイミングチャートである。

[図6]本開示の実施形態に係る発光素子駆動回路の動作例を示すタイミングチャートである。

[図7]本開示の実施形態に係る発光装置および発光素子駆動回路の構成例を示す回路図である。

[図8]本開示の実施形態に係る各信号の動作例を示すタイミングチャートである。

[図9]本開示の実施形態の変形例 1 に係る発光装置および発光素子駆動回路の構成例を示す回路図である。

[図10]本開示の実施形態の変形例 2 に係る発光装置および発光素子駆動回路の構成例を示す回路図である。

[図11]本開示の実施形態の変形例 3 に係る発光装置および発光素子駆動回路の構成例を示す回路図である。

発明を実施するための形態

[0007] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0008] レーザダイオード (Laser Diode : LD) や LED (Light Emitting Diode) などの発光素子を備える発光装置には、かかる発光素子に駆動電流を供給する発光素子駆動回路が設けられている。

[0009] また、この発光素子駆動回路において、発光素子を発光させる前から微弱な電流を流しておくことにより、発光素子が発光する際の立ち上がり時間を短縮する技術が知られている。

[0010] しかしながら、上記の技術では、発光素子が発光していない状態であっても発光素子に電流が流されていることから、発光装置の消費電力が増大してしまうという問題があった。

[0011] そこで、上述の問題点を克服し、発光素子の立ち上がり時間の短縮と消費電力の低減とを両立させることができる技術の実現が期待されている。

[0012] [発光装置および発光素子駆動回路の構成]

最初に、発光装置 1 および発光素子駆動回路 2 の具体的な構成について、図 1 を参照しながら説明する。図 1 は、本開示の実施形態に係る発光装置 1 および発光素子駆動回路 2 の構成例を示す回路図である。

[0013] 図 1 に示すように、発光装置 1 は、発光素子駆動回路 2 と、発光素子 3 とを備える。かかる発光装置 1 では、発光素子駆動回路 2 から発光素子 3 に駆動電流が供給されることにより、発光素子 3 が発光する。

[0014] 発光素子 3 は、たとえば、レーザダイオードや LED などである。発光素子 3 は、発光素子駆動回路 2 から駆動電流が供給されることで発光するダイオード 4 と、寄生インダクタ 5 とを有する。そして、発光素子 3 の内部では、ダイオード 4 と寄生インダクタ 5 とが直列に接続される。

[0015] 発光素子駆動回路 2 は、定電流回路 10 と、スイッチ 20 と、昇圧回路 30 と、インダクタ素子 40 とを備える。定電流回路 10 は、電源電圧 V_{cc} から発光素子 3 に所定の定電流を供給する。なお、電源電圧 V_{cc} は、発光素子 3 を発光可能な所定の電圧（たとえば、3.3 (V) や 5 (V) など）である。

[0016] スイッチ 20 は、外部信号に基づいて、発光素子 3 に流れる電流を断続（切断または接続）させる。昇圧回路 30 は、発光素子 3 が点灯するタイミングと同期して、電源電圧 V_{cc} と発光素子 3 との間を昇圧する。インダクタ素子 40 は、電源電圧 V_{cc} と発光素子 3 との間に設けられる。

[0017] つづいて、発光装置 1 における各部の具体的な回路構成について説明する。発光素子 3 におけるダイオード 4 のアノードは、直列に接続された寄生インダクタ 5 およびインダクタ素子 40 を介して、電源電圧 V_{cc} に接続され

る。

[0018] また、ダイオード4のカソードは、直列に接続されたN型トランジスタ11およびスイッチ20を介して接地される。なお、N型トランジスタ11は定電流回路10の一部であり、スイッチ20はN型トランジスタで構成される。

[0019] 定電流回路10は、N型トランジスタ11と、N型トランジスタ12と、定電流源13と、N型トランジスタ14と、コンデンサ15とを有する。N型トランジスタ11およびN型トランジスタ12は、略等しい素子特性を有する高耐圧トランジスタ（たとえば、LDMOS）であり、カレントミラーを構成する。

[0020] すなわち、N型トランジスタ11のゲートはN型トランジスタ12のゲートに接続され、N型トランジスタ12のゲートはN型トランジスタ12のドレインに接続される。

[0021] また、N型トランジスタ12のドレインは定電流源13を介してロジック動作用の電圧 V_L に接続され、N型トランジスタ12のソースはN型トランジスタ14を介して接地される。なお、ロジック動作用の電圧 V_L は、たとえば、1.8（V）である。

[0022] さらに、N型トランジスタ14のゲートにはロジック動作用の電圧 V_L が接続され、N型トランジスタ11のゲートおよびN型トランジスタ12のゲートはコンデンサ15を介して接地される。

[0023] このような回路構成によって、定電流回路10は、定電流源13からN型トランジスタ12に流される定電流に基づいて、N型トランジスタ11に定電流を流すことができる。これにより、定電流回路10は、N型トランジスタ11と直列に接続される発光素子3に対して、定電流を供給することができる。

[0024] なお、実施形態に係る定電流回路10では、N型トランジスタ11とN型トランジスタ12とが略等しい素子特性を有し、N型トランジスタ14はスイッチ20と略等しい素子特性を有するとよい。

[0025] これにより、実施形態に係る定電流回路 10 は、カレントミラーのミラー比が素子サイズに近い安定した定電流を発光素子 3 に供給することができる。

[0026] N型トランジスタで構成されるスイッチ 20 のドレインは、定電流回路 10 の N型トランジスタ 11 を介して発光素子 3 に接続され、スイッチ 20 のソースは接地される。また、スイッチ 20 のゲートには、図示しない制御部からの信号 S1 が入力される。かかる信号 S1 は、外部信号の一例である。

[0027] 信号 S1 がハイレベルである場合、スイッチ 20 は導通状態となることから、電源電圧 V_{cc} から発光素子 3 に所定の定電流が供給され、発光素子 3 は点灯状態となる。一方で、信号 S1 がローレベルである場合、スイッチ 20 は切断状態となることから、電源電圧 V_{cc} から発光素子 3 には定電流が供給されず、発光素子 3 は消灯状態となる。

[0028] 昇圧回路 30 は、コンデンサ 31 と、インバータ 32 とを有する。また、インバータ 32 は、P型トランジスタ 32a と N型トランジスタ 32b とを有する。

[0029] P型トランジスタ 32a のソースはロジック動作用の電圧 V_L に接続され、P型トランジスタ 32a のドレインは、ノード 32c を介して N型トランジスタ 32b のドレインに接続される。かかるノード 32c は、インバータ 32 の出力端子に対応する。また、N型トランジスタ 32b のソースは接地される。

[0030] そして、インバータ 32 の入力端子である P型トランジスタ 32a のゲートおよび N型トランジスタ 32b のゲートには、別の外部信号である信号 S2 が入力される。かかる信号 S2 の詳細については後述する。

[0031] コンデンサ 31 は、インバータ 32 の出力端子であるノード 32c と、電源電圧 V_{cc} および発光素子 3 の間（具体的には、インダクタ素子 40 および発光素子 3 の間）に設けられるノード 33 との間に設けられる。

[0032] [発光素子駆動回路の動作]

つづいて、実施形態に係る発光素子駆動回路 2 の動作について、図 2 ～図

8を参照しながら説明する。なお、以降においては、理解を容易にするため、実施形態と参考例1および参考例2とを比較しながら説明する。

[0033] まず、本開示の参考例1について説明する。図2は、参考例1の発光装置1および発光素子駆動回路2の構成例を示す回路図である。図2に示すように、参考例1の発光装置1は、昇圧回路30が設けられない以外は実施形態と同様の構成である。

[0034] 次に、図2に加えて図3を参照しながら、参考例1の発光素子駆動回路2の動作について説明する。図3は、参考例1の発光素子駆動回路2の動作例を示すタイミングチャートであり、電圧V1と、信号S1と、電圧V2と、電流I1とを示している。

[0035] ここで、図2に示すように、電圧V1は、発光素子3の入力側（すなわち、ダイオード4のアノード側）の電圧であり、信号S1はスイッチ20のゲートに入力される外部信号である。

[0036] また、電圧V2は、発光素子3の出力側（すなわち、ダイオード4のカソード側）の電圧であり、電流I1は、発光素子3の出力電流（すなわち、ダイオード4のカソードから出力される電流）である。

[0037] 図3に示すように、初期状態において、信号S1はローレベルであることから、スイッチ20（図2参照）は切断状態である。したがって、初期状態では、発光素子3の出力電流（電流I1）がゼロであり、発光素子3は消灯状態である。

[0038] また、初期状態では、電流I1がゼロであることから、発光素子3の入力側の電圧V1および出力側の電圧V2は、ともに電源電圧Vccと略等しい値になる。

[0039] 次に、時間T1において、信号S1がローレベルからハイレベルに切り替わると、スイッチ20が導通状態となるため、発光素子3に電流が流れ始める。これにより、時間T1から徐々に電流I1の値が上昇する。

[0040] また、時間T1において発光素子3内に電流が流れ始めると、発光素子3の入力側と出力側との間で電位差が生じることから、出力側の電圧V2が低

下する。さらに、発光素子 3 内には寄生インダクタ 5 があることから、かかる寄生インダクタ 5 に流れる電流値の変化に起因して、発光素子 3 内で大きな電圧降下が生じる。

[0041] これにより、時間 T_1 の後に、発光素子 3 の出力側の電圧 V_2 は、接地電圧（図 3 では GND）近傍の電圧 V_a まで大きく低下する。

[0042] なお、この電圧 V_2 は、カレントミラー回路である定電流回路 10 の出力電圧とみなすことができるが、このようにカレントミラー回路の出力電圧（電圧 V_2 ）が大きく低下した場合、定電流回路 10 のミラー比が維持できなくなる。

[0043] そして、定電流回路 10 のミラー比が崩れてしまうと、定電流回路 10 から発光素子 3 に必要な電流を流しにくくなることから、電流 I_1 の上昇が抑制される。したがって、変形例 1 では、ようやく時間 T_2 で電流 I_1 は所定の定電流 I_a に達する。

[0044] ここまで説明したように、変形例 1 では、発光素子 3 内の寄生インダクタ 5 に起因して発光素子 3 内で大きな電圧降下が生じることから、発光素子 3 の立ち上がり時間（図 3 では $T_2 - T_1$ ）を短縮することが困難である。

[0045] 時間 T_2 以降の流れについて説明する。時間 T_2 において電流 I_1 が所定の定電流 I_a に達すると、寄生インダクタ 5 による電圧降下がなくなることから、発光素子 3 の出力側の電圧 V_2 が上昇し、電圧 V_b で一定となる。そして、発光素子 3 は、点灯状態を維持する。

[0046] 次に、時間 T_3 において、信号 S_1 がハイレベルからローレベルに切り替わると、スイッチ 20 が切断状態となるため、発光素子 3 に流れる電流が低下し始める。これにより、時間 T_3 から徐々に電流 I_1 の値が減少する。

[0047] また、時間 T_3 において発光素子 3 内の電流が減少し始めると、発光素子 3 の入力側と出力側との間の電位差が小さくなることから、出力側の電圧 V_2 が上昇する。さらに、発光素子 3 内には寄生インダクタ 5 があることから、かかる寄生インダクタ 5 に流れる電流値の変化に起因して、発光素子 3 内で大きな電圧上昇が生じる。

[0048] これにより、時間 T_3 の後に、発光素子 3 の出力側の電圧 V_2 は、電源電圧 V_{cc} を超えた電圧 V_d まで上昇する。

[0049] そして、時間 T_4 で電流 I_1 の値がゼロになると、発光素子 3 は消灯し、初期状態に戻る。また、時間 T_4 において電流 I_1 がゼロで一定になると、寄生インダクタ 5 による電圧上昇がなくなることから、発光素子 3 の出力側の電圧 V_2 は電源電圧 V_{cc} と略等しい値に戻る。

[0050] つづいて、本開示の参考例 2 について説明する。図 4 は、参考例 2 の発光装置 1 および発光素子駆動回路 2 の構成例を示す回路図である。図 4 に示すように、参考例 2 の発光装置 1 は、昇圧回路 30 が設けられないことと、電源電圧が V_{cc} ではなく $V_{cc} + V_L$ であること以外は実施形態と同様の構成である。

[0051] 次に、図 4 に加えて図 5 を参照しながら、参考例 2 の発光素子駆動回路 2 の動作について説明する。図 5 は、参考例 2 の発光素子駆動回路 2 の動作例を示すタイミングチャートであり、参考例 1 と同様に電圧 V_1 と、信号 S_1 と、電圧 V_2 と、電流 I_1 とを示している。

[0052] また、図 5 では、理解を容易にするため、参考例 1 における電圧 V_2 および電流 I_1 の変化を一点鎖線で示している。

[0053] 図 5 に示すように、初期状態において、信号 S_1 はローレベルであることから、スイッチ 20（図 4 参照）は切断状態である。したがって、初期状態では、発光素子 3 の出力電流（電流 I_1 ）がゼロであり、発光素子 3 は消灯状態である。

[0054] また、初期状態では、電流 I_1 がゼロであることから、発光素子 3 の入力側の電圧 V_1 および出力側の電圧 V_2 は、ともに電源電圧 $V_{cc} + V_L$ と略等しい値となる。

[0055] 次に、時間 T_1 において、信号 S_1 がローレベルからハイレベルに切り替わると、スイッチ 20 が導通状態となるため、発光素子 3 に電流が流れ始める。これにより、時間 T_1 から徐々に電流 I_1 の値が上昇する。

[0056] また、時間 T_1 において発光素子 3 内に電流が流れ始めると、発光素子 3

の入力側と出力側との間で電位差が生じることから、出力側の電圧 V_2 が低下する。また、変形例1と同様に、発光素子3内の寄生インダクタ5に流れる電流値の変化に起因して、発光素子3内で大きな電圧降下が生じる。

[0057] これにより、時間 T_1 の後に、発光素子3の出力側の電圧 V_2 は、電圧 V_{a1} まで大きく低下する。一方で、変形例2では、電源電圧自体を $V_{cc} + V_L$ に昇圧していることから、電圧 V_{a1} の値は変形例1の電圧 V_a よりも大きくなり、定電流回路10のミラー比が維持可能な値に維持される。

[0058] したがって、変形例2では、定電流回路10から発光素子3に必要な電流をより早く流すことができることから、電流 I_1 の上昇が促進される。したがって、変形例2では、変形例1における時間 T_2 よりも前の時間 T_{2a} で、電流 I_1 は所定の定電流 I_a に達する。

[0059] ここまで説明したように、変形例2では、電源電圧自体を昇圧することにより、発光素子3の立ち上がりの際にも定電流回路10のミラー比を維持できることから、発光素子3の立ち上がり時間（図5では $T_{2a} - T_1$ ）を短縮することができる。

[0060] 時間 T_{2a} 以降の流れについて説明する。時間 T_{2a} において電流 I_1 が所定の定電流 I_a に達すると、寄生インダクタ5による電圧降下がなくなることから、発光素子3の出力側の電圧 V_2 が上昇し、電圧 V_{b1} で一定となる。そして、発光素子3は、点灯状態を維持する。

[0061] なお、かかる電圧 V_{b1} は、電源電圧自体が昇圧されていることから、変形例1における電圧 V_b よりも大きい値となる。

[0062] 次に、時間 T_3 において、信号 S_1 がハイレベルからローレベルに切り替わると、スイッチ20が切断状態となるため、発光素子3に流れる電流が低下し始める。これにより、時間 T_3 から徐々に電流 I_1 の値が減少する。

[0063] また、時間 T_3 において発光素子3内の電流が減少し始めると、発光素子3の入力側と出力側との間の電位差が小さくなることから、出力側の電圧 V_2 が上昇する。さらに、発光素子3内には寄生インダクタ5があることから、かかる寄生インダクタ5に流れる電流値の変化に起因して、発光素子3内

で大きな電圧上昇が生じる。

[0064] これにより、時間 T_3 の後に、発光素子 3 の出力側の電圧 V_2 は、電源電圧 $V_{cc} + V_L$ を超えた電圧 V_{d1} まで上昇する。

[0065] そして、時間 T_4 で電流 I_1 の値がゼロになると、発光素子 3 は消灯し、初期状態に戻る。また、時間 T_4 において電流 I_1 がゼロで一定になると、寄生インダクタ 5 による電圧上昇がなくなることから、発光素子 3 の出力側の電圧 V_2 は電源電圧 $V_{cc} + V_L$ と略等しい値に戻る。

[0066] ここで、変形例 2 では、電流 I_1 が所定の定電流 I_a に達した時間 T_{2a} から時間 T_3 までの間、電圧 V_2 の値が変形例 1 よりも大きい電圧 V_{b1} となる。これにより、発光装置 1 内の損失が大きくなることから、発光装置 1 の消費電力が増大してしまう。

[0067] つづいて、図 1 および図 6 を参照しながら、実施形態に係る発光素子駆動回路 2 の動作について説明する。図 6 は、本開示の実施形態に係る発光素子駆動回路 2 の動作例を示すタイミングチャートであり、電圧 V_1 、信号 S_1 、電圧 V_2 および電流 I_1 に加えて、信号 S_2 も示している。

[0068] ここで、図 1 に示すように、信号 S_2 は、昇圧回路 30 におけるインバータ 32 の入力端子に入力される外部信号である。また、図 6 では、理解を容易にするため、参考例 2 における電圧 V_2 の変化を二点鎖線で示している。

[0069] 図 6 に示すように、初期状態において、信号 S_1 はローレベルであることから、スイッチ 20（図 1 参照）は切断状態である。したがって、初期状態では、発光素子 3 の出力電流（電流 I_1 ）がゼロであり、発光素子 3 は消灯状態である。

[0070] また、初期状態では、電流 I_1 がゼロであることから、発光素子 3 の入力側の電圧 V_1 および出力側の電圧 V_2 は、ともに電源電圧 V_{cc} と略等しい値となる。

[0071] さらに、初期状態では、信号 S_2 がハイレベルであることから、P 型トランジスタ 32a は切断状態となり、N 型トランジスタ 32b は導通状態となる。これにより、コンデンサ 31 の両方の端子にはそれぞれ電源電圧 V_{cc}

および接地電圧が印加され、両方の端子の電位差が電源電圧 V_{cc} と略等しい値になるようにコンデンサ 31 が充電される。

[0072] 次に、時間 T_1 において、信号 S_1 がローレベルからハイレベルに切り替わると、スイッチ 20 が導通状態となるため、発光素子 3 に電流が流れ始める。これにより、時間 T_1 から徐々に電流 I_1 の値が上昇する。

[0073] また、時間 T_1 では、信号 S_1 と同期して、信号 S_2 がハイレベルからローレベルに切り替わる。これにより、P型トランジスタ 32a は導通状態となり、N型トランジスタ 32b は切断状態となることから、インバータ 32 の出力端子（ノード 32c）の電圧がゼロから電圧 V_L に変化する。

[0074] これにより、インバータ 32 の出力端子（ノード 32c）の電圧 V_L がコンデンサ 31 の両方の端子の電位差（電圧 V_{cc} ）と足し合わされ、ノード 33 の電圧（すなわち、発光素子 3 の入力側の電圧 V_1 ）が $V_{cc} + V_L$ に昇圧される。

[0075] すなわち、実施形態では、発光素子 3 が点灯するタイミング（時間 T_1 ）と同期して、ノード 33 の電圧を昇圧回路 30 で昇圧する。

[0076] そして、時間 T_1 において発光素子 3 内に電流が流れ始めると、発光素子 3 の入力側と出力側との間で電位差が生じることから、出力側の電圧 V_2 が低下する。また、変形例 2 と同様に、発光素子 3 内の寄生インダクタ 5 に流れる電流値の変化に起因して、発光素子 3 内で大きな電圧降下が生じる。

[0077] これにより、時間 T_1 の後に、発光素子 3 の出力側の電圧 V_2 は、電圧 V_{a1} まで大きく低下する。一方で、実施形態では、発光素子 3 の入力側の端子（電圧 V_1 ）を昇圧していることから、変形例 2 と同様に、電圧 V_2 の値は、定電流回路 10 のミラー比が維持可能な値（電圧 V_{a1} ）に維持される。

[0078] したがって、実施形態では、定電流回路 10 から発光素子 3 に必要な電流をより早く流すことができることから、電流 I_1 の上昇が促進され、変形例 2 と同様の時間 T_{2a} で、電流 I_1 は所定の定電流 I_a に達する。

[0079] ここまで説明したように、実施形態では、昇圧回路 30 で発光素子 3 の入

力側の端子を昇圧することで、発光素子 3 の立ち上がりの際にも定電流回路 10 のより早くミラー比の電流を流すことができることから、発光素子 3 の立ち上がり時間 ($T_{2a} - T_1$) を短縮することができる。

[0080] 時間 T_{2a} 以降の流れについて説明する。時間 T_{2a} において電流 I_1 が所定の定電流 I_a に達すると、寄生インダクタ 5 による電圧降下がなくなることから、発光素子 3 の出力側の電圧 V_2 が上昇し、電圧 V_{b1} で一定となる。そして、発光素子 3 は、点灯状態を維持する。

[0081] ここで、実施形態では、時間 T_{2a} よりも後の時間 T_{2b} において、信号 S_2 がローレベルからハイレベルに切り替わる。これにより、インバータ 32 の出力端子 (ノード 32c) の電圧が電圧 V_L からゼロに変化することから、ノード 33 がコンデンサ 31 によって昇圧されなくなる。

[0082] すなわち、実施形態では、時間 T_{2b} で発光素子 3 の入力側の電圧 V_1 が電源電圧 V_{cc} と略等しい値に戻る。これにより、発光素子 3 の出力側の電圧 V_2 も、時間 T_{2b} で電圧 V_{b1} から変形例 1 と同様の電圧 V_b に低下する。

[0083] 次に、時間 T_3 において、信号 S_1 がハイレベルからローレベルに切り替わると、スイッチ 20 が切断状態となるため、発光素子 3 に流れる電流が低下し始める。これにより、時間 T_3 から徐々に電流 I_1 の値が減少する。以降は上述の変形例 1 と同様であるため、説明を省略する。

[0084] ここで、実施形態では、時間 T_{2b} から時間 T_3 までの間、電圧 V_2 の値を変形例 2 よりも小さい電圧 V_b に低減することができる。これにより、発光装置 1 内の損失を小さくすることができることから、発光装置 1 の消費電力を低減することができる。

[0085] ここまで説明したように、実施形態では、発光素子 3 が点灯するタイミングと同期して、昇圧回路 30 により発光素子 3 の入力側の端子を昇圧することにより、発光素子 3 の立ち上がり時間の短縮と消費電力の低減とを両立させることができる。

[0086] また、実施形態では、コンデンサ 31 およびインバータ 32 を用いて昇圧

回路 30 を構成することにより、発光素子 3 の入力側の端子を安定して昇圧することができる。

[0087] なお、実施形態において、昇圧回路 30 は、必ずしもコンデンサ 31 およびインバータ 32 を用いて構成する必要はなく、その他の既知の昇圧回路を用いて発光素子 3 の入力側の端子を昇圧してもよい。

[0088] また、実施形態では、一对の高耐圧トランジスタ（N型トランジスタ 11 およびN型トランジスタ 12）でカレントミラーを構成することにより、ロジック用の電圧 V_L よりも高電圧である電源電圧 V_{cc} を発光素子 3 に接続することができる。

[0089] したがって、実施形態によれば、発光素子 3 の駆動電流を大きくすることができる。さらに、実施形態では、素子特性が略等しい一对の高耐圧トランジスタでカレントミラーを構成することから、カレントミラーのミラー比が素子サイズに近い安定した定電流を発光素子 3 に供給することができる。

[0090] また、実施形態では、昇圧回路 30 が、少なくとも発光素子 3 を流れる電流 I_1 が立ち上がってから一定になるまでの間（すなわち、少なくとも時間 T_1 から時間 T_{2a} までの間）、ノード 33 を昇圧するとよい。

[0091] もし仮に、電流 I_1 が立ち上がっている最中に（すなわち、時間 T_{2a} よりも前に）ノード 33 の昇圧を停止すると、発光素子 3 の出力側の電圧 V_2 が低下してしまうことから、定電流回路 10 のミラー比が維持できなくなる恐れがある。

[0092] そしてこの場合、定電流回路 10 から発光素子 3 に必要な電流を流しにくくなることから、電流 I_1 の上昇が抑制され、電流 I_1 が所定の定電流 I_a に達するまでの時間が長くなってしまふ。

[0093] しかしながら、実施形態では、少なくとも時間 T_1 から時間 T_{2a} までの間ノード 33 を昇圧することから、電流 I_1 が所定の定電流 I_a に達するまでの時間が長くなることを抑制することができる。

[0094] また、実施形態では、昇圧回路 30 が、発光素子 3 を流れる電流 I_1 が立ち下がる前から立ち下がった後までの間（すなわち、少なくとも時間 T_3 よ

りも前から時間 T_4 の後までの間)、ノード 33 の昇圧を停止するとよい。

[0095] もし仮に、電流 I_1 が立ち下がり始めた後から（すなわち、時間 T_3 よりも後から）ノード 33 の昇圧を停止した場合、時間 T_{2a} から時間 T_3 までの間はノード 33 が昇圧されていたことになる。

[0096] そしてこの場合、発光素子 3 に定電流 I_a が流れ、発光素子 3 の消費電力が最も大きい時間 T_{2a} から時間 T_3 までの間は、電圧 V_2 が電圧 V_{b1} で維持されることから、発光装置 1 内の損失が大きくなり、発光装置 1 の消費電力が増大してしまう。

[0097] しかしながら、実施形態では、少なくとも時間 T_3 よりも前にノード 33 の昇圧を停止することから、発光装置 1 における消費電力の増大を抑制することができる。

[0098] なお、実施形態では、発光素子 3 が立ち上がった時間 T_{2a} の後、速やかにノード 33 の昇圧を停止するとよい。たとえば、発光素子 3 の立ち上がり時間を T_r とした場合、信号 S_2 の幅（すなわち、時間 T_1 から時間 T_{2b} までの時間）を $1.1 T_r \sim 1.5 T_r$ の範囲にするとよい。これにより、発光装置 1 における消費電力の増大を効果的に抑制することができる。

[0099] ここまで説明した昇圧回路 30 による昇圧のタイミングは、信号 S_2 により制御される。そこで、かかる信号 S_2 の生成方法の一例について、図 7 および図 8 を参照しながら説明する。

[0100] 図 7 は、本開示の実施形態に係る発光装置 1 および発光素子駆動回路 2 の構成例を示す回路図であり、信号 S_2 の生成回路についての詳細を示した図である。なお、図 7 では、定電流回路 10 を定電流源として 1 つの記号で記載している。

[0101] 図 7 の例では、昇圧回路 30 が、上述のコンデンサ 31 とインバータ 32 とに加えて、パルス生成回路 34 と、インバータ 35 とを有する。

[0102] パルス生成回路 34 は、所定の幅を有するパルス信号を生成する。パルス生成回路 34 は、たとえば、図示しないエッジ検出回路および遅延回路を内部に有し、入力信号の立ち上がりエッジと同期した立ち上がりのパルス信号

を生成する。また、パルス生成回路 34 は、内部の遅延回路において予め設定された遅延時間に基づいた幅のパルス信号を生成する。

[0103] 図 7 に示すように、図示しない制御部から信号 S1 がスイッチ 20 のゲートに入力され、かかるスイッチ 20 の断続が制御される。また、かかる信号 S1 は、パルス生成回路 34 にも入力される。

[0104] そして、パルス生成回路 34 は、入力された信号 S1 に基づいて、信号 S2x をインバータ 35 に出力する。かかる信号 S2x は、図 8 に示すように、信号 S1 と同じ立ち上がりタイミング（ここでは時間 T1）であり、時間 T1 から時間 T2b までの幅を有するパルス信号である。図 8 は、本開示の実施形態に係る各信号の動作例を示すタイミングチャートである。

[0105] そして、図 7 に示すように、信号 S2x が入力されたインバータ 35 は、かかる信号 S2x を反転させた信号 S2（図 8 参照）をインバータ 32 に出力する。

[0106] このように、信号 S1 に基づいて信号 S2 を生成することにより、発光素子 3 の立ち上がりと昇圧回路 30 とを精度よく同期させることができる。なお、図 7 の例はあくまで一例であり、パルス生成回路 34 およびインバータ 35 以外の回路を用いて、信号 S1 から信号 S2 を生成してもよい。

[0107] また、上記の実施形態では、P 型トランジスタ 32a のソースをロジック用の電圧 VL に接続することにより、かかる電圧 VL だけ昇圧回路 30 で昇圧する例について示したが、昇圧回路 30 で昇圧可能な電圧はかかる電圧 VL に限られない。

[0108] たとえば、P 型トランジスタ 32a のソースを電源電圧 Vcc に接続してもよいし、その他の電圧源に P 型トランジスタ 32a のソースを接続してもよい。

[0109] [各種変形例]

つづいて、実施形態の各種変形例について、図 9～図 11 を参照しながら説明する。図 9 は、本開示の実施形態の変形例 1 に係る発光装置 1 および発光素子駆動回路 2 の構成例を示す回路図であり、実施形態の図 7 に対応する

図面である。

[0110] 図9に示すように、変形例1の発光素子駆動回路2は、アシストスイッチ50が設けられる点の実施形態と異なる。かかるアシストスイッチ50は、発光素子3および定電流回路10の間と、接地電位との間に接続される。すなわち、アシストスイッチ50は、発光素子3の出力側の端子と接地電位との間に接続される。

[0111] また、アシストスイッチ50は、パルス生成回路34から出力される信号S2xに基づいて断続される。すなわち、アシストスイッチ50は、昇圧回路30の昇圧動作と同期して導通する。たとえば、アシストスイッチ50はN型トランジスタであり、かかるN型トランジスタのゲートに信号S2xが入力される。

[0112] この変形例1では、昇圧回路30の昇圧動作と同期してアシストスイッチ50を導通させることで、発光素子3の出力側の電圧V2が低下して定電流回路10の動作が弱った際に、アシストスイッチ50のオン抵抗で定電流回路10の動作を補助することができる。

[0113] したがって、変形例1によれば、電流I1の上昇がさらに促進されることから、発光素子3の立ち上がり時間をさらに短縮することができる。

[0114] 図10は、本開示の実施形態の変形例2に係る発光装置1および発光素子駆動回路2の構成例を示す回路図であり、実施形態の図7に対応する図面である。

[0115] 図10に示すように、変形例2の発光素子駆動回路2は、電源電圧Vccから接地電位の間に並列に接続される複数の発光素子3A、3Bに対して、1つの昇圧回路30が共通に接続される。

[0116] この変形例2では、発光素子3Aが外部からの信号S1aにより断続され、発光素子3Bが外部からの信号S1bにより断続される。そして、変形例2のパルス生成回路34には、これらの信号S1a、S1bがともに入力される。

[0117] これにより、変形例2の昇圧回路30は、信号S1aに応じた信号S2a

と、信号 S 1 b に応じた信号 S 2 b とを両方インバータ 3 2 に入力することができる。

[0118] すなわち、変形例 2 の昇圧回路 3 0 は、発光素子 3 A が発光するタイミングでノード 3 3 を昇圧することができるとともに、発光素子 3 B が発光するタイミングでノード 3 3 を昇圧することができる。

[0119] したがって、変形例 2 によれば、1 つの昇圧回路 3 0 で複数の発光素子 3 A、3 B の入力側の端子をともに昇圧することができる。

[0120] このように、変形例 2 の発光素子駆動回路 2 では、複数の発光素子 3 A、3 B に対して 1 つの昇圧回路 3 0 を共有することができることから、発光素子駆動回路 2 のチップ面積を低減することができる。

[0121] なお、図 1 0 の例では、1 つの昇圧回路 3 0 を 2 つの発光素子 3 A、3 B で共有した例について示したが、1 つの昇圧回路 3 0 を共有する発光素子 3 の数は 2 つに限られず、3 つ以上の発光素子 3 で 1 つの昇圧回路 3 0 を共有してもよい。

[0122] 図 1 1 は、本開示の実施形態の変形例 3 に係る発光装置 1 および発光素子駆動回路 2 の構成例を示す回路図であり、実施形態の図 1 に対応する図面である。図 1 1 に示すように、変形例 3 の発光素子駆動回路 2 は、定電流回路 1 0 の回路構成が実施形態と異なる。

[0123] 図 1 1 に示すように、定電流回路 1 0 は、N 型トランジスタ 1 1 A と、N 型トランジスタ 1 2 A と、定電流源 1 3 と、N 型トランジスタ 1 4 と、コンデンサ 1 5 と、N 型トランジスタ 1 6 とを有する。

[0124] N 型トランジスタ 1 1 A および N 型トランジスタ 1 2 A は、実施形態の N 型トランジスタ 1 1 および N 型トランジスタ 1 2 と入れ替わって設けられる。N 型トランジスタ 1 1 A および N 型トランジスタ 1 2 A は、略等しい素子特性を有する低耐圧トランジスタであり、カレントミラーを構成する。

[0125] また、実施形態から別途追加される N 型トランジスタ 1 6 は、高耐圧トランジスタ（たとえば、LDMOS）であり、N 型トランジスタ 1 1 A と発光素子 3 との間に接続される。

- [0126] すなわち、N型トランジスタ16のドレインは発光素子3の出力側の端子に接続され、N型トランジスタ16のソースはN型トランジスタ11Aのドレインに接続される。また、N型トランジスタ14のゲートにはロジック動作の電圧 V_L が接続される。
- [0127] このような回路構成によって、変形例3の定電流回路10は、定電流源13からN型トランジスタ12に流される定電流に基づいて、N型トランジスタ11Aに定電流を流すことができる。これにより、変形例3の定電流回路10は、N型トランジスタ11Aと直列に接続される発光素子3に対して、定電流を供給することができる。
- [0128] また、変形例3の定電流回路10は、発光素子3の出力側の端子に高耐圧トランジスタ（N型トランジスタ16）が接続されることから、ロジック用の電圧 V_L よりも高電圧である電源電圧 V_{cc} を発光素子3に接続することができる。したがって、変形例3によれば、発光素子3の駆動電流を大きくすることができる。
- [0129] さらに、変形例3では、定電流回路10において、低耐圧トランジスタに比べて大きな面積が必要となる高耐圧トランジスタの数を減らすことができる（実施形態：2個、変形例3：1個）。したがって、変形例3によれば、発光素子駆動回路2のチップ面積を低減することができる。
- [0130] なお、変形例3の定電流回路10において、N型トランジスタ12Aに接続される電圧は電源電圧 V_{cc} ではなくロジック用の電圧 V_L であることから、N型トランジスタ12Aに低耐圧トランジスタを用いたとしても特に支障は無い。
- [0131] [効果]

実施形態に係る発光素子駆動回路2は、定電流回路10と、スイッチ20と、昇圧回路30とを備える。定電流回路10は、電源電圧 V_{cc} から発光素子3に定電流 I_a を供給する。スイッチ20は、外部信号（信号S2）に基づいて発光素子3に流れる電流 I_1 を断続させる。昇圧回路30は、発光素子3が点灯するタイミングと同期して、電源電圧 V_{cc} と発光素子3との

間を昇圧する。

[0132] これにより、発光素子 3 の立ち上がり時間の短縮と消費電力の低減とを両立させることができる。

[0133] また、実施形態に係る発光素子駆動回路 2 において、昇圧回路 30 は、発光素子 3 を流れる電流 I_1 が立ち上がってから一定になるまでの間、電源電圧 V_{cc} と発光素子 3 との間を昇圧する。

[0134] これにより、発光素子 3 を流れる電流 I_1 が所定の定電流 I_a に達するまでの時間が長くなることを抑制することができる。

[0135] また、実施形態に係る発光素子駆動回路 2 において、昇圧回路 30 は、発光素子 3 を流れる電流 I_1 が立ち下がる前から立ち下がった後までの間、電源電圧 V_{cc} と発光素子 3 との間の昇圧を停止する。

[0136] これにより、発光装置 1 における消費電力の増大を抑制することができる。

[0137] また、実施形態に係る発光素子駆動回路 2 において、昇圧回路 30 は、コンデンサ 31 およびインバータ 32 を有する。また、コンデンサ 31 の一方の端子が電源電圧 V_{cc} と発光素子 3 との間に接続され、コンデンサ 31 の他方の端子がインバータ 32 の出力端子（ノード 32c）に接続される。

[0138] これにより、発光素子 3 の入力側の端子を安定して昇圧することができる。

[0139] また、実施形態に係る発光素子駆動回路 2 において、定電流回路 10 は、カレントミラーを構成する一対の高耐圧トランジスタ（N 型トランジスタ 11、12）を有する。

[0140] これにより、発光素子 3 の駆動電流を大きくできるとともに、カレントミラーのミラー比が素子サイズに近い安定した定電流を発光素子 3 に供給することができる。

[0141] また、実施形態に係る発光素子駆動回路 2 において、定電流回路 10 は、カレントミラーを構成する一対の低耐圧トランジスタ（N 型トランジスタ 11A、12A）を有する。また、定電流回路 10 は、低耐圧トランジスタの

一方と発光素子 3 との間に接続される高耐圧トランジスタ（N 型トランジスタ 16）を有する。

[0142] これにより、発光素子駆動回路 2 のチップ面積を低減することができる。

[0143] また、実施形態に係る発光素子駆動回路 2 は、発光素子 3 および定電流回路 10 の間と、接地電位との間に接続され、昇圧回路 30 の昇圧動作と同期して導通するアシストスイッチ 50 をさらに備える。

[0144] これにより、発光素子 3 の立ち上がり時間をさらに短縮することができる。

[0145] また、実施形態に係る発光素子駆動回路 2 は、発光素子 3 を複数備え、昇圧回路 30 は、電源電圧 V_{cc} に並列に接続される複数の発光素子 3 を共通に昇圧する。

[0146] これにより、発光素子駆動回路 2 のチップ面積を低減することができる。

[0147] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0148] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0149] なお、本技術は以下のような構成も取ることができる。

(1)

電源電圧から発光素子に定電流を供給する定電流回路と、
外部信号に基づいて前記発光素子を流れる電流を断続させるスイッチと、
前記発光素子が点灯するタイミングと同期して、前記電源電圧と前記発光素子との間を昇圧する昇圧回路と、
を備える発光素子駆動回路。

(2)

前記昇圧回路は、前記発光素子を流れる電流が立ち上がってから一定になるまでの間、前記電源電圧と前記発光素子との間を昇圧する

前記（１）に記載の発光素子駆動回路。

（３）

前記昇圧回路は、前記発光素子を流れる電流が立ち下がる前から立ち下がった後までの間、前記電源電圧と前記発光素子との間の昇圧を停止する

前記（１）または（２）に記載の発光素子駆動回路。

（４）

前記昇圧回路は、コンデンサおよびインバータを有し、

前記コンデンサの一方の端子が前記電源電圧と前記発光素子との間に接続され、前記コンデンサの他方の端子が前記インバータの出力端子に接続される

前記（１）～（３）のいずれか一つに記載の発光素子駆動回路。

（５）

前記定電流回路は、カレントミラーを構成する一対の高耐圧トランジスタを有する

前記（１）～（４）のいずれか一つに記載の発光素子駆動回路。

（６）

前記定電流回路は、カレントミラーを構成する一対の低耐圧トランジスタと、前記低耐圧トランジスタの一方と前記発光素子との間に接続される高耐圧トランジスタとを有する

前記（１）～（４）のいずれか一つに記載の発光素子駆動回路。

（７）

前記発光素子および前記定電流回路の間と、接地電位との間に接続され、前記昇圧回路の昇圧動作と同期して導通するアシストスイッチをさらに備える

前記（１）～（６）のいずれか一つに記載の発光素子駆動回路。

（８）

前記発光素子を複数備え、

前記昇圧回路は、前記電源電圧に並列に接続される複数の前記発光素子を

共通に昇圧する

前記（１）～（７）のいずれか一つに記載の発光素子駆動回路。

（９）

発光素子と、

電源電圧から前記発光素子に定電流を供給する定電流回路と、外部信号に基づいて前記発光素子に流れる電流を断続させるスイッチと、前記発光素子が点灯するタイミングと同期して、前記電源電圧と前記発光素子との間を昇圧する昇圧回路と、を有する発光素子駆動回路と、

を備える発光装置。

（１０）

前記昇圧回路は、前記発光素子を流れる電流が立ち上がってから一定になるまでの間、前記電源電圧と前記発光素子との間を昇圧する

前記（９）に記載の発光装置。

（１１）

前記昇圧回路は、前記発光素子を流れる電流が立ち下がる前から立ち下がった後までの間、前記電源電圧と前記発光素子との間の昇圧を停止する

前記（９）または（１０）に記載の発光装置。

（１２）

前記昇圧回路は、コンデンサおよびインバータを有し、

前記コンデンサの一方の端子が前記電源電圧と前記発光素子との間に接続され、前記コンデンサの他方の端子が前記インバータの出力端子に接続される

前記（９）～（１１）のいずれか一つに記載の発光装置。

（１３）

前記定電流回路は、カレントミラーを構成する一対の高耐圧トランジスタを有する

前記（９）～（１２）のいずれか一つに記載の発光装置。

（１４）

前記定電流回路は、カレントミラーを構成する一対の低耐圧トランジスタと、前記低耐圧トランジスタの一方と前記発光素子との間に接続される高耐圧トランジスタとを有する

前記（９）～（１２）のいずれか一つに記載の発光装置。

（１５）

前記発光素子および前記定電流回路の間と、接地電位との間に接続され、前記昇圧回路の昇圧動作と同期して導通するアシストスイッチをさらに備える

前記（９）～（１４）のいずれか一つに記載の発光装置。

（１６）

前記発光素子を複数備え、

前記昇圧回路は、前記電源電圧に並列に接続される複数の前記発光素子を共通に昇圧する

前記（９）～（１５）のいずれか一つに記載の発光装置。

符号の説明

- [0150] 1 発光装置
2 発光素子駆動回路
3 発光素子
4 ダイオード
5 寄生インダクタ
10 定電流回路
20 スイッチ
30 昇圧回路
31 コンデンサ
32 インバータ
40 インダクタ素子
50 アシストスイッチ
11 電流

S 1 信号（外部信号の一例）

請求の範囲

- [請求項1] 電源電圧から発光素子に定電流を供給する定電流回路と、
外部信号に基づいて前記発光素子を流れる電流を断続させるスイッチと、
前記発光素子が点灯するタイミングと同期して、前記電源電圧と前記発光素子との間を昇圧する昇圧回路と、
を備える発光素子駆動回路。
- [請求項2] 前記昇圧回路は、前記発光素子を流れる電流が立ち上がってから一定になるまでの間、前記電源電圧と前記発光素子との間を昇圧する
請求項1に記載の発光素子駆動回路。
- [請求項3] 前記昇圧回路は、前記発光素子を流れる電流が立ち下がる前から立ち下がった後までの間、前記電源電圧と前記発光素子との間の昇圧を停止する
請求項1に記載の発光素子駆動回路。
- [請求項4] 前記昇圧回路は、コンデンサおよびインバータを有し、
前記コンデンサの一方の端子が前記電源電圧と前記発光素子との間に接続され、前記コンデンサの他方の端子が前記インバータの出力端子に接続される
請求項1に記載の発光素子駆動回路。
- [請求項5] 前記定電流回路は、カレントミラーを構成する一対の高耐圧トランジスタを有する
請求項1に記載の発光素子駆動回路。
- [請求項6] 前記定電流回路は、カレントミラーを構成する一対の低耐圧トランジスタと、前記低耐圧トランジスタの一方と前記発光素子との間に接続される高耐圧トランジスタとを有する
請求項1に記載の発光素子駆動回路。
- [請求項7] 前記発光素子および前記定電流回路の間と、接地電位との間に接続され、前記昇圧回路の昇圧動作と同期して導通するアシストスイッチ

をさらに備える

請求項 1 に記載の発光素子駆動回路。

[請求項8]

前記発光素子を複数備え、

前記昇圧回路は、前記電源電圧に並列に接続される複数の前記発光素子を共通に昇圧する

請求項 1 に記載の発光素子駆動回路。

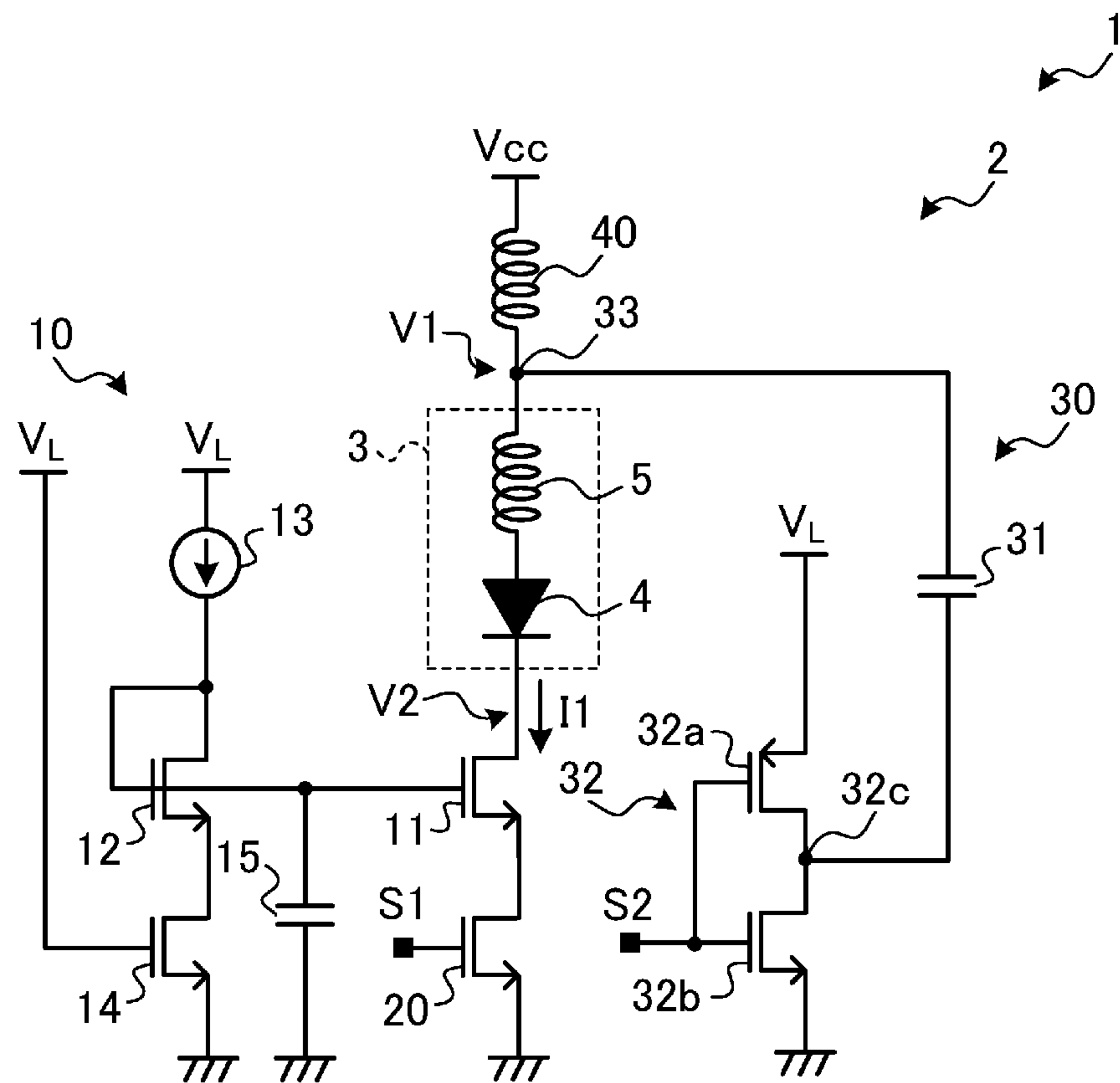
[請求項9]

発光素子と、

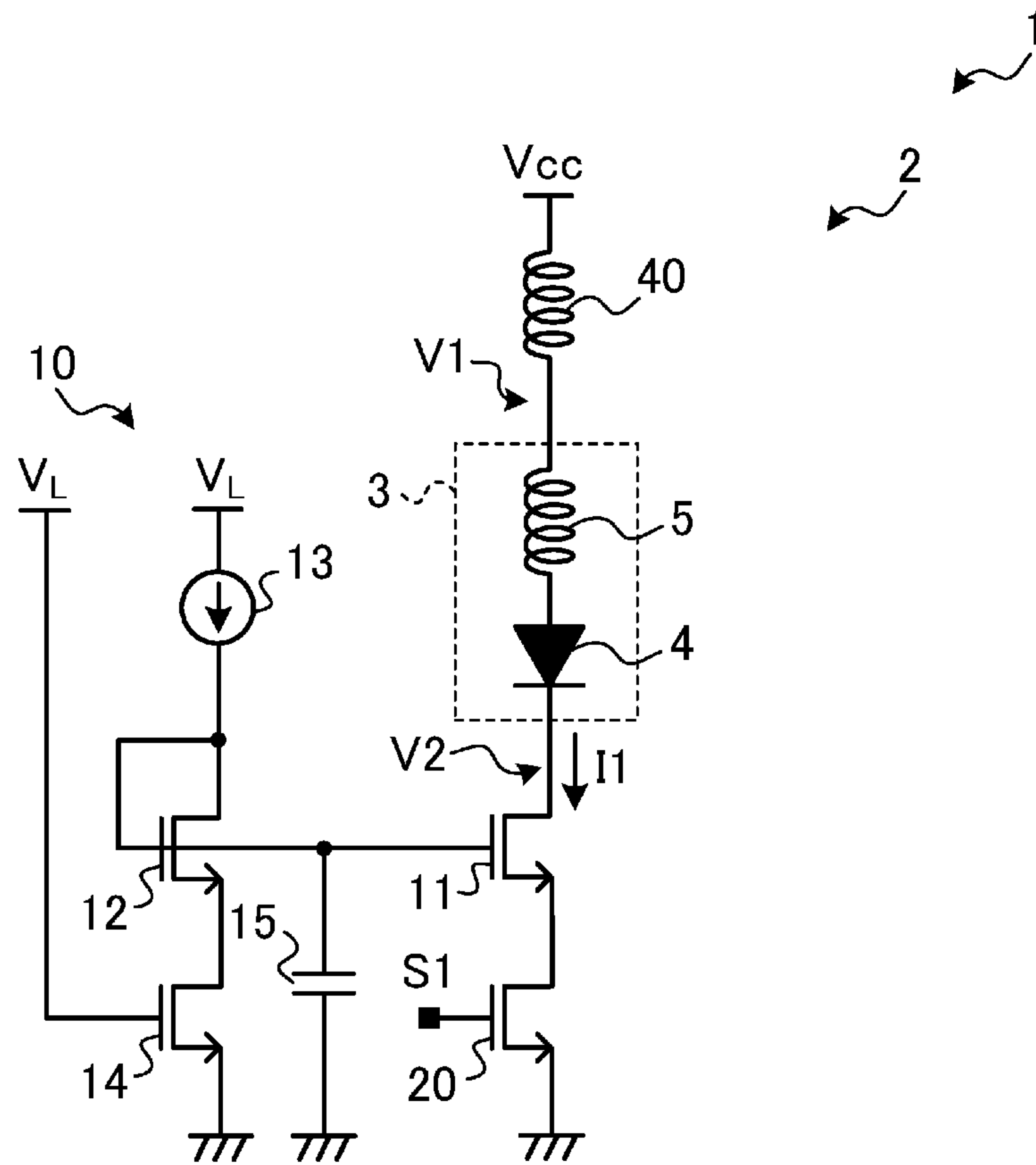
電源電圧から前記発光素子に定電流を供給する定電流回路と、外部信号に基づいて前記発光素子に流れる電流を断続させるスイッチと、前記発光素子が点灯するタイミングと同期して、前記電源電圧と前記発光素子との間を昇圧する昇圧回路と、を有する発光素子駆動回路と、

を備える発光装置。

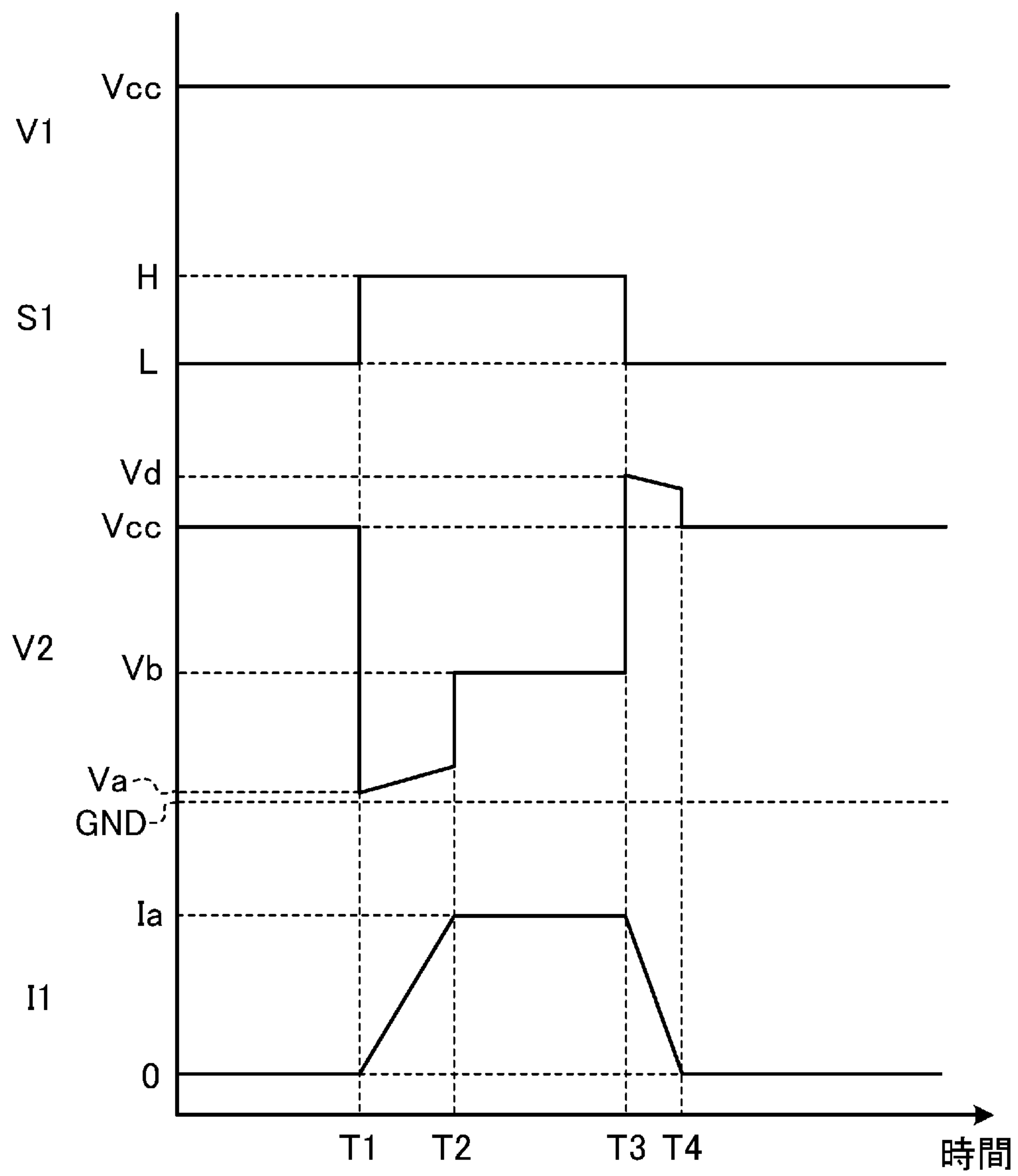
[図1]



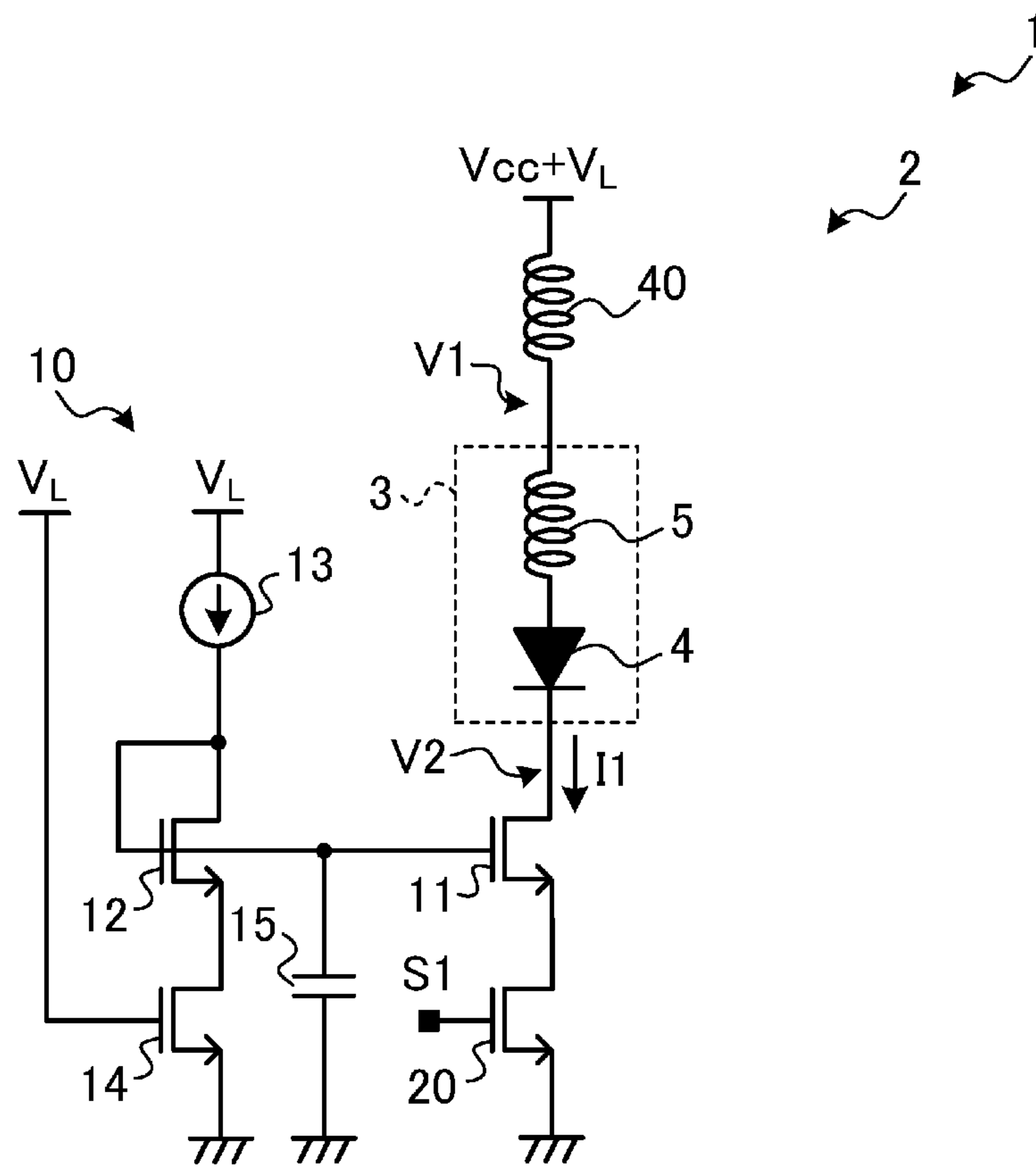
[図2]



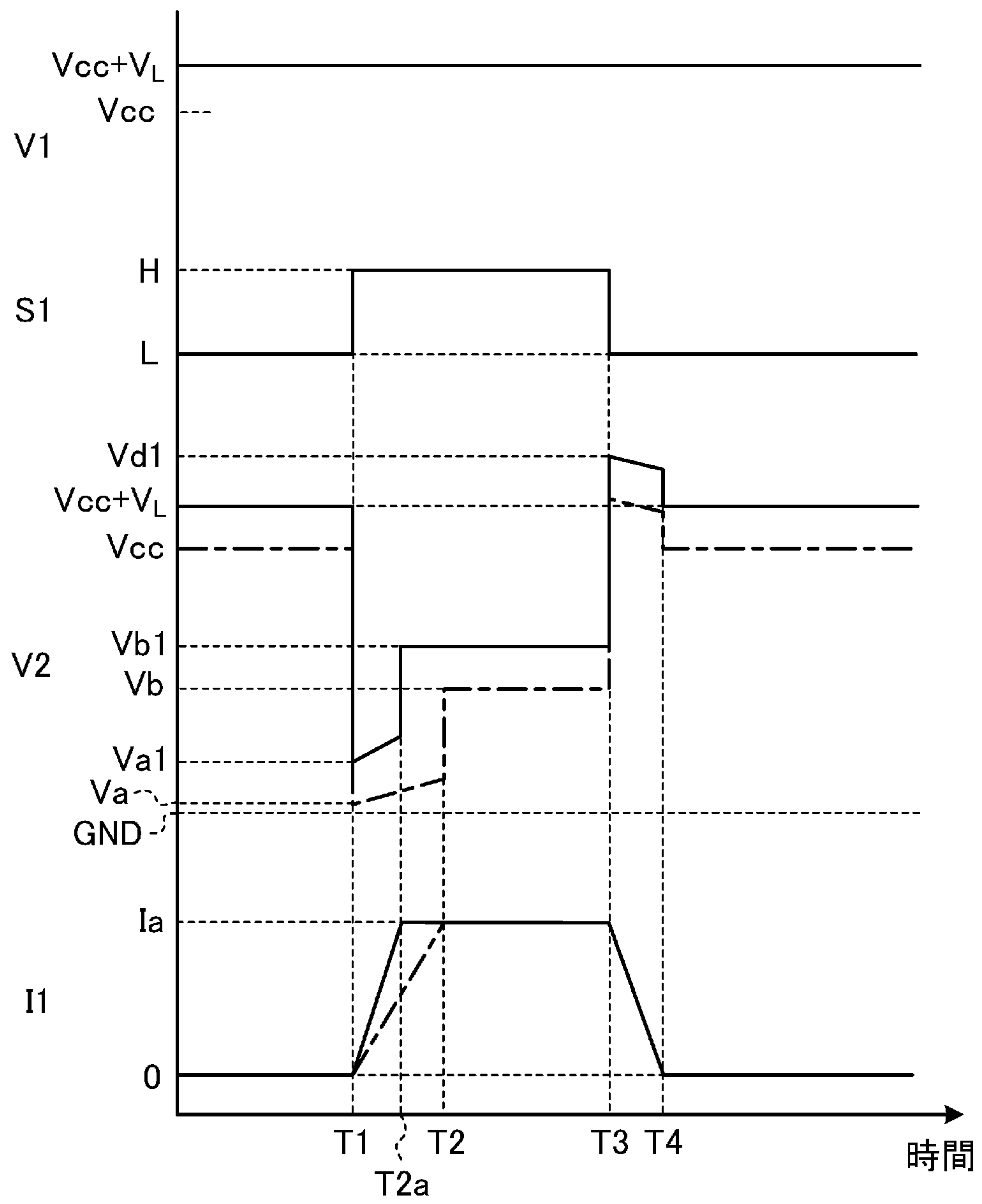
[図3]



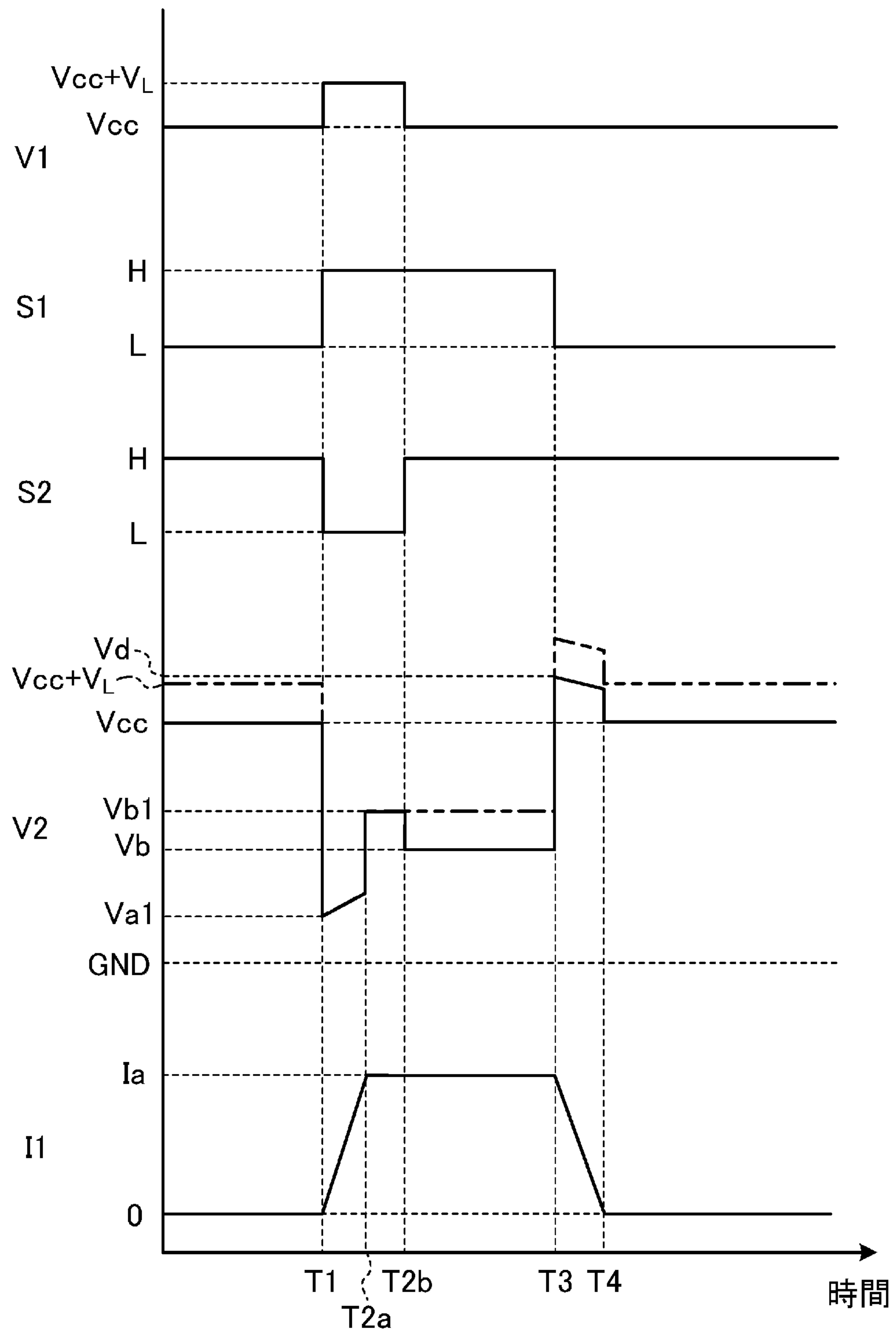
[図4]



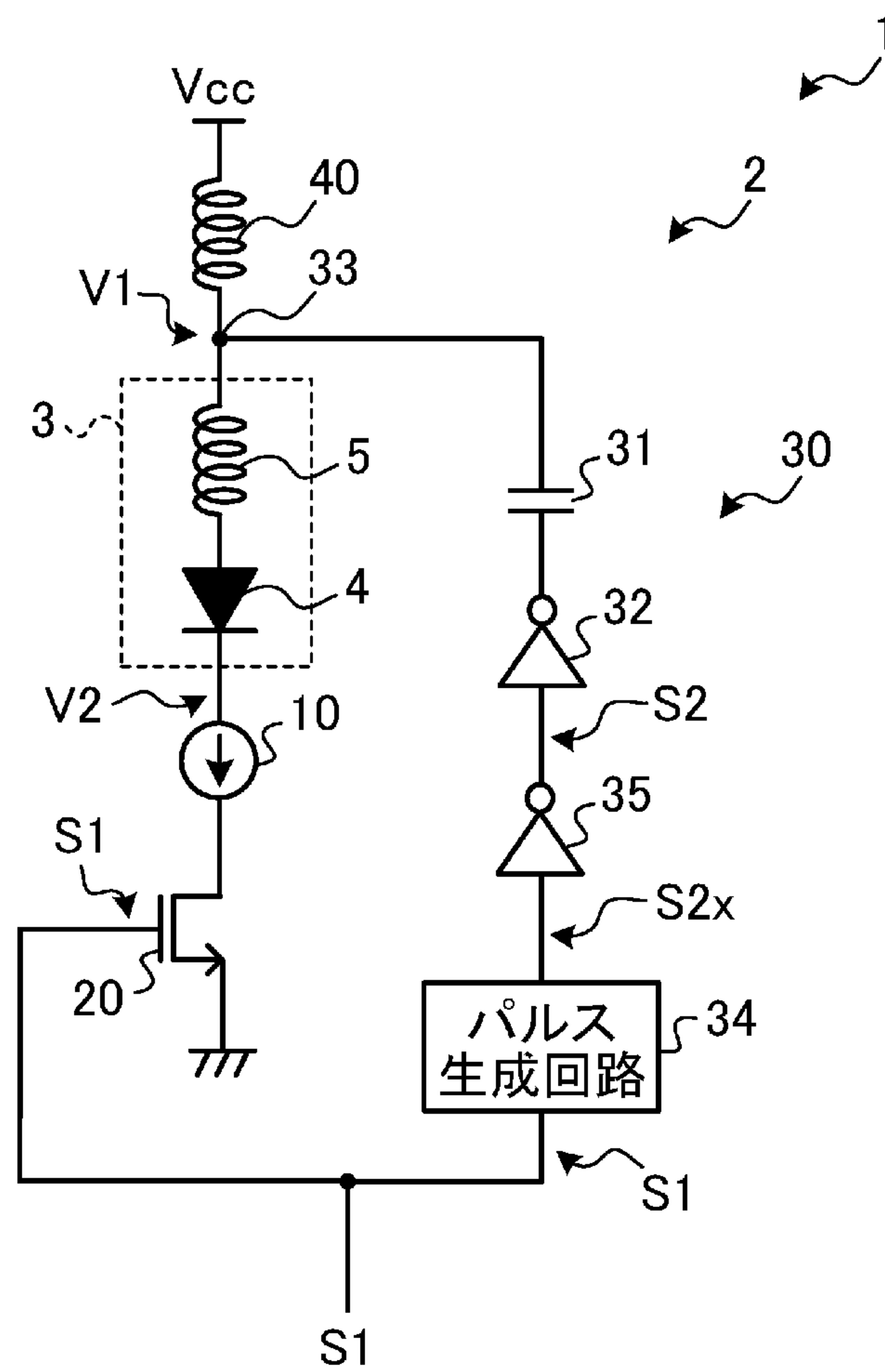
[図5]



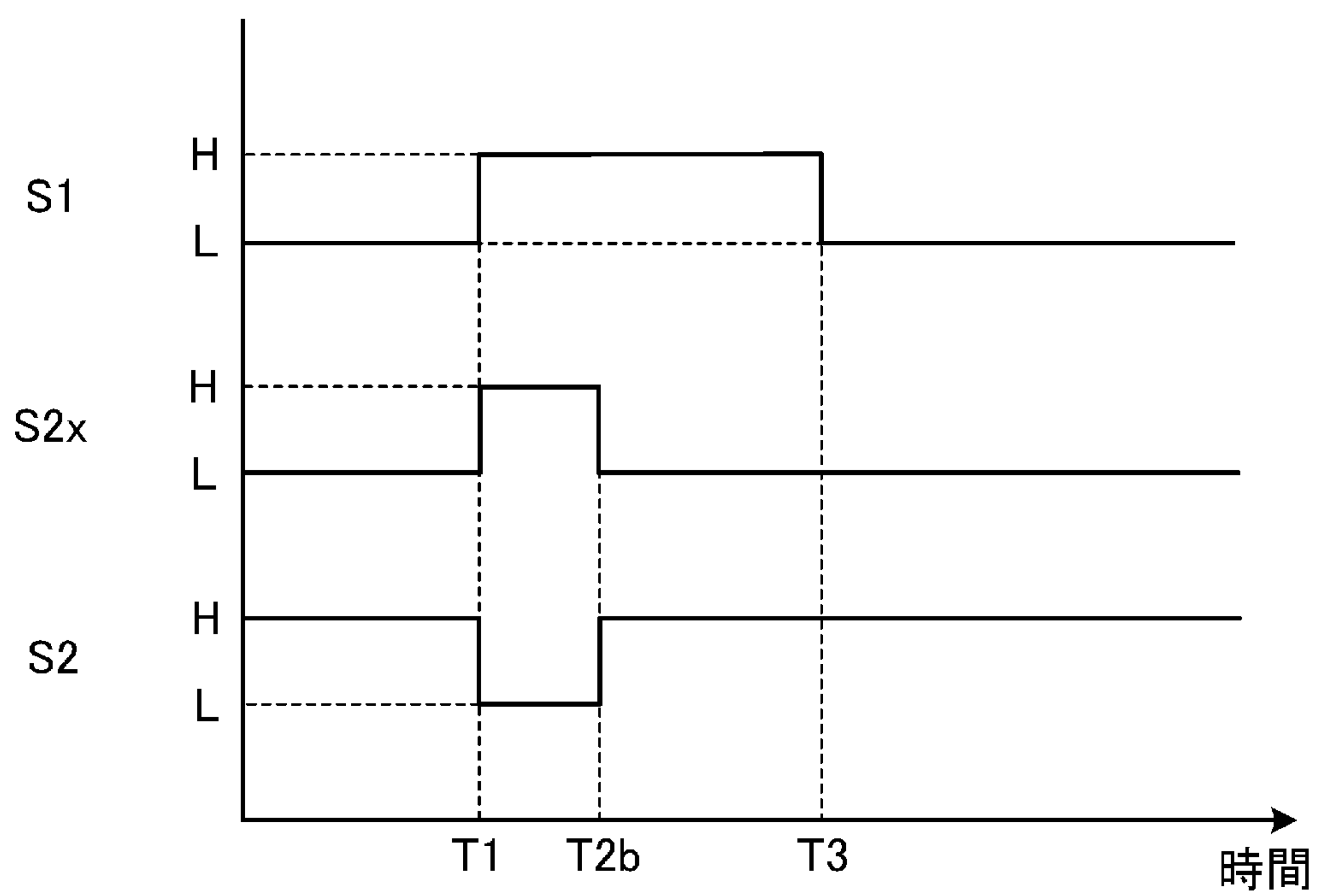
[図6]



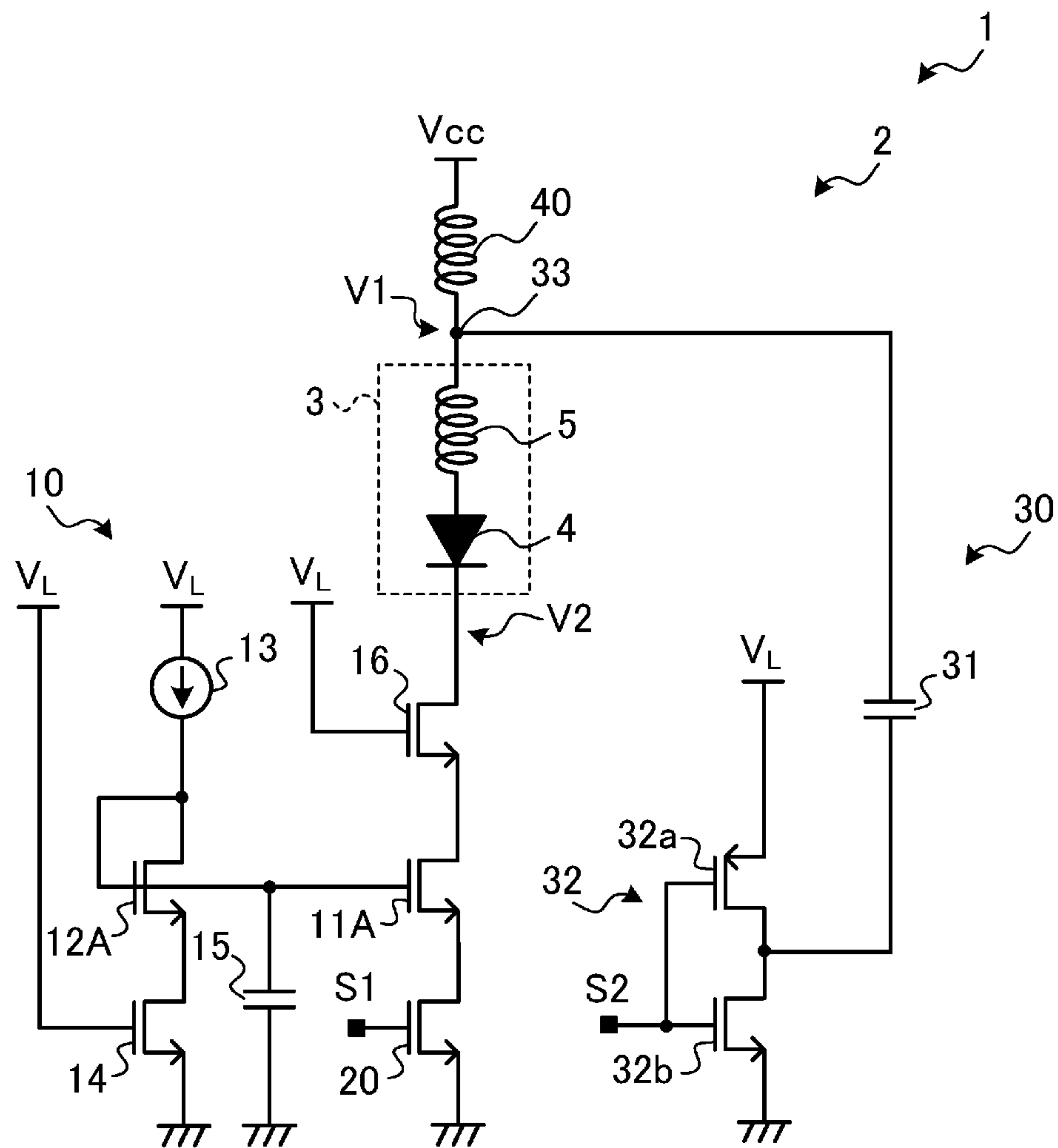
[図7]



[図8]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041781

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/00(2010.01) i; H05B 45/00(2020.01) i; H01S 5/062(2006.01) i
 FI: H01S5/062; H01L33/00 J; H05B45/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00; H01S5/062; H05B45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-231644 A (PANASONIC CORP.) 08 October 2009 (2009-10-08) entire text, all drawings	1-9
A	JP 2012-151057 A (SONY CORP.) 09 August 2012 (2012-08-09) entire text, all drawings	1-9
A	JP 2012-204301 A (FUNAI ELECTRIC CO., LTD.) 22 October 2012 (2012-10-22) entire text, all drawings	1-9
A	JP 2011-108799 A (SHARP CORP.) 02 June 2011 (2011-06-02) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 January 2021 (05.01.2021)

Date of mailing of the international search report
19 January 2021 (19.01.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/041781

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2009-231544 A	08 Oct. 2009	(Family: none)	
JP 2012-151057 A	09 Aug. 2012	US 2012/0188293 A1 entire text, all drawings US 2015/0257220 A1 CN 102610196 A KR 10-2012-0085185 A TW 201240307 A	
JP 2012-204301 A	22 Oct. 2012	(Family: none)	
JP 2011-108799 A	02 Jun. 2011	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2020/041781
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/00(2010.01)i; H05B 45/00(2020.01)i; H01S 5/062(2006.01)i FI: H01S5/062; H01L33/00 J; H05B45/00		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L33/00; H01S5/062; H05B45/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-231644 A（パナソニック株式会社）08.10.2009（2009 - 10 - 08） 全文全図	1-9
A	JP 2012-151057 A（ソニー株式会社）09.08.2012（2012 - 08 - 09） 全文全図	1-9
A	JP 2012-204301 A（船井電機株式会社）22.10.2012（2012 - 10 - 22） 全文全図	1-9
A	JP 2011-108799 A（シャープ株式会社）02.06.2011（2011 - 06 - 02） 全文全図	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 05.01.2021	国際調査報告の発送日 19.01.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 村井 友和 2K 3207 電話番号 03-3581-1101 内線 3255	

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-231644	A	08.10.2009	(ファミリーなし)	
JP	2012-151057	A	09.08.2012	US 2012/0188293 A1	
				全文全図	
				US 2015/0257220 A1	
				CN 102610196 A	
				KR 10-2012-0085185 A	
				TW 201240307 A	
JP	2012-204301	A	22.10.2012	(ファミリーなし)	
JP	2011-108799	A	02.06.2011	(ファミリーなし)	