

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 3 月 6 日 (06.03.2003)

PCT

(10) 国際公開番号
WO 03/019504 A1

- (51) 国際特許分類⁷: G09F 9/00, 9/30,
G02F 1/1368, 1/133, G09G 3/36, 3/20
- (21) 国際出願番号: PCT/JP02/07916
- (22) 国際出願日: 2002 年 8 月 2 日 (02.08.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-236330 2001 年 8 月 3 日 (03.08.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 折井 俊彦 (ORII, Toshihiko) [JP/JP]; 〒240-0005 神奈川県横浜

市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP). 秋元 修 (AKIMOTO, Osamu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 安部 仁 (ABE, Hitoshi) [JP/JP]; 〒240-0005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP). 安藤直樹 (ANDO, Naoki) [JP/JP]; 〒240-0005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).

(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

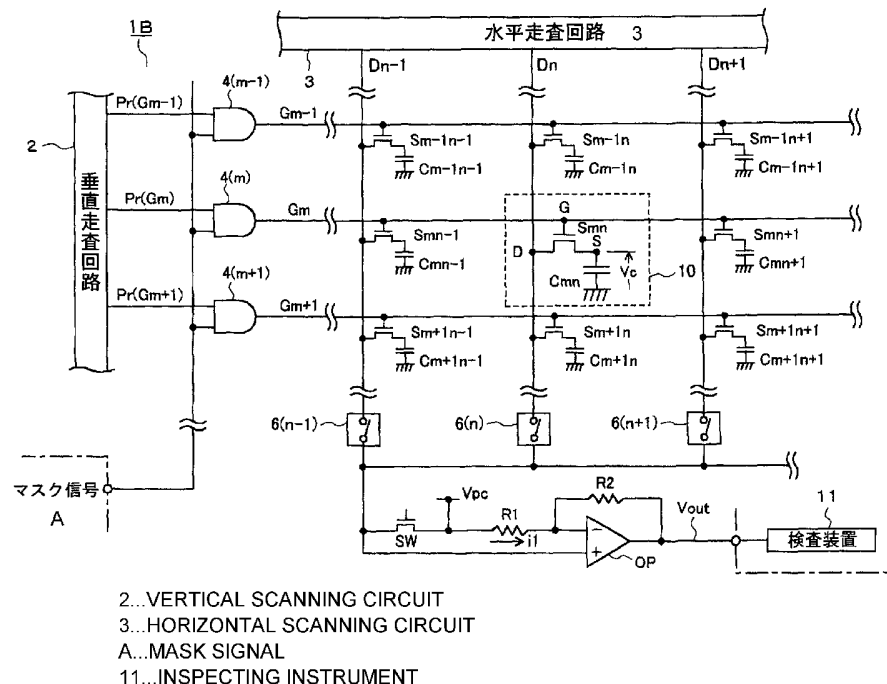
(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

[続葉有]

(54) Title: INSPECTING METHOD, SEMICONDUCTOR DEVICE, AND DISPLAY

(54) 発明の名称: 検査方法、半導体装置、及び表示装置



(57) Abstract: A method for inspecting a semiconductor substrate constituting a liquid crystal display by reliably detecting a change in potential due to a failure of a pixel cell driver circuit irrespective of the decreased ratio of the pixel capacitance to the wiring capacitance because of the small size of the display and higher definition. The method comprises a charge

[続葉有]



WO 03/019504 A1



添付公開書類:

— 国際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受理の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

retaining step of allowing pixel capacitors connected to pixel switches selected from among all the pixel switches connected to one data line to retain the charge and a detecting step for simultaneously detecting the charge retained by the pixel capacitors at the charge retaining step from the one data line.

(57) 要約:

液晶表示装置の小型化や高精細化に伴って配線容量に対する画素容量の比が小さくなったことに関わらず、画素セル駆動回路の不良状態に応じた電位変化を的確に検出できる液晶表示装置を構成する半導体基板を検査する方法である。1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、上記電荷保持工程により複数の画素容量において保持された電荷を上記1本のデータ線から同時に検出する検出工程とを含む。

明細書

検査方法、半導体装置、及び表示装置

5 技術分野

本発明は、画素駆動用セルがマトリクス状に配列されるようにして形成される半導体基板の検査方法と、この検査方法に対応した半導体基板から成る半導体装置と、このような半導体装置を備えた表示装置とに関するものである。

10

背景技術

アクティブマトリクス方式を採用した液晶表示装置が、例えば液晶プロジェクタ装置や、液晶ディスプレイ装置などに広く採用されている。第6図は、上記したようなアクティブマトリクス方式による液晶表示装置100としての回路構成例を示している。アクティブマトリクス方式による液晶表示装置は、周知のように、半導体基板上に対して、例えば画素スイッチと、この画素スイッチに接続される画素容量を備えた画素セル駆動回路をマトリクス状に配列させるようにして形成している。そして、この半導体
15 基板に対して、共通電極を形成した対向基板を対向させ、これら半導体基板と対向基板との間に液晶を封入するようにした構造を有している。

半導体基板上に形成される画素セル駆動回路の個々の構造は、例えば、第6図において破線により括った部分の画素セル駆動回路10として示すように、画素スイッチS11、画素容量C11、
25 及び画素電極P11を備える。この場合、画素スイッチには、N

チャンネル型の F E T (Field Effect Transistor) が用いられている。画素スイッチ S 1 1 のソースは、画素容量 C 1 1 を介して共通電極（又はグランド）と接続される。また、画素スイッチ S 1 1 のソースと画素容量 C 1 1 との接続点には、画素電極 P 1 1 が接続される。なお、液晶表示装置において「画素セル」は、この画素電極ごとに対応した液晶層における表示領域をいうことになる。また、画素スイッチ S 1 1 のゲートに対しては、垂直走査回路 2 から引き出されるゲート線 G 1 が接続され、ドレインに対しては、水平走査回路 3 から引き出されるデータ線 D 1 が接続される。1 つの画素セル駆動回路はこのようにして形成された上で、図示するようにして半導体基板においてマトリクス状に配置される。

また、半導体基板には、例えばシフトレジスタを備えた垂直走査回路 2 及び水平走査回路 3 が形成される。垂直走査回路 2 は、水平方向に引き出されているゲート線 G 1 , G 2 ・ ・ ・ G v を順次走査する。また、水平走査回路 3 は、垂直方向に引き出されているデータ線 D 1 , D 2 , D 3 から D h を順次走査する。

上記のようにして形成される半導体基板に対しては、共通電位 V c o m が印加される共通電極を有した対向基板を対向させるようにして配置する。そして、このようにして対向する位置関係により配置された半導体基板 1 0 0 と対向基板との間に液晶を封入することで液晶層 5 が形成される。液晶表示装置 1 0 0 全体としてはこのような構造を有することになる。

第 7 図のタイミングチャートは、上記構造による液晶表示装置 1 0 0 における画素セルの駆動タイミングを示している。垂直走査回路 2 は、シフトレジスタによって、その出力を 1 ラインずつ

シフトさせていく。これにより、第 7 図 (a) (b) (c) に示すように、ゲート線 $G_1 \rightarrow G_2 \rightarrow G_3 \dots$ の順で、垂直方向に沿ってゲート線を線順次的に走査することになる。図示するように、走査期間においてはゲート線には電源電圧 V_{DD} が印加されるが、
5 このとき、そのゲート線に接続された画素スイッチがオン状態となる。また、走査が行われていないときには、グランド電位 V_{SS} となって、画素スイッチはオフ状態となる。

第 7 図 (d) は、第 7 図 (a) に示すゲート線 G_1 に対する走査が始まる区間 A を拡大して示している。第 7 図 (d) に示すようにして、ゲート線 G_1 の走査が開始されると、このゲート線 G_1 に接続される行に配列されている画素スイッチ S_{11} から S_{1h} は全てオン状態となる。そして、ゲート線 G_1 が走査されている期間内においては、水平走査回路 3 は、第 7 図 (e) から (g) に示すようにして、データ線 $D_1 \rightarrow D_2 \rightarrow D_3 \dots$ の順で水平
10 方向にデータに対応した電圧 $V_1, V_2, V_3 \dots$ を印加していく。つまり、水平方向における走査を行う。水平走査回路 3 もシフトレジスタによって、出力を印加すべきデータ線を順次シフトさせていくことで、上記した動作を得るようにされる。

まず、第 7 図 (e) に示すようにしてデータ線 D_1 が走査されると、このときオン状態にある画素スイッチ S_{11} を介して電圧 V_1 のレベルに対応する電荷が蓄積されることになる。つまり、
20 1 つの画素に対するデータの書き込みが行われる。これによって、画素容量 C_{11} には、蓄積された電荷に対応した電位が発生する。ここでは、電圧値 V_1 に対応させて電位 V_1 として示している。

25 この電位 V_1 は、画素電極 P_{11} にも現れることになる。そして、この画素電極 P_{11} の電位 V_1 と、これに対向する共通電極

の共通電位 V_{com} との電位差に応じて、画素電極 P_{11} の位置
に対応する液晶層 5 の液晶が励起されることになる。つまり、画
素セルが駆動される。なお、画素容量に蓄積された電荷、つまり
データは、第 7 図 (e) のデータ線 D_1 の走査タイミングと、第
5 7 図 (h) の電荷蓄積タイミングからも分かるように、1 つのデ
ータ線に対する走査（データの書き込み）が終了して、次のデー
タ線の走査に移行した後も、継続して保持されるようになってお
り、液晶（画素セル）を励起し続けることになる。

このようにして、データ線 D_1 の走査が行われた後は、第 7 図
10 (f) に示すようにしてデータ線 D_2 の走査が行われることにな
る。そして、同様にして、第 7 図 (i) に示されるように、画素
スイッチ S_{12} を介して画素容量 C_{12} に対してデータの書き
込みが行われる。また、この後においては、第 7 図 (g) に示す
ようにして次のデータ線 D_3 の走査が行われ、第 7 図 (j) に示
15 すように、画素スイッチ S_{13} を介して画素容量 C_{12} に対して
データの書き込みが行われることになる。

このような 1 行分の水平方向の走査が終了して、これと共に、
ゲート線 G_1 に対する走査も終了すると、続いては、第 7 図 (b)
に示すようにして、次のゲート線 G_2 に対する走査が開始される。
20 そして、このゲート線 G_2 を走査している期間内においても、第
7 図 (e) から第 7 図 (j) により説明したように、水平方向に
おける走査、つまりゲート線 G_2 に対応する水平ラインの画素セ
ルへのデータの書き込みが行われるものである。そして、この後
は、第 7 図 (c) に示すようにして、次のゲート線 G_3 を走査し
25 た状態で、第 7 図 (e) から第 7 図 (j) に示されるタイミング
によって、ゲート線 G_3 に対応する水平ラインの画素セルへのデ

一タの書き込みを行う。以降は、残るゲート線を順次走査していくとともに、各ゲート線の走査期間内においては、同様に、そのゲート線に対応する水平ラインの画素セルへのデータ書き込みを行っていく。このようにして、アクティブマトリクス方式の液晶表示装置では、垂直走査回路 2 及び水平走査回路 3 によって、ゲート線を順次駆動するように走査していくとともに、1 ゲート線の走査期間内において、データ線を順次駆動してデータを書き込んでいくように走査していくことで、画素セルを順次駆動していく。

ところで、上記構造による液晶表示装置を構成する半導体基板であるが、その製造過程において、回路に不良、欠陥が形成されてしまうことがある。つまり、画素スイッチや画素容量が短絡したり、また、ゲート線、データ線が断線若しくは短絡しているなどして、正常に動作しない画素セル駆動回路が存在する可能性を有している。このため、液晶表示装置を製造する過程においては、半導体基板上の回路に欠陥がないかどうかを検査することが行われる。

このような半導体基板回路の欠陥についての検査は、例えば次のようにして行われている。まずは、検査対象である半導体基板から引き出したデータ線と検査装置とを接続しておく。そして、半導体基板に対しては、表示時と同様のタイミングで垂直走査回路 2 及び水平走査回路 3 による駆動を行うようにされる。つまり、例えば第 7 図により説明したのと同じようにして画素セルの駆動を行う。この場合、データ書込が行われた画素セル駆動回路に接続されているデータ線には、正常であれば、書き込まれたデータに応じたレベルの電位が発生しているはずであるが、何らかの

欠陥がある場合には、その電位レベルは、正常値とは異なるレベルとなっているはずである。そこで、この電位レベルを検査装置により検出する、つまりデータ線から画素容量の電荷を読み込むことで、画素セル駆動回路の欠陥について検査することが可能となるものである。

しかしながら、近年においては、例えばプロジェクタ装置などへの採用を考慮して、液晶表示装置について小型化し、また、解像度の向上のために単位面積あたりの画素数を増加させることが求められている。この際、例えば、液晶表示装置について、画素数はそのままとしたうえで、装置全体の寸法を $1/2$ にしようとしたり、また、装置の寸法は変更せずに、解像度を 2 倍にしようとするれば、どちらの場合にも、画素セルの縦／横の寸法は、ともに $1/2$ 程度にまで縮小させる必要が生じてくる。仮に、画素セルの形状が正方形であるとして、この画素セルの縦／横の寸法を $1/2$ にしようとするれば、画素容量としては $1/4$ となってしまふ。

製造上の都合から、画素セル駆動回路内の画素スイッチについては、サイズの小型化に限界がある。このため、ほぼ限界までに画素スイッチを小型化したとして、さらに画素セルを小型にしなければならぬとすれば、画素容量のほうのサイズを小さくしていかなざるを得ない。従って、例えば、画素セル駆動回路を $1/2$ のサイズに縮小しようとする場合を考えると、画素スイッチのサイズが既に相当に小さい場合には、画素容量のサイズを縮小する割合が増えてくるので、画素容量のサイズは、 $1/4$ よりもさらに縮小する必要に迫られることになる。

ここで、データ線の容量を考えてみると、例えば液晶表示装置

の縦／横の寸法を $1/2$ にしようとした場合において、データ線の横方向の幅は変更しないとすれば、縦方向の長さのみが $1/2$ となるわけであり、その面積としてのサイズは $1/2$ となる。つまり、データ線の容量は $1/2$ の縮小で済むことになってしまう。

- 5 つまり、縮小率としては、画素容量の $1/4$ となるのに対して、データ線の容量は $1/2$ までしか縮小されないという、容量的なアンバランスが生じる。

- さらに、液晶表示装置のサイズはそのままとして、解像度を 2 倍にしようとした場合には、データ線の長さに変更はないのに関
10 わらず、データ線に接続される画素スイッチ数が 2 倍に増加するので、画素スイッチをこれまで以上に小さくできない場合には、増加した画素スイッチのドレイン容量の分だけ、データ線の容量が増加することになる。このように、画素セルの小型化を促進させていくほど、画素容量に対するデータ線の容量の比が大きくな
15 っていき、いわゆる配線容量が支配的となってくる。そして、このような場合に、画素容量の電荷をデータ線から読み出そうすれば、データ線における電位の変化は、その検出が困難なほどに小さいものとなってしまうことがある。先に説明した手法による半
導体基板の検査は、画素容量の電荷をデータ線から読み出すよう
20 にしていることから、上記のようにして画素容量に対する配線容量の比が大きくなってしまった場合には、検査を適切に行うことは困難なものとなっている。

- このため、現状においては、液晶を封入した後の液晶表示装置としての完成品に対して実際に画像を表示させ、これを例えば目
25 視することで画素の欠陥を検査せざるを得ないという状況にあった。このようにして、液晶表示装置が完成した段階において検

査をするのでは、例えば欠陥が発見された場合には、再度分解しての修理を行うか、若しくは破棄せざるをえない。つまり、半導体基板に形成される回路の検査に関しては、液晶表示装置として組み込みが行われる以前の、例えば半導体回路基板としてのウェ
5 ハが形成された段階で検査できるようにすることが、製造能率や製造コストの点で好ましい。

本発明の目的は、画素セル駆動回路を有する半導体装置の小型化又は高解像度化に伴い画素容量に対する配線容量の比率が増大しても、半導体装置として完成する前に画素セル駆動回路の不
10 良を適切に検出する半導体基板の検査方法と、この検査方法に対応した半導体基板から成る半導体装置、及びこのような半導体装置を備えた表示装置を提供することにある。

発明の開示

15 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する本発明の検査方法は、
1 本のデータ線に対して接続される全画素スイッチのうちから
20 選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、電荷保持工程により複数の画素容量において保持された電荷を上記 1 本のデータ線から同時に検出する検出工程とを含むことを特徴とする。

また、本発明の半導体装置は、データ線と画素スイッチ制御線
25 との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する

- 画素容量とからなる画素セル駆動回路と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査を行う場合
- 5 に対応して、データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することができる垂直走査手段とを半導体基板に形成して構成することを特徴とする。
- 10 また、本発明の表示装置は、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る。そして、上記半導体基板が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素
- 15 スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、
- 20 垂直方向の走査が可能とされたうえで、検査を行う場合に対応して、データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成する手段を有する垂直走査手段とが形成されていることを特徴とする。
- 上記各構成によれば、1本のデータ線に対応して接続される画
- 25 素セル駆動回路における画素容量のうち、任意の複数の画素容量に対して電荷を保持させたうえで、この電荷を同時に、同一のデ

ータ線から読み込んで検出する工程を含むようにしている。或いは、1本のデータ線に接続される複数の画素スイッチを同時にオンさせることのできる構成を備えることで、複数の画素容量に対して蓄積された電荷に応じた電位が、同一のデータ線に同時に得られるようにしている。本発明の場合において、複数の画素容量に蓄積された電荷を、同一のデータ線から読み出すことは、即ち、これら複数の画素容量の電荷の総量が検出できることを意味するが、これにより、データ線に得られる電位変化を、例えば1つの画素容量に蓄積された電荷を読み出す場合よりも大きなもの
5 とすることができる。

さらに、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する本発明の
15 検査方法として、画素容量に対して保持させた電荷に応じた電位レベルをデータ線に発生させる電位発生工程と、この電位発生工程によりデータ線に発生した電位レベルを、半導体基板に形成される増幅回路によって増幅する増幅工程と、この増幅工程により得られる増幅出力を検出する検出工程とを含むことを特徴とする。
20

また、本発明の半導体装置は、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力すること
25 ことで、垂直方向の走査が可能とされる垂直走査手段と、デー

タ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とを半導体基板に形成して構成することを特徴とする。

また、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る本発明の表示装置は、上記半導体基板に、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とが形成されていることを特徴とする。

上記各構成においては、データ線に得られる電位レベルを基板内に形成される増幅手段（増幅回路）によって増幅するようにしている。検査のために、画素容量に蓄積された電荷をデータ線から読み出す場合には、データ線における電位変化を検出することになるのであるが、本発明では、増幅作用によって、電位変化によるレベル変動を拡大して検出することが可能とされる。

また、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、

データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する本発明の検査方法として次のように構成する。即ち、1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、この電荷保持工程により複数の画素容量において保持されている電荷に応じた電位レベルを上記1本のデータ線に発生させる電位発生工程と、この電位発生工程によりデータ線に発生した電位レベルを、半導体基板に形成される増幅回路によって増幅する増幅工程と、この増幅工程により得られる増幅出力を検出する検出工程とを含めることを特徴とする。

また、本発明の半導体装置として、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査を行う場合に対応しては、上記データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成する手段を有する垂直走査手段と、データ線に発生する電位レベルを増幅して外部検査装置に出力可能な増幅手段と、を半導体基板に形成していることを特徴とする。

また、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間

に介在する液晶層とを備えて成る本発明の表示装置は、上記半導体基板に、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査を行う場合に対応して、データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成する手段を有する垂直走査手段と、データ線に発生する電位レベルを増幅して外部検査装置に出力可能な増幅手段とが形成されていることを特徴とする。

上記各構成としては、先ず、1本のデータ線に対応して接続される画素セル駆動回路における画素容量のうち、任意の複数の画素容量に対して電荷を保持させたうえで、この電荷を同時に、同一のデータ線から読み込んで検出する工程を含むようにしている。或いは、1本のデータ線に接続される複数の画素スイッチを同時にオンさせることのできる構成を備えることで、複数の画素容量に対して蓄積された電荷に応じた電位が、同一のデータ線に同時に得られるようにしている。これによって、1つのデータ線に、複数の画素容量に蓄積された電荷の総量に対応した電位を発生させることを可能としている。つまり、例えば1つの画素容量の電荷をデータ線に読み込ませる場合と比較して、より大きな電位の変化を得ることを可能としている。そしてまた、上記のようにして得られた複数の画素容量の電荷に対応する電位レベルを

増幅することで、検査のために検出される電位のレベル変化をより大きなものとしているものである。つまり、本発明は、複数の画素容量に蓄積された電荷の総量に対応した電位を発生させることと、この電位の増幅という、2つの電位レベル変化拡大のための構成を併用することで、画素容量の電荷に応じた電位レベル
5 の変化がより顕著となるようにしているものである。

図面の簡単な説明

第1図は、本発明の第1の実施の形態に対応する液晶表示装置
10 の回路構成を示す図である。

第2図は、第1の実施の形態としての検査のもとで実行される、画素スイッチを同時にオン／オフするための動作を示すタイミングチャートである。

第3図は、本発明の第2の実施の形態に対応する液晶表示装置
15 の回路構成を示す図である。

第4図は、第2の実施の形態としての検査手順に対応した各部の動作を示すタイミングチャートである。

第5図は、本発明の第3の実施の形態としての液晶表示装置の回路構成を示す図である。

20 第6図は、従来例としての液晶表示装置の回路構成例を示す図である。

第7図は、液晶表示装置における表示駆動タイミングを示すタイミングチャートである。

25 発明を実施するための最良の形態

以下、本発明の実施の形態について説明を行っていくこととす

る。本実施の形態としては、例えば液晶プロジェクタ装置などをはじめとする各種映像機器、電子機器に採用される、アクティブマトリクス方式の液晶表示装置を例に挙げることにする。

第1図は、本発明の第1の実施の形態としての液晶表示装置の回路構成例を示している。この図に示される液晶表示装置1の基本構造としては、半導体基板上に対して、少なくとも、例えばマトリクス状に配列される画素セル駆動回路をはじめとする必要の回路を形成する。そして、この半導体基板に対して、共通電極を形成した対向基板を対向させ、これら半導体基板と対向基板との間に液晶を封入するようにした構造を有している。

本実施の形態の場合、半導体基板にはシリコン(Si)の材質によるシリコン基板が用いられる。そして、この半導体基板に対して、画素セル駆動回路10をマトリクス状に配列するようにして形成すると共に、垂直走査回路2、水平走査回路3、及びゲート線の各々に対して挿入されるANDゲート4と、データ線の各々に対して挿入されるスイッチ6とを形成する。

まず、この半導体基板上に形成される画素セル駆動回路10の回路構成を、第1図において破線で括って示す部位を例に説明する。1つの画素セル駆動回路10は、図のように、画素スイッチ S_{mn} 、画素容量 C_{mn} 、及び画素電極 P_{22} を備える。画素スイッチ S_{mn} は、例えばFET(電界効果トランジスタ)としての構造を有している。画素スイッチ S_{mn} のゲートは、ゲート線 G_m に対して接続され、ドレインは、データ線 D_n と接続される。なお、各ゲート線及びデータ線も、半導体基板に対して形成されるものである。また、画素スイッチ S_{mn} のソースは、画素容量 C_{mn} の一端と接続される。画素容量 C_{mn} の他端は、この場合

には、共通電極に対して接続される。また、画素スイッチのソースと画素容量 C_{mn} の接続点は、画素電極 P_{22} に対して接続される。そして、このようにして形成される画素セル駆動回路 10 が、図示するようにして行方向と桁方向に沿って、マトリクス状に配列されるものである。また、このようにして画素セル駆動回路 10 が形成される半導体基板としては、各画素セル駆動回路 10 の画素電極 P がマトリクス状に配列されて表出している状態となる。

垂直走査回路 2 は、例えばシフトレジスタを備えて形成され、行（1 水平ライン）ごとに、垂直方向への走査を行うために設けられる。つまり、表示時においては、1 水平走査期間ごとに、ゲート線 $G_{m-1} \rightarrow G_m \rightarrow G_{m+1} \dots$ の順で、パルス状の走査信号（走査パルス）を出力することでゲート線を走査する。例えば垂直走査回路 2 の走査によってゲート線 G_m が駆動されれば、ゲート線 G_m と接続されている 1 行分の画素スイッチ（ S_{mn-1} 、 S_{mn} 、 S_{mn+1} ）のゲートにゲート電圧が印加されて、これらの画素スイッチ（ S_{mn-1} 、 S_{mn} 、 S_{mn+1} ）がオンとなる。

但し、本実施の形態においては、半導体基板の検査に対応するために、垂直走査回路 2 と各ゲート線（ G_{m-1} 、 G_m 、 $G_{m+1} \dots$ ）との間に、AND ゲート 4（ $m-1$ ）、4（ m ）、4（ $m+1$ ）が介在するようにして設けられる。AND ゲート 4（ $m-1$ ）、4（ m ）、4（ $m+1$ ）に対しては、それぞれ、垂直走査回路 2 から引き出されたゲート線 $P_r(G_{m-1})$ 、 $P_r(G_m)$ 、 $P_r(G_{m+1})$ が一方の入力端子に接続され、他方の入力には、マスク信号が共通に接続される。

例えば、垂直走査回路 2 は、ゲート線 G_m に対応しては、H レベルに対応する走査信号をゲート線 $P_r(G_m)$ に出力して走査を行うようにされるが、このときの走査信号は、AND ゲート 4 (m) の一方の入力端子に対して入力されることになる。そして、
5 このときに、L レベルのマスク信号が AND ゲート 4 (m) に入力されていれば、AND ゲート 4 (m) の出力は L レベルとなるので、ゲート線 G_m からは走査信号が出力されず、従って、画素スイッチ (S_{mn-1} 、 S_{mn} 、 S_{mn+1}) はオフとなる（マスクされる）。これに対して、H レベルのマスク信号が入力されて AND ゲート 4 (m) の出力が H レベルとなれば、ゲート線 G_m に対して走査信号が出力され、画素スイッチ (S_{mn-1} 、 S_{mn} 、 S_{mn+1}) はオンとなる。
10

なお、上記したような、AND ゲート 4 とマスク信号によるゲート線へのマスク動作は、後述するようにして検査時において行われるものであり、表示時においては、AND ゲート 4 によるマスク制御は行わない。
15

水平走査回路 3 も、シフトレジスタ等を備えて形成される回路であり、外部から入力される 1 水平ラインごとのデータを、順次シフトすることで、各データ線 D_{n-1} 、 D_n 、 D_{n+1} を順次走査するようにして駆動する。
20

また、本実施の形態においては、各データ線 D_{n-1} 、 D_n 、 $D_{n+1} \dots$ に対して、図示するように、スイッチ 6 ($n-1$)、6 (n)、6 ($n+1$) が接続される。これらスイッチ 6 も半導体基板上に形成されるもので、例えば CMOS 型の回路として構成される。このようにして設けられるスイッチ 6 は、後述する検査時において、外部の検査装置 11 と接続するためのデータ線を
25

選択するために用いられる。ここでは、検査装置 11 によって、その開閉が制御されるものとしている。

このようにして、本実施の形態の半導体基板上には、上述の画素セル駆動回路 10、データ線、ゲート線、垂直走査回路 2、水平走査回路 3 に加えて、検査時に必要となる AND ゲート 4 及びスイッチ 6 が形成される。

そして、このようにして形成される半導体基板に対しては、共通電位 V_{com} が印加される共通電極が形成された対向基板が対向するようにして配置される。そして、この半導体基板と、対向基板との間に、液晶を封入することで液晶層 5 を形成する。このようにして、本実施の形態の液晶表示装置 1 が構成される。

このようにして形成される液晶表示装置 1 による画像表示時の動作は、簡略には次のようになる。

本実施の形態の場合、通常を表示を行う際には、AND ゲート 4 は用いられないことから、例えばマスク信号を定常的に H レベルとしておくようにする。あるいは、ここでは図示しないが、AND ゲート 4 をパスして、垂直走査回路 2 から引き出されるゲート線 $P_r(G_m - 1)$ 、 $P_r(G_m)$ 、 $P_r(G_m + 1)$ が、それぞれ、ゲート線 $G_m - 1$ 、 G_m 、 $G_m + 1$ と接続されるようにする。つまりは、垂直走査回路 2 により、ゲート線 $G_m - 1$ 、 G_m 、 $G_m + 1 \dots$ を直接的に走査するように回路が形成されればよい。

そして、表示時における垂直走査回路 2 及び水平走査回路 3 の走査は、先に第 7 図にて説明したのと同様のタイミングで行われればよい。つまり、垂直走査回路 2 は、シフトレジスタの動作によって、1 水平走査期間ごとのタイミングで出力をシフトしてい

くことで、順次、1行目から最終行までのゲート線を走査していく。これにより、例えば或る水平走査期間においては、ゲート線 G_{m-1} に接続される行の画素スイッチ $S_{m-1\ n-1}$, $S_{m-1\ n}$, $S_{m-1\ n+1}$ にゲート電圧が印加されてオンとなり、続く水平走査期間においては、上記画素スイッチ $S_{m-1\ n-1}$, $S_{m-1\ n}$, $S_{m-1\ n+1}$ は、オフ状態とされたうえで、次のゲート線 G_m に接続される行の画素スイッチ $S_{m\ n-1}$, $S_{m\ n}$, $S_{m\ n+1}$ がオンとされる。以降、同様にして残るゲート線に対する走査が行われる。

そして、上記のようにして1つのゲート線が走査される期間内においては、水平走査回路3におけるシフトレジスタの動作によって、1桁目から最終桁までのデータ線を順次駆動していくことが行われる。ここで、データ線を駆動するとは、画素データに対応する電圧値を水平走査回路3からデータ線に対して出力することをいう。ここで、例えばゲート線 G_m を走査している期間内において、データ線 D_{n-1} の駆動が行われたとする。このときには、ゲート線 G_m にゲートが接続される画素スイッチ $S_{m\ n-1}$, $S_{m\ n}$, $S_{m\ n+1}$ がオンとなっているわけであるが、データ線 D_{n-1} が駆動されることで、このゲート線 G_m とデータ線 D_{n-1} の交点にある画素スイッチ $S_{m\ n-1}$ に接続される画素容量 $C_{m\ n-1}$ に対して、データ線 D_{n-1} に印加された電圧値（データ）に応じた電荷が、画素スイッチ $S_{m\ n-1}$ のドレインからソースを介して蓄積される。この蓄積された電荷量に応じた電位が画素容量 $C_{m\ n-1}$ の両端に発生する。つまり、画素容量 $C_{m\ n-1}$ に対してデータの書き込みが行われたことになる。そして、このデータ書き込みによって画素容量 $C_{m\ n-1}$ に生じ

た電位は、同じ画素スイッチ $S_{m\ n-1}$ のソースに接続された画素電極 $P_{2\ 1}$ にも発生することになる。

そして、データ線 D_{n-1} によるデータの書き込みが終了したとされると、画素容量 $C_{m\ n-1}$ に書き込まれたデータは保持した上で、次のデータ線 D_n に対する駆動が行われる。従って、この場合には、ゲート線 G_m とデータ線 D_n の交点にある画素スイッチ $S_{m\ n}$ に接続される画素容量 $C_{m\ n}$ に対して、データの書き込みが行われ、画素電極 $P_{2\ 2}$ に電位が発生することになる。

ここで、画素電極 P に対しては、液晶層 5 が介在するようにして、電位 V_{com} が印加されている共通電極が対向して配置されている。そして、上記のようにして、画素電極 $P_{2\ 1}$ 、 $P_{2\ 2}$ においてデータに対応する電位が順次発生すると、この画素電極 $P_{2\ 1}$ の電位と、電位 V_{com} との電位差に応じて、その間に介在する液晶層 5 の液晶が反応して励起されることになる。つまり、画素セルの駆動が順次行われていくものである。

そして、上記のようにして、ゲート線 G_m の走査期間内において水平走査回路 3 がデータ線を順次駆動していくことが行われ、1 水平ラインの画素の駆動が終了したとされると、垂直走査回路 2 では、ゲート線 G_m の走査を終了して、次のゲート線 G_{m-1} の走査を行う。そして、このゲート線 G_{m-1} の走査期間内において、水平走査回路 3 がデータ線を順次駆動して、同様に 1 水平ライン分の画素の駆動を行うようにされる。このような動作が、全水平ラインごとに行われることで、1 画面のデータの書き込みが完了することになる。そして、この 1 画面分のデータの書き込みが、例えばフィールド周期で繰り返されることで、画像表示が行われる。

そして、本実施の形態としては、液晶表示装置 1 を構成する半導体基板について、この半導体基板上に形成された回路に不良、欠陥がないかどうかについての検査を行うのであるが、この検査は、例えば次のようにして行うようにされる。

- 5 第 2 図は、本実施の形態が対応する半導体基板の検査時において、所要の段階で行われるとされる画素セルの駆動タイミングを示している。この図に示す駆動タイミングによっては、結果的に、複数のゲート線を同時に立ち上げ、また、立ち下げることができる。
- 10 垂直走査回路 2 内のシフトレジスタによって、第 2 図 (a) に示すように、ゲート線 $P_r (G_m - 1)$ に対して、例えば通常の 1 ゲート線走査期間よりも長い所定長の走査パルスが出力されるようにする。つまり、通常の 1 ゲート線走査期間が、期間 t_1 から t_2 の時間長に対応するものであるとして、この場合には、
- 15 その 3 倍の時点 t_1 から t_4 の期間にわたって走査パルスを出力するものである。そして、例えば次のゲート線 $P_r (G_m)$ に対する走査パルス出力としては、第 7 図 (b) に示すように、例えば時点 t_1 から通常の 1 ゲート線走査期間分シフトしたとされる時点 t_2 のタイミングで開始するようにされる。そして、こ
- 20 の場合にも、そのパルス出力幅は、通常の 1 ゲート線走査期間の 3 倍となるようにしており、従って、期間 t_2 から t_5 にわたってパルスを出力する。同様にして、次のゲート線 $P_r (G_m + 1)$ に対しても、時点 t_2 から通常の 1 ゲート線走査期間分シフトさせた時点から、通常の 1 ゲート線走査期間の 3 倍のパルス幅によ
- 25 って走査パルスを出力するようにされる。つまり、期間 t_3 から t_6 にわたってパルスを出力する。

上記のようにして、通常の1ゲート線走査期間の3倍のパルス長によってゲート線 $P_r(G_{m-1})$ 、 $P_r(G_m)$ 、 $P_r(G_{m+1})$ を走査していくことによって、これらのゲート線が走査される期間 t_1 から t_6 において、図示するようにして、これらの走査パルス出力が重複する重複期間 T_3 が形成されることになる。そして、本実施の形態においては、第2図(d)に示すようにして、上記各ゲート線 (G_{m-1}) 、 $P_r(G_m)$ 、 $P_r(G_{m+1})$ が走査される期間 t_1 から t_6 において、重複期間 T_3 より前の期間 t_1 から t_3 においては、マスク信号をLレベルとする。これにより、ANDゲート $4(m-1)$ 、 $4(m)$ 、 $4(m+1)$ からはLレベル(グランド電位 V_{ss})が出力されることになる。この場合には、Lレベルとして、グランド電位 V_{ss} が出力されることとなっているので、ANDゲート $4(m-1)$ 、 $4(m)$ 、 $4(m+1)$ の出力と接続される各ゲート線 G_{m-1} 、 G_m 、 G_{m+1} は、第2図(e)(f)(g)に示すようにして、期間 t_1 から t_3 においては、グランド電位 V_{ss} となる。従って、この期間 t_1 から t_3 においては、各ゲート線 G_{m-1} 、 G_m 、 G_{m+1} に接続されている画素スイッチは、オフ状態にあるようにされる。つまり、この期間においては、垂直走査回路2から出力されたパルスはマスク信号によりマスクされている状態にあることとなる。

そして、重複期間 T_3 の開始時点である時点 t_3 に至ったタイミングで、第2図(d)に示すようにして、マスク信号をHレベル(電源電位 V_{DD})に切り換える。この時点では、ゲート線 $P_r(G_{m-1})$ 、 $P_r(G_m)$ 、 $P_r(G_{m+1})$ において同時にパルスが出力されているので、マスク信号がHレベルとなったこと

によつては、ANDゲート4 ($m-1$)、4 (m)、4 ($m+1$)
からは電源電位 V_{DD} によるHレベルが出力されることになり、
ゲート線 G_{m-1} 、 G_m 、 G_{m+1} には電源電位 V_{DD} が得られ
ることになる。つまり、マスク信号によるマスクが解除され、第
5 2 図 (e) (f) (g) に示すように、ゲート線 G_{m-1} 、 G_m 、
 G_{m+1} が時点 t_3 において同時に立ち上げられることとなる。

この後、重複期間 T_3 が終了する時点 t_4 に至ると、マスク信
号はLレベルとなるように切り換えが行われる。これによつて、
時点 t_4 においては、再度マスク信号によるマスクが再開される
10 こととなつて、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} には、グランド
電位 V_{ss} となる。つまり、ゲート線 G_{m-1} 、 G_m 、 G_{m+1}
1 が同時に立ち下げられる。

このようにして、本実施の形態においては、垂直走査回路2内
のシフトレジスタとANDゲート4とにより、複数の連続するゲ
15 ート線を同時に立ち上げ、また、立ち下げることができるように
している。なお、この場合には、3本のゲート線を同時に立ち上
げ／立ち下げようとしているが、第2図の説明からも理解され
るように、例えば垂直走査回路2から出力すべきパルス幅を、同
時に立ち上げ／立ち下げるべきゲート線数に応じて変更するな
20 ど、信号出力タイミングなどについて必要な変更を行うことで、
同時に立ち上げ／立ち下げるべきゲート線数は、任意に変更す
ることができる。そして、この同時に立ち上げ／立ち下げるべきゲ
ート線数の実際としては、検査時の都合などに応じて適宜変更さ
れるべきものである。

25 続いては、上記したように複数のゲート線の同時走査が可能で
あることを前提として、本実施の形態としての半導体基板の検査

の手順例について説明を行っていくこととする。

手順 1 : ここでは、検査対象として、第 1 図のデータ線 D_n に接続された 3 つの画素セル駆動回路 10 を選択したものとする。つまり、データ線 D_n と接続される、画素スイッチ S_{m-1n} 、
5 S_{mn} 、及び S_{m+1n} を備えた各画素セル駆動回路 10 が検査対象となる。また、これらの画素セル駆動回路が検査対象とされたことに対応して、スイッチ 6 のうち、データ線 D_n と接続されるスイッチ 6 (n) のみをオンとして、これ以外のスイッチ 6 はオフとするようにされる。これによって、データ線 D_n のライン
10 が検査装置 11 と接続されることになる。そして、この手順 1 としては、これらの画素セル駆動回路 10 における 3 つの画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対してデータの書き込みを行う。このためには、例えば第 2 図により説明したようにして、垂直走査回路 2 により、同時にゲート線 G_{m-1} 、 G_m 、 G_{m+1}
15 を立ち上げて、画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} がオンの状態となるようにしたうえで、水平走査回路 3 により、データ線 D_n に対してデータを出力する。これによって、オン状態にある画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} のドレイン→ソースを介して、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の
20 各々に対してデータの書き込みが行われる。つまり、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の各々において電荷が蓄積されるものである。なお、この画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対するデータの書き込みに関しては、必ずしも、同時に行う必要はないものであり、例えばゲート線 G_{m-1} 、 G_m 、 G_{m+1}
25 1 を順次立ち上げると共に、このゲート線が立ち上がったタイミングで、順次データ線 D_n に対してデータを出力するようにして

もよいものである。

手順 2 : 上記手順 1 による画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対するデータの書き込みが終了したら、それまで立ち上げていたゲート線 G_{m-1} 、 G_m 、 G_{m+1} を立ち下げることを行
5 う。これは、例えば上記手順 1 によるデータの書き込みが、第 2 図に示した走査タイミングによって行われているものであるのならば、第 2 図の時点 t_4 における動作として示すように、マスク信号を L レベルとすることで実現することができる。そして、
このようにして、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対
10 するデータの書き込みが行われた状態で、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} が立ち下げられれば、画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} はオフ状態となるのであるが、これにより、データ書き込みによって画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に蓄積された電荷が放出されることなく、保持されることになる。

15 手順 3 : 画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} において電荷が保持されている状態になったら、水平走査回路 3 又は検査装置によって、データ線 D_n に対して任意の電圧をチャージする。これによって、データ線 D_n はハイインピーダンスの状態となる。

手順 4 : 続いては、データ線 D_n がハイインピーダンスとなっ
20 ている状態のもとで、第 2 図に示したようにして、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} を同時に立ち上げることを行う。これによって、これまでオフ状態にあった画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} は、同時にオン状態に移行することになるが、これによって、データ線 D_n には、画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} に接続されている画素容量 C_{m-1n} 、 C_{mn} 、
25 C_{m+1n} に蓄積されていた電荷に応じた電位変化が現れるこ

とになる。つまり、3つの画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の電荷の総量に応じた電位変化が現れる。

手順5：上記のようにしてデータ線 D_n に現れた3つの画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の電荷の総量に応じた電位変化は、スイッチ6(n)を介してデータ線 D_n と接続された検査装置11において電位変化が検出されることになる。そして、検査装置11側では、回路不良や欠陥の状況により種々の形で現れるその電位変化に基づいて検査結果を得るようにされる。

上記した電位変化の検出に基づいて検査すべき項目としては特に限定しないが、例えば、画素容量値が適正であるか否かの確認、画素データ書き込み時間の確認、画素容量の短絡の有無の確認、ゲート線及びデータ線の短絡、断線の有無の確認などを行うことができる。

以上が本実施の形態としての検査手順となるが、ここで、検査対象を、他のデータ線に接続された画素セル駆動回路10に変更する場合には、例えば検査装置11による制御によって、スイッチ6についての切り換えを行うようにする。例えば、データ線 D_n に接続された画素セル駆動回路10から、データ線 D_{n+1} に接続された画素セル駆動回路10に検査対象を変更するのであれば、これまでオンとされていたスイッチ6(n)はオフとして、かわりにスイッチ6(n+1)をオンとするように制御すればよいことになる。

このような本実施の形態としての検査方法によれば、例えばデータ線に現れる電位の変化幅は、複数の画素容量に保持された電荷の総量に対応するものとなる。つまり、1つの画素容量に保持された電荷によって現れる電位変化よりも大きな電位変化幅を

得ることができる。

例えば液晶表示装置の小型化や高精細化にともなって、前述したように、データ線の容量に対する画素容量の比がこれまでよりも大きくなるが、従来のように、画素セルを1つ1つ駆動して、
5 1つの画素容量に保持された電荷によって現れる電位変化を検出するという検査方法では、的確な検査結果を得ることが困難であった。このため、現状としては、半導体基板のみによる検査を行わずに、液晶表示装置として完成させてから画像を表示させて、目視による検査を行わざるを得なかった。

10 これに対して、本実施の形態では、データ線には、適正な検査結果を得るに足るだけの顕著な電位変化が現れるのであるから、画素容量に対するデータ線の容量の比が大きいとされる場合でも、半導体基板の検査を的確に行うことが可能となる。そして、これによつては、液晶表示装置を製造する前の、半導体基板に回路が形成された段階で検査を行うようにすることが容易に実現
15 されるものである。また、本実施の形態としては、一度に複数の画素セル駆動回路10を検査するようにしているために、例えば従来のようにして1つ1つの画素セル駆動回路を駆動して検査する場合より、効率よく検査を行うことが可能となる。

20 続いては、本発明の第2の実施の形態について説明を行う。第3図は、第2の実施の形態に対応する液晶表示装置1Aとしての回路構成を示している。なお、この図において、第1図と同一とされる部分については同一符号を付して、ここでの説明は省略する。また、この第3図においては、液晶表示装置1Aにおいて、
25 主として半導体基板に形成される回路部を示しているものとされる。従って、ここでは、液晶層5及び共通電位Vcomが印加

される対向電極の図示は省略している。また、半導体基板上に実際に形成される部位のうち、各画素スイッチのソースに対して接続される画素電極の図示も、ここでは省略している。さらにここでは、検査装置 11 がスイッチ 6 のオン／オフを制御するための
5 制御線の図示も省略している。

この第 3 図に示す回路においては、例えば第 1 図に示した回路において垂直走査回路 2 とゲート線との間に設けられたゲート回路は省略される。つまり、この第 2 の実施の形態では、垂直走査回路 2 からは、直接、ゲート線 (G_{m-1} , G_m , G_{m+1})
10 が引き出されるものである。また、この場合には、画素容量の端部は共通電極ではなく、グランドに対して設置されているが、第 1 図の場合と同様に、共通電極に接続する回路構成としてもよいものである。そして、この実施の形態においては、スイッチ 6 の出力と、検査装置 11 が接続される出力端子 V_{out} との間に、増
15 幅回路 7 が設けられていることを特徴としている。この増幅回路 7 もまた、半導体基板上に形成されるものである。

この場合の増幅回路 7 は、スイッチ 6 の出力側のラインがスイッチ SW の一端に対して接続されるとともに、演算増幅器 OP の非反転入力端子に対して接続される。つまり、増幅回路 7 の入力
20 に対しては、スイッチ 6 を介するようにして、画素スイッチのドレインが接続されるデータ線が接続されるものである。スイッチ SW は、例えば N チャンネル型の電界効果トランジスタとされその他端は、電位 V_{pc} と接続される。また、電位 V_{pc} は、抵抗 R_1 を介して演算増幅器 OP の反転入力端子に対して接続され、
25 また、演算増幅器 OP の出力端子と反転入力端子とを抵抗 R_2 を介して接続している。このようにして、増幅回路 7 は、スイッチ

6 を介して入力されたデータ線の電位変化（電圧）を増幅する回路として形成される。

第 4 図は、上記第 3 図に示した液晶表示装置 1 A の半導体基板を検査する際の手順に従った、所定部位の状態遷移を示すタイミングチャートである。この図を参照して、第 2 の実施の形態としての検査の手順を説明していくこととする。

手順 1：第 2 の実施の形態において、一連の検査手順によって検査される対象は、1 つの画素セル駆動回路となる。ここでは、検査対象として、データ線 D_n に接続された画素セル駆動回路 10 のうち、画素スイッチ S_{mn} を備えている画素セル駆動回路 10 を選択した場合について述べる。従って、この場合には、スイッチ 6 のうち、データ線 D_n と接続されるスイッチ 6 (n) のみをオンとして、これ以外のスイッチ 6 はオフとするように制御し、これによって、データ線 D_n のラインのみが検査装置 11 と接続されるようにする。そして、この場合の手順 1 としては、検査対象となっている画素セル駆動回路 10 内の画素容量 C_{mn} のみに対してデータの書き込みを行う。このため、例えば第 4 図に示す電荷蓄積期間において、垂直走査回路 2 によりゲート線 G_m を走査する。これによって、ゲート線 G_m に接続された各画素スイッチ S_{mn-1} 、 S_{mn} 、 S_{mn+1} はオン状態となる。つまり、第 4 図 (a) に示すようにして、電荷蓄積期間において画素スイッチ S_{mn} をオンとする状態が得られる。また、この期間においては、第 4 図 (b) に示すようにして、増幅回路 7 内のスイッチ SW は、オフ状態にあるように制御しておく。そして、この状態の下で、水平走査回路 3 によってデータ線 D_n を駆動することで、画素スイッチ S_{mn} を介して接続される画素容量 C_{mn} に対し

ては、データ線 D_n から印加されたデータの電圧値に応じた電荷が蓄積されることになる。つまり、データの書き込みが行われる。ここでは、電荷が蓄積されることで、第 4 図 (c) に示すようにして、画素容量 C_{mn} の両端電圧は、グラウンド電位 V_{ss} から、
5 或る所定の電圧レベル V_d が発生する状態に移る。

手順 2：上記のようにして画素容量 C_{mn} に対して電荷を蓄積させた後においては、第 4 図における電荷保持期間として示すようにして、垂直走査回路 2 によりゲート線 G_m の走査を終了させて、第 4 図 (a) に示すようにして画素スイッチ S_{mn} をオフとする。また、このときには、第 4 図 (b) に示すようにスイッチ SW をオン状態に切り換えることで、データ線 D_n がスイッチ SW を介して電位 V_{pc} と接続されるようにする。これにより、データ線 D_n は、電位 V_{pc} によりチャージされるので第 4 図 (d) に示すようにして、データ線電位 V_{data} としては、電位 V_{pc}
15 が発生してハイインピーダンスの状態となる。このようにして各部が動作する電荷保持期間では、画素スイッチ S_{mn} がオフとされたことで、前の電荷蓄積期間において画素容量 C_{mn} に蓄積された電荷はそのまま保持されることになるので、その両端電圧としては、第 4 図 (c) に示すようにして、電圧レベル V_d が維持
20 されることになる。また、スイッチ SW がオンとされたことによって、演算増幅器 OP の出力 V_{out} としては、第 4 図 (e) に示すように、電圧 V_{pc} に対応するレベルが現れる。

手順 3：続いては、第 4 図 (a) の電荷読み出し期間として示すように、直前の電荷保持期間においてはオフ状態にあった画素
25 スwitch S_{mn} をオン状態にし、また、直前の電荷保持期間においてオン状態にあったスイッチ SW をオフ状態にする。この状態

では、オン状態にある画素スイッチ S_{mn} を介して、画素容量 C_{mn} に保持されていた電荷がデータ線 D_n から読み出されることになる。ここで、データ線 D_n の寄生容量と、データ線 D_n に接続される画素スイッチのドレイン容量とを合わせた容量を C_d とする。そして、この場合において、画素容量 C_{mn} に蓄積されていた電荷と容量 C_d に蓄積されていた電荷の総和は変化しないのであるから、画素容量 C_{mn} に蓄積されていた電荷を読み出したことによりデータ線 D_n に現れる電位レベル V_{d1} としては、 $V_{d1} = (C_{mn} \cdot V_d + C_d \cdot V_{pc}) / (C_{mn} + C_d)$ により表されることになる。そして、このようにして電位レベル V_{d1} が発生することで、第4図(d)に示すようにして、データ線電位 V_{data} としては、電荷保持期間においては電位レベル V_{pc} が維持されていた状態から、続く電荷読み出し期間では電位レベル V_{d1} に変化するという状態遷移が得られる。

ここで、上記したデータ線電位 V_{data} における電位レベル V_{pc} と電位レベル V_{d1} との電位差について、 $V_{pc} - V_{d1} = \Delta V$ として表すこととすると、演算増幅器 OP は、反転入力端子の電位も V_{d1} となるように動作することになる。このため、抵抗 R_1 にかかる両端電圧は ΔV となり、抵抗 R_1 を流れる電流 i_1 は、 $i_1 = \Delta V / R_1$ により表されるレベルとなる。そして、この電流 i_1 が抵抗 R_2 に流れることになるため、演算増幅器 OP の出力 V_{out} は、 $V_{out} = V_{pc} - ((R_1 + R_2) / R_1) \cdot \Delta V$ として表されることになる。即ち、第4図(e)に示すようにして、電荷読み出し期間の出力 V_{out} は、直前の電荷保持期間における電位レベル V_{out} に対して、 $((R_1 + R_2) / R_1) \cdot \Delta V$ の電位差を有したレベルに変化することとなる。このような動作が得られる

ことで、本実施の形態としては、第 4 図 (d) と第 4 図 (e) を比較して分かるように、増幅回路 7 においては、データ線における電位 V_{pc} から電位 V_{d1} としての電位変化である ΔV を増幅して出力することで、より大きな電位変化としていることになる。

- 5 5 なお、増幅回路 7 としての増幅度は抵抗 R_1 、 R_2 の各抵抗値の組み合わせによって調整することができる。

本実施の形態では、上記のようにしてデータ線電位を増幅した出力 V_{out} を検査装置 11 に入力することになる。これにより、本実施の形態では、データ線に得られる小さな電位変化をより大きな電位変化として見るができることになる。つまり、本実施の形態では、データ線に得られる電位変化が小さいものであるとしても、これを増幅することによって補償しているものである。従って、本実施の形態としても、先の実施の形態と同様に、例えば画素容量に対するデータ線の容量の比が大きく、データ線に得られる電位変化が小さくなったとされても、確実な検査結果を得ることが可能になるものである。また、液晶を封入して組み込みを行う前の半導体基板が製造された段階での検査が可能となることも同様である。

10 15

なお、例えば増幅回路 7 は、半導体回路基板に形成せずに、例えば検査装置側で増幅するようにしても、データ線の電位変化を増幅することに代わりはないのではあるが、例えば、検査装置側で増幅するとした場合には、半導体基板のデータ線と検査装置とを接続するための配線の容量や抵抗成分などの影響を受けてしまうことになる。このため、データ線の電圧を検査装置側で検出する段階では、その電位変化はより微弱なものとなっており、これを増幅しても画素セルの欠陥を判定できる程度の電位変化幅

20 25

を得ることは困難となる。これに対して、本実施の形態のように半導体基板に増幅回路を備えれば、上記したような半導体基板と検査装置とを接続するための配線による伝達ロスの影響は排除できるものである。

- 5 続いては、本発明の第3の実施の形態について説明する。第5図は、第3の実施の形態に対応する液晶表示装置1Bの回路構成例を示している。なお、この図において、第1図及び第3図と同一部分には同一符号を付して説明を省略する。また、この第5図において、液晶表示装置1Bとしての構造のうち、主としては、
10 半導体基板に形成される回路部を示しているものとされ、ここでも、液晶層5及び共通電極、及び画素電極の図示は省略している。

- この第5図に示す液晶表示装置1Bの半導体基板の回路構成としては、第1図に示したANDゲート4が備えられると共に、第3図に示した増幅回路7が備えられる。このようにして形成される本実施の形態の回路は、第1の実施の形態としての回路と、
15 第2の実施の形態としての回路が組み合わされた形態を採っていることになる。従って、検査手順としても、第1の実施の形態と第2の実施の形態により説明した手順が組み合わされることとなるものである。以下、第5図に示す回路構成の半導体基板について検査を行う場合の手順を記す。
20

- 手順1：本実施の形態としても、大きくは、第4図により説明した、電荷蓄積期間→電荷保持期間→電荷読み出し期間に対応する手順によって検査が行われるものとされる。但し、本実施の形態においては、電荷蓄積期間に対応する手順1によっては、同じ
25 データ線に接続した任意の複数の画素スイッチをオン状態とした上で、これら複数の画素スイッチに接続される画素容量に対し

てデータ書き込みを行って電荷を蓄積させることになる。つまり、複数の画素容量において、その両端電圧 V_c (第4図(c))として、電位レベル V_d が生じるようにするものである。なお、ここでは、具体的には、第5図においてデータ線 D_n と接続される

5 3つの画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} をオンとして、これらに接続される3つの画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対してデータ書き込みを行って、電位レベル V_d を発生させたものとする。

手順2：この場合において手順2に対応する電荷保持期間としては、画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} をオフとすることで、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に蓄積された電荷を保持させる。従ってこの場合にも、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の両端電圧 V_c としては、電圧レベル V_d が維持される(第4図(d))。また、この場合にも、スイッチ SW

10 をオン状態に切り換える(第4図(b))ことで、データ線 D_n を電位 V_{pc} によりチャージさせ、データ線電位 V_{data} に電位 V_{pc} を発生させる(第4図(d))。これにより、データ線 D_n はハイインピーダンスとなり、また、演算増幅器 OP の出力 V_{out} としては、電圧 V_{pc} に対応するレベルが現れる(第4図

15 20 (e))。

手順3：この場合の第4図の電荷読み出し期間に対応する手順3としては、3つの画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} を「同時に」オン状態とする。このためには、先に第2図に示したタイミングによって、画素の駆動を行えばよい。また、これ

25 と同時にスイッチ SW をオフ状態にする。従って、この場合には、オン状態にある3つの画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n}

1 n を介して、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に保持されていた電荷の総容量がデータ線 D_n から読み出されることになる。従って、例えば第 4 図 (d) において示される、データ線の電位 V_{pc} から電位 V_{dl} への変化である電位差 ΔV としては、例えば 1 つの画素容量の電荷を読み出す場合よりも、大きなものとすることができる。そして、演算増幅器 OP の出力 V_{out} (第 4 図 (e)) としては、この電位差 ΔV が増幅されたものが得られることになる。

このように、第 3 の実施の形態においては、先ず、先の第 1 の実施の形態の場合と同様にして、複数の画素容量に蓄積させた電荷を同一データ線から同時に読み出すようにしている。これにより、先ず、データ線に対して画素容量に蓄積された電荷に応じた電位変化を発生させる段階において、より大きな電位変化が得られるようにしているものである。そしてさらに、上記のようにして得られた電位変化を増幅して出力することで、その電位変化をより大きなものとしている。従って、本実施の形態としては、検査のために検出すべきデータ線の電位変化として、例えば第 1、第 2 の実施の形態よりもさらに大きな変化幅が得られるものであり、より確実な検査結果を得ることも可能となるものである。

20 なお、上記各実施の形態において検査のために形成される AND ゲート 4、スイッチ 6 などは、必ずしも、全てのゲート線及びデータ線に対して設けられる必要はない。つまり、例えば半導体基板が形成される 1 枚のウェハ全体において、或る一部領域についてのみ、AND ゲート 4、スイッチ 6 が接続されてもよいものである。この場合、全ての画素セル駆動回路についてチェックする
25 ことはできないが、一部領域を検査するだけでも、例えば、各

ウェハごとの不良、欠陥の傾向を知ることができるため、十分に製造能率の向上等には寄与できるものである。また、この場合には、例えば全ゲート線、データ線にANDゲート4やスイッチ6を設ける場合よりも、半導体基板に形成すべきANDゲート4や
5 スwitch 6の数を著しく削減することができるので、それだけ、半導体基板の単位面積あたりにおける検査用回路の占有率を低いものとして、より多くの画素セル駆動回路を効率的に形成することも可能となる。また、上記各実施の形態として説明した回路構成や検査手順は、これまでの記載内容に限定されるものではなく、
10 実際に行われる検査の状況等に応じて適宜変更されて構わないものである。

以上説明したように本発明によれば、液晶表示装置を構成する半導体基板を検査するのにあたって、1本のデータ線に接続される全画素スイッチのうちから選択した、複数の画素スイッチに接
15 続される画素容量に蓄積させた電荷を、同じ1つのデータ線から同時に読み出すようにすることを可能としている。ここで、複数の画素容量の電荷を同時に読み出すのにあたっては、これら画素容量と接続される画素スイッチを同時にオンとすることで実現するようにしている。そして、このような構成であれば、一度に
20 読み出される画素容量の電荷量は、例えば1つの画素容量の電荷を読み出す場合よりも増加することになるので、データ線に得られる電位変化をより大きなものとすることができる。これにより、例えば液晶表示装置の小型化や高精細化が図られたことで、配線容量に対して画素容量が比率的に小さくなってしまっているよ
25 うな半導体基板であっても、画素セル駆動回路の不良状態に応じた電位変化を的確に検出することが可能となり、例えば、これま

では困難であったとされる、液晶封入前の半導体基板のままの状態での検査が容易に可能となるものである。そして、これによって、例えば製造能率の向上や製造コストの低減が図られることになる。また、この発明によつては、一度に複数の画素セルについての検査が可能となるので、1つ1つの画素セルを検査する従来の場合よりも、検査の作業効率が向上されるという効果も有している。

また、他の本発明の構成によつては、データ線から読み出した画素容量の電荷を増幅して出力するようにされるが、これによつても、検出入力であるデータ線の電位変化をより大きなものとすることを可能としている。従つて、この発明によつても、上記発明と同様に、液晶表示装置の小型化や高精細化に伴つて配線容量に対する画素容量の比が小さくなったことに関わらず、正しい検査結果を得ることが可能になるものである。

そしてまた、さらに他の本発明の構成によつては、同一データ線に対して接続される複数の画素スイッチと接続される画素容量に蓄積させた電荷を、同じ1つのデータ線から同時に読み出すようにしたうえで、この電荷の読み出しによつて生じたデータ線の電位変化を増幅して出力することを可能としている。この発明によつては、同じ1つのデータ線から同時に、複数の画素容量の電荷を読み出すことによつてデータ線に得られる電位変化を大きなものとし、さらに、このデータ線に得られる電位変化を増幅することで、その電位変化をより大きなものとしていることになる。つまり、この発明によつては、検出入力としてのデータ線の電位変化を、さらに大きなものとすることを可能としており、従つて、例えば、画素セル駆動回路の不良状態に応じた電位変化も、

さらに的確に検出することが可能となるものである。また、この発明においても、一度に複数の画素セルについての検査が行われることで、1つ1つの画素セルを検査する場合よりも、検査の作業効率は向上されることとなる。

- 5 更には、上記各発明においては、検査を実現するために必要とされる、同一データ線に接続される画素スイッチを同時にオンとするための回路や、増幅手段としての回路を、画素セル駆動回路が形成される半導体基板に形成するようにしているので、上述した半導体回路基板のままの状態での検査を、さらに容易に可能と
- 10 しているものである。また、上記構成の下で、複数のデータ線のうちから、必要なデータ線を選択して検査装置、若しくは上記増幅手段に接続するためのスイッチ（選択回路）を半導体基板上に形成することによって、例えば検査装置に対して引き出すライン数を削減することができる。また、1つのデータ線ごとに対応
- 15 させて1つの増幅回路を設けることなく、複数のデータ線に対して1つの増幅回路を設ければよくなる。従って、それだけ検査時における配線はいたずらに複雑になることはなく検査能率は向上される。また、半導体基板に形成される検査用の回路面積を小さなものとして、より高い効率で半導体基板に画素駆動系の回路
- 20 を形成していくことも可能になる。

請求の範囲

1. 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、

1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、

上記電荷保持工程により複数の画素容量において保持された電荷を上記1本のデータ線から同時に検出する検出工程と、を含むことを特徴とする検査方法。

2. 上記検出工程は、上記電荷保持工程により電荷を保持している複数の画素容量に接続される各画素スイッチを同時にオンとする画素スイッチ制御工程、を含むことを特徴とする請求の範囲第1項に記載の検査方法。

3. 上記画素スイッチ制御工程は、異なる画素スイッチ制御線に対応する複数の走査信号が重複して出力される重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力させる走査信号出力工程と、

上記重複期間の所定の時点から所定の期間においてのみ、上記複数の走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通／非導通を制御する制御工程と、を含むことを特徴とする請求の範囲第2項に記載の検査方法。

4. データ線と画素スイッチ制御線との交点位置に対応してマ

トリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、

5 上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで垂直方向の走査を行うことが可能であり、さらに検査を行う場合に対応して、上記データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することができる垂直走査手段と、

10 上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段とを半導体基板に形成していることを特徴とする半導体装置。

5. 上記垂直走査手段は、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで垂直方向の走査を行うと共に、検査を行う場合においては、
15 異なる画素スイッチ制御線に対応する複数の走査信号が上記データ線の1つにおいて互いに重複する重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力可能な垂直走査回路と、上記重複期間内においてのみ、上記走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通／非導通を制御する導通制御回路部とを備えることを特徴とする請求の
20 範囲第4項に記載の半導体装置。

6. 上記垂直走査回路は、検査を行う場合において、1つの上記画素スイッチをオンさせるための走査期間より長い走査信号
25 を上記画素スイッチ制御線に対して順次出力することにより上記重複期間を生じさせ、

上記導通制御回路は、上記垂直走査回路の出力信号と、外部端子から上記重複期間に対応して供給される上記走査信号経路の導通／非導通を制御するマスク信号との論理積が出力されるアンド回路であることを特徴とする請求の範囲第5項に記載の半導体装置。

7. 複数の上記データ線のうちから、外部検査装置に対して接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、ことを特徴とする請求の範囲第4項に記載の半導体装置。
- 10 8. 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、上記半導体基板は、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて
- 15 画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたとうえで、検査を行う場合に対応して、上記データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための
- 20 検査用走査信号を生成することのできる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段とが形成されている、ことを特徴とする表示装置。
9. 上記垂直走査手段は、上記画素スイッチをオンさせるための
- 25 の走査信号を上記画素スイッチ制御線に対して順次出力することで垂直方向の走査が可能とされると共に、検査時には、

異なる画素スイッチ制御線に対応する複数の走査信号が重複して出力される重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力可能な垂直走査回路と、上記重複期間内においてのみ、上記走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通／非導通を制御する導通制御回路部とを備える、ことを特徴とする請求の範囲第 8 項に記載の表示装置。

10 10. 複数の上記データ線のうちから、外部検査装置に対して接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、ことを特徴とする請求の範囲 8 項に記載の表示装置。

15 11. 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、上記画素容量に対して保持させた電荷に応じた電位レベルをデータ線に発生させる電位発生工程と、上記電位発生工程により上記データ線に発生した電位レベルを、上記半導体基板に形成される増幅回路によって増幅する増幅工程と、上記増幅工程により得られる増幅出力を検出する検出工程と、を含むことを特徴とする検査方法。

25 12. データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方

向の走査が可能とされる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、上記データ線に発生する電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とを半導体基板に形成している、ことを特徴とする半導体装置。

1 3. 複数のデータ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、ことを特徴とする請求の範囲第12項に記載の半導体装置。

1 4. 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、上記半導体基板は、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、上記データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とが形成されている、ことを特徴とする表示装置。

1 5. 複数の上記データ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選択回路を上記半導体

基板に形成している、ことを特徴とする請求の範囲第14項に記載の表示装置。

16. 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、上記電荷保持工程により複数の画素容量において保持されている電荷に応じた電位レベルを上記1本のデータ線に発生させる電位発生工程と、上記電位発生工程により上記データ線に発生した電位レベルを、上記半導体基板に形成される増幅回路によって増幅する増幅工程と、上記増幅工程により得られる増幅出力を検出する検出工程と、を含むことを特徴とする検査方法。

17. データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査を行う場合に対応して、上記データ線の1つにある任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、上記データ線に発生する電位レベルを増幅して外部

検査装置に出力可能な増幅手段と、を半導体基板に形成している、ことを特徴とする半導体装置。

1 8. 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、上記半導体基板は、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査を行う場合に対応して、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、上記データ線に発生する電位レベルを増幅して外部検査装置に出力可能な増幅手段とが形成されている、ことを特徴とする表示装置。

1 9. 複数のデータ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、ことを特徴とする請求の範囲第 1 8 項に記載の表示装置。

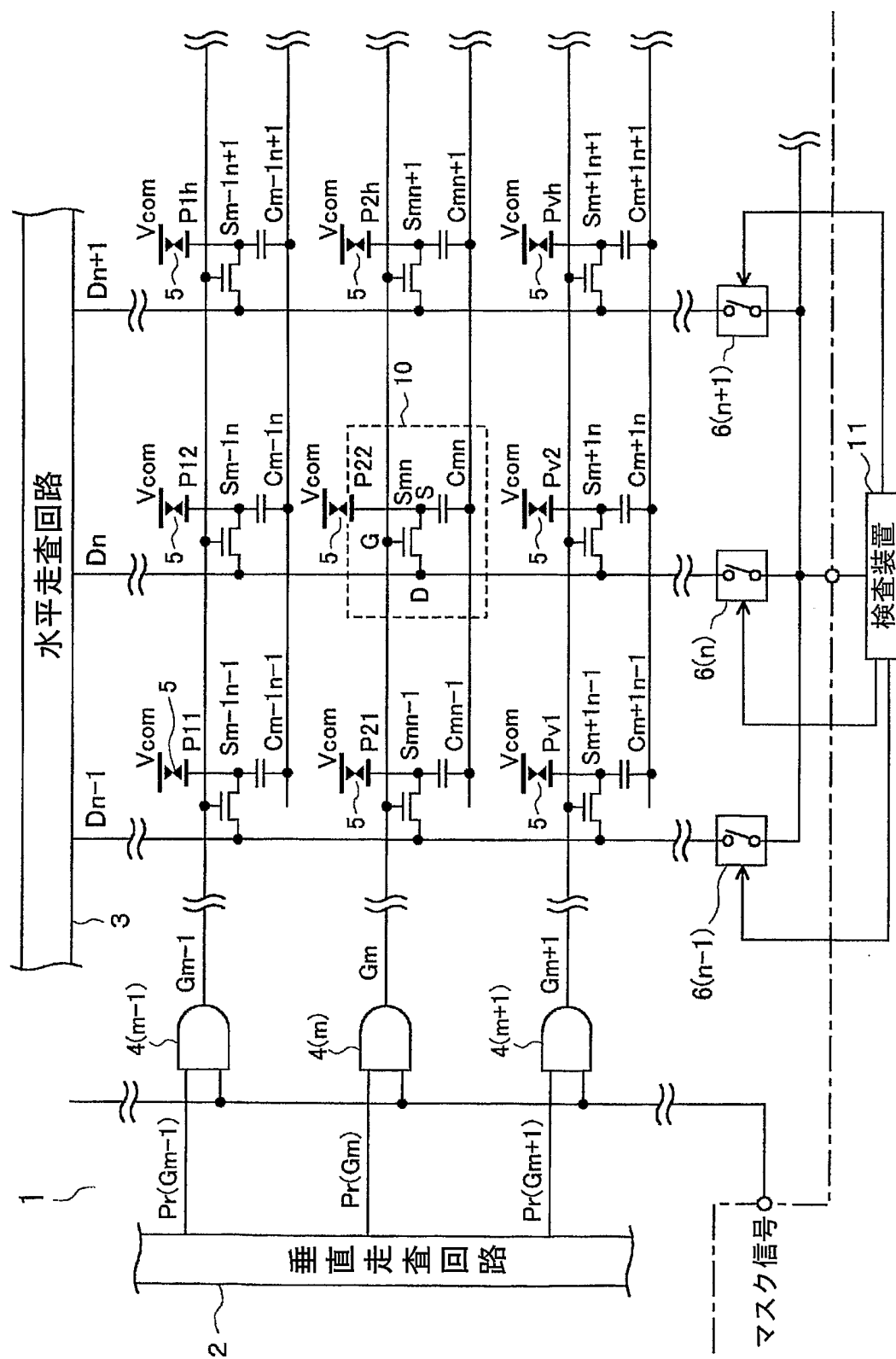


Fig. 1

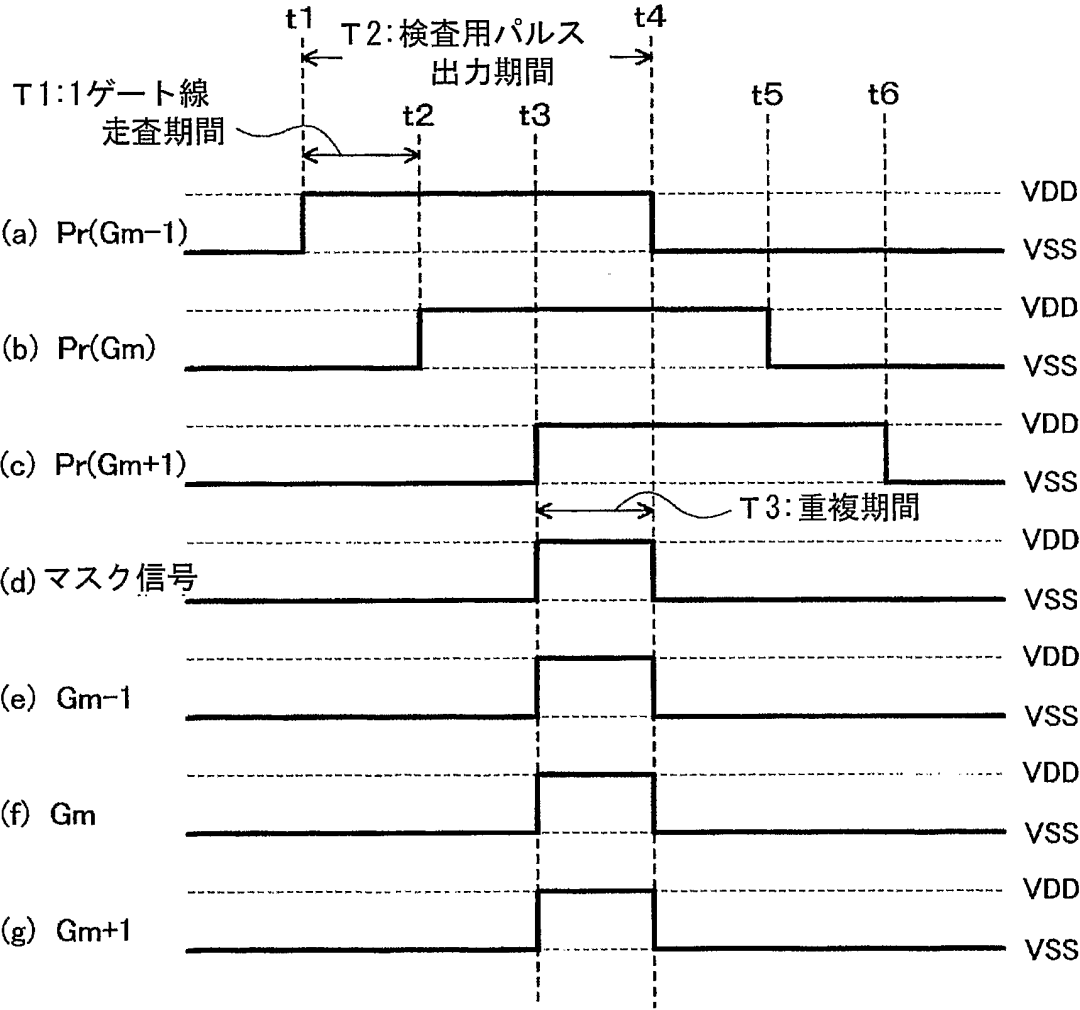


Fig.2

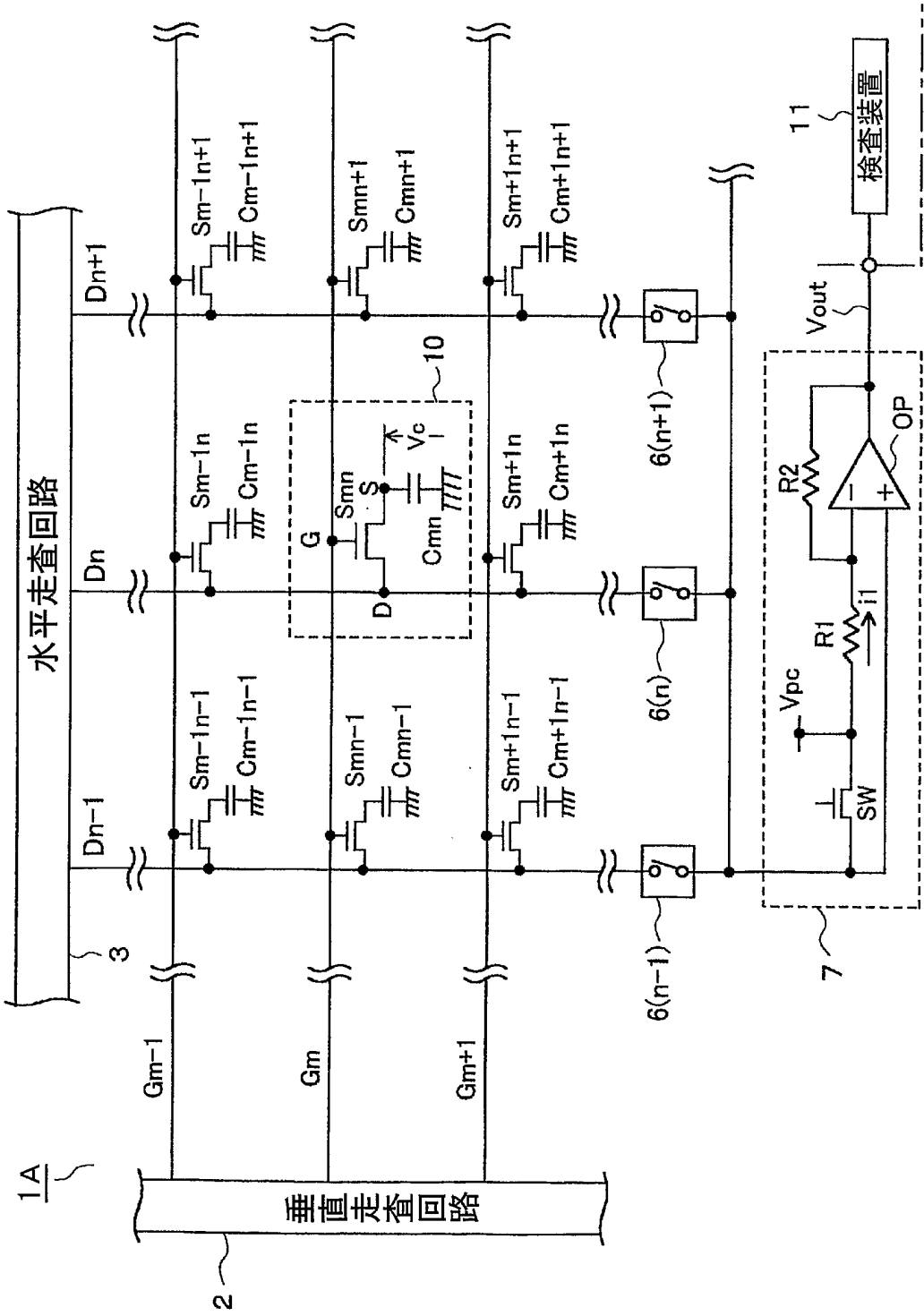


Fig.3

4/7

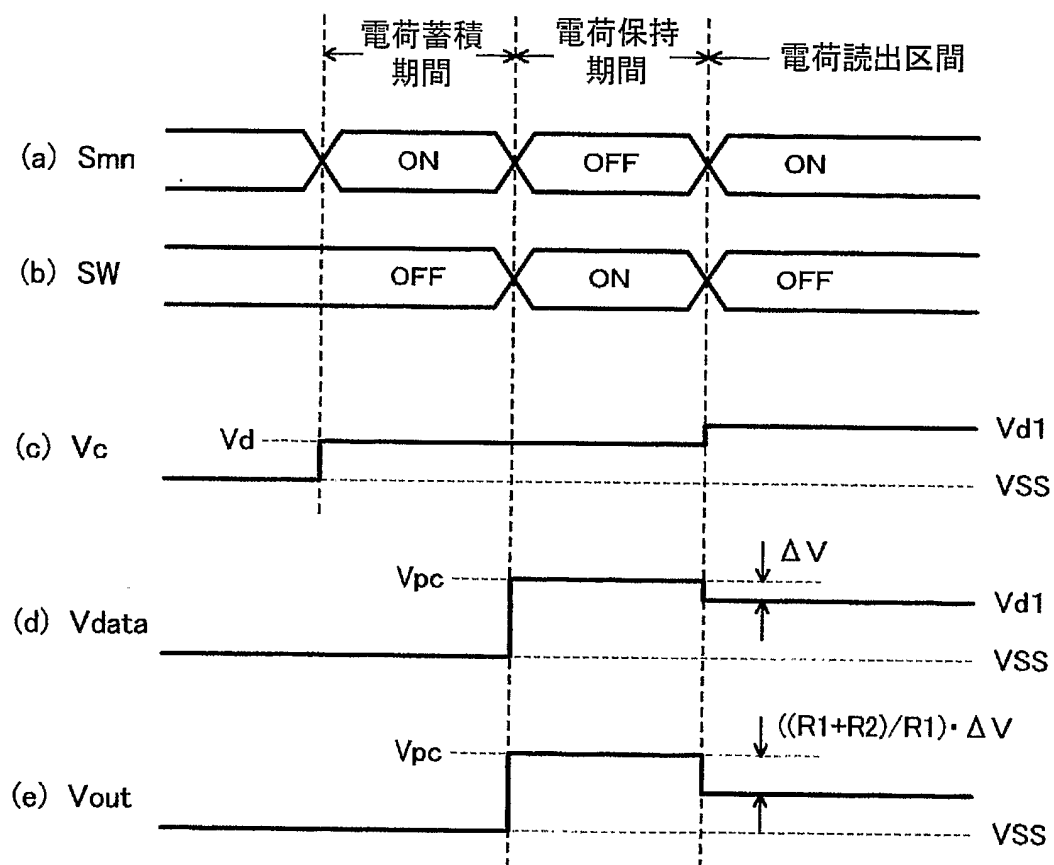


Fig.4

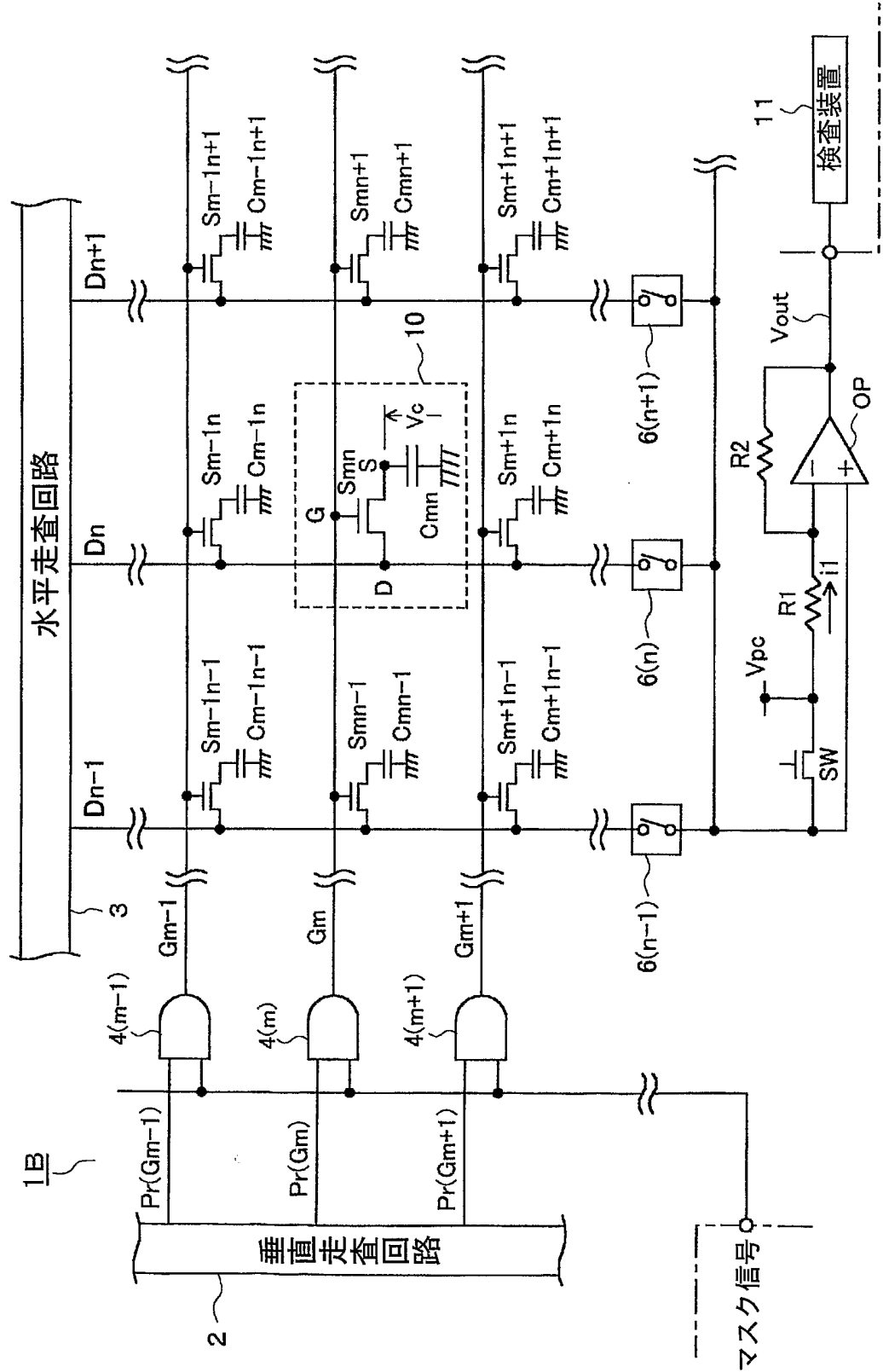


Fig.5

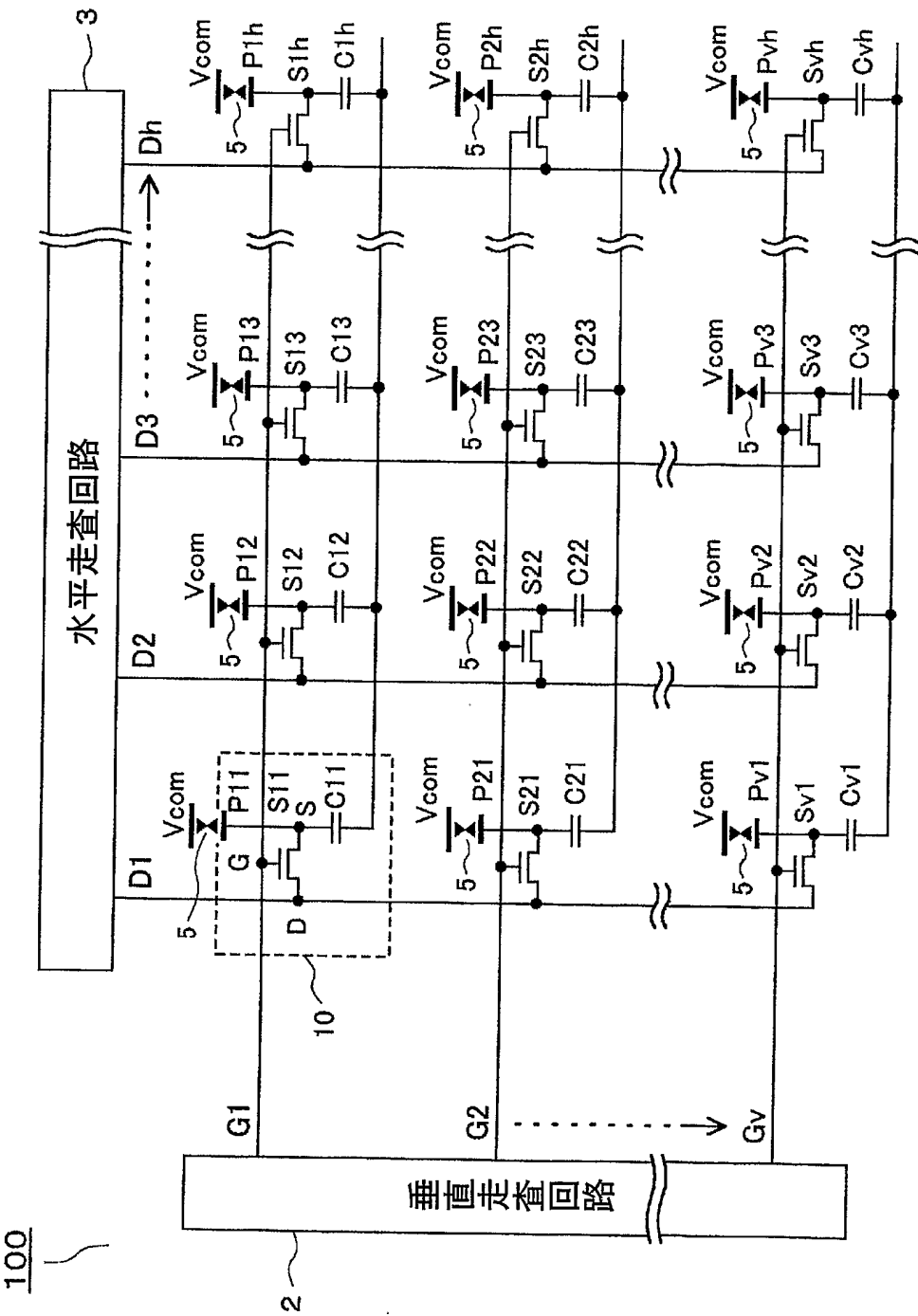


Fig.6

7/7

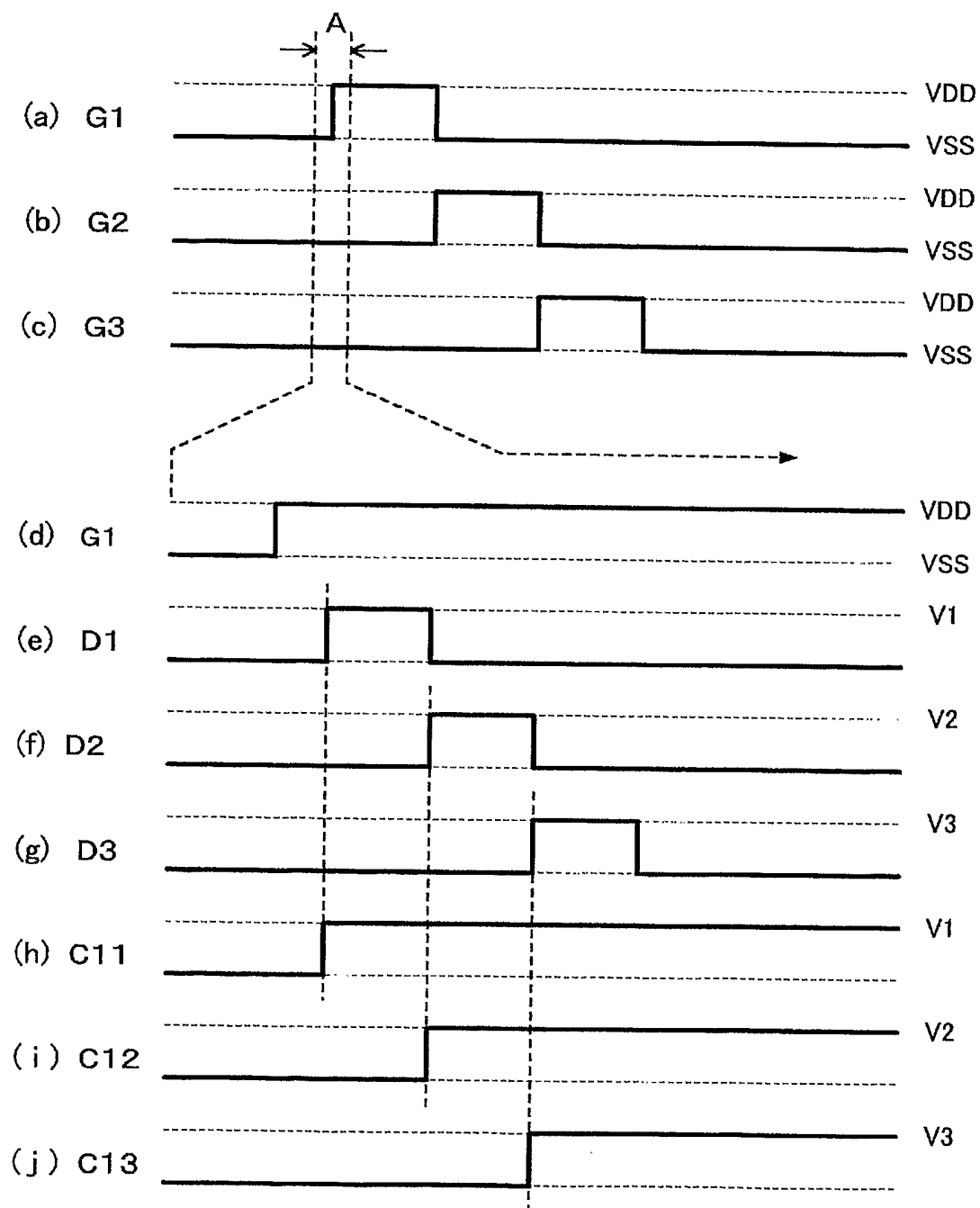


Fig.7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07916

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09F9/00, G09F9/30, G02F1/1368, G02F1/133, G09G3/36,
G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09F9/00, G09F9/30, G02F1/1368, G02F1/133, G09G3/36,
G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 57-38498 A (Suwa Seikosha Kabushiki Kaisha), 03 March, 1982 (03.03.82), Full text; Figs. 1 to 9 (Family: none)	1, 2 3
Y	JP 1-101646 A (Matsushita Electric Industrial Co., Ltd.), 19 April, 1989 (19.04.89), Page 3, lower left column, line 2 to page 4, upper left column, line 10; Figs. 1, 3 & US 4940934 A	1, 2
A	JP 2000-304796 A (Seiko Epson Corp.), 02 November, 2000 (02.11.00), Full text; Figs. 1 to 16 (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 10 December, 2002 (10.12.02)

Date of mailing of the international search report
 24 December, 2002 (24.12.02)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07916

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to independent claims 1, 11, and 16 relating to a method is "a method for inspecting a semiconductor substrate...a pixel switch and...to the pixel switch". However, this technical feature is not novel without any need to cite documents. As a result, the technical feature makes no contribution over the prior art and therefore cannot be a special technical feature in the meaning of PCT Rule 13.2, second sentence.

The technical feature common to independent claims 11, 16 is the technical matter of claim 11. The international search has revealed that this technical matter is not novel since it is disclosed in prior art documents such as JP 6-250225 A (Cannon Inc.), 1994.09.09. (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07916

Continuation of Box No.II of continuation of first sheet(1)

The technical matter makes no contribution over the prior art and therefore cannot be a special technical feature in the meaning of PCT Rule 13.2, second sentence.

The technical feature common to independent claims 4, 8, 12, 14, 17 and 18 relating to an apparatus is a technique of providing "vertical scanning means" and "horizontal scanning means" to a "pixel cell driver circuit comprising a pixel capacitor for holding image data...of a data line and a pixel switch control line". This technical feature is not novel without any need to cite documents. As a result, the technical feature makes no contribution over the prior art and therefore cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

The technical feature common to independent claims 12, 14 is the technical matter of claim 12. The international search has revealed that this technical matter is not novel since it is disclosed in prior art documents such as JP 6-250225 A (Cannon Inc.), 1994.09.09. The technical matter makes no contribution over the prior art and therefore cannot be a special technical feature in the meaning of PCT Rule 13.2, second sentence.

There is no other technical feature common to independent claims 4, 8, 12, 14, 17 and 18 and considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, other than the technical feature of claim 4 common to claims 4 and 8 and the technical feature of claim 17 common to claims 17 and 18.

The method of the invention of independent claim 11 is suitable especially for the apparatus of the invention of independent claim 12. The method of the invention of independent claim 16 is suitable especially for the apparatus of the invention of independent claim 17.

Consequently, no technical relationship within the meaning of PCT Rule 13.2 between the six groups of inventions listed below can be seen. Therefore, it appears that the claims do not satisfy the requirement of unity of invention.

1. The inventions of claims 1-3
2. The inventions of claims 4-10
3. The inventions of claims 11, 12
4. The invention of claim 13
5. The inventions of claims 14, 15
6. The inventions of claims 16-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F 9/00, G09F 9/30, G02F 1/1368, G02F 1/133,
G09G 3/36, G09G 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F 9/00, G09F 9/30, G02F 1/1368, G02F 1/133,
G09G 3/36, G09G 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 57-38498 A (株式会社諏訪精工舎) 1982. 03. 03, 全文, 第1~9図 (ファミリーなし)	1, 2 3
Y	J P 1-101646 A (松下電器産業株式会社) 1989. 04. 19, 第3頁左下欄第2行~第4頁左上欄第10 行, 第1, 3図 & US 4940934 A	1, 2
A	J P 2000-304796 A (セイコーエプソン株式会社) 2000. 11. 02, 全文, 第1~16図 (ファミリーなし)	1-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10. 12. 02

国際調査報告の発送日

24.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

仁科 雅弘

印

3 X

2922

電話番号 03-3581-1101 内線 3371

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

方法についての独立請求の範囲1、11及び16に共通の事項は、「画素スイッチと、該画素スイッチに対して・・・半導体基板に対する検査方法」であるが、当該事項は例示するまでもなく新規でないことが明らかである。結果として、当該事項は先行技術に対して行う貢献を明示していないから、PCT規則13.2の第2文に記載されたとおり、当該事項は特別な技術的特徴ではない。

また、独立請求の範囲11及び16に共通の事項は、請求の範囲11に記載された事項であるが、調査の結果、当該事項は、JP 6-250225 A (キャノン株式会社), 1994.09.09に開示されているから、新規でないことが明らかとなった。結果として、当該事項は先行技術に対して行う貢献を明示していないから、PCT規則13.2の第

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-3

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第Ⅱ欄の続き)

2文に記載されたとおり、当該事項は特別な技術的特徴ではない。

装置についての独立請求の範囲4、8、12、14、17及び18に共通の事項は、「データ線と画素スイッチ制御線との・・・画素データを保持する画素容量とからなる画素セル駆動回路」において「垂直走査手段」及び「水平走査手段」を有する点であるが、当該事項は例示するまでもなく新規でないことが明らかである。結果として、当該事項は先行技術に対して行う貢献を明示していないから、PCT規則13.2の第2文に記載されたとおり、当該事項は特別な技術的特徴ではない。

また、独立請求の範囲12及び14に共通の事項は、請求の範囲12に記載された事項であるが、調査の結果、当該事項は、JP 6-250225 A (キャノン株式会社), 1994.09.09に開示されているから、新規でないことが明らかとなった。結果として、当該事項は先行技術に対して行う貢献を明示していないから、PCT規則13.2の第2文に記載されたとおり、当該事項は特別な技術的特徴ではない。

装置についての独立請求の範囲4、8、12、14、17及び18において、PCT規則13.2の第2文に記載された特別な技術的特徴と考えられる他の共通の事項は、請求の範囲4及び8において請求の範囲4に記載された事項、並びに請求の範囲17及び18において請求の範囲17に記載された事項以外存在しない。

また、独立請求項の範囲11は、独立請求の範囲12に係る装置に特に適した方法であり、独立請求項の範囲16は、独立請求の範囲17に係る装置に特に適した方法である。

してみれば、以下に記載した6群の発明の間に、PCT規則13.2に記載された技術的な関係を見いだすことはできないから、これらの発明は単一性の要件を満たしていないことが明らかである。

1. 請求の範囲1-3
2. 請求の範囲4-10
3. 請求の範囲11, 12
4. 請求の範囲13
5. 請求の範囲14, 15
6. 請求の範囲16-19